

高等学校教学参考书

# 数字电子技术基础 重点、难点、题解、试题

侯建军 主编  
路而红 娄淑琴 编



高等教育出版社

ISBN 7-04-016458-2



9 787040 164589 >

定价 28.10 元

更多信息 敬请登陆  
[www.hep-st.com.cn](http://www.hep-st.com.cn)

高等学校教学参考书

# 数字电子技术基础 重点、难点、题解、试题

侯建军 主编  
路而红 姜淑琴 编

高等教育出版社

## 内容简介

本书是为配合《数字电子技术基础》(侯建军主编,高等教育出版社出版)教材使用而编写的辅助教材。内容包括主教材的基本知识、重点与难点、考核题型与考核重点、综合分析、设计典型题型精解、主教材题解。全书共有九章:数字逻辑基础、逻辑门电路、组合逻辑电路、时序逻辑电路、常用时序集成电路模块及其应用、可编程逻辑器件 PLD、D/A 转换器和 A/D 转换器、脉冲产生与整形和数字系统设计。书末附有模拟试题,可供读者复习时参考。

本书可作为高等院校通信、电子、自动化和计算机等专业学生的辅助教材,也可作为教师的教学手册,还可供相关工程技术人员自学和参考。

## 图书在版编目(CIP)数据

数字电子技术基础重点、难点、题解、试题/侯建军

主编. —北京:高等教育出版社,2005.4

ISBN 7-04-016458-2

I. 数... II. 侯... III. 数字电路-电子技术-高等学校-教学参考资料 IV. TN79

中国版本图书馆 CIP 数据核字(2005)第 013132 号

策划编辑 吴陈滨 责任编辑 刘 洋 封面设计 李卫青 责任绘图 朱 静  
版式设计 王 莹 责任校对 王 超 责任印制 朱学忠

出版发行 高等教育出版社  
社 址 北京市西城区德外大街 4 号  
邮政编码 100011  
总 机 010-58581000

经 销 北京蓝色畅想图书发行有限公司  
印 刷 肥城新华印刷有限公司

开 本 787×960 1/16  
印 张 22.5  
字 数 420 000

购书热线 010-58581118  
免费咨询 800-810-0598  
网 址 <http://www.hep.edu.cn>  
<http://www.hep.com.cn>  
网上订购 <http://www.landraco.com>  
<http://www.landraco.com.cn>

版 次 2005 年 4 月第 1 版  
印 次 2005 年 4 月第 1 次印刷  
定 价 28.10 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

物料号 16458-00

# 前 言

本书是为配合《数字电子技术基础》(侯建军主编,高等教育出版社出版)教材使用而编写的辅助教材。在编写过程中,采取了以课程的教学基本要求为基点,某些方面又略高于基本要求的原则,为适合教学改革需要,同时又引入了新技术、新概念和新方法,目的是为适应数字技术飞速发展的需要。

本书内容提供了数字逻辑基础、逻辑门电路、组合逻辑电路、时序逻辑电路、常用时序集成电路模块及其应用、可编程逻辑器件 PLD、D/A 转换器和 A/D 转换器、脉冲产生与整形和数字系统设计的习题约 480 题。每章由基本知识、重点与难点,例题精选,习题解答三部分组成。重点与难点主要阐述各章基本内容的要求,为读者提供了学习各章的方向和目标,同时为学生顺利掌握本课程内容、排除困难给予指导。典型例题是教材中心和重点内容的应用扩展。通过综合分析和设计的典型例题描述了一个完整的解题思路,帮助读者提高对数字电路的综合运用能力。为方便读者复习考试,教材中给出了各章的考核题型与考核比例分数。最后给出数字电子技术课程模拟试题 6 套,供学生全面复习使用。

读者在学习时,应以教材为基础,本书可作为理解、掌握、应用和加深巩固的工具和钥匙。

本书由北京交通大学侯建军任主编,负责全书编写的组织与定稿,其中第一、二章由姜淑琴编写,第三、四、八章由路而红编写,第五、六、七、九章和模拟试题由侯建军编写,北京交通大学张有根对本书进行了审阅。

在本书编写过程中,得到了许多教师的关心和支持,在此致以衷心的感谢。

对本书选用的参考文献的著作者,我们真诚地致以感谢。

虽然教材中的部分内容试用过,但书中难免还有错误和不妥之处,恳请读者批评指正。

编 者

2004.8 于北京

# 目 录

<b>第一章 数字逻辑基础</b> .....	1
<b>第一节 基本知识、重点与难点</b> .....	1
一、基本知识 .....	1
二、重点与难点 .....	4
三、考核题型与考核重点 .....	5
<b>第二节 典型题解</b> .....	5
<b>第三节 题解</b> .....	13
<b>第二章 逻辑门电路</b> .....	33
<b>第一节 基本知识、重点与难点</b> .....	33
一、基本知识 .....	33
二、重点与难点 .....	35
三、考核题型与考核重点 .....	36
<b>第二节 典型题解</b> .....	36
<b>第三节 题解</b> .....	46
<b>第三章 组合逻辑电路</b> .....	72
<b>第一节 基本知识、重点与难点</b> .....	72
一、基本知识 .....	72
二、重点与难点 .....	75
三、考核题型与考核重点 .....	76
<b>第二节 典型题解</b> .....	76
<b>第三节 题解</b> .....	82
<b>第四章 时序逻辑电路</b> .....	119
<b>第一节 基本知识、重点与难点</b> .....	119
一、基本知识 .....	119
二、重点与难点 .....	123
三、考核题型与考核重点 .....	124
<b>第二节 典型题解</b> .....	124
<b>第三节 题解</b> .....	132
<b>第五章 常用时序集成电路模块及其应用</b> .....	185
<b>第一节 基本知识、重点与难点</b> .....	185

一、基本知识 .....	185
二、重点与难点 .....	186
三、考核题型与考核重点 .....	186
第二节 典型题解 .....	187
第三节 题解 .....	192
<b>第六章 可编程逻辑器件 PLD .....</b>	<b>226</b>
第一节 基本知识、重点与难点 .....	226
一、基本知识 .....	226
二、重点与难点 .....	228
三、考核题型与考核重点 .....	229
第二节 典型题解 .....	229
第三节 题解 .....	238
<b>第七章 D/A 转换器和 A/D 转换器 .....</b>	<b>260</b>
第一节 基本知识、重点与难点 .....	260
一、基本知识 .....	260
二、重点与难点 .....	261
三、考核题型与考核重点 .....	262
第二节 典型题解 .....	262
第三节 题解 .....	267
<b>第八章 脉冲产生与整形 .....</b>	<b>277</b>
第一节 基本知识、重点与难点 .....	277
一、基本知识 .....	277
二、重点与难点 .....	280
三、考核题型与考核重点 .....	280
第二节 典型题解 .....	280
第三节 题解 .....	283
<b>第九章 数字系统设计 .....</b>	<b>294</b>
第一节 基本知识、重点与难点 .....	294
一、基本知识 .....	294
二、重点与难点 .....	295
三、考核题型与考核重点 .....	296
第二节 典型题解 .....	296
第三节 题解 .....	300
<b>附录 .....</b>	<b>331</b>
模拟试题 1 .....	331

---

模拟试题 2 .....	334
模拟试题 3 .....	337
模拟试题 4 .....	340
模拟试题 5 .....	342
模拟试题 6 .....	345
参考文献 .....	349



# 第一章 数字逻辑基础

由于数字信号便于存储、处理和传输,数字化已成为当今电子技术的发展潮流,数字系统已经成为人们日常生活中的重要组成部分。本章主要介绍数字电路的基础知识,为读者学习和掌握数字电路的分析和设计奠定数学基础。

通过本章内容的学习,要求掌握各种不同进制数与二进制码,逻辑代数的基本规律,并能熟练地运用卡诺图化简逻辑函数。

## 第一节 基本知识、重点与难点

### 一、基本知识

#### (一) 数制与编码

##### 1. 数制

数制就是进位计数制。数字电路中常用的数制有二进制、八进制、十进制、十六进制,用后缀 B、O、D、H 来区别。

对于任意  $R$  进制数存在共有规律:

- (1) 一个确定的基数  $R$ ,且逢  $R$  进一。
- (2) 有  $R$  个有序的数字符号和一个小数点,数码  $K_i$  范围为  $0 \sim (R-1)$ 。
- (3) 每一个数位均有固定的含意,称权  $R^i$ ,不同数位其权  $R^i$  不同。
- (4) 进位制数均可写成按权展开式,式中每一项为该位的数码  $K_i$  和该位的权  $R^i$  的乘积。

##### 2. 数制转换

一个数从一种进位制表示形式转换成等值的另一种进位制表示形式称为数制转换,其实质为权值转换。相互转换的原则是转换前后两个有理数的整数部分和小数部分必定分别相等。

##### (1) 十进制数与非十进制数转换

整数转换采取除基取余法,小数转换采取乘基取整法。将非十进制数按权展开,然后十进制求和,可得到所对应的十进制数。

##### (2) 非十进制数之间的转换

二进制转换成八进制的原则是从小数点开始,将二进制数的整数和小数部分每 3 位分为一组,不足 3 位的分别在整数的最高位前和小数的最低位后加 0

补足,然后每组用等值的八进制码替代,即得目的数。八进制转换成二进制的原则是每位八进制数用3位二进制数代替即可。

二进制转换成十六进制的原则是从小数点开始,将二进制数的整数和小数部分每4位分为一组,不足4位的分别在整数的最高位前和小数的最低位后加0补足,然后每组用等值的十六进制码替代,即得目的数。十六进制转换成二进制的原则是每位十六进制数用4位二进制数代替即可。

### 3. 常用编码

常用的有自然二进制码、格雷码、二-十进制码等。二-十进制编码(Binary Coded Decimal)简称BCD码。它用二进制代码对十进制数的各个数码进行编码。二-十进制编码有很多种,最常用的是8421BCD码(有权码)、余3码(无权码),同一个十进制数所对应的余3码等于所对应的8421BCD码加0011(3)。

## (二) 逻辑代数与基本逻辑运算

逻辑代数又称开关代数或布尔代数,是按一定逻辑规律进行运算的代数,是分析和设计逻辑电路的基本工具和理论基础,其特点是它的所有变量与函数值仅有两个特征值——逻辑0和逻辑1,该特征值并不代表数值的大小,仅表示相互矛盾、相互对立的两种逻辑状态。逻辑代数的公式、规则、定理与定义均需用二值的因果关系来理解。

逻辑代数有三种基本逻辑运算,即与、或、非,对应的是逻辑与、逻辑或和逻辑非。利用这三种基本运算,可得出处理实际逻辑问题的各种常用的复合逻辑,如与非、或非、与或非、异或、同或等。

## (三) 逻辑代数的运算公式和规则

### 1. 基本公式和常用公式

逻辑代数的基本公式和常用公式满足自等律、互补律、分配律及吸收律等等。

### 2. 三个基本规则

#### (1) 代入规则

#### (2) 反演规则

#### (3) 对偶规则

## (四) 逻辑函数的标准形式

逻辑函数表达式反映了实际逻辑问题中输入变量与输出变量之间的因果关系。它可以通过建立输入输出真值表得出。逻辑函数具有两种标准形式:一是最小项之和(标准与或表达式),如果函数的积之和(与或)表达式中的每一个乘积项均为最小项,则这种表达式称为标准积之和表达式,也称最小项表达式。一是最大项之积(标准或与表达式),如果函数的和之积(或与)表达式中的每一个和项均为最大项,则这种表达式称为标准和之积表达式,也称为最大项表达式。

任何一个函数两种标准式中所含最小项和最大项编号是互不重复而相互补充的。但需注意,对于  $n$  个变量的函数,两式所含编号应为  $0 \sim 2^n - 1$ ,且互不重复,这些最小项和最大项个数总和为  $2^n$  个。

### (五) 逻辑函数的化简

#### 1. 代数法化简逻辑函数

代数法化简的实质是反复运用逻辑代数的运算公式和规则,消去表达式中的多余项和多余因子,以达最简目的。

利用代数法化简对函数变量数目无限制,但方法灵活、技巧性强,需要熟练掌握逻辑代数的基本公式和具有一定的化简经验。

#### 2. 图解法化简函数

图解法又称为卡诺图(Karnaugh Map)法,这种方法的优点是比较直观,可以由图直接写出函数的最简表达式,简化技巧和规律比代数法容易掌握,但它一般运用在五变量以下函数的化简。

卡诺图也是真值表的另一种表示形式,它是将最小项按相邻关系排列的一种方格图形。卡诺图中的一小格对应真值表中的一行,即对应一个最小项,故卡诺图又称真值图。相邻关系是指最小项内所含的变量中只有一个变量互补,反映在卡诺图上为几何位置相邻。

化简步骤可归纳为:

① 将函数填入相应的卡诺图中。

② 按作圈原则将图上填 1 的方格圈起来,要求圈的数量少、范围大;每个为 1 的格都应被圈入,允许被多个圈重复圈入,但每个圈都必须有新的,即不被其他圈包围的格;这样每个圈均用其对应的乘积项表示。

③ 最后将全部乘积项逻辑加得最简与或表达式。

#### 3. 具有无关项的逻辑函数的简化

在实际问题中常会出现两种情况:第一种是输入变量的取值受到限制也称受到约束,它们对应的最小项称约束项。第二种情况是在某些输入变量取值下函数值是 1 或 0 并不影响整个电路系统的功能,这些变量取值所对应的最小项称为任意项。

约束项和任意项在逻辑函数中统称为无关项。

具有无关项的函数若利用代数法化简是十分困难的,而采用图解法则简单、直观,在填函数的卡诺图时只需在无关项对应的格内填任意符号“ $\emptyset$ ”、“ $d$ ”或“ $\times$ ”,根据作圈的需要将这些格可视为 1 也可视为 0,从而达到简化逻辑函数的目的。

## 二、重点与难点

重点:

1. 数制
2. 编码

### (1) 二 - 十进制码(BCD 码)

在这种编码中,用 4 位二进制数表示十进制数中的 0~9 十个数码。常用的编码有 8421BCD 码、5421BCD 码和余 3 码。

8421BCD 码是由 4 位二进制数 **0000** 到 **1111** 十六种组合中前十种组合,即 **0000**~**1001** 来代表十进制数 0~9 十个数码,每位二进制码具有固定的权值 8、4、2、1,称有权码。

余 3 码是由 8421BCD 码加 3(**0011**)得来的,是一种无权码。

### (2) 格雷码

格雷码是一种常见的无权码。这种码的特点是相邻的两个码组之间仅有 1 位不同,因而其可靠性较高,广泛应用于计数和数字系统的输入、输出等场合。

## 3. 逻辑代数基础

### (1) 逻辑代数的基本公式与基本规则

逻辑代数的基本公式反映了二值逻辑的基本思想,是逻辑运算的重要工具,也是学习数字电路的必备基础。

逻辑代数有三个基本规则,利用代人规则、反演规则和对偶规则使逻辑函数的公式数目倍增。

### (2) 逻辑问题的描述

逻辑问题的描述可用真值表、函数式、逻辑图、卡诺图和时序图,它们各具特点又相互关联,可按需选用。

### (3) 图形法化简逻辑函数

图形法比较适合于具有三、四变量的逻辑函数的简化。

难点:

### 1. 给定逻辑函数,将逻辑函数化为最简

用代数法化简逻辑函数,要求熟练掌握逻辑代数的基本公式和规则,熟练运用四个基本方法——并项法、消项法、消元法及配项法对逻辑函数进行化简。

用图形法化简逻辑函数时,一定要注意卡诺图的循环邻接的特点,画包围圈时应把每个包围圈画得尽可能大。

### 2. 卡诺图的灵活应用

卡诺图除用于化简函数外,还可以用来检验化简结果是否最简、判断函数间的关系、求函数的反函数和逻辑运算等。

## 3. 电路的设计

在工程实际中,往往给出逻辑命题,如何正确分析命题,设计出逻辑电路呢?通常的步骤如下:

- ① 根据命题,列出反映逻辑命题的真值表。
- ② 根据真值表,写出逻辑表达式。
- ③ 对逻辑表达式进行变换化简。
- ④ 最后按工程要求画出逻辑图。

## 三、考核题型与考核重点

## 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

建议分配的分数为 2~4 分。

## 2. 综合与设计

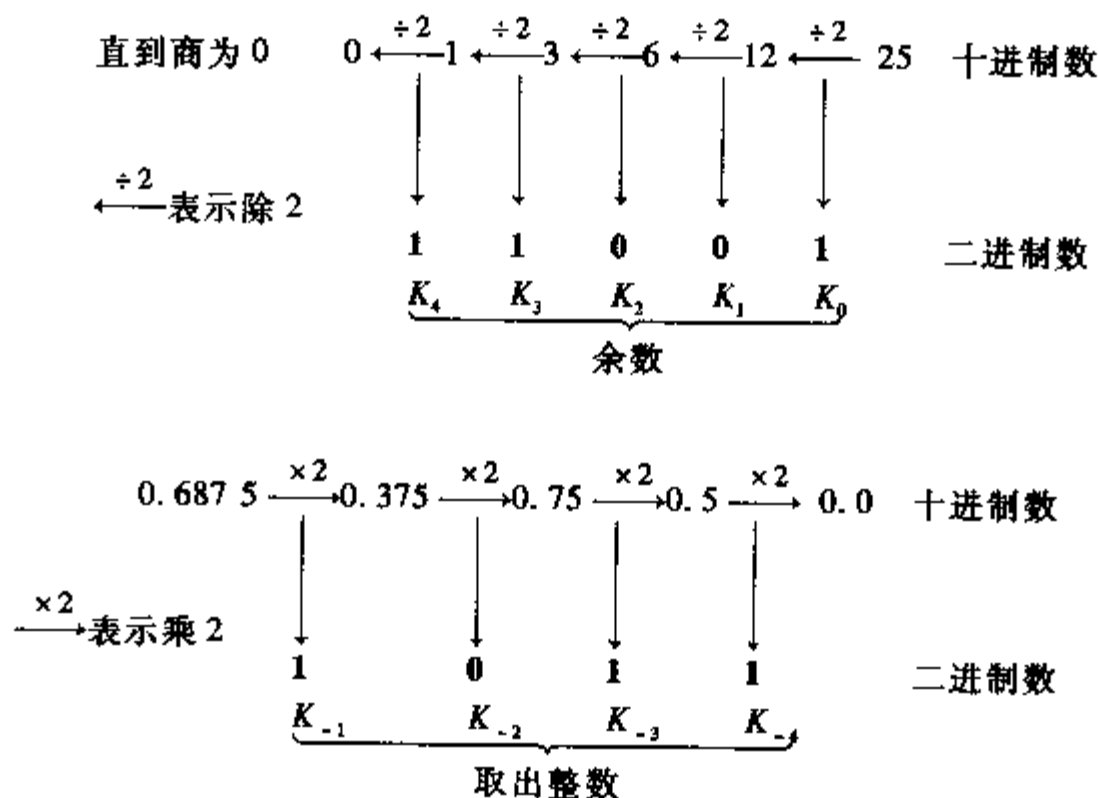
题型为与后续章节内容相结合的综合型题目。

建议分配的分数为 3~6 分。

## 第二节 典型题解

例题 1.1 将十进制数 25.687 5 转换为二进制数、八进制数、十六进制数,即  $(25.687\ 5)_D = (\quad)_B = (\quad)_O = (\quad)_H$ 。

解:



(1) 首先将十进制数 25.687 5 转换成二进制数, 分别对整数部分和小数部分进行转换。整数部分采用除 2 取余法, 小数部分采用乘 2 取整法。

由此可得:  $(25.687\ 5)_D = (11001.1011)_B$

(2) 将二进制数转换成八进制数, 以小数点为界将二进制数 3 位一组, 进行划分, 最后每 3 位用一个等值八进制数代替即可。

$$(11001.1011)_B = (31.54)_O$$

(3) 将二进制数转换成十六进制数, 以小数点为界将二进制数 4 位一组, 进行划分, 最后每 4 位用一个等值十六进制数代替即可。

$$(11001.1011)_B = (19.B)_H$$

综上所述可得:  $(25.687\ 5)_D = (11001.1011)_B = (31.54)_O = (19.B)_H$

例题 1.2 求下列函数的反函数。

$$(1) F = \overline{AB} + C \cdot D + AC$$

$$(2) F = A + C(BC + D)(B + C) + AD$$

解: 反演规则对任意一个逻辑函数式  $F$  中的运算符“ $\cdot$ ”换成“ $+$ ”, “ $+$ ”换成“ $\cdot$ ”; 常量 0 换成 1, 1 换成 0; 原变量换成反变量, 反变量换成原变量, 那么得到的新函数式称为原函数式  $F$  的反函数式  $\overline{F}$ 。

变换时应注意两点:

① 必须保持原函数的运算次序, 适当地加入括号。

② 不属于单个变量上的非号有两种处理方法: 一种是该非号保留, 而非号下面的函数式按反演规则变换。另一种是引入代入规则, 将非号去掉, 而非号下的函数式保留不变。

由此可得

$$(1) \overline{F} = [(\overline{A+B}) \cdot \overline{C+D}](\overline{A+C}) \text{ 或 } \overline{F} = (\overline{AB+C+D})(\overline{A+C})$$

$$(2) \overline{F} = (\overline{A+C+B+C \cdot D+B \cdot C})(\overline{A+D}) \text{ 或 } \overline{F} = [\overline{A+C(BC+D)+B \cdot C}](\overline{A+D})$$

例题 1.3 求下列函数的对偶式。

$$(1) F = \overline{AB} + \overline{A \cdot B}(AC + CD)$$

$$(2) F = A \cdot B + D + (AC + BD)E$$

解: 对于任意一个逻辑函数  $F$ , 若把式中的运算符“ $\cdot$ ”换成“ $+$ ”, “ $+$ ”换成“ $\cdot$ ”; 常量 0 换成 1, 1 换成 0, 且保持运算的先后顺序不变, 所得的新函数式为原函数式  $F$  的对偶式  $F'$ 。

对偶规则对函数中的原变量、反变量不进行变换, 而反演规则包含原变量和反变量之间的变换。和反演规则相同的是, 变换过程中原函数的运算的先后顺序均保持不变, 且不属于单个变量上的非号保持不变。

由此得

$$(1) F' = \overline{(\overline{A+B})(\overline{A+B})} + (A+C)(C+D)$$

$$(2) F' = (A+B\overline{D})[(A+C)(B+D)+E]$$

例题 1.4 证明下列等式成立(方法不限)。

$$(A+B)(\overline{A}+C)(B+C) = (A+B)(\overline{A}+C)$$

证明:通常可运用逻辑代数中的公式和定理对等式进行变换加以证明。证明时可用不同的公式和方法进行,要注意选用比较精练的方法。在变量较少的情况下,也可选用真值表加以证明。

$$\begin{aligned} \text{方法一:等式左边} &= (A+B)(\overline{A}+C)(B+C) \\ &= (A+B)(\overline{A}B+C) \\ &= \overline{A}B+AC+BC \\ &= (A+B)C+(A+B)\overline{A} \\ &= (A+B)(\overline{A}+C) \\ &= \text{等式右边} \end{aligned}$$

因此等式成立。

方法二:利用对偶规则加以证明

$$\begin{aligned} \text{令} \quad F &= (A+B)(\overline{A}+C)(B+C) \\ G &= (A+B)(\overline{A}+C) \end{aligned}$$

两式的对偶函数为

$$\begin{aligned} F' &= AB+\overline{A}C+BC=AB+\overline{A}C \\ G' &= AB+\overline{A}C \end{aligned}$$

由于  $F'=G'$ , 所以  $F=G$ , 等式成立。

方法三:利用真值表加以证明,如例题 1.4 表所示。

例题 1.4 表

A B C	$(A+B)(\overline{A}+C)(B+C)$	$(A+B)(\overline{A}+C)$
0 0 0	0	0
0 0 1	0	0
0 1 0	1	1
0 1 1	1	1
1 0 0	0	0
1 0 1	1	1
1 1 0	0	0
1 1 1	1	1

从真值表可看出,对于输入变量的所有组合,等式两边的值均相等,因此等式成立。

例题 1.5 将下面的四变量函数用卡诺图化简为最简与或式。

$$F_1(A, B, C, D) = \overline{B}C + \overline{B}\overline{D} + A\overline{C}D + AB\overline{C} + \overline{A}\overline{B}\overline{C}D$$

$$F_2(A, B, C, D) = \sum m(1, 7, 9, 10, 11, 12, 13, 15)$$

解:卡诺图化简逻辑函数的依据是:含  $n$  个变量函数的卡诺图中,几何相邻的  $2^i$  ( $i=1, 2, 3, \dots, n$ ) 个小格可合并在一起构成正方形或矩形圈,消去  $i$  个变量,而用含  $n-i$  个变量的乘积项标注该圈。

根据函数填写卡诺图方法:

(1) 若已知函数为最小项表达式,则只需将函数中包含的那些最小项对应的格填 1,其余格均填 0。

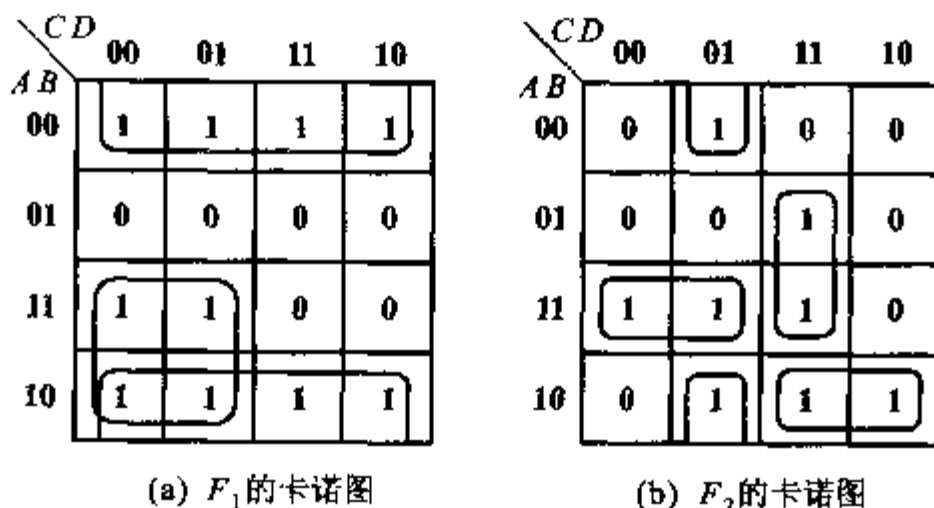
(2) 若已知函数的真值表,则只需将其真值表中使函数值为 1 的那些最小项对应的方格填 1,其余格均填 0。

(3) 若已知函数为一个复杂的运算式,则应首先将其变成与或式,再用直接法填写。

作圈的步骤:

- ① 首先将所有孤立的单格和只有一个合并方向的格群圈起来。
- ② 余下的格均有多种合并方向,应用试探法合理作圈,必要时有的格允许被多个圈重复圈入。
- ③ 图中含 1 的格都应被圈入,以防止遗漏乘积项,且每个圈中至少有一格只被圈过一次,否则该圈就是冗余圈。

综上所述,作出函数的卡诺图,如例题 1.5 图所示。



例题 1.5 图

然后画包围圈,注意圈的数量要尽可能少、范围要尽可能大。最后写出化简后的逻辑函数表达式。



$$F_1 = \bar{B} + A\bar{C}$$

$$F_2 = AB\bar{C} + A\bar{B}C + BCD + \bar{B}\bar{C}D$$

应注意的是:利用卡诺图对逻辑函数进行化简时,最简的结果并不是唯一的。

例题 1.6 将下列函数化为最简与或非式。

$$F_1(A, B, C, D) = \sum m(3, 5, 7, 8, 12) + \sum d(0, 1, 10, 11, 14, 15)$$

$$\begin{cases} F_2(A, B, C, D) = AB\bar{C} + A\bar{B}D + \bar{A}BC + AC\bar{D} \\ \bar{B}\bar{C} + BCD = 0 \end{cases}$$

解:利用卡诺图化简函数为最简与或非式时,可考虑在卡诺图中先圈 0,再将圈 0 所得的函数化为最简与或式,然后再在最简式上加反,即得最简与或非式。

此法可简称为圈 0 加反法。具体解法为:

(1) 画函数的卡诺图

将最小项和约束项(或者函数的约束条件)填入图中。

(2) 合并相邻的最小项

将最小项为 0 的方块按卡诺图化简函数为最简与或式的方法画圈,尽可能使所画的圈少而大,其中画入圈中的约束项看作 0,而没有画入圈的约束项看作 1。

函数的卡诺图和具体的画圈法如例题 1.6 图所示。

(3) 写函数的最简与或非式

对圈 0 的函数求反,即可得原函数的最简与或非式。函数的表达式为

$$F_1 = \overline{AD + A\bar{D}}$$

$$F_2 = \overline{\bar{A}\bar{B} + A\bar{C} + ACD}$$

		CD			
		00	01	11	10
AB	00	×	×	1	0
	01	0	1	1	0
	11	1	0	×	×
	10	1	0	×	×

(a)  $F_1$  的卡诺图

		CD			
		00	01	11	10
AB	00	×	×	×	0
	01	0	0	1	1
	11	1	1	0	1
	10	×	×	×	1

(b)  $F_2$  的卡诺图

例题 1.6 图

例题 1.7 已知函数

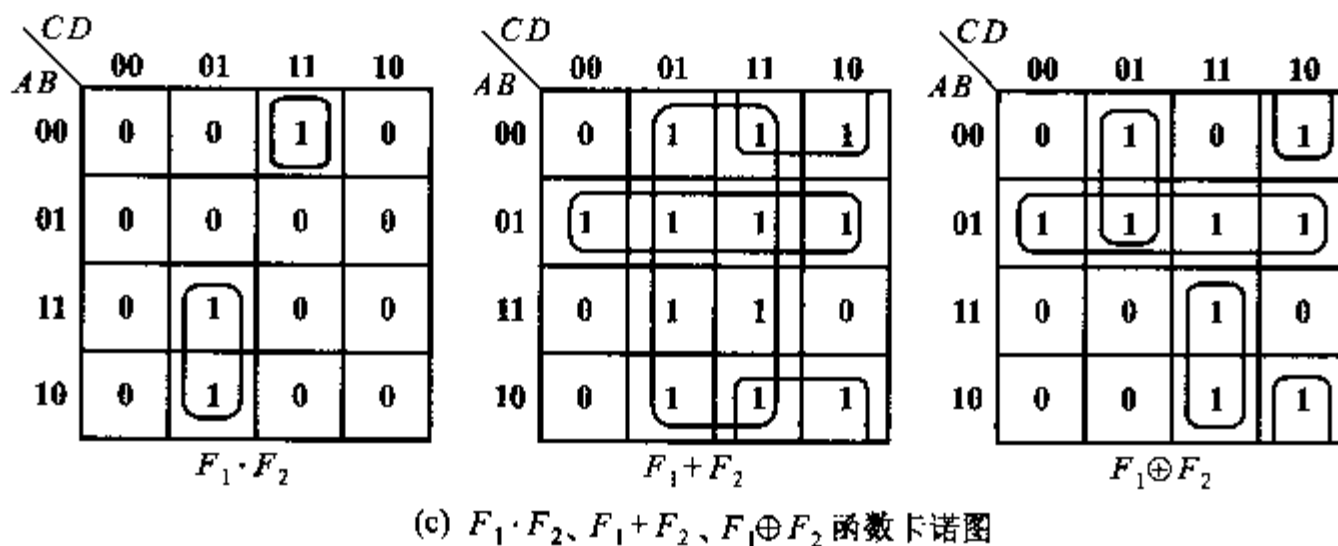
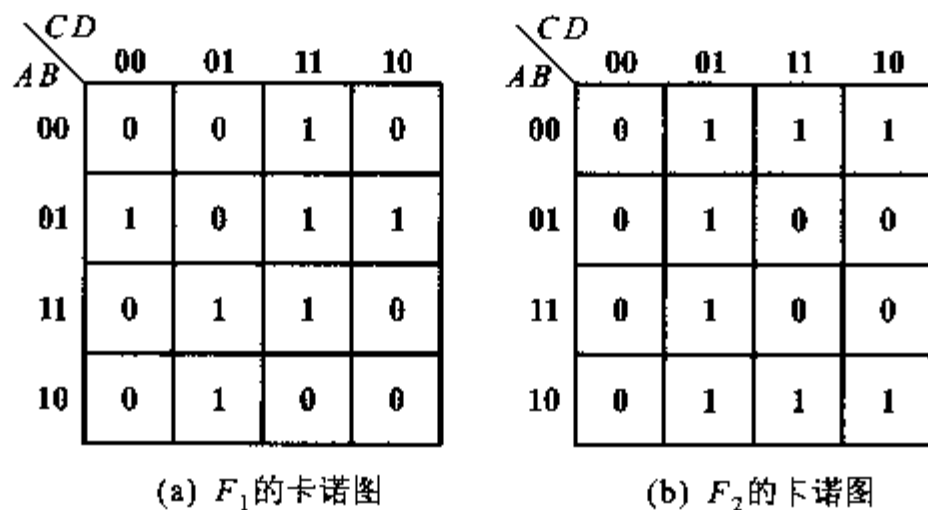
$$\begin{cases} F_1 = A \bar{C} D + \bar{A} B D + B C D + \bar{A} C D \\ F_2 = \overline{\bar{A} \bar{C} \bar{D} + B C + A \bar{C} \bar{D}} \end{cases}$$

求函数  $F_1 \cdot F_2$ 、 $F_1 + F_2$ 、 $F_1 \oplus F_2$ 。

解：逻辑非的运算即为求反函数，故只要将函数在卡诺图中 0 和 1 的位置对调一下，即得原函数的反函数。图中若有约束项其位置不变，仍为约束项。

函数在进行与、或、异或的运算时，只要将图中编号相同的方块，按运算规则进行运算，就可求得它们的逻辑与、逻辑或、逻辑异或等函数。

画函数  $F_1$ 、 $F_2$  卡诺图，如例题 1.7 图所示。画  $F_2$  卡诺图时先画出其反函数  $\bar{F}_2$  的卡诺图，然后将  $\bar{F}_2$  的卡诺图中 0 和 1 的位置对调，即例题 1.7 图所示的原函数  $F_2$  的卡诺图。



例题 1.7 图

根据卡诺图进行与、或、异或的运算，分别对  $F_1$ 、 $F_2$  卡诺图中编号相同的方块进行上述的运算可得例题 1.7 图所示的函数  $F_1 \cdot F_2$ 、 $F_1 + F_2$ 、 $F_1 \oplus F_2$  的卡诺图。

经化简可得函数  $F_1 \cdot F_2$ 、 $F_1 + F_2$ 、 $F_1 \oplus F_2$  的表达式为

$$F_1 \cdot F_2 = A \bar{C} D + \bar{A} B C D$$

$$F_1 + F_2 = D + \bar{A} B + \bar{B} C$$

$$F_1 \oplus F_2 = \overline{A}B + \overline{A}\overline{C}D + ACD + \overline{B}C\overline{D}$$

例题 1.8 在只有原变量输入情况下实现下列函数。

$$F(A, B, C, D) = \sum m(2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 14)$$

解：在某些设计中，只允许原变量输入，此时最简单的办法是加入非门以产生必要的反变量，但这样并非最经济合理，这里以用与非门实现电路为例来合理设计。

设计中常用到几个基本关系：

(1) 含相同原变量的乘积项可以合并。如：

$$AB\overline{C} + AB\overline{D} = AB(\overline{C} + \overline{D}) = AB\overline{CD}$$

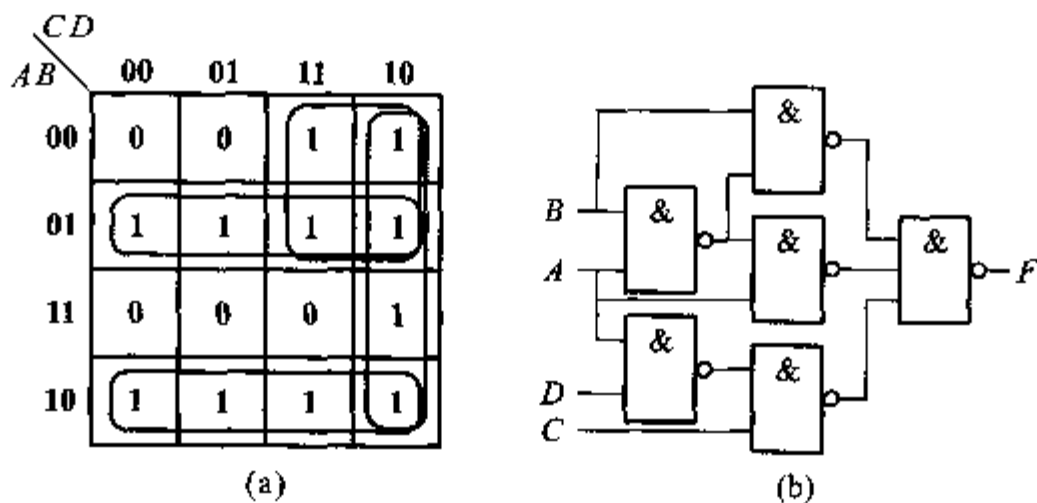
(2) 乘积项中的反变量可以用适当的与非因子代替。如：

$$AB\overline{C} = AB\overline{C} + AB\overline{B} = AB\overline{BC}$$

同理

$$AB\overline{C} = AB\overline{AC} = AB\overline{ABC}$$

其中， $\overline{BC}$ 、 $\overline{AC}$ 和 $\overline{ABC}$ 称为 $\overline{C}$ 的代替因子，其意是一个乘积项中的反变量因子可根据需要扩展成为与这一乘积项中的其他一个或几个变量构成的与非因子，该乘积项的值仍不会变。选哪个代替因子取代该反变量，要根据其他乘积项中是否有相同的代替因子，这样可减少所需与非门的数量。首先作卡诺图如例题 1.8 图(a)所示。



例题 1.8 图

简化函数得

$$F = \overline{A}B + A\overline{B} + C\overline{D} + \overline{A}C$$

再将前两项  $\overline{A}B$ 、 $A\overline{B}$  中的  $\overline{A}$  和  $\overline{B}$  都用代替因子  $\overline{AB}$  取代，于是这两项分别等效为  $B\overline{AB}$  和  $A\overline{AB}$ ，而后两项合并为  $C\overline{AD}$ ，因此

$$\begin{aligned} F &= B\overline{AB} + A\overline{AB} + C\overline{AD} \\ &= \overline{\overline{B\overline{AB} + A\overline{AB} + C\overline{AD}}} \\ &= \overline{\overline{B\overline{AB}} \cdot \overline{A\overline{AB}} \cdot \overline{C\overline{AD}}} \\ &= \overline{\overline{B\overline{AB}} \cdot \overline{A\overline{AB}} \cdot \overline{C\overline{AD}}} \end{aligned}$$

其逻辑电路图如例题 1.8 图(b)所示。

例题 1.9 已知函数

$$F_1 = \sum m(3, 4, 6, 7, 12, 14, 15)$$

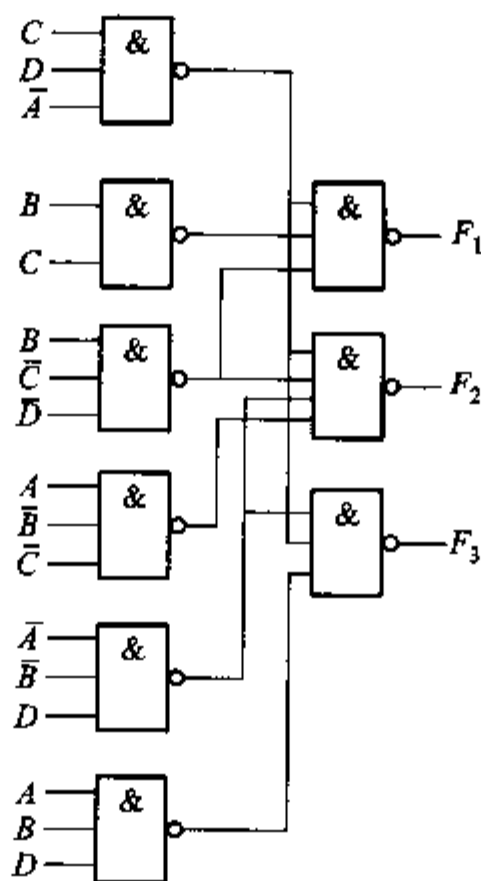
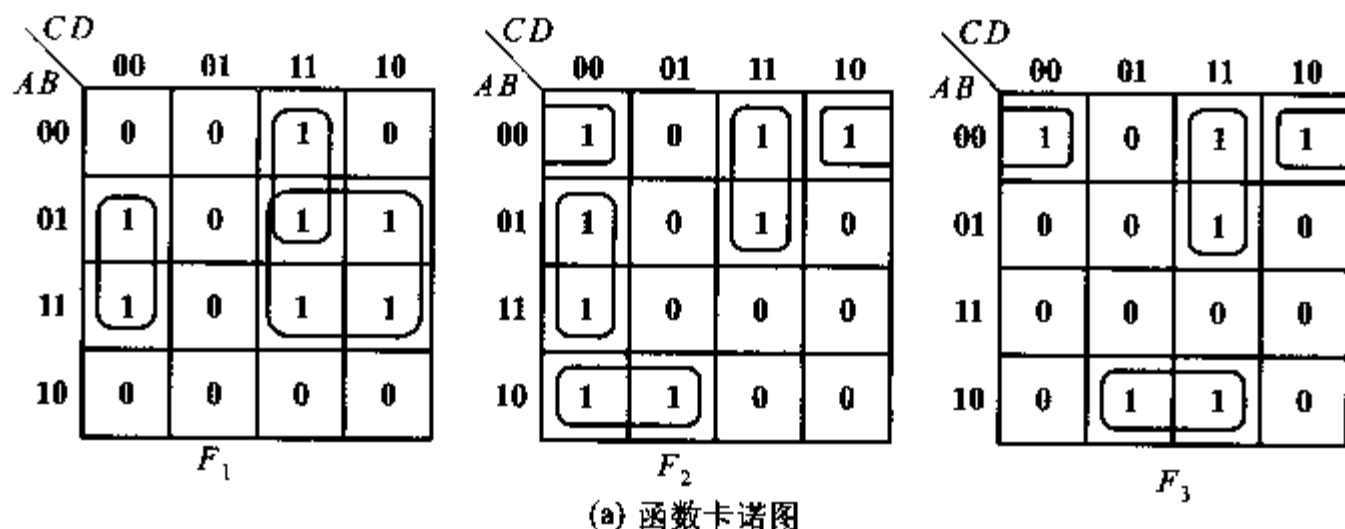
$$F_2 = \sum m(0, 2, 3, 4, 7, 8, 9, 12)$$

$$F_3 = \sum m(0, 2, 3, 7, 9, 11)$$

为同一个电路的三个输出端,试用最少数目的与非门实现其电路。

解:对多输出函数的电路化简,基本方法和步骤可参照单个函数化简。不同的是,多函数电路应保证整个电路为最简,而各单个函数不一定是最简,因此在化简过程中重要的是寻找和利用公共圈。具体解法如下:

先画函数的卡诺图,例题 1.9 图(a)为函数  $F_1 \sim F_3$  的卡诺图。



例题 1.9 图

兼顾  $F_1 \sim F_3$  之间能公用或部分函数公用的圈,画出了各函数画圈的情况。 $F_1$  为 3 个圈,  $F_2$  为 4 个圈,  $F_3$  为 3 个圈,  $F_1$  和  $F_2$  中的一个圈可以画得更大些,但考虑整体电路的简化,画的圈虽然不能使单个函数达到最简,但可使整体电路得到简化。

简化后逻辑函数的表达式为

$$F_1 = BC + \overline{A}CD + \overline{B}\overline{C}\overline{D} = \overline{\overline{BC} \cdot \overline{A}CD \cdot \overline{B}\overline{C}\overline{D}}$$

$$F_2 = \overline{A}\overline{B}\overline{C} + \overline{A}CD + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{D} = \overline{\overline{\overline{A}\overline{B}\overline{C}} \cdot \overline{A}CD \cdot \overline{B}\overline{C}\overline{D} \cdot \overline{A}\overline{B}\overline{D}}$$

$$F_3 = \overline{A}BD + \overline{A}CD + \overline{A}\overline{B}\overline{D} = \overline{\overline{\overline{A}BD} \cdot \overline{A}CD \cdot \overline{A}\overline{B}\overline{D}}$$

由此可画出实现上述逻辑函数的逻辑电路图如例题 1.9 图(b)所示。

### 第三节 题 解

#### 自我检测题解

- 题 1.1 答: (1)  $(101011.011)_B = (53.3)_O = (43.375)_D = (2B.6)_H$   
 (2)  $(465.43)_O = (100110101.100011)_B = (309.6875)_D = (135.8C)_H$   
 (3)  $(465.43)_D = (111010001.0111)_B = (1D1.7)_O = (721.34)_H$   
 (4)  $(8F.FF)_H = (10001111.11111111)_B = (217.77)_O = (143.99609375)_D$

题 1.2 答: 写出下列二进制数的原码、补码和反码。

- (1)  $(+1011)_B$  的原码为 00001011 补码为 00001011 反码为 00001011  
 (2)  $(+00110)_B$  的原码为 00000110 补码为 00000110 反码为 00000110  
 (3)  $(-1101)_B$  的原码为 10001101 补码为 11110011 反码为 11110010  
 (4)  $(-00101)_B$  的原码为 10000101 补码为 11111011 反码为 11111010

题 1.3 答: 十进制数与 BCD 码间的转换。

- (1)  $(459)_D = (010001011001)_{8421BCD} = (011110001100)_{\text{余3码}}$   
 (2)  $(010000000111)_{8421} = (011100111010)_{\text{余3码}} = (407)_D$   
 (3)  $(110000110110)_{\text{余3码}} = (903)_D = (100100000011)_{8421BCD}$   
 (4)  $(36.09)_D = (00110110.00001001)_{8421BCD} = (01101001.00111100)_{\text{余3码}}$

题 1.4 答: 用补码运算。

- (1)  $-66 - 45 =$  \_\_\_\_\_ (2)  $35 - 18 =$  \_\_\_\_\_  
 (3)  $34 + 23 =$  \_\_\_\_\_ (4)  $16 - 40 =$  \_\_\_\_\_

解:

$$(1) -66 - 45 =$$

$\begin{array}{r} X_1 = -66 \\ +) X_2 = -45 \\ \hline X_1 + X_2 = -111 \end{array}$	$\begin{array}{r} [X_1]_{\text{补}} = 1\ 0111110 \\ +) [X_2]_{\text{补}} = 1\ 1010011 \\ \hline [X_1 + X_2]_{\text{补}} = \boxed{1}\ 1\ 0010001 \end{array}$ <p style="text-align: right; margin-right: 50px;">↑ -自然丢失</p>
---	---

应用 1 位符号位, 可以正确得到此题的答案, 运算结果正确。

$$(2) 35 - 18 =$$

$\begin{array}{r} X_1 = 35 \\ +) X_2 = -18 \\ \hline X_1 + X_2 = 17 \end{array}$	$\begin{array}{r} [X_1]_{\text{变补}} = 00\ 100011 \\ +) [X_2]_{\text{变补}} = 11\ 101110 \\ \hline [X_1 + X_2]_{\text{变补}} = 1\ 00\ 010001 \end{array}$
--	--

由于  $X_1 + X_2 = 17 = 10001\text{B}$ , 运算结果正确。

$$(3) 34 + 23 =$$

$\begin{array}{r} X_1 = 34 \\ +) X_2 = 23 \\ \hline X_1 + X_2 = 57 \end{array}$	$\begin{array}{r} [X_1]_{\text{变补}} = 00\ 100010 \\ +) [X_2]_{\text{变补}} = 00\ 010111 \\ \hline [X_1 + X_2]_{\text{变补}} = 00\ 111001 \end{array}$
---	---

由于  $X_1 + X_2 = 57 = 111001\text{B}$ , 运算结果正确。

$$(4) 16 - 40 =$$

$\begin{array}{r} X_1 = 16 \\ +) X_2 = -40 \\ \hline X_1 + X_2 = -24 \end{array}$	$\begin{array}{r} [X_1]_{\text{变补}} = 00\ 010000 \\ +) [X_2]_{\text{变补}} = 11\ 011000 \\ \hline [X_1 + X_2]_{\text{变补}} = 11\ 101000 \end{array}$
---	---

由于  $X_1 + X_2 = -24 = -11000\text{B}$ , 运算结果正确。

题 1.5 选择填空。

(1) 已知逻辑函数  $F = AB + CD$ , 选出下列可以肯定使  $F = 1$  的状态是 c。

(a)  $A = 0, BC = 0, D = 0$

(b)  $A = 0, BD = 0, C = 0$

(c)  $AB = 1, C = 0, D = 0$

(d)  $AC = 1, B = 0$

(2)  $1 \oplus 1 \oplus 1 \oplus 1 \oplus \dots$  (共连续 2 005 个 1),  $1 \odot 1 \odot 1 \odot 1 \odot \dots$  (共连续 2 005 个 1) 的结果是 d。

(a) 0, 0

(b) 1, 0

(c) 0, 1

(d) 1, 1

题 1.6 指出下列各式中哪些是四变量  $A, B, C, D$  的最小项和最大项。在最小项后的( )里填“m”, 在最大项后的( )里填“M”, 其他填“×”。

$$(1) A + \bar{B} + D (\times)$$

$$(2) \bar{A} \bar{B} CD (m)$$

$$(3) ABC (\times)$$

$$(4) AB(C + D) (\times)$$

$$(5) \bar{A} + B + C + D (M)$$

$$(6) A + B + CD (\times)$$

题 1.7 试分析下述函数是否是最简式。在题日后的括号里填“是”或“不是”。

$$(1) F = \overline{ABBCBD CD} \text{ 是否是最简与非-与非式 (不是)}$$

$$(2) F = \overline{B D + ACD + ABC} \text{ 是否是最简与或非式 (不是)}$$

$$(3) F = \overline{B + D + B + C + A + C + D} \text{ 是否是最简或非-或非式 (是)}$$

$$(4) F = \overline{A + B + B + C + B + D} \text{ 是否是最简或非-或非式 (是)}$$

### 思考题题解

题 1.1 什么是 8421BCD 编码? 8421BCD 码与二进制数之间有何区别?

答: 8421BCD 码又称二-十进制码, 使用此代码来表示人们习惯的十进制数码。8421BCD 码是用 0000 ~ 1111 中前的 10 个数表示 0 ~ 9, 而二进制数是 0000 ~ 1111 每个值都有效, 表示 0 ~ 15 的数。

题 1.2 逻辑代数中有几种基本运算? 其中与运算、或运算同二进制数的乘法和加法算术运算规律比较有何区别?

答: 三种基本逻辑运算是与、或、非。与运算与 1 位二进制数的乘法运算结果相似, 但是没有进位; 或运算和 1 位二进制数的加法运算结果相似, 但是当两个数都是 1 时, 或运算的结果仍旧是 1, 而加法的结果是 0, 并有 1 位进位。

题 1.3 设  $A$ 、 $B$ 、 $C$  为逻辑变量。

若  $A + B = A + C$ , 问  $B = C$  吗? 为什么?

若  $A \cdot B = A \cdot C$ , 问  $B = C$  吗? 为什么?

若  $A + B = A + C$  且  $A \cdot B = A \cdot C$ , 问  $B = C$  吗? 为什么?

答: 若  $A + B = A + C$ ,  $B$  不一定等于  $C$ , 因为当  $A = 1$  时, 无论  $B$  和  $C$  取何值, 等式两边都等于 1, 即  $A + B = A + C$ 。

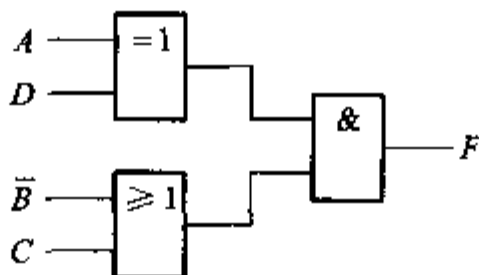
若  $A \cdot B = A \cdot C$ ,  $B$  不一定等于  $C$ , 因为当  $A = 0$  时, 无论  $B$  和  $C$  取何值, 等式两边都等于 0, 即  $A \cdot B = A \cdot C$ 。

若  $A + B = A + C$  且  $A \cdot B = A \cdot C$ ,  $B$  一定等于  $C$ 。因为当  $A = 0$  时, 由  $A + B = A + C$  可得  $B = C$ ; 而当  $A = 1$  时, 由  $A \cdot B = A \cdot C$  可得  $B = C$ 。由此可知, 若  $A + B = A + C$  且  $A \cdot B = A \cdot C$ , 无论  $A$  取何值,  $B = C$ 。

题 1.4 电路图如思考题 1.4 图所示。

(1) 根据反演规则, 写出  $F$  的反函数。

(2) 根据对偶规则, 写出  $F$  的对偶式。



思考题 1.4 图

(3) 用最少数目的与非门实现函数  $F$ 。

(4) 用最少数目的与或非门实现函数  $F$ 。

答: (1)  $F = (A \oplus D)(\bar{B} + C) = \bar{A} \odot \bar{D} + B \bar{C}$

(2)  $F' = A \odot D + \bar{B}C$

(3)  $F = A \bar{B} \bar{D} + \bar{A} \bar{B} D + A C \bar{D} + \bar{A} C D$

$$= \overline{A \bar{B} D} + \overline{A B D} + \overline{A C D} + \overline{A \bar{C} D} = \overline{A \bar{B} D} \cdot \overline{A B D} \cdot \overline{A C D} \cdot \overline{A \bar{C} D}$$

(4)  $F = (A + D)(\bar{A} + \bar{D})(B + C) = \overline{A + D} + \overline{\bar{A} + \bar{D}} + \overline{B + C} = \bar{A} \bar{D} + A D + \bar{B} \bar{C}$

题 1.5 逻辑函数有几种表示方法? 它们之间如何相互转换?

答: 逻辑函数有五种常用表示方法, 分别是与或式, 或与式, 与非-与非式, 或非-或非式和与或非式。与或式和或与式是基本表达方法, 它们之间的转化利用吸收律、分配律等基本方法完成。与非-与非式是由与或式两次取反, 利用反演律变换的。或非-或非式是由或与式两次取反, 利用反演律变换的。与或非式是由或与式两次取反, 然后两次用反演律变换的。

题 1.6 最小项的逻辑相邻的含义是什么? 在卡诺图中是怎样体现的?

答: 最小项的逻辑相邻是指最小项内所含的变量中只有一个变量互为补, 反映在卡诺图中是几何位置相邻。

题 1.7 试总结并说出

(1) 由真值表写逻辑函数式的方法。

(2) 由函数式列真值表的方法。

(3) 从逻辑图写逻辑函数式的方法。

(4) 从逻辑函数式画逻辑图的方法。

(5) 卡诺图的绘制方法。

(6) 利用卡诺图化简函数式的方法。

答: (1) 将真值表中每个输出为 1 的输入变量取值组合写成一个乘积项, 若输入变量取值为 1, 乘积项中的因子用原变量表示, 反之用反变量表示, 然后将这些乘积项做逻辑加。

(2) 给函数式中所有输入量依次赋值, 观察取这些输入组合的情况下输出的状态, 绘制真值表。



(3) 逻辑图的逻辑符号就是表示函数式间的运算关系,将对应的逻辑符号转换成逻辑运算符,写成逻辑函数式。

(4) 将逻辑函数式中的逻辑符号相应转化成各种逻辑门来表示。

(5) 根据变量的个数决定卡诺图的方框数,卡诺图中行列变量的取值按循环码规律排列,以保证几何位置上相邻的方格其对应的最小项为逻辑相邻项。

(6) 用卡诺图化简函数时,首先将函数填入相应的卡诺图中,然后按作圈原则将图上填 1 的方格圈起来,要求圈的数量少、范围大,每个圈用对应的乘积项表示,最后将所有乘积项逻辑相加,就得到了最简的与或表达式。最简或与表达式化简是将所有取 0 的作圈,然后将所有圈用对应的和项表示,注意若圈对应的变量取值是 0 写成原变量,取 1 写成反变量,最后将所有和项逻辑乘。

题 1.8 为什么说逻辑函数的真值表和最小项表达式具有唯一性?

答:对于任何一个最小项,只有一组变量取值使它的值为 1,同样的,只有一组最小项的逻辑组合完全满足输出值为 1。真值表是和最小项表达式相对应的。两者对于同一个逻辑函数都是唯一的。

题 1.9 什么叫约束项?如何用约束项化简逻辑函数?

答:输入变量的取值受到限制称受到约束,它们对应的最小项称为约束项。采用图解法对含约束项的逻辑函数进行化简,在对应的格内添上“×”,根据作圈的需要这些格可以视为 1 也可以视为 0。

题 1.10 试说明两个逻辑函数间的与、或、异或运算可以通过卡诺图中对应的最小项进行与、或、异或运算来实现。

答:逻辑函数间的与、或、异或运算相当于逻辑函数各个最小项的运算,也就是卡诺图中对应项的运算,那么可以通过卡诺图将逻辑函数间的运算转换成若干 1 位的逻辑运算,然后化简得到最简的表达式。

### 习题题解

习题 1.1 将下列二进制数分别转换成八进制数、十六进制数和十进制数。

(1) 100110

(2) 100101101.110

(3) 10000111001.100101

(4) 111111011010.10100111

解:  $(100110)_B = (46)_O = (26)_H = (38)_D$

$(100101101.110)_B = (455.6)_O = (12D.C)_H = (301.75)_D$

$(10000111001.100101)_B = (2\ 071.45)_O = (439.94)_H = (1\ 081.578\ 125)_D$

$(111111011010.10100111)_B = (7\ 732.516)_O = (FDA.A7)_H = (4\ 058.652\ 343\ 75)_D$

习题 1.2 写出下列十进制数的 8421BCD 码。

(1) (2 003)

(2) (99)

(3) (48.5)

(4) (12.08)

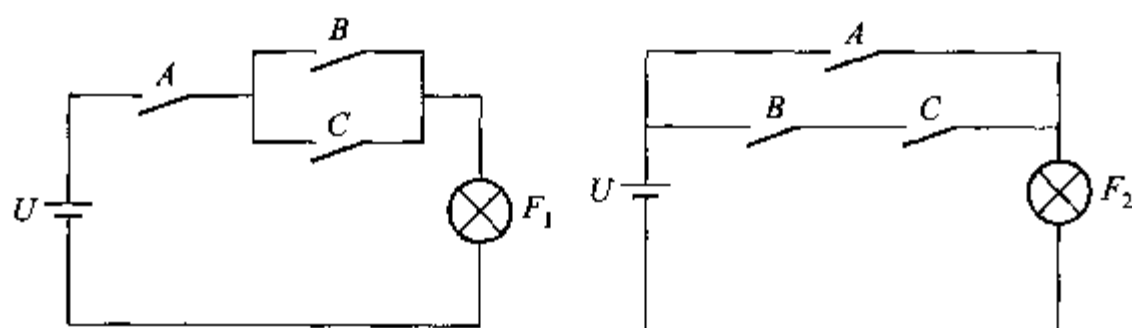
解: (1)  $(2\ 003)_D = (0010\ 0000\ 0000\ 0011)_{8421BCD}$

$$(2) (99)_D = (1001\ 1001)_{8421BCD}$$

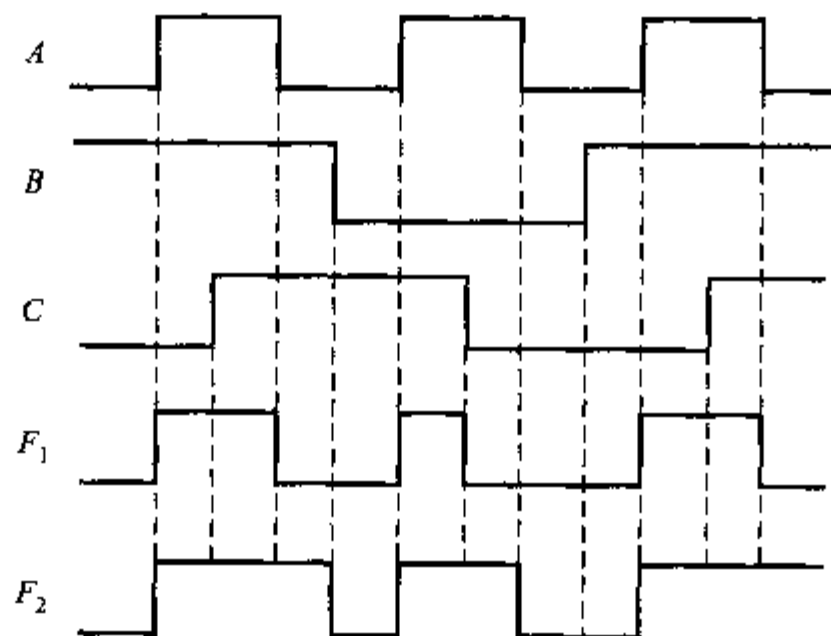
$$(3) (48.5)_D = (0100\ 1000.0101)_{8421BCD}$$

$$(4) (12.08)_D = (0001\ 0010.0000\ 1000)_{8421BCD}$$

习题 1.3 写出习题 1.3 图(a)所示开关电路中  $F$  和  $A$ 、 $B$ 、 $C$  之间逻辑关系的真值表、函数式和逻辑电路图。若已知  $A$ 、 $B$ 、 $C$  变化波形如习题 1.3 图(b)所示,画出  $F_1$ 、 $F_2$  的波形。



(a) 电路图

(b)  $A$ 、 $B$ 、 $C$  变化波形

(c)

习题 1.3 图

解: 设用输入变量  $A$ 、 $B$ 、 $C$  表示开关的状态, 开关闭合用逻辑 1 表示, 开关断开用逻辑 0 表示。输出变量  $F$  表示灯的状态, 灯亮用逻辑 1 表示, 灯灭用逻辑 0

表示。由此可列出开关电路的真值表如习题 1.3 表所示。

习题 1.3 表 开关电路的真值表

A	B	C	$F_1$	$F_2$
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

根据真值表可得函数的表达式

$$F_1 = A \bar{B} C + AB \bar{C} + ABC = A \bar{B} C + AB \\ = AB + AC$$

$$F_2 = \bar{A} BC + A \bar{B} \bar{C} + A \bar{B} C + AB \bar{C} + ABC \\ = A + BC$$

最后根据  $A$ 、 $B$ 、 $C$  波形,画出  $F_1$ 、 $F_2$  波形如习题 1.3 图(c)所示。

习题 1.4 用逻辑代数的基本公式和常用公式证明下列各等式。

$$(1) A + BC = (A + B)(A + C)$$

$$(2) BC + AD = (A + B)(B + D)(A + C)(C + D)$$

$$(3) \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + ABC = A \oplus B \oplus C$$

$$(4) (AB + C)B = AB \bar{C} + \bar{A} BC + ABC$$

$$\text{解: } (1) (A + B)(A + C) = A + AC + AB + BC = A(1 + C + B) + BC = A + BC$$

(2) 根据上题的结果

$$(A + B)(B + D)(A + C)(C + D) = [(A + B)(A + C)][(B + D)(C + D)] = \\ (A + BC)(D + BC) = BC + AD$$

$$(3) \bar{A} \bar{B} C + \bar{A} B \bar{C} + A \bar{B} \bar{C} + ABC = \bar{A}(\bar{B} C + B \bar{C}) + A(\bar{B} \bar{C} + BC) \\ = A(B \oplus C) + A(B \odot C) = \bar{A}(B \oplus C) + A(\bar{B} \oplus \bar{C}) = A \oplus B \oplus C$$

(4) 根据吸收律

$$(AB + C)B = AB + BC$$

$$AB \bar{C} + \bar{A} BC + ABC = AB \bar{C} + BC = B(A \bar{C} + C) = B(A + C) = AB + BC$$

习题 1.5 试画出用与非门和反相器实现下列函数的逻辑图。

$$(1) F = AB + BC + AC$$

$$(2) F = \overline{AB}C + A\overline{BC} + \overline{ABC}$$

$$(3) F = (\overline{A} + B)(A + \overline{B})C + \overline{BC}$$

$$(4) F = A\overline{BC} + (\overline{A}B + \overline{A}\overline{B} + BC)$$

解：习题 1.5 通过公式转换，得出下列形式：(1) 对应习题 1.5 图(a)；  
(2) 对应习题 1.5 图(b)；(3) 对应习题 1.5 图(c)；(4) 对应习题 1.5 图(d)。

$$(1) F = AB + AC + BC = \overline{AB}C + A\overline{BC} + \overline{ABC} = \overline{AB}C + A\overline{BC} + \overline{ABC}$$

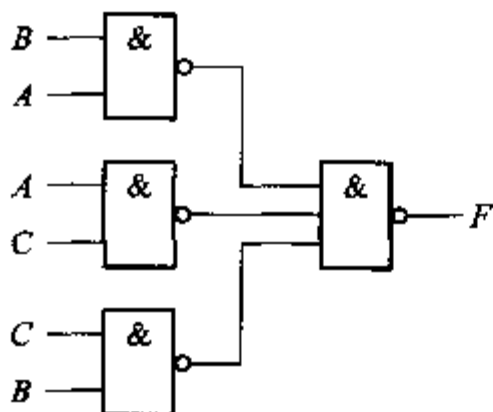
$$(2) F = \overline{AB}C + A\overline{BC} + \overline{ABC} = \overline{AB}C + A\overline{BC} + \overline{ABC} = \overline{AB}C + A\overline{BC} + \overline{ABC}$$

$$(3) F = (\overline{A} + B)(A + \overline{B})C + \overline{BC} = \overline{A}BC + ABC + \overline{BC}$$

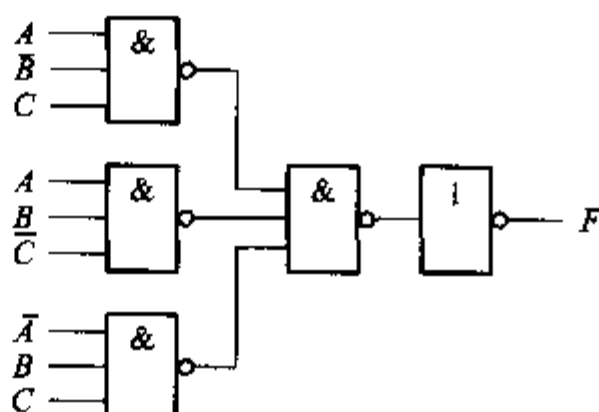
$$= \overline{A}BC + ABC + \overline{BC} = \overline{A}BC + ABC + \overline{BC}$$

$$(4) F = A\overline{BC} + \overline{A}B + \overline{A}\overline{B} + BC = A\overline{BC} + \overline{A}B + \overline{A}\overline{B} + BC$$

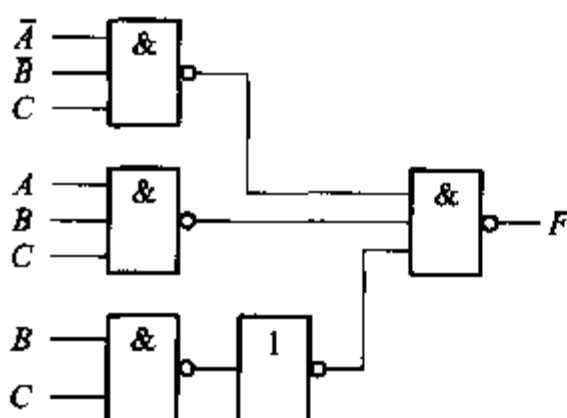
$$= \overline{A}BC + A\overline{BC} + \overline{A}\overline{B} + BC$$



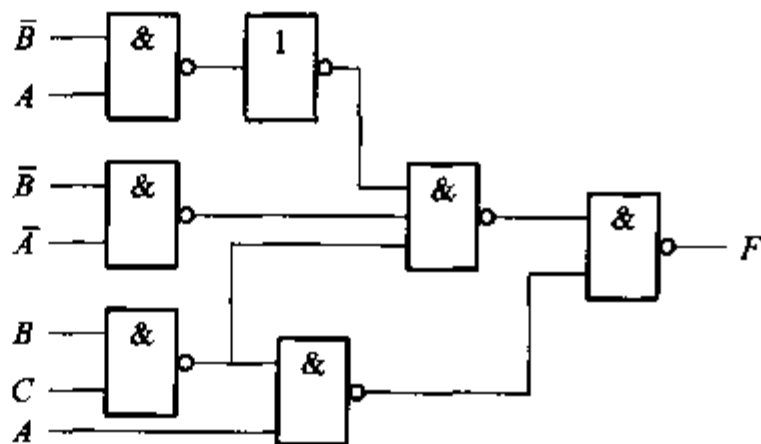
(a)



(b)



(c)



(d)

习题 1.5 图

习题 1.6 试画出用或非门和反相器实现下列函数的逻辑图。

$$(1) F = A\overline{BC} + B\overline{C}$$

$$(2) F = (A + C)(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C)$$

$$(3) F = (\overline{AB\overline{C}} + \overline{BC})\overline{D} + \overline{A}\overline{B}\overline{D}$$

$$(4) F = \overline{C\overline{D}\overline{BC}\overline{ABCD}}$$

解：习题 1.6 通过公式转换，得出下列形式：(1) 对应习题 1.6 图(a)；  
(2) 对应习题 1.6 图(b)；(3) 对应习题 1.6 图(c)；(4) 对应习题 1.6 图(d)。

$$(1) F = A\overline{B}\overline{C} + B\overline{C} = \overline{\overline{A}\overline{B}C} + \overline{\overline{B}C} = \overline{\overline{A} + B + C} + \overline{B + C}$$

$$(2) F = (A + C)(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C) = \overline{\overline{A + C}(\overline{A + B + C})(\overline{A + B + C})}$$

$$= \overline{(A + C) + (A + B + C) + (A + B + C)}$$

$$(3) F = (\overline{AB\overline{C}} + \overline{BC}) \cdot \overline{D} + \overline{A}\overline{B}\overline{D} = \overline{(\overline{AB\overline{C}} + \overline{BC}) \cdot D} + \overline{A(\overline{B} + \overline{D})}$$

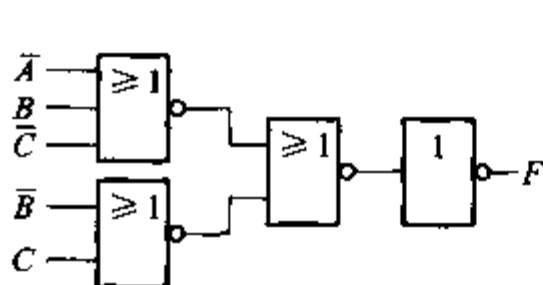
$$= \overline{AB\overline{C} \cdot BC \cdot D} + \overline{A\overline{B}} + \overline{A\overline{D}}$$

$$= \overline{(A + B + C) \cdot (B + \overline{C}) \cdot D} + \overline{A\overline{B}} + \overline{A\overline{D}}$$

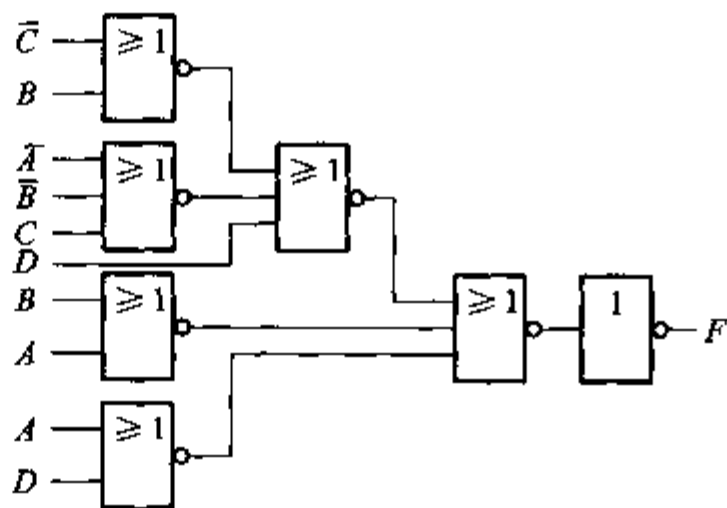
$$= \overline{A + B + C + B + \overline{C} + D} + \overline{A + B} + \overline{A + D}$$

$$(4) F = \overline{C\overline{D}\overline{BC}\overline{ABCD}} = \overline{(C + D)(\overline{B} + \overline{C})(A + B + C)D}$$

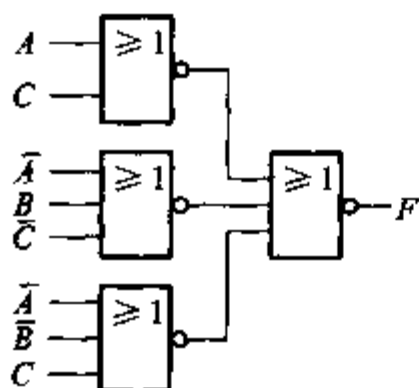
$$= \overline{C + D + \overline{B} + \overline{C} + A + B + C + D}$$



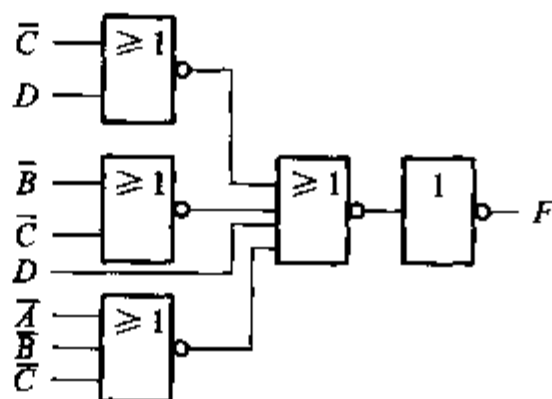
(a)



(c)



(b)



(d)

习题 1.6 图

习题 1.7 已知函数  $F, G$

$$F(A, B, C) = \sum m(2, 4, 5, 7)$$

$$G(A, B, C, D) = \sum m(1, 3, 6, 7, 12, 14, 15)$$

试分别用最少数目的或非门实现之, 要求电路的输入仅为原变量。

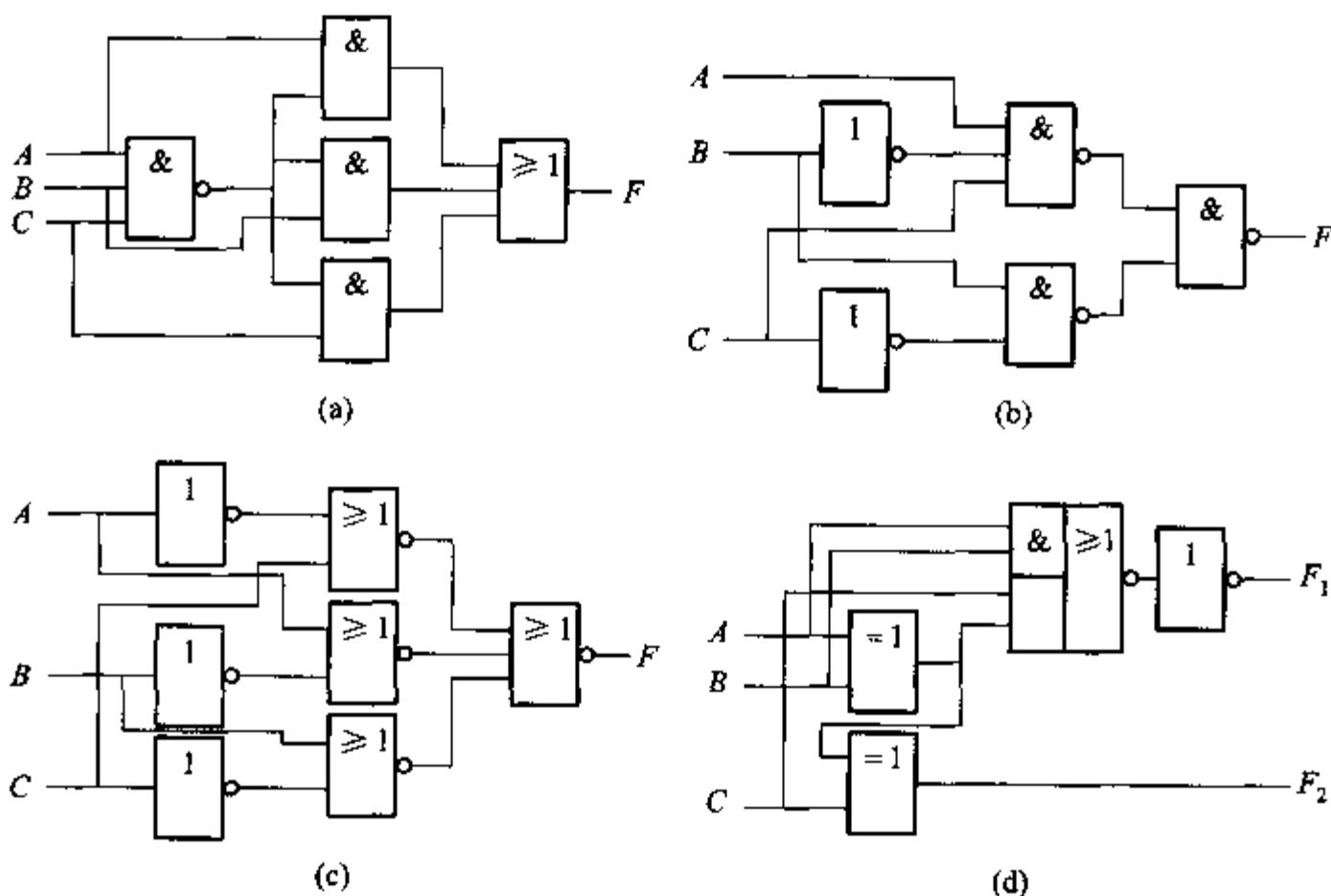
解: 将函数  $F$  转换成或非形式, 然后再将  $G$  转换成或非形式, 即

$$F(A, B, C) = \sum m(2, 4, 5, 7) = \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C + ABC = A(B+C) + A(\overline{B}+\overline{C}) = \overline{A} + (\overline{B}+\overline{C}) + \overline{A} + (\overline{B}+\overline{C})$$

$$\begin{aligned} G(A, B, C, D) &= \sum m(1, 3, 6, 7, 12, 14, 15) = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}CD + \overline{A}BC\overline{D} + \overline{A}BCD + AB\overline{C}\overline{D} + ABC\overline{D} + ABCD \\ &= BC + \overline{A}\overline{B}D + AB\overline{D} = \overline{B} + \overline{C} + \overline{A} + B + D + \overline{A} + \overline{B} + D \end{aligned}$$

$A$  通过或非门为  $\overline{A}$ , 同样方法可以得到  $\overline{B}$ ,  $F$  需要 8 个门; 而  $G$  需要用 9 个门。

习题 1.8 写出习题 1.8 图中各逻辑图的逻辑函数式, 并化简为最简与或式。



习题 1.8 图

解: (a)  $F = \overline{A}BC(A+B+C) = (\overline{A} + \overline{B} + \overline{C})(A+B+C) = \overline{A}C + B\overline{C} + A\overline{B}$

(b)  $F = \overline{A}BCB\overline{C} = A\overline{B}C + B\overline{C}$

(c)  $F = (\overline{A} + C) + (\overline{B} + A) + (\overline{C} + B) = (\overline{A} + C)(\overline{B} + A)(\overline{C} + B) = \overline{A}\overline{B}\overline{C} + ABC$

(d)  $F_1 = \overline{A}B + C(A \oplus B) \oplus 1$

$$F_2 = C \oplus (A \oplus B)$$

习题 1.9 将下列多输出逻辑函数化简为最简与或表达式,并用与非门实现。

$$(1) F_1 = \sum m(2,3,4,5,6,7,9,11,15) \quad F_2 = \sum m(0,2,6,8,9,11,15)$$

$$(2) F_1 = \sum m(1,2,3,4,5,7) \quad F_2 = \sum m(0,1,3,5,6,7)$$

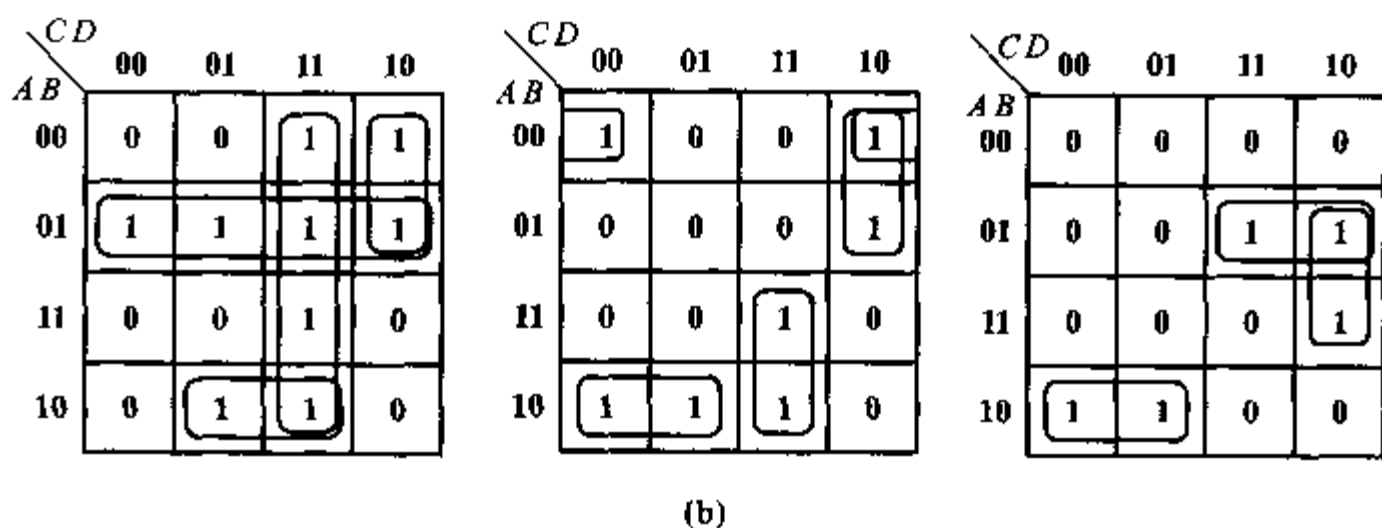
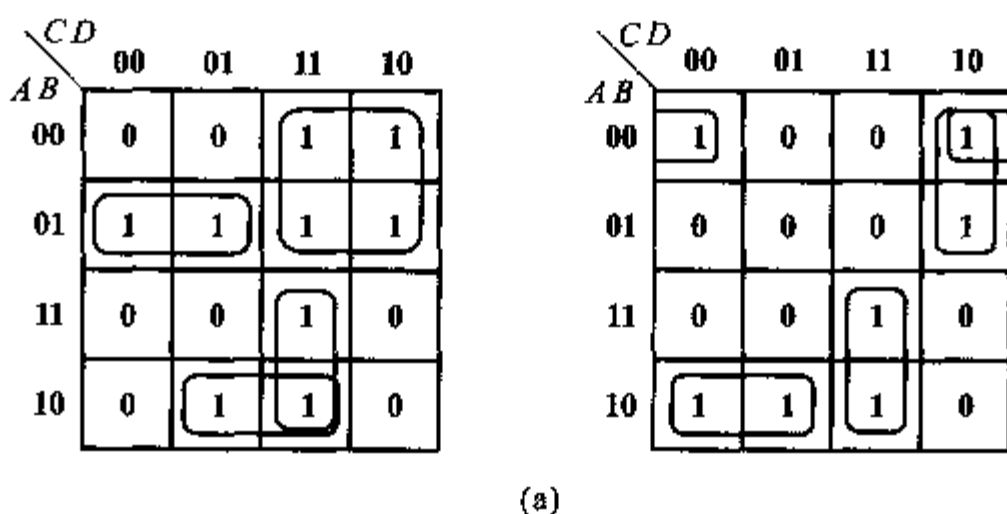
$$(3) F_1 = \sum m(1,2,3,4,5,6,7,8,9,12,14) \quad F_2 = \sum m(1,3,8,9,12,14)$$

$$F_3 = \sum m(6,7,8,9,14)$$

$$(4) F_1 = \sum m(2,3,4,5,6,7,9,11,15) \quad F_2 = \sum m(0,2,6,8,9,11,15)$$

$$F_3 = \sum m(6,7,8,9,14)$$

解: 做(1)、(4)题,省略(2)、(3)题。卡诺图如习题 1.9 图所示。



习题 1.9 图

$$(1) F_1 = \overline{A}C + \overline{A}B + ACD + A\overline{B}D \quad F_2 = \overline{B}\overline{C}\overline{D} + \overline{A}C\overline{D} + ACD + A\overline{B}D$$

$$(4) F_1 = \overline{A}B + \overline{A}C + CD + A\overline{B}D \quad F_2 = A\overline{B}\overline{C} + ACD + \overline{A}C\overline{D} + \overline{A}\overline{B}\overline{D}$$

$$F_3 = A\overline{B}\overline{C} + BC\overline{D} + \overline{A}BC$$

习题 1.10 用代数法将下列逻辑函数化简为最简与或式。

$$(1) F = ABC + \overline{A}\overline{B}C$$

$$(2) F = A(\overline{A} + B) + B(B + C) + B$$

$$(3) F = A \overline{BCD} + ABD + A \overline{CD}$$

$$(4) F = A(B \oplus C) + A(B + C) + A \overline{B} \overline{C} + \overline{A} \overline{B} C$$

$$(5) F = (A + B + C + D)(A + B + C + D)(A + B + \overline{C} + D)$$

解: (1)  $F = ABC + \overline{A} \overline{B} C$

$$(2) F = A(\overline{A} + B) + B(B + C) + B = AB + B + BC = B$$

$$(3) F = A \overline{BCD} + ABD + A \overline{CD} = AD(\overline{BC} + B + \overline{C}) = AD(B + C + \overline{C}) = AD$$

$$\begin{aligned} (4) F &= A(B \oplus C) + A(B + C) + A \overline{B} \overline{C} + \overline{A} \overline{B} C \\ &= AB \overline{C} + A \overline{B} C + AB + AC + A \overline{B} \overline{C} + \overline{A} \overline{B} C \\ &= AB + A \overline{B} C + AC + A \overline{B} \overline{C} + \overline{A} \overline{B} C \\ &= AB + AC + A \overline{B} \overline{C} + \overline{A} \overline{B} C = A(B + \overline{C}) + C(A + \overline{B}) \\ &= AB + A \overline{C} + AC + \overline{B} C = A + \overline{B} C \end{aligned}$$

$$\begin{aligned} (5) F &= (A + B + C + D)(\overline{A} + B + C + D)(A + B + \overline{C} + D) \\ &= (B + C + D)(A + B + \overline{C} + D) = B + D + AC \end{aligned}$$

习题 1.11 求下列函数的最简与或形式。

$$(1) F = A \overline{B} + B + \overline{A} B$$

$$(2) F = (\overline{A \oplus B})(\overline{B \oplus C})$$

$$(3) F = \overline{A \overline{B} + \overline{A} C + \overline{B} C}$$

$$(4) F = \overline{AB + \overline{B} C + AC}$$

$$(5) F = \overline{A \overline{B} C + \overline{A} + B + \overline{C}}$$

$$(6) F = \overline{ABD + \overline{A} \overline{C} + \overline{B} C \overline{D} + \overline{B} \overline{D} + AC}$$

$$(7) F = \overline{A \overline{B} (\overline{A} C D + \overline{A} D + \overline{B} \overline{C}) (\overline{A} + B)}$$

$$(8) F = \overline{AB \overline{C} \overline{D} + BD \overline{A} C}$$

$$(9) F = A + (\overline{B} + \overline{C})(A + \overline{B} + C)(A + B + C)$$

$$(10) F = \overline{A \overline{B} + AC + \overline{C} D + \overline{B} \overline{C} \overline{D} + B \overline{C} E + \overline{B} C F + BC \overline{G}}$$

解: (1)  $F = A \overline{B} + B + \overline{A} B = A \overline{B} + B = A + B$

$$(2) F = (\overline{A \oplus B})(\overline{B \oplus C}) = (\overline{AB} + \overline{A} \overline{B})(\overline{BC} + \overline{B} \overline{C}) = ABC + \overline{A} \overline{B} \overline{C}$$

$$(3) F = \overline{A \overline{B} + \overline{A} C + \overline{B} C} = A \overline{B} + (A + \overline{C})(B + \overline{C}) = A \overline{B} + AB + \overline{C} = A + \overline{C}$$

$$\begin{aligned} (4) F &= \overline{AB + \overline{B} C + AC} = (\overline{A} + \overline{B})(\overline{B} + \overline{C})(\overline{A} + \overline{C}) \\ &= (\overline{A} + \overline{B})(\overline{A} \overline{B} + \overline{C}) = \overline{A} \overline{B} + \overline{A} \overline{C} + \overline{B} \overline{C} \end{aligned}$$

$$\begin{aligned} (5) F &= \overline{A \overline{B} C + \overline{A} + B + \overline{C}} = A \overline{B} C + \overline{A} (1 + \overline{B} C) + B + \overline{C} \\ &= \overline{B} C + \overline{A} + B (1 + C) + \overline{C} = \overline{A} + B + C + \overline{C} = 1 \end{aligned}$$

$$\begin{aligned} (6) F &= \overline{ABD + \overline{A} \overline{C} + \overline{B} C \overline{D} + \overline{B} \overline{D} + AC} \\ &= (A + \overline{B} + \overline{D})(A + C)(B + \overline{C} + D) + (B + D)(\overline{A} + \overline{C}) \\ &= AB + A \overline{C} + AD + \overline{B} C D + CB \overline{D} + \overline{A} B + B \overline{C} + \overline{A} D + \overline{C} D = B + A \overline{C} + D \end{aligned}$$

$$(7) F = \overline{A \overline{B} (\overline{A} C D + \overline{A} D + \overline{B} \overline{C}) (\overline{A} + B)}$$



$$\begin{aligned}
 &= A \bar{B} (\bar{A} \bar{C} \bar{D} + B \bar{D} + C \bar{D} + \bar{A} B + \bar{A} C) (\bar{A} + B) \\
 &= A \bar{B} C \bar{D} (\bar{A} + B) = 0
 \end{aligned}$$

$$\begin{aligned}
 (8) \quad F &= \overline{AB \bar{C} \bar{D} + BD \bar{A} C} = \overline{AB(\bar{C} + D) + BD(\bar{A} + C)} \\
 &= \overline{ABC + ABD + ABD + B \bar{C} D} = \overline{BD + ABC} \\
 &= \bar{B} + \bar{A} \bar{D} + \bar{C} \bar{D}
 \end{aligned}$$

$$(9) \quad F = A + \bar{B} C (A + \bar{B} + C) (A + B + C) = A + \bar{B} C (A + C) = A + \bar{B} C$$

$$\begin{aligned}
 (10) \quad F &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} \bar{D} + B \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + (1 + \bar{B}) \bar{C} D + \bar{B} \bar{C} \bar{D} + B \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} + B \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} (1 + E) + B \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} + \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} (1 + F) + \bar{C} E + \bar{B} C F + BC \bar{G}} \\
 &= \overline{\bar{A} \bar{B} + AC + \bar{C} D + \bar{B} \bar{C} + \bar{C} E + \bar{B} F + BC \bar{G}}
 \end{aligned}$$

习题 1.12 求下列函数的反函数并化为最简与或形式。

$$(1) \quad F = (A + B)(A + C) \cdot AC + BC$$

$$(2) \quad F = (AB + \bar{A} \bar{B})(C + D)(E + \bar{C} \bar{D})$$

$$(3) \quad F = (\bar{A} \bar{B} + C) \overline{AB + CD + \bar{A} \bar{C} D}$$

$$(4) \quad F = \overline{A + C(BC + D)} \cdot B + AD$$

$$(5) \quad F = \overline{A + B + C + D + E}$$

$$\begin{aligned}
 \text{解: } (1) \quad \bar{F} &= \overline{AC + A \bar{B} + BC \cdot AC + BC} \\
 &= \overline{[(\bar{A} + \bar{C})(A + B)(B + \bar{C}) + (\bar{A} + \bar{C})](\bar{B} + \bar{C})} = \bar{B} + \bar{C}
 \end{aligned}$$

$$\begin{aligned}
 (2) \quad \bar{F} &= \overline{(AB + \bar{A} \bar{B})(C + D)(E + \bar{C} \bar{D})} \\
 &= \overline{(\bar{A} + \bar{B})(A + B) + \bar{C} \bar{D} + \bar{A} \bar{C} D} = \bar{A} \bar{B} + A \bar{B} + \bar{C} \bar{D} + \bar{A} \bar{C} D
 \end{aligned}$$

$$\begin{aligned}
 (3) \quad \bar{F} &= \overline{(\bar{A} \bar{B} + C) \overline{AB + CD + \bar{A} \bar{C} D}} \\
 &= \overline{(\bar{A} + \bar{B})(A + B) + \bar{C} \bar{D} + \bar{E} C D} = \bar{A} \bar{B} + A \bar{B} + \bar{C} \bar{D} + \bar{E} C D
 \end{aligned}$$

$$\begin{aligned}
 (4) \quad \bar{F} &= \overline{A + C(BC + D)} \cdot B + AD \\
 &= \overline{(\bar{A} \bar{C} + BC \bar{D} + B)(\bar{A} + \bar{D})} = \overline{(\bar{A} \bar{C} + B)(\bar{A} + \bar{D})} \\
 &= \bar{A} \bar{C} + \bar{A} \bar{B} + \bar{B} \bar{D}
 \end{aligned}$$

$$(5) \quad \bar{F} = \overline{A(BCDE)} = \bar{A} \bar{B} + \bar{A} \bar{C} + \bar{A} \bar{D} + \bar{A} \bar{E}$$

习题 1.13 求下列函数的对偶式并化为最简与或形式。

$$(1) \quad F = \overline{ABC(A + B \bar{C})} \cdot \bar{A} + C$$

$$(2) \quad F = \overline{\bar{A} \bar{B} + ABC(\bar{B} + \bar{C} \bar{D})}$$

$$(3) \quad F = \overline{(\bar{A} + B)(\bar{B} + C) + (\bar{C} + D)(\bar{D} + A)}$$

$$(4) \quad F = \overline{A \bar{B} \cdot B + CD + (\bar{C} + D)B}$$

$$(5) F = \overline{(A+C)(B+D) + BCD \cdot AD}$$

$$\text{解: (1) } F' = \overline{A+B+C} + \overline{A(B+C)} + \overline{AC} = A + \overline{C}$$

$$(2) F' = \overline{(A+B)(A+B+C)} + \overline{B(C+D)} = AB + \overline{B}C + \overline{B}\overline{D}$$

$$(3) F' = \overline{[\overline{AB} + \overline{BC}][\overline{CD} + \overline{AD}]} = A + \overline{BD}$$

$$(4) F' = \overline{(AC+BD)(B+C+D+A+D)} = \overline{AB} + \overline{AD} + \overline{B}\overline{C} + \overline{D}\overline{C} + \overline{AC}$$

$$(5) F' = \overline{[(A+B) + B(C+D)][\overline{CD} + B]} \\ = \overline{(A+B + (B+C)(B+D)(C+D)\overline{B})} = B + \overline{CD}$$

习题 1.14 证明下列逻辑恒等式(方法不限)。

$$(1) (A + \overline{C})(B + D)(B + \overline{D}) = AB + B\overline{C}$$

$$(2) (A \oplus B) \oplus C = A \oplus (B \oplus C)$$

$$(3) \overline{(A+B+C) \cdot \overline{CD}} + (B+\overline{C})(\overline{ABD} + \overline{B}\overline{C}) = 1$$

$$(4) \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} = \overline{A}\overline{C} + \overline{A}C + \overline{B}D + BD$$

$$\text{解: (1) } (A + \overline{C})(B + D)(B + \overline{D}) = AB + B\overline{C}$$

$$(A + \overline{C})(B + D)(B + \overline{D}) = (A + \overline{C})B = AB + B\overline{C}$$

$$(2) (A \oplus B) \oplus C = A \oplus (B \oplus C)$$

$$(A \oplus B) \oplus C = (\overline{AB} + \overline{AB})\overline{C} + (\overline{AB} + \overline{AB})C \\ = \overline{AB}\overline{C} + \overline{AB}C + (\overline{A} + B)(\overline{A} + \overline{B})C \\ = \overline{AB}\overline{C} + \overline{AB}C + \overline{A}\overline{B}C + ABC$$

$$A \oplus (B \oplus C) = A(\overline{BC} + \overline{BC}) + \overline{A}(\overline{BC} + \overline{BC}) \\ = \overline{A}B\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC$$

$$(3) \overline{(A+B+C) \cdot \overline{CD}} + (B+\overline{C})(\overline{ABD} + \overline{B}\overline{C}) = 1$$

$$\overline{(A+B+C) \cdot \overline{CD}} + (B+\overline{C})(\overline{ABD} + \overline{B}\overline{C}) = \overline{A}\overline{B}C\overline{C}D + \overline{B}\overline{C} = 1$$

$$(4) \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}C\overline{D} = \overline{A}\overline{C} + \overline{A}C + \overline{B}D + BD$$

$$\overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}D + A\overline{B}C\overline{D} + A\overline{B}C\overline{D}$$

$$= \overline{A}\overline{C}(\overline{B}\overline{D} + BD) + AC(BD + \overline{B}\overline{D}) = (BD + \overline{B}\overline{D})(\overline{A}\overline{C} + AC)$$

$$= (B \odot D)(A \odot C)$$

$$\overline{A}\overline{C} + \overline{A}C + \overline{B}D + BD = \overline{A} \oplus C + B \oplus D = \overline{A} \oplus C \cdot \overline{B} \oplus D = \\ (A \odot C)(B \odot D)$$

习题 1.15 写出下列函数的各种最简表达式:与或;或与;与或非;与非-与非;或非-或非式,并画出其对应的逻辑电路图。

$$(1) F = A\overline{B} + \overline{A}C$$

$$(2) F = \overline{A}B + \overline{A}\overline{D} + B\overline{D} + \overline{C}\overline{D} + \overline{B}\overline{C}D$$

$$(3) F = AC + B\overline{C} + \overline{A}B + BC$$

$$(4) F(A, B, C, D) = \sum m(1, 2, 6, 7, 8, 9, 10, 13, 14, 15)$$

$$(5) F(A, B, C, D) = \sum m(0, 1, 3, 4, 6, 7, 14, 15) + \sum d(8, 9, 10, 11, 12, 13)$$

$$\text{解: (1) } F = \overline{A}\overline{B} + \overline{A}C = \overline{A}\overline{C} + \overline{A}B + B\overline{C}$$

$$= \overline{A}\overline{C} \overline{A}\overline{B} \overline{B}\overline{C} = (A + C)(\overline{A} + \overline{B})(\overline{B} + C)$$

$$= \overline{A}\overline{B} + \overline{A}C = \overline{A}\overline{B} \cdot \overline{A}C$$

$$= (A + C)(A + B)(B + C) = (A + C) \cdot (A + B) \cdot (B + C)$$

$$(2) F = \overline{A}B + \overline{A}D + B\overline{D} + \overline{C}\overline{D} + \overline{B}\overline{C}D = \overline{A}B + \overline{A}D + B\overline{D} + \overline{C}\overline{D}(1 + \overline{B}) + \overline{B}\overline{C}D$$

$$= \overline{A}B + \overline{A}D + B\overline{D} + \overline{C}\overline{D} + \overline{B}\overline{C} = \overline{A}BC + ABD + BCD$$

$$= \overline{A}BC \cdot ABD \cdot BCD = (\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + D)(B + \overline{C} + D)$$

$$= \overline{A}B + \overline{A}D + B\overline{D} + \overline{C}\overline{D} + \overline{B}\overline{C} = \overline{A}B \cdot \overline{A}D \cdot B\overline{D} \cdot \overline{C}\overline{D} \cdot \overline{B}\overline{C}$$

$$= (\overline{A} + B + C)(A + B + D)(B + C + D)$$

$$= (\overline{A} + B + C) \cdot (A + B + D) \cdot (B + C + D)$$

$$(3) F = AC + B = \overline{A}\overline{B} + \overline{C}B$$

$$= (A + B)(B + C)$$

$$= AC + B = AC \cdot B$$

$$= (A + B)(B + C) = (A + B) \cdot (B + C)$$

$$(4) F = \overline{C}\overline{D} + BC + ABD + A\overline{B}\overline{C} + \overline{B}\overline{C}D$$

$$= \sum M(0, 3, 4, 5, 11, 12)$$

$$= (\overline{A} + \overline{C} + D)(\overline{B} + C + D)(\overline{A} + B + \overline{C})(B + \overline{C} + D)$$

$$= \overline{C}\overline{D} + BC + ABD + A\overline{B}\overline{C} + \overline{B}\overline{C}D = \overline{C}\overline{D} \cdot BC \cdot ABD \cdot A\overline{B}\overline{C} \cdot \overline{B}\overline{C}D$$

$$= (\overline{A} + \overline{C} + D)(\overline{B} + C + D)(A + B + \overline{C})(B + \overline{C} + D)$$

$$= (\overline{A} + \overline{C} + D) + (\overline{B} + C + D) + (A + B + \overline{C}) + (B + \overline{C} + D)$$

$$= \overline{A}\overline{B}\overline{C} + \overline{A}D\overline{C} + B\overline{C}D + BCD$$

$$(5) F = \sum M(0, 1, 3, 4, 6, 7, 14, 15) + \sum d(8, 9, 10, 11, 12, 13)$$

$$= \overline{C}\overline{D} + \overline{B}D + BC + A = \overline{C}\overline{D} \cdot \overline{B}D \cdot BC \cdot A$$

$$= (B + \overline{C} + D)(\overline{B} + C + D) = (B + C + D) + (B + C + D)$$

$$= \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}D$$

习题 1.16 用卡诺图化简下列函数, 分别写出其最简与或式和或与式。

$$(1) F = \overline{A}\overline{B} + \overline{A}\overline{C} \quad (A\overline{B}C + AB\overline{C} = 0)$$

$$(2) F = AB\overline{C} + \overline{A}BD \quad (A\overline{B} + AC = 0)$$

$$(3) F = A\overline{B}\overline{C} + AC + \overline{A}BC + \overline{B}C\overline{D}$$

$$(4) F(A, B, C, D) = \sum m(2, 3, 4, 5, 8, 9, 14, 15)$$

$$(5) F(A, B, C, D) = \sum m(1, 4, 8, 12, 13)$$

解：按包围卡诺图中的 1 化简，可得函数的最简的与或表达式。按包围卡诺图中的 0 化简，可得函数的最简的或与表达式。(1)题卡诺图对应习题 1.16 图(a)，(2)题卡诺图对应习题 1.16 图(b)，(3)、(4)和(5)题卡诺图省略。

$$(1) F = A\bar{C} + \bar{A}B = (B + \bar{C})(\bar{A} + C)$$

$$(2) F = BD + A\bar{C} = B(A + D)$$

$$(3) F = A\bar{B}\bar{C} + AC + \bar{A}BC + \bar{B}C\bar{D} = A\bar{B} + BC + C\bar{D} = (\bar{B} + C)(A + C)(A + B + \bar{D})$$

$$(4) F(A, B, C, D) = \sum m(2, 3, 4, 5, 8, 9, 14, 15)$$

$$F(A, B, C) = \bar{A}\bar{B}C + \bar{A}B\bar{C} + ABC + AB\bar{C}$$

$$F(A, B, C) = (A + B + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})(\bar{A} + \bar{B} + C)$$

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	1	0	0
	11	×	×	0	0
	10	0	0	×	×

		CD			
		00	01	11	10
AB	00	1	1	1	1
	01	1	1	0	0
	11	×	×	0	0
	10	0	0	×	×

(a)

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	1	1	×	×
	10	×	×	×	×

		CD			
		00	01	11	10
AB	00	0	0	0	0
	01	0	1	1	0
	11	1	1	×	×
	10	×	×	×	×

(b)

习题 1.16 图

$$(5) F = \sum m(1, 4, 8, 12, 13) = \bar{A}\bar{B}CD + B\bar{C}\bar{D} + AB\bar{C} + A\bar{C}\bar{D} \\ = C(A + B + D)(A + \bar{B} + \bar{D})(\bar{A} + B + \bar{D})$$

习题 1.17 用卡诺图化简下列有无关项的函数，分别写出其最简与或式和或与式。

$$(1) F(A, B, C, D) = \sum m(5, 6, 8, 10) + \sum d(0, 1, 2, 13, 14, 15)$$

$$(2) F(A, B, C, D) = \sum m(1, 4, 8, 12, 13) + \sum d(2, 3, 6, 10, 11, 14)$$

$$(3) \begin{cases} F(A, B, C, D) = \sum m(0, 3, 5, 6, 8, 13) \\ \text{约束条件 } \sum d(1, 4, 10) = 0 \end{cases}$$

$$(4) \begin{cases} F = AB\bar{C} + A\bar{B}\bar{C} + \bar{A}\bar{B}C\bar{D} + A\bar{B}C\bar{D} \\ \text{约束条件 } CD = 0 \end{cases}$$

解：第(1)题逻辑函数卡诺图对应习题 1.17 图(a)，第(4)题逻辑函数卡诺图对应习题 1.17 图(b)，第(2)和(3)题卡诺图省略。

$$(1) F(A, B, C, D) = \sum m(5, 6, 8, 10) + \sum d(0, 1, 2, 13, 14, 15)$$

$$F = C\bar{D} + B\bar{C}D + \bar{B}\bar{D} = (\bar{B} + C + D)(\bar{A} + \bar{D})(\bar{C} + \bar{D})$$

$$(2) F = \sum m(1, 4, 8, 12, 13) + \sum d(2, 3, 6, 10, 11, 14) = B\bar{D} + \bar{A}\bar{B}D + AB\bar{C} + A\bar{B}\bar{D}$$

$$= \bar{C}(A + B + D)(\bar{A} + \bar{B} + \bar{D})(\bar{A} + B + \bar{D})$$

$$(3) F = \bar{B}\bar{C}\bar{D} + B\bar{C}D + \bar{A}\bar{B}D + \bar{A}B\bar{D}$$

$$= (\bar{B} + D + \bar{A})(\bar{B} + \bar{C} + \bar{D})(B + \bar{C} + D)(\bar{A} + B + \bar{D})$$

CD \ AB	00	01	11	10
00	×	×	0	×
01	0	1	0	1
11	0	×	×	×
10	1	0	0	1

CD \ AB	00	01	11	10
00	×	×	0	×
01	0	1	0	1
11	0	×	×	×
10	1	0	0	1

(a)

CD \ AB	00	01	11	10
00	0	0	×	1
01	0	0	×	0
11	1	1	×	0
10	1	1	×	1

CD \ AB	00	01	11	10
00	0	0	×	1
01	0	0	×	0
11	1	1	×	0
10	1	1	×	1

(b)

习题 1.17 图

$$(4) F(A, B, C) = A\bar{C} + \bar{B}C$$

$$F(A, B, C) = (A + C)(\bar{B} + \bar{C})$$

习题 1.18 将下列函数化成最简或与式。

$$(1) F = A \bar{B} \bar{C} + \bar{A} C + BC$$

$$(2) F = AB + ACD + \bar{A} C \bar{D} + B \bar{D}$$

$$(3) F = AC \bar{D} + \bar{A} BC + \bar{A} \bar{B} D + \bar{B} \bar{C} D$$

$$(4) F = A \bar{B} C + \bar{A} \bar{B} \bar{C} + \bar{A} C \bar{D} + A \bar{C} \bar{D} + AD$$

$$(5) F(A, B, C, D) = \sum m(0, 1, 2, 5)$$

$$\text{解: (1) } F = A \bar{B} \bar{C} + \bar{A} C + BC = (A + C)(\bar{B} + C)(\bar{A} + B + \bar{C})$$

$$(2) F = \bar{A} B + ACD + \bar{A} C \bar{D} + B \bar{D} = (B + C)(\bar{A} + B + D)(A + C + \bar{D})(A + B + \bar{D})$$

$$(3) F = AC \bar{D} + \bar{A} BC + \bar{A} \bar{B} D + \bar{B} \bar{C} D = (\bar{B} + C)(C + D)(A + B + D)(\bar{A} + \bar{C} + \bar{D})$$

$$(4) F = A \bar{B} C + \bar{A} \bar{B} \bar{C} + \bar{A} C \bar{D} + A \bar{C} \bar{D} + AD = (A + \bar{B} + C)(A + \bar{C} + \bar{D})(A + B + \bar{C} + D)$$

$$(5) F = \bar{A}(\bar{C} + \bar{D})(\bar{B} + D)$$

卡诺图省略。

习题 1.19 将下列函数化成最简与或式。

$$(1) F = A(B + \bar{C})(A + D + E)(B + C + \bar{D} + \bar{E})(\bar{A} + \bar{B} + C + \bar{D} + E)$$

$$(2) F(A, B, C, D, E) = \prod M(0, 2, 4, 6, 9, 11, 13, 15, 17, 19, 21, 25, 27, 29)$$

$$(3) F(A, B, C, D, E) = \prod M(1, 2, 5, 8, 9, 10, 12, 13, 14, 18, 19, 22, 23, 24, 26, 28)$$

$$(4) F(A, B, C, D, E) = \prod M(8, 9, 12, 13, 16, 18, 20, 22, 23, 24, 26, 28, 30, 31)$$

解: 省略。

习题 1.20 试用卡诺图对已知函数做逻辑运算。

$$(1) \text{ 已知 } \begin{cases} F = AB \bar{C} + CD(A + \bar{B}) + \bar{B} \bar{C} \bar{D} \\ G = (AB + C \bar{D})AB \bar{C} + \bar{A} \bar{B} \bar{D} \end{cases}$$

试求: (a)  $F \cdot G$  (b)  $F + G$  (c)  $F \oplus G$

$$(2) \text{ 已知 } \begin{cases} F(A, B, C, D) = \sum m(2, 4, 6, 9, 13, 14) + \sum d(0, 1, 3, 8, 11, 15) \\ G(A, B, C, D) = \sum m(4, 5, 7, 9, 12, 13, 14) + \sum d(1, 3, 8, 10) \end{cases}$$

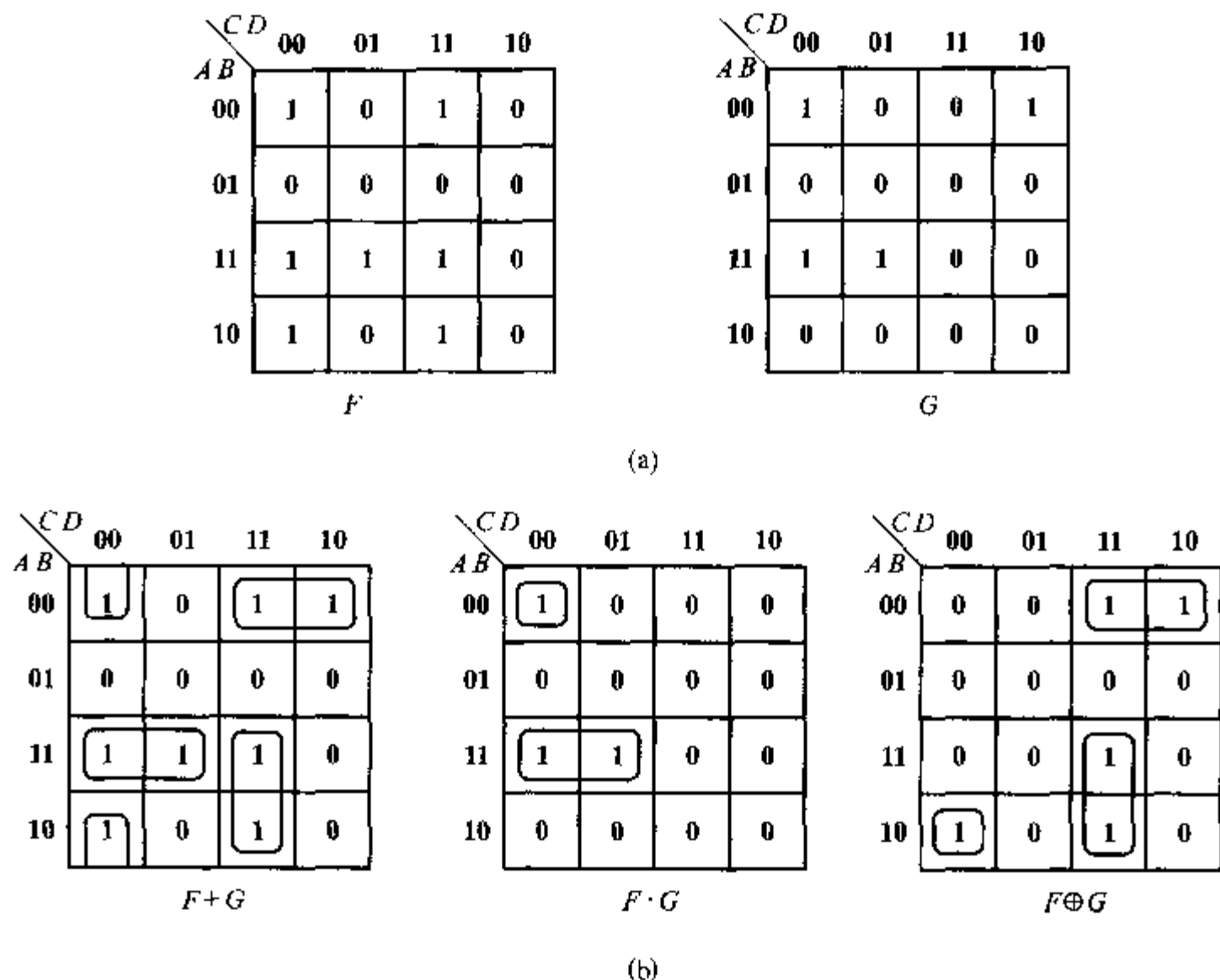
试求: (a)  $F + G$  (b)  $F \cdot G$  (c)  $F \oplus G$

解: (1) 首先画出  $F$  和  $G$  的卡诺图, 如习题 1.20 图(a)所示。然后根据  $F$  和  $G$  的卡诺图画出 (a)  $F \cdot G$  (b)  $F + G$  (c)  $F \oplus G$  的卡诺图, 如习题 1.20 图(b)所示。

由卡诺图化简得

$$F + G = ACD + AB \bar{C} + \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} C \quad F \cdot G = AB \bar{C} + \bar{A} \bar{B} \bar{C} \bar{D}$$

$$F \oplus G = ACD + \bar{A} \bar{B} C + A \bar{B} \bar{C} \bar{D}$$



习题 1.20 图

(2)方法同(1),省略。

习题 1.21 多输出函数卡诺图化简。

$$F_1(A, B, C, D) = \sum m(3, 4, 6, 7, 12, 14, 15)$$

$$F_2(A, B, C, D) = \sum m(2, 3, 4, 6, 7, 9, 12, 13, 14, 15)$$

$$F_3(A, B, C, D) = \sum m(0, 2, 3, 4, 7, 8, 9, 12)$$

为同一电路的三个输出端,试用最少数目的与非门实现其电路。

解:首先画出三个输出函数的卡诺图如习题 1.21 图所示。为了节省与非门的数量,采用较多的相同的乘积因子,公式简化如下:

$$F_1 = B \bar{C} \bar{D} + BC + \bar{A} CD = \overline{B \bar{C} D} \cdot \overline{BC \bar{A} D} \cdot \overline{\bar{A} C \bar{D}}$$

$$F_2 = B \bar{C} \bar{D} + BC + \bar{A} CD + A \bar{C} \bar{D} + \bar{A} \bar{B} C = \overline{B \bar{C} D} \cdot \overline{BC \bar{A} D} \cdot \overline{\bar{A} C \bar{D}} \cdot \overline{A \bar{C} \bar{D}} \cdot \overline{\bar{A} \bar{B} C}$$

$$F_3 = \bar{A} CD + A \bar{B} \bar{C} + \bar{A} \bar{B} C + \bar{C} D = \overline{\bar{A} C \bar{D}} \cdot \overline{A \bar{B} \bar{C}} \cdot \overline{\bar{A} \bar{B} C} \cdot \overline{\bar{C} D}$$

习题 1.22 利用卡诺图求逻辑函数  $F = F_1 \cdot F_2$  的最简与或表达式。

$$(1) F_1 = \sum m(0, 1, 3, 7)$$

$$F_2 = \sum m(1, 3, 5, 7)$$

$$(2) F_1 = \sum m(0, 1, 3, 5, 7, 9, 11)$$

$$F_2 = \sum m(0, 4, 5, 8, 11, 13, 14, 15)$$

		$CD$			
		00	01	11	10
$AB$	00	0	0	1	0
	01	1	0	1	1
	11	1	0	1	1
	10	0	0	0	0

$F_1$

		$CD$			
		00	01	11	10
$AB$	00	0	0	1	1
	01	1	0	1	1
	11	1	1	1	1
	10	0	1	0	0

$F_2$

		$CD$			
		00	01	11	10
$AB$	00	1	0	1	1
	01	1	0	1	0
	11	1	0	0	0
	10	1	1	0	0

$F_3$

习题 1.21 图

解: (1) 首先找出  $F_1$  和  $F_2$  的共同最小项 1、3、7, 得到  $F = F_1 \cdot F_2 = F_2 = \sum m(1, 3, 7)$ , 然后化简得

$$F = F_1 \cdot F_2 = \bar{A}\bar{B}C + \bar{A}BC + ABC = \bar{A}C + BC$$

(2) 首先画出  $F_1$  和  $F_2$  的卡诺图, 并根据  $F_1$  和  $F_2$  的卡诺图画出  $F = F_1 \cdot F_2$  的卡诺图, 如习题 1.22 图所示。

		$CD$			
		00	01	11	10
$AB$	00	1	1	1	0
	01	0	1	1	0
	11	0	0	0	0
	10	0	1	1	0

$F_1$

		$CD$			
		00	01	11	10
$AB$	00	1	0	0	0
	01	1	1	0	0
	11	0	1	1	1
	10	1	0	1	0

$F_2$

		$CD$			
		00	01	11	10
$AB$	00	1	0	0	0
	01	0	1	0	0
	11	0	0	0	0
	10	0	0	1	0

$F_1 \cdot F_2$

习题 1.22 图

化简卡诺图得  $F = F_1 \cdot F_2 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}D + A\bar{B}CD$



## 第二章 逻辑门电路

集成逻辑门电路是组成各种数字电路的基本单元。通过本章的学习,要求读者了解集成逻辑门的基本结构,理解各种集成逻辑门电路的工作原理,掌握集成逻辑门的外部特性及主要参数,掌握不同逻辑门之间的接口电路,以便正确使用逻辑门电路。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### 1. TTL 与非门的结构特点

TTL 与非门电路结构由输入极、中间极和输出级三部分组成。输入级采用多发射极晶体管,实现输入信号与的逻辑功能。输出级采用推拉式输出结构(也称图腾柱结构),具有较强的带负载能力。

##### 2. TTL 与非门的电路特性及主要参数

###### (1) 电压传输特性

TTL 与非门电压传输特性是指与非门输出电压  $u_o$  与输入电压  $u_i$  之间的关系曲线,即  $u_o = f(u_i)$ 。

###### (2) 输入特性

当输入端为低电平  $U_{IL}$  时,与非门对信号源呈现灌电流负载,  $I_{IL} = -\frac{U_{CC} - u_{BE1} - U_{IL}}{R_1}$  称为输入低电平电流,通常与非门的  $I_{IL}$  的取值为  $-1 \sim 1.4 \text{ mA}$ 。

当输入端为高电平  $U_{IH}$  时,与非门对信号源呈现拉电流负载,通常  $I_{IH} \leq 50 \mu\text{A}$  称为输入高电平电流。

###### (3) 输入负载特性

实际应用中,往往遇到在与非门输入端与地或信号源之间接入电阻的情况。若接入电阻使得  $u_i \leq U_{OFF}$ ,则相当于该输入端输入低电平,此时的电阻称为关门电阻,记为  $R_{OFF}$ 。若接入电阻使得  $u_i \geq U_{ON}$ ,则电阻的接入相当于该输入端输入高电平,此时的电阻称为开门电阻,记为  $R_{ON}$ 。通常  $R_{OFF} \leq 0.7 \text{ k}\Omega$ ,  $R_{ON} \geq 2 \text{ k}\Omega$ 。

#### (4) 输出特性

反映与非门带负载能力的一个重要参数——扇出系数  $N_O$ 。是指在灌电流(输出低电平)状态下驱动同类门的个数

$$N_O = I_{OLmax}/I_{IL}$$

其中,  $I_{OLmax}$  为最大允许灌电流,  $I_{IL}$  是一个负载门灌入本级的电流 ( $\approx 1.4 \text{ mA}$ )。  $N_O$  越大, 说明门的带负载能力越强。

#### (5) 传输延迟时间

传输延迟时间是表明与非门开关速度的重要参数。平均传输延迟时间越小, 电路的开关速度越高。

### 3. 其他类型常用 TTL 门电路

#### (1) 集电极开路门(OC 门)

门电路输出级的集电极开路为 OC 门, 在使用时必须外接电源和集电极负载电阻  $R_L$ 。OC 门的输出端可以直接相连, 实现线与逻辑功能, 其带负载能力强, 可以用于驱动感性器件或实现电平变换。

#### (2) 三态门(TSL 门)

三态输出门除具有一般与非门的两种低阻输出状态(高电平和低电平状态)外, 还具有高阻输出的第三种状态, 称为高阻态, 又称禁止态或失效态。通过使能控制端控制电路的工作状态, 有低电平使能和高电平使能两种情况。

### 4. ECL 集成逻辑门

ECL 又称射极耦合逻辑电路, 具有或/或非的功能。ECL 电路中的晶体管均工作于放大与截止状态, 所以该电路的最大特点是开关速度高, 电路具有或/或非互补输出端且采用射极开路形式, 允许多个输出端直接并联, 实现输出变量的线或操作, 且负载能力也较强。但电路的功耗较大, 抗干扰能力差。

### 5. $I^2L$ 集成逻辑门

$I^2L$  基本单元电路由一个 NPN 多集电极晶体管和—个 PNP 晶体管构成的恒流源所组成。多集电极晶体管的各集电极之间相互隔离, 它的驱动电流是由 PNP 晶体管射极注入, 故有注入逻辑之称。由基本单元电路可以构成其他逻辑功能门, 如与非门、与或非门等。门电路结构简单, 集成度高; 在低电压、微电流下工作, 功耗低,  $I^2L$  电路能在低电压(0.8 V)、微电流(1 nA/单元)情况下工作, 是目前功耗最低的集成电路; 品质因数最佳, 是目前品质因数最好的电路; 生产工艺简单。 $I^2L$  电路也有突出的不足之处: 开关速度低, 抗干扰能力差, 多块连接性能差。

### 6. MOS 门电路

有 NMOS 门电路、PMOS 门电路和 CMOS 门电路。为提高工作速度, 降低输出阻抗和功耗, 目前 MOS 数字集成电路广泛采用 CMOS 电路, 它是由 PMOS 和

NMOS 两管组成的互补型 MOS 电路或称 CMOS 电路。

### (1) CMOS 反相器

CMOS 反相器是由一个 PMOS 管和一个 NMOS 管组成的互补器件。电路输出阻抗很小,有效地减小了对负载电容的充放电时间,因此 CMOS 门电路工作速度快,甚至可以同 TTL 门电路媲美。电源静态电流非常小,电路静态功耗极低,一般在纳瓦数量级。此外由于 CMOS 门输入阻抗高,所以 CMOS 电路级联时扇出系数很大。具有较大的噪声容限。另外转折区的变化率很大,所以 CMOS 反相器更接近于理想开关特性。

### (2) CMOS 传输门(TG)

CMOS 传输门与 CMOS 反相器一样,也是构成各种逻辑电路的一种基本单元电路。由于 MOS 管的对称性,其源极和漏极可以互换,输入和输出端可以互换使用,因此 CMOS 传输门是双向器件。传输门的导通电阻为几百欧,当它与输入阻抗为兆欧级电路连接时,可以忽略不计。传输门的截止电阻达  $50\text{ M}\Omega$  以上,每个门的平均延迟时间为几十至一、二百纳秒,已接近理想开关特性。

### (3) CMOS 门电路

CMOS 反相器和 CMOS 传输门是构成各种 CMOS 逻辑电路的基本单元电路,如:CMOS 与非门、CMOS 或非门、异或门和三态门等。

## 二、重点与难点

### 重点:

#### 1. TTL 与非门外特性

##### (1) 电压传输特性及输入噪声容限

由电压传输特性曲线可以得出与非门的输出信号随输入信号的变化情况,同时还可以得出反映与非门抗干扰能力的参数  $U_{ON}$ 、 $U_{OFF}$ 、 $U_{NH}$  和  $U_{NL}$ 。开门电平  $U_{ON}$  是保证输出电平为最高低电平时输入高电平的最小值。关门电平  $U_{OFF}$  是保证输出电平为最小高电平时,所允许的输入低电平的最大值。

##### (2) 输入特性

描述与非门对信号源的负载效应。根据输入端电平的高低,与非门呈现出不同的负载效应,当输入端为低电平  $U_{IL}$  时,与非门对信号源是灌电流负载,输入低电平电流  $I_{IL}$  通常为  $-1 \sim -1.4\text{ mA}$ 。当输入端为高电平  $U_{IH}$  时,与非门对信号源呈现拉电流负载,输入高电平电流  $I_{IH}$  通常小于  $50\text{ }\mu\text{A}$ 。

##### (3) 输入负载特性

实际应用中,往往遇到在与非门输入端与地或信号源之间接入电阻的情况,电阻的取值不同,将影响相应输入端的电平取值。当  $R \leq R_{ON}$  时,相应的输入端相当于输入低电平;当  $R \geq R_{OH}$  时,相应的输入端相当于输入高电平。

## 2. 其他类型的 TTL 门电路

### (1) 集电极开路与非门(OC 门)

多个 TTL 与非门输出端不能直接并联使用实现线与功能。而集电极开路与非门(OC 门)输出端可以直接相连,实现线与的功能,它与普通的 TTL 与非门的差别在于用外接电阻代替复合管。

### (2) 三态门(TSL)门

三态门既保持推拉式输出级的优点,又能实现线与功能。它的输出除了具有一般与非门的两种状态外,还具有高输出阻抗的第三个状态,称为高阻态,又称禁止态。处于何种状态由使能端控制。

## 3. CMOS 逻辑门电路

CMOS 反相器和 CMOS 传输门是 CMOS 逻辑门电路的最基本单元电路,由此可以构成各种 CMOS 逻辑电路。当 CMOS 反相器处于稳态时,无论输出高电平还是低电平,两管中总有一管导通,一管截止,电源仅向反相器提供纳安级电流,功耗非常小。CMOS 器件门限电平  $U_{TH}$  近似等于  $U_{DD}/2$ ,可获得最大限度的输入端噪声容限  $U_{NH}$  和  $U_{NL}$ ,其值为  $U_{DD}/2$ 。

难点:

1. 根据 TTL 与非门特性,正确分析和设计电路。
2. ECL 门电路的逻辑功能分析。
3. CMOS 电路的分析与设计。
4. 正确使用逻辑门。

## 三、考核题型与考核重点

### 1. 概念

题型为填空、判断和选择。

建议分配的分数为 2~4 分。

### 2. 分析与设计

题型为 CMOS、三态门、OC 门和基本逻辑门综合电路的分析与设计题目。

建议分配的分数为 4~8 分。

## 第二节 典型题解

例题 2.1 DTL 与非门电路如例题 2.1 图所示。 $D_1$ 、 $D_2$ 、 $D_3$  都是硅管,导通压降  $u_D = 0.7\text{ V}$ ,  $U_{IL} = 0.3\text{ V}$ ,  $U_{IH} = 3.3\text{ V}$ ,电路中其他元器件参数如例题 2.1 图所示。

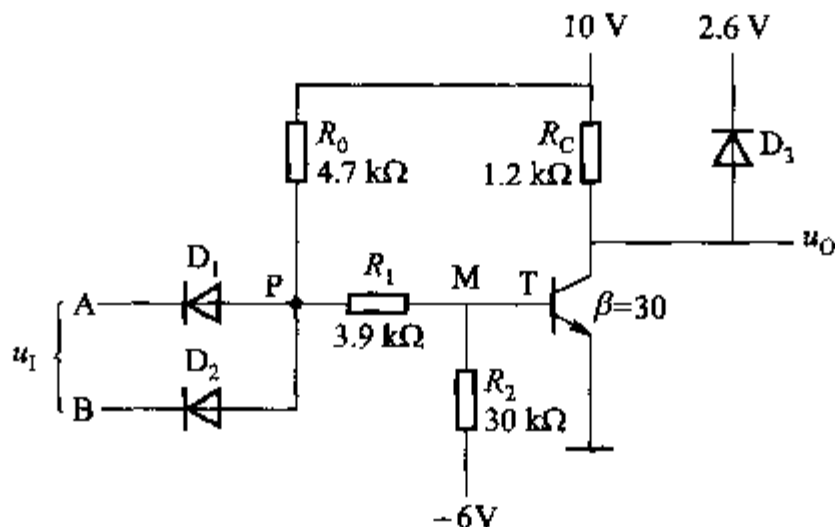
(1) 当  $u_i$  分别为  $0.3\text{ V}$  和  $3.3\text{ V}$  时,电路的工作情况如何? 通过计算确定

T 的状态。

(2) 二极管  $D_3$  在电路中的作用是什么?

(3) 电路的拉电流、灌电流的能力为多大?

(4) 若 A 端接 5 V, B 端悬空, 用万用表测 B 点电位, 则  $u_B$  为多少伏?



例题 2.1 图

解: (1) 若  $u_i = 0.3 \text{ V}$ , 设二极管  $D_1$ 、 $D_2$  导通, 则  $u_P = 1.0 \text{ V}$ 。

当  $u_P = 1.0 \text{ V}$  时, 假设晶体管 T 截止, 这时流过电阻  $R_1$  和  $R_2$  的电流  $i_1$  和  $i_2$  应相等, 有

$$i_1 = \frac{u_P - (-6 \text{ V})}{R_1 + R_2} = \frac{1.0 - (-6)}{3.9 + 30} \text{ mA} = 0.21 \text{ mA}$$

而流过电阻  $R_0$  的电流

$$i_{R_0} = \frac{10 \text{ V} - u_P}{R_0} = \frac{10 - 1}{4.7} \text{ mA} = 1.91 \text{ mA}$$

因为  $i_{R_0} > i_1$ , 故二极管  $D_1$ 、 $D_2$  中有电流流过,  $D_1$ 、 $D_2$  导通的假设成立,  $u_P = 1.0 \text{ V}$  正确。此时, 图中 M 点的电位为

$$u_M = u_P - i_1 R_1 = (1.0 - 0.21 \times 3.9) \text{ V} = 0.181 \text{ V}$$

由于  $u_M < 0.7 \text{ V}$ , 因此晶体管 T 截止的假设也成立, 输出  $u_O = 3.3 \text{ V}$ ,  $D_3$  导通。

当  $u_i = 3.3 \text{ V}$  时, 若仍假设  $D_1$ 、 $D_2$  导通, 则  $u_P$  为  $4.0 \text{ V}$ , 再设此时晶体管 T 也导通, 则  $u_M = 0.7 \text{ V}$ 。计算流过电阻  $R_0$  和  $R_1$  的电流, 可得

$$i_{R_0} = \frac{10 - 4.0}{4.7} \text{ mA} = 1.28 \text{ mA}$$

$$i_1 = \frac{4.0 - 0.7}{3.9} \text{ mA} = 0.85 \text{ mA}$$

由于  $i_{R_0} > i_1$ , 故  $D_1$ 、 $D_2$  导通的假设成立,  $u_P = 4.0 \text{ V}$  正确。这时流过电阻

$R_2$  的电流

$$i_2 = \frac{u_M - (-6 \text{ V})}{R_2} = \frac{0.7 - (-6)}{30} \text{ mA} = 0.22 \text{ mA}$$

流入晶体管基极的电流

$$i_B = i_1 - i_2 = (0.85 - 0.22) \text{ mA} = 0.63 \text{ mA}$$

假设 T 饱和, 则  $I_{BS}$  为

$$I_{BS} = \frac{10 \text{ V}}{\beta R_C} = \frac{10}{30 \times 1.2} \text{ mA} = 0.28 \text{ mA}$$

因为  $i_B > I_{BS}$ , 晶体管 T 饱和的假设成立, 输出  $u_O = U_{CES} = 0.3 \text{ V}$ 。

(2) 当  $u_O = U_{OH}$  时,  $D_3$  导通,  $u_O$  被钳位在  $3.3 \text{ V}$ , 故  $D_3$  有钳位作用, 也称钳位二极管。钳位二极管的存在, 使输出高电平时, 允许有一定的拉电流, 即拉电流在一定的范围内变化, 输出高电平值不变。

(3) 在  $u_O$  输出高电平时, 允许拉电流为

$$I_{OHmax} = \frac{10 \text{ V} - U_{OH}}{R_C} = \frac{10 - 3.3}{1.2} \text{ mA} = 5.58 \text{ mA}$$

当超过  $5.58 \text{ mA}$  时,  $U_{OH}$  将随拉电流的进一步增加而下降。

在  $u_O$  输出为低电平时, 允许的灌电流  $I_{OLmax}$  满足

$$I_{OLmax} + i_{RC} \leq i_B \cdot \beta$$

即

$$I_{OLmax} \leq \left( 0.63 \times 30 - \frac{10}{1.2} \right) \text{ mA} = 10.6 \text{ mA}$$

(4) A 端接  $+5 \text{ V}$ , B 端悬空时, 测 B 点电位  $u_B$  必须先确定当  $u_A = 5 \text{ V}$  时  $u_P$  点的电位, 这与  $D_1$  导通有关。若  $D_1$  导通,  $u_P$  应为  $5.7 \text{ V}$ ; 若  $D_1$  不通,  $u_P$  点电位将和后接的电路有关。

假设  $D_1$  导通, 则  $u_P = 5.7 \text{ V}$ , 设 T 也导通, 则  $u_M = 0.7 \text{ V}$ , 于是可求出  $i_{R_0}$ 、 $i_{R_1}$ , 有

$$i_{R_0} = \frac{10 - 5.7}{4.7} \text{ mA} = 0.91 \text{ mA}$$

$$i_{R_1} = \frac{5.7 - 0.7}{3.9} \text{ mA} = 1.28 \text{ mA}$$

由于  $i_{R_0} < i_{R_1}$ , 故  $D_1$ 、 $D_2$  中无电流流过, 即二极管  $D_1$  导通的假设不成立。重新求  $u_P$  值, 应为

$$u_P = \left( \frac{10 - 0.7}{4.7 + 3.9} \times 3.9 + 0.7 \right) \text{ V} = 4.92 \text{ V}$$

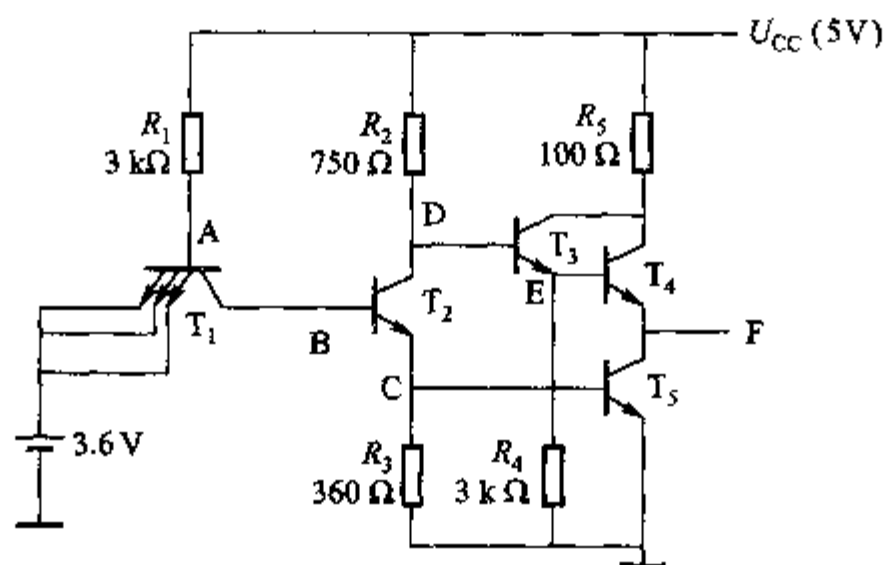
当  $u_A = 5 \text{ V}$  时,  $u_P = 4.92 \text{ V}$ , 故这时  $D_1$  不通的假设成立。用万用表测 B 点电位时  $u_B$  值应为

$$u_B = u_P - u_{D_2} = (4.92 - 0.7) \text{ V} = 4.22 \text{ V}$$

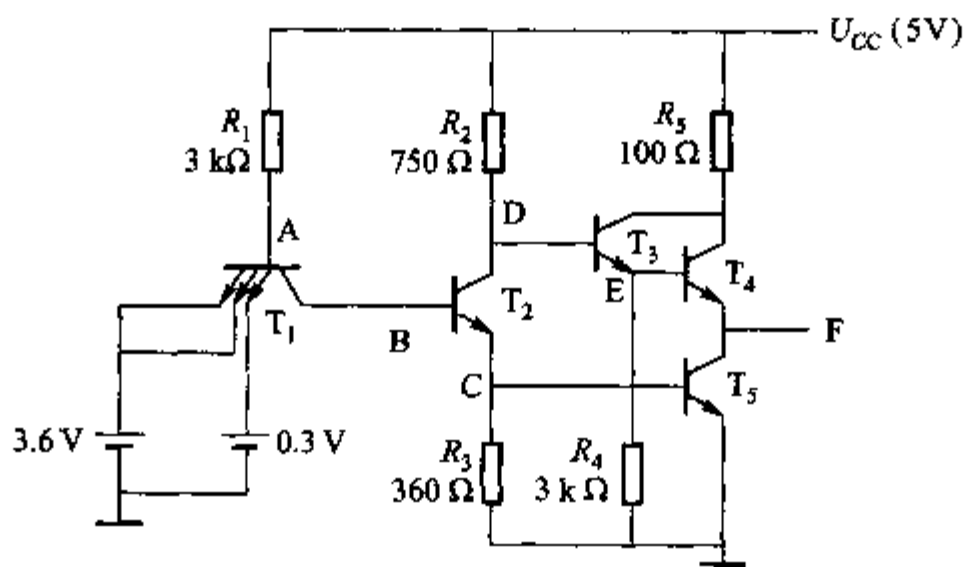
例题 2.2 试算出例题 2.2 图(a)及(b)中 A、B、C、D、E、F 点的电位。已知  $u_{BE} = 0.7 \text{ V}$ ,  $T_2 \sim T_5$  的  $U_{CES} = 0.3 \text{ V}$ 。

解: 例题 2.2 图(a)输入端全部接高电平(3.6 V)时, 由于  $T_1$  管基极最高不能超过 2.1 V ( $u_{B1} = u_{BC1} + u_{BE2} + u_{BE5} = 0.7 \times 3 \text{ V} = 2.1 \text{ V}$ ), 所以  $T_1$  发射结反偏而截止, 这时  $T_1$  的集电结正偏导通,  $T_1$  的基极电流  $i_{B1}$  流向  $T_1$  的集电结并注入到  $T_2$  的基极。

$$i_{B1} = \frac{U_{CC} - u_{B1}}{R_1} = \frac{5 - 2.1}{3} \text{ mA} = 1 \text{ mA}$$



(a)



(b)

例题 2.2 图

此时  $T_1$  处于倒置工作状态, 集电极当发射极用, 电流放大系数  $\beta_{\bar{R}}$  很小 ( $\beta_{\bar{R}} < 0.02$ ), 所以  $i_{B2} = i_{C1} = (1 + \beta_{\bar{R}}) i_{B1} \approx i_{B1}$ , 由于  $i_{B1}$  较大足以使  $T_2$  饱和, 这时  $T_2$  的集电极压降为

$$u_{C2} = U_{CES2} + u_{BE5} \approx (0.3 + 0.7) \text{ V} = 1 \text{ V}$$

这个电压加至  $T_3$  基极, 使  $T_3$  导通, 此时  $T_3$  射极电位  $u_{E3} = u_{C2} - u_{BE3} = (1 - 0.7) \text{ V} \approx$

0.3 V, 它使  $T_4$  截止。对于  $T_5$  管, 其基极电流由  $i_{E2}$  提供, 而  $i_{C5} = i_{C4} \approx 0$ , 所以  $T_5$  处于深饱和状态, 因此输出为逻辑低电平  $U_{OL} = U_{CES5} \approx 0.3$  V。电路中各点电位值见例题 2.2 表所示。

例题 2.2 图(b)输入端有一个接低电平接(0.3 V), 其余端都接高电平(3.6 V)时,  $T_1$  管中对应接低电平端发射结因正向偏置而导通, 则  $u_{B1} = u_A + u_{BE1} = (0.3 + 0.7)$  V = 1 V, 因而  $T_1$  管的其他发射结均因反偏而截止。由于  $u_{B1} = 1$  V, 它不足以使  $T_1$  的集电结和  $T_2$ 、 $T_5$  的发射结导通, 所以  $T_2$ 、 $T_5$  截止。此时  $T_2$  的集电极电位  $u_{C2} \approx U_{CC} = 5$  V, 电源  $U_{CC}$  经  $R_2$  向  $T_3$  提供基极电流, 使  $T_3$  处于微饱和状态。

例题 2.2 表

	$u_A/V$	$u_B/V$	$u_C/V$	$u_D/V$	$u_E/V$	$u_F/V$
例题 2.2 图(a)	2.1	1.4	0.7	1.0	0.3	0.3
例题 2.2 图(b)	1.0	0.4	0	$\approx 5$	4.3	3.6

由于  $T_3$  的发射极电位总是低于集电极电位, 所以  $T_4$  集电结总是反向偏置, 因此  $T_4$  工作在放大状态。电路输出高电平为

$U_{OH} = u_{C2} - u_{BE3} - u_{BE4} \approx (5 - 0.7 - 0.7)$  V = 3.6 V 电路中各点电位值见例题 2.2 表所示。

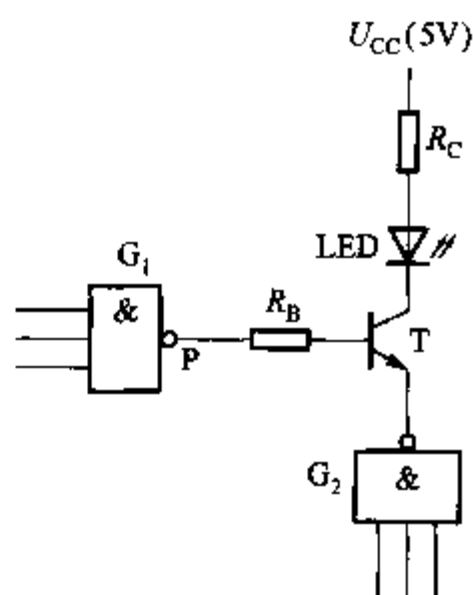
例题 2.3 已知例题 2.3 图所示电路,  $G_1$ 、 $G_2$  均为 TTL 与非门, 其输出高电平  $U_{OH} = 3.6$  V, 输出低电平  $U_{OL} = 0.3$  V, 最大允许拉电流  $I_{OHmax}$  为 400  $\mu$ A, 最大允许灌电流  $I_{OLmax}$  为 10 mA。晶体管工作在开关状态, 导通时  $u_{BE} = 0.7$  V, 饱和时  $U_{CES} = 0.3$  V,  $\beta = 40$ 。发光二极管导通压降  $u_D = 2$  V, 发光时正向电流  $i_D$  为 5 ~ 10 mA。试问:

(1)  $G_1$ 、 $G_2$  工作在什么状态时发光二极管可能发光?

(2) 晶体管的集电极电阻  $R_C$  的取值范围有多大?

(3) 若  $R_C = 300 \Omega$ , 则基极电阻  $R_B$  的取值范围有多大?

解: 在例题 2.3 图中半导体晶体管作为开关应用。发光二极管经  $U_{CC}$ 、限流电阻  $R_C$ 、晶体管开关及与非门  $G_2$  输出端形成回路。晶体管的开关状态是由与非门  $G_1$  通过晶体管基极进行控制。电路若要正常工作, 必须同时满足发光二极管 LED、与非门  $G_1$ 、 $G_2$  和晶体管各自的电流电压关系。因此, 解题时必须综合考虑。



例题 2.3 图



解题重点是决定两个电路元件  $R_B$  与  $R_C$  的取值范围。也就是说,求解出  $R_B$  与  $R_C$  的值,既要满足晶体管的工作状态,又要满足 TTL 与非门的输出特性,同时还要使发光二极管在规定电流范围内可靠地工作。

(1) 发光二极管可能发光的条件,应是与非门  $G_1$  输出高电平 ( $U_{OH} = 3.6 \text{ V}$ ),  $G_2$  输出低电平 ( $U_{OL} = 0.3 \text{ V}$ ),而使晶体管开关闭合(晶体管处于饱和状态  $u_{BE} > 0$ , 且  $i_B > I_{BS}$ ),电源  $U_{CC}$  通过  $R_C$  加至发光二极管 LED 上,使其导通。此时,从电源  $U_{CC}$  到与非门  $G_2$  输出端(低电平)之间形成电流通路。若这一电流大于  $5 \text{ mA}$  而又小于最大允许灌电流  $10 \text{ mA}$ ,则发光二极管就能发光,并处于正常的工作状态。

(2) 设晶体管处于饱和状态,按发光二极管 LED 的电流要求及与非门  $G_2$  最大允许灌电流的限制,可求出  $R_C$  的取值范围为

$$\frac{U_{CC} - u_D - U_{CES} - U_{OL}}{I_{OLmax}} \leq R_C \leq \frac{U_{CC} - u_D - U_{CES} - U_{OL}}{I_{Dmin}}$$

代入给定数据后求得  $240 \Omega \leq R_C \leq 480 \Omega$ 。

(3)  $R_B$  的选择要保证晶体管导通时进入饱和状态,即  $i_B > I_{BS}$ ,且  $i_B$  必须小于与非门  $G_1$  的最大允许拉电流  $I_{OH}$ 。因此,  $R_B$  的取值范围为

$$\frac{U_{OH} - u_{BE} - U_{OL}}{I_{OHmax}} \leq R_B \leq \frac{U_{OH} - u_{BE} - U_{OL}}{I_{BS}}$$

式中

$$I_{BS} = \frac{U_{CC} - u_D - U_{CES} - U_{OL}}{\beta R_C}$$

代入给定数据后求得  $6.5 \text{ k}\Omega \leq R_B \leq 13 \text{ k}\Omega$ 。

例题 2.4 TTL 与非门 CT3000 芯片接成例题

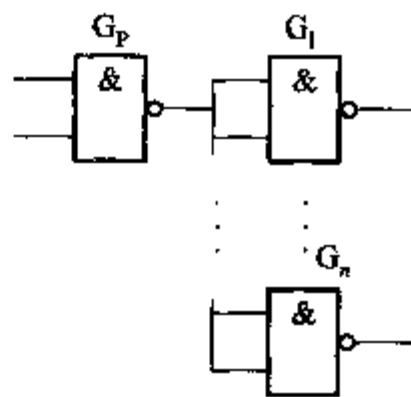
2.4 图所示的电路。已知门电路的参数

$$I_{OH}/I_{OL} = 1.0 \text{ mA} / -20 \text{ mA}$$

$$I_{IH}/I_{IL} = 50 \mu\text{A} / -1.43 \text{ mA}$$

试求: (1) 门  $G_p$  的扇出系数  $N_O$  应为多少?

(2) 若将电路中的芯片改为 4 输入的与非门,参数不变,此时门  $G_p$  的扇出系数  $N_O$  应为多少?



例题 2.4 图

解: 求解这类问题时,要对门  $G_p$  输出高电平和低电平时的情况都进行讨论,然后取两个数中一个较小的作为门的扇出系数。

$I_{IH}$  称为输入高电平时的漏电流,若与非门的入端有多个输入端并联在一起,则入端加高电平时流入门的总的漏电流应为这多个输入端漏电流的总和,有几个入端并联  $I_{IH}$  就应扩大几倍。

$I_{IL}$  称为输入低电平时的电流。 $I_{IL}$  的大小和门输入端并联的数量无关。当  $u_i = U_{IH}$  时,  $u_{B1}$  被钳位在  $U_{IH} + u_{BE}$ , 设  $U_{IL} = 0.3 \text{ V}$ ,  $u_{BE} = 0.7 \text{ V}$ , 则  $u_{B1} = (0.3 +$

0.7)  $V = 1.0 \text{ V}$ 。电阻  $R_1$  上流过的电流

$$i_{R_1} = \frac{U_{CC} - u_{B1}}{R_1} = \frac{5 - 1.0}{2.8} \text{ mA} = 1.43 \text{ mA}$$

若输入  $U_{IL}$  只和一个输入端相接, 则  $I_{IL}$  等于  $I_{R_1}$ , 若  $U_{IL}$  和二个或多个输入端相接, 流过  $T_1$  管各发射极的电流总和也只有  $I_{R_1}$  的大小。由此可知,  $I_{IL}$  大小和门的输入端并联数量无关。

下面结合本题的具体内容进行讨论。

(1) 当门  $G_p$  输出为低电平时, 后接的每个门都有  $I_{IL}$  流出, 则可带的门数  $N_{01}$  满足式

$$N_{01} \times I_{IL} \leq I_{OL}$$

即

$$N_{01} \leq \frac{I_{OL}}{I_{IL}} = \frac{20}{1.43} = 14$$

当门  $G_p$  输出为高电平时, 后接的每个门流入的电流为  $2I_{IH}$ , 则可带的门数  $N_{02}$  满足式

$$N_{02} \times 2I_{IH} \leq I_{OH}$$

即

$$N_{02} \leq \frac{I_{OH}}{2 \times I_{IH}} = \frac{1.0}{2 \times 0.05} = 10$$

因此  $N_0$  应选取  $\{N_{01}, N_{02}\}_{\min}$ , 即  $N_0 = 10$

(2) 若将电路中的芯片改为 4 输入的与非门, 参数不变, 计算方法同上, 可分别求得

$$N_{01} \leq \frac{I_{OL}}{I_{IL}} = \frac{20}{1.43} = 14, \quad N_{02} \leq \frac{I_{OH}}{4 \times I_{IH}} = \frac{1.0}{4 \times 0.05} = 5$$

因此, 当门的输入端为 4, 门  $G_p$  的扇出系数  $N_0$  为 5。

例题 2.5 TTL TS 门电路组成如例题 2.5 图(a) ~ (c)所示电路。

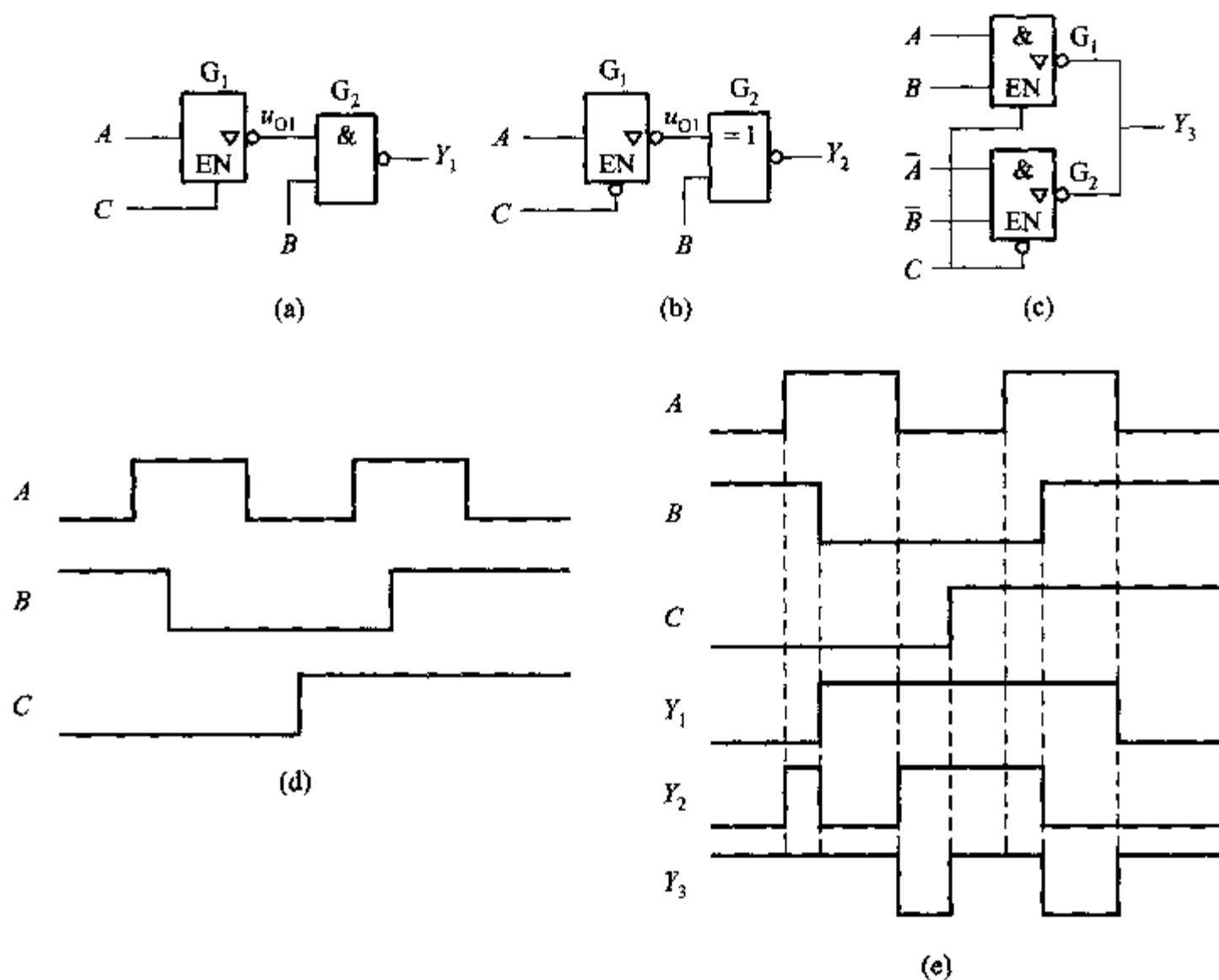
(1) 写出函数  $Y_1$ 、 $Y_2$ 、 $Y_3$  的逻辑表达式。

(2) 若已知  $A$ 、 $B$ 、 $C$  的波形如例题 2.5 图(d)所示, 分别画出  $Y_1$ 、 $Y_2$ 、 $Y_3$  的波形。

解: TTL TS 门电路的输出有三种可能的状态, 分别为高电平、低电平和高阻态。输出是否高阻态取决于使能端所加的信号。按电路结构不同, 使能端可以是高电平使能, 也可以是低电平使能。通常逻辑符号中使能端上有小圈的[如例题 2.5 图(b)电路中的门  $G_1$ ]是低电平使能, 没有小圈的[如例题 2.5 图(a)电路中的门  $G_1$ ]是高电平使能。使能表示此芯片能正常工作, 输出就不会是高阻状态, 而是由门的入端信号决定其输出是高电平还是低电平。

(1)  $Y$  的逻辑表达式分析如下:

图(a)电路:  $C = 1$  时,  $G_1$  使能,  $u_{01} = \bar{A}$ ; 当  $C = 0$  时,  $u_{01}$  是高阻态, 因此  $Y_1$  的



例题 2.5 图

表达式为

$$Y_1 = \begin{cases} \overline{A \cdot B} & (C = 1) \\ \overline{B} & (C = 0) \end{cases}$$

图(b)电路:  $C = 0$  时,  $G_1$  使能,  $u_{O1} = \overline{A}$ ; 当  $C = 1$  时,  $u_{O1}$  是高阻态, 因此  $Y_2$  的表达式为

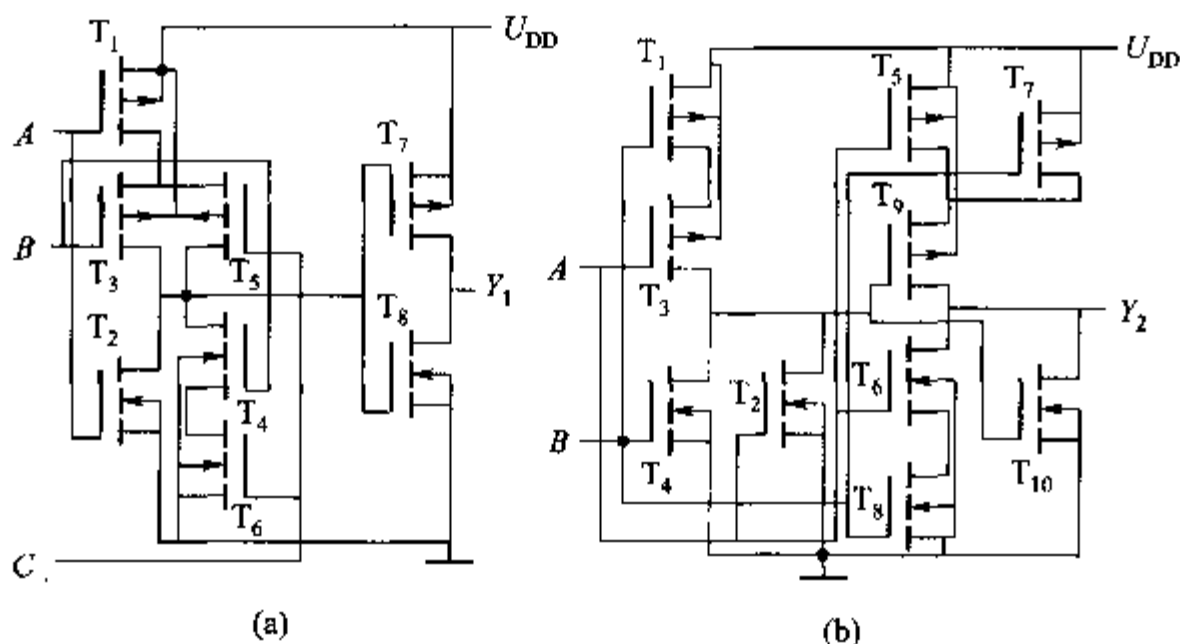
$$Y_2 = \begin{cases} \overline{A} \oplus B & (C = 0) \\ \overline{B} & (C = 1) \end{cases}$$

图(c)电路:  $C = 0$  时,  $G_2$  使能  $Y_3 = \overline{A \cdot B}$ ; 当  $C = 1$  时,  $G_1$  使能,  $Y_3 = \overline{A \cdot B}$ , 因此  $Y_3$  的表达式为

$$Y_3 = \overline{A \cdot B \cdot C} + \overline{A \cdot B \cdot C}$$

(2) 若已知  $A$ 、 $B$ 、 $C$  的波形, 分别画出  $Y_1$ 、 $Y_2$ 、 $Y_3$  的波形, 如例题 2.5 图(e)所示。

例题 2.6 CMOS 门电路如例题 2.6 图(a)、(b)所示。试分析电路的逻辑功能, 写出输出函数表达式。



例题 2.6 图

解：例题 2.6 图(a)、(b)两个电路均由 CMOS 器件构成。CMOS 器件构成电路时有两种典型的形式：一是 CMOS 器件中的 NMOS 管相串联，PMOS 管相并联，称为串联驱动方式；二是 CMOS 器件中的 NMOS 管相并联，PMOS 管相串联，称为并联驱动方式。串联驱动方式具有与的功能（对于单元电路则为与非），并联驱动方式具有或的功能（对于单元电路则为或非）。依照这一原则，对电路做具体分析，就可得出输出函数表达式，判断出电路的逻辑功能。

分析 MOS 门电路的逻辑功能时，一种方法是划分出构成整个电路的各单元电路，然后从输入开始沿着信号的传输方向，分级写出它们的逻辑函数式，最后即可得出电路的输出函数式，并说明电路功能。另一种是列出在不同输入信号取值下，电路中各 MOS 管的工作状态及相应的输出函数值，由此得出输出函数式，并说明电路的功能。

对于例题 2.6 图(a)所示电路，CMOS 器件  $T_3 \sim T_4$ 、 $T_5 \sim T_6$  构成串联驱动方式之后，和 CMOS 器件  $T_1 \sim T_2$  又构成并联驱动方式。可判断其逻辑功能是  $\overline{A + BC}$ 。再经  $T_7 \sim T_8$  CMOS 非门输出，得到  $Y_1 = \overline{\overline{A + BC}} = A + BC$ ，电路是个与或门。

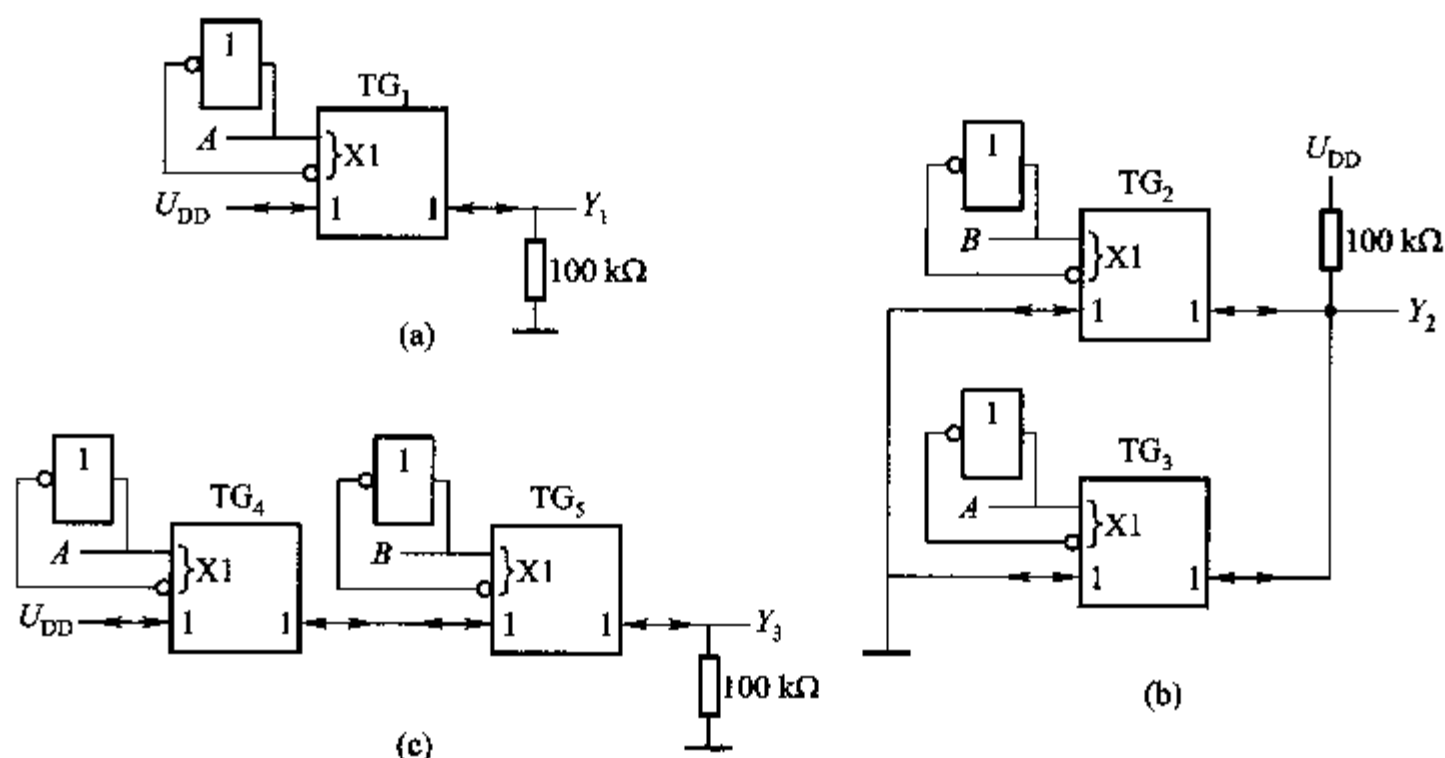
对于例题 2.6 图(b)所示电路，利用真值表法进行分析。在不同的输入信号取值下，各 CMOS 管的状态及输出函数值列于例题 2.6 表中。

例题 2.6 表

A	B	$T_1$	$T_2$	$T_3$	$T_4$	$T_5$	$T_6$	$T_7$	$T_8$	$T_9$	$T_{10}$	$Y_2$
0	0	导通	截止	导通	截止	导通	截止	导通	截止	截止	导通	0
0	1	截止	截止	导通	导通	导通	截止	截止	导通	导通	截止	1
1	0	导通	导通	截止	截止	截止	导通	导通	截止	导通	截止	1
1	1	截止	导通	截止	导通	截止	导通	截止	导通	导通	截止	0

由真值表得知  $Y_2 = A \oplus B$ , 电路是个异或门。

例题 2.7 由 CMOS 传输门构成的电路如例题 2.7 图 (a)、(b)、(c) 所示, 试写出各电路的输出函数表达式。



例题 2.7 图

解: 例题 2.7 图 (a)、(b)、(c) 所示的三个电路是用 CMOS 传输门实现逻辑函数。输入信号作为传输门的控制信号传送信号 0 或 1。为了避免传输门关闭时输出端出现高阻态, 电路用两种方法解决: 一是将传输门输出端通过一个  $100\text{ k}\Omega$  的大电阻接地; 二是将传输门输出端通过电阻接电源。因此, 无论传输门关闭或开启, 各个电路的输出函数均有确定的取值。

当控制信号使 CMOS 传输门关闭时, 输出呈现高阻态。若在其输出端通过电阻接地或接于电源上, 则输出构成确定的取值 0 或 1。

经分析, 可列出三个电路的真值表如例题 2.7 表所示。

得三个电路的输出函数分别为:  $Y_1 = A$ ,  $Y_2 = A \oplus B$ ,  $Y_3 = AB$ 。

例题 2.7 表

A B	TG <sub>1</sub>	Y <sub>1</sub>	TG <sub>2</sub>	TG <sub>3</sub>	Y <sub>2</sub>	TG <sub>4</sub>	TG <sub>5</sub>	Y <sub>3</sub>
0 0	关闭	0	关闭	关闭	1	关闭	关闭	0
0 1	关闭	0	关闭	开启	0	关闭	开启	0
1 0	开启	1	开启	关闭	0	开启	关闭	0
1 1	开启	1	开启	开启	0	开启	开启	1

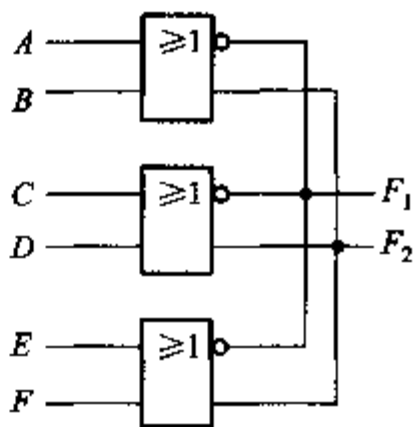
例题 2.8 例题 2.8 图为 ECL 门电路逻辑图, 试写出  $F_1$ 、 $F_2$  的逻辑表达式。

解: ECL 射极耦合电路具有或/或非互补输出端, 允许多个输出端直接并联, 以实现输出变量的线或操作。

$F_2$  为三个 ECL 门直接相连后的输出, 完成的是线或逻辑功能。因此输出表达式为

$$F_1 = \overline{A + B + C + D + E + F} = \overline{A} \overline{B} + \overline{C} \overline{D} + \overline{E} \overline{F}$$

$$F_2 = A + B + C + D + E + F$$



例题 2.8 图

### 第三节 题 解

#### 自我检测题解

题 2.1 答: TTL 与非门输入端采用多发射极管的主要作用是速度快。

题 2.2 答: TTL 与非门多余输入端的处理方法是高电平或悬空或接电源或与其他输入端并接。

题 2.3 答: TTL 或非门多余输入端的处理方法是低电平或接地或与其他输入端并接。

题 2.4 答: TTL 与非门输出端采用推拉式输出的主要作用是较强的负载能力。

题 2.5 答: TTL 与非门的灌电流负载发生在输出低电平情况下, 负载电流越大, 则输出电平越高。

题 2.6 答: 门电路输入端个数称为门的扇入系数, 门电路带同类门数量的多少称为门的扇出系数。

题 2.7 答: TTL 三态门的三种可能的输出状态分别是高电平、低电平和高阻态。

题 2.8 答: 在 TTL 三态门、OC 门、与非门和异或门电路中, 能实现线与功能的门电路有OC 门、三态门, 能实现总线连接方式的门电路有三态门。

题 2.9 答: CMOS 门电路与 TTL 门电路相比最大的优点是低功耗。

题 2.10 答: 用工作速度来评价 TTL、ECL 和 CMOS 集成电路, 速度快的集成电路依次为ECL、TTL、CMOS。

题 2.11 答: 用抗干扰能力来评价 TTL、ECL 和 CMOS 集成电路, 抗干扰能力强的集成电路依次为CMOS、TTL、ECL。

题 2.12 答: CMOS 传输门可以用来传输数字信号或模拟信号。

题 2.13 答: CMOS 门电路的静态功耗非常低。随着输入信号频率的增加,功耗也会增加。

### 思考题题解

题 2.1 TTL 标准与非门电路由哪几部分组成?

答: 输入级、中间级、输出级。

题 2.2 TTL 与非门的电压传输特性说明什么问题? 从特性曲线上可以得到  $U_{OH}$ 、 $U_{OL}$ 、 $U_{IH}$  和  $U_{IL}$  等参数, 这些参数代表什么意义?

答: 与非门的电压传输特性指的是与非门输入电压  $u_i$  和输出电压  $u_o$  之间的关系曲线。 $U_{OH}$  是与非门电压传输特性曲线截止区的输出电压, 称为输出高电平。 $U_{OL}$  是电压传输特性曲线导通区的输出电压, 称为输出低电平。 $U_{IH}$  和  $U_{IL}$  分别是输入高电平和输入低电平。

题 2.3 TTL 电路实现线与逻辑功能可以采用集电极开路门和三态门, 试说明其原理。

答: 线与是指在实际应用中, 把输出端直接并联使用, 实现与逻辑功能。为了实现线与功能, 将集电极开路门或三态门的输出端直接并联, 外接公共负载电阻和电源。每个门实现与非逻辑, 两个输出只要有一个是低电平, 总的输出就是低电平, 只有两个输出都是高电平, 总的输出才是高电平。因此实现了线与逻辑。

题 2.4 抗饱和 TTL 电路为什么可以提高开关速度?

答: 晶体管工作在饱和状态时基区存储大量的载流子, 当晶体管由饱和转向截止时, 存储的载流子来不及消散, 晶体管不能迅速脱离饱和状态, 因此影响与非门的开关速度。加速饱和管存储电荷的扩散速度, 减小对负载电容充电的时间常数, 就可以提高开关速度。

题 2.5 ECL 电路为什么具有很高的开关速度? 该类电路有什么特点?

答: ECL 电路中的晶体管工作在放大区或截止区, 所以消除了由于晶体管饱和带来的存储时间。ECL 电路中的电阻取值小, 高、低电平之差小, 因此大大缩短了电路节点的上升时间和下降时间。ECL 电路的输出方式采用射极输出器, 其输出电阻小, 使负载电容充电的时间常数减小, 因此开关速度高。

题 2.6 CMOS 与非门和 CMOS 或非门从电路结构上看有哪些不同?

答: 与非门是负载部分为并联 PMOS 管, 驱动为串联 NMOS 管; 或非门负载为串联 PMOS 管, 驱动为并联 NMOS 管。

题 2.7 CMOS 门电路与 TTL 门电路相比有哪些优点?

答: 优点主要有以下几点:

1. 静态功耗低。

2. 集成度高,温度稳定性好。

3. 抗辐射能力强。

4. 电源利用率高。

5. 扇出系数大。

6. 电源取值范围宽。

题 2.8 CMOS 门电路不使用的输入端不允许悬空,为什么?

答: 因为 CMOS 电路输入阻抗高,容易受静电感应出现击穿,输入端不能悬空。与非门多余的输入端接电源正极,或非门接地,低速场合将多余的输入端和有用的信号端并联使用。

题 2.9 当 TTL 门电路驱动 CMOS 门电路时,是否需要增加接口电路? 为什么?

答: 如果 TTL 和 CMOS 电路选择适当的话,不需要另外加任何接口电路。例如 TTL 采用 74LS 系列,CMOS 采用 74HCT 系列。

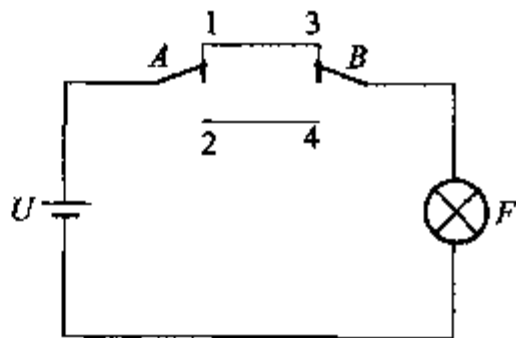
题 2.10 为什么说电压、电流参数是门电路之间实现正确连接的主要参数?

答: 因为电压和电流参数是门电路实现正常功能的主要参数,所以它们是门电路之间建立正确连接的主要参数。

### 习题题解

习题 2.1 灯控制电路如习题 2.1 图所示。试写出电路的功能表、真值表和逻辑表达式。

解: 当开关  $A$ 、 $B$  同时上扳或下扳时,灯  $F$  才亮。由此可写出电路功能表如习题 2.1 表(a)所示。开关  $A$ 、 $B$  和灯  $F$  只有两种相反的状态,可选用逻辑 0 和逻辑 1 来代表相应的状态。然而选用的表示方式不同,所得到的真值表和逻辑表达式也不同。



习题 2.1 图

(1) 如开关上扳用逻辑 1 表示,下扳则用逻辑 0 表示;灯亮用逻辑 1 表示,灯灭则用逻辑 0 表示。根据功能表可写出电路的真值表如习题 2.1 表(b)所示,由真值表写出电路的逻辑表达式为

$$F = AB + \bar{A}\bar{B} = A \odot B$$

(2) 如开关上扳用逻辑 0 表示,下扳则用逻辑 1 表示;灯亮用逻辑 1 表示,灯灭则用逻辑 0 表示。根据功能表可写出电路的真值表如习题 2.1 表(c)所示,由真值表写出电路的逻辑表达式为

$$F = AB + \bar{A}\bar{B} = A \odot B$$



(3) 如开关上扳用逻辑 1 表示,下扳则用逻辑 0 表示;灯亮用逻辑 0 表示,灯灭则用逻辑 1 表示。根据功能表可写出电路的真值表如习题 2.1 表(d)所示,由真值表写出电路的逻辑表达式为

$$F = A\bar{B} + \bar{A}B = A \oplus B$$

(4) 如开关上扳用逻辑 0 表示,下扳则用逻辑 1 表示;灯亮用逻辑 0 表示,灯灭则用逻辑 1 表示,根据功能表可写出电路的真值表如习题 2.1 表(e)所示,由真值表写出电路的逻辑表达式为

$$F = A\bar{B} + \bar{A}B = A \oplus B$$

习题 2.1 表(a)

A	B	F
上扳	上扳	亮
上扳	下扳	灭
下扳	上扳	灭
下扳	下扳	亮

习题 2.1 表(b)

A	B	F
1	1	1
1	0	0
0	1	0
0	0	1

习题 2.1 表(c)

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

习题 2.1 表(d)

A	B	F
1	1	0
1	0	1
0	1	1
0	0	0

习题 2.1 表(e)

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

习题 2.2 已知电路如习题 2.2 图(a)所示。

(1) 写出  $F_1$ 、 $F_2$ 、 $F_3$  和  $F$  与输入之间的逻辑表达式。

(2) 画出逻辑图。

(3) 给定各输入波形如习题 2.2 图(b)所示。试画出  $F_1$ 、 $F_2$ 、 $F_3$  和  $F$  的波形图。

解:(1) 电路是由分立元件组成,可分为三部分:

第一部分,是由二极管组成的两个与门电路,输入变量分别为  $A$ 、 $B$  和  $C$ 、 $D$ ,输出变量分别为  $F_1$  和  $F_2$ ,其逻辑关系表达式为

$$F_1 = AB \quad F_2 = CD$$

第二部分,是由二极管组成的或门电路,输入变量为  $F_1$  和  $F_2$ ,输出变量是  $F_3$ ,其逻辑关系表达式为

$$F_3 = AB + CD$$

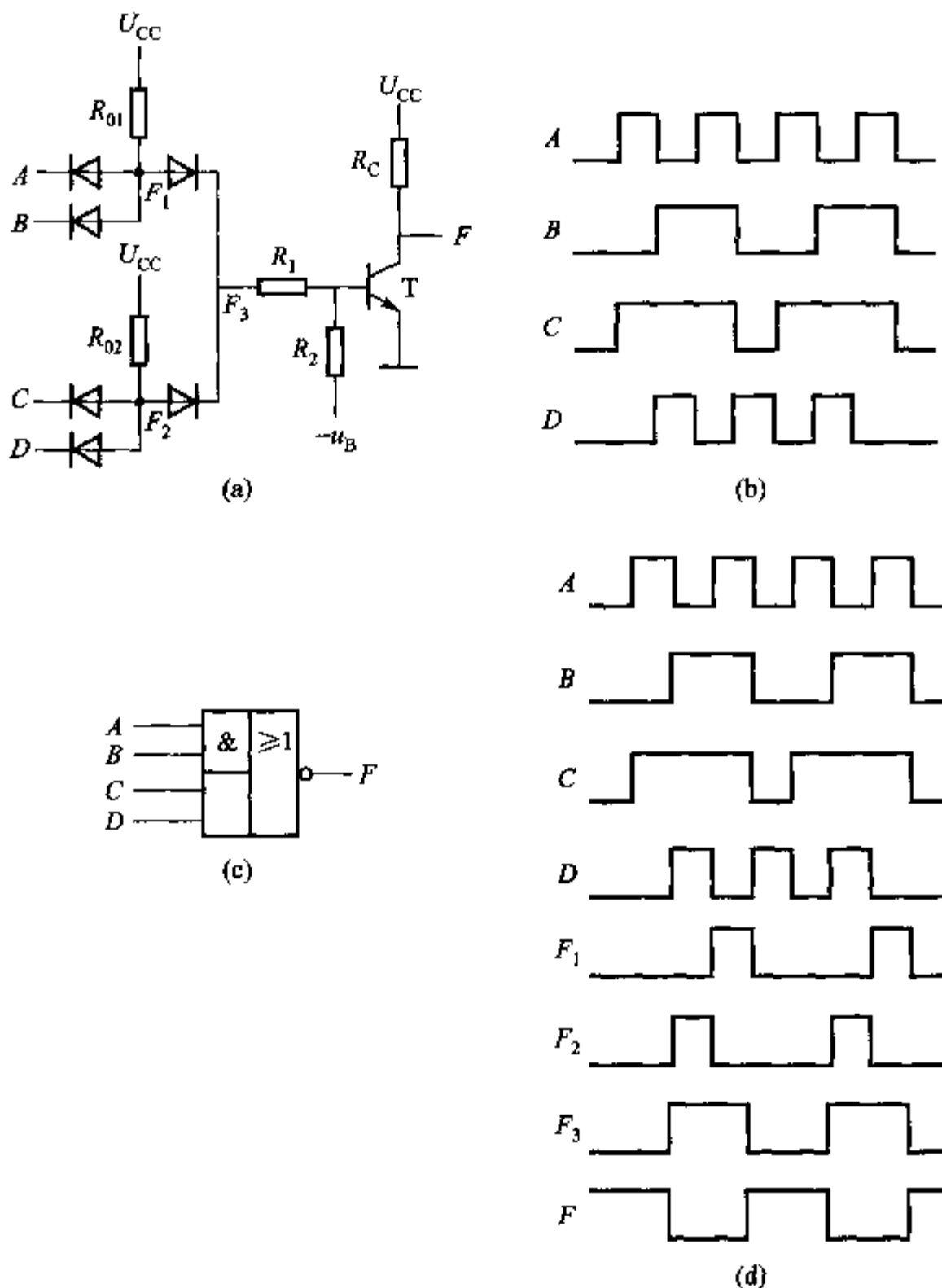
第三部分,是由晶体管组成的非门电路,输入变量为  $F_3$ ,输出变量是  $F$ ,其逻辑关系表达式为

$$F = \bar{F}_3 = \overline{AB + CD}$$

由上可知,该分立电路实现的是与或非的逻辑功能。

(2) 通过上面分析,分立电路所实现的是与或非的逻辑功能。该电路可等效为与或非门,其等效图如习题 2.2 图(c)所示。

(3) 当给定各输入波形。可画出  $F_1$ 、 $F_2$ 、 $F_3$  和  $F$  的波形图,如习题 2.2 图(d)所示。



习题 2.2 图

习题 2.3 试分析习题 2.3 图所示 TTL 电路的工作原理和逻辑功能,并说明 D 的作用,计算  $U_{OL}$ 、 $U_{OH}$ 、 $U_{IL}$ 、 $U_{IH}$ 、 $I_{IL}$  等。

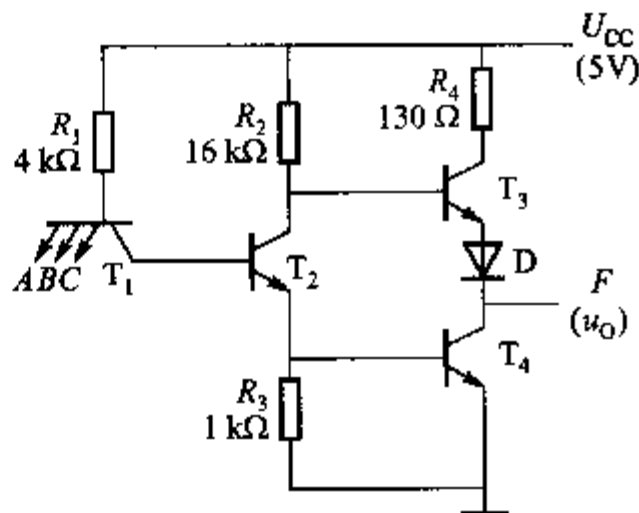
解:从习题 2.3 图可看出,电路是由输入级、中间级和输出级三部分组成。

输入级由多发射极晶体管  $T_1$  和  $R_1$  组成。中间级由  $T_2$  管、 $R_2$ 、 $R_3$  构成,起分相作用。 $T_3$ 、 $T_4$ 、 $R_4$  和 D 构成图腾柱式结构,具有静态功耗小、输出电阻小、带负载能力强等优点。

当 A、B、C 中有一个为低电平时,  $U_{IL} = 0.3 \text{ V}$ , 此时,  $T_1$  管的基极电位被钳制在  $u_{B1} = 1.0 \text{ V}$ ,  $T_2$  和  $T_4$  均截止,  $T_2$  的集电极电位  $u_{C2}$  为高电平, 将使  $T_3$  和 D 导通, 输出为高电平。由于  $i_{B4}$  电流很小, 故可近似认为  $u_{C2} = 5 \text{ V}$ ,  $U_{OH} = 5 - u_{BE3} -$

$$u_D = (5 - 0.7 - 0.7) \text{ V} = 3.6 \text{ V}。$$

当  $A$ 、 $B$ 、 $C$  全为高电平时,  $T_1$  的集电极、 $T_2$  的发射极和  $T_4$  的发射极导通, 使  $T_1$  管的基极电位  $u_{B1}$  被钳制在  $2.1 \text{ V}$ 。此时  $T_1$  管集电极正偏, 发射极反偏, 故电流  $i_{B1}$  将流入  $T_2$  的基极, 使  $T_2$  导通。 $i_{E2}$  电流除部分被  $R_3$  分流外, 其余部分将流入  $T_4$  的基极, 使  $T_4$  管导通。若假设  $T_2$  导通后进入饱和状态, 则  $u_{CE2} \approx 1 \text{ V}$ , 此时电压不足以使  $T_3$  和  $D$  同时导通, 故输出级电路上半部分截止, 下半部分导通, 输出呈低电平,  $U_{OL} = u_{CE3} \approx 0.3 \text{ V}$ 。



习题 2.3 图

由上面分析可知, 电路实现的是与非的逻辑功能, 逻辑表达式为

$$F = \overline{A \cdot B \cdot C}$$

电路中的二极管  $D$  起到电平移位的作用。

输出的高低电平值:  $U_{OH} = 3.6 \text{ V}$   $U_{OL} = 0.3 \text{ V}$ 。

输入的高低电平值:  $U_{IH} = 3.6 \text{ V}$   $U_{IL} = 0.3 \text{ V}$ 。

输入端的短路电流:  $I_{IL} = \frac{5 - 0.7}{4} \text{ mA} = 1.075 \text{ mA}$ 。

习题 2.4 用内阻足够大的万用表测量习题 2.4 图 TTL 与非门电路的一个悬空输入端的电压  $u_i$ , 在下列情况下, 表的读数各为多少?

- (1) 其余输入端全部悬空时。
- (2) 其余输入端全部接  $U_{CC}$  时。
- (3) 其余输入端全部接地时。
- (4) 其余输入端全部接  $0.3 \text{ V}$  时。
- (5) 其余输入端有一个接地时。

解: 设  $u_{BE} = 0.7 \text{ V}$ , 用内阻足够大的万用表测量与非门一个悬空输入端的电压  $u_i$ 。

(1) 其余输入端全部悬空时, 相当于在相应的输入端接高电平, 此时  $T_2$ 、 $T_5$  均导通,  $T_1$  的基极电位值为  $2.1 \text{ V}$ , 因此, 用内阻足够大的万用表测量与非门的一个悬空输入端的电压  $u_i = 2.1 \text{ V} - u_{BE} = (2.1 - 0.7) \text{ V} = 1.4 \text{ V}$ 。

(2) 其余输入端全部接  $U_{CC}$  时, 此时  $T_2$ 、 $T_5$  均导通,  $T_1$  的基极电位值为  $2.1 \text{ V}$ , 因此, 用内阻足够大的万用表测量与非门一个悬空输入端的电压  $u_i = 2.1 \text{ V} - u_{BE} = (2.1 - 0.7) \text{ V} = 1.4 \text{ V}$ 。

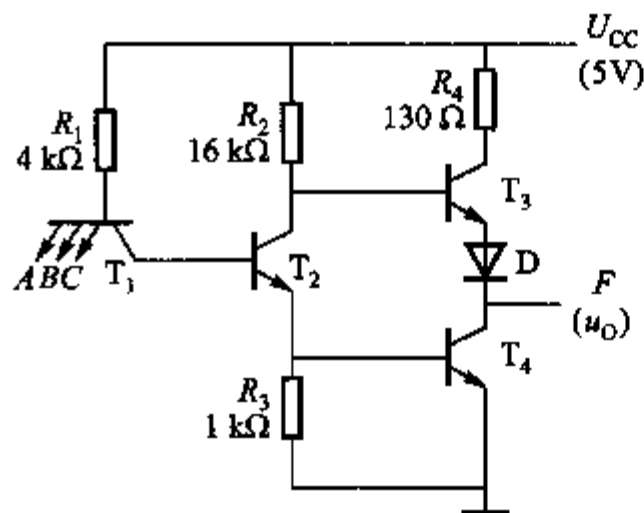
(3) 其余输入端全部接地时, 此时,  $T_1$  的基极电位被钳制在  $0.7 \text{ V}$ , 用内阻

足够大的万用表测量与非门一个悬空输入端的电压  $u_i = (0.7 - 0.7) \text{ V} = 0 \text{ V}$ 。

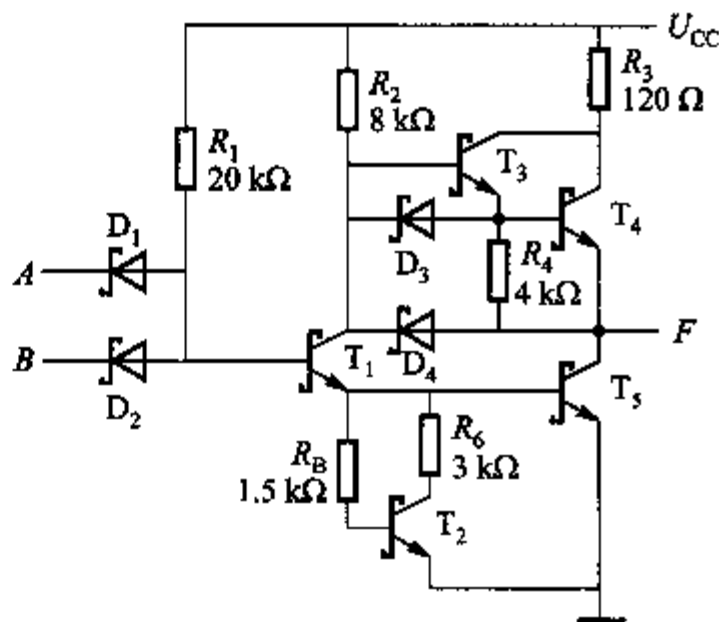
(4) 其余输入端全部接  $0.3 \text{ V}$  时, 此时,  $T_1$  的基极电位被钳制在  $1 \text{ V}$ , 用内阻足够大的万用表测量与非门一个悬空输入端的电压  $u_i = (1 - 0.7) \text{ V} = 0.3 \text{ V}$ 。

(5) 其余输入端有一个接地时, 对应的输入接地的二极管优先导通,  $T_1$  的基极电位被钳制在  $0.7 \text{ V}$ , 用内阻足够大的万用表测量与非门一个悬空输入端的电压  $u_i = (0.7 - 0.7) \text{ V} = 0 \text{ V}$ 。

习题 2.5 习题 2.5 图为 LS TTL 门电路, 试分析其逻辑功能, 计算  $U_{OL}$ 、 $U_{OH}$ 、 $I_{IL}$  等参数。



习题 2.4 图



习题 2.5 图

解: 与 TTL 门电路相比, 习题 2.5 图电路没采用二极管与门的形式, 采用抗饱和二极管代替常规的二极管, 其正向导通时的压降为  $0.4 \text{ V}$ , 主要是为了提高动态的速度, 这种电路严格讲是一种 DTL 电路, 电路中采用了肖特基晶体管和有源泄放电路。

当  $A$  和  $B$  中有一个为低电平时,  $T_1$  的基极电位为  $u_{B1} = (0.3 + 0.4) \text{ V} = 0.7 \text{ V}$ , 该电压值不足以使  $T_1$  和  $T_2$  导通, 因此  $T_1$  和  $T_2$  截止,  $T_1$  的集电极为高电位, 使  $T_3$  和  $T_4$  导通, 输出  $F$  为高电平。

当  $A$  和  $B$  全为高电平时,  $T_1$  和  $T_2$  导通,  $T_1$  的集电极为低电位, 使  $T_3$  和  $T_4$  截止, 输出  $F$  为低电平。

由此可知, 该电路实现的是与非的逻辑功能。逻辑式为

$$F = \overline{A \cdot B}$$

电路中  $D_3$ 、 $D_4$  的作用是提高了开关速度, 当  $u_o$  由  $1$  跳到  $0$  时, 经  $D_3$ 、 $D_4$  提供放电回路, 加速  $u_o$  的下降速度。  $R_4$  电阻由接地改为接在  $u_o$  上的目的是降低静态功耗,  $R_1$  电阻取值改为  $20 \text{ k}\Omega$  也是为了降低电路的功耗。该电路的电阻值比

TTL 门电路相应的电阻值大,主要目的是降低电路的功耗。实现的是与非的逻辑功能。

电路中二极管采用肖特基二极管,其正向导通压降为  $0.4\text{ V}$ ,而肖特基晶体管的发射极的正偏电压为  $0.7\text{ V}$ ,集电极的正偏电压为  $0.4\text{ V}$ 。因此,电路的阈值电压将变为

$$U_T = u_{BE2} + u_{BE5} - u_D = (0.7 + 0.7 - 0.4)\text{ V} = 1.0\text{ V}$$

输出的高低电平值:  $U_{OH} = 3.6\text{ V}$   $U_{OL} = 0.3\text{ V}$ 。

输入端的短路电流  $I_{IL} = \frac{5 - 0.4}{20}\text{ mA} = 0.23\text{ mA}$

习题 2.6 如主教材图 2.1.1 所示的 TTL 与非门电路中,若在某一输入端与地之间接一电阻  $R$ ,其余输入端悬空,试问:

(1) 保证与非门可靠关闭时的最大电阻即关门电阻  $R_{OFF}$  为多大值?

(2) 保证与非门可靠开通时的最小电阻即开门电阻  $R_{ON}$  为多大值?

解: 若在输入端 A 与地之间接一电阻  $R_1$ ,则  $R_1$  与地之间的电压  $u_1$  为

$$(1) \quad u_1 = \frac{U_{CC} - u_{BE1}}{R_1 + R_1} \times R_1 \leq U_{OFF}$$

即

$$\frac{5 - 0.7}{3 + R} \times R_1 \leq 0.8\text{ V}$$

$$R_1 \leq 0.686\text{ k}\Omega$$

$$R_{OFF} \approx 700\ \Omega$$

$$(2) \quad u_1 = \frac{U_{CC} - u_{BE1}}{R_1 + R_1} \times R_1 \geq U_{ON} \quad \text{即}$$

$$\frac{5 - 0.7}{3 + R_1} \times R_1 \geq 1.5\text{ V}$$

由此可得

$$R_1 \geq 1.6\text{ k}\Omega, \text{ 一般选 } R_{ON} = 2\text{ k}\Omega$$

工程计算

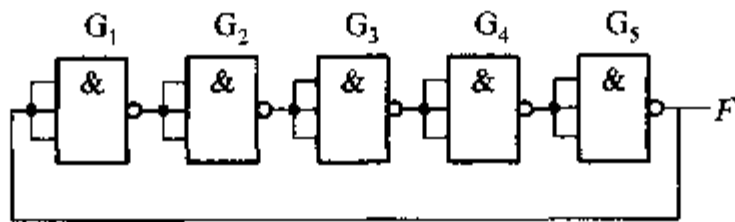
$$\frac{U_{CC} - u_{BE1}}{R_1 + R_1} \times R_1 = U_T = 1.4\text{ V}$$

得

$$R_{ON} = R_{OFF} \approx 1.5\text{ k}\Omega$$

习题 2.7 习题 2.7 图所示电路由 TTL 与非门组成。设  $G_1 \sim G_4$  门的平均传输延迟时间相同均为  $30\text{ ns}$ ,现测得输出端  $F$  的振荡频率为  $3.2\text{ MHz}$ ,试求  $G_5$  的平均传输延迟时间  $t_{pd5}$ 。

解: 根据  $F$  的频率求出  $F$  的振荡周期,  $T = 312.5\text{ ns}$ ,由于五个与非门输出为原信号的非,所以延迟时间应为  $T/2 \approx 156\text{ ns}$ ,则第五个与非门的延迟时间为



习题 2.7 图

36 ns。

习题 2.8 有两个 TTL 与非门芯片,测得它们的关门电平分别为  $U_{OFFA} = 1.1 \text{ V}$ ,  $U_{OFFB} = 0.9 \text{ V}$ ;开门电平分别为  $U_{ONA} = 1.3 \text{ V}$ ,  $U_{ONB} = 1.7 \text{ V}$ 。它们输出的高电平和低电平相同,试判断哪一个门的抗干扰能力大?

解:描述门电路抗干扰能力的大小通常用噪声容限  $U_N$  来衡量。通常噪声容限电压  $U_N$  越大,门电路的抗干扰能力越强。

低电平噪声容限  $U_{NL}$ 是指在保证输出高电平的前提下,允许叠加在关门电平  $U_{OFF}$ 上的最大正向干扰电压。

$$U_{NL} = U_{OFF} - U_{OL}$$

高电平噪声容限  $U_{NH}$ 是指在保证输出低电平的前提下,允许叠加在开门电平上的最大负向下扰电压。

$$U_{NH} = U_{OH} - U_{ON}$$

由于两个门输出的高电平和低电平相同,而开门电平和关门电平却不相同,因此抗干扰能力是不同的。

低电平噪声容限  $U_{NL}$

$$U_{NLA} = U_{OFFA} - U_{OL} = 1.1 \text{ V} - U_{OL}$$

$$U_{NLB} = U_{OFFB} - U_{OL} = 0.9 \text{ V} - U_{OL}$$

可知

$$U_{NLA} \geq U_{NLB}$$

高电平噪声容限  $U_{NH}$

$$U_{NHA} = U_{OH} - U_{ONA} = U_{OH} - 1.3 \text{ V}$$

$$U_{NHB} = U_{OH} - U_{ONB} = U_{OH} - 1.7 \text{ V}$$

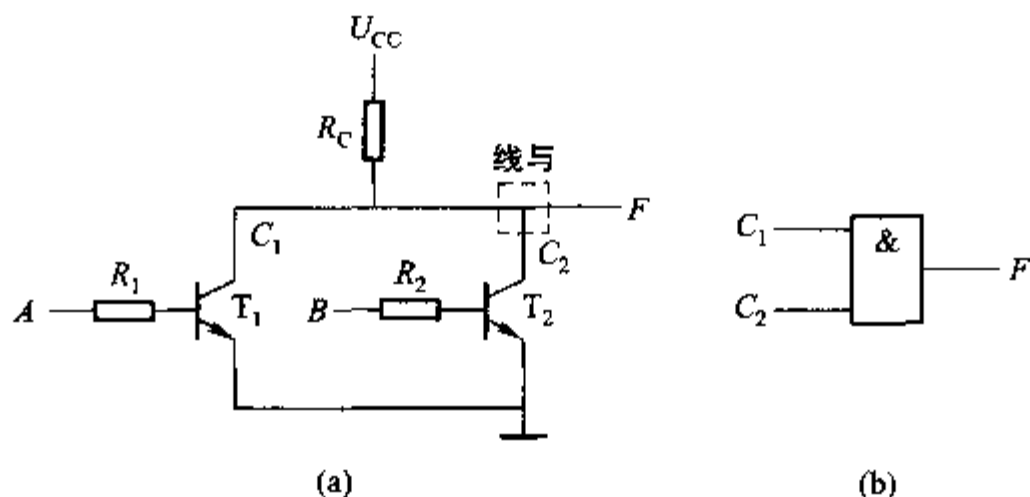
可知

$$U_{NHA} \geq U_{NHB}$$

综上所述可知:门 A 的抗干扰能力比门 B 大。

习题 2.9 习题 2.9 图(a)所示电路中,输出  $F$  与  $C_1$  和  $C_2$  之间具有与逻辑关系,称为线与,用虚线框标注。试写出  $F$  与  $C_1$  和  $C_2$  之间的电平关系表、真值表和逻辑式,并画出等效的逻辑图。

解:由电路图可知,当  $A$  和  $B$  中有一个为高电平时,设  $A$  为高电平,它所对应的晶体管  $T_1$  将饱和导通, $C_1$  为低电平,此时输出  $F$  也为低电平。



习题 2.9 图

当  $A$  和  $B$  中全为低电平时,两个晶体管  $T_1$  和  $T_2$  均截止,  $C_1$  和  $C_2$  为高电平,此时输出  $F$  也为高电平。由此可得出电路的电平关系表如习题 2.9 表(a)所示。

习题 2.9 表(a)

$C_1$	$C_2$	$F$
L	L	L
L	H	L
H	L	L
H	H	H

习题 2.9 表(b)

$C_1$	$C_2$	$F$
0	0	0
0	1	0
1	0	0
1	1	1

采用正逻辑体制进行描述,高电平用逻辑 1 来表示,低电平用逻辑 0 来表示,可得描述电路逻辑关系的真值表如习题 2.9 表(b)所示。由真值表写出电路的逻辑表达式

$$F = C_1 \cdot C_2$$

电路的等效图如习题 2.9 图(b)所示。

习题 2.10 若要实现习题 2.10 图中各 TTL 门电路输出端所示的逻辑功能,各电路的连接是否正确? 如果不正确,试说明理由。

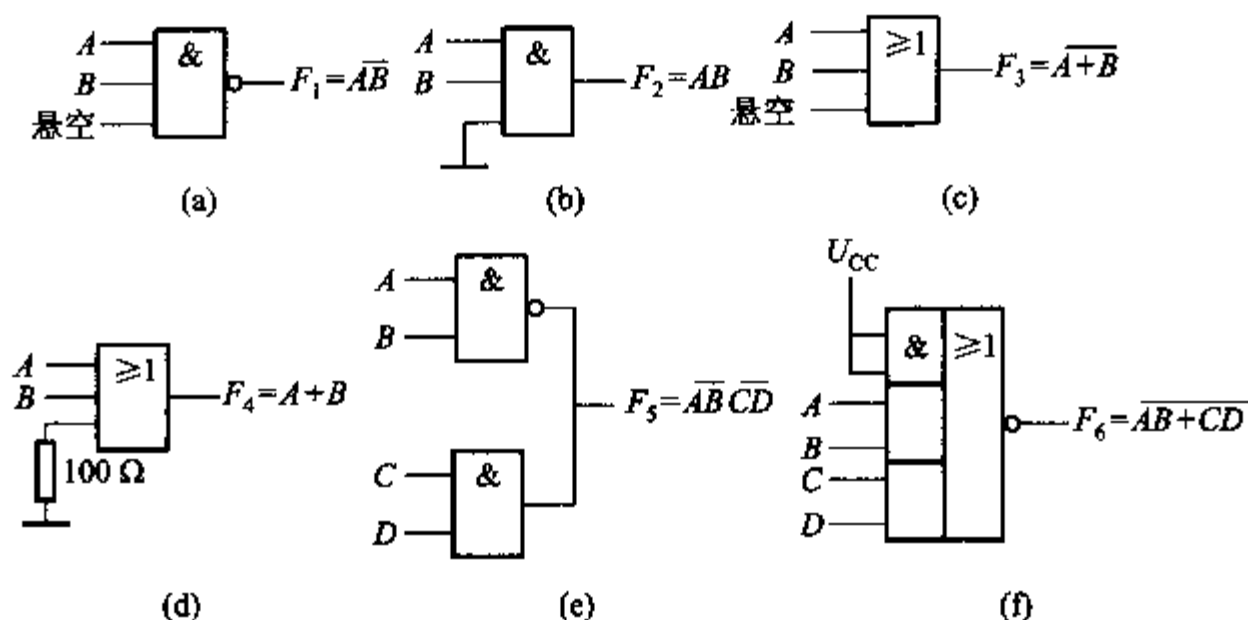
解: 本题目涉及 TTL 门电路正确使用的问题,解题时主要从以下几个方面来判断:

1. 门电路的多余输入端的处理。
2. 门电路输入负载的要求。
3. 输出端不能直接相接。
4. 带负载能力的问题。

(a) 正确。

(b) 错误,  $F = 0$ 。

(c) 错误,  $F = 0$ 。



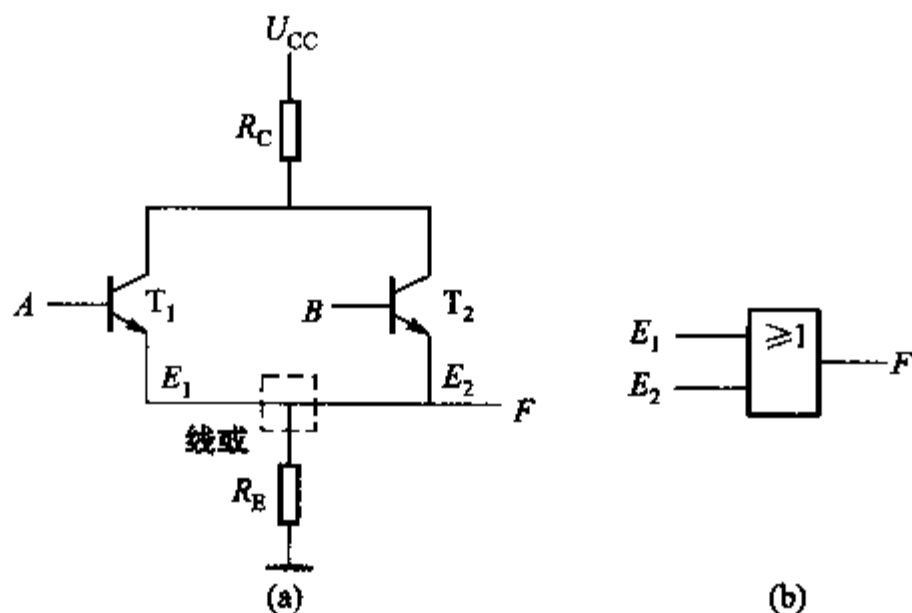
习题 2.10 图

(d) 正确。

(e) 错误, TTL 门电路输出端不能直接并联。

(f) 错误,  $F = 0$ 。

习题 2.11 习题 2.11 图(a)所示的电路中,输出  $F$  与  $E_1$  和  $E_2$  之间具有或逻辑关系,称为线或,用虚线框标注。试写出  $F$  与  $E_1$  和  $E_2$  之间的电平关系表、真值表和逻辑式,并画出等效的逻辑图。



习题 2.11 图

解: 由习题 2.11 图(a)知,当  $A$  和  $B$  中有一个为高电平时(设  $A$  为高电平,它所对应的晶体管  $T_1$  饱和导通,  $E_1$  为高电平),此时输出  $F$  为高电平。当  $A$  和  $B$  中全为低电平时,两个晶体管  $T_1$  和  $T_2$  均截止,  $E_1$  和  $E_2$  为低电平,输出  $F$  也为低电平。由此可得出电路的电平关系表如习题 2.11 表(a)所示。

采用正逻辑体制进行描述,高电平用逻辑 1 来表示,低电平用逻辑 0 来表示,可得描述电路逻辑关系的真值表如习题 2.11 表(b)所示。由真值表写出电



路的逻辑表达式

$$F = E_1 + E_2$$

电路的等效图如习题 2.11 图(b)所示。

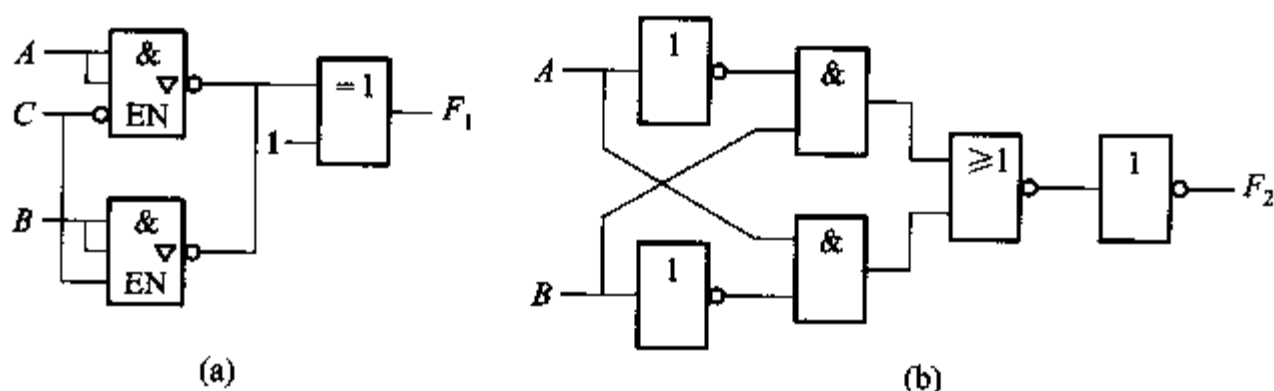
习题 2.11 表(a)

$E_1$	$E_2$	$F$
L	L	L
L	H	H
H	L	H
H	H	H

习题 2.11 表(b)

$E_1$	$E_2$	$F$
0	0	0
0	1	1
1	0	1
1	1	1

习题 2.12 分析如习题 2.12 图所示的逻辑电路,写出输入信号与输出信号之间的逻辑表达式。



习题 2.12 图

解: (a) 当  $C=1$  时, 下面的三态门为与非门正常工作, 则  $F_1 = B$ ; 当  $C=0$  时,  $F_1 = A$ ; 所以,  $F_1 = A\bar{C} + BC$ 。

(b)  $F = A \oplus B$ 。

习题 2.13 TTL 电路如习题 2.13 图(a)、(b)所示, 试写出输出端的表达式。已知输入信号 A、B、C 的波形如习题 2.13 图(c)所示, 画出对应的输出波形。

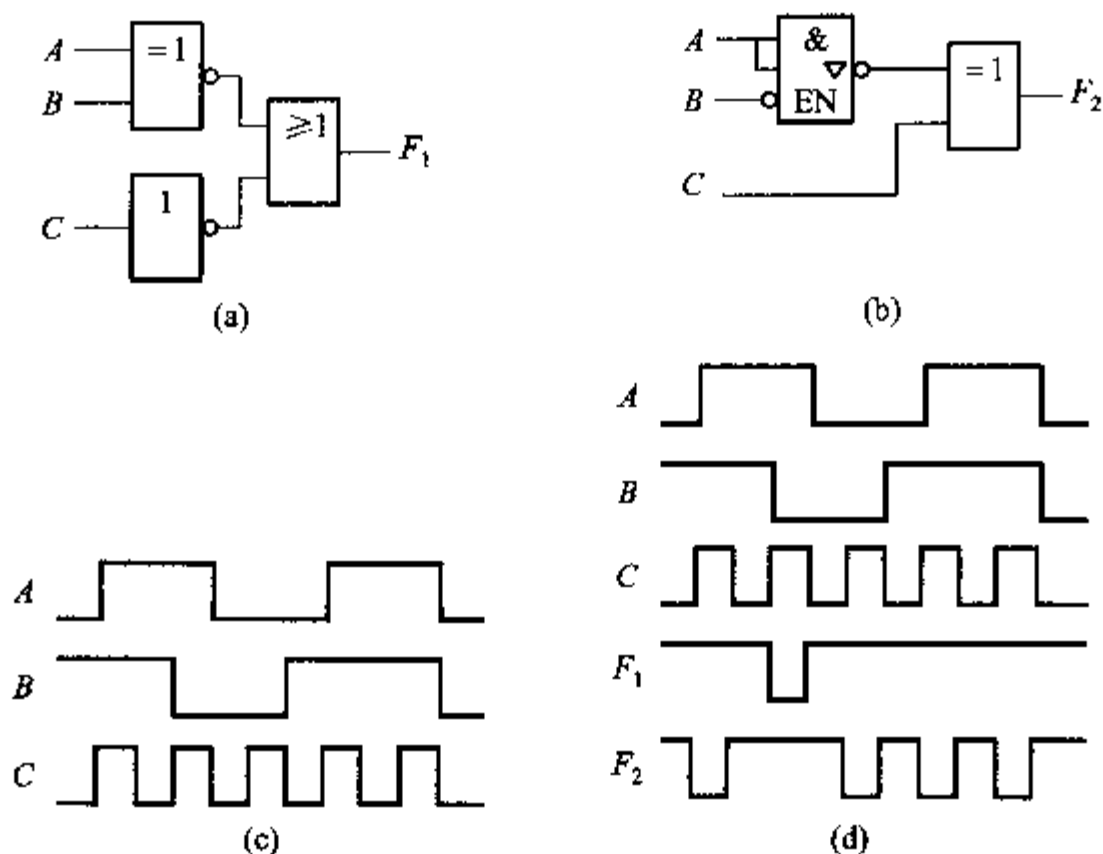
解: (a)  $F_1 = \overline{A \oplus B} + \bar{C} = \overline{(A \oplus B)C}$ , 如习题 2.13 图(d)所示  $F_1$  波形。

(b)  $F_2 = (\bar{A} \oplus C)\bar{B} + B\bar{C}$ , 如习题 2.13 图(d)所示  $F_2$  波形。

习题 2.14 电路如习题 2.14 图(a)~(g)所示, 已知输入信号 A、B 的波形如习题 2.14 图(h)所示, 画出各电路的输出波形。

解: 本题给出一组 TTL 门电路以及 CMOS 门电路, 要求在给定输入信号波形下, 对应画出各输出端的波形。由于所有门的一个输入端都通过电阻接地, 电源通过这一电阻到地形成电流通路, 电阻两端将产生电压降, 这一电压必将构成门电路的一个输入信号。

对于 TTL 门电路, 要求掌握关门电阻  $R_{OFF}$  与开门电阻  $R_{ON}$  的含义及其作用。



习题 2.13 图

对于 CMOS 门电路,由于无栅流存在,输入端经过电阻接地,相当于低电平输入方式。

TTL 电路若有输入端通过电阻接地,根据 TTL 门电路的输入端负载特性可知,当  $R < 0.7 \text{ k}\Omega$  时,  $u_R < U_{\text{OFF}}$ , 构成低电平输入方式,这一电阻通常也称为关门电阻,记为  $R_{\text{OFF}}$ ; 当  $R > 1.5 \text{ k}\Omega$  时,  $u_R > U_{\text{ON}}$ , 构成高电平输入方式,这一电阻通常也称为开门电阻,记为  $R_{\text{ON}}$ 。对于 CMOS 门电路,由于栅极无栅流,若输入端接一电阻到地,相当于栅极电位为地电位,构成低电平输入方式。根据以上分析,各电路输出与输入量的关系式为

$$F_1 = 1 \quad F_2 = \overline{A \cdot B} \quad F_3 = 1 \quad F_4 = 1 \quad F_5 = \overline{B} \quad F_6 = \overline{A + B} \quad F_7 = \overline{A}$$

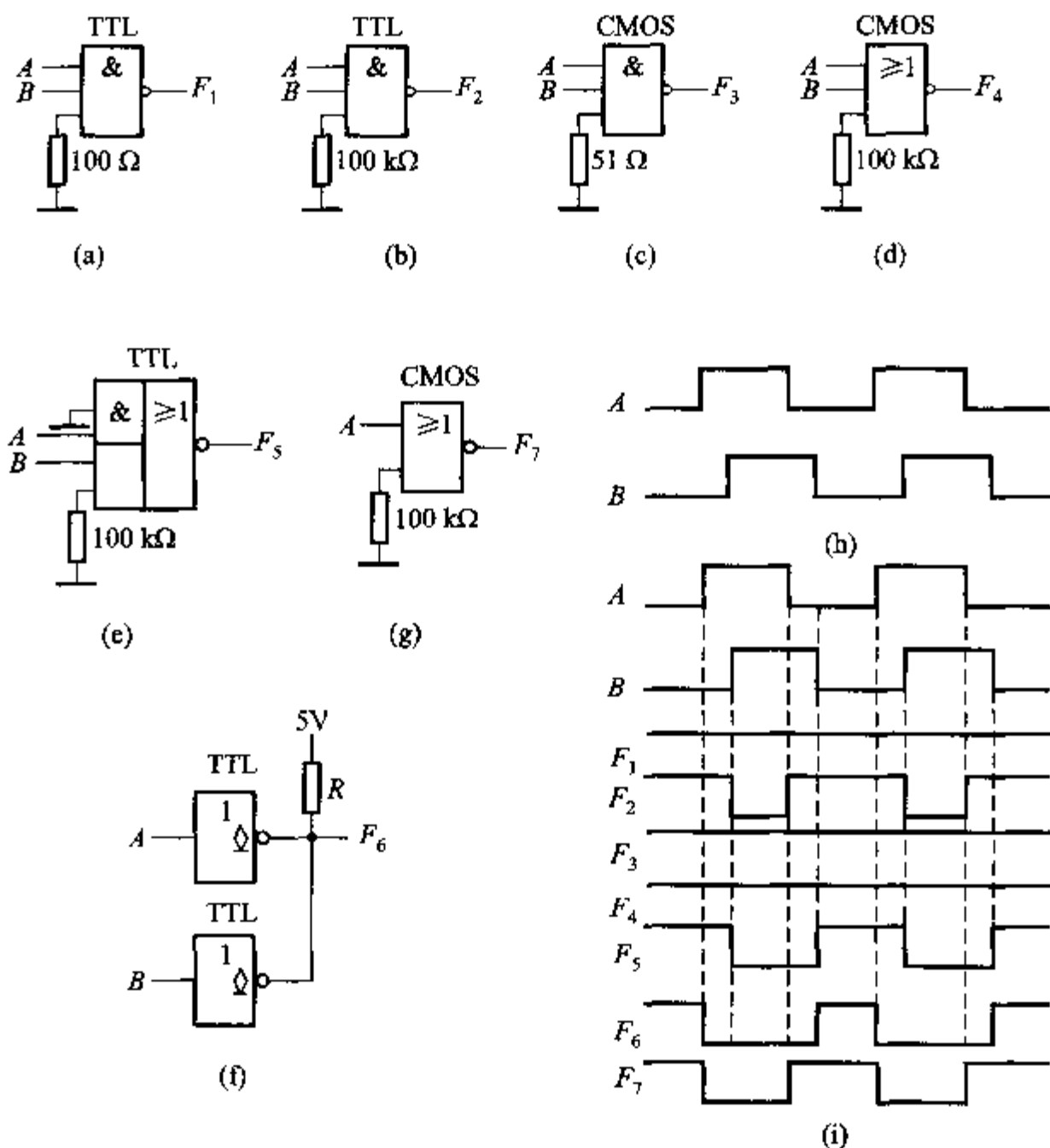
对应于输入信号  $A$ 、 $B$  的波形可画出相应的波形图,如习题 2.14 图(i)所示。

习题 2.15 在习题 2.15 图所示的各电路中,给定输入波形,试画出各输出端的波形。

解:首先根据电路图判断各个电路的输出与输入的逻辑关系。

(1) 由习题 2.15 图(a)可得出描述输入与输出逻辑关系的逻辑表达式为  $F_1 = A + B$ 。当输入有高电平出现时,输出为低电平;当输入全为低电平时,输出为高电平。

(2) 由图习题 2.15 图(b)可看出后级与非门的输入由前级三态门的输出和输入量  $C$  决定,输入量  $B$  为三态门的使能控制端,当  $B$  为低电平时,三态门开启,输出  $F_2$  由  $\overline{A}$  和  $C$  决定;当  $B$  为高电平时,三态门处于高阻状态,输出  $F_2$  仅由  $C$  决定。



习题 2.14 图

由此可得描述电路输入与输出逻辑关系的逻辑表达式

$$F_2 = \begin{cases} \overline{A \cdot C} & B = 0 \\ \overline{C} & B = 1 \end{cases}$$

(3) 由习题 2.15 图(c)可得出描述输入与输出逻辑关系的逻辑表达式为

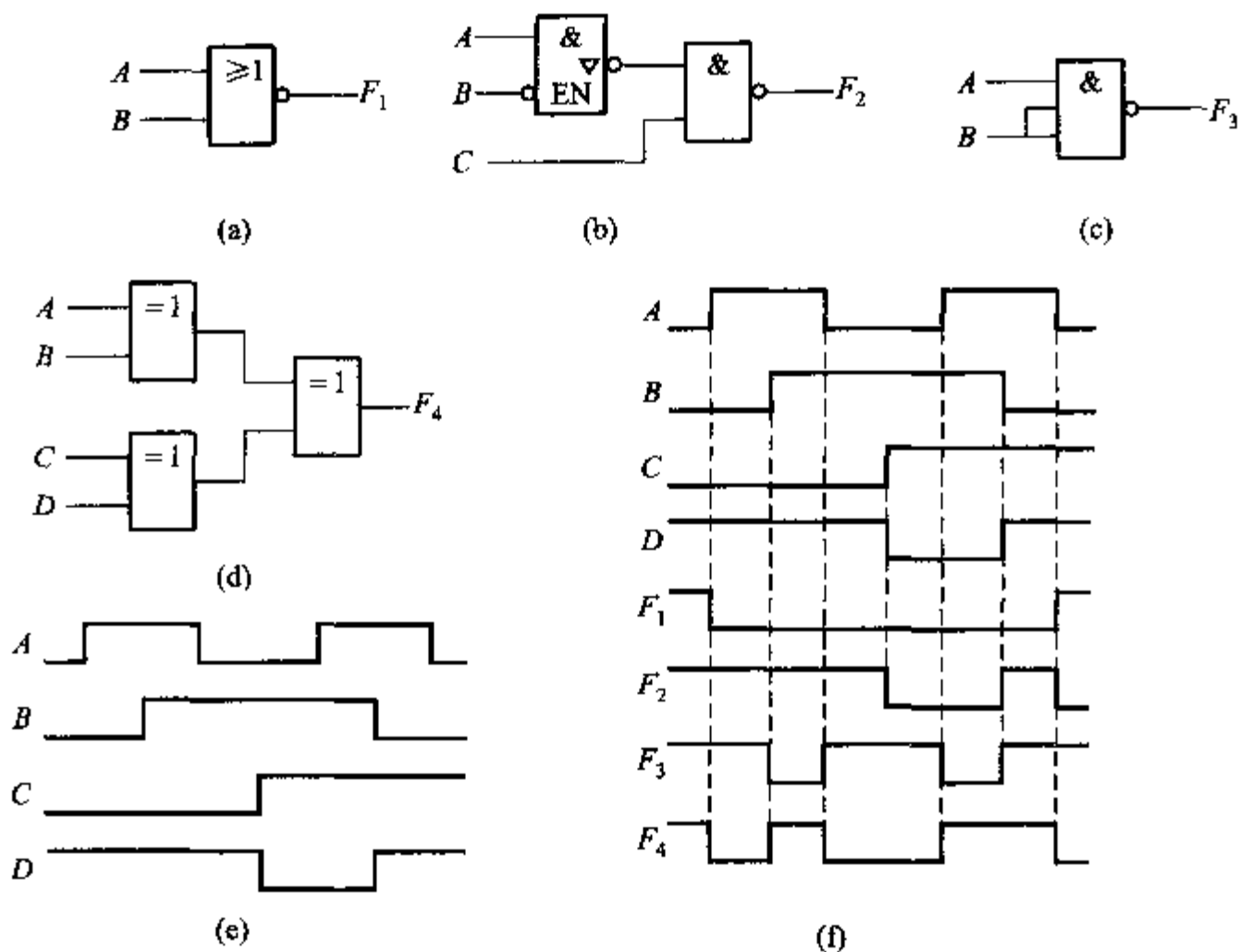
$$F_3 = \overline{AB}$$

当输入有低电平出现时,输出为高电平;当输入全为高电平时,输出为低电平。

(4) 由图习题 2.15 图(d)可得出描述输入与输出逻辑关系的逻辑表达式为

$$F_4 = A \oplus B \oplus C \oplus D$$

当输入有奇数个高电平出现时,输出为高电平;当输入有偶数个高电平出现时,输出为低电平。然后根据给定的输入波形及输入与输出之间的逻辑关系画出相应的输出波形图如习题 2.15 图(f)所示。



习题 2.15 图

习题 2.16 习题 2.16 图为 ECL 门电路逻辑图,试写出  $F_1$ 、 $F_2$  和  $F_3$  的逻辑表达式。

解: ECL 电路具有或/或非互补输出端且采用射极开路形式,允许多个输出端直接并联,以实现输出变量的线或操作。通过分析电路得到  $F_1 = A + B$ 。

$F_2$  和  $F_3$  为三个和两个 ECL 门输出直接相并联后的输出,完成的是线或的逻辑功能。其输出表达式为

$$F_2 = A + B + C + D + E + F$$

$$F_3 = C + D + E + F$$

习题 2.17 画出用最少数量的扇入为 2 的 ECL 或/或非门实现下列操作的逻辑图。

$$F_1 = A + B + C + D + E + F$$

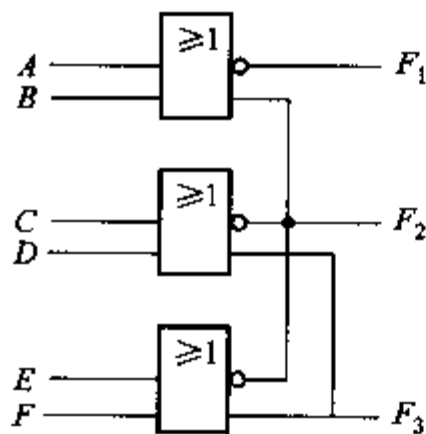
$$F_2 = (A + B)(C + D) + (E + F)(G + H)$$

解: 本题利用 ECL 输出变量的线或操作功能实现要求的或逻辑功能。

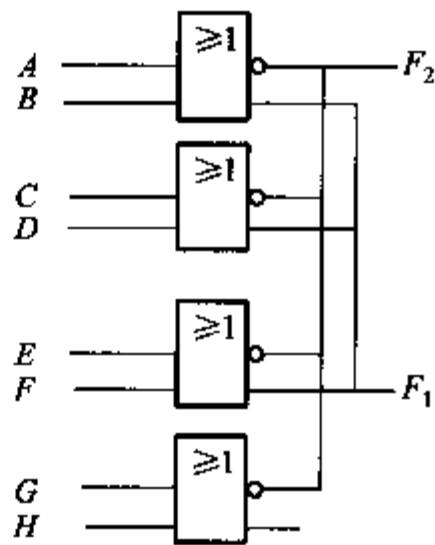
欲实现  $F_1 = A + B + C + D + E + F$ , 用扇入为 2 的 ECL 或/或非门, 需门电路 3 个。

$$\begin{aligned}
 F_2 &= \overline{(A+B)(C+D)} + \overline{(E+F)(G+H)} \\
 &= \overline{A+B} + \overline{C+D} + \overline{E+F} + \overline{G+H}
 \end{aligned}$$

欲用扇入为2的ECL或/或非门,需要门电路4个,实现电路如习题2.17图所示。



习题 2.16 图

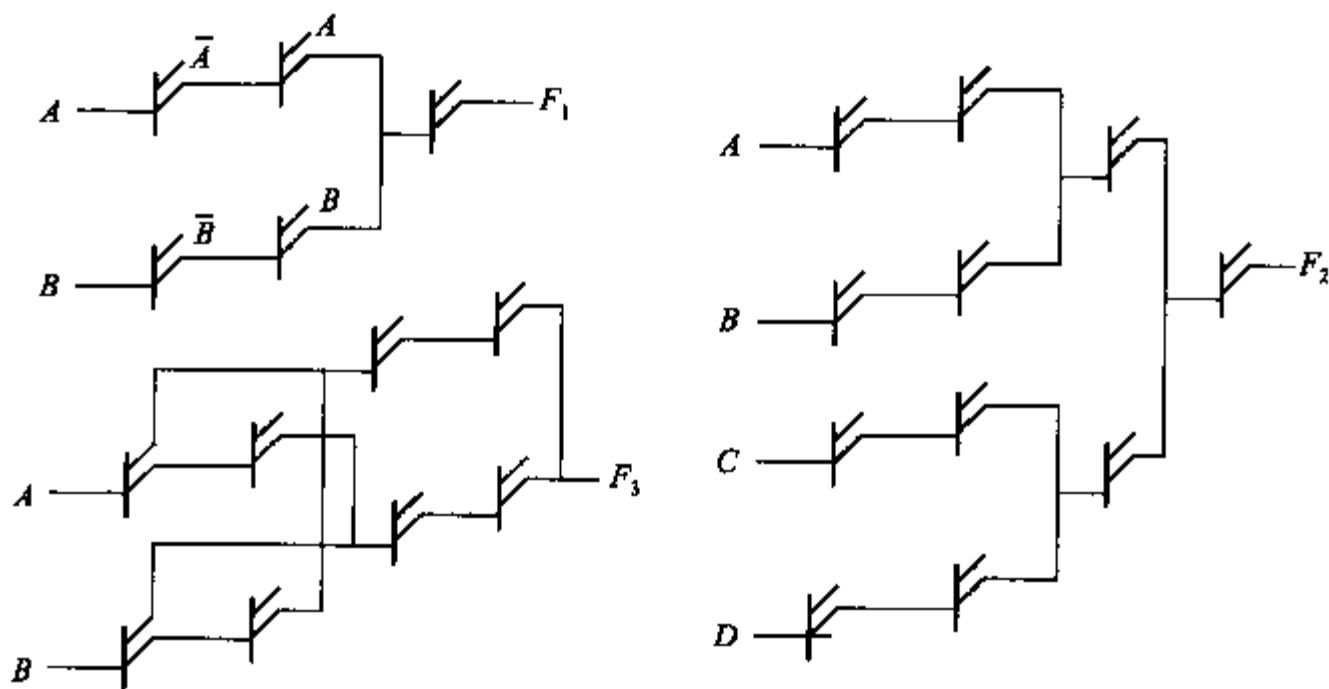


习题 2.17 图

习题 2.18 画出用  $I^2L$  基本单元电路实现下述操作的电路图及逻辑图。

$$F_1 = \overline{AB}, \quad F_2 = AB + CD, \quad F_3 = \overline{AB} \cdot A\overline{B}$$

解:  $I^2L$  基本单元电路的任何一个输出与输入之间都是非逻辑关系,可采用线与形式连成各种门电路。实现相应逻辑操作的电路图和逻辑图如习题 2.18 图所示。



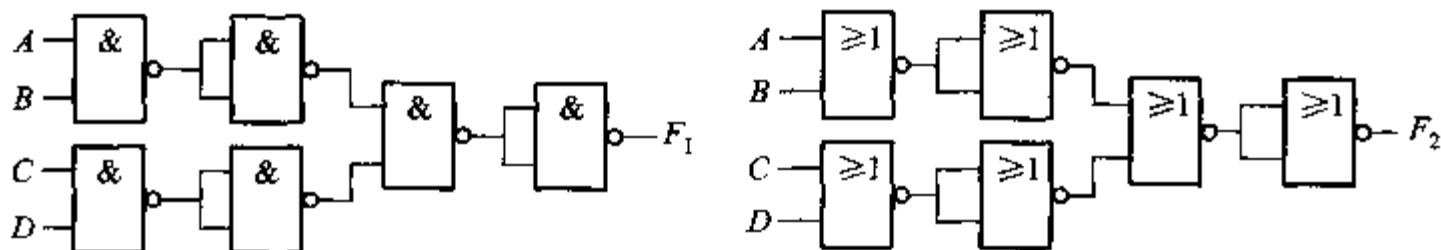
习题 2.18 图

习题 2.19 分别用四 2 输入或非门(74HC02)和四 2 输入与非门(74HC01)实现  $F_1 = ABCD$  和  $F_2 = A + B + C + D$ , 画出逻辑图。

解: 首先利用还原律, 将表达式变成与非 - 与非式和或非 - 或非表达式,

$$F_1 = ABCD = \overline{\overline{AB}} \overline{\overline{CD}} = \overline{\overline{AB} \overline{CD}} \quad F_2 = \overline{\overline{A + B + C + D}}$$

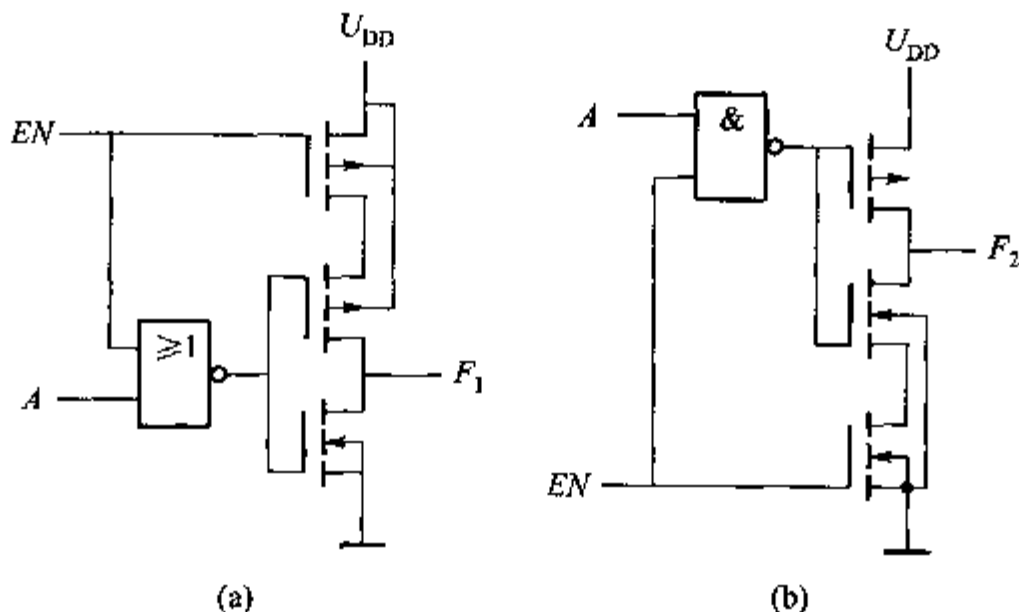
由表达式画出逻辑图, 如习题 2.19 图所示。



习题 2.19 图

习题 2.20 CMOS 电路如习题 2.20 图所示。

- (1) 分析电路逻辑功能, 分别写出  $F_1$ 、 $F_2$  的逻辑表达式。
- (2) 试说明两种电路的相同之处和不同之处。



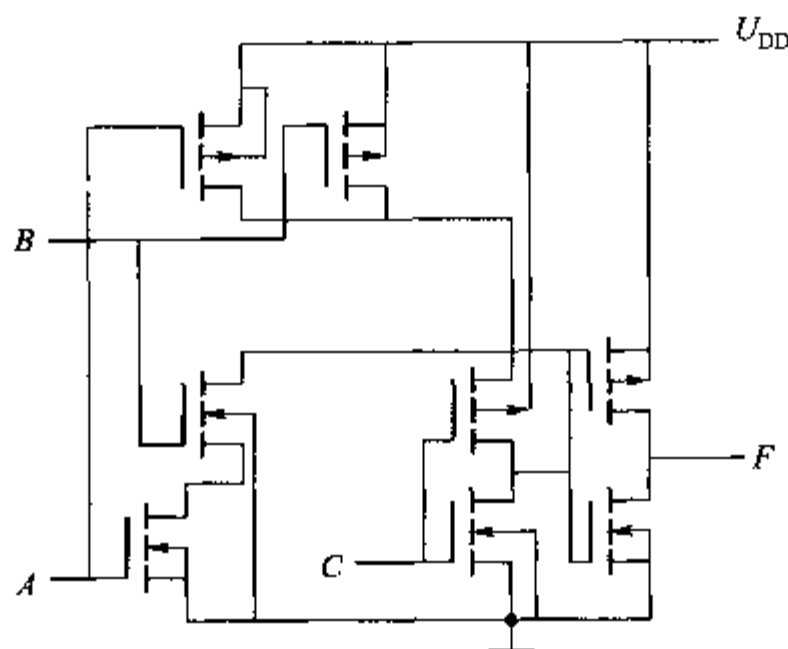
习题 2.20 图

$$\text{解: (1) } F_1 = \begin{cases} A & EN = 0 \\ Z & EN = 1 \end{cases} \quad F_2 = \begin{cases} A & EN = 1 \\ Z & EN = 0 \end{cases}$$

(2) 相同之处是电路实现的都是三态门的功能。不同之处是控制电路工作的有效电平, 图(a)是低电平使能, 图(b)是高电平使能。

习题 2.21 试画出实现方程  $F = AB + C$  的 CMOS 电路图。

解: 要实现的逻辑函数有三个输入端 A、B、C, 每个输入端都与一个 NMOS 和一个 PMOS 管相对应。A 和 B 之间实现的是与运算, 所对应的 NMOS 管相串联, PMOS 管相并联, 又 C 和 AB 之间实现的是或逻辑关系, 只要将它们对应的 NMOS 管并联, PMOS 管串联相接即可。经过上述连接得到的逻辑关系是

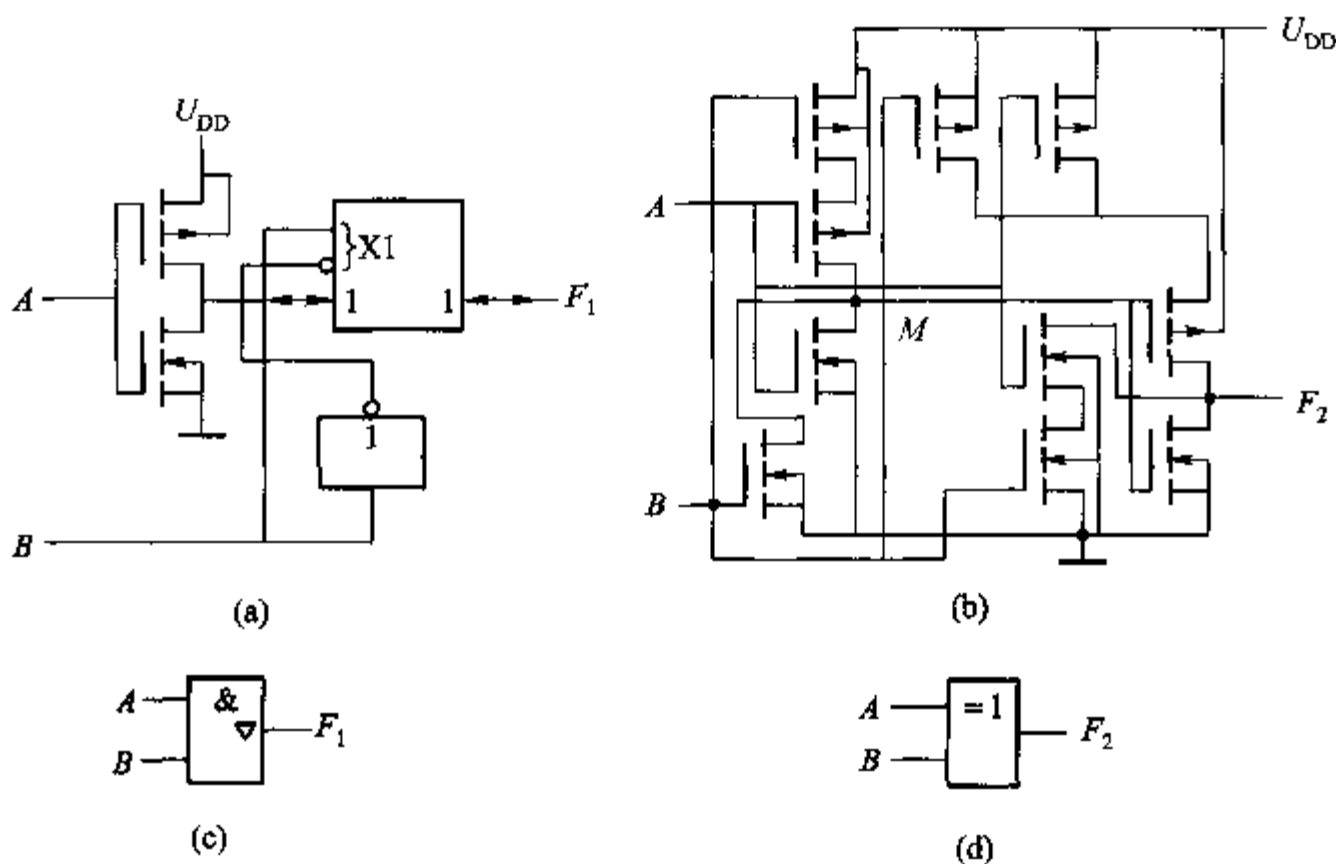


习题 2.21 图

$\overline{AB + C}$ , 所以在输出端必须再加一级 CMOS 反相器。电路图如习题 2.21 图所示。

习题 2.22 习题 2.22 图(a)、(b)所示为两种 CMOS 门电路, 试分别写出各图的逻辑式, 并画出逻辑图。

解: 图(a)所示的电路是由一个 CMOS 反相器和一个 CMOS 传输门组成。反相器的输入端为 A, 输出端为  $\overline{A}$ , B 是传输门的控制信号端。当 B 为高电平时, 传输门开启, 将输入端的信号传送到输出端; 当 B 为低电平时, 传输门关闭, 输入信号与输出信号的联系将被切断。经上述分析可得到该电路的逻辑式为



习题 2.22 图

$$F_1 = \begin{cases} \bar{A} & B = 1 \\ Z & B = 0 \end{cases}$$

由逻辑式可看出该电路实际上是一个三态门。

图(b)所示电路中,分析  $M$  与  $A$ 、 $B$  的逻辑关系可知,只有  $A$ 、 $B$  全为低电平时,  $M$  才输出高电平,由此可得

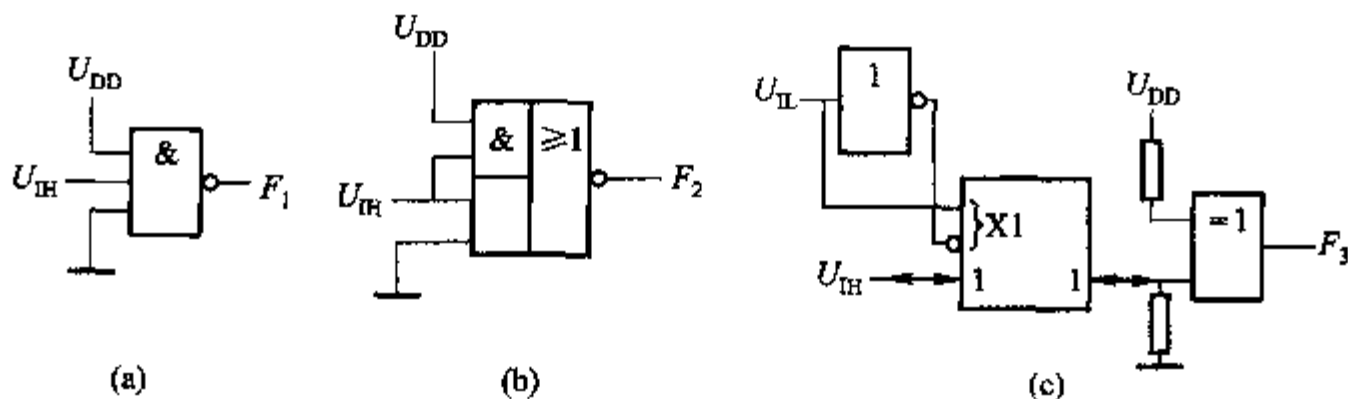
$$M = \overline{A + B} = \bar{A} \bar{B}$$

而电路的输出  $F_2$  与  $M$ 、 $A$ 、 $B$  有关,分析它们之间的逻辑关系可知,只要  $M$  为高电平或  $A$  和  $B$  全为高电平时,输出为低电平;而当  $M$  为低电平且  $A$  和  $B$  中有一个为低电平时,输出为高电平,由此可得

$$F_2 = \overline{M + AB} = \overline{\bar{A} \bar{B} + AB} = A \oplus B$$

该电路实际上是 CMOS 异或门。习题 2.22 图(c)、(d)给出两个电路的等效符号。

习题 2.23 习题 2.23 图所示电路均为 CMOS 电路,按照电路逻辑功能和图中所示输入状态,指出各电路的输出状态。



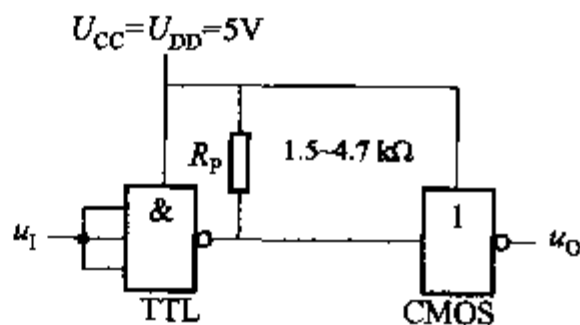
习题 2.23 图

解:习题 2.23 图(a)所示电路之中,与非门的三个输入端中有一个输入端接地,得到与非门的输出状态  $F_1 = 1$ 。

习题 2.23 图(b)所示电路是一个与或非门,上面的与门的两个输入端都接高电平,输出为高电平;下面的与门有一个输入端接低电平,输出为低电平。又或非门的输入端一端为高电平,一端为低电平,输出状态  $F_2 = 0$ 。

习题 2.23 图(c)所示电路是由一个传输门和一个异或门构成,由于传输门的门控制信号接低电平,所以传输门关闭。异或门的一个输入端相当于接高电平,另一个输入端相当于接低电平,其输出状态  $F_3 = 0 \oplus 1 = 1$ 。

习题 2.24 TTL—CMOS 接口电路如习题 2.24 图所示,试从电平匹配的观点分析  $R_p$  的作用。



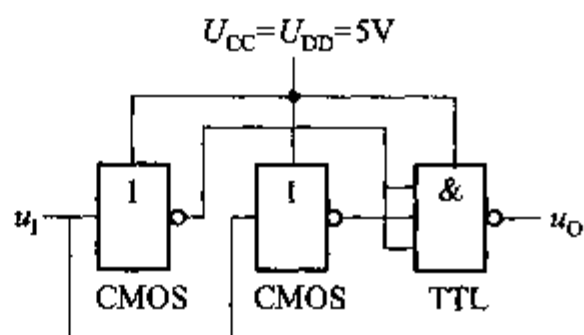
习题 2.24 图



解: TTL 门电路高电平为 3.6 V, 低电平为 0.3 V, 而 CMOS 门电路高电平为 5 V, 低电平为 0 V。

显然二者高电平失配, 为了保证 TTL 输出高电平与 CMOS 匹配, 增加  $R_p$  电平提升电阻, 在 TTL 截止时, 由于推拉式输出截止, 输出通过  $R_p$  将电平由 3.6 V 提升到 5 V 左右, 可基本满足 CMOS 输入逻辑 1 的电平要求。

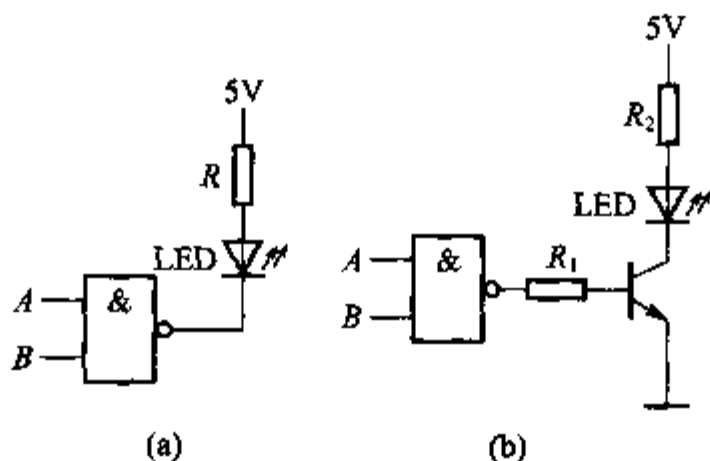
习题 2.25 CMOS—TTL 接口电路如习题 2.25 图所示, 试说明电路中两个 CMOS 门并联使用的原因。



习题 2.25 图

解: 在逻辑电平上, 一个 CMOS 电路是可以驱动 TTL 电路, 但 CMOS 输出低电平时, 吸流能力较弱, 如 CT4000 系列最大的  $I_{OLmax}$  为 0.5 mA, 只能驱动一个 TTL74LS 系列逻辑门, 甚至输入电流大的 TTL 也不能驱动。该电路 TTL 门的输入端并联, 要求前级电路提供较大的驱动电流, 因而将 CMOS 门并联使用以增大 CMOS 门输出低电平时的吸流能力。

习题 2.26 已知 7400 为二 4 输入与非门,  $I_{OH} = 400 \mu A$ 、 $I_{OL} = 16 \text{ mA}$ 、 $U_{OH} = 2.4 \text{ V}$ 、 $U_{OL} = 0.4 \text{ V}$ , 输入信号 A 和 B 均为高电平时推动发光二极管发光。现有发光二极管工作电流为 10 mA, 导通时管压降为 1.5 V, 试画出逻辑电路图; 若要求 A、B 有一个以上为低电平时二极管发光, 逻辑图又该如何?



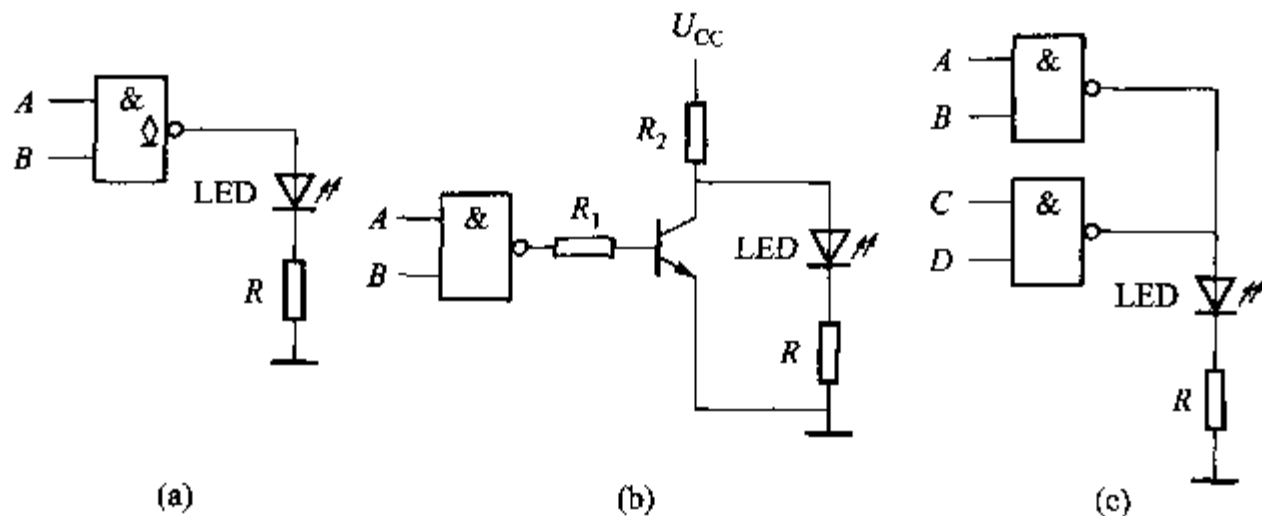
习题 2.26 图

解: 根据题目要求输入信号 A 和 B 均为高电平时推动发光二极管发光, 而当输入信号 A 和 B 均为高电平时与非门的输出为低电平, 由此, 可按习题 2.26 图 (a) 电路进行连接, 电阻 R 的取值要保证二极管正常工作, 即  $\frac{5 \text{ V} - 1.5 \text{ V} - 0.4 \text{ V}}{R} = 10 \text{ mA}$ , 可得  $R = 320 \Omega$ , 此时灌入与非门的电流为  $10 \text{ mA} < 16 \text{ mA}$ , 因此与非门可直接驱动发光管发光。

要求 A、B 有一个以上为低电平时二极管发光, 而当 A、B 有一个以上为低电

平时与非门输出为高电平,由题目可知,与非门的  $I_{OH} = 400 \mu A$ ,而二极管正常工作所需的电流为  $10 \text{ mA}$ ,因此如用与非门的输出不能直接驱动发光管,而需要加一级驱动。电路如习题 2.26 图(b)所示。

习题 2.27 如习题 2.27 图所示驱动电路,哪些驱动电路的连接是错误的?



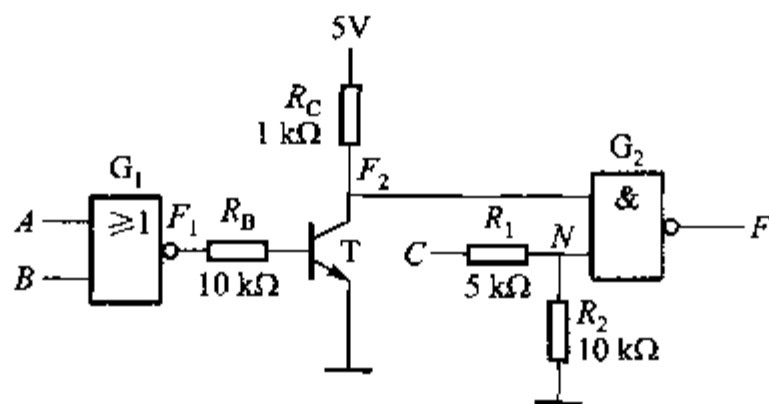
习题 2.27 图

解: 习题 2.27 图(a)、(c)驱动错误。

习题 2.28 电路如习题 2.28 图所示,已知电路中的门均为 TTL 门,其参数  $U_{ON} = 1.8 \text{ V}$ 、 $U_{OFF} = 0.8 \text{ V}$ 、 $R_{ON} = 2 \text{ k}\Omega$ 、 $R_{OFF} = 0.8 \text{ k}\Omega$ 、 $I_{IH} \approx 0 \text{ mA}$ 、 $I_{IL} = 1.4 \text{ mA}$ 、 $U_{OH} = 3.6 \text{ V}$ 、 $U_{OI} = 0.3 \text{ V}$ 、 $I_{OHmax} = 400 \mu A$ ; 电路中的晶体管参数  $\beta = 60$ 、 $I_{CM} = 30 \text{ mA}$ 、管子饱和时  $u_{BE} = 0.7 \text{ V}$ 、 $U_{CES} = 0.3 \text{ V}$ , 输入信号的高低电平分别为  $3 \text{ V}$  和  $0 \text{ V}$ 。

(1) 试判断在 A、B、C 不同取值情况下,晶体管的工作状态。

(2) 试分析该电路能否实现  $Y = (A + B) \cdot C$  的逻辑功能。



习题 2.28 图

解:  $F_1 = \overline{A + B}$

按图中给定的参数,可知  $F_1 = 1$  时,  $u_{F1} = 3.6 \text{ V}$ , 设 T 导通并饱和, 则  $u_{BE} = 0.7 \text{ V}$ ,  $U_{CES} = 0.3 \text{ V}$ , T 管基极注入电流为

$$i_B = \frac{u_{F1} - u_{BE}}{R_B} = \frac{3.6 - 0.7}{10} \text{ mA} = 0.29 \text{ mA}$$

又因 T 管临界饱和的基极偏流  $I_{BS} = \frac{I_{CS}}{\beta}$

其中

$$I_{CS} = i_{RC} + I_{IL} = \frac{U_{CC}}{R_C} + 1.4 \text{ mA} = \left( \frac{5}{1} + 1.4 \right) \text{ mA} = 6.4 \text{ mA}$$

因此可求得  $I_{BS} = \frac{6.4}{60} \text{ mA} = 0.167 \text{ mA}$

因为  $i_B > I_{BS}$

T 管饱和的假设成立, 即  $u_{F1} = 1$  时, T 饱和。

当  $F_1 = 0$  时, 晶体管处于截止状态。

当  $C = 1$  时, N 点的电位

$$u_N = \left( \frac{10}{10 + 5} \times 3 \right) \text{ V} = 2 \text{ V}$$

可视为逻辑高电平。

当  $C = 0$  时, N 点为低电平, 相当于 N 点对地的等效电阻应小于  $R_{OH}$ 。图中  $10 \text{ k}\Omega$  和  $5 \text{ k}\Omega$  的并联电阻值为  $3.3 \text{ k}\Omega$ , 大于  $R_{OFF}$ , 故需修改  $R_2$  的阻值。只要将  $R_2$  改为  $0.8 \text{ k}\Omega$  阻值就能满足 N 和 C 的状态一致性, 保证电路正常工作。

即只要修改了这个部分电路就可以实现  $Y = \overline{(A + B)} \cdot \overline{C}$  的功能了。

习题 2.29 电路如习题 2.29 图(a)所示, 已知电路中的门均为 TTL 门, 其参数  $U_{IH} = 3.6 \text{ V}$ 、 $U_{IL} = 0.1 \text{ V}$ 、 $U_{OH} = 3.6 \text{ V}$ 、 $U_{OL} = 0.1 \text{ V}$ 、 $U_T = 1.4 \text{ V}$ 、 $R_{ON} = 20 \text{ k}\Omega$ 、 $R_{OFF} = 0.8 \text{ k}\Omega$ 、 $I_{IH} = 40 \mu\text{A}$ 、 $I_{IL} = -1 \text{ mA}$ 、 $I_{OH} = 0.4 \text{ mA}$ 、 $I_{OL} = -8 \text{ mA}$ , 试分析并指出电路存在的问题, 并加以改正。

解: 习题 2.29 图(a)电路中存在两个明显的问题: 一是  $G_3$  和  $G_4$  门输出直接并在一起会损坏门的输出级, 因而不允许在电路中采用线与的连接。二是钳位二极管 D 的极性接反了。为了保证电路能正常工作, 还需考虑以下问题:

(1) 由晶体管 T, 电阻  $R_B$ 、 $R_C$  构成的反相器电路应满足电路的逻辑要求, 即门  $G_5$  输出为高电平时, 晶体管 T 应饱和, 门  $G_5$  输出低电平时, 晶体管 T 应截止。

(2) 电阻  $R_1$ 、 $R_2$  要合理地选取, 以保证 C 为高电平时 N 点也为高电平, C 为低电平时, N 点也为低电平, 即 C 和 N 点逻辑电平应一致。

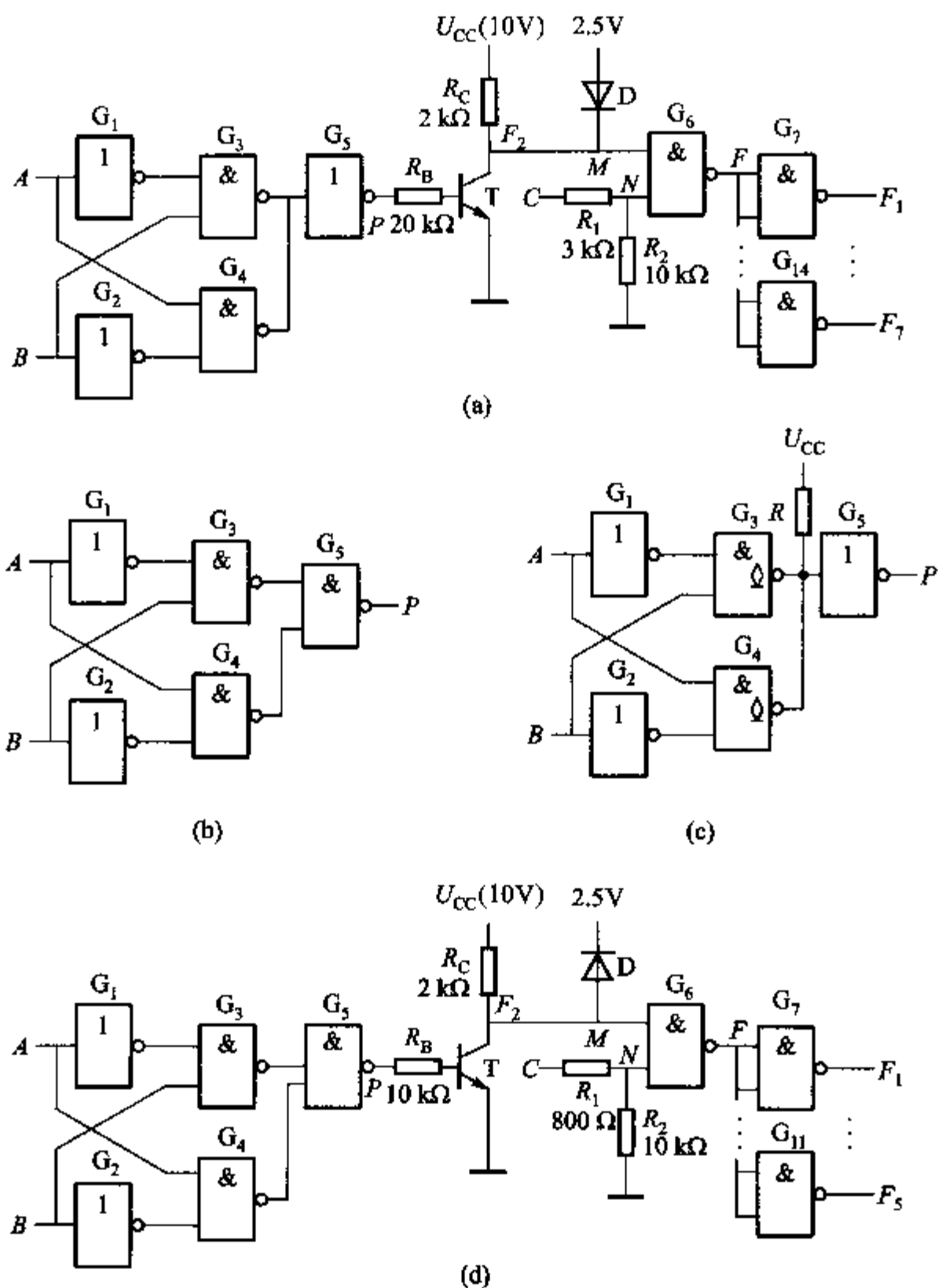
(3) 门  $G_6$  的驱动能力应能驱动图示的 8 个同类门  $G_7 \sim G_{14}$ 。

下面具体分析上述的问题。

(1) 与非门线与的改进

考虑到  $G_3$ 、 $G_4$  门后接  $G_5$  门, 故可将电路改为习题 2.29 图(b)所示的形式, 即  $G_5$  门采用与非门即可。也可考虑将  $G_3$ 、 $G_4$  门改为 OC 电路, 如习题 2.29 图(c)所示形

式。OC 电路的输出可以线与,但需要注意的是,使用 OC 门要外接电阻和电源。



习题 2.29 图

### (2) 钳位二极管的方向

晶体管集电极所接的二极管 D 是用于钳位的,目的是使图中 M 点在高电平时的输出处于某一恒定电位(图中约为 3.2 V),同时使输出端处于高电平时的带负载能力增强。显然,当 M 点为高电平时, D 起钳位作用,故应改变图中二极管的极性,使阳极在下,阴极在上。

### (3) $P = 1$ 时,晶体管状态的分析

按习题 2.29 图(a)中给定的参数,可知  $P=1$  时,  $u_p=3.6\text{ V}$ , 设 T 导通并饱和, 则  $u_{BE}=0.7\text{ V}$ ,  $U_{CES}=0.1\text{ V}$ , T 管基极注入电流为

$$i_B = \frac{u_p - u_{BE}}{R_B} = \frac{3.6 - 0.7}{20} \text{ mA} = 0.145 \text{ mA}$$

又因 T 管临界饱和的基极偏流  $I_{BS} = \frac{I_{CS}}{\beta}$

其中

$$I_{CS} = i_{RC} + I_{IL} = \frac{U_{CC}}{R_C} + 1 \text{ mA} = \left( \frac{10}{2} + 1 \right) \text{ mA} = 6 \text{ mA}$$

因此可求得  $I_{BS} = \frac{6}{30} \text{ mA} = 0.2 \text{ mA}$

因为  $i_B < I_{BS}$

T 管饱和的假设不成立, 即  $u_p=1$  时, T 不饱和, 原电路  $R_B$ 、 $R_C$  参数的选取不合理。这时可考虑采用减小  $R_B$  或增加  $\beta$  值的方法来解决。要满足  $i_B > I_{BS}$ , 则应有

$$\frac{3.6 \text{ V} - 0.7 \text{ V}}{R_B} \leq 0.2 \text{ mA}$$

解得  $R_B \leq 14.5 \text{ k}\Omega$

还需注意的一个问题是,  $R_B$  的选取在保证  $i_B > I_{BS}$  的同时, 必须满足  $i_B < I_{OH}$ , 故可求得

$$R_B \geq \frac{3.6 - 0.7}{0.4} \text{ k}\Omega = 7.25 \text{ k}\Omega$$

取  $R_B = 10 \text{ k}\Omega$ , 能保证电路处在正常工作状态。

若通过改变  $\beta$  值来满足  $i_B > I_{BS}$ , 则应有

$$i_B \geq \frac{I_{CS}}{\beta}$$

可解得  $\beta \geq \frac{I_{CS}}{i_B} = \frac{6}{0.145} = 41.2$

取  $\beta$  为 45 ~ 50 的晶体管也可使电路正常工作。

当  $P=0$  时, 晶体管处于截止状态,  $R_B$ 、 $R_C$  取值大小不影响电路的逻辑关系。

(4) N 点和 C 状态的一致性

当信号 C 为高电平时, N 点应为高电平; 反之当 C 为低电平时, N 点也应为低电平。由电路图可求得  $C=1$  时, N 点的电位

$$u_N = \frac{10}{10 + 3} \times 3.6 \text{ V} = 2.8 \text{ V}$$

可视为逻辑高电平。

当  $C=0$  时, 要保证 N 点也为低电平, 相当于 N 点对地的等效电阻应小于  $R_{OFF}$ 。

图中  $10\text{ k}\Omega$  和  $3\text{ k}\Omega$  的并联电阻值为  $2.3\text{ k}\Omega$ , 大于  $R_{\text{OFF}}$ , 故需修改  $R_1$  的阻值。只要将  $R_1$  改为  $0.8\text{ k}\Omega$  阻值就能满足  $N$  和  $C$  的状态一致性, 保证电路正常工作。

(5) 门  $G_6$  的扇出系数

按给定的参数下, 门  $G_6$  输出为高电平时可带门的数量

$$N_1 \leq \frac{I_{\text{OH}}}{2I_{\text{IH}}} = \frac{0.4 \times 10^3}{2 \times 40} = 5$$

门  $G_6$  输出为低电平时可带门的数量

$$N_2 \leq \frac{I_{\text{OL}}}{2I_{\text{IL}}} = \frac{8}{1} = 8$$

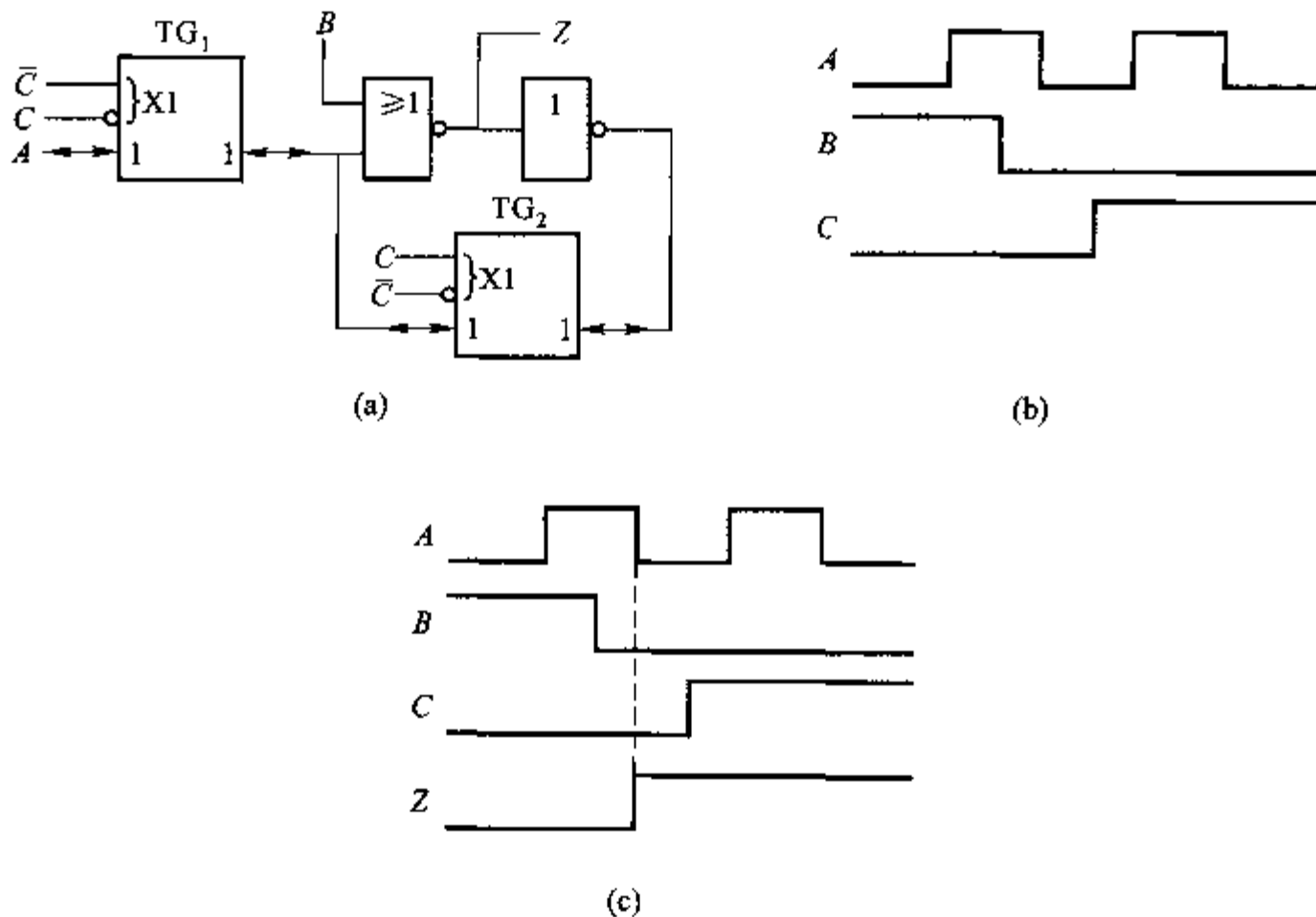
扇出系数取最小值保证电路在任何情况下都能正常工作, 扇出系数  $N_0$  为 5。

综上所述, 习题 2.29 图(a)电路要能正常工作, 应做如下改动:

- (1) 门  $G_5$  改为与非门, 或将  $G_3$ 、 $G_4$  门改为 OC 门。
- (2)  $R_B$  电阻改为  $10\text{ k}\Omega$ , 或将 T 管的  $\beta$  值提高至  $45 \sim 50$ 。
- (3) 改二极管 D 的极性, 使阳极在下, 阴极在上。
- (4)  $R_1$  电阻改为  $0.8\text{ k}\Omega$ 。
- (5) 门  $G_6$  的负载门改为 5 个。

习题 2.29 图(d)为修改后能正常工作的电路。

习题 2.30 CMOS 门电路如习题 2.30 图(a)所示, 已知输入信号  $A$ 、 $B$  和控



习题 2.30 图

制信号  $C$  的波形如习题 2.30 图(b)所示,试分析并画出  $Z$  端的波形。

解:当  $C$  为低电平时,习题 2.30 图中输入信号  $A$  连接的 CMOS 传输门  $TG_1$  导通,右面传输门  $TG_2$  关断。信号  $A$  通过传输门  $TG_1$  和信号  $B$  经或非门输出为信号  $Z$ 。当  $C$  为高电平时,习题 2.30 图中输入信号  $A$  连接的 CMOS 传输门  $TG_1$  关断,右面传输门  $TG_2$  导通。输出信号  $Z$  通过非门和信号  $B$  经或非门输出为信号  $Z$ 。此时,信号  $A$  的变化不影响输出,输出信号  $Z$  端的波形如习题 2.30 图(c)所示。

## 第三章 组合逻辑电路

本章以逻辑代数为数学工具,从逻辑门构成的组合逻辑电路入手,介绍分析和设计组合逻辑电路的基本方法,并讨论组合逻辑电路中的竞争冒险现象,为进一步学习带记忆功能的电路奠定基础。同时重点讨论若干常用中规模集成电路模块及其应用,利用 VHDL 语言实现数字电路的描述及设计。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) 组合电路的分析与设计

##### 1. 组合电路基本概念

任一时刻的输出状态只取决于该时刻各输入状态的组合,与电路的原状态无关。电路只有从输入到输出的通路,没有从输出到输入的反馈回路。电路由逻辑门构成,不含记忆元件。

##### 2. 组合电路分析

用逻辑函数描述已知的电路,找出输入、输出间的逻辑关系,从而判断电路功能。

组合电路的分析步骤:

- (1) 由已知逻辑电路图逐级写出逻辑表达式。
- (2) 化简逻辑表达式,可以采用代数法或卡诺图法化简表达式。
- (3) 由表达式列出真值表。
- (4) 根据表达式或真值表分析并说明电路实现的逻辑功能。

##### 3. 组合电路设计

组合电路的设计是根据实际逻辑问题提出的要求,设计出满足要求的、最简单或者最合理的组合电路。实现逻辑电路的方法有多种,可采用小规模、中规模以及可编程逻辑器件,采用的器件不同,其设计方法也有所不同,但是设计过程中对基本逻辑问题的描述、设计思路有其共性。

##### (二) 组合电路的竞争冒险

##### 1. 组合电路中的竞争冒险现象

在组合电路中,信号由不同的途径到达门电路输入端的时间有先有后,这种



现象称为竞争。由于竞争可能引起电路输出发生的瞬间尖峰脉冲现象称为冒险。竞争冒险现象将影响电路的工作速度、限制电路的最高工作频率,有时会导致电路无法正常工作。

## 2. 竞争的类型

有两种类型的竞争可能产生冒险现象,一种是门电路的多个输入信号同时变化引起的竞争;一种是信号经不同路径传到同一个门的输入端,由于信号到达时间不同引起的竞争。

## 3. 冒险现象的判断

在电路输入端只有一个信号改变的情况下,可根据逻辑表达式,采用代数法和卡诺图法判断组合电路是否存在冒险。

## 4. 竞争冒险现象的消除

- (1) 加冗余项。
- (2) 接滤波电容。
- (3) 加选通信号。

## (三) 常用组合电路模块的功能

常用组合电路模块有编码器、译码器、数据选择器、数值比较器和加法器等。

### 1. 编码器

数字系统中常采用多位二进制数码的组合对具有某种特定含义的信号进行编码,完成编码功能的逻辑电路称为编码器。编码器是一个多输入多输出电路,如果需要对  $m$  个输入信号进行编码,则需要  $n$  位二进制数,  $2^n \geq m$ 。常用的编码器有二进制编码器、优先编码器和二-十进制编码器等。

### 2. 译码器

译码器将二进制代码翻译成具有特定含义的输出信号。常用的译码器有二进制译码器、二-十进制译码器和数字显示译码器等。常用的有 3 线-8 线译码器 74138、4 线-10 线 8421BCD 译码器 7442 等。

### 3. 数据选择器

数据选择器根据地址选择信号,从多路输入数据中选择一路送到输出端。数据选择器可等效成一个单刀多掷开关。常用的有 4 选 1 数据选择器 74153、8 选 1 数据选择器 74151。

### 4. 数值比较器

数值比较器可以对两个位数相同的二进制整数进行数值比较,判定其大小。常用的有 4 位二进制数值比较器 7485。

### 5. 加法器

实现二进制数加法运算的电路有半加器和全加器。将来自低位的进位以及两个 1 位二进制数相加产生和、进位称为全加;不考虑来自低位进位的加法运算

为半加。实现半加运算的电路称为半加器,实现全加运算的电路称为全加器,常用的有快速进位 4 位加法器 74283。

#### (四) 常用组合电路模块的应用

常用组合电路模块属于中规模集成器件(MSI),其应用主要有几个方面:模块本身功能的使用、模块的扩展、用 MSI 设计其他功能的组合电路。这里主要总结最后一个方面。

##### 1. 用 MSI 设计组合电路的步骤

用 MSI 器件进行组合电路的设计没有固定的模式和统一的设计方法,通常不用考虑逻辑函数的最简形式。设计步骤一般是:分析设计要求、求逻辑函数、选择适当形式的函数式、画逻辑图。选择的 MSI 器件不同,其函数的表达形式有所不同,因此需要根据器件的选择,灵活改变逻辑函数的表达方式。

##### 2. 用加法器设计组合电路

加法器除用作二进制加法运算外,还可以外加一些门电路实现其他算术运算,如减法运算、乘法运算、数码比较、代码转换、BCD 码的加减法等。

##### 3. 用译码器设计组合电路

由于二进制译码器的  $n$  变量输入可以提供  $2^n$  个输出,且为  $n$  变量的全部最小项或全部最小项的非。例如 2 线 - 4 线译码器有 2 个输入信号  $A$ 、 $B$ ,有 4 个输出信号  $Y_0$ 、 $Y_1$ 、 $Y_2$  和  $Y_3$ ,这 4 个输出分别是输入信号  $A$ 、 $B$  的全部最小项。

任何组合逻辑函数都可以展开成最小项表达式,因此,用译码器可以实现任意组合逻辑电路。 $n$  变量逻辑函数可以用  $n$  变量二进制译码器和门电路实现。用译码器实现组合逻辑电路的优点是:不用化简函数,可以直接利用函数的最小项形式;用一个译码器可同时实现多输出函数。

##### 4. 用数据选择器设计组合电路

用数据选择器实现组合逻辑函数的步骤如下:

- (1) 选择数据选择器。根据给定组合函数的变量数确定选用何种数据选择器。通常数据选择器地址位数与给定函数的变量个数相等。
- (2) 确定数据选择器地址端与设计函数输入变量的连接。
- (3) 求数据选择器数据输入端的表达式。
- (4) 画出逻辑电路图。

用数据选择器实现组合逻辑函数时应注意:

- (1) 如果设计函数选择不同变量作为数据选择器的地址输入端,将得到不同的设计结果。
- (2) 用数据选择器实现多输出函数时,每个输出函数都要单独使用一个数据选择器。即数据选择器的数量与输出函数的个数相同。

## (五) VHDL 语言的基本应用

### 1. VHDL 的基本组成

VHDL 可以把任何复杂的电路视为一个模块,一个模块分为三个组成部分:程序包、设计实体和结构体。程序包是设计中的子程序和公用数据类型的集合,每个模块中的程序包有 IEEE 标准程序包或设计者自身设计的程序包,调用的数量不限。模块中仅有一个设计实体,设计实体提供该设计模块的端口信息,是 VHDL 设计电路的最基本部分。结构体描述的是实体的内部电路,描述实体内部的硬件互连关系、数据的传输和变换等。一个实体可以对应多个结构体,每个结构体可以代表该硬件的某一方面特性,例如行为特性、结构特性。

### 2. VHDL 的行为描述

在 VHDL 中,描述电路逻辑的程序称为行为描述,行为描述有并行行为描述、进程行为描述和顺序行为描述。三种行为描述对应三种描述语句:并行语句、进程语句和顺序语句,这些语句可以独立成为行为描述体,又可以相互联系成为混合描述体。

### 3. VHDL 的结构描述

VHDL 的结构描述,就是要描述电路由哪些子元件组成以及各个子元件之间的互连关系。结构描述比行为描述更加具体化,行为描述的基本语句是进程语句,而结构描述的基本语句则是调用元件语句。

## 二、重点与难点

### 重点:

#### 1. 组合电路的基本概念

组合电路的信号特点、电路结构特点以及逻辑功能特点。

#### 2. 组合电路的分析与设计

组合电路分析是根据已知逻辑图说明电路实现的逻辑功能。

组合电路设计是根据给定设计要求及选用的器件进行设计,画出逻辑图。如果选用小规模集成电路 SSI,设计方法比较规范且容易理解,用 SSI 设计是读者应掌握的最基本设计方法。由于设计电路由门电路组成,所以使用门的数量较多,集成度低。

若用中规模集成电路 MSI 进行设计,没有固定的规则,方法较灵活。

无论是用 SSI 还是 MSI 设计电路,关键是将实际的设计要求转换为一个逻辑问题,即将文字描述的要求变成一个逻辑函数表达式。

#### 3. 常用中规模集成电路的应用

常用中规模集成电路有加法器、比较器、编码器、译码器、数据选择器和数据分配器等,重要的是理解外部引脚功能,能在电路设计时灵活应用。

#### 4. 竞争冒险现象

会分析竞争冒险现象的产生原因,会判断是否存在竞争冒险现象以及如何消除。

#### 难点:

##### 1. 组合电路设计

无论是用 SSI 还是用 MSI 设计电路,首先碰到的是如何将设计要求转换为逻辑问题,得到明确的真值表,这一步既是重点又是难点。总结解决这一难点的方法如下:

(1) 分析设计问题的因果关系,分别确定输入变量、输出变量的个数及其名称。

(2) 定义逻辑变量 0、1 信号的含义。无论输入变量、输出变量均有两个状态 0、1,这两个状态代表的含义由设计者自己定义。

(3) 再根据设计问题的因果关系以及变量定义列出真值表。

##### 2. 常用组合电路模块的灵活应用

同样的设计要求,用 MSI 设计完成后,所得的逻辑电路不仅与所选芯片有关,而且还与设计者对芯片的理解及灵活应用能力有关。读者可在下面的例题和习题中体会。

##### 3. 硬件描述语言 VHDL 的应用

VHDL 的应用非常灵活,同一个电路问题可以有不同的描述方法,初学者可以先仔细阅读已有的程序实例,再自行设计。

### 三、考核题型与考核重点

#### 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

建议分配的分数为 3~6 分。

#### 2. 综合分析与设计

题型 1 为根据已知电路分析逻辑功能。

题型 2 为根据给定的逻辑问题,设计出满足要求的逻辑电路。

建议分配的分数为 6~12 分。

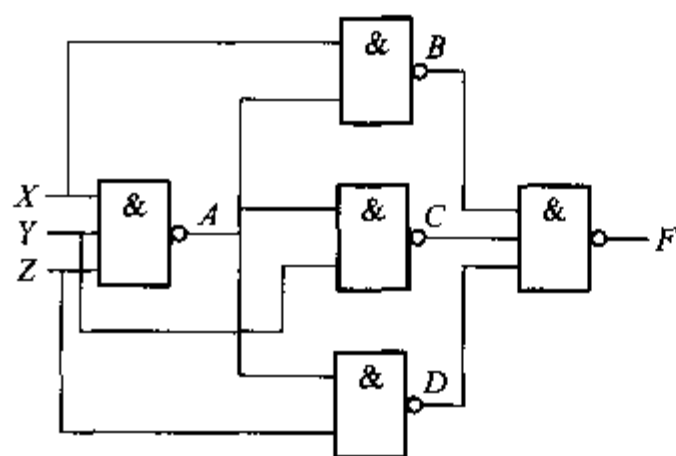
## 第二节 典型题解

例题 3.1 分析例题 3.1 图所示电路的逻辑功能。

解:(1) 根据已知逻辑电路,从输入端到输出端逐级求函数表达式

$$\begin{aligned}
 A &= \overline{XYZ} \quad B = \overline{AX} \quad C = \overline{AY} \quad D = \overline{AZ} \\
 F &= \overline{BCD} = \overline{\overline{AX} \overline{AY} \overline{AZ}} = \overline{\overline{XYZ X} \overline{XYZ Y} \overline{XYZ Z}} \\
 &= \overline{XYZ X} + \overline{XYZ Y} + \overline{XYZ Z} \\
 &= \overline{XYZ}(X + Y + Z) = (\overline{X} + \overline{Y} + \overline{Z})(X + Y + Z)
 \end{aligned}$$

(2) 根据输出函数表达式列出真值表如例题 3.1 表所示。



例题 3.1 图

例题 3.1 表 真 值 表

输 入			输 出
X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(3) 根据真值表分析电路的逻辑功能。

分析例题 3.1 表, 电路只有当输入取值不同时, 输出为 1; 输入取值相同时, 输出为 0。因此, 例题 3.1 图所示的电路是三变量非一致电路。

例题 3.2 试设计一个能判断两个二进制数字大、小和相等的电路, 用门电路和译码器实现。

解: (1) 根据题意设两个 2 位二进制数 A 和 B 为输入, 用四个输入变量  $A_1$ 、 $A_0$ 、 $B_1$ 、 $B_0$  表示,  $A_1A_0$  表示数 A,  $B_1B_0$  表示数 B。两个数的比较结果共有三种情况, 分别为  $A > B$ 、 $A = B$  和  $A < B$ , 设三个输出变量  $F_A$ 、 $F_{A=B}$  和  $F_B$  分别表示这三种情况, 输出  $F_A$  取值为 1 表示  $A > B$ , 取值为 0 表示  $A \leq B$ ,  $F_{A=B}$  和  $F_B$  的 0、1 取值定义相似。

(2) 根据题目对输入、输出变量提出的要求以及信号的定义, 列写真值表如例题 3.2 表所示。

例题 3.2 表 真 值 表

输入				输出			输入				输出		
$A_1$	$A_0$	$B_1$	$B_0$	$F_A$	$F_{A=B}$	$F_B$	$A_1$	$A_0$	$B_1$	$B_0$	$F_A$	$F_{A=B}$	$F_B$
0	0	0	0	0	1	0	1	0	0	0	1	0	0
0	0	0	1	0	0	1	1	0	0	1	1	0	0
0	0	1	0	0	0	1	1	0	1	0	0	1	0

续表

输入				输出			输入				输出		
$A_1$	$A_0$	$B_1$	$B_0$	$F_A$	$F_{A=B}$	$F_B$	$A_1$	$A_0$	$B_1$	$B_0$	$F_A$	$F_{A=B}$	$F_B$
0	0	1	1	0	0	1	1	0	1	1	0	0	1
0	1	0	0	1	0	0	1	1	0	0	1	0	0
0	1	0	1	0	1	0	1	1	0	1	1	0	0
0	1	1	0	0	0	1	1	1	1	0	1	0	0
0	1	1	1	0	0	1	1	1	1	1	0	1	0

(3) 由真值表,求函数表达式。

方法一:作函数卡诺图,化简函数,得到简化后的函数表达式

$$F_A = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

$$F_B = \bar{A}_1 B_1 + \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_0 B_1 B_0$$

$$F_{A=B} = \bar{F}_A \bar{F}_B$$

方法二:不求最简函数式,寻找变量、函数之间的关系,得到函数的另一种表达形式

$$F_A(A_1, A_0, B_1, B_0) = \sum m(4, 8, 9, 12, 13, 14)$$

$$F_{A=B}(A_1, A_0, B_1, B_0) = \sum m(0, 5, 10, 15)$$

$$F_B(A_1, A_0, B_1, B_0) = \sum m(1, 2, 3, 6, 7, 11)$$

(4) 由逻辑表达式画出门电路实现的逻辑图如例题 3.2 图所示。

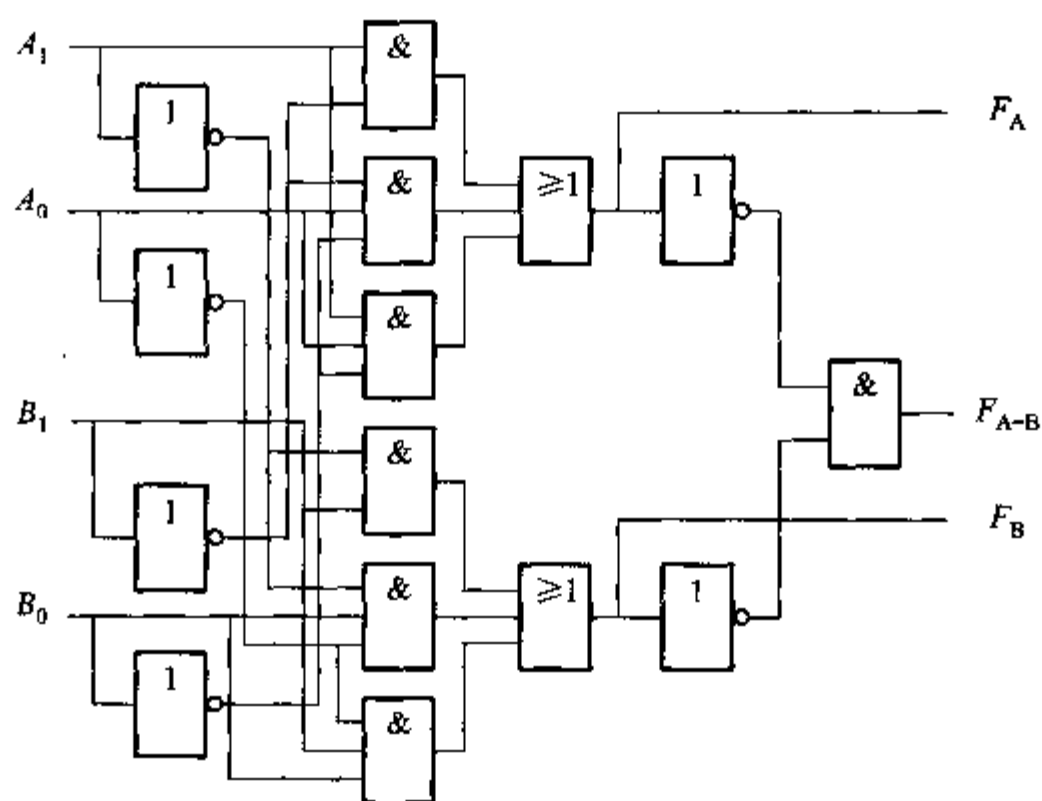
方法一设计的电路如例题 3.2 图(a)所示。

该电路是四输入变量、三输出变量的逻辑函数,故选择 4 线-16 线译码器。译码器为低有效输出,因此选择附加与非门,根据方法二求出的表达式,用译码器实现的电路如例题 3.2 图(b)所示。

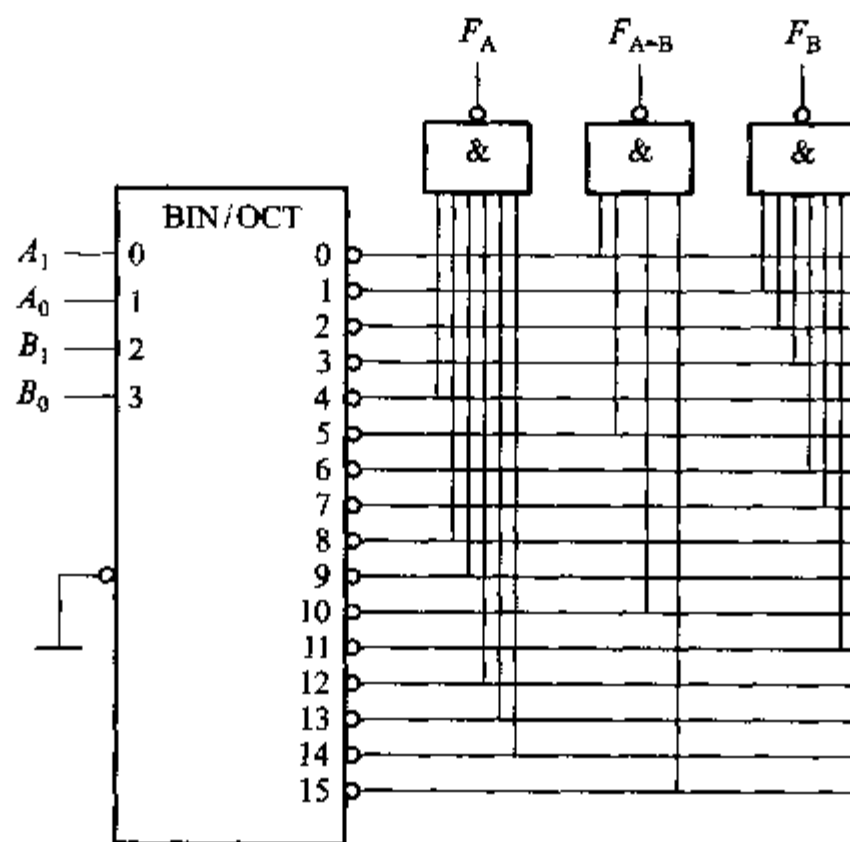
例题 3.3 由 4 位超前进位二进制加法器组成的电路如例题 3.3 图所示。该电路的输入  $X_3, X_2, X_1, X_0$  为 8421BCD 码,试分析电路实现的逻辑功能。

解:4 位超前进位二进制加法器实现功能为: $F = A + B + CI_0$ ,输入信号  $A$ 、 $B$ 、 $CI_0$ ,输出信号  $F$  和  $CO_4$ 。被加数  $A = A_3A_2A_1A_0$ 、加数  $B = B_3B_2B_1B_0$ 、低位的进位位  $CI_0$ ;输出和  $F = F_3F_2F_1F_0$ 、输出进位位  $CO_4$ 。

分析电路的连接, $A_3A_2A_1A_0 = X_3X_2X_1X_0$ 、 $B_3 = B_0 = CI_0 = 0$ 、 $B_2 = B_1 = X_3 + X_2X_1 + X_2X_0 = \sum m(5, 6, 7, 8, 9)$ 、 $F_3F_2F_1F_0 = Y_3Y_2Y_1Y_0$ 。



(a)



(b)

例题 3.2 图

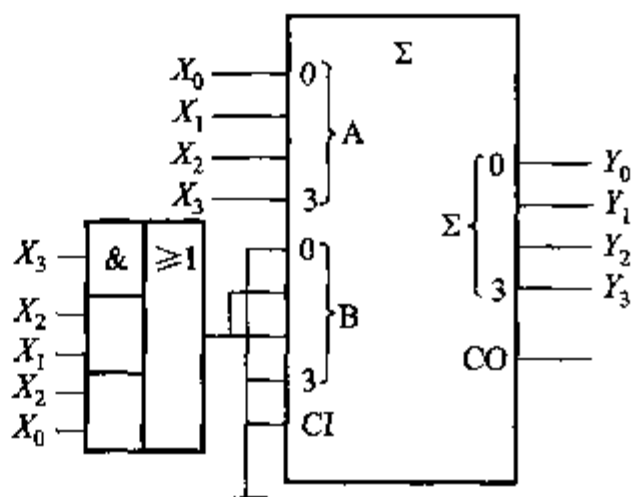
当输入  $X_3X_2X_1X_0$  取值小于 5 时,  $B_2 = B_1 = 0$ , 则  $Y_3Y_2Y_1Y_0 = X_3X_2X_1X_0$ 。

当输入  $X_3X_2X_1X_0$  取值大于等于 5 时,  $B_2 = B_1 = 1$ , 则  $Y_3Y_2Y_1Y_0 = X_3X_2X_1X_0 + 0110$ 。

例题 3.3 图示电路的真值表如例题 3.3 表所示。

例题 3.3 表 真 值 表

输 入				输 出			
$X_3$	$X_2$	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	1	0	0
0	1	1	1	1	1	0	1
1	0	0	0	1	1	1	0
1	0	0	1	1	1	1	1

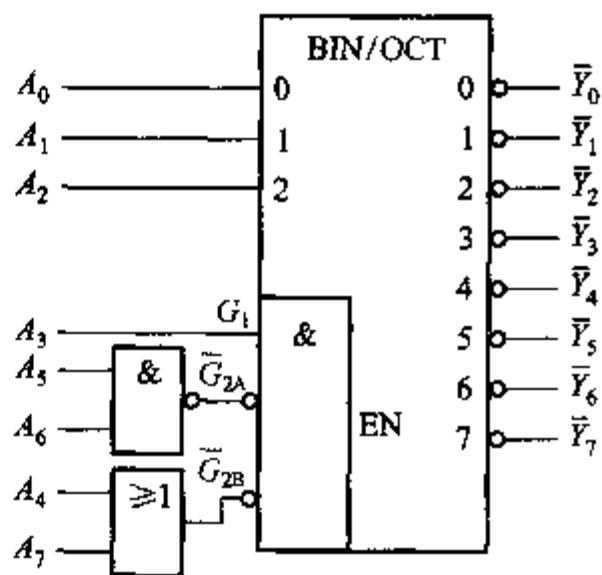


例题 3.3 图

由真值表可知,输入为 8421BCD 码,输出为 2421BCD 码,该电路实现了 8421BCD 码向 2421BCD 码的代码转换。

例题 3.4 3 线-8 线译码器 74138 及门电路组成的组合逻辑电路如例题 3.4 图所示,其中,输入信号  $A_7 \sim A_0$  为地址线,试写出译码器各输出端有效时对应的地址。

解:分析已知电路的连接;译码器的使能端  $\bar{S}_3 = A_7 + A_4$ 、 $\bar{S}_2 = \overline{A_6 A_5}$ 、 $S_1 = A_3$ ,输入端  $A_2 \sim A_0$ 。由于译码器工作条件为  $\bar{S}_3 = \bar{S}_2 = 0$ 、 $S_1 = 1$ ,因此有  $A_7 = 0$ 、 $A_4 = 0$ 、 $A_5 = 1$ 、 $A_6 = 1$ 、 $A_3 = 1$ ,即  $A_7 \sim A_3 = 01101$ 。若  $\bar{Y}_0$  输出端有效,即  $\bar{Y}_0 = 0$ ,则有  $A_2 A_1 A_0 = 000$ ,对应地址应为  $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101000 = 68H$ 。同理各输出端有效时,对应的地址为



例题 3.4 图

$$\bar{Y}_1 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101001 = 69H$$

$$\bar{Y}_2 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101010 = 6AH$$

$$\bar{Y}_3 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101011 = 6BH$$

$$\bar{Y}_4 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101100 = 6CH$$

$$\bar{Y}_5 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101101 = 6DH$$

$$\bar{Y}_6 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101110 = 6EH$$

$$\bar{Y}_7 = 0, A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0 = 01101111 = 6FH$$

例题 3.5 用 4 选 1 数据选择器和 8 选 1 数据选择器分别实现函数  $F(A,$



$$B, C) = \sum m(1, 2, 3, 4)。$$

解：将被设计的函数表达式进行变换，与数据选择器的输出函数式进行比较对照，即可求出数据选择器数据端和地址端的连接。

(1) 用 4 选 1 数据选择器实现设计

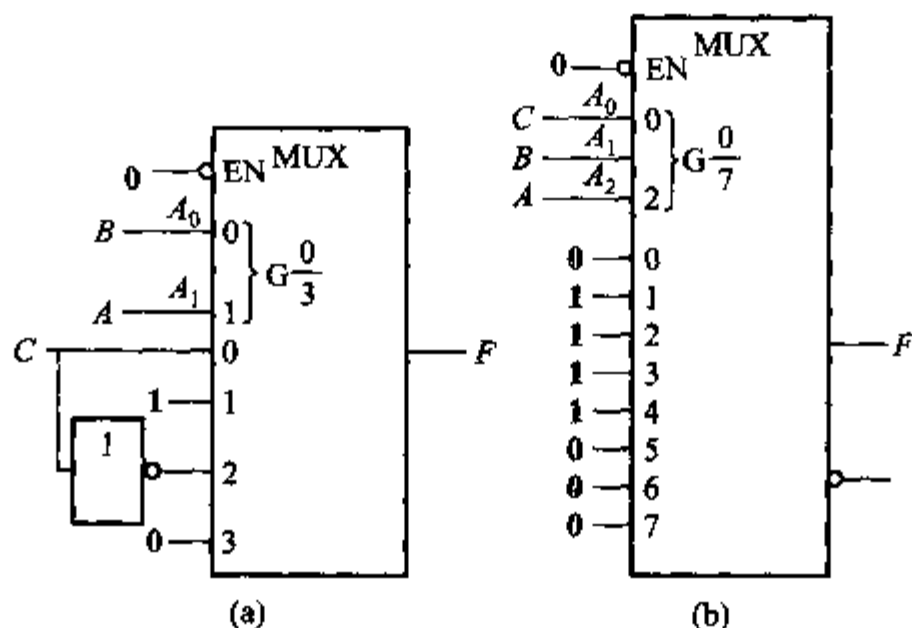
4 选 1 数据选择器的输出

$$F = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

设计函数

$$F(A, B, C) = \sum m(1, 2, 3, 4) = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A \bar{B} \bar{C}$$

将两个函数式进行比较，若令  $A_1 = A$ 、 $A_0 = B$ ，变换设计函数式  $F = \bar{A} \bar{B} C + \bar{A} B + A \bar{B} \bar{C}$ ，则有  $D_0 = C$ 、 $D_1 = 1$ 、 $D_2 = \bar{C}$ 、 $D_3 = 0$ 。根据设计方案，得到的逻辑图如例题 3.5 图(a)所示。



例题 3.5 图

(2) 用 8 选 1 数据选择器实现设计

8 选 1 数据选择器的输出

$$F = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_4 + A_2 \bar{A}_1 A_0 D_5 + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7$$

设计函数

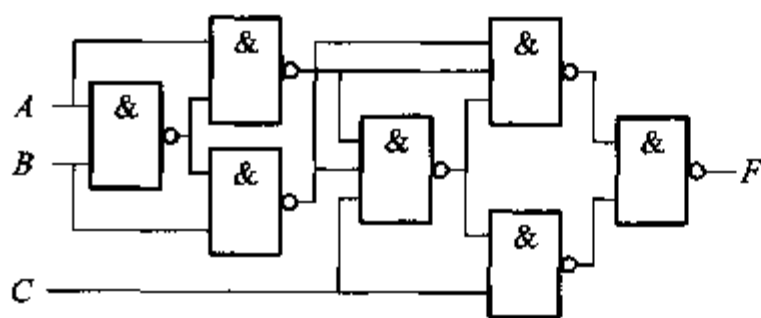
$$F(A, B, C) = \sum m(1, 2, 3, 4) = \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C + A \bar{B} \bar{C}$$

将两个函数式进行比较，若令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ ，则有  $D_1 = D_2 = D_3 = D_4 = 1$ 、 $D_0 = D_5 = D_6 = D_7 = 0$ 。根据设计方案，得到的逻辑图如例题 3.5 图(b)所示。

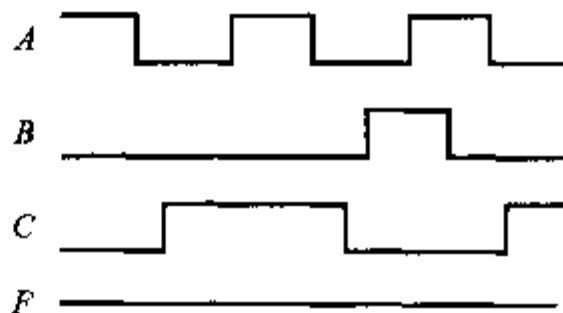
### 第三节 题 解

#### 自我检测题解

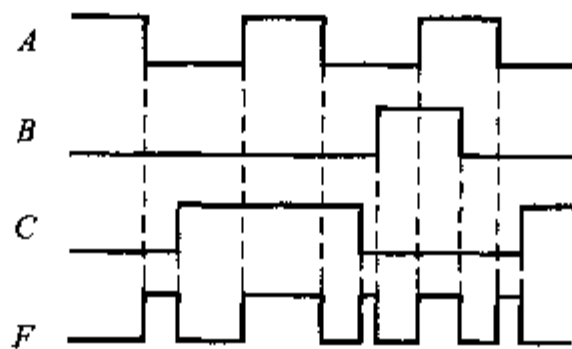
题 3.1 答：组合逻辑电路如自我检测题 3.1 图(a)所示,其输入信号  $A$ 、 $B$ 、 $C$  的波形如自我检测题 3.1 图(b)所示。



(a) 逻辑图



(b) 波形图



(c)

自我检测题 3.1 图

(1) 填写真值表见自我检测题 3.1 表。

自我检测题 3.1 表

输入		输出
$A$	$B$	$F$
0	0	$\bar{C}$
0	1	$C$
1	0	$C$
1	1	$\bar{C}$

(2) 逻辑表达式

$$F = A \cdot B \cdot A \cdot A \cdot B \cdot B \cdot C \cdot A \cdot B \cdot A \cdot A \cdot B \cdot B \cdot A \cdot B \cdot A \cdot A \cdot B \cdot B \cdot C \cdot C$$

利用反演律对逻辑表达式进行变换并化简,化简后得到

$$F = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$$

(3) 在自我检测题 3.1 图(b)上画输出信号  $F$  的波形图

根据真值表或化简后的表达式,可以得到输出信号  $F$  的波形图如自我检测题 3.1 图(c)所示。

(4) 当电路中输入信号 1 的个数为偶数时输出为 1,因此电路的功能是 判断输入信号 1 的奇偶性。

题 3.2 答:典型的 VHDL 语言由三部分 参数部分——程序包、接口部分——设计实体 和 描述部分——结构体 组成。

题 3.3 答:进程行为之间执行顺序为 并行执行方式,进程行为内部执行顺序为 顺序执行方式。

题 3.4 答:行为描述的基本单元是 进程语句,结构描述的基本单元是 调用元件语句。

题 3.5 答:结构体中的每条 VHDL 语句的执行顺序与排列顺序 无关。

题 3.6 答:标量数据类型包括 整数类型、实数类型、物理类型 和 枚举类型。

题 3.7 答:自我检测题 3.7 图所示是十进制——BCD 码编码器的逻辑图。试根据逻辑图回答下列问题。

(1) 列写输出端  $F_0$ 、 $F_1$ 、 $F_2$  和  $F_3$  的逻辑表达式

$$F_0 = IN_9 + IN_7 + IN_5 + IN_3 + IN_1$$

$$F_1 = IN_7 + IN_6 + IN_3 + IN_2$$

$$F_2 = IN_7 + IN_6 + IN_5 + IN_4$$

$$F_3 = IN_9 + IN_8$$

(2) 列出真值表

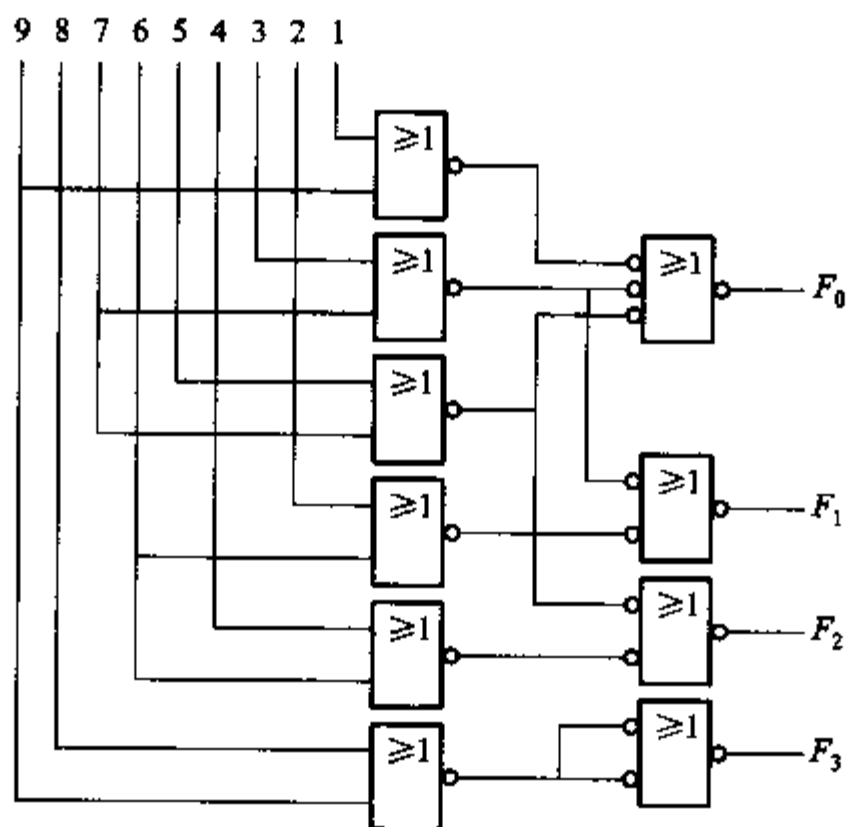
见自我检测题 3.7 表。

自我检测题 3.7 表

输入信号									输出信号			
$IN_9$	$IN_8$	$IN_7$	$IN_6$	$IN_5$	$IN_4$	$IN_3$	$IN_2$	$IN_1$	$F_3$	$F_2$	$F_1$	$F_0$
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1

续表

输入信号									输出信号			
$IN_9$	$IN_8$	$IN_7$	$IN_6$	$IN_5$	$IN_4$	$IN_3$	$IN_2$	$IN_1$	$F_3$	$F_2$	$F_1$	$F_0$
0	0	0	1	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	1



自我检测题 3.7 图

(3) 选择填空

(a) 编码器的功能是 B。

- (A) 将十进制数转换成二进制码  
 (B) 将十进制数转换成 8421BCD 码  
 (C) 将十进制数转换成格雷码

(b) 若输入端仅  $IN_5$  为高电平, 则输出  $Y_3Y_2Y_1Y_0 =$  A。

- (A) 0101      (B) 1010      (C) 1011      (D) 1001

(c) 编码器输出端 B 有效。

- (A) 低电平                      (B) 高电平  
 (C) 任意电平                  (D) 未知

(d) 若欲输入十进制数 0, 则输入端应 B。

(A) 全部为高电平 (B) 全部为低电平

(e) 编码器 B 优先编码功能, 因而 D 多个输入端同时为 1。

(A) 有 (B) 无 (C) 允许 (D) 不允许。

题 3.8 答: 是非题(对的填“对”, 错的填“错”)

(1) 数字显示电路由译码器、驱动器和数字显示器组成。(对)

(2) 译码器的作用是将二进制代码翻译成另一种代码或特定的输出信号。它是由逻辑门电路或计数器组成。(错)

(3) 对共阴极的显示器件, 译码器输出低电平有效, 对共阳极结构的显示器件, 译码器输出高电平有效。(错)

### 思考题题解

题 3.1 简述组合逻辑电路的分析步骤和设计步骤。

答: 组合逻辑电路的分析是用逻辑函数描述已知的电路, 找出输入、输出间的关系, 从而判断电路功能。组合逻辑电路分析有以下几个步骤: 首先根据逻辑电路图写出逻辑函数表达式, 然后利用代数法或图解法化简函数, 列出真值表, 最后根据真值表判断电路的逻辑功能。

组合逻辑电路的设计是根据实际逻辑问题, 求出实现相应逻辑功能的最简单或者最合理的数字电路的过程。逻辑电路的设计步骤如下:

首先分析设计要求, 建立真值表, 选择所用门的类型, 将逻辑表达式化为最简形式, 或者变换为最合理的表达式, 最后画出逻辑图。

题 3.2 组合逻辑电路如思考题 3.2 图(a)所示。

(1) 写出函数  $F$  的表达式。

(2) 将函数  $F$  化为最简与或式, 并用与非门实现之。

(3) 若改用或非门实现, 试写出相应的表达式。

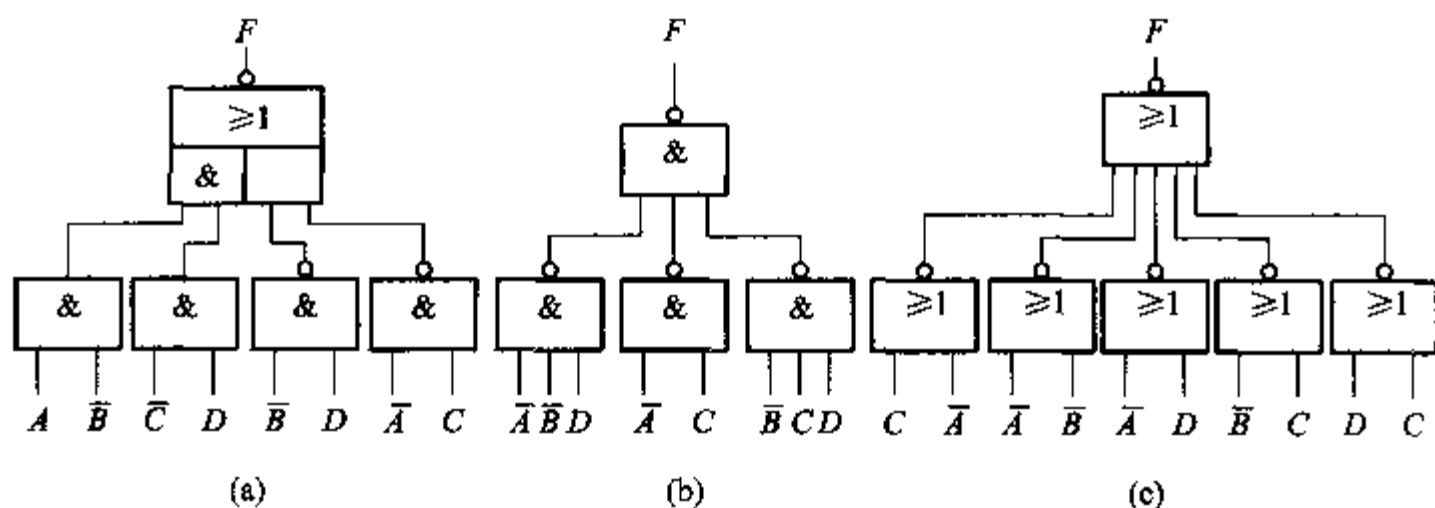
解: (1) 根据题图 3.3(a) 已知电路, 写出函数  $F$  的表达式

$$F = A \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{B} \cdot D \cdot \overline{A} \cdot C$$

(2) 将函数  $F$  化简为最简与或表达式, 并用与非门实现。

$$\begin{aligned} F &= A \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{B} \cdot D \cdot \overline{A} \cdot C \\ &= \overline{A \cdot B \cdot C \cdot D} \cdot \overline{\overline{B} \cdot D \cdot \overline{A} \cdot C} \\ &= (\overline{A} + B + C + \overline{D}) \cdot (\overline{B} \cdot D + \overline{A} \cdot C) \\ &= \overline{A} \cdot \overline{B} D + \overline{A} C + \overline{A} B C + \overline{B} C D + \overline{A} C \overline{D} \\ &= \overline{A} \cdot \overline{B} D + \overline{A} C + \overline{B} C D \\ &= \overline{A C \cdot A \cdot B D \cdot B C D} \end{aligned}$$

根据与非表达式画出用与非门实现的电路如思考题 3.2 图(b)所示。



思考题 3.2 图

(3) 若改用或非门实现,首先写出相应的表达式。

画出  $\bar{F}$  的卡诺图,得到  $\bar{F}$  的与或式,从而求出  $F$  的与或非式,变换得到或非-或非式

$$\begin{aligned} F &= \overline{A \cdot C + AB + AD + BC + C \cdot D} \\ &= \overline{A + C + A + B + A + D + B + C + D + C} \end{aligned}$$

函数  $F$  的或非门电路如思考题 3.2 图(c)所示。

题 3.3 什么叫竞争冒险现象? 当门电路的两个输入端同时向相反的逻辑状态转换(即一个从 0 变成 1,另一个从 1 变成 0)时,输出是否一定有干扰脉冲产生?

答: 竞争指的是一个门电路多个输入信号同时跳变,或者一个信号经过不同路径传到同一个门电路的输入端导致信号到达时间不同的现象。冒险指的是由于竞争可能在电路输出端产生的毛刺现象。当门电路的两个输入端同时向相反的逻辑状态转换时,输出不一定有干扰脉冲产生。

题 3.4 简述 VHDL 的主要优点。

答: VHDL 的覆盖面广,描述能力强,是一个多层次的硬件描述语言,VHDL 已成为 IEEE 承认的一个工业标准,是一种通用的硬件描述语言。

VHDL 有良好的可读性,可以被计算机接受,也容易被读者理解,VHDL 源文件既是程序又是技术人员之间交换信息的文件,也可作为合同签约者之间的文件;VHDL 的生命周期长,因为 VHDL 硬件描述与工艺无关;VHDL 支持大规模设计的分解和已有设计的再利用。

题 3.5 一个 VHDL 设计是否必须有一个结构体? 结构体的目的是什么? 一个设计可以有多个结构体吗?

答: VHDL 设计中必须有结构体。结构体描述实体硬件的互连关系、数据的传输和变换以及动态行为。一个实体可以对应多个结构体,每个结构体可以

代表该硬件某方面的特性。例如用一个结构体表示某硬件的行为特性,用另一结构体表示该硬件的结构特性。

题 3.6 端口模式 IN 和 INOUT 有什么不同?

答:端口模式表示电路的数据流向。端口模式 IN 表示只能向端口写入数据,而端口模式 INOUT 表示既可以向端口写入数据,又可以从端口读出数据。

题 3.7 编码器的逻辑功能是什么? 优先编码器与一般编码器有何区别?

答:编码器可以将一组相互独立的信号进行编码,形成一组相互关联的信号,以达到减少信号个数、增强信号表达能力的目的。一般编码器只允许一个信号为有效,而优先编码器允许同时有多个信号有效,但只识别优先级最高的信号。

题 3.8 要区别 24 个不同信号,或者说给 24 个输入信号编码,需要几位二进制代码? 电路有多少个输出? 如果区别 64 个信号又将如何?

答:若要区别 24 个不同信号,至少要用 5 位二进制代码,因此电路有 5 个输出。

若区分 64 个信号至少用 6 位二进制代码,因此电路有 6 个输出。

题 3.9 什么叫译码器? 有哪些常用译码器? 各有何特点?

答:将具有特定含义的不同的二进制代码辨别出来,翻译成为对应输出信号的电路就是译码器。常用的译码器有变量译码器和数字显示译码器。

对于译码器每一组输入编码,在若干个输出中仅有一个输出端为有效电平,其余输出皆处于无效电平,这类译码器称为变量译码器。常用的有 2 线 - 4 线译码器、3 线 - 8 线译码器、4 线 - 10 线 8421BCD 译码器等。

在数字电路中,需要将数字量的代码经过译码,送到数字显示器显示。能把数字量翻译成数字显示器能识别的译码器称为数字显示译码器,常用的有七段显示译码器。

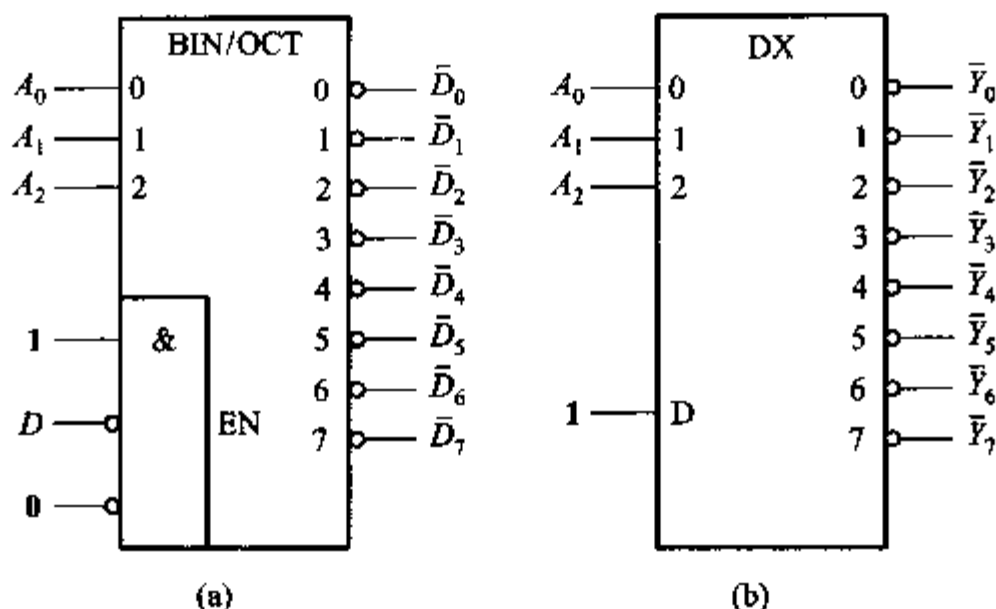
题 3.10 数据选择器和数据分配器各具有什么功能? 若想将一组并行输入的数据转换成串行输出,应采用哪种电路?

答:数据选择器根据控制信号的不同,在多个输入信号中选择其中一个信号输出。数据分配器则通过控制信号将一个输入信号分配给多个输出信号中的一个。若要将并行信号变成串行信号应采用数据选择器。

题 3.11 一个有使能端的译码器能否用作数据分配器? 怎样接线可以使一个 8 路输出的数据分配器连接成一个 3 线 - 8 线译码器?

答:带使能端的译码器能用作数据分配器。以 74138 译码器芯片为例,将其连接成数据分配器如思考题 3.11 图(a)所示。

可以用 8 路输出的数据分配器连接成 3 线 - 8 线译码器,连接电路如思考题 3.11 图(b)所示。



思考题 3.11 图

## 习题题解

习题 3.1 组合电路的逻辑框图如习题 3.1 图(a)所示。电路要求如下：

(1) 当变量  $A_1A_0$  表示的二进制数大于  $B_1B_0$  表示的二进制数时, 函数  $F_1 = 1$ , 否则为 0。

(2) 当变量  $A_1, A_0$  的逻辑与非 ( $\overline{A_1A_0}$ ) 和变量  $B_1, B_0$  的逻辑异或 ( $B_1 \oplus B_0$ ) 相等时, 函数  $F_2$  为高电平, 否则为 0。

试设计此组合电路。

解: (1) 根据题意确定输入变量为  $A_1, A_0, B_1, B_0$ , 输出变量为  $F_1, F_2$ , 如习题 3.1 图(a)。

(2) 根据题目对输入、输出变量提出的要求, 列写真值表如习题 3.1 表所示。

习题 3.1 表 真 值 表

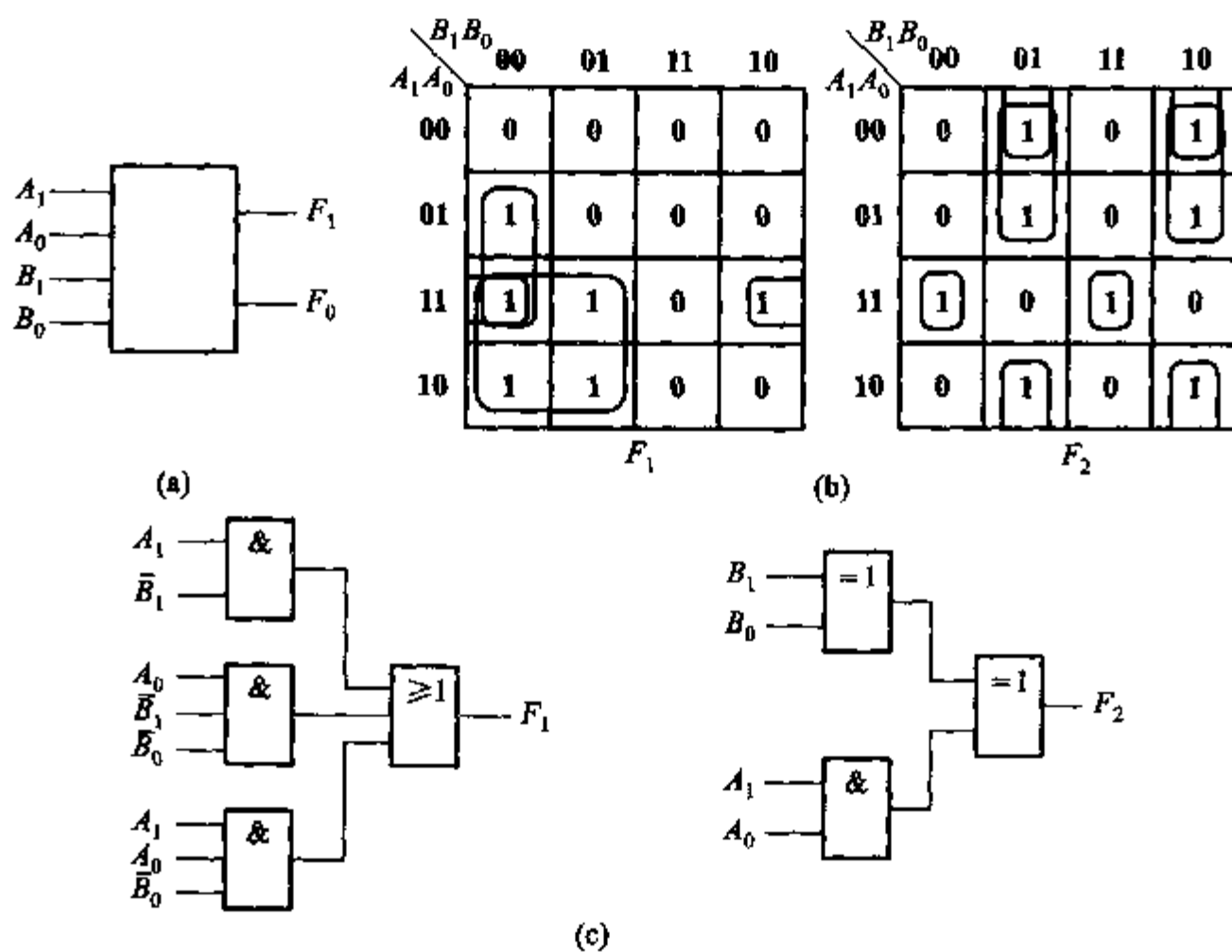
输 入				$(\overline{A_1A_0})$	$(B_1 \oplus B_0)$	输 出	
$A_1$	$A_0$	$B_1$	$B_0$			$F_1$	$F_2$
0	0	0	0	1	0	0	0
0	0	0	1	1	1	0	1
0	0	1	0	1	1	0	1
0	0	1	1	1	0	0	0
0	1	0	0	1	0	1	0
0	1	0	1	1	1	0	1



续表

输 入				$(\overline{A_1 A_0})$	$(B_1 \oplus B_0)$	输 出	
$A_1$	$A_0$	$B_1$	$B_0$			$F_1$	$F_2$
0	1	1	0	1	1	0	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	1	0
1	0	0	1	1	1	1	1
1	0	1	0	1	1	0	1
1	0	1	1	1	0	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	0
1	1	1	1	0	0	0	1

(3) 由真值表, 作函数卡诺图如习题 3.1 图(b)所示。



习题 3.1 图

卡诺图化简函数,得到最简与或式

$$F_1 = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

$$F_2 = \bar{A}_1 \bar{B}_1 B_0 + \bar{A}_1 B_1 \bar{B}_0 + \bar{A}_0 \bar{B}_1 B_0 + \bar{A}_0 B_1 \bar{B}_0 + A_1 A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 B_1 B_0$$

变换  $F_2$  的表达式

$$\begin{aligned} F_2 &= \bar{A}_1 (B_1 \oplus B_0) + \bar{A}_0 (B_1 \oplus B_0) + A_1 A_0 \bar{B}_1 \oplus \bar{B}_0 \\ &= \bar{A}_1 (B_1 \oplus B_0) + \bar{A}_0 (B_1 \oplus B_0) + A_1 A_0 \overline{B_1 \oplus B_0} \\ &= (A_1 A_0) \oplus B_1 \oplus B_0 \end{aligned}$$

(4) 由逻辑表达式画出逻辑图如习题 3.1 图(c)所示。

习题 3.2 用与非门设计四变量的多数表决电路。设输出为  $F$ , 当输入变量  $A, B, C, D$  有三个或三个以上为 1 时输出为 1, 输入为其他状态时输出为 0。

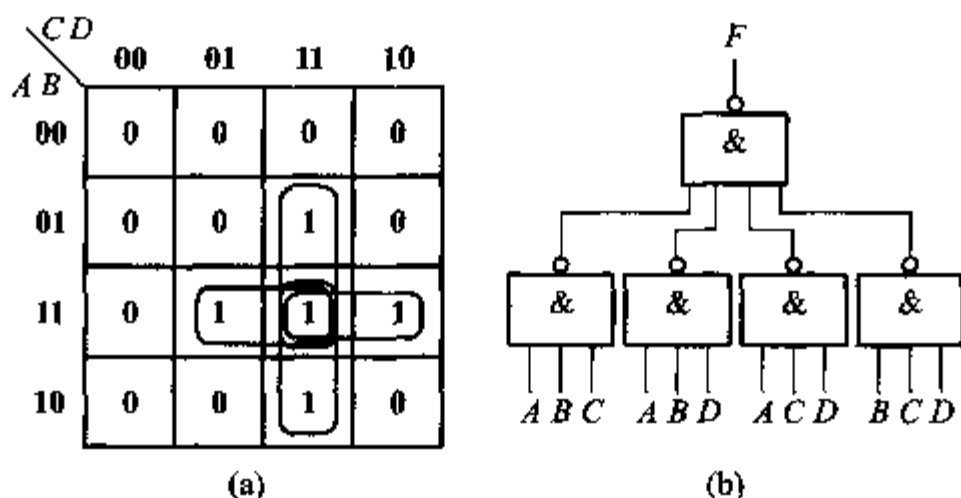
解: (1) 根据题意确定输入变量为  $A, B, C, D$ , 设输出变量  $F$ 。

(2) 根据题目对输入、输出变量提出的要求, 列写真值表如习题 3.2 表所示。

习题 3.2 表 真 值 表

输 入				输 出
$A$	$B$	$C$	$D$	$F$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(3) 由真值表, 作函数卡诺图如习题 3.2 图(a)所示。



习题 3.2 图

卡诺图化简函数,得到最简与或式,经函数变换求与非-与非式

$$\begin{aligned} F &= ABC + ABD + ACD + BCD \\ &= \overline{\overline{ABC} \cdot \overline{ABD} \cdot \overline{ACD} \cdot \overline{BCD}} \end{aligned}$$

(4) 由与非-与非表达式画出逻辑图如习题 3.2 图(b)所示。

习题 3.3 一个组合逻辑电路有两个控制信号  $C_1$  和  $C_2$ , 要求:

(1)  $C_1 C_2 = 00$  时,  $F = A \oplus B$

(2)  $C_1 C_2 = 01$  时,  $F = \overline{AB}$

(3)  $C_1 C_2 = 10$  时,  $F = \overline{A + B}$

(4)  $C_1 C_2 = 11$  时,  $F = AB$

试设计符合上述要求的逻辑电路(器件不限)。

解: 题目中要求控制信号对不同功能进行选择,故选用数据选择器实现,分析设计要求,得到逻辑表达式

$$F = \overline{C_1} \overline{C_2} (A \oplus B) + \overline{C_1} C_2 (\overline{AB}) + C_1 \overline{C_2} (\overline{A + B}) + C_2 C_2 (AB)$$

4 选 1 数据选择器的逻辑表达式

$$F = \overline{A_0} \overline{A_1} D_0 + \overline{A_0} A_1 D_1 + A_0 \overline{A_1} D_2 + A_0 A_1 D_3$$

对照上述两个表达式,得出数据选择器的连接方式为

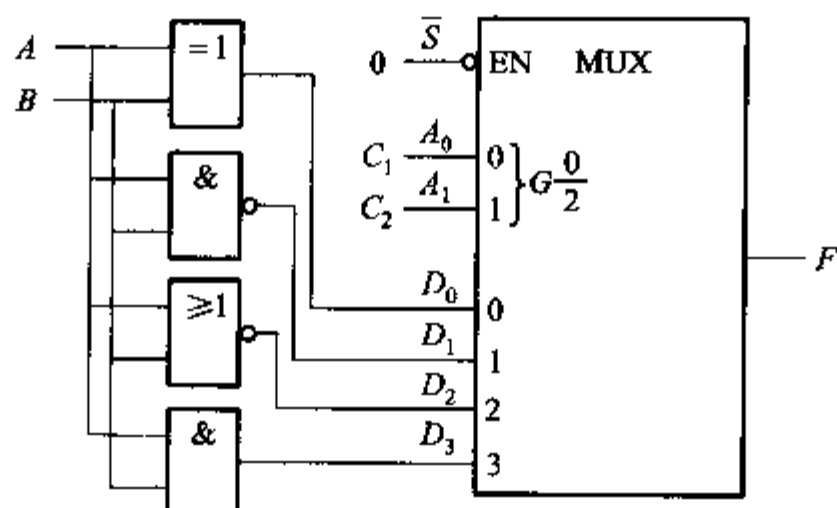
$$A_0 = C_1 \quad A_1 = C_2 \quad D_0 = A \oplus B \quad D_1 = \overline{AB} \quad D_2 = \overline{A + B} \quad D_3 = AB$$

根据数据选择器的连接方程,得到电路如习题 3.3 图所示。

习题 3.4 试设计一个具有两种功能的码制转换电路,并画出电路图。 $K$  为控制变量。 $K=0$  时,输入  $C、B、A$  为二进制码,输出  $F_3、F_2、F_1$  为循环码。 $K=1$  时,输入  $C、B、A$  为循环码,输出  $F_3、F_2、F_1$  为二进制码。写出输出函数的逻辑表达式。

解: (1) 根据题意定义输入变量为  $K、C、B、A$ , 输出变量为  $F_3、F_2、F_1$ 。

(2) 根据题目对输入、输出变量提出的要求,列写真值表如习题 3.4 表所示。



习题 3.3 图

习题 3.4 表 真 值 表

输 入				输 出		
$K$	$C$	$B$	$A$	$F_3$	$F_2$	$F_1$
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	1
0	0	1	1	0	1	0
0	1	0	0	1	1	0
0	1	0	1	1	1	1
0	1	1	0	1	0	1
0	1	1	1	1	0	0
1	0	0	0	0	0	0
1	0	0	1	0	0	1
1	0	1	0	0	1	1
1	0	1	1	0	1	0
1	1	0	0	1	1	1
1	1	0	1	1	1	0
1	1	1	0	1	0	0
1	1	1	1	1	0	1

(3) 由真值表,作函数卡诺图如习题 3.4 图(a)所示。

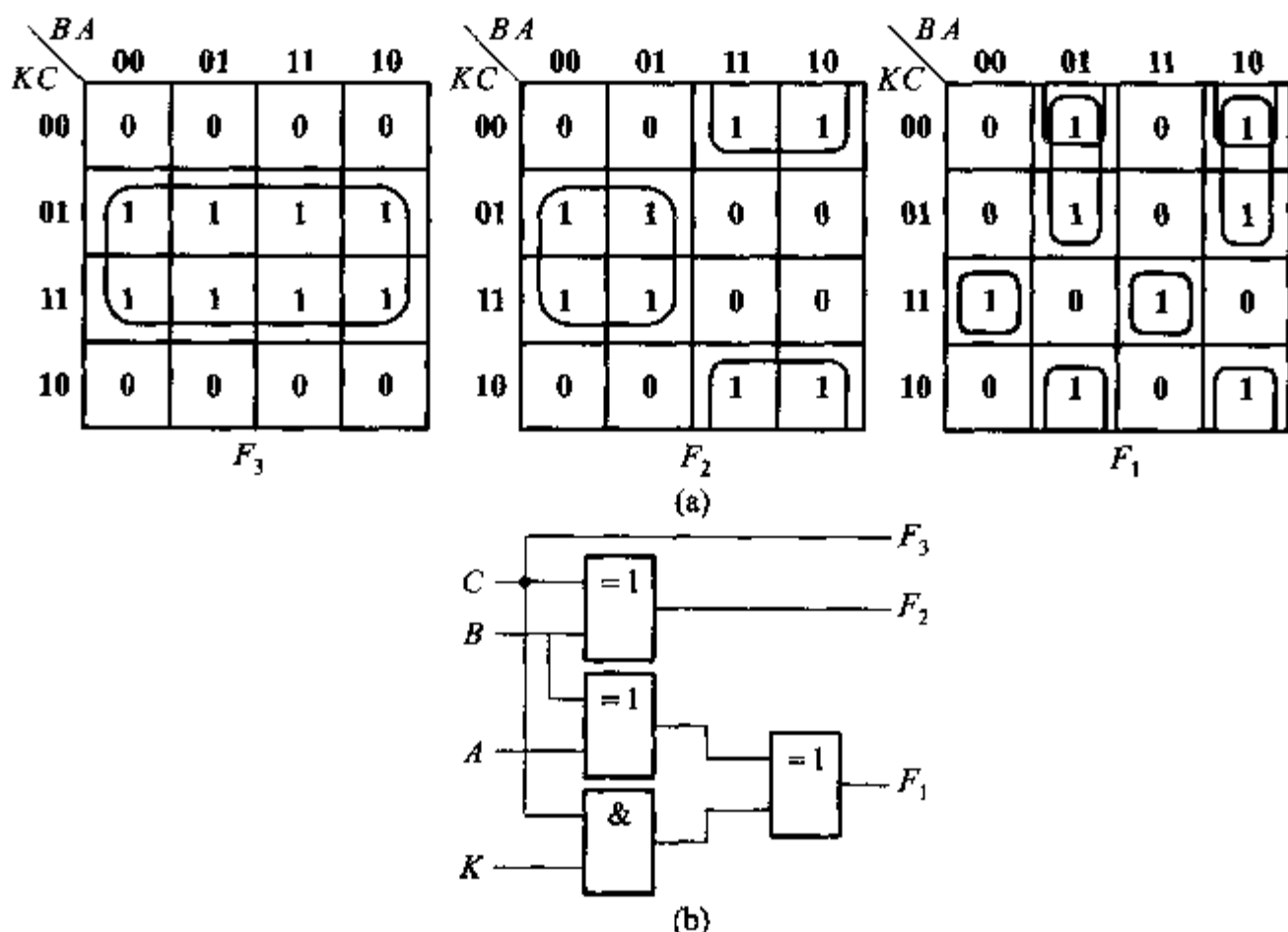
经卡诺图化简后,得到最简与或式

$$F_3 = C$$

$$F_2 = C\bar{B} + \bar{C}B = C \oplus B$$

$$F_1 = KC\bar{B} \cdot \bar{A} + KCBA + \bar{K} \cdot \bar{B}A + \bar{K}B\bar{A} + \bar{C} \cdot \bar{B}A + \bar{C}B\bar{A} = (KC) \oplus B \oplus A$$

(4) 由逻辑表达式画出逻辑图如习题 3.4 图(b)所示。



习题 3.4 图

习题 3.5 试设计一个 5211BCD 码的判决电路。当输入代码  $D$ 、 $C$ 、 $B$ 、 $A$  中有奇数个 1 时, 电路的输出  $F$  为 1, 否则为 0。试用与非门实现该电路, 写出输出函数  $F$  的与非-与非表达式。

解: (1) 根据题意确定输入变量为  $D$ 、 $C$ 、 $B$ 、 $A$ , 输出变量为  $F$ 。

(2) 根据题目对输入、输出变量提出的要求, 列写真值表如习题 3.5 表所示。

习题 3.5 表 真 值 表

输 入				输 出
$D$	$C$	$B$	$A$	$F$
0	0	0	0	0
0	0	0	1	1
0	1	0	0	1

续表

输 入				输 出
$D$	$C$	$B$	$A$	$F$
0	1	0	1	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	1	0
0	0	1	0	×
0	0	1	1	×
0	1	1	0	×
1	0	1	0	×
1	0	1	1	×
1	1	1	0	×

(3) 由真值表,作函数卡诺图如习题 3.5 图(a)所示。

卡诺图化简函数,得到最简与或式,变换函数得到与非-与非式

$$\begin{aligned}
 F &= \overline{D}B + D\overline{C}\overline{A} + D\overline{C}A + D\overline{C}\overline{A} + DC\overline{B}A \\
 &= \overline{D}B \quad \overline{D}\overline{C}\overline{A} \quad \overline{D}\overline{C}A \quad \overline{D}\overline{C}\overline{A} \quad DC\overline{B}A
 \end{aligned}$$

(4) 由与非-与非式画出逻辑图如习题 3.5 图(b)所示。

习题 3.6 试分析习题 3.6 图电路中当  $A$ 、 $B$ 、 $C$ 、 $D$  单独一个改变状态时是否存在竞争冒险现象? 如果存在竞争冒险现象,那么都发生在其他变量为何种取值的情况下?

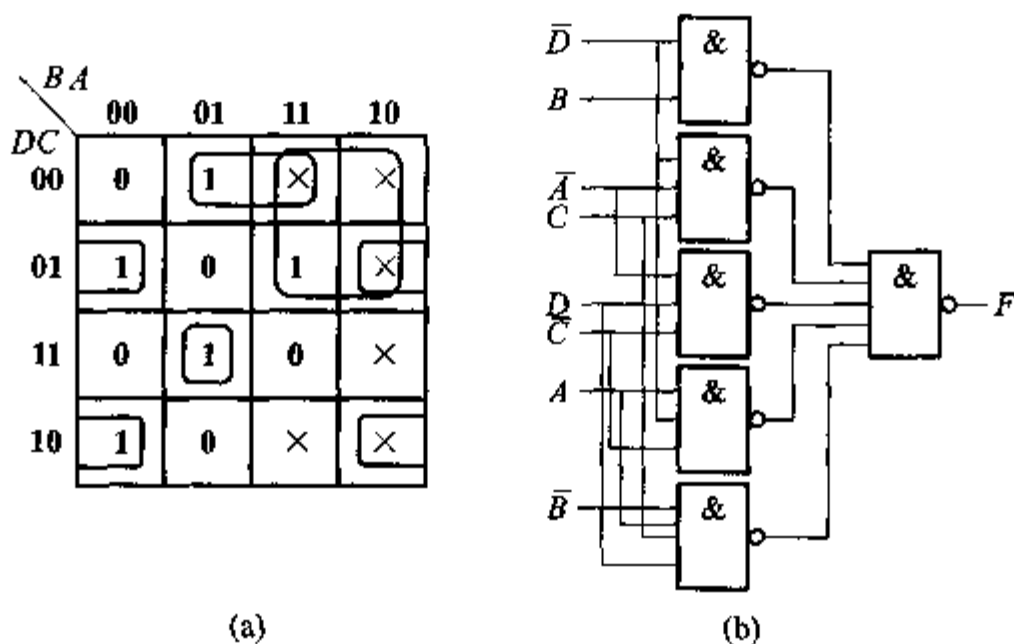
解: 根据已知电路列写逻辑表达式

$$F = \overline{A}CD + A\overline{B}C + B\overline{C} + C\overline{D}$$

判断是否存在竞争冒险现象,就是判别表达式中是否存在  $F = A + \overline{A}$  或  $F = A + \overline{A}$ ,判断结论如下:

当  $BCD = 011$  时,表达式中存在  $F = A + \overline{A}$  的情况,电路会出现竞争冒险现象。

当  $BD = 10$  或  $ABD = 011$  时,表达式中存在  $F = C + \overline{C}$  的情况,电路会出现竞争冒险现象。



习题 3.5 图

当  $AC = 01$  时,表达式中存在  $F = D + \bar{D}$  的情况,电路会出现竞争冒险现象。

习题 3.7 习题 3.7 图(a)和(b)电路有无竞争冒险现象?若有,请说明出现冒险的输入条件,并修改设计。画出无冒险的逻辑图。

解:(1) 分析习题 3.7 图(a)所示电路,得到逻辑表达式为:  $F = AD \bar{D} B \cdot (\bar{A} + C + B)$ ,若输入信号  $A = B = 1$ ,则有  $F = D \bar{D}$ ,因此电路有竞争冒险。

增加冗余项后的逻辑表达式为:  $F = AD \bar{D} B \cdot (\bar{A} + C + B) + AB$ ,修改后的逻辑图如图习题 3.7 图(c)所示。

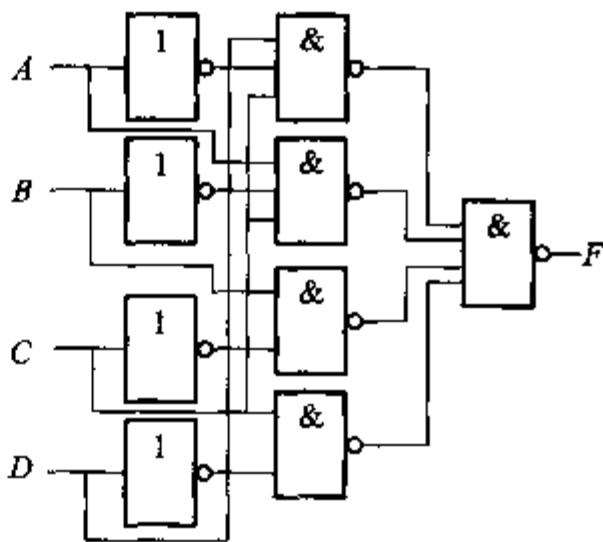
(2) 分析习题 3.7 图(b)所示电路,其表达式为:  $F = \bar{A} \bar{B} C + (A + D)(\bar{D} + B)$ 。若输入信号  $ACD = 011$ ,则有  $F = B + \bar{B}$ ,电路有竞争冒险。若输入信号  $BCD = 010$ ,则有  $F = A + \bar{A}$ ,电路有竞争冒险。

增加冗余项后的逻辑表达式为:  $F = \bar{A} \bar{B} C + (A + D)(\bar{D} + B) + \bar{A} \bar{B} \bar{C} + \bar{A} CD + \bar{B} C \bar{D}$ ,修改后的逻辑图如图习题 3.7 图(d)所示。

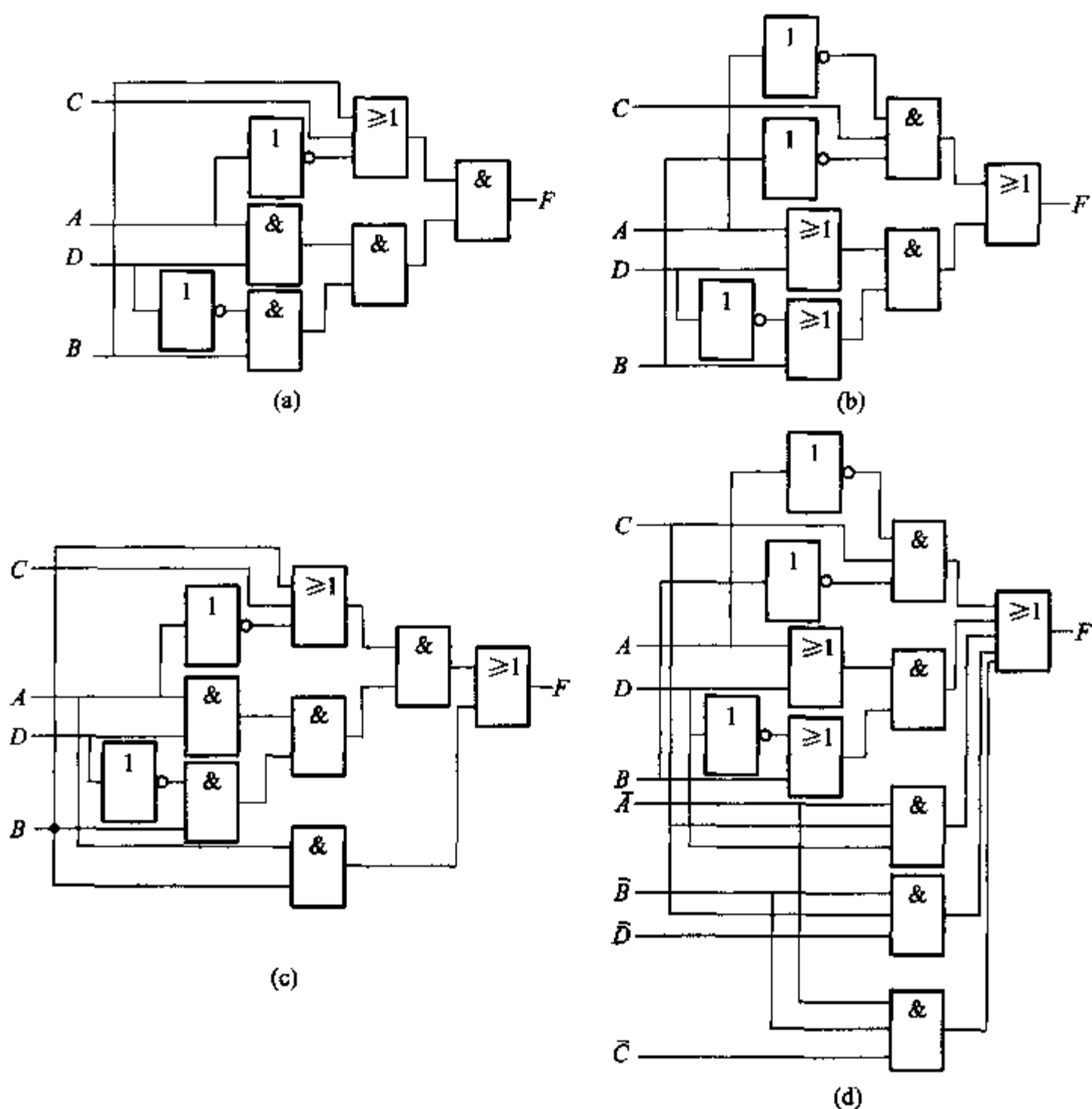
习题 3.8 试设计一个无冒险的电路,其工作条件是:当输入 4 位码为  $\Sigma m(0, 2, 4, 5, 13, 14, 15)$  时显示绿灯,输入其余码时显示红灯。

解:(1) 根据题意设 4 位码  $ABCD$  为输入变量,设绿灯和红灯分别为输出变量  $F_1, F_2$ ,输出取值为 1 表示灯亮,否则灯不亮。

(2) 由于题目要求比较明确,可以直接作函数卡诺图,化简函数,得到最简与或式,如习题 3.8 图(a)所示。为了使电路无冒险,应考虑增加冗余项,如习



习题 3.6 图



习题 3.7 图

题 3.8 图(b)所示,求得无冒险的与或式。又由于输出变量  $F_1$  和  $F_2$  互为反函数,因此只求一个输出函数的表达式即可。

$$F_1 = \bar{A}\bar{B}\bar{D} + \bar{A}B\bar{C} + B\bar{C}D + ABC + \bar{A}\bar{C}\bar{D} + ABD$$

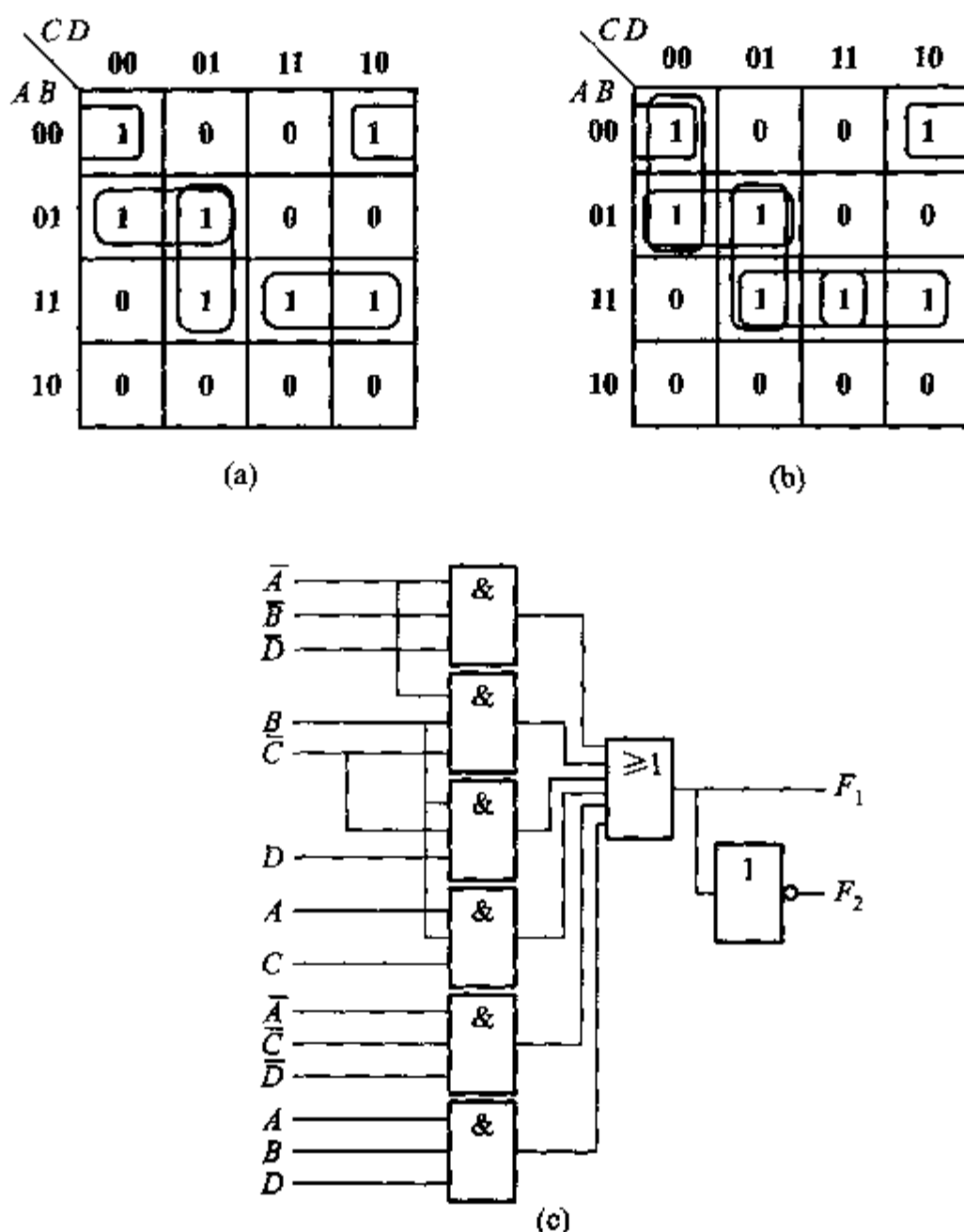
$$F_2 = \bar{F}_1$$

(3) 由逻辑表达式画出逻辑图如习题 3.8 图(c)所示。

习题 3.9 按习题 3.2 已知条件完成下列要求:

- (1) 试用最少的与非门设计此电路。
- (2) 检查电路是否存在竞争冒险? 若存在,则讨论在什么时刻可能出现冒险现象。
- (3) 用增加冗余项的办法来消除冒险现象。





习题 3.8 图

解：参考习题 3.2 的解题过程，分析卡诺图如习题 3.2 图(a)所示，所求函数是最简与或式，且无竞争冒险。

习题 3.10 用 VHDL 硬件描述语言设计一个 10 输入的优先编码器。

解：优先编码器的文件名为 xiti3\_10.vhd，输入信号定义为  $ina(9) \sim ina(0)$ ，且为高电平有效， $ina(9)$  的优先级别最高， $ina(0)$  的优先级别最低；输出信号定义为  $outy(3) \sim outy(0)$ ，且为高有效编码输出。

```
LIBRARY IEEE;
```

```
USE IEEE.std_logic_1164.all;
```

```
ENTITY xiti3_10 IS
```

```
    PORT(ina:IN STD_LOGIC_VECTOR(9 DOWNT0 0);
```

```
          outy:OUT STD_LOGIC_VECTOR(3 DOWNT0 0));
```

```
END xiti3_10;
```

ARCHITECTURE rtl OF xiti3 \_10 IS

BEGIN

PROCESS( ina )

BEGIN

IF( ina(9) = '1' ) THEN

    outy <= "1001" ;

ELSIF( ina(8) = '1' ) THEN

    outy <= "1000" ;

ELSIF( ina(7) = '1' ) THEN

    outy <= "0111" ;

ELSIF( ina(6) = '1' ) THEN

    outy <= "0110" ;

ELSIF( ina(5) = '1' ) THEN

    outy <= "0101" ;

ELSIF( ina(4) = '1' ) THEN

    outy <= "0100" ;

ELSIF( ina(3) = '1' ) THEN

    outy <= "0011" ;

ELSIF( ina(2) = '1' ) THEN

    outy <= "0010" ;

ELSIF( ina(1) = '1' ) THEN

    outy <= "0001" ;

ELSE

    outy <= "0000" ;

END IF;

END PROCESS;

END rtl;

习题 3.11 用 VHDL 行为描述语言设计一个 3 线 - 8 线译码器。

解: 3 线 - 8 线译码器的文件名为 xiti3 \_11. vhd, 输入信号定义为 inp(2) ~ inp(0); 输出信号定义为 outp(7) ~ outp(0), 高有效输出。

LIBRARY IEEE;

USE IEEE. std \_logic \_1164. all;

USE IEEE. std \_logic \_unsigned. all;

ENTITY xiti3 \_11 IS

    PORT( inp; in std \_logic \_vector(2 downto 0) ;

```

        outp:out bit_vector(7 downto 0));
END xiti3_11;
ARCHITECTURE behave OF xiti3_11 IS
BEGIN
    outp(0) <= '1' WHEN inp = "000" ELSE '0';
    outp(1) <= '1' WHEN inp = "001" ELSE '0';
    outp(2) <= '1' WHEN inp = "010" ELSE '0';
    outp(3) <= '1' WHEN inp = "011" ELSE '0';
    outp(4) <= '1' WHEN inp = "100" ELSE '0';
    outp(5) <= '1' WHEN inp = "101" ELSE '0';
    outp(6) <= '1' WHEN inp = "110" ELSE '0';
    outp(7) <= '1' WHEN inp = "111" ELSE '0';
END behave;

```

习题 3.12 设计一个译码显示电路。显示器为共阳极七段 LED 字形显示器,显示译码器的输入  $G_3, G_2, G_1, G_0$  为循环码。

- (1) 设计循环码显示译码器,写出输出函数  $a, b, c, \dots, g$  的表达式。
- (2) 按共阳极显示器的要求,显示译码器输出  $a, b, c, \dots, g$  和显示器相连时应取的逻辑电平是什么?
- (3) 画出显示译码器和显示器的接线图。

解:(1) 译码器的输入为  $G_3, G_2, G_1, G_0$ ,输出为  $a, b, c, \dots, g$ ,根据设计要求得到真值表如表习题 3.12 表所示。

习题 3.12 表 真 值 表

十进制数	输 入				输 出							显示字符
	$G_3$	$G_2$	$G_1$	$G_0$	$a$	$b$	$c$	$d$	$e$	$f$	$g$	
0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	0	1	1	0	0	1	1	1	1	1
2	0	0	1	1	0	0	1	0	0	1	0	2
3	0	0	1	0	0	0	0	0	1	1	0	3
4	0	1	1	0	1	0	0	1	1	0	0	4
5	0	1	1	1	0	1	0	0	1	0	0	5
6	0	1	0	1	0	1	0	0	0	0	0	6

续表

十进制数	输 入				输 出							显示字符
	$G_3$	$G_2$	$G_1$	$G_0$	$a$	$b$	$c$	$d$	$e$	$f$	$g$	
7	0	1	0	0	0	0	0	1	1	1	1	7
8	1	1	0	0	0	0	0	0	0	0	0	8
9	1	1	0	1	0	0	0	1	1	0	0	9
10	1	1	1	1	0	0	0	1	0	0	0	0
11	1	1	1	0	1	1	0	0	0	0	0	b
12	1	0	1	0	1	1	1	0	0	1	0	c
13	1	0	1	1	1	0	0	0	0	1	0	d
14	1	0	0	1	0	1	1	0	0	0	0	e
15	1	0	0	0	0	1	1	1	0	0	0	F

化简得到输出逻辑表达式为

$$a = \overline{G_3} \overline{G_2} \overline{G_1} G_0 + G_2 G_1 \overline{G_0} + G_3 \overline{G_2} G_1$$

$$b = \overline{G_3} G_2 G_0 + G_3 G_1 \overline{G_0} + G_3 \overline{G_2} \overline{G_1}$$

$$c = G_3 \overline{G_2} \overline{G_1} + G_3 \overline{G_2} \overline{G_0} + \overline{G_3} \overline{G_2} G_1 G_0$$

$$d = G_3 G_2 G_0 + \overline{G_3} G_2 \overline{G_0} + \overline{G_3} \overline{G_2} \overline{G_1} G_0 + G_3 \overline{G_2} \overline{G_1} \overline{G_0}$$

$$e = \overline{G_3} G_2 \overline{G_0} + \overline{G_3} G_2 G_1 + \overline{G_3} G_1 \overline{G_0} + G_3 G_2 \overline{G_1} G_0 + \overline{G_3} \overline{G_2} \overline{G_1} G_0$$

$$f = \overline{G_2} G_1 + \overline{G_3} \overline{G_2} G_0 + \overline{G_3} G_2 \overline{G_1} \overline{G_0}$$

$$g = \overline{G_3} \overline{G_1} \overline{G_0} + \overline{G_3} \overline{G_2} \overline{G_1}$$

(2) 如果是共阳极显示器,显示译码器输出  $a, b, c, \dots, g$  应为低电平有效,且与显示器的阴极相连。

(3) 显示译码器的逻辑电路图按逻辑表达式  $a, b, c, d, e, f, g$  连接,连接图略。

习题 3.13 用 VHDL 描述语言设计一个 BCD 码显示译码器,并且显示发光管是共阳极。

解:

```
LIBRARY IEEE;
```

```
USE IEEE.std_logic_1164.all;
```

```

USE IEEE. std _logic _unsigned. all;
ENTITY xiti3 _13 IS
    PORT( inp; in std _logic _vector(3 downto 0);           /inp 是输入码
          a,b,c,d,e,f,g; out std _logic );                /a,b,c,d,e,f,g
                                                           是低有效输出

    END xiti3 _13;
ARCHITECTURE beh OF xiti3 _13 IS
BEGIN
    PROCESS( inp)
    VARIABLE temout :std _logic _vector(0 to 6);
    BEGIN
        CASE inp IS
            WHEN "0000" => temout:= "0000001";
            WHEN "0001" => temout:= "1001111";
            WHEN "0011" => temout:= "0010010";
            WHEN "0010" => temout:= "0000110";
            WHEN "0110" => temout:= "1001100";
            WHEN "0111" => temout:= "0100100";
            WHEN "0101" => temout:= "1100000";
            WHEN "0100" => temout:= "0001111";
            WHEN "1100" => temout:= "0000000";
            WHEN "1101" => temout:= "0001100";
            WHEN "1111" => temout:= "0000100";
            WHEN "1110" => temout:= "1100000";
            WHEN "1010" => temout:= "1110010";
            WHEN "1011" => temout:= "1000010";
            WHEN "1001" => temout:= "0110000";
            WHEN "1000" => temout:= "0111000";
            WHEN others => temout:= "1111111";
        END CASE;
        a <= temout(0);
        b <= temout(1);
        c <= temout(2);
        d <= temout(3);
        e <= temout(4);
    
```

```

f <= temout(5);
g <= temout(6);
END PROCESS;
END beh;

```

习题 3.14 试设计一个将 8421BCD 码转换成余 3 码的电路。

- (1) 用与非门实现。
- (2) 用或非门实现。
- (3) 用译码器 74LS138 实现。
- (4) 用数据选择器 74LS153 实现。

解：(1) 用与非门实现

设输入变量为  $A_3, A_2, A_1, A_0$ , 输出变量为  $B_3, B_2, B_1, B_0$ 。根据设计要求, 列写真值表如习题 3.14 表所示。用卡诺图化简后得到与或表达式, 经过方程变换得到与非-与非式, 用与非门实现的逻辑图略。求解过程如下:

$$B_3 = A_3 + A_2A_0 + A_2A_1 = A_3 \cdot A_2A_0 \cdot A_2A_1$$

$$B_2 = A_2 \bar{A}_1 \bar{A}_0 + \bar{A}_2 A_0 + \bar{A}_2 A_1 = A_2 \bar{A}_1 \bar{A}_0 \cdot A_2 A_0 \cdot A_2 A_1$$

$$B_1 = \bar{A}_1 \bar{A}_0 + A_1 A_0 = A_1 A_0 \cdot A_1 A_0$$

$$B_0 = \bar{A}_0$$

习题 3.14 表 真 值 表

输 入				输 出			
$A_3$	$A_2$	$A_1$	$A_0$	$B_3$	$B_2$	$B_1$	$B_0$
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	×	×	×	×

续表

输 入				输 出			
$A_3$	$A_2$	$A_1$	$A_0$	$B_3$	$B_2$	$B_1$	$B_0$
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

### (2) 用或非门实现

利用卡诺图包围 0, 求函数的最简或与式, 再变换为或非表达式, 用或非门实现的逻辑图略。

$$B_3 = (A_2 + A_1 + A_0)(A_3 + A_2) = \overline{\overline{A_2 + A_1 + A_0} \overline{A_3 + A_2}}$$

$$B_2 = (A_3 + A_2 + A_1 + A_0)(\overline{A_2} + \overline{A_0})(\overline{A_2} + \overline{A_1})(\overline{A_3} + \overline{A_0})$$

$$= \overline{\overline{A_3 + A_2 + A_1 + A_0} \overline{\overline{A_2} + \overline{A_0}} \overline{\overline{A_2} + \overline{A_1}} \overline{\overline{A_3} + \overline{A_0}}}$$

$$B_1 = (\overline{A_1} + A_0)(\overline{A_0} + A_1) = \overline{\overline{\overline{A_1} + A_0} \overline{\overline{A_0} + A_1}}$$

$$B_0 = \overline{A_0}$$

### (3) 用译码器 74LS138 实现

由于设计函数是四变量函数, 根据译码器实现逻辑函数的基本原理, 首先用两片 74LS138 扩展为 4 线 - 16 线译码器, 低有效输出。由习题 3.14 表真值表列写函数的最小项表达式, 附加与非门, 画出逻辑图如习题 3.14 图(a)所示。

$$B_3 = \sum m(5, 6, 7, 8, 9)$$

$$B_2 = \sum m(1, 2, 3, 4, 9)$$

$$B_1 = \sum m(0, 3, 4, 7, 8)$$

$$B_0 = \sum m(0, 2, 4, 6, 8)$$

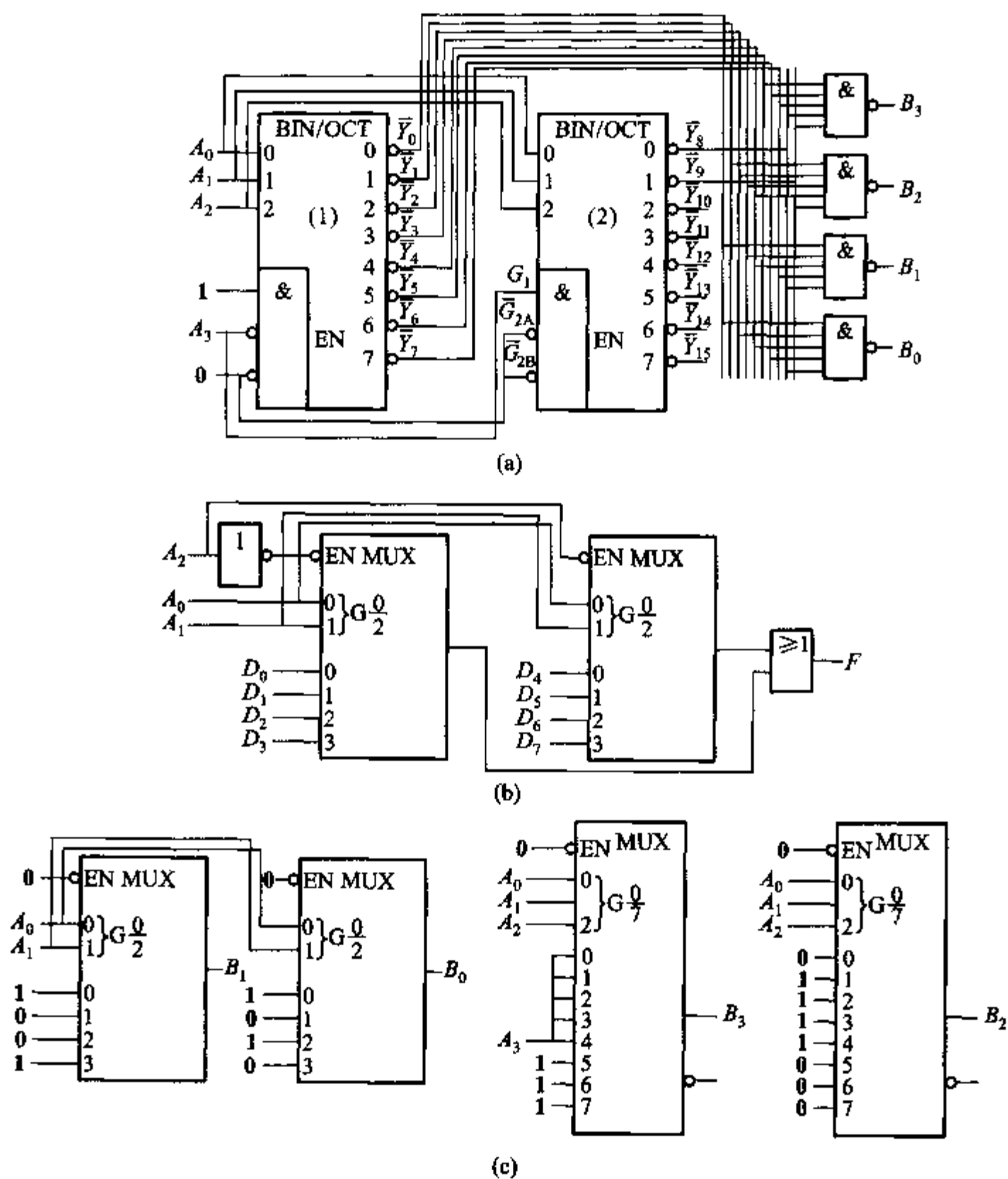
### (4) 用数据选择器 74LS153 实现

74LS153 是双 4 选 1 数据选择器, 分析解题(1)中的最简与或式, 利用对照法, 用一片 74LS153 实现函数  $B_1$  和  $B_0$ ; 再选择一片 74LS153 连接成 8 选 1 数据选择器, 利用对照法, 确定数据选择器的连接, 实现函数  $B_3$ ; 参考以上求解方法, 实现函数  $B_2$ 。

74LS153 数据选择器输出

$$F_1 = \overline{A_1} \overline{A_0} D_{10} + \overline{A_1} A_0 D_{11} + A_1 \overline{A_0} D_{12} + A_1 A_0 D_{13}$$

$$F_2 = \overline{A_1} \overline{A_0} D_{20} + \overline{A_1} A_0 D_{21} + A_1 \overline{A_0} D_{22} + A_1 A_0 D_{23}$$



习题 3.14 图

函数  $B_1$  和  $B_0$  逻辑式为

$$B_1 = \bar{A}_1 \bar{A}_0 + A_1 A_0$$

$$B_0 = \bar{A}_0$$

利用对照法, 令  $D_{10} = 1, D_{11} = 0, D_{12} = 0, D_{13} = 1$ , 则  $F_1 = B_1$ ; 令  $D_{20} = 1, D_{21} = 0, D_{22} = 1, D_{23} = 0$ , 则  $F_2 = B_0$ 。

74LS153 连接成 8 选 1 数据选择器的输出

$$F = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_4 +$$



$$A_2 \bar{A}_1 A_0 D_5 + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7$$

74LS153 的扩展电路如习题 3.14 图(b)所示。

变换函数  $B_3$  和  $B_2$  的逻辑式

$$\begin{aligned} B_3 &= A_3 + A_2 A_0 + A_2 A_1 \\ &= A_3 + A_2 \bar{A}_1 A_0 + A_2 A_1 A_0 + A_2 A_1 \bar{A}_0 \\ &= A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 + A_3 \bar{A}_2 \bar{A}_1 A_0 + A_3 \bar{A}_2 A_1 \bar{A}_0 + A_3 \bar{A}_2 A_1 A_0 + \\ &\quad A_3 A_2 \bar{A}_1 \bar{A}_0 + A_3 A_2 \bar{A}_1 A_0 + A_3 A_2 A_1 \bar{A}_0 + A_3 A_2 A_1 A_0 \\ B_2 &= A_2 \bar{A}_1 \bar{A}_0 + \bar{A}_2 A_0 + \bar{A}_2 A_1 \\ &= \bar{A}_2 \bar{A}_1 A_0 + \bar{A}_2 A_1 \bar{A}_0 + \bar{A}_2 A_1 A_0 + A_2 \bar{A}_1 \bar{A}_0 \end{aligned}$$

利用对照法,令  $D_0 = D_1 = D_2 = D_3 = D_4 = A_3, D_5 = D_6 = D_7 = 1$ , 则  $F = B_3$ 。

选择另一 8 选 1 数据选择器,利用对照法,令  $D_0 = D_5 = D_6 = D_7 = 0, D_1 = D_2 = D_3 = D_4 = 1$ , 则  $F = B_2$ 。

用 74LS153 数据选择器实现的电路如习题 3.14 图(c)所示。

习题 3.15 试用两片双 4 选 1 数据选择器 74LS153 和 3 线 - 8 线译码器 74LS138 接成 16 选 1 的数据选择器。

解: 4 选 1 数据选择器只有 2 条地址线  $A_1 \sim A_0$ , 4 条数据通道  $D_3 \sim D_0$ ; 16 选 1 数据选择器需要 4 条地址线  $A_3 \sim A_0$ , 16 条数据通道  $D_{15} \sim D_0$ 。需要四个 4 选 1 数据选择器才能构成一个 16 选 1 数据选择器。

将低位地址线  $A_1, A_0$  与四个 4 选 1 数据选择器的地址线相连, 四个数据选择器的地址相同, 并不意味着一起工作, 因为每个数据选择器的选通端不同。

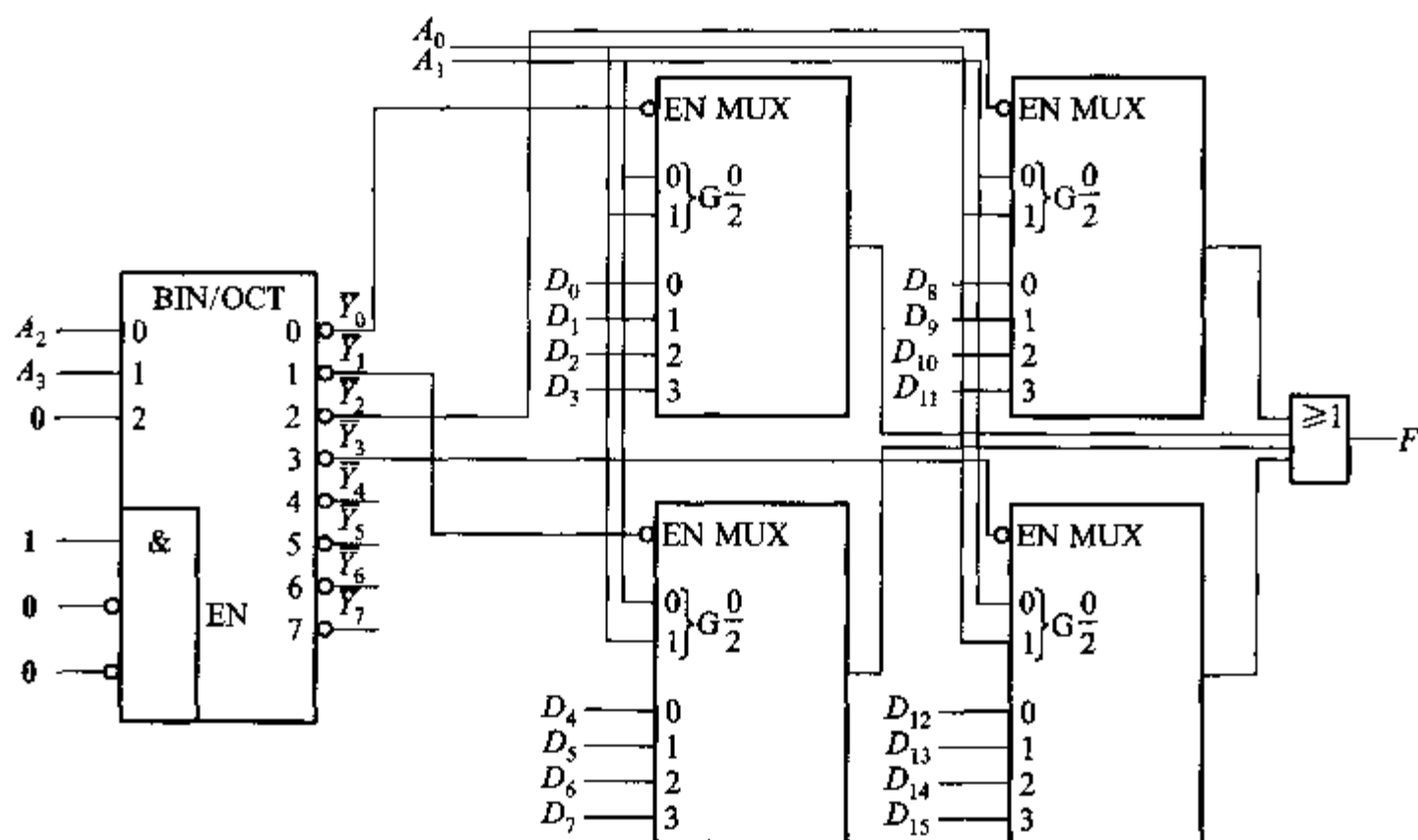
将高位地址线  $A_3, A_2$  分别与 3 线 - 8 线译码器 74LS138 的低端输入相连, 74LS138 的高端输入接地, 译码器的输出端  $\bar{Y}_0 \sim \bar{Y}_3$  分别与四个 4 选 1 数据选择器的选通端  $\bar{S}$  连接。这样连接的结果, 当高位地址线  $A_3, A_2$  有某种取值时, 只有一个 4 选 1 数据选择器工作, 具体分析如习题 3.15 表所示。

四个 4 选 1 数据选择器的输入数据端就是 16 条数据通道。

连接后的电路功能如习题 3.15 表所示。电路如习题 3.15 图所示。

习题 3.15 表 电路功能分析

$A_3$	$A_2$	$A_1$	$A_0$	地址范围	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{S}_0$	$\bar{S}_1$	$\bar{S}_2$	$\bar{S}_3$	有效数据通道
0	0	x	x	0000 ~ 0011	0	1	1	1	0	1	1	1	$D_0 \sim D_3$
0	1	x	x	0100 ~ 0111	1	0	1	1	1	0	1	1	$D_4 \sim D_7$
1	0	x	x	1000 ~ 1011	1	1	0	1	1	1	0	1	$D_8 \sim D_{11}$
1	1	x	x	1100 ~ 1111	1	1	1	0	1	1	1	0	$D_{12} \sim D_{15}$



习题 3.15 图

习题 3.16 设计一个代码转换电路,输入为 4 位二进制代码,输出为 4 位循环码。可以采用各种逻辑功能的门电路来实现。

解:(1) 根据题意定义输入变量为  $A_3, A_2, A_1, A_0$ , 输出变量  $B_3, B_2, B_1, B_0$ 。

(2) 根据题目对输入、输出变量提出的要求,列写真值表如习题 3.16 表所示。

习题 3.16 表 真 值 表

输 入				输 出			
$A_3$	$A_2$	$A_1$	$A_0$	$B_3$	$B_2$	$B_1$	$B_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0

续表

输 入				输 出			
$A_3$	$A_2$	$A_1$	$A_0$	$B_3$	$B_2$	$B_1$	$B_0$
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

(3) 由真值表,作函数卡诺图,化简函数,得到简化后的函数表达式

$$B_3 = A_3$$

$$B_2 = A_3 \oplus A_2$$

$$B_1 = A_2 \oplus A_1$$

$$B_0 = A_1 \oplus A_0$$

(4) 由逻辑表达式画出用异或门实现的逻辑图如习题 3.16 图所示。

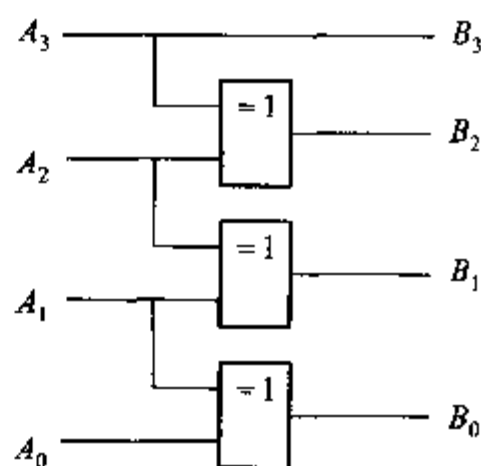
习题 3.17 分别用 4 选 1 集成电路 74153 和 8 选 1 集成电路 74151 实现下列函数。

$$(1) F(A, B, C) = \sum m(1, 3, 4, 6, 7)$$

$$(2) F(A, B, C) = \sum m(0, 2, 4, 5, 6, 7)$$

$$(3) F(A, B, C, D) = \sum m(0, 1, 3, 5, 6, 8, 9, 11, 12, 13)$$

$$(4) F(A, B, C, D) = \sum m(0, 1, 3, 5, 10, 13, 14) + \sum d(9, 11, 15)$$



习题 3.16 图

解: 题目给出的函数最多为四变量函数, 而 4 选 1 数据选择器适于实现三变量以下的逻辑函数, 若需实现四变量函数, 可以采用先扩展, 再实现函数的方法。8 选 1 数据选择器适于实现四变量以下的逻辑函数。

4 选 1 数据选择器 74153 函数式为

$$F_1 = \bar{A}_1 \bar{A}_0 D_{10} + \bar{A}_1 A_0 D_{11} + A_1 \bar{A}_0 D_{12} + A_1 A_0 D_{13}$$

4 选 1 数据选择器 74153 扩展为 8 选 1 数据选择器, 8 选 1 数据选择器 74151 函数式为

$$F = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_4 + A_2 \bar{A}_1 A_0 D_5 + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7$$

$$(1) \text{ 实现函数 } F(A, B, C) = \sum m(1, 3, 4, 6, 7) = \bar{A} \bar{B} C + \bar{A} B C + A \bar{B} \bar{C} + A B \bar{C} + A B C$$

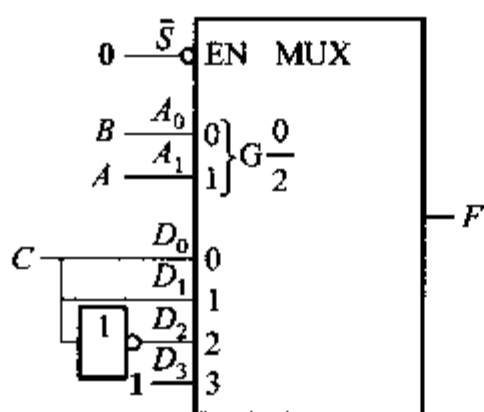
用 4 选 1 数据选择器 74153 实现设计, 对照 74153 函数式以及设计函数式, 令  $A_1 = A$ 、 $A_0 = B$ 、 $D_0 = D_1 = C$ 、 $D_2 = \bar{C}$ 、 $D_3 = 1$ , 电路如习题 3.17 图(a)所示。

用 8 选 1 数据选择器 74151 实现设计, 用对照法, 令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、

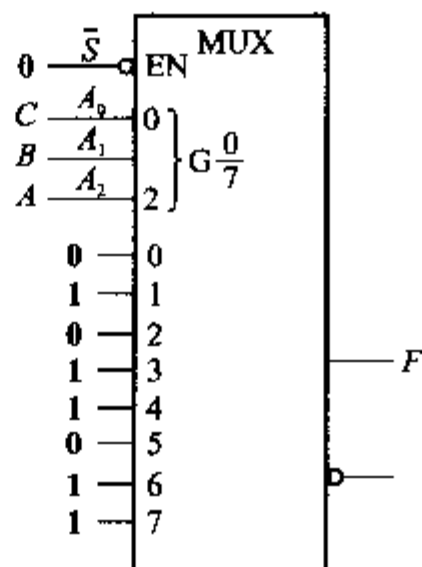
$D_1 = D_3 = D_4 = D_6 = D_7 = 1, D_0 = D_2 = D_5 = 0$ , 电路如习题 3.17 图(b)所示。

(2) 实现函数  $F(A, B, C) = \sum m(0, 2, 4, 5, 6, 7) = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{C} + A\bar{B}\bar{C} + A\bar{B}C + AB\bar{C} + ABC$

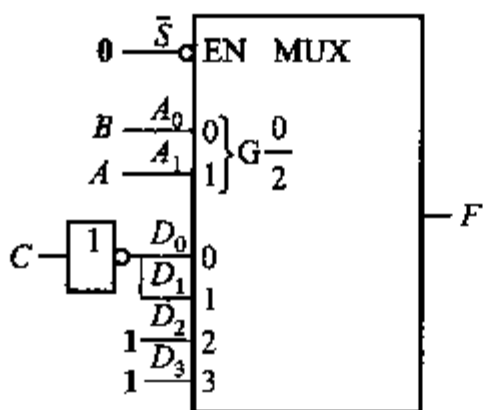
用 4 选 1 数据选择器 74153 实现设计, 令  $A_1 = A, A_0 = B, D_0 = D_1 = \bar{C}, D_2 = D_3 = 1$ , 电路如习题 3.17 图(c)所示。



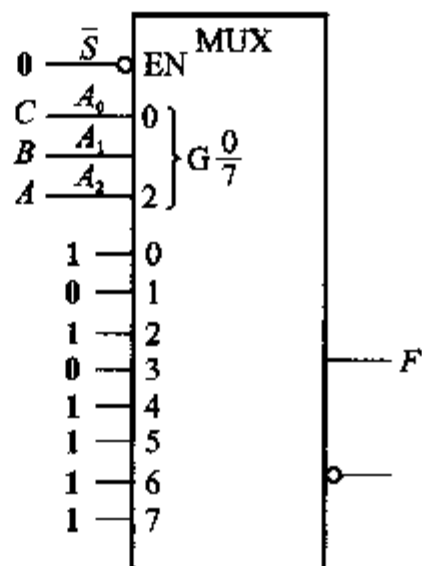
(a)



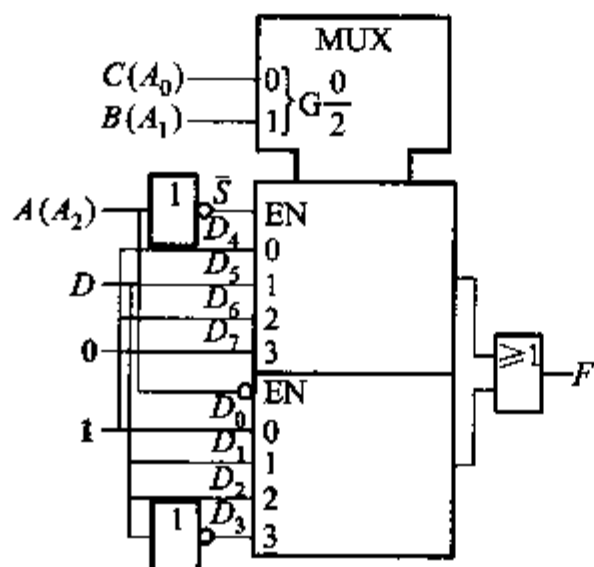
(b)



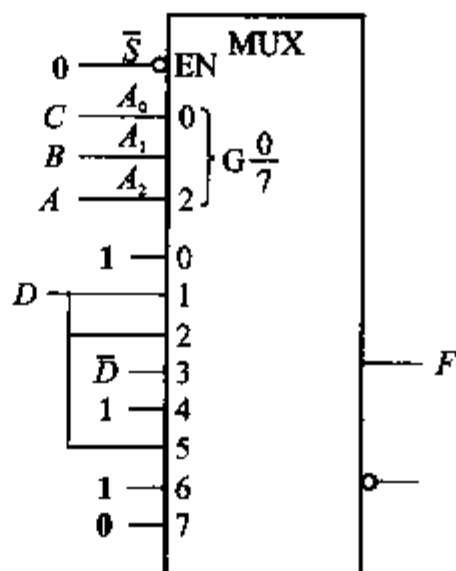
(c)



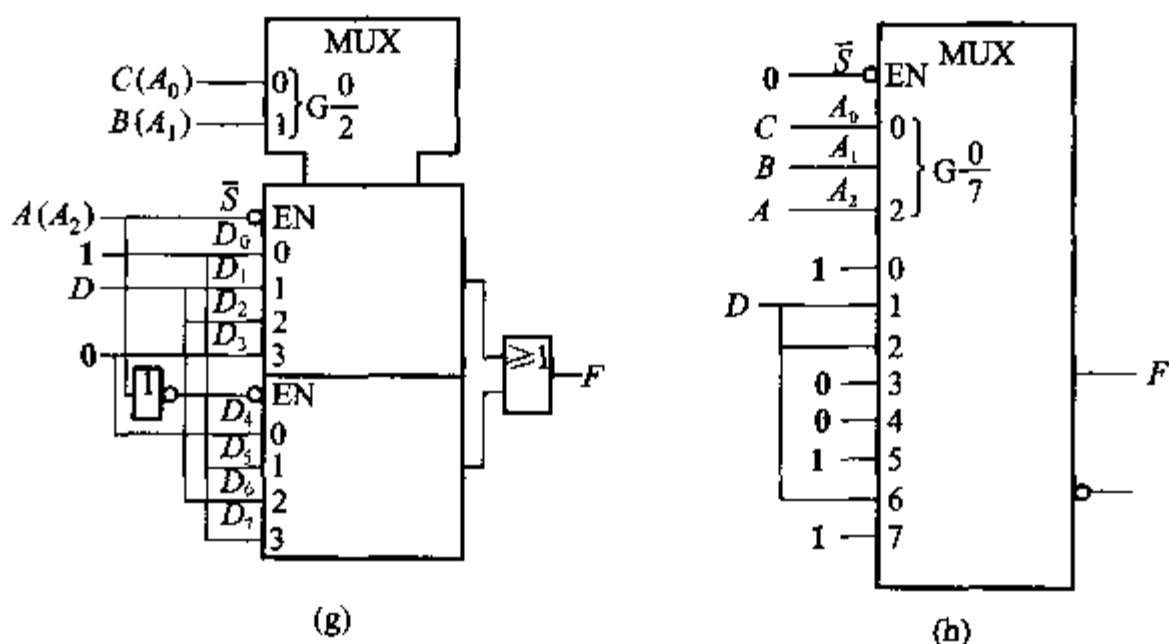
(d)



(e)



(f)



习题 3.17 图

用 8 选 1 数据选择器 74151 实现设计, 令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_2 = D_4 = D_5 = D_6 = D_7 = 1$ 、 $D_1 = D_3 = 0$ , 电路如习题 3.17 图(d)所示。

### (3) 实现函数

$$\begin{aligned}
 F(A, B, C, D) &= \sum m(0, 1, 3, 5, 6, 8, 9, 11, 12, 13) \\
 &= \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C \overline{D} + \overline{A} \overline{B} C D + \overline{A} B \overline{C} \overline{D} + \overline{A} B \overline{C} D + \overline{A} B C \overline{D} + \overline{A} B C D + \\
 &\quad A \overline{B} \overline{C} \overline{D} + A \overline{B} \overline{C} D + A \overline{B} C \overline{D} + A \overline{B} C D + A B \overline{C} \overline{D} + A B \overline{C} D + A B C \overline{D} + A B C D \\
 &= \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C D + \overline{A} B \overline{C} D + \overline{A} B C \overline{D} + A \overline{B} \overline{C} + A \overline{B} C D + A B \overline{C}
 \end{aligned}$$

首先将 4 选 1 数据选择器 74153 扩展为 8 选 1 数据选择器, 令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_4 = D_6 = 1$ 、 $D_1 = D_2 = D_5 = D$ 、 $D_3 = \overline{D}$ 、 $D_7 = 0$ , 电路如习题 3.17 图(e)所示。

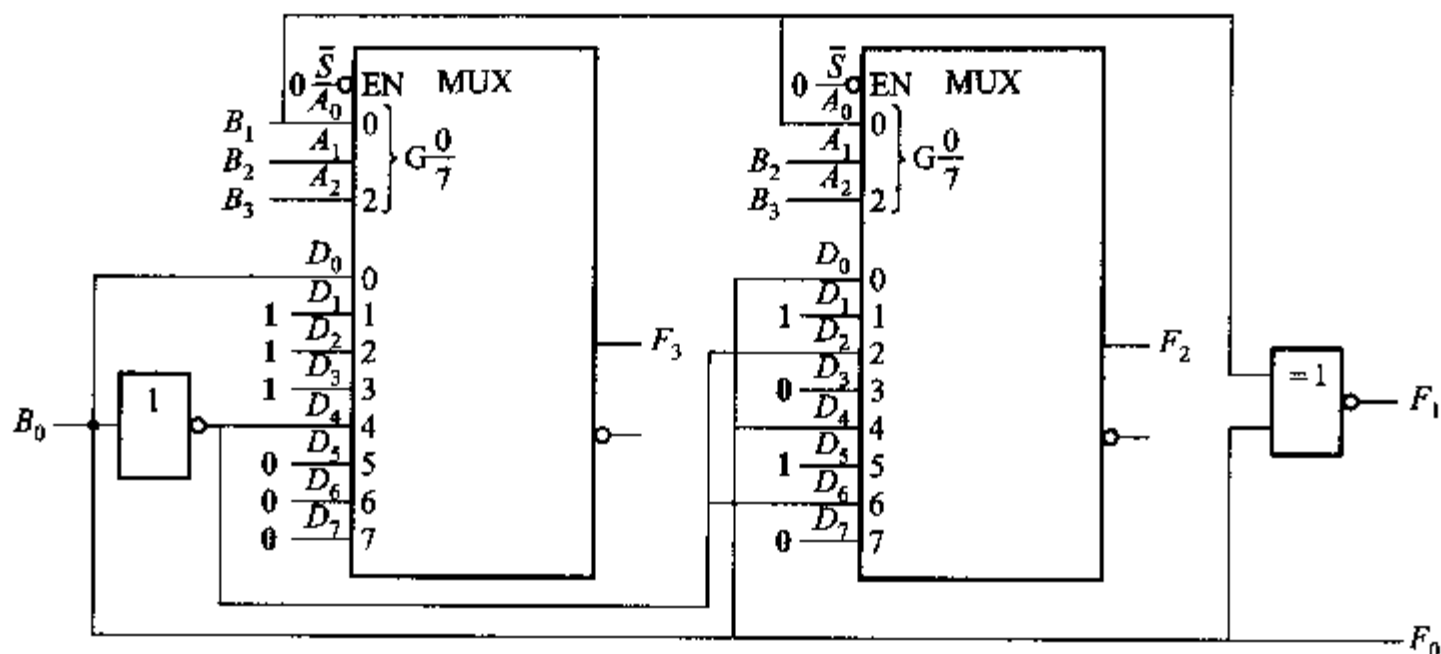
用 8 选 1 数据选择器 74151 的连接方式与习题 3.17 图(e)所示完全相同,  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_4 = D_6 = 1$ 、 $D_1 = D_2 = D_5 = D$ 、 $D_3 = \overline{D}$ 、 $D_7 = 0$ , 电路如习题 3.17 图(f)所示。

### (4) 实现函数

$$\begin{aligned}
 F(A, B, C, D) &= \sum m(0, 1, 3, 5, 10, 13, 14) + \sum d(9, 11, 15) \\
 &= \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C \overline{D} + \overline{A} \overline{B} C D + A \overline{B} \overline{C} \overline{D} + A \overline{B} \overline{C} D + A B C \overline{D} + \\
 &\quad (A \overline{B} C D + A B C D) \\
 &= \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C D + \overline{A} B \overline{C} D + A \overline{B} \overline{C} + A B \overline{C} D + A B C
 \end{aligned}$$

参考(3)的设计过程, 令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = D_5 = D_7 = 1$ 、 $D_1 = D_2 = D_6 = D$ 、 $D_3 = D_4 = 0$ , 用 74153 和 74151 实现的电路如习题 3.17 图(g)和(h)所示。

习题 3.18 组合电路的逻辑框图如习题 3.18 图所示。试分析输出  $F_3$ 、 $F_2$ 、 $F_1$ 、 $F_0$  与  $B_3$ 、 $B_2$ 、 $B_1$ 、 $B_0$  的关系。



习题 3.18 图

解：习题 3.18 图中使用的是 8 选 1 数据选择器，其函数表达式为

$$F = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_4 + A_2 \bar{A}_1 A_0 D_5 + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7$$

习题 3.18 图中的地址信号连接为  $A_2 = B_3$ 、 $A_1 = B_2$ 、 $A_0 = B_1$ 。

左侧数据选择器的数据连接方式为  $D_0 = B_0$ 、 $D_1 = D_2 = D_3 = 1$ 、 $D_4 = \bar{B}_0$ 、 $D_5 = D_6 = D_7 = 0$ ，将地址和数据连接方式代入数据选择器的函数表达式，则求出  $F_3$  函数式。同样道理，可以求出  $F_1$  函数式。输出  $F_3$ 、 $F_2$ 、 $F_1$ 、 $F_0$  与  $B_3$ 、 $B_2$ 、 $B_1$ 、 $B_0$  的函数式为

$$F_0 = B_0$$

$$F_1 = B_1 \oplus B_0$$

$$F_2 = \bar{B}_3 \bar{B}_2 \bar{B}_1 B_0 + \bar{B}_3 \bar{B}_2 B_1 + \bar{B}_3 B_2 \bar{B}_1 \bar{B}_0 + B_3 \bar{B}_2 \bar{B}_1 B_0 + B_3 \bar{B}_2 B_1 + B_3 B_2 \bar{B}_1 \bar{B}_0$$

$$F_3 = \bar{B}_3 \bar{B}_2 \bar{B}_1 B_0 + \bar{B}_3 \bar{B}_2 B_1 + \bar{B}_3 B_2 \bar{B}_1 + \bar{B}_3 B_2 B_1 + B_3 \bar{B}_2 \bar{B}_1 \bar{B}_0$$

根据函数式列写真值表如习题 3.18 表所示。

习题 3.18 表 真 值 表

输 入				输 出			
$B_3$	$B_2$	$B_1$	$B_0$	$F_3$	$F_2$	$F_1$	$F_0$
0	0	0	0	0	0	1	0
0	0	0	1	1	1	0	1
0	0	1	0	1	1	0	0
0	0	1	1	1	1	1	1
0	1	0	0	1	1	1	0
0	1	0	1	1	0	0	1
0	1	1	0	1	0	0	0

续表

输 入				输 出			
$B_3$	$B_2$	$B_1$	$B_0$	$F_3$	$F_2$	$F_1$	$F_0$
0	1	1	1	1	0	1	1
1	0	0	0	1	0	1	0
1	0	0	1	0	1	0	1
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	1
1	1	0	0	0	1	1	0
1	1	0	1	0	0	0	1
1	1	1	0	0	0	0	0
1	1	1	1	0	0	1	1

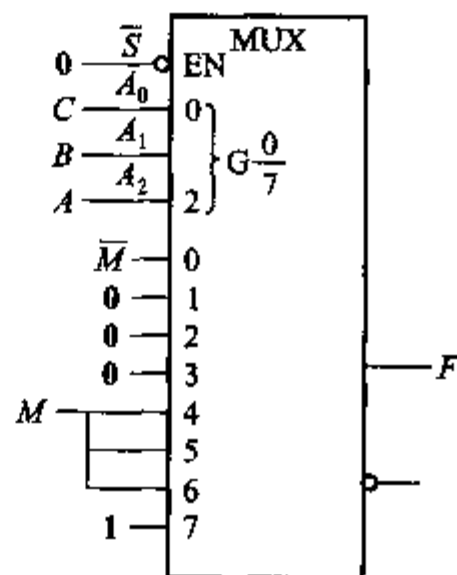
习题 3.19 用 8 选 1 数据选择器设计一个组合逻辑电路。该电路有三个输入逻辑变量  $A$ 、 $B$ 、 $C$  和一个工作状态控制变量  $M$ 。当  $M=0$  时电路实现“意见一致”功能( $A$ 、 $B$ 、 $C$  状态一致时输出为 1, 否则输出为 0), 而  $M=1$  时电路实现“多数表决”功能, 即输出与  $A$ 、 $B$ 、 $C$  中多数的状态一致。

解: (1) 根据题意设输入变量为  $M$ 、 $A$ 、 $B$ 、 $C$ , 设输出变量  $F$ 。

(2) 根据题目对输入、输出变量提出的要求, 列写真值表如习题 3.19 表所示。

习题 3.19 表 真 值 表

输 入				输 出
$M$	$A$	$B$	$C$	$F$
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



习题 3.19 图

由真值表,求得函数表达式

$$F = \overline{A} \overline{B} \overline{C} \overline{M} + \overline{A} B C \overline{M} + \overline{A} B C M + A \overline{B} C M + A B \overline{C} M + A B C M$$

8 选 1 数据选择器函数表达式为

$$F = \overline{A_2} \overline{A_1} \overline{A_0} D_0 + \overline{A_2} \overline{A_1} A_0 D_1 + \overline{A_2} A_1 \overline{A_0} D_2 + \overline{A_2} A_1 A_0 D_3 + \\ A_2 \overline{A_1} \overline{A_0} D_4 + A_2 \overline{A_1} A_0 D_5 + A_2 A_1 \overline{A_0} D_6 + A_2 A_1 A_0 D_7$$

对照上述两表达式,令  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = \overline{M}$ 、 $D_4 = D_5 = D_6 = M$ 、 $D_7 = 1$ 、 $D_1 = D_2 = D_3 = 0$ 。

(3) 由逻辑表达式画出逻辑图如习题 3.19 图所示。

习题 3.20 用若干个 4 位比较器 7485, 连接成一个 12 位数码比较器。

解: 数值比较器的扩展有两种连接方式: 串联方式和并联方式。采用串联方式需要用三片 7485 芯片, 电路如习题 3.20 图(a)所示, 采用并联方式需要用四片 7485 芯片, 电路如习题 3.20 图(b)所示, 前者的工作速度比后者慢。

习题 3.21 若使用 4 位数值比较器组成 10 位数值比较器, 需要用几片? 各片之间应如何连接?

解: 采用串联方式需要用三片 7485 芯片, 采用并联方式需要用四片 7485 芯片, 电路图略。

习题 3.22 设  $A$ 、 $B$ 、 $C$  为三个互不相等的 4 位二进制数。试用 4 位数值比较器和 2 选 1 选择器, 设计一个能在三个数中选出最大数的逻辑电路。

解: 设三个数  $A$ 、 $B$ 、 $C$  分别用  $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$  和  $C_3C_2C_1C_0$  表示。任取其中两个数如  $A$ 、 $B$  送入数值比较器进行比较。由于  $A$ 、 $B$  不等, 因此  $A$  与  $B$  的大小比较结果可由比较器的输出端  $A < B$  得到, 输出端  $A < B$  取值为 1, 表示  $A < B$ ; 输出端  $A < B$  取值为 0, 表示  $A > B$ 。

将比较器的  $A < B$  输出端与四个 2 选 1 数据选择器的地址端相连, 数据端分别送入  $A_3A_2A_1A_0$  和  $B_3B_2B_1B_0$ , 用数据选择器控制  $A$ 、 $B$  两个数中较大的数输出。

同理, 再用一个数值比较器进行  $A$ 、 $B$  数中的大数与第三个数  $C$  的比较, 再通过四个 2 选 1 数据选择器选出其中较大的数, 即三个数中最大的数输出。电路图如习题 3.22 图所示。

习题 3.23 试用 4 位二进制加法器 74283 构成可控的加法、减法器(可附加少量门)。

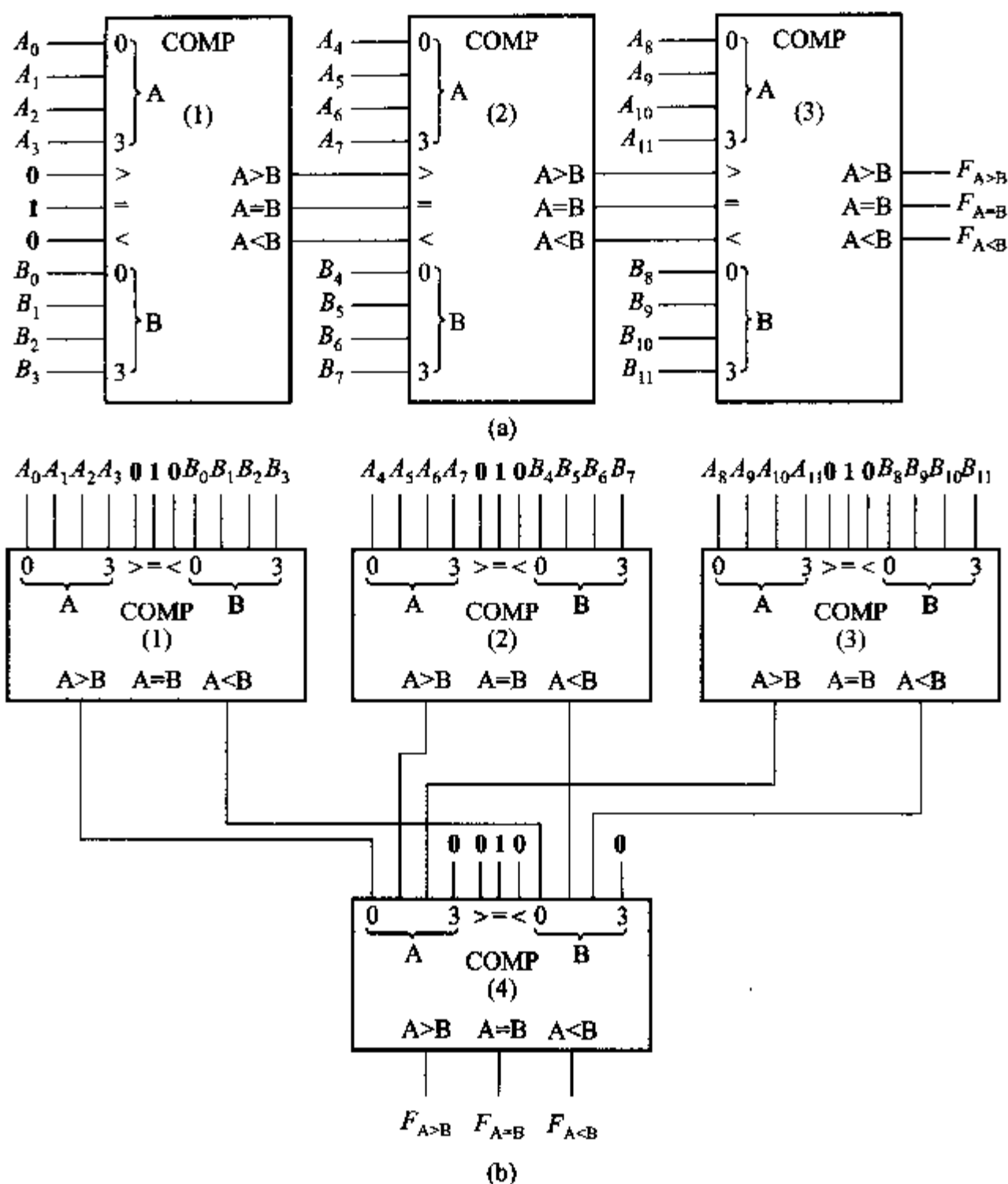
解: (1) 根据题意, 定义两个 4 位二进制数为输入变量  $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ 、控制端  $M$ ; 设输出变量为  $C_3C_2C_1C_0$ 。

(2) 根据题目对输入、输出变量提出的要求, 分析如下:

$M = 0$  时, 实现加法功能, 因此有  $(A_3A_2A_1A_0) + (B_3B_2B_1B_0) = C_3C_2C_1C_0$ 。

$M = 1$  时, 实现减法功能, 若用加法器实现减法运算, 减数求补即可, 因此有





习题 3.20 图

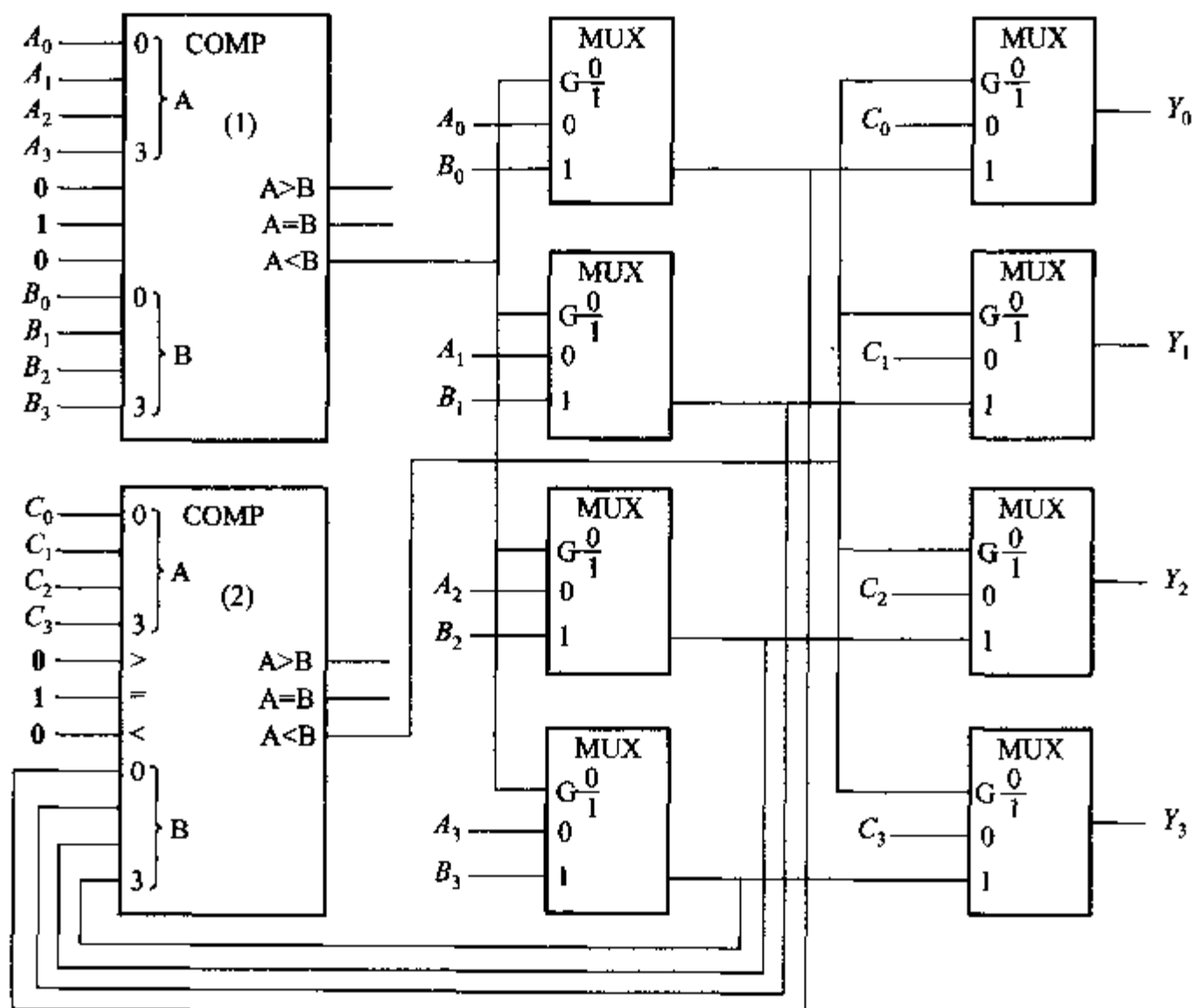
$$(A_3 A_2 A_1 A_0) + (\overline{B_3} \overline{B_2} \overline{B_1} \overline{B_0}) + 1 = C_3 C_2 C_1 C_0。$$

综合上述分析,  $A_3 A_2 A_1 A_0$  为被加数,  $M$  分别与  $B_3 B_2 B_1 B_0$  进行异或运算后作为加数,  $M$  同时作为加法器的进位输入, 即可用加法器实现可控的加、减法运算。

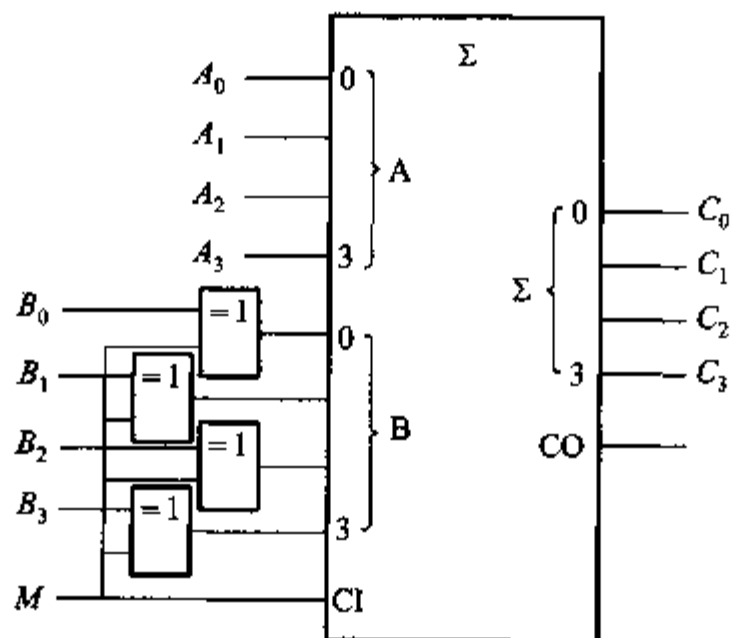
(3) 画出加法器实现可控加、减法运算逻辑图如习题 3.23 图所示。

习题 3.24 设计一个电路, 可以把带符号的二进制数(包括符号在内共 8 位)变换成该数的补码。可供选择的集成电路为 4 位二进制加法器和其他门电路(数量不限)。

解: (1) 根据题意, 定义 8 位带符号的二进制数为输入变量  $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ , 设输出变量为输入二进制数的补码  $C_7 C_6 C_5 C_4 C_3 C_2 C_1 C_0$ 。



习题 3.22 图



习题 3.23 图

(2) 根据题目对输入、输出变量提出的要求,分析如下:

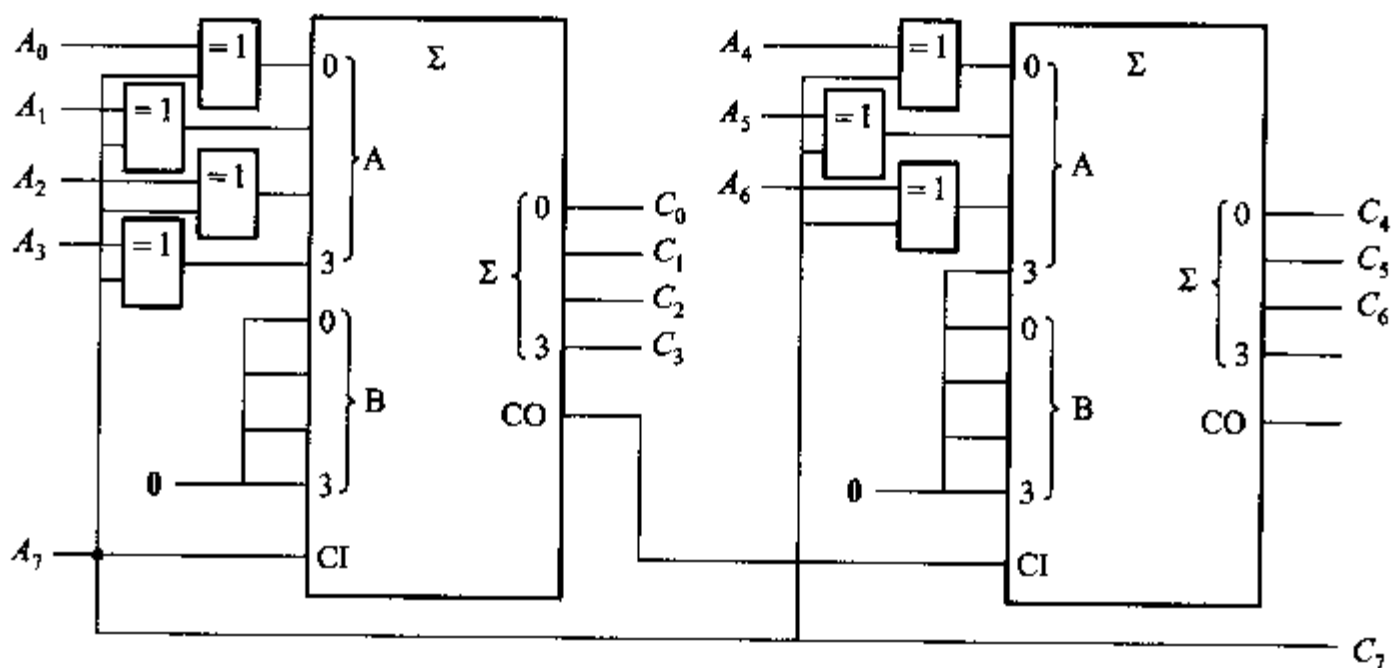
符号位  $A_7 = 0$  时,表明该数为正数,因此有  $C_7 = 0$ 、 $C_6C_5C_4C_3C_2C_1C_0 =$

$A_6A_5A_4A_3A_2A_1A_0$ 。

符号位  $A_7 = 1$  时, 表明该数为负数, 因此有  $C_7 = 1$ ,  $A_6A_5A_4A_3A_2A_1A_0$  各位求反, 加 1 后送给输出  $C_6C_5C_4C_3C_2C_1C_0$ 。

综合上述分析, 符号位直接输出  $C_7 = A_7$ , 符号位  $A_7$  分别与  $A_6A_5A_4A_3A_2A_1A_0$  进行异或运算后作为被加数, 加法器被加数的最高位为 0; 符号位  $A_7$  同时作为加法器的进位输入信号  $CI$ ; 加数  $B_7B_6B_5B_4B_3B_2B_1B_0$  接 0; 加法器的输出则为补码输出。

(3) 首先将 4 位二进制加法器扩展为 8 位二进制加法器, 再依据上述分析, 画出加法器实现求补运算逻辑图如习题 3.24 图所示。



习题 3.24 图

习题 3.25 设  $X$ 、 $Y$  均为 4 位二进制数, 它们分别是一个逻辑电路的输入与输出, 当  $0 \leq X \leq 4$  时,  $Y = X + 1$ ; 当  $5 \leq X \leq 9$  时,  $Y = X - 1$ , 且  $X$  不大于 9。试用与非门实现该电路。

解: (1) 根据题意定义输入变量为  $X_3, X_2, X_1, X_0$ , 输出变量为  $Y_3, Y_2, Y_1, Y_0$ 。

(2) 根据题目对输入、输出变量提出的要求, 列写真值表如习题 3.25 表所示。

(3) 由真值表, 作函数卡诺图, 化简函数, 得到简化后的函数表达式

$$Y_3 = X_3X_0$$

$$Y_2 = X_2 + X_3\bar{X}_0 + X_1X_0$$

$$Y_1 = \bar{X}_3\bar{X}_2\bar{X}_1X_0 + \bar{X}_2X_1\bar{X}_0 + X_3\bar{X}_0 + X_2X_1X_0$$

$$Y_0 = \bar{X}_0$$

习题 3.25 表 真 值 表

输 入				输 出			
$X_3$	$X_2$	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	0	0
0	1	1	0	0	1	0	1
0	1	1	1	0	1	1	0
1	0	0	0	0	1	1	1
1	0	0	1	1	0	0	0
1	0	1	0	x	x	x	x
1	0	1	1	x	x	x	x
1	1	0	0	x	x	x	x
1	1	0	1	x	x	x	x
1	1	1	0	x	x	x	x
1	1	1	1	x	x	x	x

(4) 由逻辑表达式画出用与非门实现的逻辑图如习题 3.25 图所示。

习题 3.26 1 位全加器的电路如习题 3.26 图所示。

(1) 写出一个延时为 5 ns 的与非门 VHDL 程序。

(2) 写出用与非门构成 1 位全加器的 VHDL 结构描述模块。

(3) 用 1 位全加器作为元件设计 8 位全加器。

解: (1) 延时为 5 ns 的与非门 VHDL 程序。

```
ENTITY xiti26 _1 IS
```

```
    PORT(a,b:IN BIT;  
          y:OUT BIT);
```

```
END xiti26 _1;
```

```
ARCHITECTURE aa OF xiti26 _1 IS
```

```
BEGIN
```

```
    PROCESS(a,b)
```

```
BEGIN
```

```
    y <= NOT(a AND b) AFTER 5 ns;
```

```
    /延时 5 ns
```

```
END PROCESS;
```

```
END aa;
```

(2) 用与非门构成 1 位全加器的 VHDL 结构描述模块。

```
ENTITY xiti26 _2 IS
```

```
    PORT(x,y,cin:IN BIT;  
          sum,cout:OUT BIT);
```

```
END xiti26 _2;
```

```
ARCHITECTURE stru OF xiti26 _2 IS
```

```
    SIGNAL temp:BIT_VECTOR(7 DOWNT01);
```

```
    COMPONENT xiti26 _1
```

```
        PORT(a,b:IN BIT;y:OUT BIT);
```

```
    END COMPONENT;
```

```
BEGIN
```

```
U1:xiti26 _1 PORT MAP(x,y,temp(1));
```

```
U2:xiti26 _1 PORT MAP(x,temp(1),temp(2));
```

```
U3:xiti26 _1 PORT MAP(y,temp(1),temp(3));
```

```
U4:xiti26 _1 PORT MAP(temp(2),temp(3),temp(4));
```

```
U5:xiti26 _1 PORT MAP(cin,temp(4),temp(5));
```

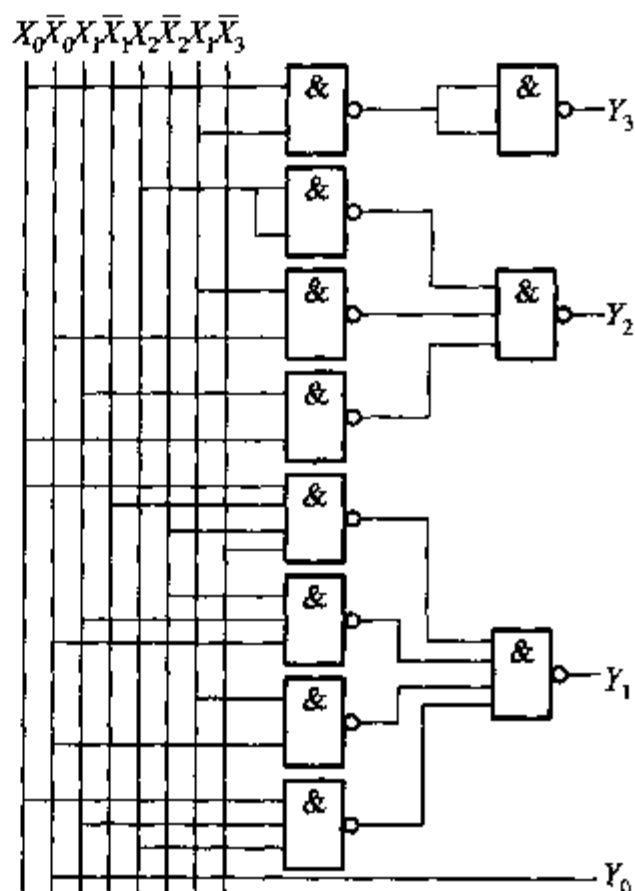
```
U6:xiti26 _1 PORT MAP(cin,temp(5),temp(6));
```

```
U7:xiti26 _1 PORT MAP(temp(4),temp(5),temp(7));
```

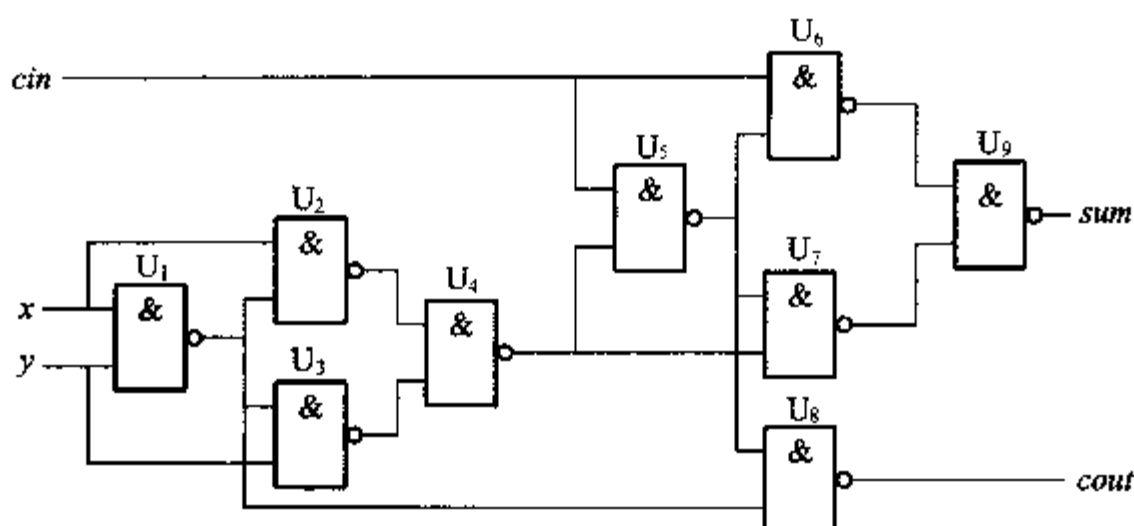
```
U8:xiti26 _1 PORT MAP(temp(5),temp(1),cout);
```

```
U9:xiti26 _1 PORT MAP(temp(6),temp(7),sum);
```

```
END stru;
```



习题 3.25 图



习题 3.26 图

(3) 用 1 位全加器作为元件设计 8 位全加器的 VHDL 程序。

```
ENTITY xiti26 _3 IS
```

```
    PORT(x,y:IN BIT_VECTOR(7 DOWNT0 0);cin:IN BIT;
```

```
          sum:OUT BIT_VECTOR(7 DOWNT0 0);cout:OUT BIT);
```

```
END xiti26 _3;
```

```
ARCHITECTURE stru OF xiti26 _3 IS
```

```
SIGNAL temp:BIT_VECTOR(6 DOWNT0 0);
```

```
COMPONENT xiti26 _2
```

```
    PORT(x,y,cin:IN BIT;
```

```
          sum,cout:OUT BIT);
```

```
END COMPONENT;
```

```
BEGIN
```

```
U0:xiti26 _2 PORT MAP(x(0),y(0),cin,sum(0),temp(0));
```

```
U1:xiti26 _2 PORT MAP(x(1),y(1),temp(0),sum(1),temp(1));
```

```
U2:xiti26 _2 PORT MAP(x(2),y(2),temp(1),sum(2),temp(2));
```

```
U3:xiti26 _2 PORT MAP(x(3),y(3),temp(2),sum(3),temp(3));
```

```
U4:xiti26 _2 PORT MAP(x(4),y(4),temp(3),sum(4),temp(4));
```

```
U5:xiti26 _2 PORT MAP(x(5),y(5),temp(4),sum(5),temp(5));
```

```
U6:xiti26 _2 PORT MAP(x(6),y(6),temp(5),sum(6),temp(6));
```

```
U7:xiti26 _2 PORT MAP(x(7),y(7),temp(6),sum(7),cout);
```

```
END stru;
```

## 第四章 时序逻辑电路

本章介绍各种触发器的结构组成、工作原理、逻辑功能以及各种特性。触发器是由基本门电路组成的具有反馈连接,其输出状态不仅和输入状态有关,而且和输出原状态有关并具有记忆功能的电路。本章还介绍时序逻辑电路的基本概念、组成结构、各种时序电路的分析和设计方法。本章的内容将为深入学习具有特定功能的中规模时序电路奠定良好的基础。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) 触发器的基本概念

##### 1. 触发器特点

触发器与组合逻辑电路不同,触发器的输出不仅与输入信号有关,而且还与触发器原来的状态有关。触发器具有记忆功能,是构成时序电路的基本单元电路。触发器具有两个稳定的状态 0 和 1。在不同的输入信号作用下,触发器可以置成 0,也可以置成 1。当输入信号消失后,触发器能保持其状态不变。

##### 2. 触发器控制信号

触发器的外部控制信号分为三类:

(1) 置位信号、复位信号:置位信号和复位信号有高有效或低有效、同步或异步之分。置位信号  $\bar{S}_D$  和复位信号  $\bar{R}_D$  是低有效的异步信号,当信号有效时,触发器置 1 或清 0,  $\bar{S}_D$  和  $\bar{R}_D$  不能同时有效。

(2) 时钟脉冲信号:时钟脉冲信号为触发器的控制端,决定触发器的状态何时转换。

(3) 外部激励信号:外部激励信号在 CP 脉冲作用下控制触发器的状态转换。

##### 3. 触发器类型

触发器有不同的分类方法,按触发方式分类有:电位触发方式、主从触发方式和边沿触发方式。按逻辑功能分类有:RS 触发器、D 触发器、JK 触发器和 T 触发器等。

##### 4. 触发器逻辑功能描述方法

触发器的逻辑功能是指触发器的次态与现态以及输入信号之间的逻辑关

系。描述触发器的逻辑功能常用方法有：

- (1) 状态转换表与激励表
- (2) 特征方程
- (3) 状态转换图
- (4) 时序图

## (二) 触发器的基本类型

### 1. 基本 RS 触发器

基本 RS 触发器没有同步触发脉冲,输入信号直接控制输出端的状态。只要输入变化,输出立即变化。

基本 RS 触发器的特征方程为

$$\begin{cases} Q_{n+1} = S_D + \bar{R}_D Q_n \\ \bar{R}_D + \bar{S}_D = 1 \end{cases}$$

### 2. 同步 RS 触发器

同步 RS 触发器在时钟脉冲 CP 有效时,如 CP = 1 期间,触发器的输出随输入信号的变化而改变。在时钟脉冲有效期间,其特征表、特征方程与基本 RS 触发器完全相同。同步 RS 触发器为电平触发方式,特点是在 CP = 1 的整个时间内,触发器输出都会随输入信号的变化而变化。这种现象称为“空翻”。

### 3. 主从 RS 触发器

主从 RS 触发器由主触发器和从触发器两部分组成,主从 RS 触发器在 CP = 1 期间把输入信号送入主触发器,整个触发器的状态并不改变。当 CP 下降沿到来时再将触发器的状态传入从触发器,触发器的状态才可能翻转。主从 RS 触发器克服了同步 RS 触发器的“空翻”现象。主从 RS 触发器在时钟脉冲 CP 下降沿时,其特征表、特征方程与基本 RS 触发器完全相同。

### 4. 主从 JK 触发器

主从 JK 触发器的工作过程与主从 RS 触发器相同,分为两步:CP = 1 期间,接收 J、K 端的外部信号并存入主触发器,从触发器状态不变;在 CP 由 1 变为 0 时,主触发器状态不变,从触发器状态翻转;CP = 0 期间,主触发器不接收 J、K 端的外部信号,触发器的状态不变。在一个时钟周期内,主从 JK 触发器状态只在 CP 下降沿发生一次变换。在 CP = 1 期间,如果 J、K 端的信号发生变化,主触发器的状态能够也只能变化一次,称为主从 JK 触发器的一次变化。

JK 触发器的特征方程为

$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

### 5. 边沿 JK 触发器

边沿 JK 触发器在时钟脉冲的下降沿触发翻转。要求 J、K 信号在时钟脉冲 CP 的下降沿之前一段时间到来。在 CP = 1、CP = 0 及 CP 上升沿期间,J、K 信号



的任何变化都不会影响触发器的输出结果,因此,电路具有更强的抗干扰能力。其特征方程、激励表与主从  $JK$  触发器完全一样。

#### 6. 维持阻塞 $D$ 触发器

维持阻塞  $D$  触发器为边沿触发器。在  $CP$  脉冲上升沿状态翻转,翻转结果取决于  $CP$  上升沿到达瞬间输入信号  $D$  的状态。

$D$  触发器的特征方程为

$$Q_{n+1} = D$$

### (三) 时序电路的基本概念

数字逻辑电路可分为两大类:组合逻辑电路和时序逻辑电路,前者简称组合电路,后者简称时序电路。在逻辑电路中,如果任一时刻的输出信号不仅取决于该时刻输入信号,而且还与电路原来的状态有关,或者说与电路原来的输入信号有关,具备这种功能的电路被称为时序逻辑电路。

#### 1. 时序电路的特点

时序电路具有记忆能力,能保存电路原来的输入状态;时序电路含有存储电路,这些存储电路多数由触发器构成。时序电路有两大类:同步时序电路和异步时序电路。

#### 2. 时序电路与组合电路的区别

时序电路在某一时刻的输出不仅取决于该时刻电路的输入,还取决于该电路原来的状态,也就是说与电路原来的输入有关。而组合电路在某一时刻的输出仅仅取决于该时刻电路的输入。

#### 3. 同步时序电路

电路中有一个统一的时钟脉冲源,存储电路里所有触发器的状态变化都与同一个时钟脉冲同步。在电路结构上,存储电路中各触发器的时钟脉冲端接同一个时钟脉冲源。

#### 4. 异步时序电路

电路中没有统一的时钟脉冲,触发器状态的变化不与时钟脉冲同步。

### (四) 同步时序电路的分析与设计

#### 1. 同步时序电路的分析

时序电路完成的逻辑功能不同,组成结构不同,其分析步骤也有所不同。对具体电路分析时,应能做到灵活应用。

同步时序电路分析的一般步骤如下:

(1) 根据给定的同步时序电路列写方程:时序电路的输出方程,各触发器的驱动方程。

(2) 将触发器的驱动方程代入对应触发器的特征方程,求出时序电路的状态方程。

(3) 根据时序电路的输出方程和状态方程,计算时序电路的状态转换表,画出状态转换图或时序图。状态转换表、状态转换图或时序图三种形式之间可以互相转换。

(4) 根据上述分析结果,用文字描述给定同步时序电路的逻辑功能。

## 2. 同步时序电路的设计

设计是根据给定具体的逻辑问题,给出符合其功能要求的时序电路。设计是分析的逆过程,设计又称为综合。这里只给出用小规模集成电路进行设计的步骤,设计的基本思想是用最少的触发器和门电路实现符合要求的时序电路。

### (1) 根据给定的逻辑功能建立原始状态转换图

分析给定的逻辑问题,定义输入变量、输出变量以及电路的状态。根据实际的逻辑问题,分析每一种输入情况下的状态变化和相应的输出,从而构成原始状态转换图或原始状态转换表。

### (2) 状态化简

原始状态转换图可能包含多余的状态,状态数目越多,设计的电路越复杂。状态化简,消去多余的状态,求出最小化的状态转换图或状态转换表。

### (3) 状态编码

对简化后的状态转换表中每一个状态用一个二进制代码来表示,即进行状态编码,也称为状态分配。状态编码的方案不同,所得到的电路结构及其复杂程度不同,状态编码应当以有利于触发器驱动方程的简化为原则。

### (4) 选择触发器

选择不同类型的触发器,设计出的电路不同。利用编码后的状态转换表,根据选定触发器的类型,求驱动方程和输出方程。

### (5) 画逻辑电路图

### (6) 画全状态转换图

全状态转换图指的是包含触发器所有状态组合的转换图。检查电路是否符合设计要求,符合要求,则设计完毕;否则,需修改设计。

## (五) 异步时序电路

同步时序电路中有统一的时钟信号,异步时序电路没有统一的时钟信号。因此,异步时序电路的分析与设计与同步时序电路有所不同。

### 1. 异步时序电路的分析

(1) 分析电路,列写各触发器的驱动方程和时钟方程。

(2) 根据触发器的特征方程,求出电路的状态方程。

(3) 求状态转换表。求解状态转换表时,首先分析触发器有无时钟信号,在有时钟信号的前提下,再计算状态的转换。

(4) 确定电路的逻辑功能。

## 2. 异步时序电路的设计

(1) 根据设计要求,确定状态数目,选择状态编码,列写状态转换表。

(2) 确定触发器类型,选择每个触发器的时钟信号,求时钟方程、驱动方程和输出方程。

(3) 画出逻辑电路图或波形图。

## 二、重点与难点

### 重点:

#### 1. 触发器的特点及分析

在数字系统设计中,触发器是一个重要的元件,因为它是组成各种时序电路的基本单元,也是分析设计时序电路的基础。

#### 2. 触发器逻辑功能的分类及其优缺点

按照逻辑功能的不同,触发器分为  $RS$ 、 $JK$ 、 $D$  触发器等,通过分析各类触发器的优缺点,深入了解、掌握并灵活应用各类触发器。

#### 3. 触发器功能描述

要求能用特征表、激励表、特征方程及状态转换图描述和分析触发器的功能。分析边沿结构触发器和主从结构触发器的电路结构,掌握各种触发器的逻辑功能。

#### 4. 时序逻辑电路的概念

时序逻辑电路的次态由电路的输入信号和电路的初态共同决定。同组合逻辑电路相比,时序逻辑电路在电路结构、逻辑功能以及描述方法上都不相同。

#### 5. 同步时序电路的设计

时序逻辑电路在数字系统中起着非常重要的作用,熟练地设计出符合要求的电路是数字电子技术学习的目标之一。现代电子系统的集成度越来越高,功能越来越强,系统设计者必须具有同步时序电路设计的基础。

#### 6. 异步时序电路的分析

分析电路的能力是数字电子技术课程学习的重要内容之一,无论是同步时序电路,还是异步时序电路,分析方法是灵活的,可以按照分析步骤一步一步进行,也可根据实际情况省去其中的一步或几步。

### 难点:

#### 1. 正确理解触发器的电路结构及逻辑功能

电路结构以维持阻塞和主从结构为代表,逻辑功能以  $D$  和  $JK$  触发器为代表。

#### 2. 根据输入波形画触发器的输出波形

触发器输出波形分析时应注意以下几个问题:

### (1) 异步置位信号和异步复位信号

由于异步信号不受其他信号的约束,因此分析输出波形时应特别注意。这些信号多为低有效,但是不排除高有效的置位和复位信号,在少数情况下,有同步置位和同步复位信号。

### (2) 时钟信号( $CP$ )

时钟信号有上升沿有效,也有下降沿有效,应注意电路符号的标识。

### (3) 触发器的激励信号

确定异步信号无效、时钟边沿有效后,才能根据给定触发器的逻辑功能确定输出波形。

## 3. 同步时序电路的分析与设计方法

这里介绍的同步时序电路的分析与设计方法不仅适合于中、小规模集成电路,同时也是今后进一步深入学习大规模集成电路和复杂数字系统的基础。

## 4. 异步时序电路的分析与设计

异步时序电路的分析与设计虽然不是课程的重点,但还是应该建立异步时序电路的分析与设计的概念,全面了解时序电路。

## 三、考核题型与考核重点

### 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

建议分配的分数为 3 ~ 6 分。

### 2. 分析与设计

题型 1 为根据组合和时序混合的综合电路,分析得出状态转换图或时序图,描述其功能。

题型 2 为根据给定的逻辑功能,设计出符合要求的时序电路。

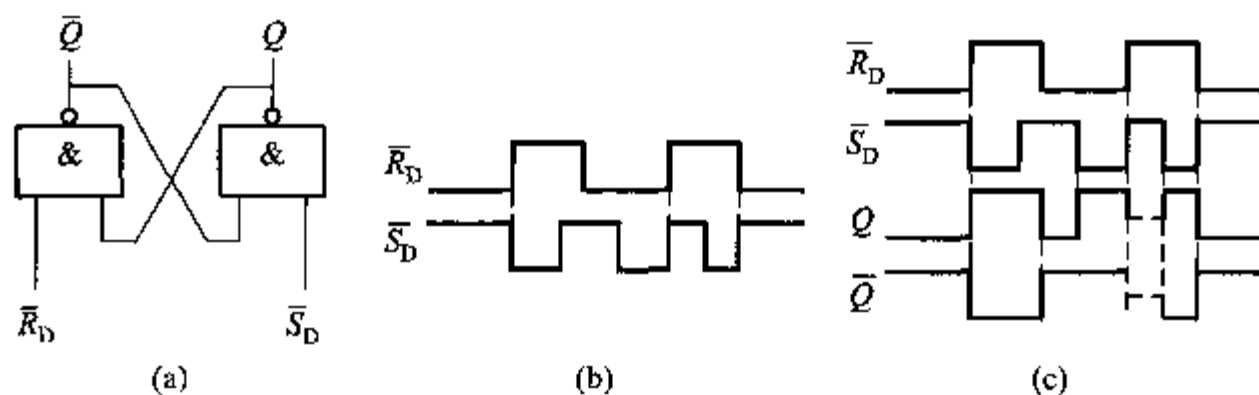
建议分配的分数为 8 ~ 12 分。

## 第二节 典型题解

**例题 4.1** 由两个与非门组成的基本  $RS$  触发器电路如例题 4.1 图(a)所示,已知输入信号波形如例题 4.1 图(b)所示,试给出该触发器的特征方程并画出触发器  $Q$ 、 $\bar{Q}$  端波形。

**解:** 基本  $RS$  触发器的特征方程为

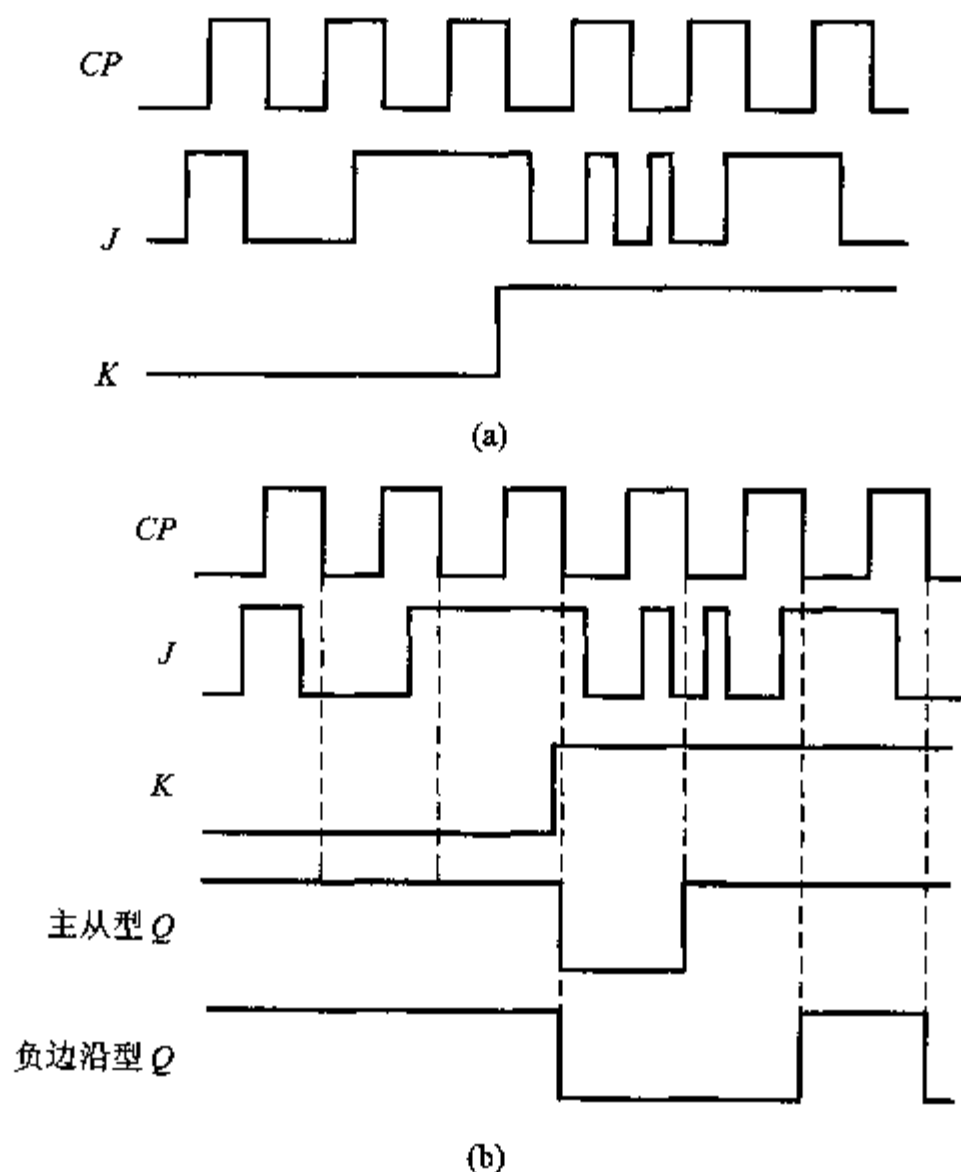
$$\begin{cases} Q_{n+1} = S_D + \bar{R}_D Q_n \\ \bar{R}_D + \bar{S}_D = 1 \end{cases}$$



例题 4.1 图

根据特征方程或特性表、输入信号波形,画触发器  $Q$ 、 $\bar{Q}$  端波形如例题 4.1 图(c)所示。在画波形的过程中,特别要注意的是,当  $\bar{S}_D$ 、 $\bar{R}_D$  同时为低电平时,  $Q$  和  $\bar{Q}$  同时变为 1,如果  $\bar{S}_D$ 、 $\bar{R}_D$  同时由 0 变成 1,  $Q$  及  $\bar{Q}$  的状态无法确定。在其他  $\bar{S}_D$ 、 $\bar{R}_D$  的取值情况下,  $Q$  和  $\bar{Q}$  互为反状态。

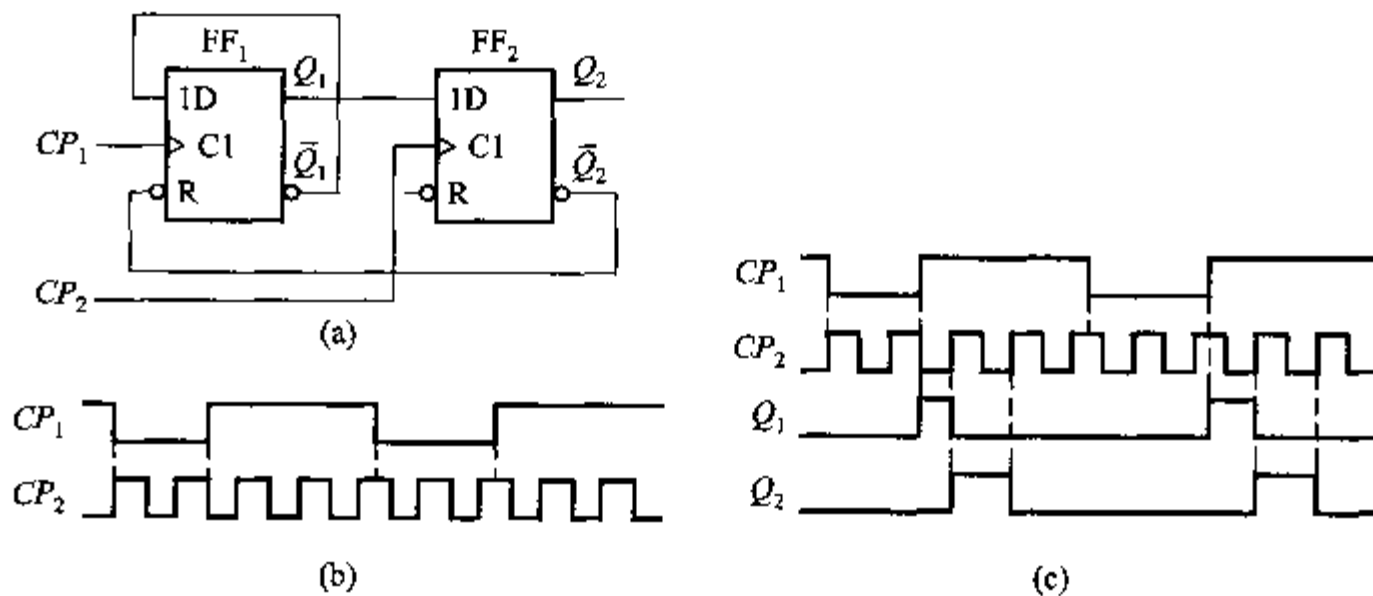
例题 4.2  $JK$  触发器的输入波形如例题 4.2 图(a)所示,分别画出主从  $JK$  触发器和负边沿  $JK$  触发器输出  $Q$  端波形,初态为 1。



例题 4.2 图

解：主从  $JK$  触发器和边沿  $JK$  触发器的区别在于前者有一次变化问题，后者没有。因此在  $CP=1$  期间， $J$ 、 $K$  信号有改变时，主从  $JK$  触发器有一次变化问题。在  $CP=1$  期间， $J$ 、 $K$  信号没有改变的情况下，则利用触发器的特征方程分析触发器输出  $Q$  端波形，分析结果如例题 4.2 图(b)所示。

例题 4.3 已知维持阻塞  $D$  触发器组成的电路如例题 4.3 图(a)所示，电路输入波形如例题 4.3 图(b)所示，试画出触发器输出端  $Q_1$  和  $Q_2$  的波形，设触发器的初态为 0。



例题 4.3 图

解：该电路的波形分析应注意以下几个方面的问题：

(1) 两个触发器的时钟分别由两个不同的时钟信号控制，因此两个触发器不是同时翻转， $Q_1$ 、 $Q_2$  分别在  $CP_1$  和  $CP_2$  的上升沿翻转。

(2) 触发器  $FF_1$  的异步清零端  $R$  端与另一触发器的  $\bar{Q}_2$  相连，因此，当  $Q_2 = 1$  时， $Q_1$  清零。

(3) 触发器  $FF_1$  接成计数状态， $D_1 = \bar{Q}_1$ ，触发器  $FF_2$  受  $Q_1$  控制， $D_2 = Q_1$ 。

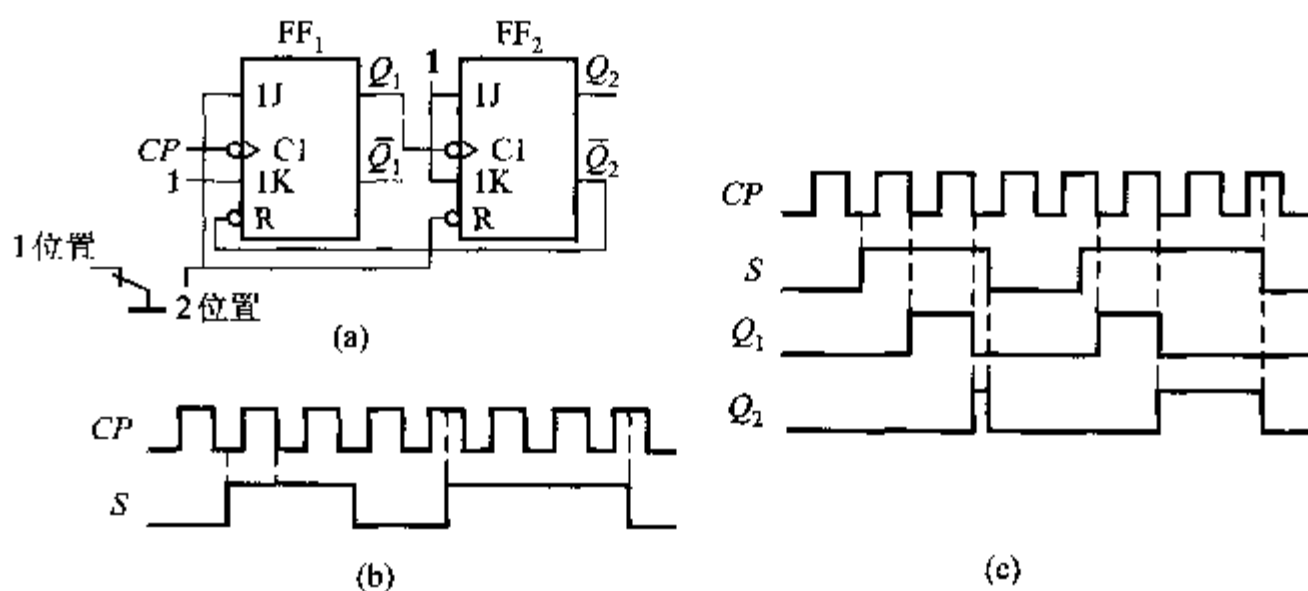
$Q_1$  和  $Q_2$  的波形如例题 4.3 图(c)所示。

例题 4.4 数字系统中常需要一种被称为单脉冲发生器的装置，例题 4.4 图(a)是一个用  $JK$  触发器组成的单脉冲发生器，用按钮  $S$  控制脉冲信号的产生。试分析该电路的功能，若输入信号波形如例题 4.4 图(b)所示，画出  $Q_1$ 、 $Q_2$  波形。

解：(1) 未按按钮时，按钮  $S$  在 1 位置。此时， $J_1 = 0$ 、 $K_1 = 1$ ， $Q_1 = 0$ ； $\bar{R}_2 = 0$ ， $Q_2 = 0$ ，不产生单脉冲。

(2) 按动按钮时，按钮  $S$  在 2 位置。

在按动按钮后的第一个时钟信号  $CP$  下降沿作用下， $J_1 = 1$ 、 $K_1 = 1$ ， $Q_1$  翻转， $Q_1$  由 0 变为 1， $Q_1$  有上升沿， $Q_2$  不会改变， $Q_2 = 0$ 。

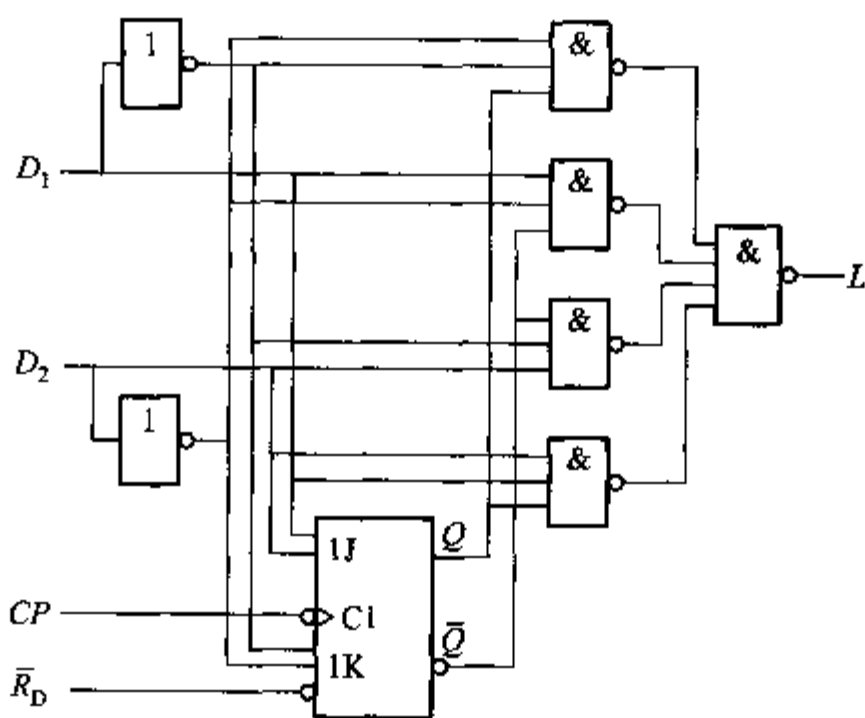


例题 4.4 图

在第二个时钟信号  $CP$  的下降沿作用下,  $J_1 = 1$ 、 $K_1 = 1$ ,  $Q_1$  继续翻转,  $Q_1$  由 1 变为 0,  $Q_1$  有下降沿, 由于  $J_2 = 1$ 、 $K_2 = 1$ ,  $Q_2$  改变, 由 0 变为 1。又由于  $\bar{Q}_2$  与  $\bar{R}_1$  相连, 当  $Q_2$  由 0 变为 1 时, 在  $\bar{Q}_2$  端产生一个清零信号, 使  $Q_1$  清零不再改变。

结论: 每按动一次按钮, 在  $Q_1$  端就会产生一个单脉冲, 脉冲宽度与  $CP$  时钟信号周期相同。  $Q_1$ 、 $Q_2$  波形如例题 4.4 图(c)所示。

例题 4.5 试分析例题 4.5 图所示电路, 求电路的状态转换表, 说明电路的功能。



例题 4.5 图

解: (1) 写出电路的驱动方程和输出方程

$$\begin{cases} J = D_1 D_2 \\ K = \bar{D}_1 \bar{D}_2 \end{cases}$$

$$L = \overline{D_1} \overline{D_2} Q + D_1 \overline{D_2} \overline{Q} + \overline{D_1} D_2 \overline{Q} + D_1 D_2 Q$$

(2) 根据触发器的特性方程求电路的状态方程

$$Q_{n+1} = D_1 D_2 \overline{Q} + \overline{D_1} \overline{D_2} Q$$

(3) 根据状态方程和输出方程计算得到电路的状态转换表如例题 4.5 表所示。

例题 4.5 表

输 入		初 态	次 态	输 出
$D_1$	$D_2$	$Q_n$	$Q_{n+1}$	$L$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

(4) 结论：如果将输入信号  $D_1$ 、 $D_2$  看作是两个加数，将  $Q_n$  看作是低位来的进位位， $Q_{n+1}$  看作是进位位输出， $L$  看作是和，则该电路可以看作是一个串行进位的加法器电路。实现加法运算时，由低位向高位逐次输入，进位信号由触发器保存，留给高一位加法运算时使用。

例题 4.6 试分析例题 4.6 图(a)所示电路，画出电路的全状态转换图，说明电路的功能。

解：该电路是异步时序电路，要列写时钟方程，分析时应注意在时钟信号成立的条件下，再计算状态的变化。

(1) 写出电路的驱动方程和时钟方程

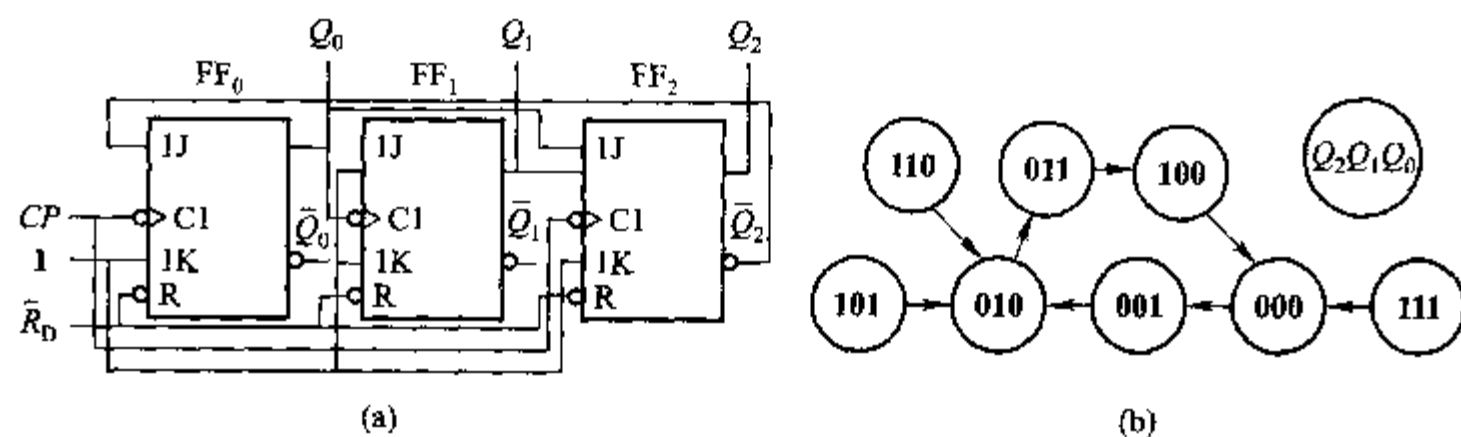
$$\begin{cases} J_0 = \overline{Q_2} & K_0 = 1 \\ J_1 = 1 & K_1 = 1 \\ J_2 = Q_1 Q_0 & K_2 = 1 \end{cases} \begin{cases} CP_0 = CP \\ CP_1 = Q_0 \\ CP_2 = CP \end{cases}$$

(2) 根据触发器的特性方程求电路的状态方程



$$\begin{cases} Q_{0n+1} = \bar{Q}_2 \bar{Q}_0 \\ Q_{1n+1} = \bar{Q}_1 \\ Q_{2n+1} = Q_1 Q_0 \bar{Q}_2 \end{cases}$$

(3) 根据状态方程和时钟方程计算得到电路的全状态转换表如例题 4.6 表所示,画出状态转换图如例题 4.6 图(b)所示。



例题 4.6 图

例题 4.6 表

时 钟	初 态			次 态		
CP	$Q_{2n}$	$Q_{1n}$	$Q_{0n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Q_{0n+1}$
1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	1	0
7	1	1	0	0	1	0
8	1	1	1	0	0	0

(4) 结论: 该电路是一个能自启动的五进制异步计数器。

例题 4.7 试用下降沿 JK 触发器设计一个 3 位同步二进制加法计数器。

解: 根据题意,列出状态转换表,再根据 JK 触发器的激励表如例题 4.7 表(a)所示,填写各触发器 JK 信号的取值,如例题 4.7 表(b)所示。

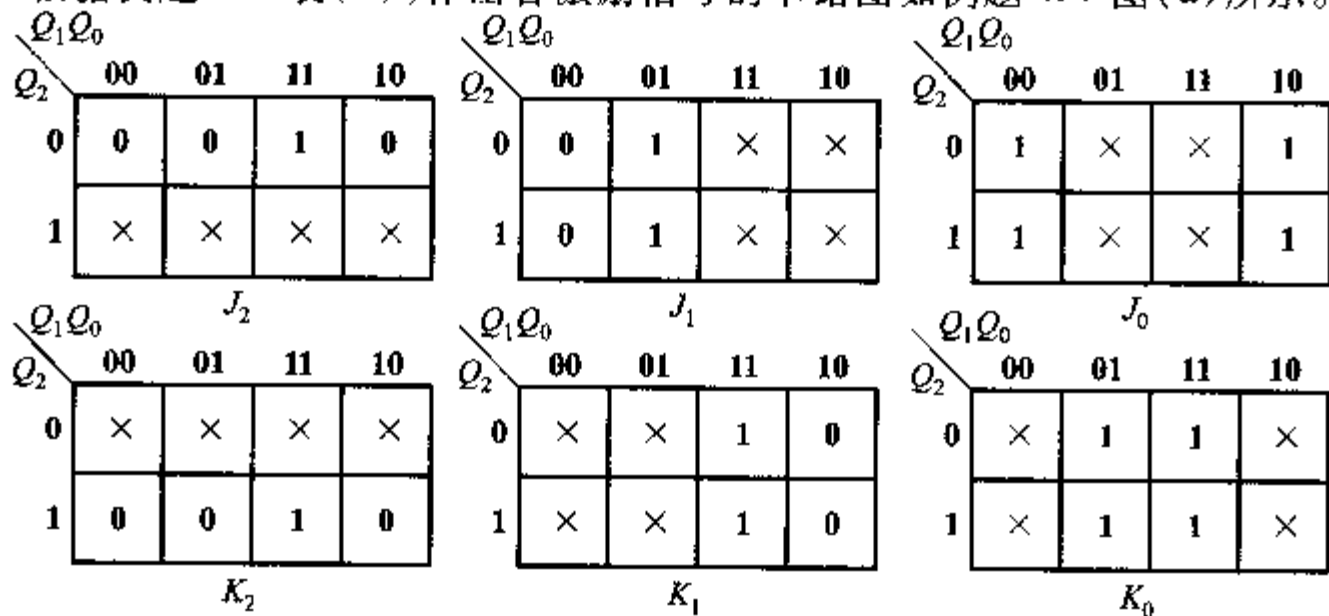
例題 4.7 表 (a)

$Q_n$	$Q_{n+1}$	$J$	$K$
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

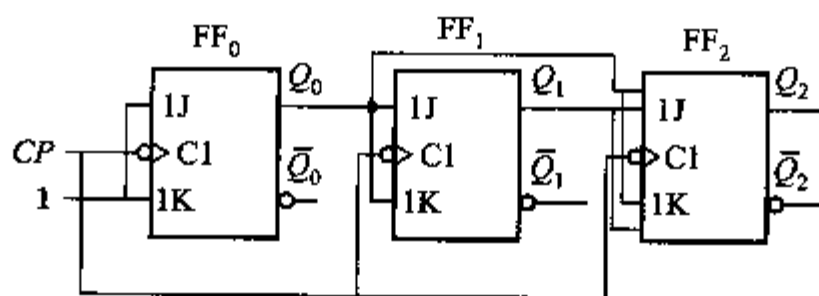
例題 4.7 表 (b)

初 态			次 态			驱 动 信 号					
$Q_{2n}$	$Q_{1n}$	$Q_{0n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Q_{0n+1}$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	×	0	×	1	×
0	0	1	0	1	0	0	×	1	×	×	1
0	1	0	0	1	1	0	×	×	0	1	×
0	1	1	1	0	0	1	×	×	1	×	1
1	0	0	1	0	1	×	0	0	×	1	×
1	0	1	1	1	0	×	0	1	×	×	1
1	1	0	1	1	1	×	0	×	0	1	×
1	1	1	0	0	0	×	1	×	1	×	1

根据例題 4.7 表 (b), 作出各激励信号的卡诺图如例題 4.7 图 (a) 所示。



(a)



(b)

例題 4.7 图

由卡诺图求该电路的驱动方程

$$\begin{cases} J_2 = K_2 = Q_1 Q_0 \\ J_1 = K_1 = Q_0 \\ J_0 = K_0 = 1 \end{cases}$$

根据触发器的驱动方程画出逻辑图如例题 4.7 图(b)所示。

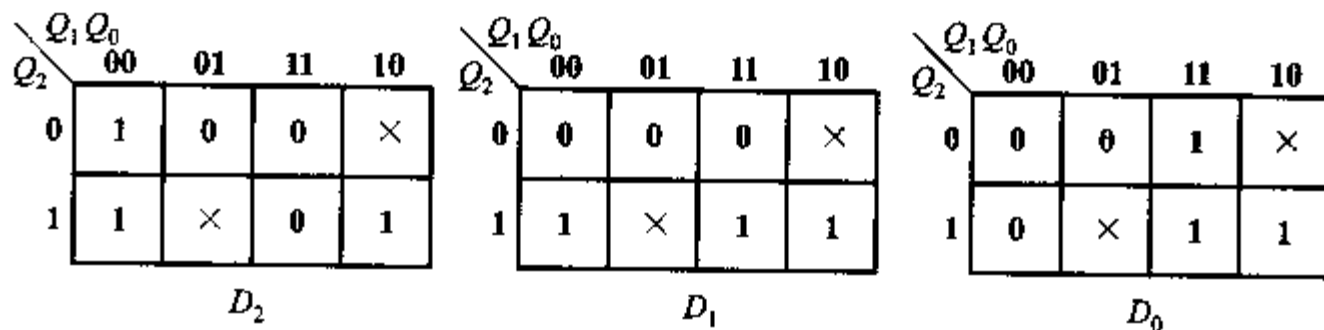
**例题 4.8** 试用  $D$  触发器设计一个按下列规律进行状态转换的同步计数器： $Q_2 Q_1 Q_0 = 0, 4, 6, 7, 3, 1$ , 再返回到 0, 画出逻辑图和波形图。

解：根据题意，列出状态转换表，再根据  $D$  触发器的激励表，填写各触发器  $D$  信号的取值，如例题 4.8 表所示。

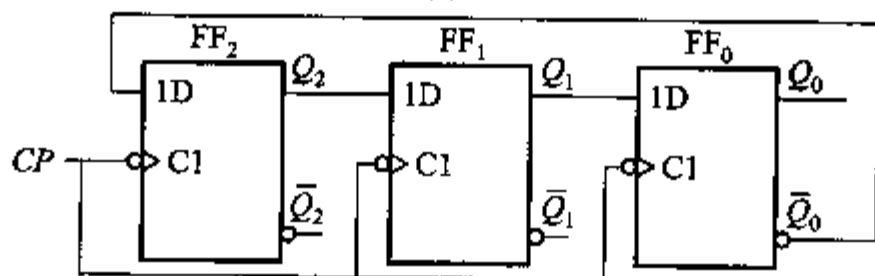
例题 4.8 表

初 态			次 态			驱 动 信 号		
$Q_{2n}$	$Q_{1n}$	$Q_{0n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Q_{0n+1}$	$D_2$	$D_1$	$D_0$
0	0	0	1	0	0	1	0	0
1	0	0	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	0	1
0	0	1	0	0	0	0	0	0

根据例题 4.8 表，作出各激励信号的卡诺图如例题 4.8 图(a)所示。



(a)



(b)

例题 4.8 图

由卡诺图求该电路的驱动方程

$$\begin{cases} D_2 = \bar{Q}_0 \\ D_1 = Q_2 \\ D_0 = Q_1 \end{cases}$$

根据触发器的驱动方程画出逻辑图如例题 4.8 图(b)所示。

### 第三节 题 解

#### 自我检测题解

题 4.1 答: 具有两个稳定状态, 能够存储 1 位二值信息的基本单元叫触发器。

题 4.2 答: 触发器有 2 个稳定状态, 它可记录 1 位二进制代码。若要存储 8 位二进制信息需要 8 个触发器。

题 4.3 答: 下列触发器中对输入信号没有约束条件的是 C、D。

(A) 基本 RS 触发器

(B) 主从 RS 触发器

(C) 主从 JK 触发器

(D) 边沿 D 触发器

题 4.4 答: 或非门构成的基本 RS 触发器, 若要使触发器保持原态, 则输入信号为 A。

(A)  $R = S = 0$

(B)  $R = S = 1$

(C)  $R = 0, S = 1$

(D)  $R = 1, S = 0$

题 4.5 答: 对于 JK 触发器, 如果令  $J = K$ , 则 JK 触发器可以完成 T 触发器的逻辑功能; 若令  $J = \bar{K}$ , 则可完成 D 触发器的逻辑功能。

题 4.6 答: 主从 JK 触发器电路状态变化通常发生在 B。

(A) CP 上升沿

(B) CP 下降沿

(C) 在 CP = 1 时

(D) 在 CP = 0 时

题 4.7 答: 维持阻塞 D 触发器是 A。

(A) CP 上升沿触发

(B) CP 下降沿触发

(C) 在 CP = 1 时触发

(D) 在 CP = 0 时触发

题 4.8 答: 对于 D 触发器, 如果令  $D = \bar{Q}$ , 则 D 触发器可以完成计数触发器的逻辑功能。

题 4.9 答: 写出 JK 触发器、D 触发器、T 触发器、RS 触发器的特征方程。

JK 触发器特征方程:  $Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$

D 触发器特征方程:  $Q_{n+1} = D$

T 触发器特征方程:  $Q_{n+1} = T \bar{Q}_n + \bar{T} Q_n$

RS 触发器特征方程: 
$$\begin{cases} Q_{n+1} = S + \bar{R} Q_n \\ SR = 0 \end{cases}$$

题 4.10 答: 边沿触发器与主从触发器相比, 解决了抗干扰问题。

题 4.11 答: 时序逻辑电路一般由存储电路和组合电路两部分组成。

题 4.12 答: 时序逻辑电路可以分为异步时序逻辑电路和同步时序逻辑电路两大类。

题 4.13 答: 全面描述一个时序电路的逻辑功能有三个方程组, 分别是输出方程、驱动方程和状态方程。

题 4.14 答: 有四个 JK 触发器, R 和 S 无效, J 和 K 接高电平, 第一个 JK 触发器的时钟接外加时钟信号, 其输出 Q 端作为第二个 JK 触发器的时钟, 第二个的输出 Q 端作为第三个 JK 触发器的时钟, 第三个的输出 Q 端作为第四个 JK 触发器的时钟, 且每个 JK 触发器时钟为下降沿有效, 电路完成加法计数器功能。若每个 JK 触发器时钟为上升沿有效, 电路完成减法计数器功能。

题 4.15 答: 指出下列哪种电路结构类型的触发器能构成移位寄存器, 哪些不能构成移位寄存器。如果能够, 请在 ( ) 内画“√”, 否则画“×”。

- (A) 基本 RS 触发器(×)
- (B) 同步 RS 触发器(×)
- (C) 主从结构触发器(√)
- (D) 维持阻塞触发器(√)
- (E) 用 CMOS 传输门组成的边沿触发器(√)

题 4.16 答: 同步计数器和异步计数器比较, 同步计数器的显著优点是 A。

- (A) 工作速度高
- (B) 触发器利用率高
- (C) 电路简单
- (D) 不受 CP 时钟控制

### 思考题题解

题 4.1 与非门构成的基本 RS 触发器, 在什么情况下, 触发器出现不定状态?

答: 与非门构成的基本 RS 触发器, 在  $\bar{R}_D = \bar{S}_D = 0$  的情况下, 触发器出现不定状态。

题 4.2 下降沿触发的主从触发器, 相对于时钟信号而言输入激励信号在什么时刻前加入, 输出信号能获得稳定的输出?

答: 下降沿触发的主从触发器, 相对于时钟信号 CP 而言输入激励信号在 CP 上升沿到来之前加入, 且一直保持到 CP 下降沿到来之后, 输出信号才能获得稳定的输出。

题 4.3 边沿触发器与主从触发器比较, 具有哪些主要优点?

答: 边沿触发器与主从触发器比较, 具有较强的抗干扰能力, 可靠性高。边

沿触发器只要求激励信号在时钟触发边沿的前后几个延迟时间内保持不变,触发器就可以稳定地工作。

题 4.4 如果按照电路结构分类,触发器可以分为哪几类?

答:如果按照电路结构分类,触发器可以分为基本 RS 触发器、同步 RS 触发器、主从触发器、边沿触发器等几类。

题 4.5 为什么 RS 触发器具有约束条件?

答:因为当 RS 触发器的激励信号同时从有效变为无效时,触发器的状态不能确定,所以对 RS 触发器提出了不能使用的约束条件。

题 4.6 如何利用 JK 触发器构成 T 触发器?

答:令 JK 触发器激励信号  $J = K$ , JK 触发器可以完成 T 触发器的逻辑功能。

题 4.7 如何利用 D 触发器构成 JK 触发器?

答:令 D 触发器的激励信号  $D = J \bar{Q}_n + \bar{K} Q_n$ , D 触发器可以完成 JK 触发器的逻辑功能。

题 4.8 触发器逻辑功能的描述方法有哪几种?

答:触发器逻辑功能的描述方法有特征表、特征方程、状态转换图和激励表等。

题 4.9 时序逻辑电路与组合逻辑电路的主要区别是什么?

答:时序逻辑电路具有记忆功能,能保存电路原来的输入状态;而组合逻辑电路没有记忆功能不能记忆电路原来的输入状态。

题 4.10 同步时序逻辑电路与异步时序逻辑电路的主要区别是什么?

答:同步时序电路是在同一个时钟脉冲作用下,所有触发器的状态同时发生变化;而异步时序电路没有统一的时钟脉冲,触发器的状态变化有先有后。

题 4.11 描述时序电路逻辑功能的方法有哪几种?它们之间有何关系?

答:描述时序电路逻辑功能的方法有状态转换图、状态转换表和时序图等,它们之间可以互相转换。

题 4.12 状态转换表和状态转换图是如何构成的?

答:状态转换表用表格的方式表示输入与状态转换之间的关系。状态转换图用图形方式表示输入与状态转换之间的关系,简称状态图。

状态转换表由几列数据组成:输入信号、现态、次态和输出。首先将触发器的输入以及现态的全部组合列入表内,再将输入和现态的取值代入状态方程,求出触发器的次态;代入输出方程,求时序电路的输出,将次态与输出填入表内构成状态表。

状态转换图由以下方法构成:圆圈内填写状态的具体取值,状态转换的方向用带箭头的弧线表示,箭尾表示初态,箭头指向次态,弧线旁注明状态转换时输入信号的要求,状态转换图可以更加形象地描述时序电路的状态转换过程。

题 4.13 时序逻辑电路的分析步骤大致分为哪几步?

答: 同步时序电路的分析步骤大致分为以下几步:

1. 根据给定的同步时序电路列写输出方程、各触发器的驱动方程。
2. 将触发器的驱动方程代入对应触发器的特征方程, 求时序电路的状态方程。
3. 根据时序电路的输出方程和状态方程, 计算时序电路的状态转换表, 画出状态转换图或时序图。描述时序电路状态转换的方式可以是这三种形式中的任何一种。
4. 根据上述分析结果, 用文字描述给定同步时序电路的逻辑功能。

题 4.14 异步时序电路与同步时序电路比较, 分析方法有哪些不同?

答: 同步时序电路有统一的时钟信号, 在时钟脉冲作用下电路中所有触发器状态同时改变, 因此触发器的次态由激励信号和现态决定。由于异步时序电路没有统一的时钟信号, 分析异步时序电路时, 首先要看各触发器的时钟信号是否有效, 当时钟信号有效时, 再由激励信号和现态计算触发器次态的变化。

题 4.15 同步时序电路的设计步骤大致分为哪几步?

答: 设计同步时序电路的步骤大致分为以下几步:

1. 根据给定的逻辑功能建立原始状态转换图  
分析给定的逻辑问题, 定义输入变量、输出变量以及电路的状态。根据实际的逻辑问题, 分析每一种输入信号情况下的状态变化和相应的输出, 构成原始状态转换图或状态转换表。

#### 2. 状态化简

原始状态转换图不一定是简状态转换图, 可能包含多余的状态, 需要进行状态的化简, 求出最小化的状态转换图或状态转换表。

#### 3. 状态编码

对化简后的状态转换表中每一个状态用一个二进制代码来表示, 即进行状态编码。

#### 4. 选择触发器

选择触发器的类型, 根据选定触发器的类型, 求驱动方程和输出方程。

#### 5. 画逻辑电路图

#### 6. 画全状态转换图

全状态转换图指的是包含触发器所有状态组合的转换图。画全状态转换图, 检查是否符合设计要求, 电路能否自启动。

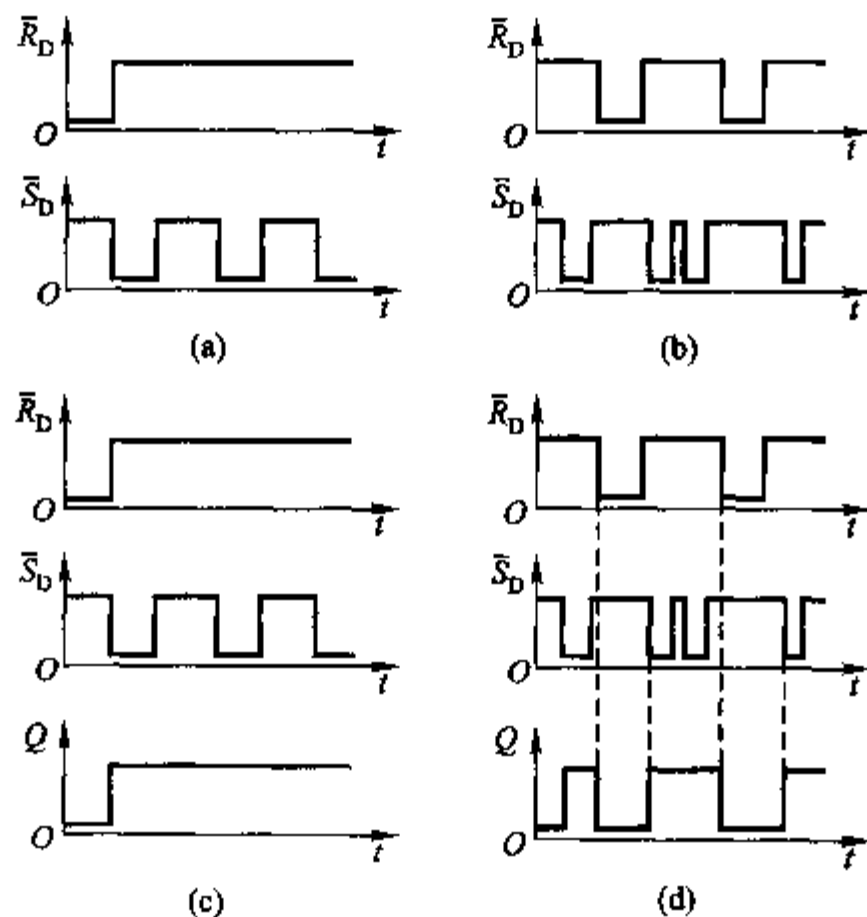
题 4.16 什么是等价状态?

答: 两个状态如果符合下述条件: (1) 在相同的输入条件下具有相同的输出; (2) 在相同的输入条件下次态也等价; 则称这两个状态为等价状态。

## 习题题解

习题 4.1 与非门组成的基本  $RS$  触发器, 当在  $\bar{R}_D$  和  $\bar{S}_D$  端加习题 4.1 图 (a) 和 (b) 所示波形时, 试分别绘出  $Q$  的波形, 设触发器的初态为 0。

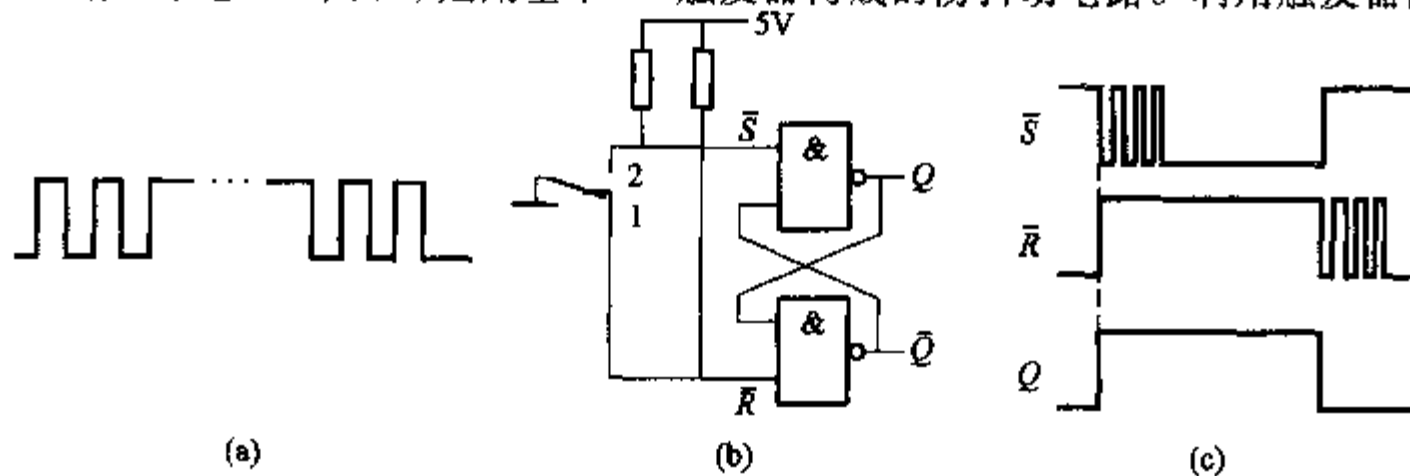
解: 根据与非门组成的基本  $RS$  触发器特征表以及输入信号波形, 画出  $Q$  的波形如习题 4.1 图 (c) 和 (d) 所示。



习题 4.1 图

习题 4.2 试用基本  $RS$  触发器构造一个消除机械开关抖动的电路, 分析该电路原理, 机械开关产生的波形如习题 4.2 图 (a) 所示。

解: 习题 4.2 图 (b) 是用基本  $RS$  触发器构成的防抖动电路。利用触发器的



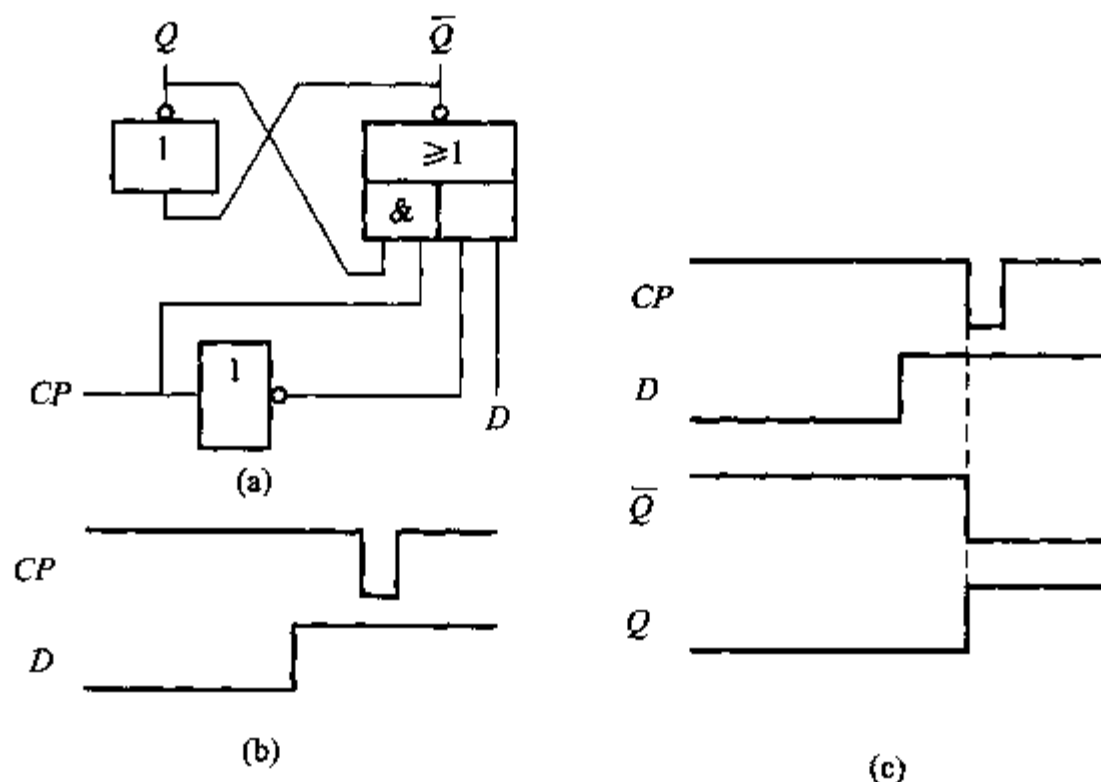
习题 4.2 图



存储功能,在触发器的输出端不再有抖动现象。

如习题 4.2 图(b)所示,当开关拨向 1 端,  $\bar{S} = 1$ 、 $\bar{R} = 0$ , 触发器置 0。当开关由 1 端拨向 2 端,  $\bar{S} = 0$ 、 $\bar{R} = 1$ , 触发器置 1。如果由于开关的抖动,  $\bar{S}$  在 0 和 1 之间频繁转换,  $\bar{R} = 1$  不变, 输入条件的改变不会使触发器的状态发生变化。当开关由 2 端拨向 1 端,  $\bar{S} = 1$ 、 $\bar{R} = 0$ , 触发器置 0, 当开关的抖动导致  $\bar{R}$  信号变化, 也不会影响触发器输出状态。基本 RS 触发器波形分析如习题 4.2 图(c)所示。

习题 4.3 习题 4.3 图(a)是一个锁存器逻辑图,  $D$  是输入信号,  $CP$  是锁存命令, 若  $CP$  和  $D$  的波形如习题 4.3 图(b)所示, 试绘出  $Q$  及  $\bar{Q}$  的波形。



习题 4.3 图

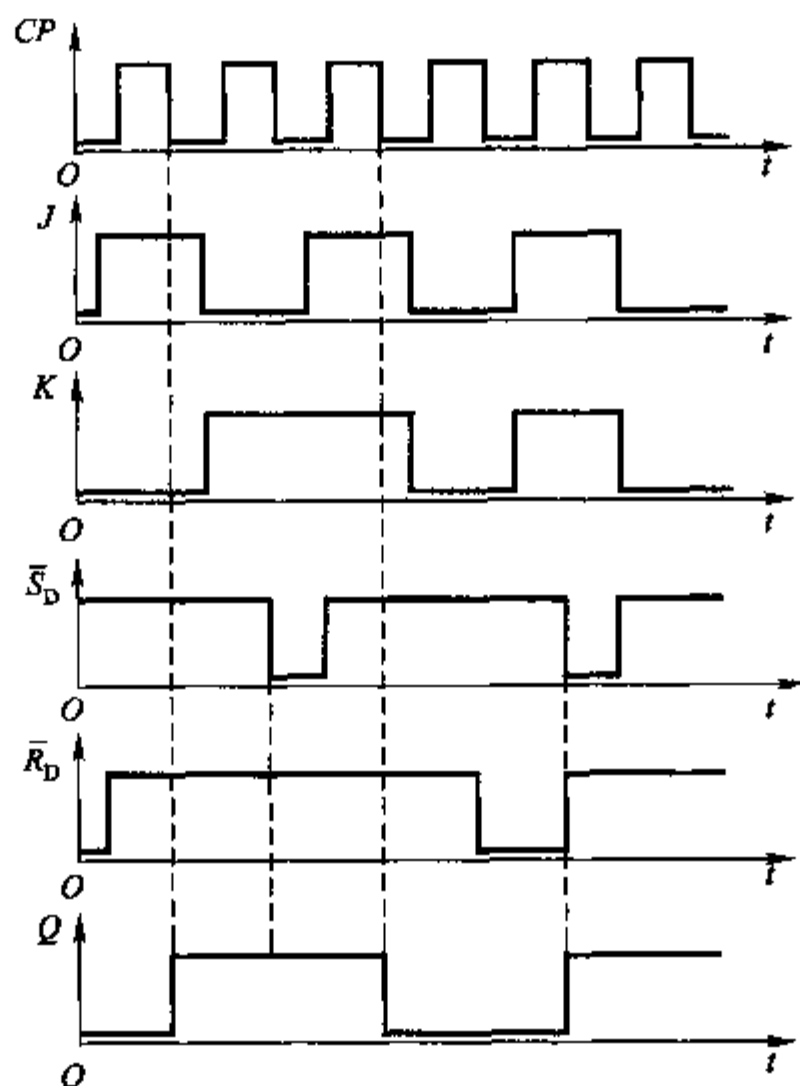
解: 分析习题 4.3 图(a)所示的锁存器逻辑图, 当锁存命令  $CP = 1$ , 输入信号  $D$  被封锁, 锁存器的输出状态保持不变; 当锁存命令  $CP = 0$ , 锁存器输出  $\bar{Q} = D$ 、 $Q = \bar{D}$ ; 当锁存命令  $CP$  出现上升沿, 输入信号  $D$  被封锁。

根据上述分析, 画出锁存器输出  $Q$  及  $\bar{Q}$  的波形如习题 4.3 图(c)所示。

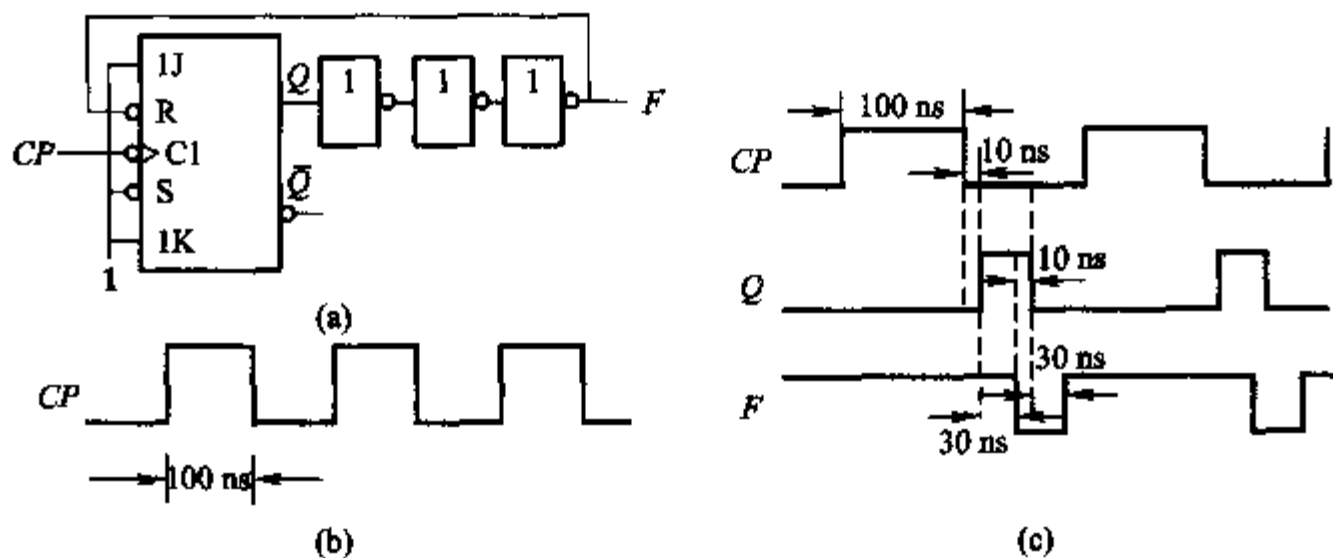
习题 4.4 习题 4.4 图是作用于某主从 JK 触发器  $CP$ 、 $J$ 、 $K$ 、 $\bar{R}_0$  及  $\bar{S}_0$  端的信号波形图, 试绘出  $Q$  端的波形图。

解: 主从 JK 触发器的  $\bar{R}_0$ 、 $\bar{S}_0$  端为异步清零和复位端, 且为低有效。只有当  $\bar{R}_0 = \bar{S}_0 = 1$  时, 在  $CP$  下降沿的作用下,  $J$ 、 $K$  决定输出  $Q$  状态的变化。  $Q$  端的波形如习题 4.4 图所示。

习题 4.5 习题 4.5 图(a)是由一个主从 JK 触发器及三个非门构成的“冲息电路”, 习题 4.5 图(b)是时钟  $CP$  的波形, 假定触发器及各个门的平均延迟时间都是 10 ns, 试绘出输出  $F$  的波形。



习题 4.4 图



习题 4.5 图

解：由习题 4.5 图(a)所示的电路连接可知： $\bar{S}_D = J = K = 1$ ,  $\bar{R}_D = F$ 。当  $\bar{R}_D = 1$  时，在  $CP$  下降沿的作用下，且经过 10 ns，状态  $Q$  发生翻转，再经过 30 ns， $F$  发生状态的改变， $F = \bar{Q}$ 。 $\bar{R}_D = 0$  时，经过 10 ns，状态  $Q = 0$ 。根据上述对电路功能的分析，得到  $Q$  和  $F$  的波形如习题 4.5 图(c)所示。

习题 4.6 习题 4.6 图(a)是一个 1 检出电路，图(b)是  $CP$  及  $J$  端的输入波

形图,试绘出  $\bar{R}_D$  端及  $Q$  端的波形图(注:触发器是主从触发器,分析时序逻辑图时,要注意  $CP=1$  时主触发器的存储作用)。

解:分析习题 4.6 图(a)的电路连接: $\bar{S}_D=1$ 、 $K=0$ 、 $\bar{R}_D=\overline{CP \cdot Q}$ ;分段分析习题 4.6 图(b)所示  $CP$  及  $J$  端信号波形。

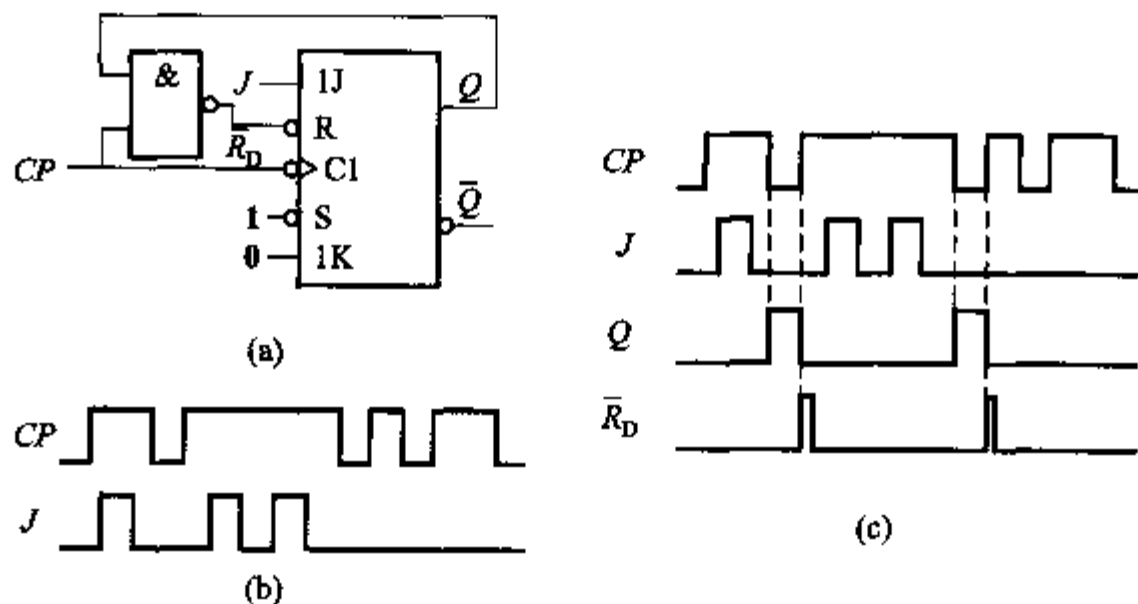
(1)  $CP=1$  时,设  $Q$  端初态为 0,则  $\bar{R}_D=1$ 。 $J$  信号出现一次 1 信号,即一次变化的干扰,且  $K=0$ ,此时  $Q$  端状态不会改变。

(2)  $CP$  下降沿到来, $Q$  端状态变为 1, $\bar{R}_D=\overline{CP}$ ,此时  $CP=0$ ,异步清零信号无效。

(3)  $CP$  出现上升沿,产生异步清零信号,使  $Q$  由 1 变为 0,在很短的时间里  $\bar{R}_D$  又恢复到 1。

(4) 同理,在第二个  $CP=1$  期间,由于  $J$  端出现 1 信号,在  $CP$  下降沿以及上升沿到来后,电路  $Q$  端和  $\bar{R}_D$  端的变化与(2)、(3)过程的分析相同,其波形如习题 4.6 图(c)所示。

结论:该电路可以实现 1 信号的检出功能。



习题 4.6 图

习题 4.7 习题 4.7 图(a)是用主从 JK 触发器构成的信号检测电路,用来检测  $CP$  高电平期间  $u_i$  是否有输入脉冲,若  $CP$ 、 $u_i$  电压如习题 4.7 图(b)所示,试画出输出电压  $u_o$  的波形。

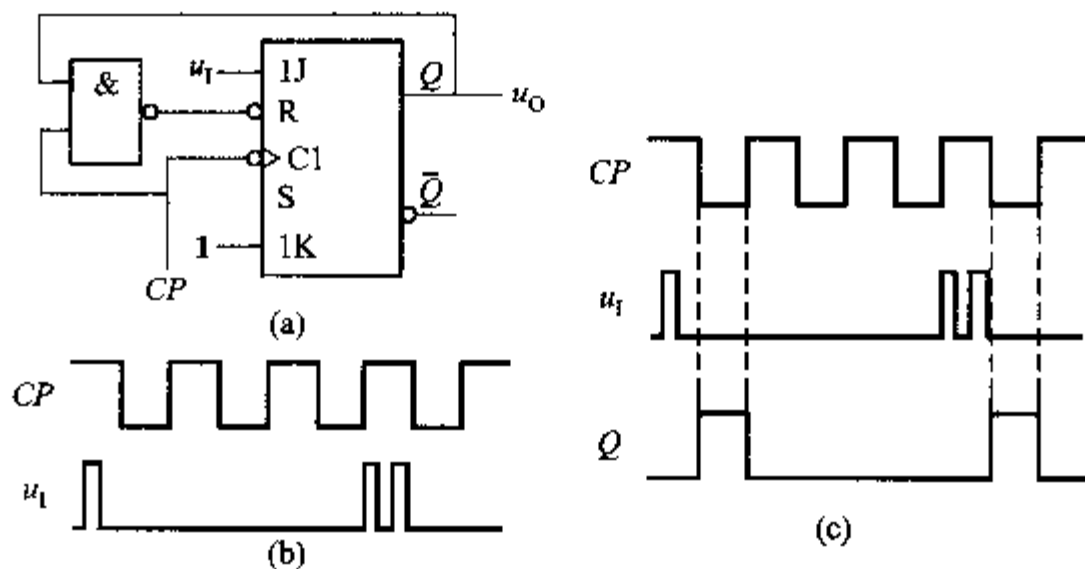
解:分析习题 4.7 图(a)的电路连接: $K=1$ 、 $J=u_i$ 、 $\bar{R}_D=\overline{CP \cdot u_o}$ 、 $u_o=Q$ ;分段分析习题 4.7 图(b)给定的信号波形。

(1)  $CP=1$  时,设  $Q$  端初态为 0,则  $\bar{R}_D=1$ 。 $u_i$  信号出现一次 1 信号,即一次变化的干扰,且  $K=1$ ,此时  $Q$  端状态不变。

(2)  $CP$  下降沿到来, $Q$  端状态由 0 变为 1, $\bar{R}_D=\overline{CP}$ ,此时  $CP=0$ ,异步清零信号无效。

(3)  $CP$  出现上升沿, 异步清零信号有效, 使  $Q$  端由 1 变为 0, 当  $Q$  变为 0 后,  $\overline{R_D}$  又恢复为 1。

(4) 同理, 在以后的  $CP = 1$  期间,  $u_1$  信号出现一次 1 信号, 在  $CP$  下降沿以及上升沿到来后, 电路  $Q$  端和  $\overline{R_D}$  端的变化与 (2)、(3) 过程的分析相同, 其波形如习题 4.7 图 (c) 所示。

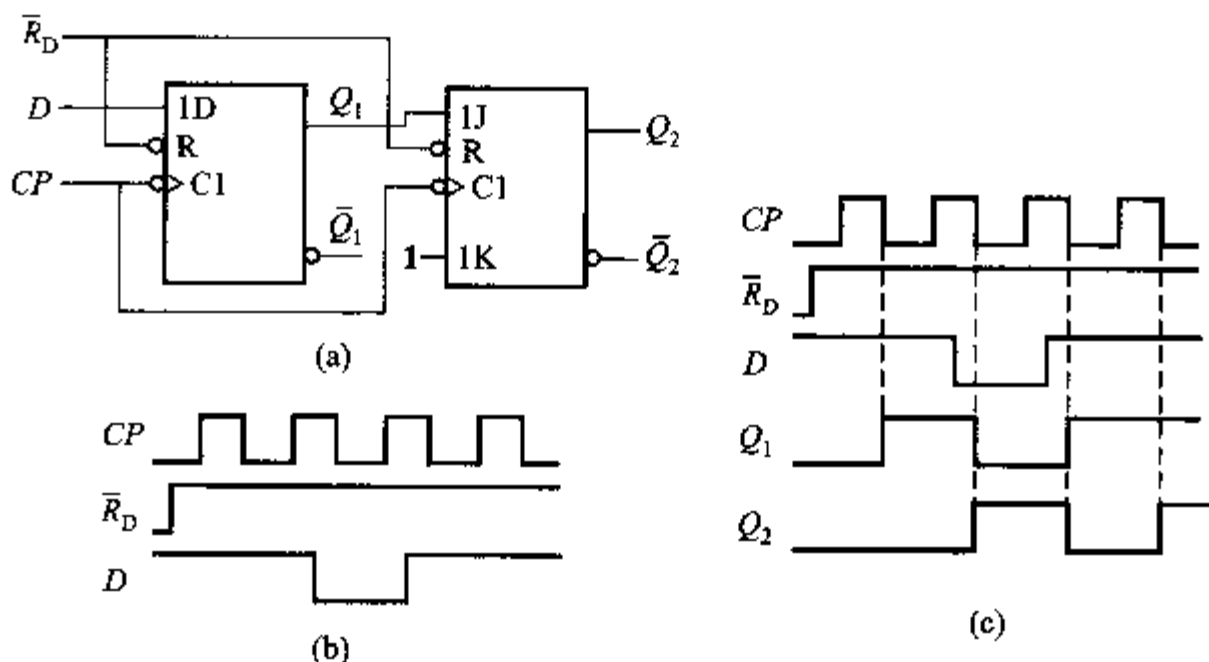


习题 4.7 图

习题 4.8 习题 4.8 图 (a) 是由一个维持阻塞  $D$  触发器及一个边沿  $JK$  触发器构成的电路, 图 (b) 是输入信号, 试绘出  $Q_1$  及  $Q_2$  的波形。

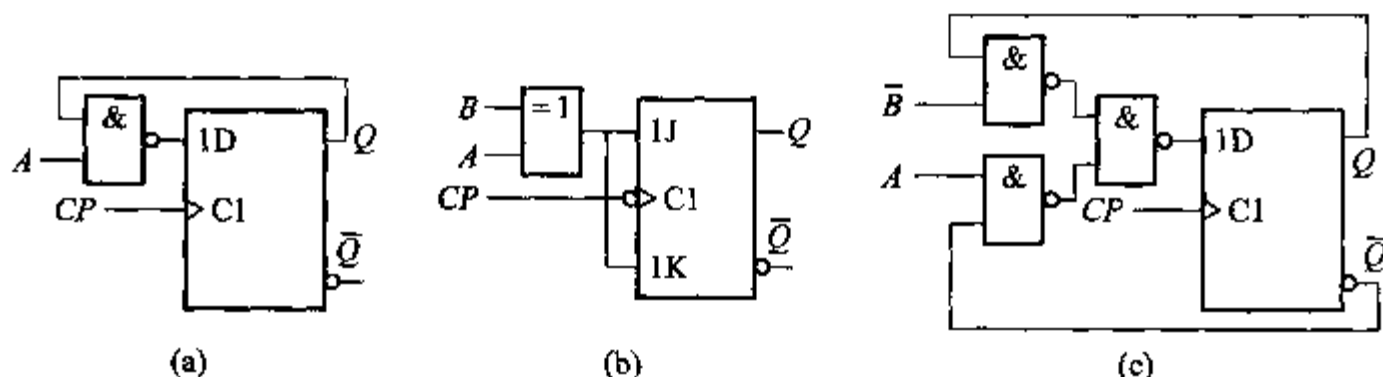
解: 分析习题 4.8 图 (a) 的电路连接: 该电路是同步电路, 由  $D$  触发器和  $JK$  触发器组成,  $D$  触发器的  $D$  端接外部输入信号,  $JK$  触发器  $J$  端与  $D$  触发器的  $Q$  端相连, 且  $K = 1$ 。

输出波形分析如习题 4.8 图 (c) 所示。



习题 4.8 图

习题 4.9 试利用触发器的特征方程式写出习题 4.9 图(a)、(b)、(c)中各触发器次态输出  $Q_{n+1}$  与现态  $Q_n$  和  $A$ 、 $B$  之间的逻辑函数式。



习题 4.9 图

解：习题 4.9 图(a)由  $D$  触发器组成， $D$  触发器的特征方程为： $Q_{n+1} = D$ ，根据电路连接  $D = \overline{A}Q_n$ ，将  $D$  代入特征方程，因此触发器次态  $Q_{n+1}$  与现态  $Q_n$  和  $A$  之间的逻辑函数式为

$$Q_{n+1} = \overline{A}Q_n$$

习题 4.9 图(b)由  $JK$  触发器组成， $JK$  触发器的特征方程为： $Q_{n+1} = J\overline{Q}_n + \overline{K}Q_n$ ，根据电路连接  $J = K = A \oplus B$ ，将  $J$ 、 $K$  代入特征方程，因此触发器次态输出  $Q_{n+1}$  与现态  $Q_n$  和  $A$ 、 $B$  之间的逻辑函数式为

$$Q_{n+1} = (A \oplus B)\overline{Q}_n + \overline{A \oplus B}Q_n$$

习题 4.9 图(c)由  $D$  触发器组成，根据电路连接  $D = \overline{\overline{B}Q_n \cdot A\overline{Q}_n}$ ，将  $D$  代入特征方程，因此触发器次态输出  $Q_{n+1}$  与现态  $Q_n$  和  $A$ 、 $B$  之间的逻辑函数式为

$$Q_{n+1} = \overline{\overline{B}Q_n \cdot A\overline{Q}_n} = \overline{B}Q_n + A\overline{Q}_n$$

习题 4.10 设习题 4.10 图中各触发器初始状态为 0，试画出各触发器在  $CP$  作用下  $Q$  端的波形。

解：各触发器在  $CP$  作用下  $Q$  端的波形如习题 4.10 图(i)所示。

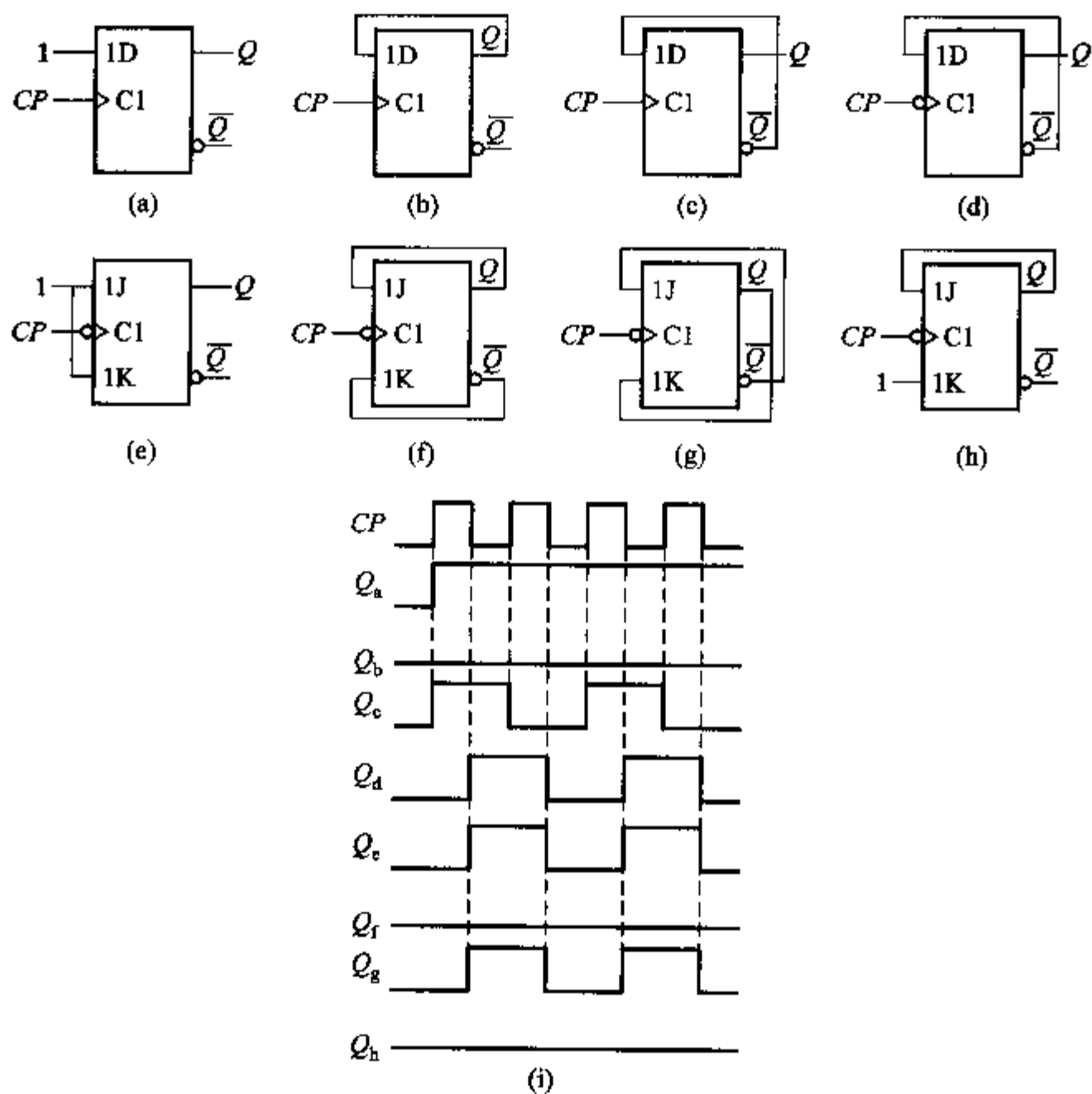
习题 4.11 已知电路如习题 4.11 图(a)所示，若  $CP$  及  $A$  波形如图(b)所示，各触发器初态为 0，试画出各触发器输出端  $Q_1$  和  $Q_2$  的波形。

解：分析习题 4.11 图(a)的电路连接：该电路是同步电路，由  $JK$  触发器组成。

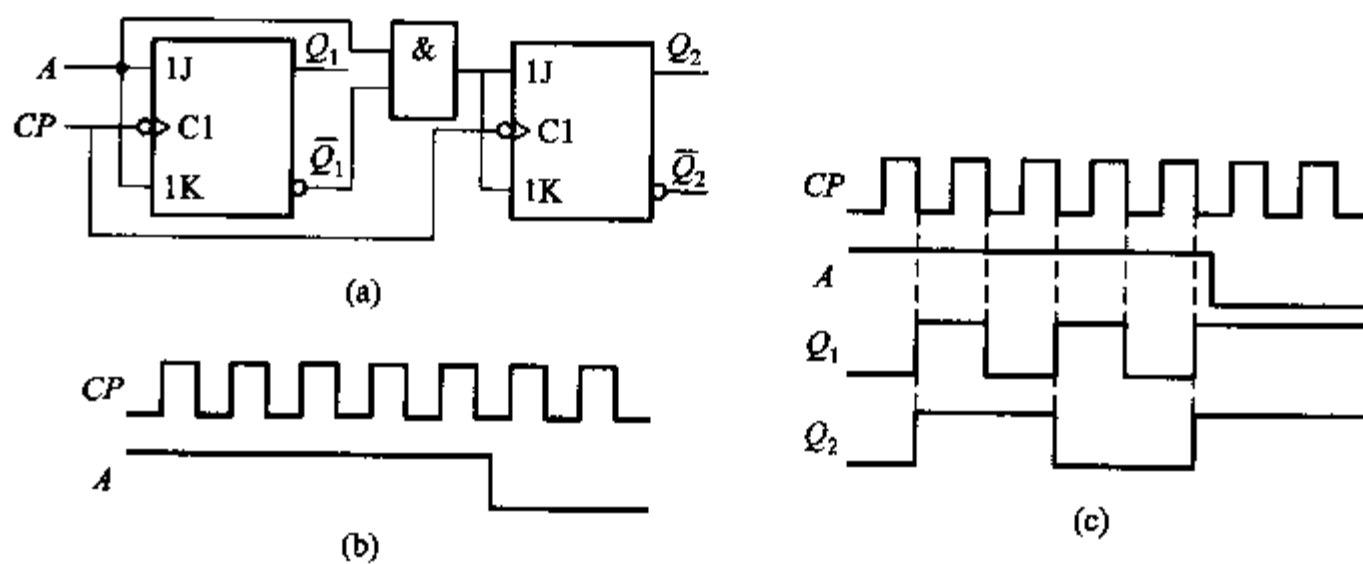
$$\begin{cases} J_1 = K_1 = A \\ J_2 = K_2 = A\overline{Q}_1 \end{cases}$$

$Q_1$  和  $Q_2$  波形分析如习题 4.11 图(c)所示。

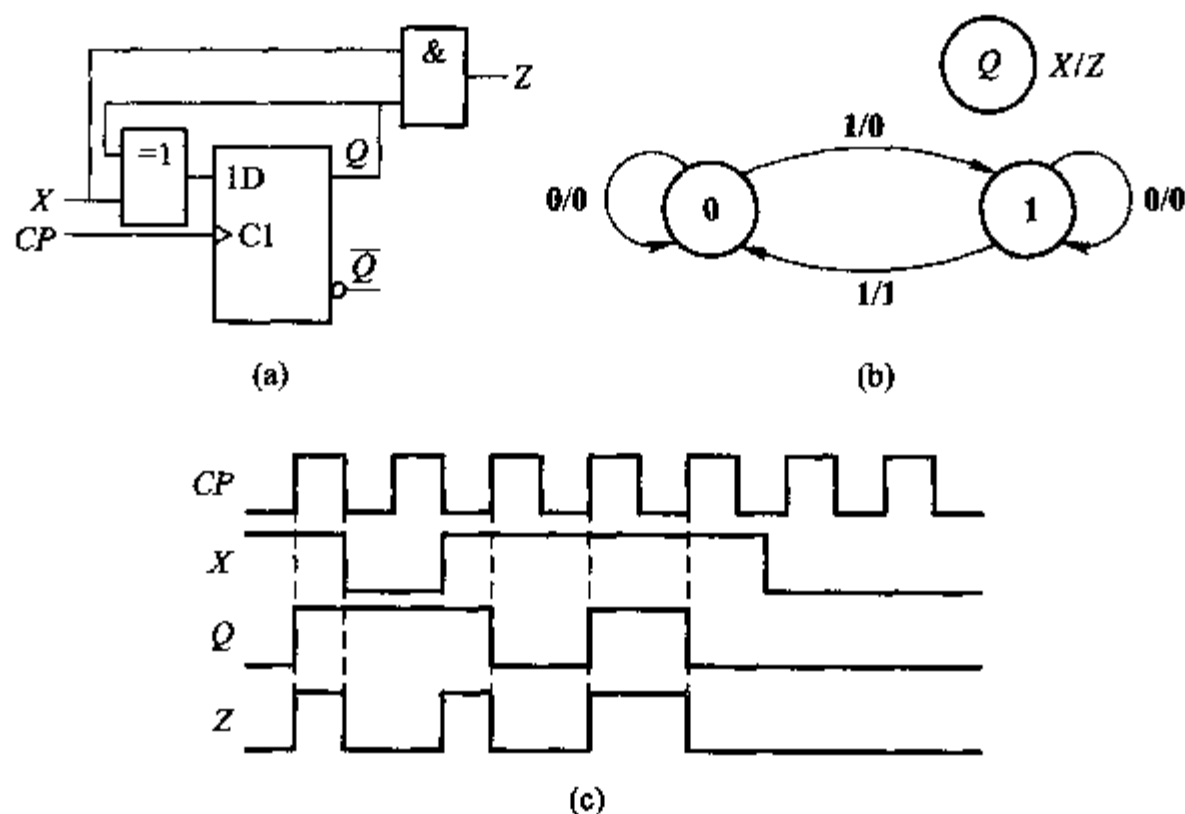
习题 4.12 分析习题 4.12 图(a)所示同步时序电路，作出它的状态转换表和状态转换图。作出当电平输入  $X$  序列为 1011100 时电路的时序波形图，设初态为 0。



习题 4.10 图



习题 4.11 图



习题 4.12 图

解：驱动方程： $D = X \oplus Q_n$

状态方程： $Q_{n+1} = X \oplus Q_n$

输出方程： $Z = XQ$

状态转换表如习题 4.12 表所示。

习题 4.12 表 状态转换表

输入	初态	次态	输出
X	$Q_n$	$Q_{n+1}$	Z
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

根据状态转换表画出状态转换图如习题 4.12 图(b)所示。当电平输入 X 序列为 1011100 时电路的时序波形图如习题 4.12 图(c)所示。

习题 4.13 习题 4.13 图(a)所示同步计数器,由 JK 触发器构成。写出状态转换表与状态转换图,并说明该计数器的模是多少。

解：根据逻辑电路列写下列方程

$$\text{驱动方程: } \begin{cases} J_0 = \bar{Q}_2 & K_0 = 1 \\ J_1 = Q_0 & K_1 = Q_0 \\ J_2 = Q_0 Q_1 & K_2 = 1 \end{cases}$$

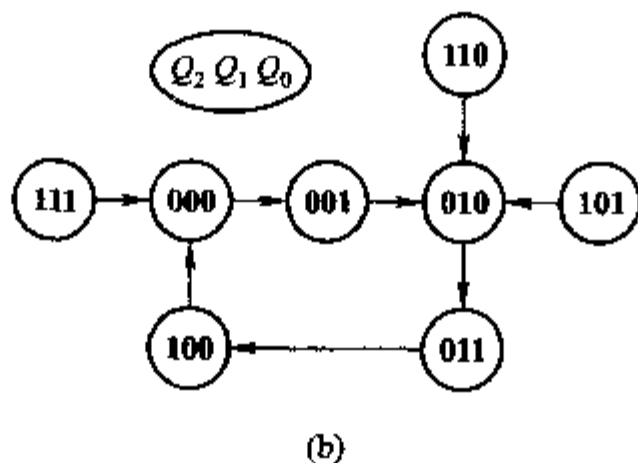
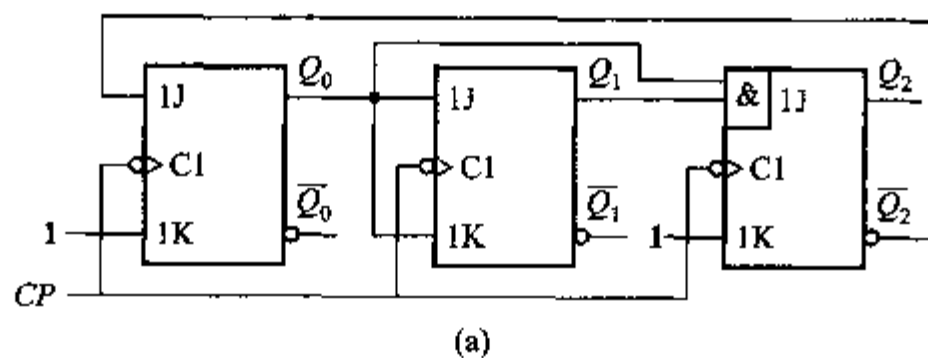
$$\text{状态方程: } \begin{cases} Q_{0n+1} = \overline{Q_2} \overline{Q_0} \\ Q_{1n+1} = Q_0 \overline{Q_1} + \overline{Q_0} Q_1 \\ Q_{2n+1} = Q_0 Q_1 \overline{Q_2} \end{cases}$$

根据状态方程, 求出状态转换表如习题 4.13 表所示。

习题 4.13 表 状态转换表

初 态			次 态		
$Q_{2n}$	$Q_{1n}$	$Q_{0n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Q_{0n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	0

由状态转换表得到状态转换图如习题 4.13 图(b)所示。

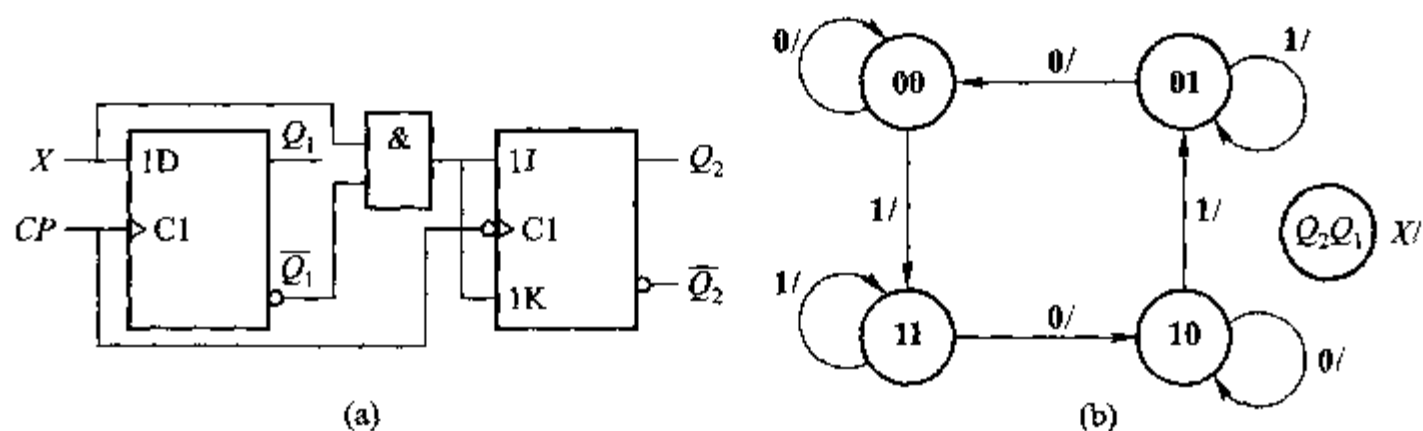


习题 4.13 图

习题 4.14 分析习题 4.14 图(a)所示时序电路, 画出状态转换图, 并说明



该电路的逻辑功能。



习题 4.14 图

解：根据逻辑电路列写下列方程

$$\text{驱动方程: } \begin{cases} D_1 = X \\ J_2 = X \bar{Q}_1 & K_2 = X \bar{Q}_1 \end{cases}$$

$$\text{状态方程: } \begin{cases} Q_{1n+1} = X \\ Q_{2n+1} = X \bar{Q}_1 \bar{Q}_2 + \bar{X} \bar{Q}_1 Q_2 \end{cases}$$

根据状态方程, 求出状态转换表如习题 4.14 表所示。

习题 4.14 表 状态转换表

输 入 $X$	初 态		次 态	
	$Q_{2n}$	$Q_{1n}$	$Q_{2n+1}$	$Q_{1n+1}$
0	0	0	0	0
0	0	1	0	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由习题 4.14 表画出状态转换图如习题 4.14 图(b)所示。电路记录了输入 1010 序列。

习题 4.15 试画出习题 4.15 图(a)所示电路的状态转换表及状态转换图, 说明它是几进制计数器。

解：根据逻辑电路列写下列方程

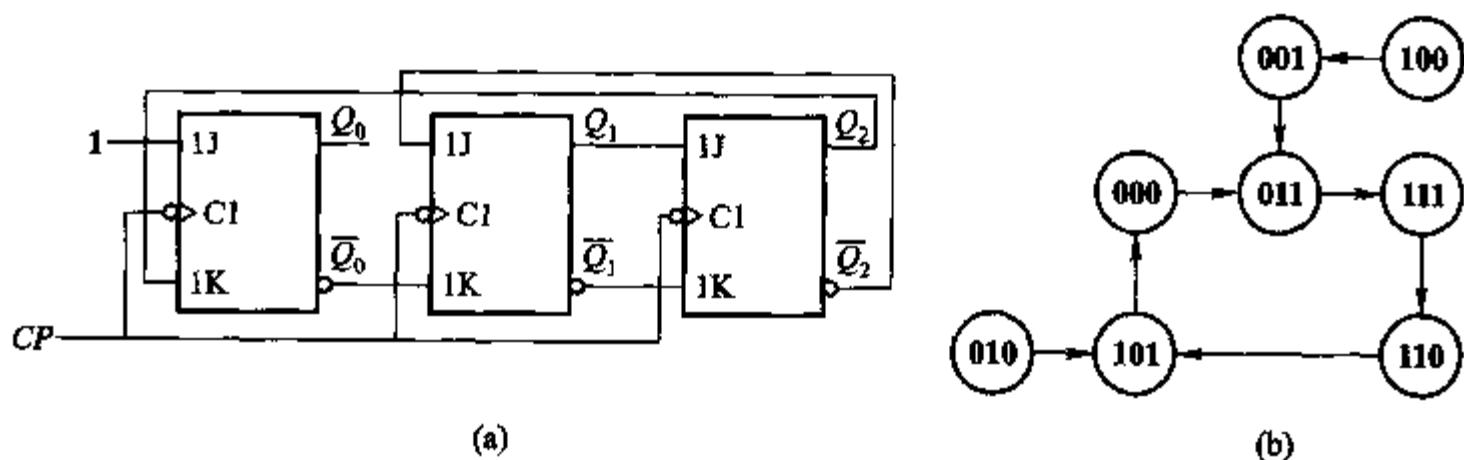
$$\begin{aligned} \text{驱动方程: } & \begin{cases} J_0 = 1 & K_0 = Q_2 \\ J_1 = \bar{Q}_2 & K_1 = \bar{Q}_0 \\ J_2 = Q_1 & K_2 = \bar{Q}_1 \end{cases} \\ \text{状态方程: } & \begin{cases} Q_{0n+1} = \bar{Q}_0 + \bar{Q}_2 Q_0 = \bar{Q}_0 + \bar{Q}_2 \\ Q_{1n+1} = \bar{Q}_2 \bar{Q}_1 + Q_0 Q_1 \\ Q_{2n+1} = Q_1 \bar{Q}_2 + Q_1 Q_2 = Q_1 \end{cases} \end{aligned}$$

根据状态方程, 求出状态转换表如习题 4.15 表所示。

习题 4.15 表 状态转换表

初 态			次 态		
$Q_{2n}$	$Q_{1n}$	$Q_{0n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Q_{0n+1}$
0	0	0	0	1	1
0	0	1	0	1	1
0	1	0	1	0	1
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	0	0
1	1	0	1	0	1
1	1	1	1	1	0

由状态转换表得到状态转换图如习题 4.15 图(b)所示, 这是一个可以自启动的五进制计数器。



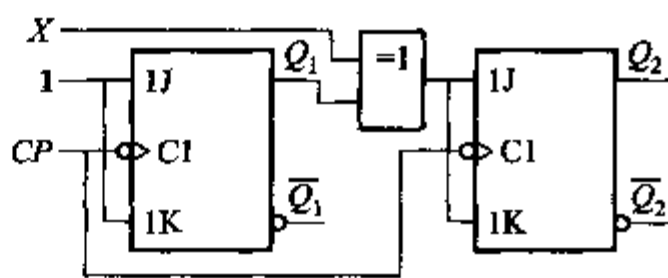
习题 4.15 图

习题 4.16 试分析习题 4.16 图所示时序电路的逻辑功能。

解: 根据逻辑电路列写下列方程

$$\text{驱动方程: } \begin{cases} J_1 = 1 & K_1 = 1 \\ J_2 = X \oplus Q_1 & K_2 = X \oplus Q_1 \end{cases}$$

$$\text{状态方程: } \begin{cases} Q_{1n+1} = \bar{Q}_1 \\ Q_{2n+1} = X \oplus Q_1 \oplus Q_2 \end{cases}$$



习题 4.16 图

根据状态方程, 求出状态转换表如习题 4.16 表所示。

习题 4.16 表 状态转换表

输 入	初 态		次 态	
$X$	$Q_{2n}$	$Q_{1n}$	$Q_{2n+1}$	$Q_{1n+1}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

由状态转换表可知这是一个可控计数器, 当控制端  $X = 1$  时, 实现减法计数;  $X = 0$  时, 实现加法计数。

习题 4.17 分析习题 4.17 图(a)所示同步时序电路的功能, 并作出当电平输入  $X = 110111110010$  的序列时, 电路的时序波形图(设初态  $Q_1, Q_2$  均为 0)。

解: 根据逻辑电路列写下列方程

$$\text{驱动方程: } \begin{cases} J_1 = X & K_1 = \overline{XQ_2} \\ J_2 = XQ_1 & K_2 = \bar{X} \end{cases}$$

$$\text{状态方程: } \begin{cases} Q_{1n+1} = X\bar{Q}_1 + XQ_2Q_1 \\ Q_{2n+1} = XQ_1\bar{Q}_2 + XQ_2 \end{cases}$$

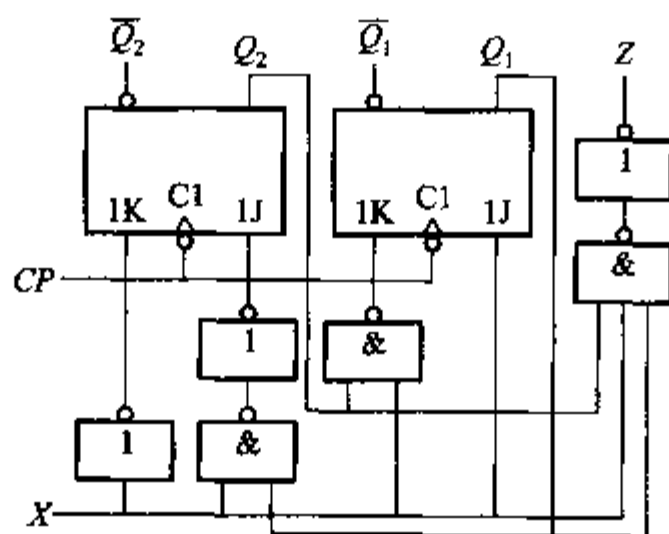
$$\text{输出方程: } Z = XQ_1Q_2$$

根据状态方程, 求出状态转换表如习题 4.17 表所示。

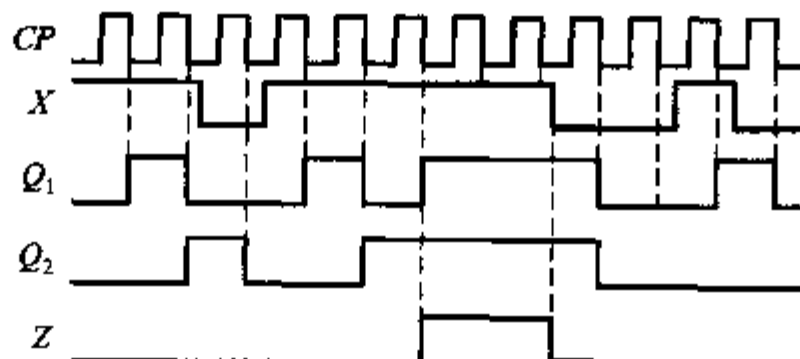
习题 4.17 表 状态转换表

输 入	初 态		次 态		输 出
$X$	$Q_{2n}$	$Q_{1n}$	$Q_{2n+1}$	$Q_{1n+1}$	$Z$
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

根据状态转换表及电平输入  $X = 110111110010$  的序列,画出电路的时序波形如习题 4.17 图(b)所示。该电路在连续输入 3 个或 3 个以上的 1 信号时输出为 1。



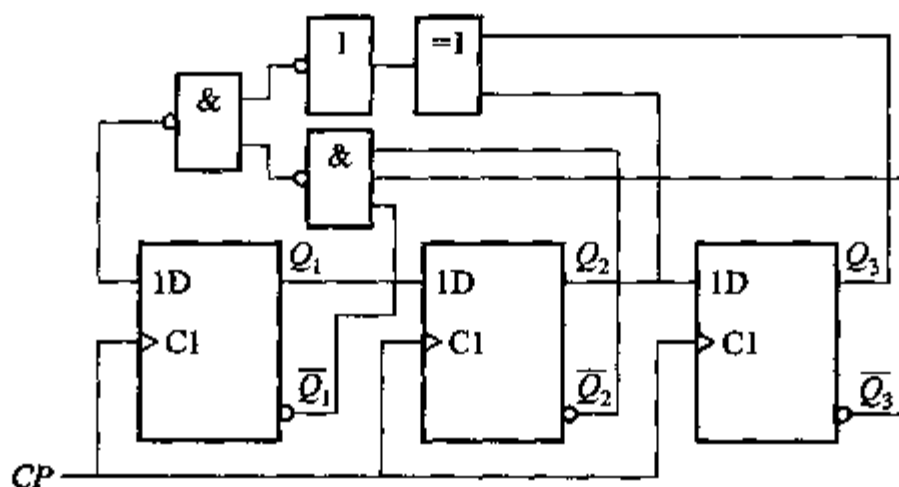
(a)



(b)

习题 4.17 图

习题 4.18 试分析习题 4.18 图所示电路的逻辑功能。



习题 4.18 图

解：根据逻辑电路列写下列方程

$$\text{驱动方程: } \begin{cases} D_1 = Q_2 \oplus Q_3 \quad \overline{Q_1} \quad \overline{Q_2} \quad \overline{Q_3} \\ D_2 = Q_1 \\ D_3 = Q_2 \end{cases}$$

$$\text{状态方程: } \begin{cases} Q_{1n+1} = Q_2 \oplus Q_3 \quad \overline{Q_1} \quad \overline{Q_2} \quad \overline{Q_3} \\ Q_{2n+1} = Q_1 \\ Q_{3n+1} = Q_2 \end{cases}$$

根据状态方程, 求出状态转换表如习题 4.18 表所示。

习题 4.18 表 状态转换表

初 态			次 态		
$Q_{3n}$	$Q_{2n}$	$Q_{1n}$	$Q_{3n+1}$	$Q_{2n+1}$	$Q_{1n+1}$
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	1	0	1
1	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	1

由状态转换表所示的状态变化可以看出该电路是一个可以自启动的七进制计数器。

习题 4.19 设计一个同步时序电路,识别串行输入码  $X$  中的 01 码,即当  $X$  中有 01 码时输出  $Z$  为 1,而其他输入码时,输出  $Z$  为 0,用 JK 触发器实现。用 VHDL 实现上述功能的行为描述。

解:根据设计要求,电路应有一个输入信号  $X$  和一个输出信号  $Z$ 。该时序电路只有一个输入,所以每个现态可能有两个转移方向。

设电路的初态为  $A$ ,若输入  $X$  为 1,停在状态  $A$ ,电路输出为 0;若输入  $X$  为 0,意味着出现了需要识别 01 序列的第一位代码 0,电路从初态  $A$  进入次态  $B$ ,电路输出仍为 0。状态  $B$  表示有一个代码 0 输入。

若电路处于状态  $B$ ,输入  $X$  为 0 时,可能是又一个序列开始的第一位代码 0,电路停在状态  $B$ ,输出  $Z$  为 0;若输入  $X$  为 1,表示出现了被识别 01 序列的第二位代码 1,电路输出为 1,电路回到初始状态  $A$ 。

根据上述分析,求出原始状态转换表如习题 4.19 表(a)所示。表中  $X$  为输入, $S_n$  为现态, $S_{n+1}$  为次态, $Z$  为输出。

将原始状态转换表用二进制代码进行编码,表中有  $A$ 、 $B$  两个状态,用 1 位编码 0 和 1 分别代表  $A$ 、 $B$  两个状态,得到习题 4.19 表(b)的状态转换表。

习题 4.19 表(a) 原始状态转换表

$X \backslash S_n$	0	1
$A$	$B/0$	$A/0$
$B$	$B/0$	$A/1$

$S_{n+1}/Z$

习题 4.19 表(b) 状态转换表

$X \backslash Q_n$	0	1
0	1/0	0/0
1	1/0	0/1

$Q_{n+1}/Z$

由于状态转换表比较简单,可直接写出状态方程和输出方程

$$Q_{n+1} = \bar{X}, Z = XQ$$

根据状态方程以及题目规定使用的 JK 触发器,求触发器的驱动方程

$$J = \bar{X}, K = X$$

最后,根据驱动方程和输出方程画出逻辑图如习题 4.19 图所示。

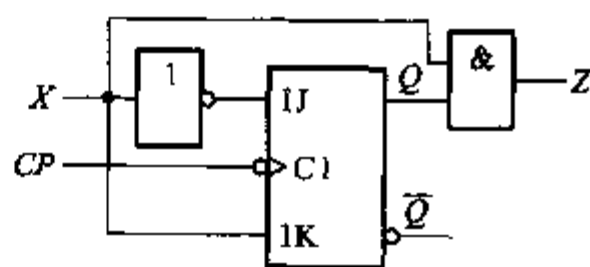
该电路的 VHDL 描述如下:

```
LIBRARY ieee;
```

```
USE ieee.std_logic_1164.all;
```

```
ENTITY xiti4_19 IS
```

```
PORT (clk,reset : IN std_logic;
```



习题 4.19 图

```

        x:IN std_logic;
        z:OUT std_logic);
END xiti4_19;
ARCHITECTURE be OF xiti4_19 IS
    TYPE fsm_st IS (s0, s1);           /状态的枚举类型定义
    SIGNAL current_state, next_state: fsm_st; /状态信号的定义
BEGIN
reg:PROCESS (reset,clk)                /时序进程
    BEGIN
        IF reset = '1' THEN current_state <= s0; /异步复位
        ELSIF rising_edge(clk) THEN
            current_state <= next_state;         /状态转换
        END IF;
    END process;
com:PROCESS (current_state, x)         /组合进程
    BEGIN
        CASE current_state IS
            WHEN s0 =>                  /现态 s0
                IF x = '1' THEN next_state <= s0; /输入不同,次态不同
                z <= '0';
                ELSIF x = '0' THEN next_state <= s1;
                z <= '0';
                END IF;
            WHEN s1 =>                  /现态 s1
                IF x = '0' THEN next_state <= s1; /输入不同,次态和输出不同
                z <= '0';
                ELSIF x = '1' THEN next_state <= s0;
                z <= '1';
                END IF;
        END CASE;
    END PROCESS;
END be;

```

习题 4.20 设计一个两输入端  $X_1$ 、 $X_2$  的时序电路,只有在连续两个或两个以上时钟作用期间,两个输入都一致时,才能使输出为 1,用  $D$  触发器实现。

解:根据设计要求,电路有两个输入信号  $X_1$ 、 $X_2$  和一个输出信号  $Z$ 。该时

序电路有两个输入,所以每个现态可能有四个转移方向。

设电路的初态为  $A$ ,若输入  $X_1X_2 = 00$  或  $X_1X_2 = 11$ ,表示输入一致,电路从初态  $A$  进入次态  $B$ ,输出为  $0$ ;若输入  $X_1X_2 = 01$  或  $X_1X_2 = 10$ ,表示输入不一致,电路停在状态  $A$ ,输出为  $0$ 。

电路处于状态  $B$ ,若输入  $X_1X_2 = 00$  或  $X_1X_2 = 11$ ,表示连续输入一致,电路停在状态  $B$ ,输出为  $1$ ;若输入  $X_1X_2 = 01$  或  $X_1X_2 = 10$ ,表示输入不一致,电路从状态  $B$  进入状态  $A$ ,输出为  $0$ 。

根据上述分析,求出原始状态转换表如习题 4.20 表(a)所示。表中  $X_1, X_2$  为输入,  $S_n$  为现态,  $S_{n+1}$  为次态,  $Z$  为输出。

习题 4.20 表(a) 原始状态转换表

$X_1X_2$					
		00	01	10	11
$S_n$	$A$	B/0	A/0	A/0	B/0
	$B$	B/1	A/0	A/0	B/1
		$S_{n+1}/Z$			

用 1 位编码  $0$  和  $1$  分别代表  $A, B$  两个状态,得到习题 4.20 表(b)的状态转换表。

习题 4.20 表(b) 状态转换表

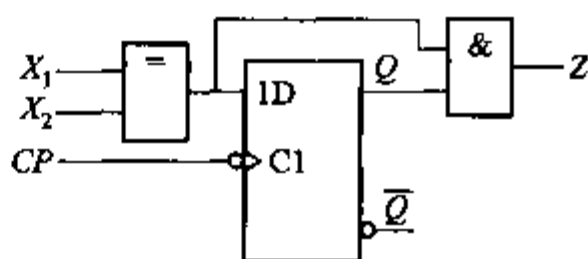
$X_1X_2$					
		00	01	10	11
$Q_n$	0	1/0	0/0	0/0	1/0
	1	1/1	0/0	0/0	1/1
		$Q_{n+1}/Z$			

根据状态转换表求状态方程

$$Q_{n+1} = X_1X_2 + \bar{X}_1\bar{X}_2$$

根据状态方程以及题目规定使用的  $D$  触发器,求触发器的驱动方程

$$D = \overline{X_1 \oplus X_2}$$



习题 4.20 图



根据状态转换表求输出方程

$$Z = \overline{X_1} \oplus \overline{X_2} Q$$

根据驱动方程和输出方程画出逻辑图如习题 4.20 图所示。

习题 4.21 设计一个串行检测器,要求连续输入 3 个或 3 个以上的 1 时,电路输出为 1,否则输出为 0,要求采用 JK 触发器实现。用 VHDL 实现上述功能的行为描述。

解:根据设计要求,电路应有一个输入信号  $X$  和一个输出信号  $Z$ 。该时序电路只有一个输入,所以每个现态可能有两个转移方向。

设电路的初态为  $A$ ,若输入  $X$  为 0,停在状态  $A$ ,电路输出为 0;若输入  $X$  为 1,意味着出现了需要识别 111 序列的第一位代码 1,电路进入次态  $B$ ,电路输出仍为 0。状态  $B$  表示有一个代码 1 输入。

若电路处于状态  $B$ ,输入  $X$  为 0 时,电路返回状态  $A$ ,输出  $Z$  为 0;若输入  $X$  为 1,表示出现了 111 序列的第二位代码 1,电路进入下一状态  $C$ ,输出为 0。状态  $C$  表示连续两个 1 输入。

若电路处于状态  $C$ ,输入  $X$  为 0 时,电路返回状态  $A$ ,输出  $Z$  为 0;若输入  $X$  为 1,表示出现了 111 序列的第三位代码 1,电路停在状态  $C$ ,输出为 1。状态  $C$  表示连续 3 个或 3 个以上 1 输入。

根据上述分析,求出原始状态转换表如习题 4.21 表(a)所示。表中  $X$  为输入, $S_n$  为现态, $S_{n+1}$  为次态, $Z$  为输出。

习题 4.21 表(a) 原始状态转换表

$X \backslash S_n$	$A$	$B$	$C$
0	$A/0$	$A/0$	$A/0$
1	$B/0$	$C/0$	$C/1$

$S_{n+1}/Z$

用两位状态编码  $Q_1Q_0$  的取值 00、01、11 分别代表  $A$ 、 $B$  和  $C$  三个状态,得到习题 4.21 表(b)的状态转换表。

习题 4.21 表(b) 状态转换表

$X \backslash Q_1Q_0$	00	01	11	10
0	00/0	00/0	00/0	x
1	01/0	11/0	11/1	x

$Q_{1n+1}Q_{0n+1}/Z$

根据状态转换表画出次态及输出卡诺图,如习题 4.21 图(a)所示,卡诺图化简后,求状态方程和输出方程

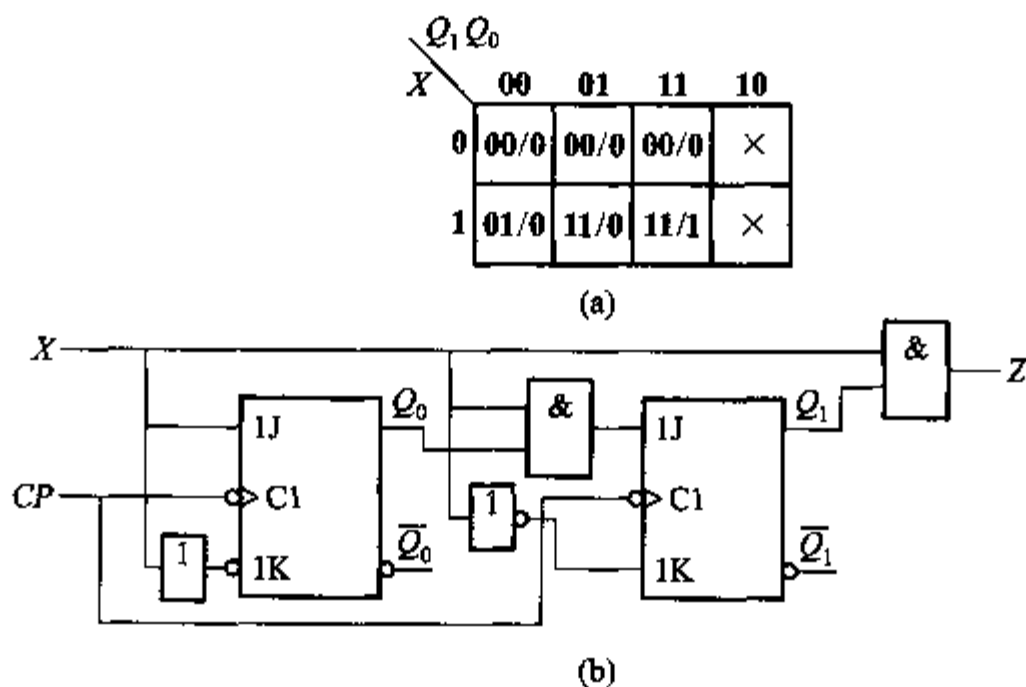
$$Q_{1n+1} = XQ_0, Q_{0n+1} = X$$

$$Z = XQ_1$$

根据状态方程以及题目规定使用的 JK 触发器,求触发器的驱动方程

$$\begin{cases} J_1 = XQ_0 & K_1 = \bar{X} \\ J_0 = X & K_0 = \bar{X} \end{cases}$$

最后,根据驱动方程和输出方程画出逻辑图如习题 4.21 图(b)所示。



习题 4.21 图

用 VHDL 实现上述功能的程序清单如下:

```
LIBRARY ieee;
```

```
USE ieee.std_logic_1164.all;
```

```
ENTITY xiti4_21 IS
```

```
    PORT ( clk,reset: IN std_logic;
```

```
           x : IN std_logic;
```

```
           z : OUT std_logic);
```

```
END xiti4_21;
```

```
ARCHITECTURE be OF xiti4_21 IS
```

```
    TYPE fsm_st IS (s0,s1,s2);
```

/状态的枚举类型定义

```

    SIGNAL current_state, next_state; fsm_st;           /状态信号的定义
BEGIN
reg: PROCESS (reset, clk)                               /时序进程
    BEGIN
        IF reset = '1' THEN current_state <= s0; /异步复位
        ELSIF rising_edge(clk) THEN
            current_state <= next_state;           /状态转换
        END IF;
    END PROCESS;
com: PROCESS (current_state, x)                         /组合进程
    BEGIN
        CASE current_state IS
            WHEN s0 = >                                  /现态 s0, 输入 1 个 1,
                                                            状态转 s1, 否则停在 s0
                IF x = '0' THEN
                    next_state <= s0; z <= '0';
                ELSIF x = '1' THEN
                    next_state <= s1; z <= '0';
                END IF;
            WHEN s1 = >                                  /现态 s1, 输入 2 个 1,
                                                            状态转 s2, 否则转 s0
                IF x = '0' THEN
                    next_state <= s0; z <= '0';
                ELSIF x = '1' THEN
                    next_state <= s2; z <= '0';
                END IF;
            WHEN s2 = >                                  /现态 s2, 输入 3 个或
                                                            3 个以上个 1, 输出为 1
                IF x = '0' THEN
                    next_state <= s0; z <= '0';
                ELSIF x = '1' THEN
                    next_state <= s2; z <= '1';
                END IF;
        END CASE;
    END PROCESS;
END be;

```

习题 4.22 设计巴克码序列检测器。巴克码是一种具有尖锐的自相关性的编码,常用在信息传输设备中作同步信号。有几种巴克码,1110010 序列码就是一种常用的巴克码,要求采用 JK 触发器实现。

解:根据设计要求,电路应有一个巴克码输入信号  $X$  和一个检测输出信号  $Z$ 。

设电路的初态为  $A$ ,状态  $B$  表示有一个 1 输入,状态  $C$  表示输入 11,状态  $D$  表示输入 111,状态  $E$  表示输入 1110,状态  $F$  表示输入 11100,状态  $G$  表示输入 111001,状态  $H$  表示输入 1110010。

根据输入信号、输出信号、状态的定义以及题目的要求,得到状态转换表如习题 4.22 表(a)所示。

习题 4.22 表(a) 状态转换表

$X \backslash S_n$	$A$	$B$	$C$	$D$	$E$	$F$	$G$	$H$
0	$A/0$	$A/0$	$A/0$	$E/0$	$F/0$	$A/0$	$H/1$	$A/0$
1	$B/0$	$C/0$	$D/0$	$D/0$	$B/0$	$G/0$	$C/0$	$B/0$

分析状态转换表,状态  $A$ 、 $H$  是等价状态对,合并状态用状态  $A$  表示,由此得到简化状态转换表如习题 4.22 表(b)所示。

习题 4.22 表(b) 简化状态转换表

$X \backslash S_n$	$A$	$B$	$C$	$D$	$E$	$F$	$G$
0	$A/0$	$A/0$	$A/0$	$E/0$	$F/0$	$A/0$	$A/1$
1	$B/0$	$C/0$	$D/0$	$D/0$	$B/0$	$G/0$	$C/0$

用 3 位二进制编码  $Q_2Q_1Q_0$  的 7 种取值表示状态  $A \sim G$ ,电路采用的编码方案不同,将得到不同的设计结果,这里采用的编码定义如下: $A = 000$ 、 $B = 001$ 、 $C = 100$ 、 $D = 110$ 、 $E = 010$ 、 $F = 011$ 、 $G = 101$ 。根据简化状态转换表作出全状态转换表如习题 4.22 表(c)所示。根据全状态转换表作出各激励信号卡诺图,如习题 4.22 图(a)所示,化简后,求激励方程和输出方程。

习题 4.22 表(c) 全状态转换表

输入	现 态			次 态			激励信号						输出
$X$	$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$	$Z$
0	0	0	0	0	0	0	0	×	0	×	0	×	0
0	0	0	1	0	0	0	0	×	0	×	×	1	0
0	0	1	0	0	1	1	0	×	×	0	1	×	0
0	0	1	1	0	0	0	0	×	×	1	×	1	0
0	1	0	0	0	0	0	×	1	0	×	0	×	0
0	1	0	1	0	0	0	×	1	0	×	×	1	1
0	1	1	0	0	1	0	×	1	×	0	0	×	0
1	0	0	0	0	0	1	0	×	0	×	1	×	0
1	0	0	1	1	0	0	1	×	0	×	×	1	0
1	0	1	0	0	0	1	0	×	×	1	1	×	0
1	0	1	1	1	0	1	1	×	×	1	×	0	0
1	1	0	0	1	1	0	×	0	1	×	0	×	0
1	1	0	1	1	0	0	×	0	0	×	×	1	0
1	1	1	0	1	1	0	×	0	×	0	0	×	0
0	1	1	1	0	0	0	0	1	0	1	0	1	0
1	1	1	1	1	0	1	1	0	0	1	0	0	0

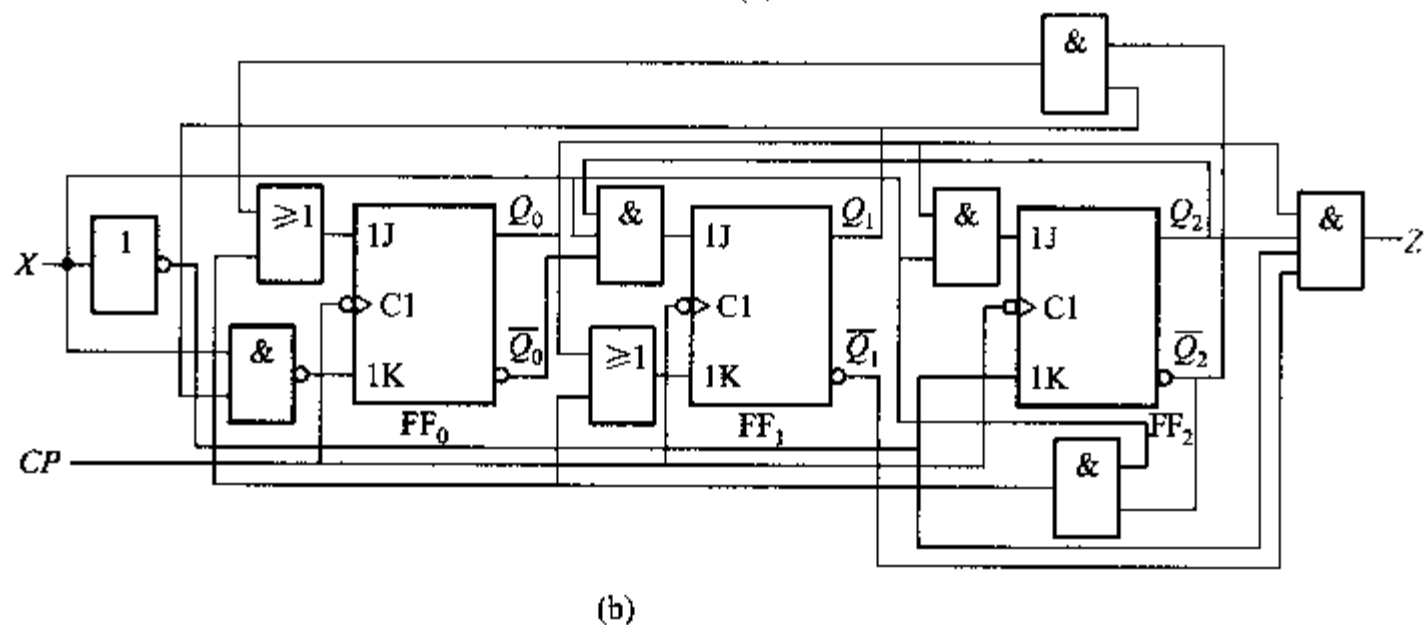
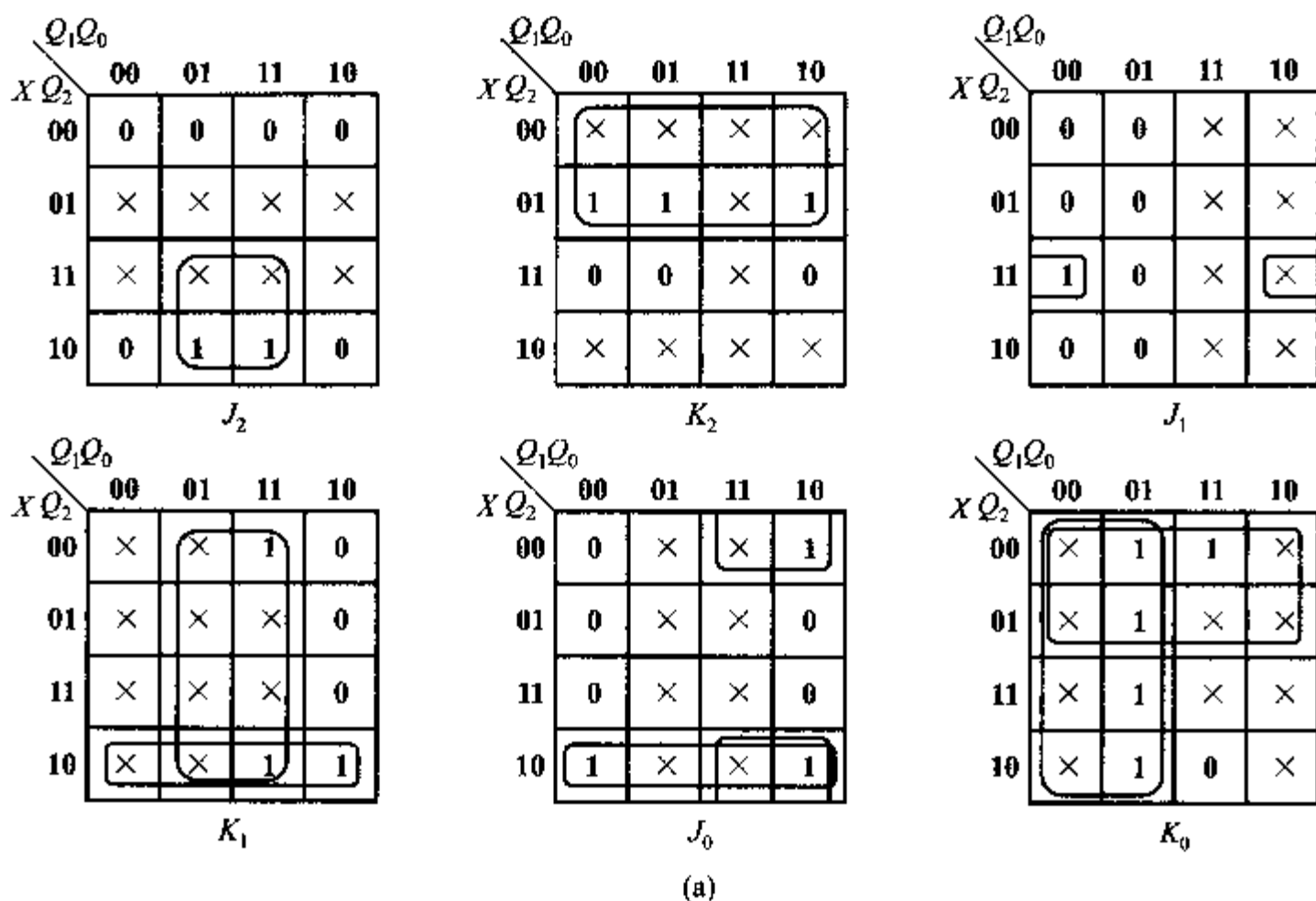
求输出方程

$$Z = \bar{X} Q_2 \bar{Q}_1 Q_0$$

卡诺图化简,求触发器的驱动方程

$$\begin{cases} J_2 = XQ_0 & K_2 = \bar{X} \\ J_1 = XQ_2 \bar{Q}_0 & K_1 = Q_0 + X \bar{Q}_2 \\ J_0 = \bar{Q}_2 Q_1 + X \bar{Q}_2 & K_0 = \overline{XQ_1} \end{cases}$$

最后,根据驱动方程和输出方程画出逻辑图如习题 4.22 图(b)所示。



习题 4.22 图

习题 4.23 用观察法简化习题 4.23 表(状态转换表)。

习题 4.23 表(a) 状态转换表

$S_n \backslash X$	$I$	$J$
A	A/0	E/1
B	E/1	C/0
C	A/1	D/1
D	F/0	G/1
E	B/1	C/0
F	F/0	E/1
G	A/1	D/1
$S_{n+1}/Z$		

习题 4.23 表(b) 状态转换表

$S_n \backslash X$	$I$	$J$	$K$
A	A/0	B/1	E/1
B	B/0	A/1	F/1
C	A/1	D/0	E/0
D	F/0	C/1	A/0
E	A/0	D/1	E/1
F	B/0	D/1	F/1
$S_{n+1}/Z$			

解：观察习题 4.23 表(a)，状态  $B$ 、 $E$  在  $X=I$  时，输出相同，次态交错；在  $X=J$  时，输出和次态均一致，因此状态  $B$ 、 $E$  为等价状态，合并后用状态  $B$  代表。状态  $C$  和  $G$  在相同的输入条件下，输出和次态均相同，为等价状态，合并后用状态  $C$  表示。状态  $A$  和  $F$  在输入  $X=I$  时，输出相同，次态为原态；在  $X=J$  时，输出及次态均相同，为等价状态，合并后用状态  $A$  表示。经过上述简化，得到简化状态转换表如习题 4.23 表(c)所示。

习题 4.23 表(c) 简化状态转换表

$S_n \backslash X$	$X$	
	$I$	$J$
$A$	$A/0$	$B/1$
$B$	$B/1$	$C/0$
$C$	$A/1$	$D/1$
$D$	$A/0$	$C/1$

习题 4.23 表(d) 简化状态转换表

$S_n \backslash X$	$X$		
	$I$	$J$	$K$
$A$	$A/0$	$A/1$	$E/1$
$C$	$A/1$	$D/0$	$E/0$
$D$	$E/0$	$C/1$	$A/0$
$E$	$A/0$	$D/1$	$E/1$

观察习题 4.23 表(b)，状态  $A$ 、 $B$  在对应的输入情况下输出均相同；当输入  $X=I$  时，次态为  $A$ 、 $B$ ，与各自现态相同； $X=J$  时，次态交错； $X=K$  时，次态为  $E$ 、 $F$ 。状态  $E$ 、 $F$  在对应的输入情况下输出均相同；在  $X=I$  时，次态为  $A$ 、 $B$ ，状态  $A$ 、 $B$  和状态  $E$ 、 $F$  两对状态循环； $X=J$  时，次态相同； $X=K$  时，次态与各自现态相同。状态  $A$ 、 $B$  为等价状态，合并后用状态  $A$  表示。状态  $E$ 、 $F$  为等价状态，合并后用状态  $E$  表示。经过上述简化，得到简化状态转换表如习题 4.23 表(d)所示。

习题 4.24 用隐含表简化习题 4.24 表(a) (状态转换表)。

习题 4.24 表(a) 状态转换表

$S_n \backslash X$	$X$	
	$0$	$1$
$A$	$A/0$	$C/0$
$B$	$D/1$	$A/0$
$C$	$F/0$	$F/0$
$D$	$E/1$	$B/0$
$E$	$G/1$	$G/0$
$F$	$C/0$	$C/0$
$G$	$B/1$	$H/0$
$H$	$H/0$	$C/0$

$S_{n+1}/Z$

习题 4.24 表(b) 简化状态转换表

$S_n \backslash X$	$X$	
	$0$	$1$
$A$	$A/0$	$A/0$
$B$	$D/1$	$A/0$
$D$	$E/1$	$B/0$
$E$	$G/1$	$G/0$
$G$	$B/1$	$A/0$

$S_{n+1}/Z$

解：分析已知状态转换表中所有的状态对，将比较结果填入隐含表如习题 4.24 图所示。其中：“×”表示状态不等价，“√”表示状态等价，其余表示需要判断隐含条件。

分析习题 4.24 图可知，等价状态对有  $[A, C]$ 、 $[A, F]$ 、 $[A, H]$ 、 $[C, F]$ 、 $[C, H]$  和  $[F, H]$ 。根据等价的传递性， $[A, C, H, F]$  是一个等价类，合并为一个状态，合并后用  $A$  表示；其余状态不等价，得到的简化状态转换表如习题 4.24 表(b)所示。

B	×						
C	AF DE	×					
D	×	AB DE	×				
E	×	AG DG	×	EG BG			
F	AC	×	√	×	×		
G	×	AH BD	×	BH BE	GH BG	×	
H	√	×	HF	×	×	CH	×
	A	B	C	D	E	F	G

习题 4.24 图

习题 4.25 已知电路如习题 4.25 图(a)所示，若  $CP$  波形如图(b)所示，设触发器初态为 0，试画出各触发器输出端  $Q_1$ 、 $Q_2$  和  $Q_3$  的波形。

解：该电路是异步时序电路，分析时应特别注意各触发器的时钟输入端是否有边沿信号，只有当触发器的时钟边沿有效时，该触发器才可能翻转，否则触发器将保持原状态不变。

1. 列写各触发器的驱动方程和时钟方程

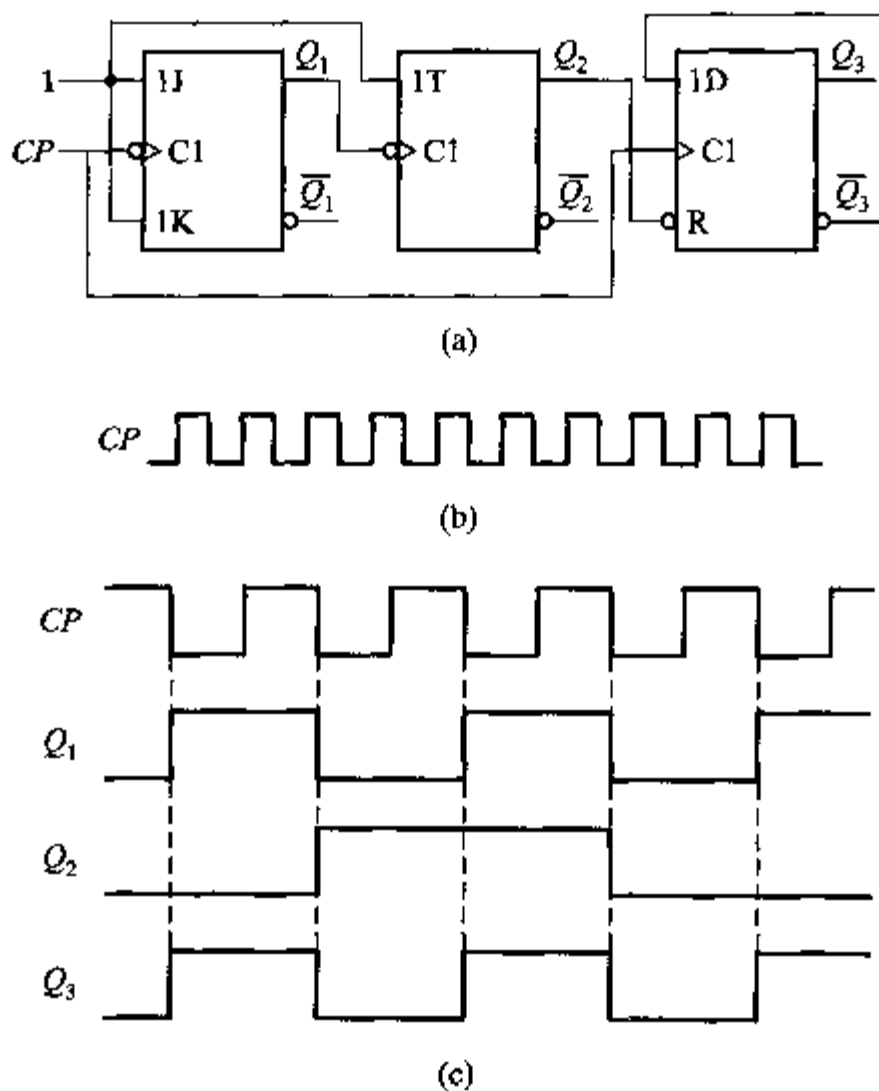
$$\begin{cases} J_1 = K_1 = 1 \\ T_2 = 1 \\ D_3 = \bar{Q}_3 \end{cases}$$

$$CP_1 = CP_3 = CP, CP_2 = Q_1$$

2. 求触发器的状态方程

$$\begin{cases} Q_{1n+1} = (\bar{Q}_{1n})CP_1 \\ Q_{2n+1} = (\bar{Q}_{2n})CP_2 \\ Q_{3n+1} = (\bar{Q}_{3n})CP_3 \end{cases}$$





习题 4.25 图

### 3. 画输出波形

分析状态方程,  $Q_1$  在每个时钟信号  $CP$  的下降沿翻转,  $Q_2$  在每个  $Q_1$  的下降沿翻转,  $Q_3$  在每个时钟信号  $CP$  的下降沿翻转, 画出  $Q_1$ 、 $Q_2$  和  $Q_3$  的波形, 如习题 4.25 图(c)所示。

习题 4.26 已知电路如习题 4.26 图(a)所示, 各触发器初态为 0,  $CP$  及  $A$  的波形如图(b)所示, 试画出各触发器输出端  $B$ 、 $C$  的波形。

解: 1. 列写各触发器的驱动方程和时钟方程

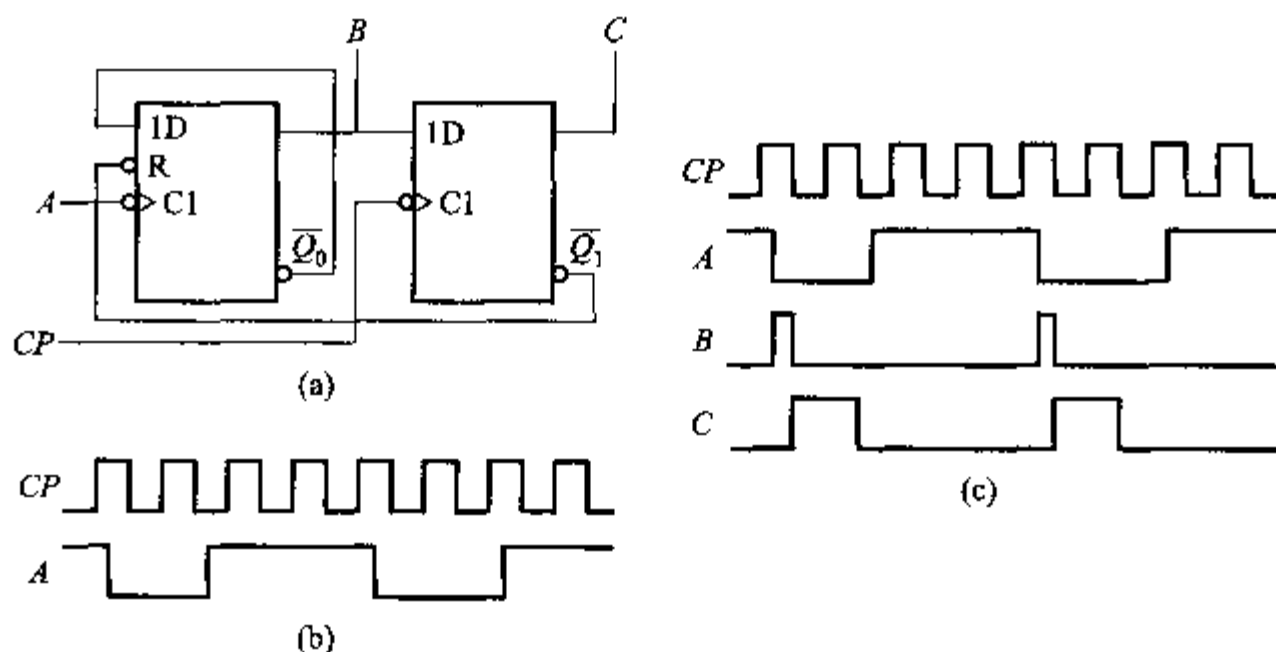
$$\begin{aligned} D_0 &= \bar{Q}_0, D_1 = Q_0 \\ CP_0 &= A, CP_1 = CP \end{aligned}$$

2. 求触发器的状态方程

$$\begin{cases} Q_{0n+1} = (\bar{Q}_{0n})CP_0 \\ Q_{1n+1} = (Q_{0n})CP_1 \end{cases}$$

状态方程表明:  $Q_0$  在每个  $A$  信号的下降沿翻转;  $Q_1$  在每个  $CP$  信号的下降沿接受  $Q_0$  信号。

另外还应注意清零信号的连接:  $\bar{R}_0 = \bar{Q}_1$ 。当  $\bar{Q}_1$  变为 0 时, 清零信号有效,  $Q_0$  状态被清零。



习题 4.26 图

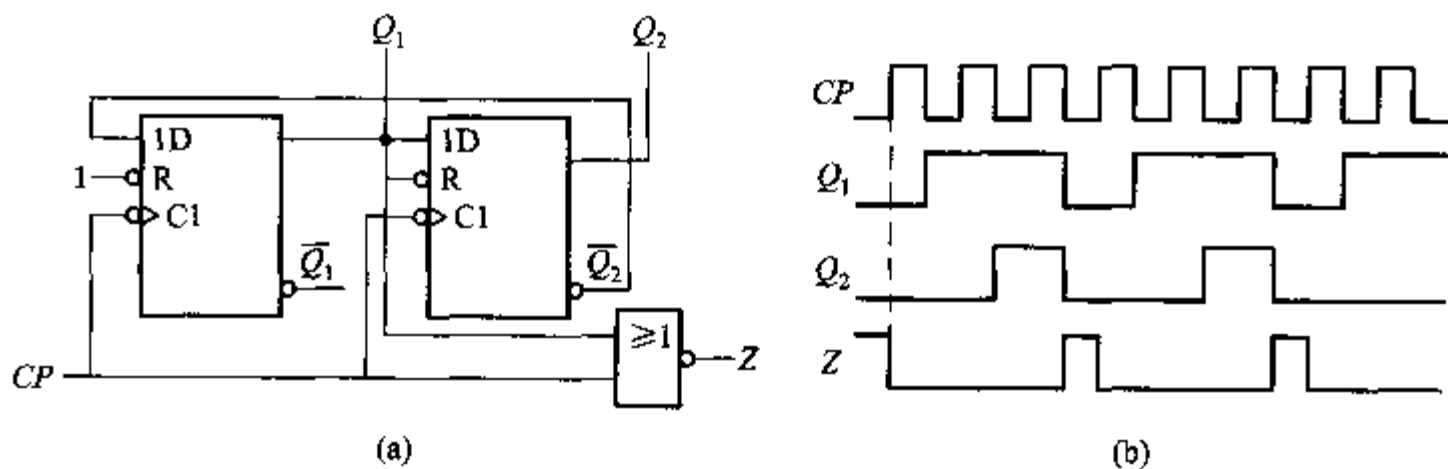
3. 求输出方程

$$B = Q_0, C = Q_1$$

4. 画输出波形

画输出波形如习题 4.26 图(c)所示。

习题 4.27 已知电路如习题 4.27 图(a)所示,各触发器初态为 0,试画出在连续 7 个时钟脉冲 CP 作用下输出端  $Q_1$ 、 $Q_2$  和 Z 的波形,分析输出 Z 与时钟脉冲 CP 的关系。



习题 4.27 图

解: 1. 列写各触发器的驱动方程

$$D_1 = \bar{Q}_2, D_2 = Q_1$$

2. 求触发器的状态方程

$$\begin{cases} Q_{1n+1} = \bar{Q}_{2n} \\ Q_{2n+1} = Q_{1n} \end{cases}$$

$\bar{R}_1 = 1, \bar{R}_2 = Q_1$ ,  $Q_1$  变为 0 时, 清零信号有效,  $Q_2$  状态被清零。

3. 求输出方程

$$Z = \overline{CP + Q_1}$$

4. 画输出波形

画输出波形如习题 4.27 图(b)所示。

结论:  $Z$  是  $CP$  的三分频信号,  $Z$  的正脉冲宽度与  $CP$  相同。

习题 4.28 作 0010 序列检测器的状态转换图, 并求出最简状态转换表。序列码可以重叠。如:

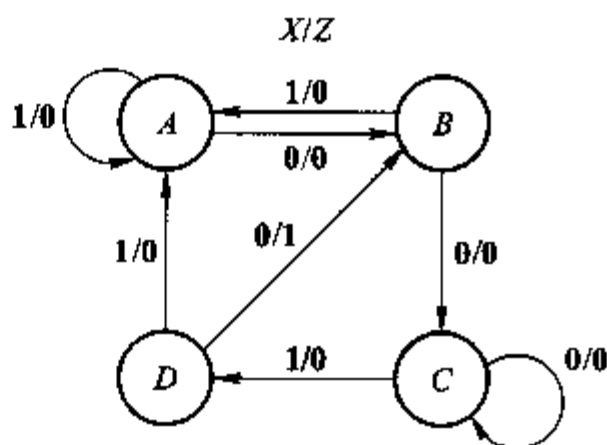
输入:  $X = 1001001000010010 \dots$

输出:  $Z = 0000100100001001 \dots$

解: 根据设计要求, 电路应有一个序列信号输入端  $X$  和一个序列信号检测输出端  $Z$ 。

设电路的初态为  $A$ , 状态  $B$  表示有一个 0 输入, 状态  $C$  表示输入 00, 状态  $D$  表示输入 001。

根据输入信号、输出信号、状态的定义以及题目的要求, 得到状态转换图如习题 4.28 图所示。



习题 4.28 图

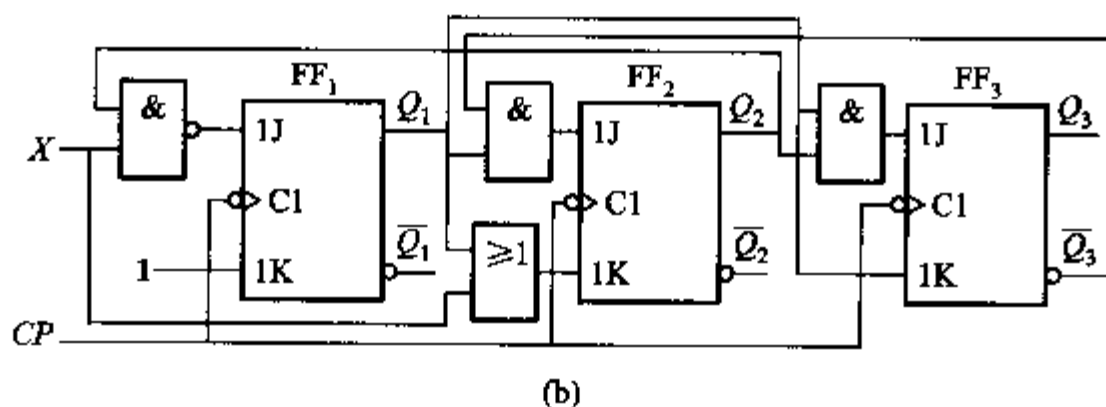
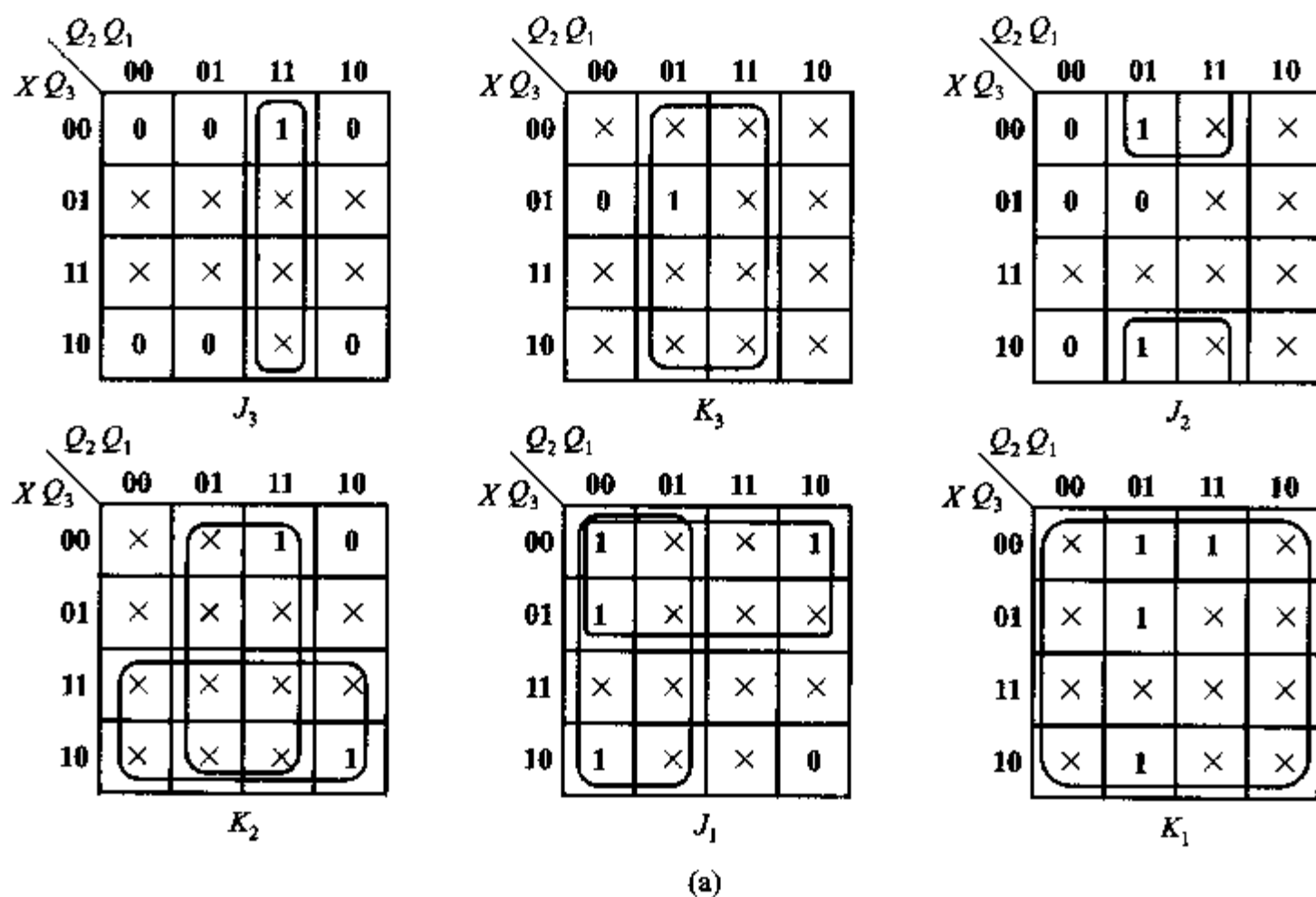
习题 4.29 试设计一个可控的同步加法计数器, 当控制信号  $X=0$  时为六进制,  $X=1$  时为三进制, 要求采用  $JK$  触发器实现。用 VHDL 实现上述功能的行为描述。

解: 根据题目要求, 得到其状态转换表如习题 4.29 表所示。

习题 4.29 表 状态转换表

输 入 $X$	现 态			次 态			激励信号					
	$Q_{3n}$	$Q_{2n}$	$Q_{1n}$	$Q_{3n+1}$	$Q_{2n+1}$	$Q_{1n+1}$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$
0	0	0	0	0	0	1	0	×	0	×	1	×
0	0	0	1	0	1	0	0	×	1	×	×	1
0	0	1	0	0	1	1	0	×	×	0	1	×
0	0	1	1	1	0	0	1	×	×	1	×	1
0	1	0	0	1	0	1	×	0	0	×	1	×
0	1	0	1	0	0	0	×	1	0	×	×	1
1	0	0	0	0	0	1	0	×	0	×	1	×
1	0	0	1	0	1	0	0	×	1	×	×	1
1	0	1	0	0	0	0	0	×	×	1	0	×

根据习题 4.29 表作出激励信号卡诺图如习题 4.29 图(a)所示。



习题 4.29 图

卡诺图化简,求触发器的激励方程

$$\begin{cases} J_3 = Q_2 Q_1 & K_3 = Q_1 \\ J_2 = \bar{Q}_3 Q_1 & K_2 = Q_1 + X \\ J_1 = \bar{Q}_2 + \bar{X} & K_1 = 1 \end{cases}$$

最后,根据驱动方程画出逻辑图如习题 4.29 图(b)所示。

用 VHDL 实现上述功能的程序清单如下:

```
LIBRARY ieee;
```

```
USE ieee.std_logic_1164.all;
```

```
ENTITY xiti4_29 IS
```

```

PORT ( clk,reset,x; IN std_logic;
      z: OUT std_logic_vector(1 downto 0)); /进位输出端
END xiti4_29;
ARCHITECTURE be OF xiti4_29 IS
    TYPE fsm_st is ( s0,s1,s2,s3,s4,s5); /状态的枚举类型定义
    SIGNAL current_state, next_state: fsm_st; /状态信号的定义
BEGIN
reg: PROCESS ( reset,clk) /时序进程
    BEGIN
        IF reset = '1' THEN current_state <= s0; /异步复位
        ELSIF rising_edge( clk) THEN
            current_state <= next_state; /状态转换
        END IF;
    END PROCESS;
com: PROCESS ( current_state, x) /组合进程
    BEGIN
        CASE current_state IS
            WHEN s0 => z <= "00";
                IF x = '0' THEN next_state <= s1;
                ELSIF x = '1' THEN next_state <= s1;
                END IF;
            WHEN s1 => z <= "00";
                IF x = '0' THEN next_state <= s2;
                ELSIF x = '1' THEN next_state <= s2;
                END IF;
            WHEN s2 =>
                IF x = '0' THEN next_state <= s3;
                z <= "00";
                ELSIF x = '1' THEN next_state <= s0; /z1 是三进制计数器的进位输出
                z <= "10";
                END IF;
            WHEN s3 => z <= "00";
                IF x = '0' THEN next_state <= s4;
                ELSIF x = '1' THEN next_state <= s0;
                END IF;
        END CASE;
    END PROCESS;
END be;

```

```
WHEN s4 = > z <= "00";
```

```
IF x = '0' THEN next_state <= s5;
```

```
ELSIF x = '1' THEN next_state <= s0;
```

```
END IF;
```

```
WHEN s5 = >
```

```
IF x = '0' THEN next_state <= s0;    /z0 是六进制计数器的进位输出
```

```
ELSIF x = '1' THEN next_state <= s0;
```

```
z <= "00";
```

```
END IF;
```

```
END CASE;
```

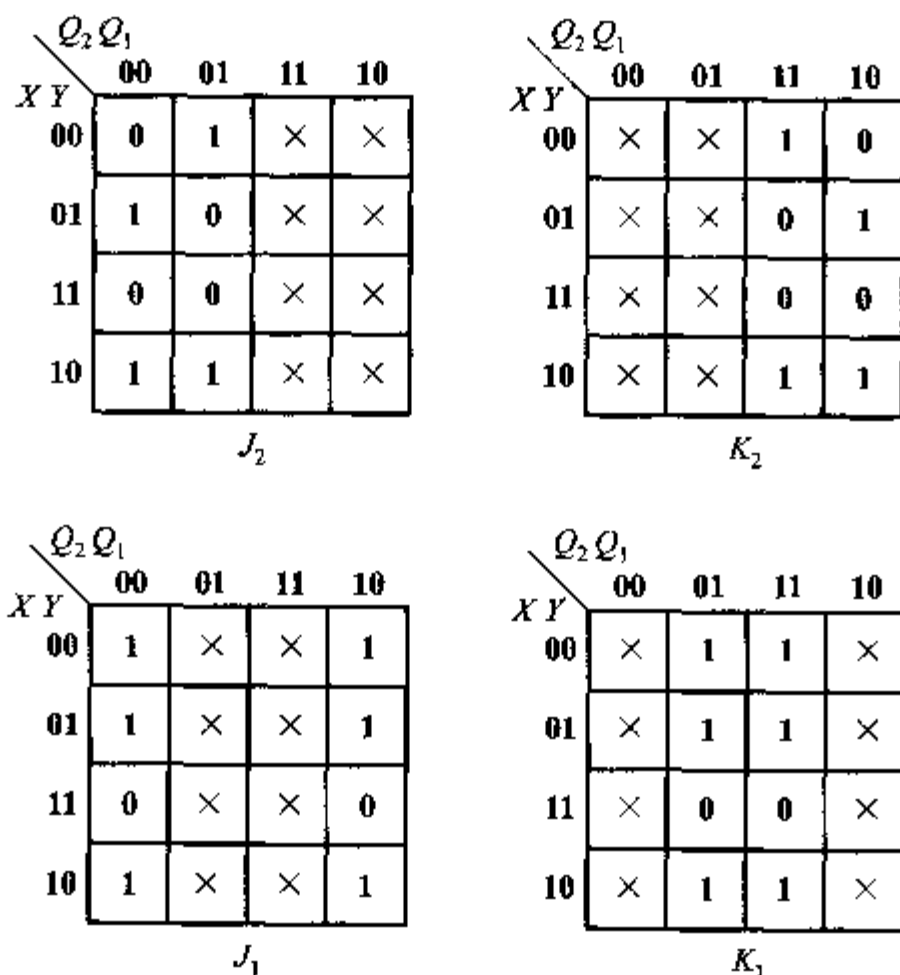
```
END PROCESS;
```

```
END be;
```

习题 4.30 试设计如习题 4.30 表(a)所描述的模可变计数器,表中  $X$ 、 $Y$  是控制端,要求采用  $JK$  触发器实现。用 VHDL 实现上述功能的行为描述。

解:根据题目要求,得到其状态转换表如习题 4.30(b)表所示。

根据习题 4.30 表(b)作出激励信号卡诺图如习题 4.30 图所示。



习题 4.30 图

卡诺图化简,求触发器的激励方程

$$\begin{cases} J_2 = XY + \bar{Y}Q_1 + \bar{X}Y\bar{Q}_1 & K_2 = X\bar{Y} + XY\bar{Q}_1 + \bar{Y}Q_1 \\ J_1 = \bar{Y} + \bar{X} & K_1 = \bar{Y} + \bar{X} \end{cases}$$

习题 4.30 表(a) 功 能 表

现 态		次 态							
		XY=00		XY=01		XY=10		XY=11	
$Q_2$	$Q_1$	$Q_2$	$Q_1$	$Q_2$	$Q_1$	$Q_2$	$Q_1$	$Q_2$	$Q_1$
0	0	0	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	0	1
1	0	1	1	0	1	0	1	1	0
1	1	0	0	1	0	0	0	1	1

习题 4.30 表(b) 状态转换表

输 入		现 态		次 态		激励信号			
$X$	$Y$	$Q_{2n}$	$Q_{1n}$	$Q_{2n+1}$	$Q_{1n+1}$	$J_2$	$K_2$	$J_1$	$K_1$
0	0	0	0	0	1	0	×	1	×
0	0	0	1	1	0	1	×	×	1
0	0	1	0	1	1	×	0	1	×
0	0	1	1	0	0	×	1	×	1
0	1	0	0	1	1	1	×	1	×
0	1	0	1	0	0	0	×	×	1
0	1	1	0	0	1	×	1	1	×
0	1	1	1	1	0	×	0	×	1
1	0	0	0	1	1	1	×	1	×
1	0	0	1	1	0	1	×	×	1
1	0	1	0	0	1	×	1	1	×
1	0	1	1	0	0	×	1	×	1
1	1	0	0	0	0	0	×	0	×
1	1	0	1	0	1	0	×	×	0
1	1	1	0	1	0	×	0	0	×
1	1	1	1	1	1	×	0	×	0

最后,根据激励方程画出逻辑图,逻辑图略。

用 VHDL 实现上述功能的程序清单如下:

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY xiti4_30 IS
    PORT ( clk ,reset,x,y: IN std_logic ;
           z:OUT std_logic_vector(1 downto 0) );
END xiti4_30;
ARCHITECTURE be OF xiti4_30 IS
    TYPE fsm_st IS (s0,s1,s2,s3);
    SIGNAL current_state, next_state: fsm_st;
    SIGNAL tem: std_logic_vector(1 downto 0);
BEGIN
tem <= x&y;
reg: PROCESS (reset,clk)
    BEGIN
        IF reset = '1' THEN current_state <= s0;           /异步复位
        ELSIF rising_edge(clk) THEN
            current_state <= next_state;                     /状态转换
        END IF;
    END PROCESS;
com: PROCESS (current_state, tem)
    BEGIN
        CASE current_state IS
            WHEN s0 =>
                IF tem = "00" THEN next_state <= s1;
                z <= "00";
                ELSIF tem = "01" THEN next_state <= s3;      /减计数输出
                z <= "01";
                ELSIF tem = "10" THEN next_state <= s3;
                z <= "00";
                ELSIF tem = "11" THEN next_state <= s0;
                z <= "00";
                END IF;
            WHEN s1 =>

```



```

IF      tem = "00" THEN next_state <= s2;
z <= "00";
ELSIF   tem = "01" THEN next_state <= s0;
z <= "00";
      ELSIF tem = "10" THEN next_state <= s2;
      z <= "00";
      ELSIF tem = "11" THEN next_state <= s1;
      z <= "00";
END IF;
WHEN s2 = >
IF      tem = "00" THEN next_state <= s3;
z <= "00";
ELSIF   tem = "01" THEN next_state <= s1;
z <= "00";
      ELSIF tem = "10" THEN next_state <= s1;
      z <= "00";
      ELSIF tem = "11" THEN next_state <= s2;
      z <= "00";
END IF;
WHEN s3 = >
IF      tem = "00" THEN next_state <= s0;      /加计数输出
z <= "10";
ELSIF   tem = "01" THEN next_state <= s2;
z <= "00";
      ELSIF tem = "10" THEN next_state <= s0;
      z <= "00";
      ELSIF tem = "11" THEN next_state <= s3;
      z <= "00";
END IF;
END CASE;
END PROCESS;

END be;

```

习题 4.31 同步时序电路有三个输入端  $A$ 、 $B$ 、 $C$ ，三个信号  $A$ 、 $B$ 、 $C$  在同一时刻只能有一个为 1，另外两个为 0 或  $A$ 、 $B$ 、 $C$  皆为 0。电路中各状态之间的转换关系如下：

(1) 当触发器  $Q_1Q_2$  为 **00** 状态时:(a)当  $A=1$  时转向 **01** 状态;(b)当  $B=1$  时转向 **10** 状态;(c)当  $C=1$  时转向 **11** 状态;(d)当  $A=B=C=0$  时转向 **00** 状态。

(2) 当触发器  $Q_1Q_2$  状态为 **01** 时,下一个状态必为 **10**。

(3) 当触发器  $Q_1Q_2$  状态为 **10** 时,下一个状态必为 **11**。

(4) 当触发器  $Q_1Q_2$  状态为 **11** 时,下一个状态必为 **00**。

采用  $JK$  触发器和最少的门电路实现该时序电路。

解:根据题目要求,得到其状态转换表如习题 4.31 表所示。

习题 4.31 表 状态转换表

输 入			现 态		次 态		激励信号			
$A$	$B$	$C$	$Q_{1n}$	$Q_{2n}$	$Q_{1n+1}$	$Q_{2n+1}$	$J_1$	$K_1$	$J_2$	$K_2$
0	0	0	0	0	0	0	0	×	0	×
0	0	0	0	1	1	0	1	×	×	1
0	0	0	1	0	1	1	×	0	1	×
0	0	0	1	1	0	0	×	1	×	1
0	0	1	0	0	1	1	1	×	1	×
0	0	1	0	1	1	0	1	×	×	1
0	0	1	1	0	1	1	×	0	1	×
0	0	1	1	1	0	0	×	1	×	1
0	1	0	0	0	1	0	1	×	0	×
0	1	0	0	1	1	0	1	×	×	1
0	1	0	1	0	1	1	×	0	1	×
0	1	0	1	1	0	0	×	1	×	1
1	0	0	0	0	0	1	0	×	1	×
1	0	0	0	1	1	0	1	×	×	1
1	0	0	1	0	1	1	×	0	1	×
1	0	0	1	1	0	0	×	1	×	1

根据习题 4.31 表作出激励信号卡诺图,卡诺图略。

卡诺图化简,求触发器的激励方程

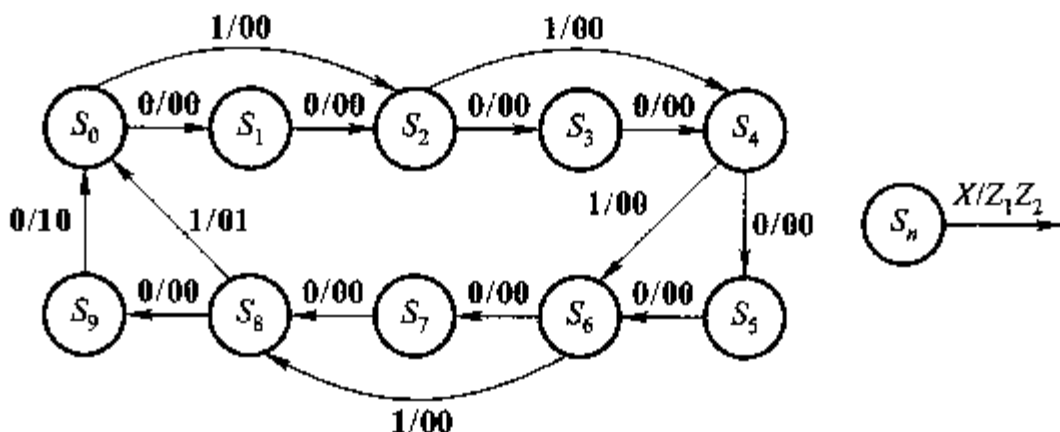
$$\begin{cases} J_1 = Q_2 + B + C & K_1 = Q_2 \\ J_2 = Q_1 + A + C & K_2 = 1 \end{cases}$$

最后,根据激励方程画出逻辑图,逻辑图略。

习题 4.32 试设计一个加 1、加 2 同步计数器。当控制信号  $X$  为 0 时,计数器作十进制加 1 计数;当控制信号为 1 时,作加 2 计数,但  $X$  不会在计数器状态为奇数时由 0 变 1。试绘出原始状态转换图与原始状态转换表。

解:控制信号  $X=0$  时,电路是一个十进制计数器,需要 10 个状态,用  $S_0$ 、 $S_1$ 、 $\dots$ 、 $S_9$  表示,设进位输出端  $Z_1$ ;控制信号  $X=1$  时,加 2 计数,用  $S_0$ 、 $S_2$ 、 $\dots$ 、 $S_8$  表示,设进位输出端  $Z_2$ ;当电路处在奇数状态  $S_1$ 、 $S_3$ 、 $\dots$ 、 $S_9$  时,控制信号不会从 0 变为 1。

根据上述分析得到的原始状态转换图如习题 4.32 图所示,原始状态转换表如习题 4.32 表所示。



习题 4.32 图

习题 4.32 表

$S_n \backslash X$	$S_0$	$S_1$	$S_2$	$S_3$	$S_4$	$S_5$	$S_6$	$S_7$	$S_8$	$S_9$
	0000	0001	011	0110	0100	0101	0110	0111	1000	1001
0	$S_1/00$	$S_2/00$	$S_3/00$	$S_4/00$	$S_5/00$	$S_6/00$	$S_7/00$	$S_8/00$	$S_9/00$	$S_0/10$
1	$S_2/00$	x	$S_4/00$	x	$S_6/00$	x	$S_8/00$	x	$S_0/01$	x

$S_{n+1}/Z_1Z_2$

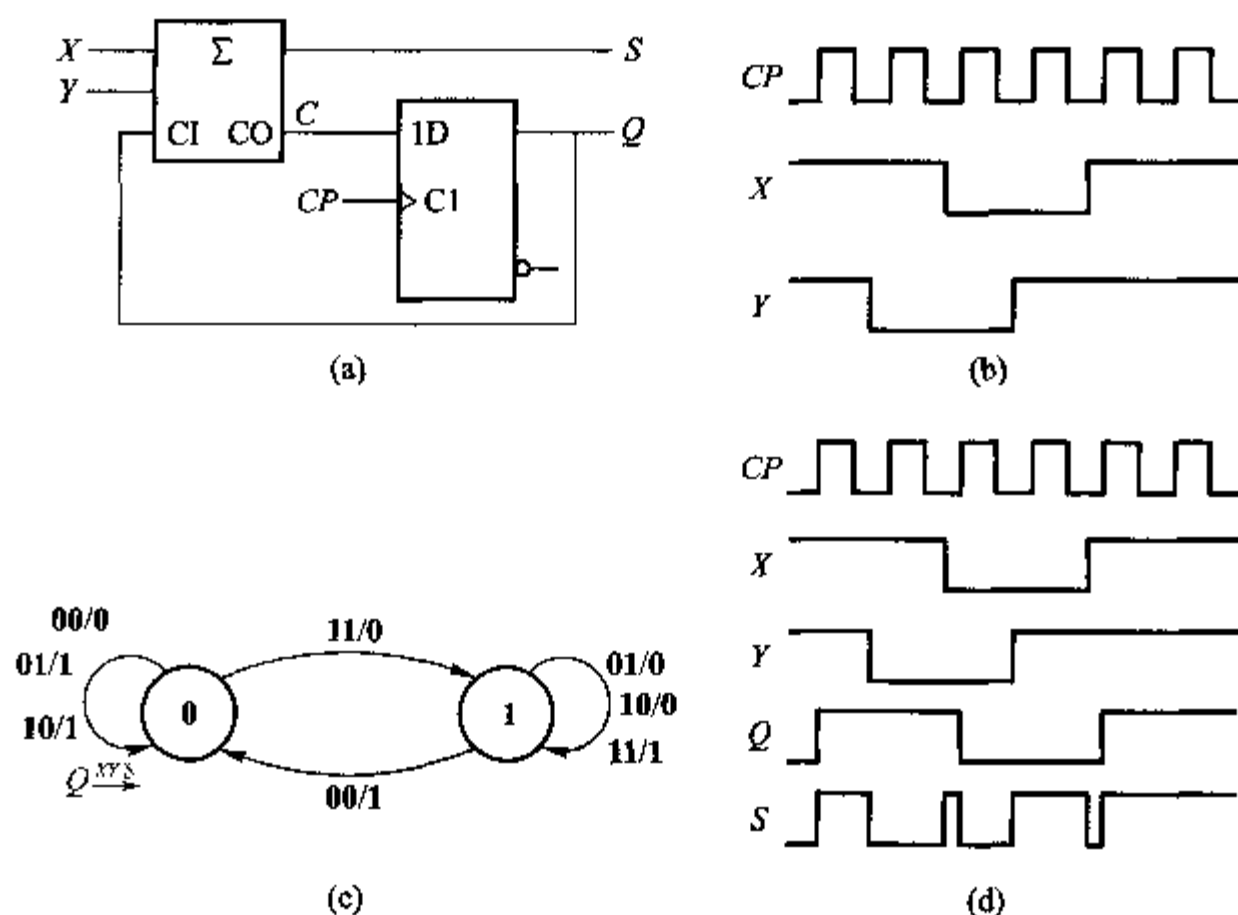
习题 4.33 如习题 4.33 图(a)所示时序电路,该电路由  $D$  触发器和全加器组成,其中  $C$ 、 $S$  分别是全加器的进位输出端以及和输出端,时序电路有两个输入端  $X$  和  $Y$ ,一个输出端  $S$ 。

(1) 试求该电路的状态转换图。

(2) 画出在如习题 4.33 图(b)所示输入信号的作用下,  $Q$  和  $S$  的波形,设初态为 0。

(3) 分析该电路的逻辑功能。

解:(1) 该电路由两部分组成:全加器和触发器。全加器实现 3 个数的相加,其中两个数来自电路的输入信号  $X$ 、 $Y$ ,另一个数是全加器的进位输入  $CI$ ;全



习题 4.33 图

加器的和为电路的输出信号  $S$ ; 全加器的进位输出  $CO$  与触发器的激励信号  $D$  相连。由于触发器  $Q$  端与全加器的进位输入  $CI$  相连, 所以  $D$  触发器将本位相加后的进位结果保存下来, 为高一位加法运算使用。该电路实现二进制的串行加法运算。

根据  $D$  触发器、全加器的功能得到该电路的功能表如习题 4.33 表所示。

习题 4.33 表

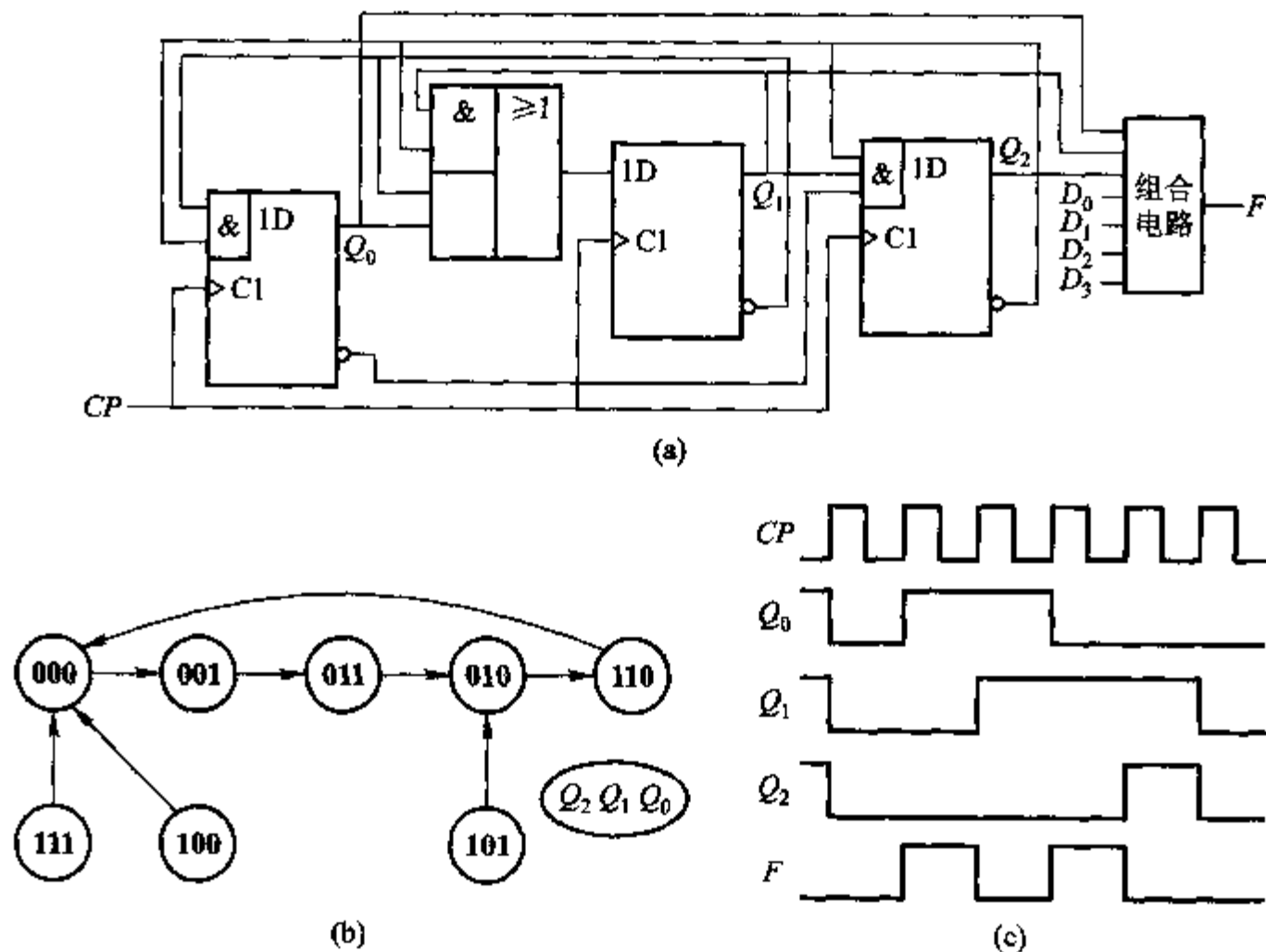
全加器					$D$ 触发器		
输 入			输 出		$Q_n$	$D$	$Q_{n+1}$
$X$	$Y$	$CI$	$CO$	$S$			
0	0	0	0	0	0	0	0
0	0	1	0	1	1	0	0
0	1	0	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	0
1	0	1	1	0	1	1	1
1	1	0	1	0	0	1	1
1	1	1	1	1	1	1	1

根据功能表的分析,得到状态转换图如习题 4.33 图(c)所示。

(2) 波形分析如习题 4.33 图(d)所示。

(3) 由上述分析可知,该电路实现串行二进制加法运算。

习题 4.34 一个数字电路子系统如习题 4.34 图(a)所示,该系统由时序电路和组合电路两部分组成, $F$  是该系统的输出端,图中组合电路真值表如习题 4.34 表所示。



习题 4.34 图

(1) 分析时序电路,画出其状态转换图。

(2) 说明图中组合电路的名称。

(3) 若输入信号  $D_3 D_2 D_1 D_0 = 0110$  并保持不变,试画出  $F$  与时钟  $CP$  的对应波形,设触发器的初态均为 1。

解: (1) 列激励方程

$$\begin{cases} D_0 = \bar{Q}_1 \bar{Q}_2 \\ D_1 = Q_0 \bar{Q}_1 + Q_1 \bar{Q}_2 \\ D_2 = \bar{Q}_0 Q_1 \bar{Q}_2 \end{cases}$$

习题 4.34 表

$Q_2$	$Q_1$	$Q_0$	$F$
1	x	x	0
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$

驱动方程

$$\begin{cases} Q_{0n+1} = \bar{Q}_1 \bar{Q}_2 \\ Q_{1n+1} = Q_0 \bar{Q}_1 + Q_1 \bar{Q}_2 \\ Q_{2n+1} = \bar{Q}_0 Q_1 \bar{Q}_2 \end{cases}$$

由驱动方程,计算求出状态转换图如习题 4.34 图(b)所示。

(2) 分析习题 4.34 表所示组合电路功能表,  $Q_2$  是控制端, 当  $Q_2 = 0$  时, 组合电路实现数据选择器的功能,  $Q_1 Q_0$  是数据选择器的地址信号。

(3) 若输入信号  $D_3 D_2 D_1 D_0 = 0110$  并保持不变, 触发器的初态均为 1。  $F$  与时钟  $CP$  的对应波形如习题 4.34 图(c)所示。

习题 4.35 试用三个  $JK$  触发器构成一个同步二进制计数器, 将其输出信号  $Q_2 Q_1 Q_0$  译码后控制交通路口红、绿、黄灯, 要求设计结果符合习题 4.35 表的要求, 用与非门实现其中的译码电路。

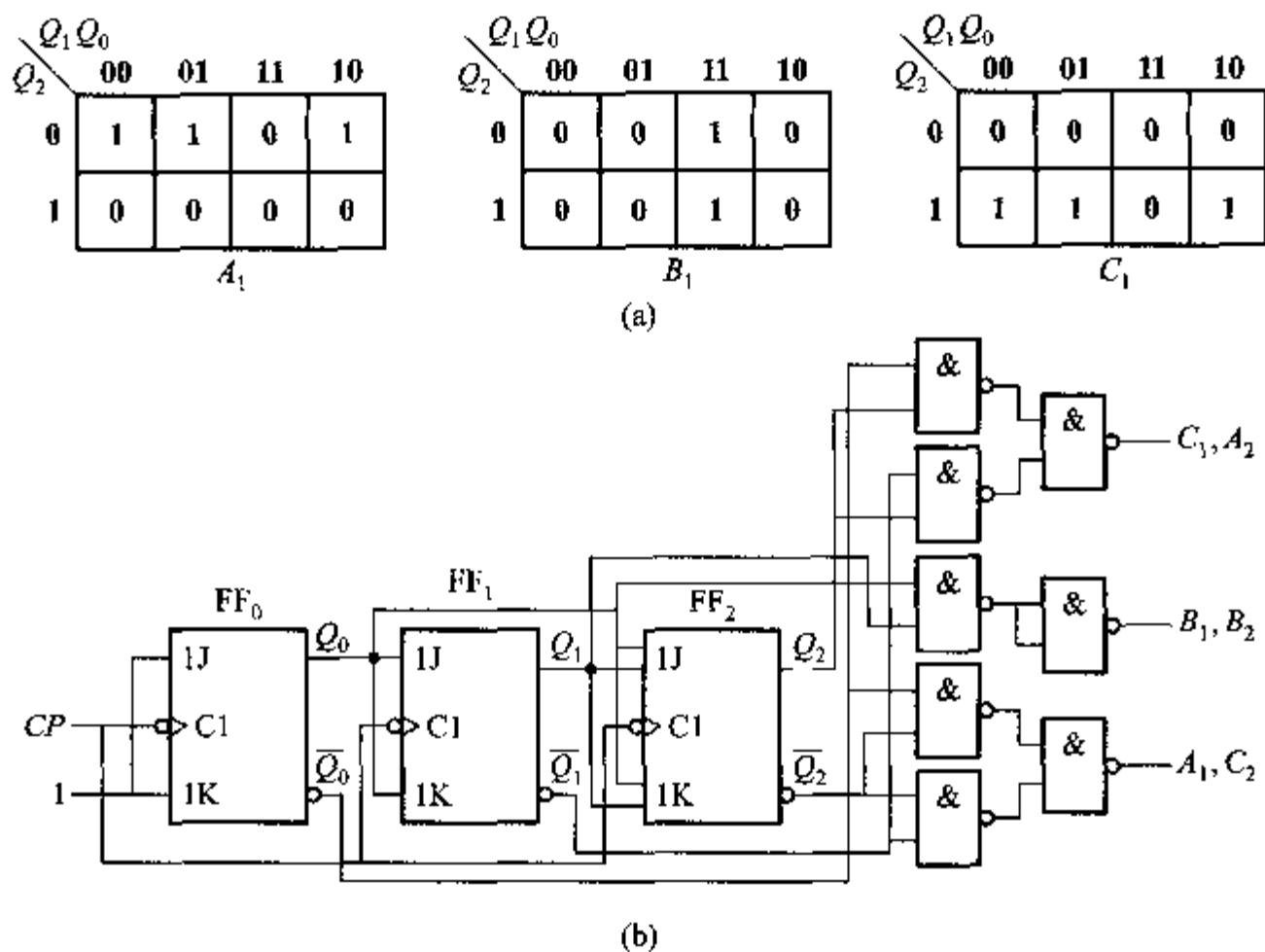
解: (1) 首先设计一个 3 位二进制同步计数器。如果用  $JK$  触发器实现, 则激励方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_1 Q_0 \end{cases}$$

(2) 根据习题 4.35 表的要求, 画出南北信号灯  $A_1$ 、 $B_1$ 、 $C_1$  的卡诺图如习题 4.35 图(a)所示, 求其函数式。

习题 4.35 表

时钟脉冲	计数状态			南北信号灯 (红 黄 绿)			东西信号灯 (红 黄 绿)		
$CP$	$Q_2$	$Q_1$	$Q_0$	$A_1$	$B_1$	$C_1$	$A_2$	$B_2$	$C_2$
0	0	0	0	1	0	0	0	0	1
1	0	0	1	1	0	0	0	0	1
2	0	1	0	1	0	0	0	0	1
3	0	1	1	0	1	0	0	1	0
4	1	0	0	0	0	1	1	0	0
5	1	0	1	0	0	1	1	0	0
6	1	1	0	0	0	1	1	0	0
7	1	1	1	0	1	0	0	1	0



习题 4.35 图

$$\begin{cases} A_1 = \overline{Q_2} \overline{Q_1} + \overline{Q_2} \overline{Q_0} = \overline{\overline{Q_2} \overline{Q_1} \overline{Q_2} \overline{Q_0}} \\ B_1 = Q_1 Q_0 = \overline{\overline{Q_1} \overline{Q_0}} \\ C_1 = Q_2 \overline{Q_1} + Q_2 \overline{Q_0} = \overline{\overline{Q_2} \overline{Q_1} \overline{Q_2} \overline{Q_0}} \end{cases} \quad \begin{cases} A_2 = C_1 \\ B_2 = B_1 \\ C_2 = A_1 \end{cases}$$

根据上述激励方程和输出方程,画出逻辑图如习题 4.35 图(b)所示。

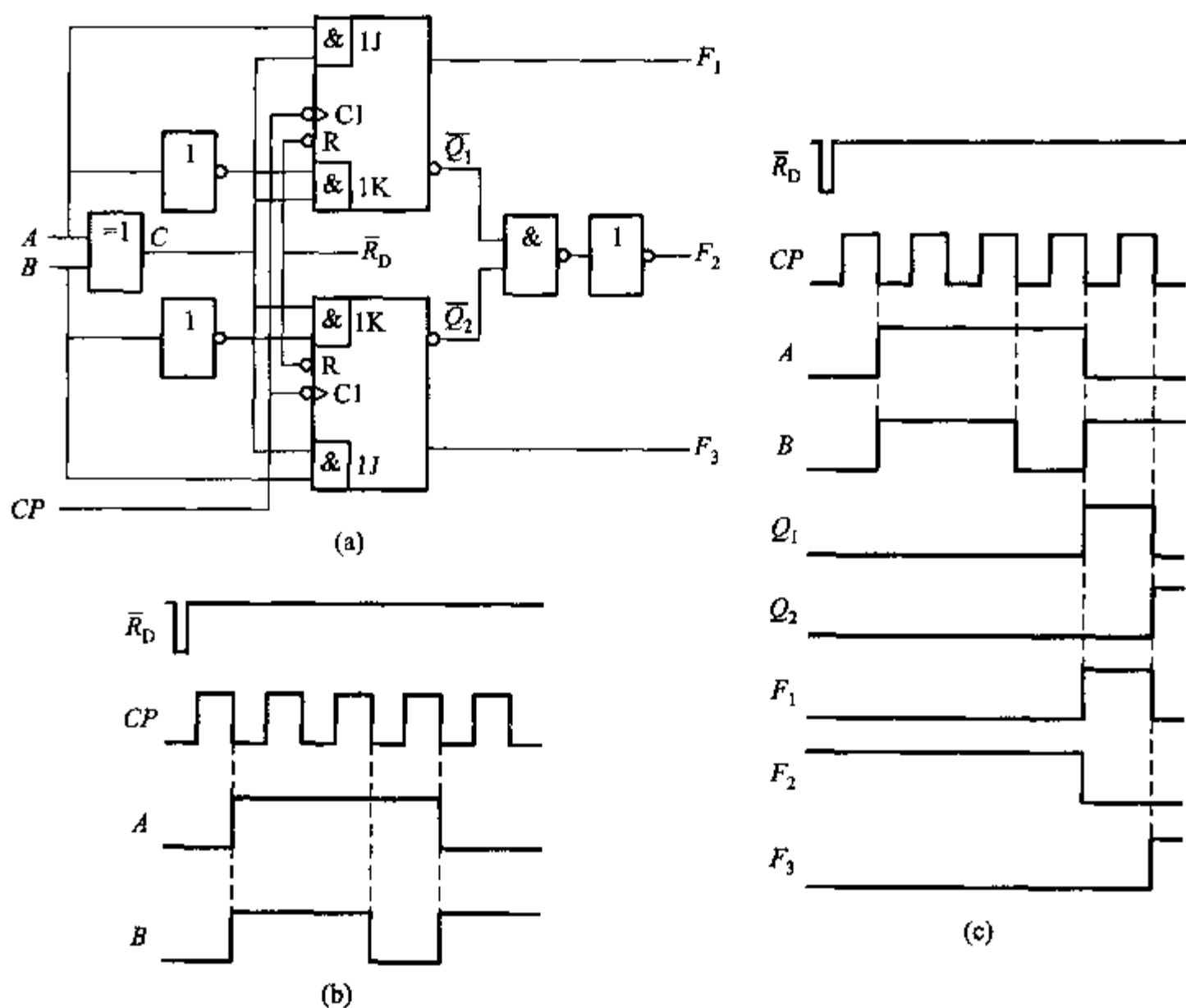
习题 4.36 电路如习题 4.36 图(a)所示,已知输入信号  $\overline{R_D}$ 、 $CP$ 、 $A$  和  $B$  的波形如习题 4.36 图(b)所示。试画出输出  $F_1$ 、 $F_2$  和  $F_3$  的波形,并分析说明电路的功能。

解: (1) 当  $\overline{R_D} = 1$  时,  $JK$  触发器工作,激励方程为

$$\begin{cases} J_1 = A(A \oplus B) & K_1 = \overline{A}(A \oplus B) \\ J_2 = B(A \oplus B) & K_2 = \overline{B}(A \oplus B) \end{cases} \quad \text{整理方程后,有} \quad \begin{cases} J_1 = A \overline{B} & K_1 = \overline{A} B \\ J_2 = \overline{A} B & K_2 = A \overline{B} \end{cases}$$

输出方程为

$$\begin{cases} F_1 = Q_1 \\ F_2 = \overline{Q_1} \overline{Q_2} \\ F_3 = Q_2 \end{cases}$$



习题 4.36 图

当  $A$ 、 $B$  输入信号取值不同时, 分析激励方程和状态方程为

$$A=0 \quad B=0: \begin{cases} J_1=0 & K_1=0 \\ J_2=0 & K_2=0 \end{cases} \begin{cases} Q_{1n+1}=Q_{1n} \\ Q_{2n+1}=Q_{2n} \end{cases}$$

$$A=0 \quad B=1: \begin{cases} J_1=0 & K_1=1 \\ J_2=1 & K_2=0 \end{cases} \begin{cases} Q_{1n+1}=0 \\ Q_{2n+1}=1 \end{cases}$$

$$A=1 \quad B=0: \begin{cases} J_1=1 & K_1=0 \\ J_2=0 & K_2=1 \end{cases} \begin{cases} Q_{1n+1}=1 \\ Q_{2n+1}=0 \end{cases}$$

$$A=1 \quad B=1: \begin{cases} J_1=0 & K_1=0 \\ J_2=0 & K_2=0 \end{cases} \begin{cases} Q_{1n+1}=Q_{1n} \\ Q_{2n+1}=Q_{2n} \end{cases}$$

经过状态方程以及输出方程的分析, 得到功能表如习题 4.36 表所示。



习题 4.36 表

$Q_{2n}Q_{1n}$ $AB$	00	01	10	11
00	00/010	01/100	10/001	11/101
01	10/010	10/100	10/001	10/101
10	01/010	01/100	01/001	01/101
11	00/010	01/100	10/001	11/101

$$Q_{2n+1}Q_{1n+1}/F_1F_2F_3$$

(2) 当  $\overline{R}_0 = 0$  时, 触发器清零,  $F_1 = 0$ 、 $F_2 = 1$ 、 $F_3 = 0$ 。

(3) 根据上述分析, 画出波形图如习题 4.36 图(c)所示。

(4) 根据功能表分析可知: 当输入信号  $A$ 、 $B$  取值相同时, 状态保持不变; 当输入信号  $A$ 、 $B$  取值不同时, 状态转换至另一个固定状态。

习题 4.37 CMOS 主从  $D$  触发器如习题 4.37 图(a)所示。

(1) 试分析电路的工作原理。

(2) 已知输入信号  $S_0$ 、 $R_0$ 、 $C$  和  $D$  的波形如习题图 4.37(b)所示。试画出  $Q$  端波形。

解: (1) 分析电路工作原理

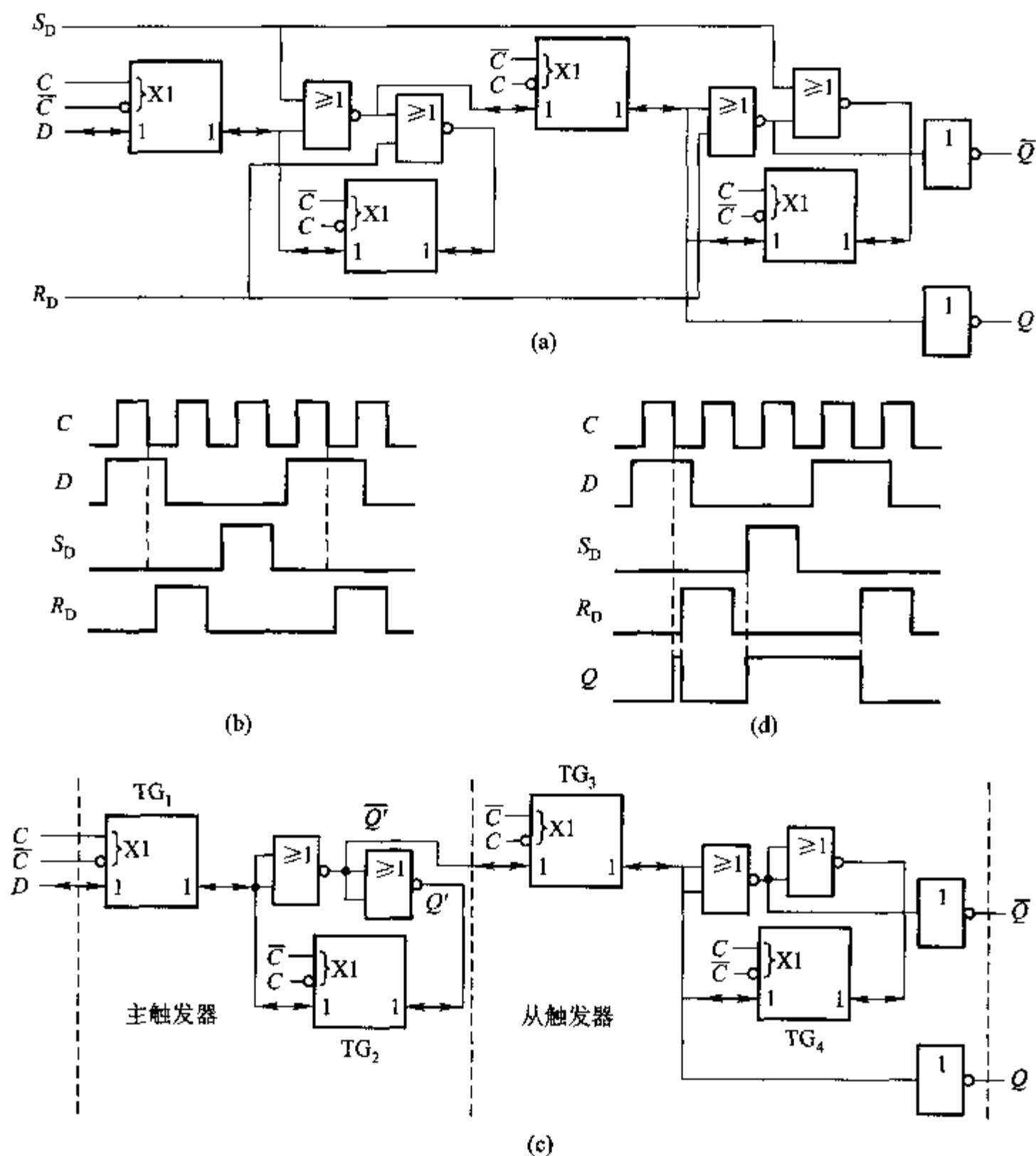
将电路中的传输门由左向右分别编号为:  $TG_1$ 、 $TG_2$ 、 $TG_3$  和  $TG_4$ 。当  $C = 0$ 、 $\overline{C} = 1$  时,  $TG_2$ 、 $TG_3$  门导通, 传输信号;  $TG_1$  和  $TG_4$  门截止。当  $C = 1$ 、 $\overline{C} = 0$  时,  $TG_2$ 、 $TG_3$  门关闭;  $TG_1$  和  $TG_4$  门打开, 传输信号。

当  $C = 0$ 、 $\overline{C} = 1$ 、 $S_0 = 1$ 、 $R_0 = 0$  时,  $TG_2$ 、 $TG_3$  门打开, 触发器置 1,  $Q = 1$ 、 $\overline{Q} = 0$ ; 当  $C = 1$ 、 $\overline{C} = 0$ 、 $S_0 = 1$ 、 $R_0 = 0$  时,  $TG_1$ 、 $TG_4$  门打开, 触发器置 1,  $Q = 1$ 、 $\overline{Q} = 0$ 。结论:  $S_0$  是高电平有效的直接置位端。同理可以分析,  $R_0$  是高电平有效的直接复位端。

当  $S_0 = 0$ 、 $R_0 = 0$  时, 与这两个信号相连的信号线对或门不起作用, 将习题 4.37 图(a)简化为习题 4.37 图(c)的形式, 且只考虑信号  $C$  和  $D$  的作用。

如习题 4.37 图(c)所示, 当  $C = 1$ 、 $\overline{C} = 0$  时,  $TG_1$  导通,  $TG_2$  截止,  $D$  信号送入主触发器, 使  $Q' = D$ , 主触发器未形成反馈连接,  $Q'$  信号跟随  $D$  端改变。  $TG_3$  截止,  $TG_4$  导通, 从触发器与主触发器无关联, 从触发器维持原状态不变。

当  $C$  下降沿到来,  $C$  跳变为 0、 $\overline{C}$  跳变为 1 时,  $TG_1$  截止,  $TG_2$  导通, 主触发器形成反馈连接, 主触发器存储了上升沿时刻的  $D$  信号。由于  $TG_3$  导通,  $TG_4$  截



习题 4.37 图

止,所以主触发器的状态通过  $TG_3$  送入从触发器,使  $Q = Q' = D$ 。

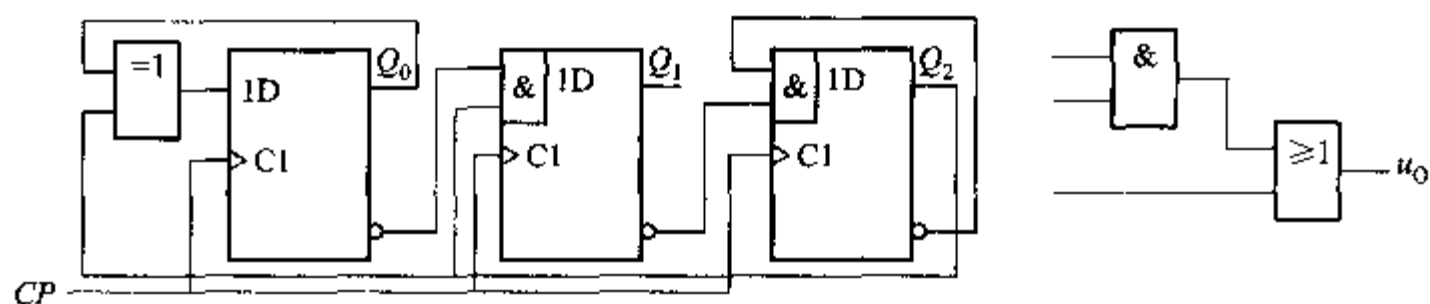
结论: 触发器状态变化发生在  $C$  下降沿, 触发器的输出等于下降沿时刻的  $D$  信号。

(2) 波形如习题 4.37 图 (d) 所示。

习题 4.38 如习题 4.38 图 (a) 所示电路是一个未完成的逻辑电路, 习题图 4.38 (b) 给出该电路的  $CP$  和输出  $u_o$  的波形, 试分析并完成该逻辑电路的连接。

解: (1) 首先分析时序电路部分的工作原理

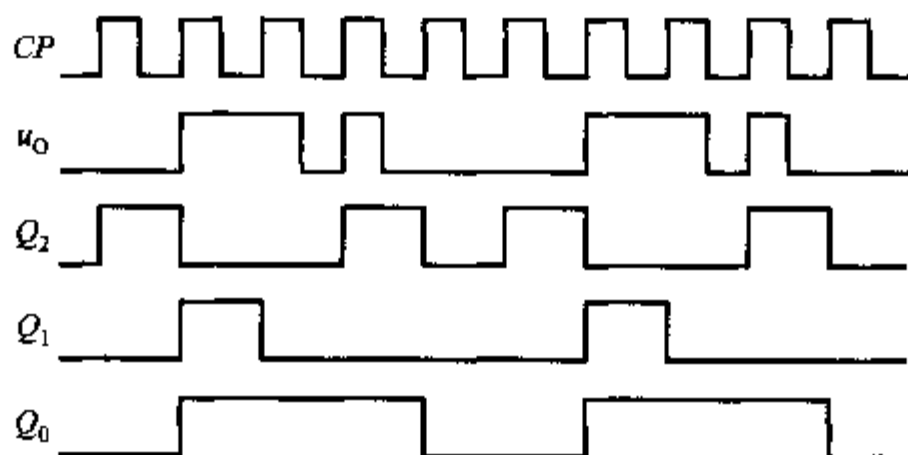
激励方程为



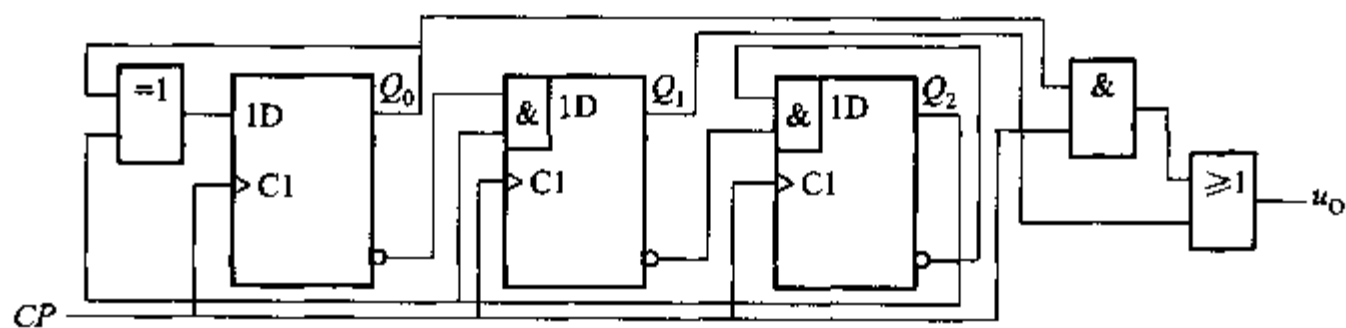
(a)



(b)



(c)



(d)

习题 4.38 图

$$\begin{cases} D_0 = Q_0 \oplus Q_2 \\ D_1 = \bar{Q}_0 Q_2 \\ D_2 = \bar{Q}_1 \bar{Q}_2 \end{cases}$$

状态方程为

$$\begin{cases} Q_{0n+1} = Q_0 \oplus Q_2 \\ Q_{1n+1} = \bar{Q}_0 Q_2 \\ Q_{2n+1} = \bar{Q}_1 \bar{Q}_2 \end{cases}$$

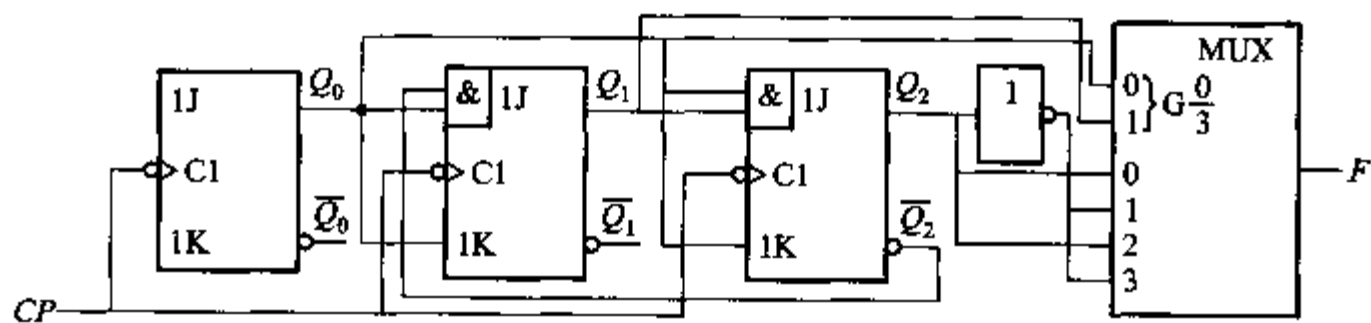
(2) 根据状态方程得到电路的状态转换表如习题 4.38 表所示。

习题 4.38 表

$CP$	$Q_{2n} \quad Q_{1n} \quad Q_{0n}$	$Q_{2n+1} \quad Q_{1n+1} \quad Q_{0n+1}$
1	0 0 0	1 0 0
2	1 0 0	0 1 1
3	0 1 1	0 0 1
4	0 0 1	1 0 1
5	1 0 1	0 0 0
6	1 1 0	0 1 1
7	1 1 1	0 0 0
8	0 1 0	0 0 0

画出在  $CP$  作用下状态  $Q_2Q_1Q_0$  变化以及  $u_0$  波形如习题 4.38 图(c)所示, 分析  $u_0$  与时钟  $CP$  和各状态之间的关系, 结论为  $u_0 = Q_1 + CPQ_0$ , 电路连接如习题 4.38 图(d)所示。

习题 4.39 习题 4.39 图是一种序列信号发生器, 它由一个计数器和一个 4 选 1 数据选择器构成。分析计数器的工作原理, 确定电路的模和状态转换关系, 确定在计数器输出控制下, 数据选择器的输出序列。



习题 4.39 图

解: (1) 首先分析计数器的工作原理

列写激励方程为

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \overline{Q_2}Q_0 & K_1 = Q_0 \\ J_2 = Q_1Q_0 & K_2 = Q_0 \end{cases}$$

状态方程为

$$\begin{cases} Q_{0n+1} = \bar{Q}_0 \\ Q_{1n+1} = \bar{Q}_2 \bar{Q}_1 Q_0 + Q_1 \bar{Q}_0 \\ Q_{2n+1} = \bar{Q}_2 Q_1 Q_0 + Q_2 \bar{Q}_0 \end{cases}$$

根据状态方程得到电路的状态转换表如习题 4.39 表所示,是一个模 6 计数器。

习题 4.39 表

CP	$Q_{2n} \quad Q_{1n} \quad Q_{0n}$	$Q_{2n+1} \quad Q_{1n+1} \quad Q_{0n+1}$
1	0 0 0	0 0 1
2	0 0 1	0 1 0
3	0 1 0	0 1 1
4	0 1 1	1 0 0
5	1 0 0	1 0 1
6	1 0 1	0 0 0
7	1 1 0	1 1 1
8	1 1 1	1 0 0

(2) 分析 4 选 1 数据选择器的连接

4 选 1 数据选择器函数式

$$F = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

电路连接

$$A_1 = Q_1, A_0 = Q_0, D_0 = D_2 = Q_2, D_1 = D_3 = \bar{Q}_2$$

由此得出

$$F = Q_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_1 Q_0 + Q_2 Q_1 \bar{Q}_0 + \bar{Q}_2 Q_1 Q_0$$

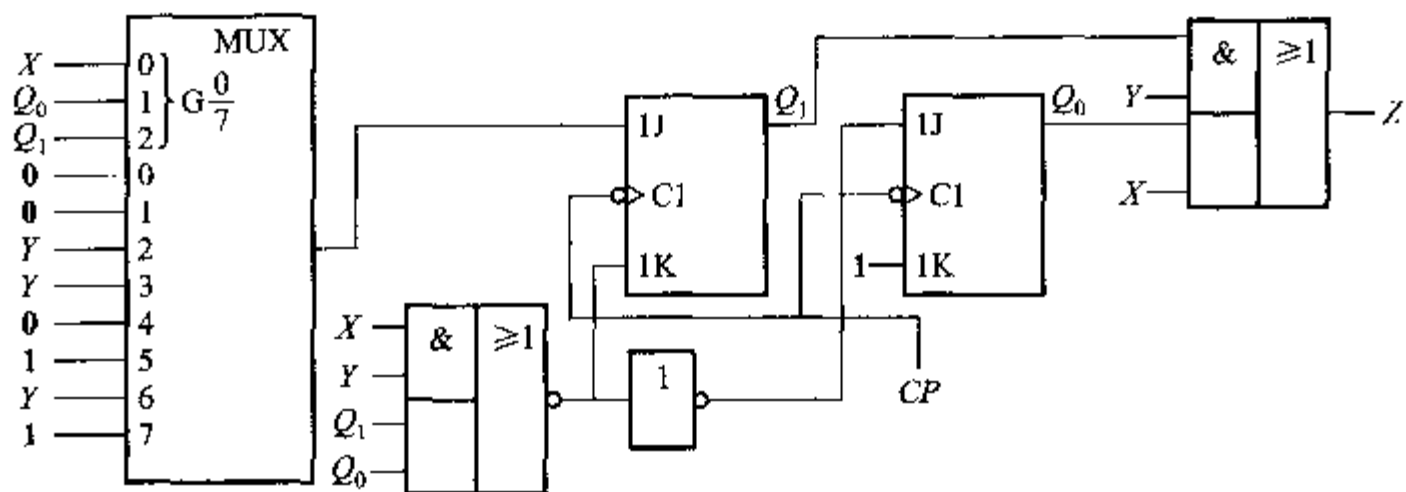
(3) 结论:在时钟信号的作用下,数据选择器循环输出 010 110 序列。

习题 4.40 试导出习题 4.40 图(a)所示电路的状态表及状态图。

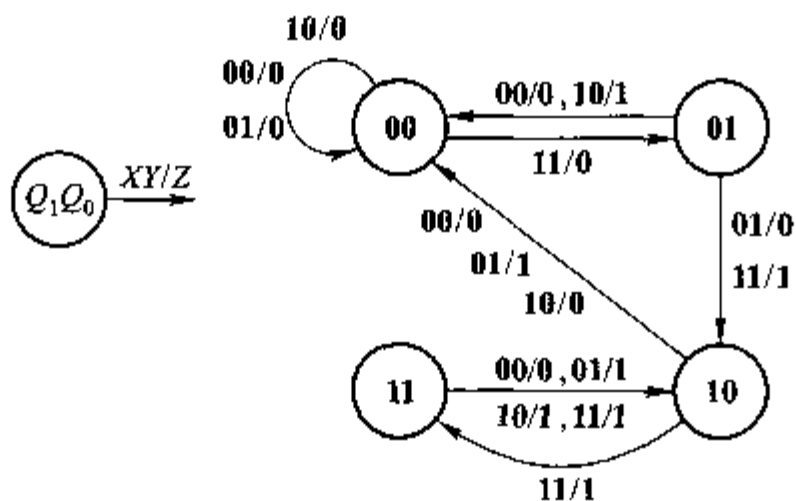
解:该电路是一个同步时序电路,X、Y 是时序电路输入,Z 为时序电路的输出,可以按照常规的分析步骤进行分析。

激励方程为

$$\begin{cases} J_1 = \bar{Q}_1 Q_0 \bar{X} Y + \bar{Q}_1 Q_0 X Y + Q_1 \bar{Q}_0 X + Q_1 Q_0 \bar{X} Y + Q_1 Q_0 X \\ K_1 = \bar{X} Y + Q_1 Q_0 \\ J_0 = X Y + Q_1 Q_0 \\ K_0 = 1 \end{cases}$$



(a)



(b)

习题 4.40 图

输出方程为

$$Z = Q_1 Y + Q_0 X$$

进一步简化激励方程、状态方程和输出方程。

当  $XY = 00$  时的激励方程为

$$\begin{cases} J_1 = 0 \\ K_1 = \overline{Q_1 Q_0} \\ J_0 = Q_1 Q_0 \\ K_0 = 1 \end{cases}$$

状态方程及输出方程为

$$\begin{cases} Q_{1n+1} = Q_1 Q_0 \\ Q_{0n+1} = 0 \\ Z = 0 \end{cases}$$

当  $XY = 01$  时的激励方程为

$$\begin{cases} J_1 = Q_0 \\ K_1 = \overline{Q_1 Q_0} \\ J_0 = Q_1 Q_0 \\ K_0 = 1 \end{cases}$$

状态方程及输出方程为

$$\begin{cases} Q_{1n+1} = Q_0 \\ Q_{0n+1} = 0 \\ Z = Q_1 \end{cases}$$

当  $XY = 10$  时的激励方程为

$$\begin{cases} J_1 = Q_1 \\ K_1 = \overline{Q_1 Q_0} \\ J_0 = Q_1 Q_0 \\ K_0 = 1 \end{cases}$$

状态方程及输出方程为

$$\begin{cases} Q_{1n+1} = Q_1 Q_0 \\ Q_{0n+1} = 0 \\ Z = Q_0 \end{cases}$$

当  $XY = 11$  时的激励方程为

$$\begin{cases} J_1 = Q_1 + Q_0 \\ K_1 = 0 \\ J_0 = 1 \\ K_0 = 1 \end{cases}$$

状态方程及输出方程为

$$\begin{cases} Q_{1n+1} = Q_1 + Q_0 \\ Q_{0n+1} = \overline{Q_0} \\ Z = Q_1 + Q_0 \end{cases}$$

根据上述分析,得到电路的状态转换表如习题 4.40 表所示,状态转换图如

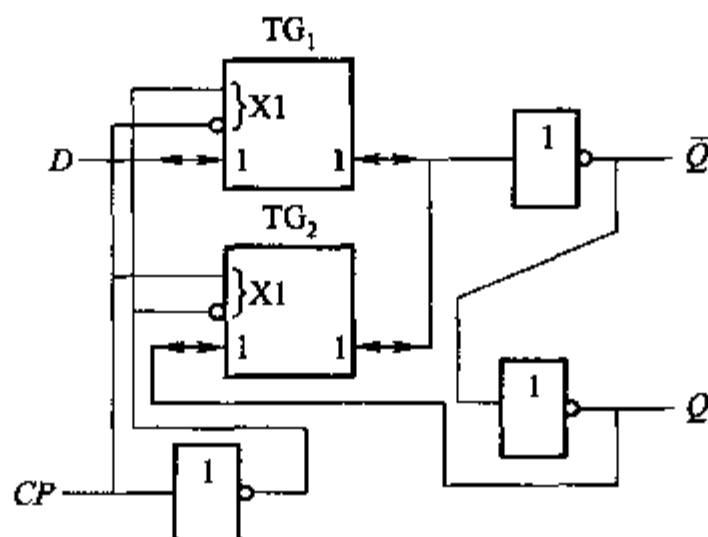
习题 4.40 图(b)所示。

习题 4.40 表

$Q_{1n} Q_{0n}$ $XY$	00	01	10	11
00	00/0	00/0	00/0	10/0
01	00/0	10/0	00/1	10/1
10	00/0	00/1	00/0	10/1
11	01/0	10/1	11/1	10/1

$Q_{1n+1} Q_{0n+1}/Z$

习题 4.41 习题 4.41 图为 CMOS 传输门构成的基本触发器电路。它由两个传输门  $TG_1$ 、 $TG_2$  和非门相连构成基本触发器。请分析工作原理,并说明该触发器的功能。



习题 4.41 图

解: (1)  $CP$  为低电平时,  $TG_1$  导通、 $TG_2$  截止,  $D$  信号经传输门输入,  $\bar{Q} = \bar{D}$ 、 $Q = D$ , 电路输出  $Q$  跟随  $D$  信号变化。

(2)  $CP$  上升沿时,  $TG_1$  截止、 $TG_2$  导通,  $D$  信号不能传输,  $D$  信号的改变对输出不会产生影响, 输出端的两个非门首尾相连, 保持上升沿时刻的状态不变。

(3) 结论: 电路实现  $D$  锁存器的功能,  $CP$  为低电平时有效。



# 第五章 常用时序集成 电路模块及其应用

用常用时序中规模集成模块设计数字电路仍是目前组成数字系统的主要设计方法,熟悉和掌握时序中规模集成模块的基本工作原理及其应用也是数字电子技术课程的主要任务。本章要求学生认识时序模块的国标符号、逻辑符号和时序电路模块的功能表,进而掌握用时序模块和其他电路组成的应用电路。

## 第一节 基本知识、重点与难点

### 一、基本知识

#### (一) 常用时序模块

在实际中有许多 MSI 产品可供选用,掌握了这些产品的逻辑功能、性能指标和使用方法,就可以方便地利用它们构成具有各种功能的数字电路,而无需采用单元触发器和门电路进行设计。

#### (二) 计数器及其应用

计数器是用来计算输入脉冲数目的时序逻辑电路,是数字系统中应用最广泛的基本单元之一。它是用电路的不同状态来表示输入脉冲的个数。计数器所能计算脉冲数目的最大值(即电路所能表示状态数目的最大值)称为计数器的模( $M$ )。

按进位方式,计数器可分为同步和异步两类。同步计数器的所有触发器共用一个时钟脉冲,时钟脉冲就是计数的输入脉冲。异步计数器只有部分触发器的时钟信号是计数脉冲,而另一部分触发器的时钟信号是其他触发器或组合电路的输出信号,因而各级触发器的状态更新不是同时发生的。

按进位制方式,计数器可分为二进制和非二进制(包括十进制)。

按逻辑功能方式,计数器可分为加法计数器、减法计数器和可逆计数器等。加法计数器的状态变化和数的依次累加相对应,减法计数器的状态变化和数的依次递减相对应。可逆计数器由控制信号控制实现累加或递减,可实现加法或减法计数。

若计数脉冲为一周期性信号,则模为  $M$  的计数器输出信号的频率为计数脉冲频率的  $1/M$ ,也就是说,计数器具有分频的功能,可作为数字分频器使用。

工程中经常用到的序列信号发生器也可由计数器设计而成。

### （三）寄存器及其应用

寄存器与移位寄存器均是数字系统中常见的逻辑模块。寄存器用来存放二进制数码,移位寄存器除具有寄存器的功能外,还可将数码移位。

#### 1. 寄存器

寄存器用来存放二进制数码。事实上每个触发器就是1位寄存器。74175是由四个具有公共清零端的上升沿D型触发器构成的中规模集成电路。

#### 2. 移位寄存器

移位寄存器具有移位功能,即除了可以存放数据以外,还可将所存数据向左或向右移位。

移位寄存器有单向移位和双向移位之分,还常带有并行输入端。74195是带有并行存取功能的4位单向移位寄存器。74194是可并行存取的4位双向移位寄存器,是一种功能比较齐全的移位寄存器,它具有左移、右移、并行输入数据、保持以及清除等五种功能。

利用移位寄存器可以很方便地将串行数据变换为并行数据,也可以将并行数据变换为串行数据。计算机中外部设备与主机之间的信息交换常常需要这种变换。

移位寄存器还常用来做成环形计数器和扭环形计数器,在序列控制中要用到这些类型的电路。

同计数器一样,移位寄存器也可用于设计序列信号发生器。

## 二、重点与难点

### 重点:

1. 识别各种时序模块的国标符号和逻辑符号。
2. 掌握常用同步与异步计数器的功能与特性。
3. 掌握常用寄存器和移位寄存器的功能与特性。
4. 熟练掌握常用各种计数器和移位寄存器的典型应用。

### 难点:

1. 国标符号的理解。
2. 各种计数器、移位寄存器和中规模组合电路的综合运用。

## 三、考核题型与考核重点

### 1. 概念与简答

题型为填空、判断和选择。

建议分配的分数为3~6分。

## 2. 综合与设计

题型 1 为设计模大于 16 的计数器。

题型 2 为各种计数器、移位寄存器和中规模组合电路综合运用的分析和设计。

建议分配的分数为 10 ~ 20 分。

## 第二节 典型题解

例题 5.1 由三片 74290 计数器组成的电路如例题 5.1 图所示,试分析其功能。

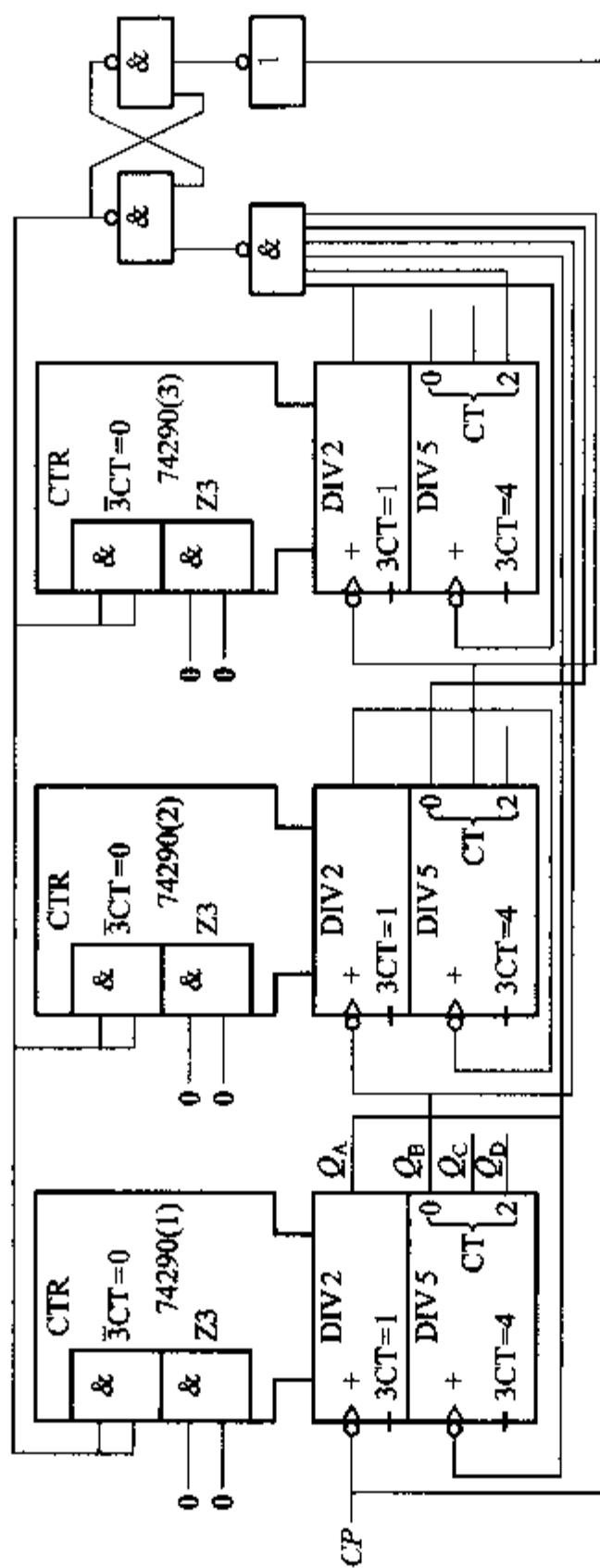
解: 在三个 74290 计数器中, 个位计数器 74290(1) 输出接成 3 的代码(0011), 十位计数器 74290(2) 输出接成 6 的代码(0110), 百位计数器 74290(3) 输出接成 9 的代码(1001), 将这三个计数器的最大计数 1 状态代码通过六输入与非门连到 RS 触发器, 当计数到最大值(963)时, 计数器输出全部被置 0, 完成  $M=963$  计数的功能( $M=9 \times 100 + 6 \times 10 + 3 \times 1 = 963$ ), 所以此电路为  $M=963$  的计数器。

例题 5.2 试用 74195 及 16 选 1 数据选择器产生序列信号  $Z: 10111000$  (电路初始状态为 0000)。

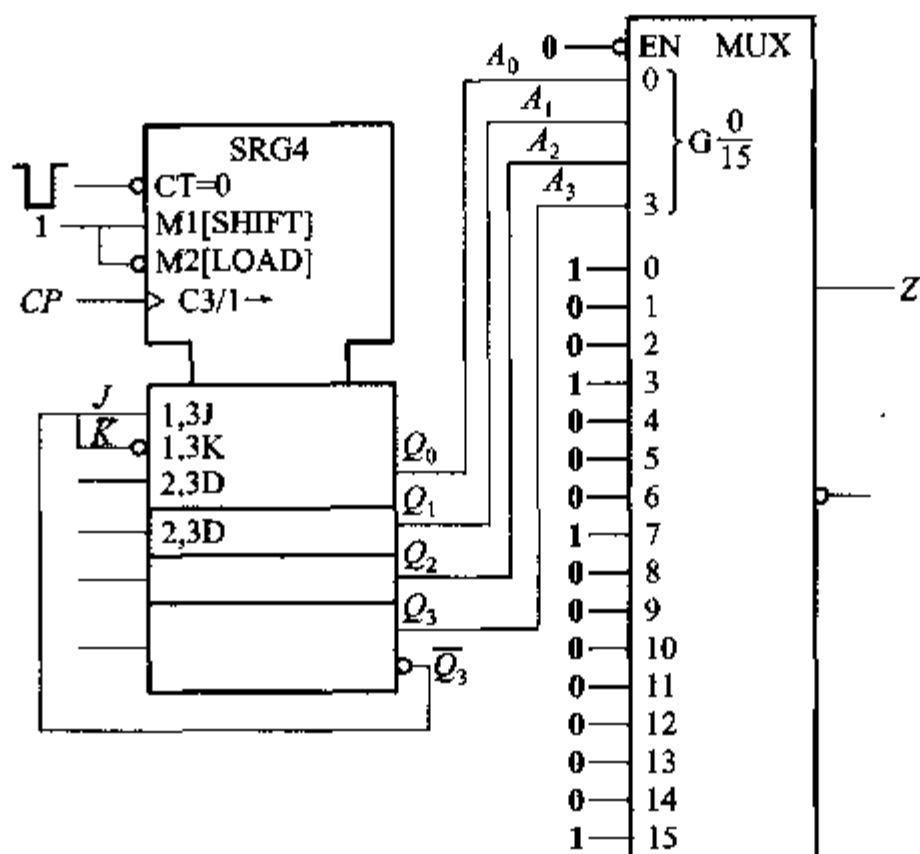
解: 电路图如例题 5.2 图所示。74195 连接成扭环形计数器, 其态序表如例题 5.2 表所示。由于数据选择器的地址输入端  $A_0A_1A_2A_3$  依次连接到 74195 的  $Q_0Q_1Q_2Q_3$ , 因而数据选择器的输出取决于  $Q_0Q_1Q_2Q_3$  所选择的对应输入端之值。将要求产生的序列信号 10111000 依次与态序表的各行一一对应, 可知应将  $D_0$ 、 $D_3$ 、 $D_7$ 、 $D_{15}$  接到高电平, 将  $D_1$ 、 $D_8$ 、 $D_{12}$ 、 $D_{14}$  接到低电平, 而其他输入端如何连接没有任何影响。

例题 5.3 例题 5.3 图(a)为 8421BCD 码编码逻辑电路图, 8421BCD 编码输入由按键操作完成。试分析图中各部分电路的作用, 并画出编码器工作波形。

解: 例题 5.3 图(a)中 74175 的作用是实现暂存。为使输入的 8421BCD 数码与时钟脉冲保持同步, 并消除按键触点噪声的影响, 数据输入寄存器这一操作由边沿触发器产生的单脉冲来完成。寄存器 74175 在 CP 脉冲由 0 到 1 正跳变时刻接收输入端的数据, 而 CP 脉冲为 1 或 0 时各输入端的状态均不被接收。编码器的工作波形如例题 5.3 图(b)所示。



例 5.1 图



例题 5.2 图

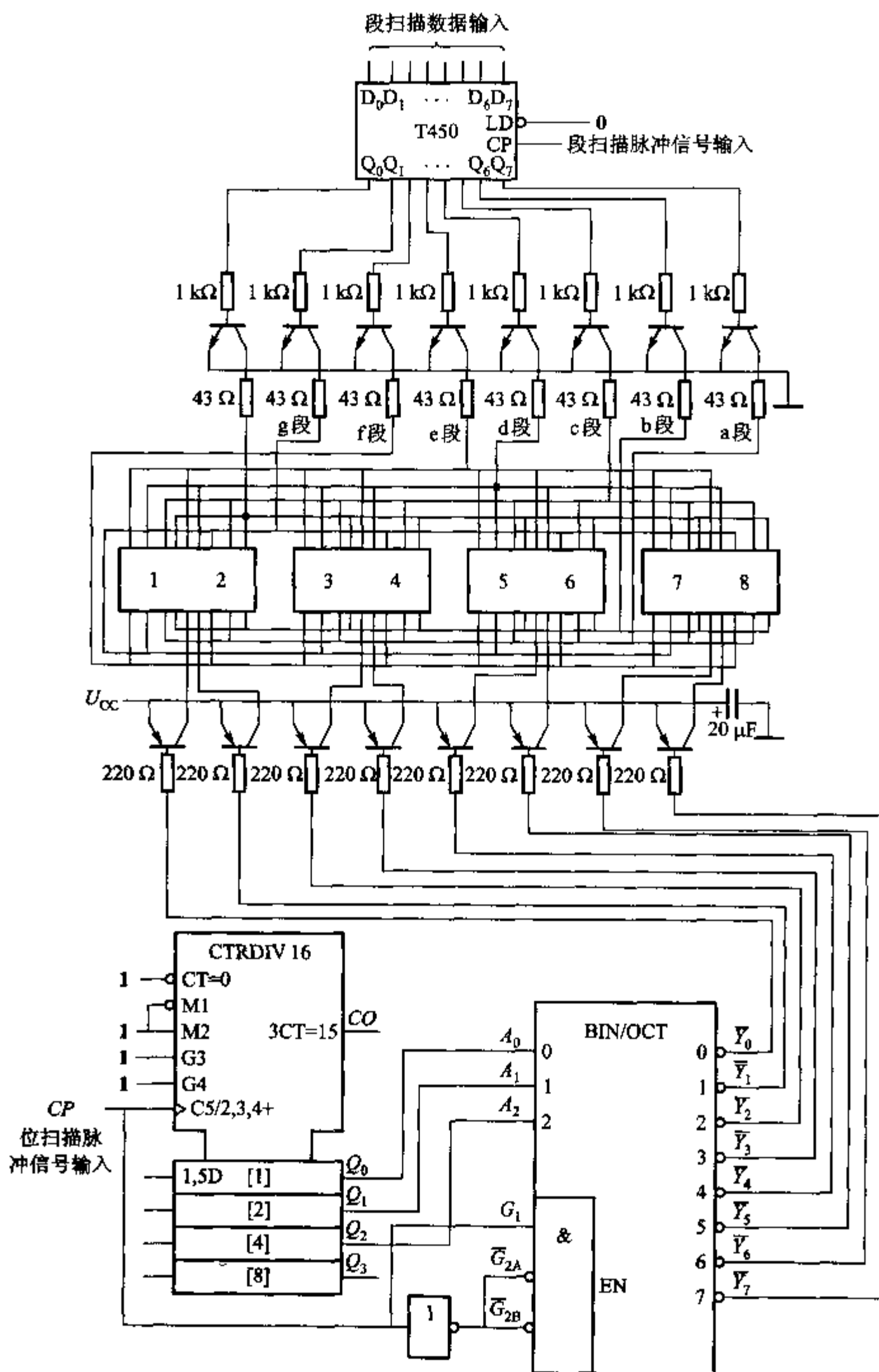
例题 5.2 表 例题 5.2 图态序表

N	$Q_3$	$Q_2$	$Q_1$	$Q_0$	Z
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	1	1
3	0	1	1	1	1
4	1	1	1	1	1
5	1	1	1	0	0
6	1	1	0	0	0
7	1	0	0	0	0

例题 5.4 扫描显示电路如例题 5.4 图所示,试分析其工作原理。

解: 例题 5.4 图中 T450 锁存器作显示器的“段”扫描信号寄存器,“位”扫描脉冲信号先由 74161 计数器进行计数,再经译码器 74138 译码后产生位驱动信号。因此,扫描显示器在“段”扫描脉冲和“位”扫描脉冲的共同作用下实现了扫描显示。





例题 5.4 图

### 第三节 题 解

#### 自我检测题解

题 5.1 答: 从功能上讲, 常用时序模块有计数器、寄存器和移位寄存器等。

题 5.2 答: 计数器的功能是对输入脉冲进行计数, 它是用电路的不同状态来表示计数值。计数器的模是指计算的脉冲数目的最大值。

题 5.3 答: 74161 是异步清零, 而 74163 是同步清零, 所以 74161 清零动作快。

题 5.4 答: 移位寄存器分为单向移位寄存器和双向移位寄存器两种。

题 5.5 答: 8 位移位寄存器串行输入时, 经8 个  $CP$  脉冲后, 8 位数码全部移入寄存器中, 若该寄存器已存满 8 位数码, 欲将其串行输出, 则需经过8 个  $CP$  脉冲后数码才能全部输出。

题 5.6 答: 有一个移位寄存器, 高位在左, 低位在右, 欲将存放在移位寄存器中的十进制数乘上  $(4)_{10}$ , 则需将该移位寄存器中的数左移2 位, 需要2 个移位脉冲。

题 5.7 答: 有一个移位寄存器, 高位在左, 低位在右, 欲将存放在移位寄存器中的二进制数除以十进制数  $(16)_{10}$ , 则需将该移位寄存器中的数右移4 位, 需要4 个移位脉冲。

题 5.8 答: 五个  $D$  触发器构成环形计数器, 其计数长度为A。

(A) 5 (B) 10 (C) 25 (D) 32

题 5.9 答:  $n$  级反馈移位寄存器产生的序列, 不可能的循环长度是B。

(A)  $2^n$  (B)  $>2^n$  (C)  $\leq 2^n$  (D)  $<2^n$

题 5.10 答: 用反馈移位寄存器产生 **11101000** 序列, 至少需要B 个触发器。

(A) 2 (B) 3 (C) 4 (D) 8

题 5.11 答: 用C 方式构成模 8 计数器的译码电路最简单。

(A) 同步计数器 (B) 异步计数器  
(C) 环形计数器 (D) 扭环形计数器

题 5.12 答:  $n$  级线性移位寄存器能产生的最大线性序列的循环长度是C。

(A)  $2^n$  (B)  $2^{n-1}$  (C)  $2^n - 1$  (D)  $n$

题 5.13 答: 在时序模块的国际符号控制块中的输入端标有  $CT = 0$ , 表



示D。

- (A) 当时钟有效时,触发器清零 (B) 当时钟上升沿时,触发器清零  
(C) 当时钟下降沿时,触发器清零 (D) 触发器即刻清零

题 5.14 答:在时序模块的国际符号控制块中的总定义符为 CTRDIV10,表示B。

- (A) 移位寄存器的模为 10 (B) 计数器的模为 10  
(C) 计数器的模为 16 (D) 以上三个答案都不对

### 思考题题解

题 5.1 在使用某个中规模时序模块前,需要了解哪些内容?

答:需要了解该时序模块的时钟、清零方式、置位方式、使能情况、移位或计数情况等。

题 5.2 一个 512 位移位寄存器用作延迟线,若时钟脉冲频率为 4 MHz,问数据通过该移位寄存器被延迟了多少时间?

答:数据要经过 512 个时钟脉冲才能通过该移位寄存器,所以数据通过该寄存器被延迟了 128  $\mu\text{s}$ 。

题 5.3 在四则运算中,移位寄存器可完成哪几种运算?

答:每向左或向右移动 1 位,则可实现乘 2 或除 2 功能,所以移位寄存器可完成乘除两种运算。

题 5.4 同步清零和异步清零,同步置数和异步置数的区别是什么?

答:同步清零指在清零信号有效的条件下,需等到下一个时钟脉冲到来计数器才清零。异步清零是只要清零信号有效则即刻清零。同步置数指置数方式下,下一个时钟脉冲到来时,输出端反映输入端数据的状态。异步置数指只要置数信号到来,计数器立即置数,无需等下一个时钟脉冲到来。

题 5.5 TTL 集成电路 74161 与 74163 有什么不同,如果写出 74163 的 VHDL 程序,怎样修改 74161 的 VHDL 程序?

答:74161 与 74163 唯一的不同是复位方式不同,若写出 74163 的 VHDL 程序,只需在 74161 的 VHDL 程序基础上,加上判断时钟的到来即可。如:

IF CP = '1' AND CP' EVENT。

题 5.6 在时序模块的国标符号控制块中,相互关联方式有哪些?

答:在时序模块的国标符号控制块中。有以下几种关联:与、非、关联、控制、置位、复位、使能和工作模式。

题 5.7 计数器可作为数字分频用,从本质上讲,两者有何区别?

答:计数器和分频器从本质上讲,区别在于其作用上,计数器用电路的状态来反映计数值。而分频器则利用状态的变化来反映输出频率与输入时钟脉冲频

率间的比例关系。

题 5.8 试考虑用一个 74161 和一个 4 线 - 16 线译码器设计一个 4 位 12 比特序列码发生器。

答: 首先将 74161 接成十二进制计数器。再将 74161 的 4 个触发器输出端  $Q_3Q_2Q_1Q_0$  接在 4 线 - 16 线译码器的 4 个地址输入端  $A_3A_2A_1A_0$ 。4 线 - 16 线译码器的输出配备四个多扇入的与门或与或非门可以完成四个不同的逻辑函数, 实际上也是 4 位 12 比特序列码发生器。

题 5.9 当设计两个 1 位十进制数相加, 其和也是 1 位十进制数, 并且显示七段发光管只有一个, 你可能用到几个书中介绍的中规模时序模块?

答: 有两种方法: 一种方法是用无记忆的组合电路, 另一种方法是用时序电路。

(1) 将十进制的加数和被加数输入到 8 线 - 3 线编码器, 其输出为两个 4 位二进制数。将这两个 4 位二进制数送到 4 位二进制加法器的输入, 其输出则为和, 再通过显示译码器送到显示七段发光管。这样的设计无记忆, 只要将输入的加数和被加数按键放松, 输出就不再显示和。共用到中规模组合电路 5 块。

(2) 第一次通过 8 线 - 3 线编码器先输入被加数, 用计数器记住第一次按键, 并启动第一个寄存器, 存入 4 位二进制加法器的输入端。第二次通过 8 线 - 3 线编码器输入加数, 用计数器记住第二次按键, 并启动第二个寄存器, 存入 4 位二进制加法器的另一个输入端。同时启动加法器, 将和通过显示译码器送到显示七段发光管。这样的设计有记忆, 用到了计数器和寄存器, 输出显示两位十进制的和。共用到中规模组合电路 7 块。

题 5.10 在设计某些时序电路(例如计数器、移位寄存器连接的计数器)时, 会由于种种原因落入非工作状态, 你应该如何考虑电路设计方案?

答: (1) 设置正确的复位信息。

(2) 设置正确的预置信息。

(3) 分析非工作状态, 使其在有限个脉冲作用下进入工作状态。

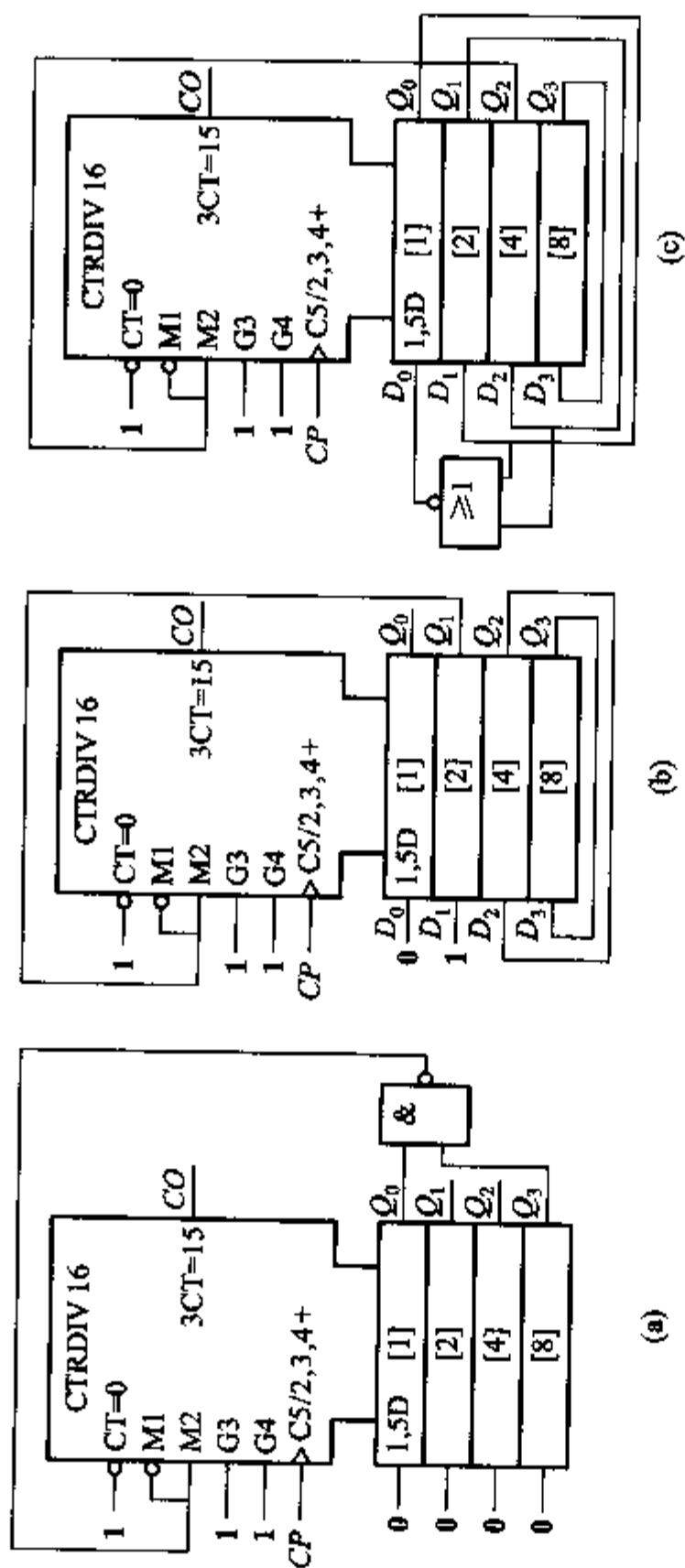
## 习题题解

习题 5.1 习题 5.1 图为一 4 位二进制同步计数器(74161 或 74163), 试分析下列各种连接图, 可构成模几计数器? 写出态序表。

解: 可以用如下两种方法:

(1) 根据题目中已知芯片的名称, 在手册中查找集成芯片的符号和功能表, 再根据电路的连接分析电路功能。

(2) 根据题目中已知芯片国标符号, 可以知道集成芯片的工作原理。



习题 5.1 图 用 74161 接成的电路

下面以第二种方式分析习题 5.1 图的功能。

首先观察总定性符号 CTRDIV16, 可知集成芯片是十六进制计数器。符号控制框上的  $CT=0$  说明为低电平有效的异步清零, 并观察外部给的高电平, 可知清零无效。

习题 5.1 图电路的反馈信号反馈到符号控制框上的 M1 和 M2, 低电平有效的 M1 是关联到时序块的数据输入端。当 M1 有效时, 且 CP 时钟到来时, 时序块的数据输入端的数据送到触发器的输出端。当 M2 有效时计数器按二进制计数。

习题 5.1 图(a)、(b)、(c)的状态表如习题 5.1 表(a)、(b)、(c)所示。

习题 5.1 表(a)					习题 5.1 表(b)					习题 5.1 表(c)				
N	$Q_3$	$Q_2$	$Q_1$	$Q_0$	N	$Q_3$	$Q_2$	$Q_1$	$Q_0$	N	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	1	0	1	0	0	0	1
2	0	0	1	0	2	0	0	1	1	2	0	0	1	0
3	0	0	1	1	3	0	1	0	0	3	0	1	0	0
4	0	1	0	0	4	0	1	1	0	4	0	1	0	1
5	0	1	0	1	5	0	1	1	1	5	0	1	1	0
6	0	1	1	0	6	1	0	0	0	6	0	1	1	1
7	0	1	1	1	7	1	0	1	0	7	1	0	0	0
8	1	0	0	0	8	1	0	1	1	8	1	0	0	1
9	1	0	0	1	9	1	1	0	0	9	1	0	1	0
					10	1	1	1	0	10	1	1	0	0
					11	1	1	1	1	11	1	1	0	1
										12	1	1	1	0
										13	1	1	1	1

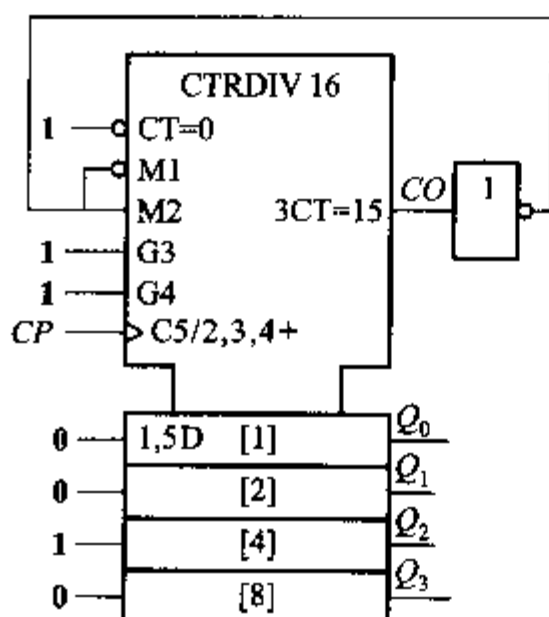
分析题 5.1 图(a)为模 10 计数器( $M=10$ ), 题 5.1 图(b)为模 12 计数器( $M=12$ ), 题 5.1 图(c)为模 14 计数器( $M=14$ )。

习题 5.2 习题 5.2 图为一 4 位二进制同步计数器(74161 或 74163)连成的电路, 试问可构成模几计数器? 写出态序表。

解: 分析习题 5.2 图的方法和习题 5.1 图大致相同, 所不同的是反馈到工作模式的信号不是由触发器的输出经组合电路反馈, 而是从进位位经过非门反馈。属于后  $N$  种状态计数的预置方法, 其状态态序表如习题 5.2 表所示, 可以看出  $M=12$ 。

习题 5.3 用 74193(双时钟可逆计数器)按习题 5.3 图所示外部连线, 可构成模几计数器? 写出态序表, 并用 VHDL 语言实现习题 5.3 图功能。

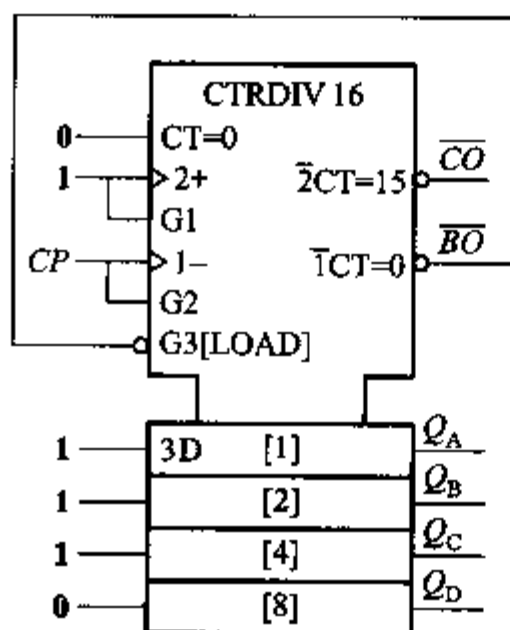
解: 首先观察总定性符号 CTRDIV16, 可知集成芯片是十六进制计数器。符号控制框上的  $CT=0$  说明为高电平有效的异步清零, 并观察外部给的低电平, 可知清零无效。



习题 5.2 图

习题 5.2 表 习题 5.2 图态序表

N	$Q_3$	$Q_2$	$Q_1$	$Q_0$
0	0	1	0	0
1	0	1	0	1
2	0	1	1	0
3	0	1	1	1
4	1	0	0	0
5	1	0	0	1
6	1	0	1	0
7	1	0	1	1
8	1	1	0	0
9	1	1	0	1
10	1	1	1	0
11	1	1	1	1



习题 5.3 图

习题 5.3 表 习题 5.3 图态序表

N	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	1	1	1
1	0	1	1	0
2	0	1	0	1
3	0	1	0	0
4	0	0	1	1
5	0	0	1	0
6	0	0	0	1
7	0	0	0	0

习题 5.3 图电路的反馈信号反馈到符号控制框上的 G3, 低电平有效的 G3 关联到时序块的数据输入, 且和时钟 CP 无关, 因此属于异步置数。当此端信号为低电平时, 时序块的数据输入端的数据送到触发器的输出端。当 G3 无效时计数器按二进制计数, G1 端接高电平, G2 接时钟时, 为减计数功能。当计数到零时,  $\overline{BO}$  输出为低电平。其输出反馈到 G3, 并重新预置开始新的循环。分析习题 5.3 图, 得习题 5.3 表, 从表可以看出  $M=7$ 。

用 VHDL 实现的习题 5.3 图如下:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;
ENTITY ti53 IS
    PORT(cp:IN std_logic;q:OUT std_logic_vector(3 DOWNTO 0));

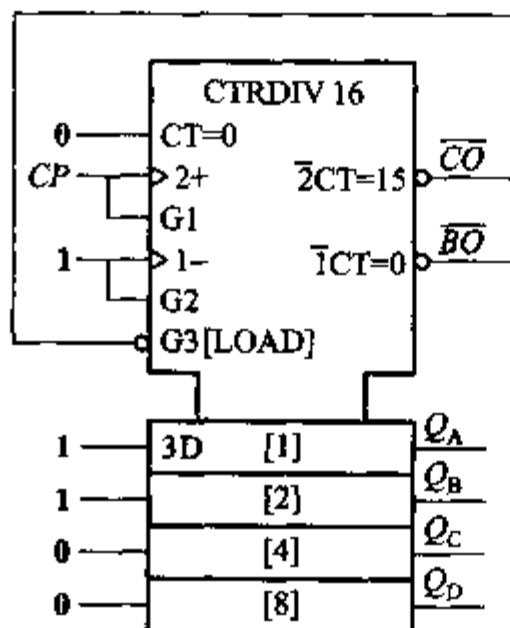
```

```

END ti53;
ARCHITECTURE ti53_arc OF ti53 IS
    SIGNAL load_s: std_logic := '0';
BEGIN
    PROCESS(cp, load_s)
        VARIABLE cnt: std_logic_vector(3 DOWNTO 0);
    BEGIN
        IF (load_s = '0') THEN
            cnt := "0111"; load_s <= '1';
        END IF;
        IF (cp'EVENT AND cp = '1') THEN
            IF (cnt = "0001") THEN
                load_s <= '0';
            ELSE
                cnt := cnt - '1'; load_s <= '1';
            END IF;
        END IF;
        q <= cnt;
    END PROCESS;
END ti53_arc;

```

习题 5.4 用 74193 按习题 5.4 图所示外部接线, 可构成模几计数器?



习题 5.4 图

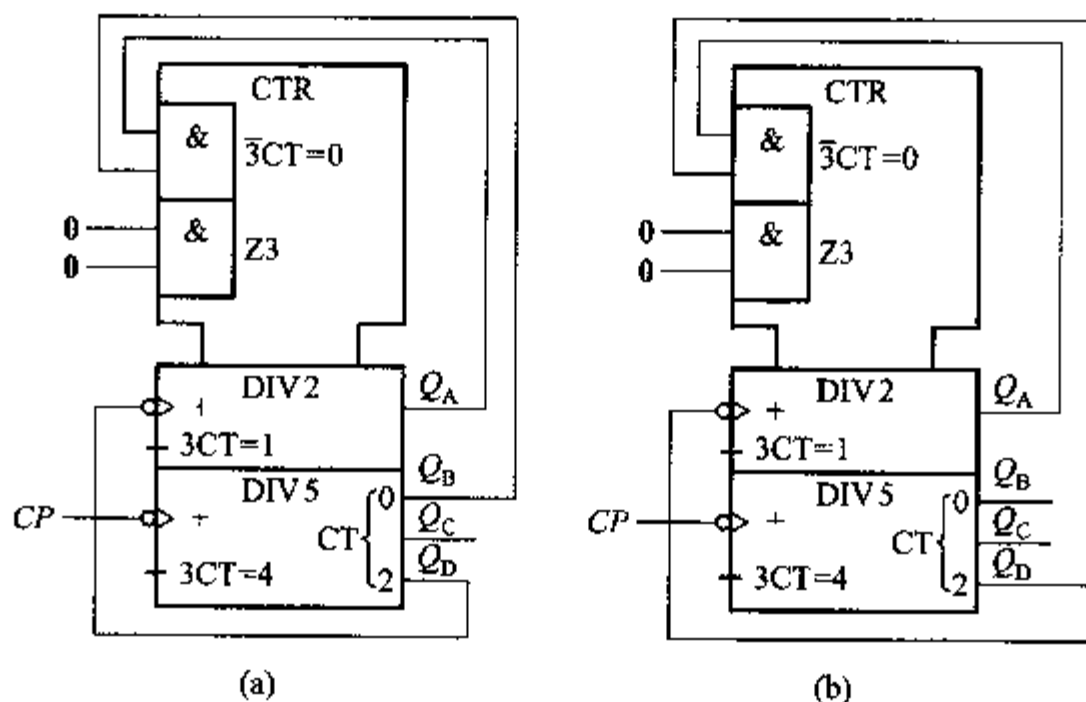
习题 5.4 表		习题 5.4 图态序表			
N		$Q_D$	$Q_C$	$Q_B$	$Q_A$
0		0	0	1	1
1		0	1	0	0
2		0	1	0	1
3		0	1	1	0
4		0	1	1	1
5		1	0	0	0
6		1	0	0	1
7		1	0	1	0
8		1	0	1	1
9		1	1	0	0
10		1	1	0	1
11		1	1	1	0
12		1	1	1	1

解: 分析习题 5.4 图的方法和习题 5.3 图大致相同。所不同的是当 G3 无效时计数器按二进制计数, G2 端接高电平, G1 接时钟时, 为加计数功能。当计

数到 1111 时,  $\overline{CO}$  输出为低电平, 其输出反馈到 G3, 并重新预置开始新的循环。分析习题 5.4 图, 得态序表如习题 5.4 表所示, 从态序表可以看出  $M=12$ 。

习题 5.5 分析习题 5.5 图所示电路为模几计数器? 写出态序表。

解: 从习题 5.5 图中的总定性符 CTR 了解到电路是计数器, 且时序块的上部是二进制, 而下部是五进制。从控制块的 Z3 可知, 当其有效时, 关联到时序输出为 9, 但此电路置 9 无效。从控制块的  $CT=0$  可知, 清零端信号有效时触发器输出清零。



习题 5.5 图

习题 5.5 图(a)电路连成 5421BCD 码的输出形式, 所以列出和分析态序表如习题 5.5 表(a)后, 得到  $M=6$ , 即模 6 计数器。习题 5.5 图(b)电路也连成 5421BCD 码的输出形式, 所以列出和分析态序表如习题 5.5 表(b)后, 得到  $M=9$ , 即模 9 计数器。

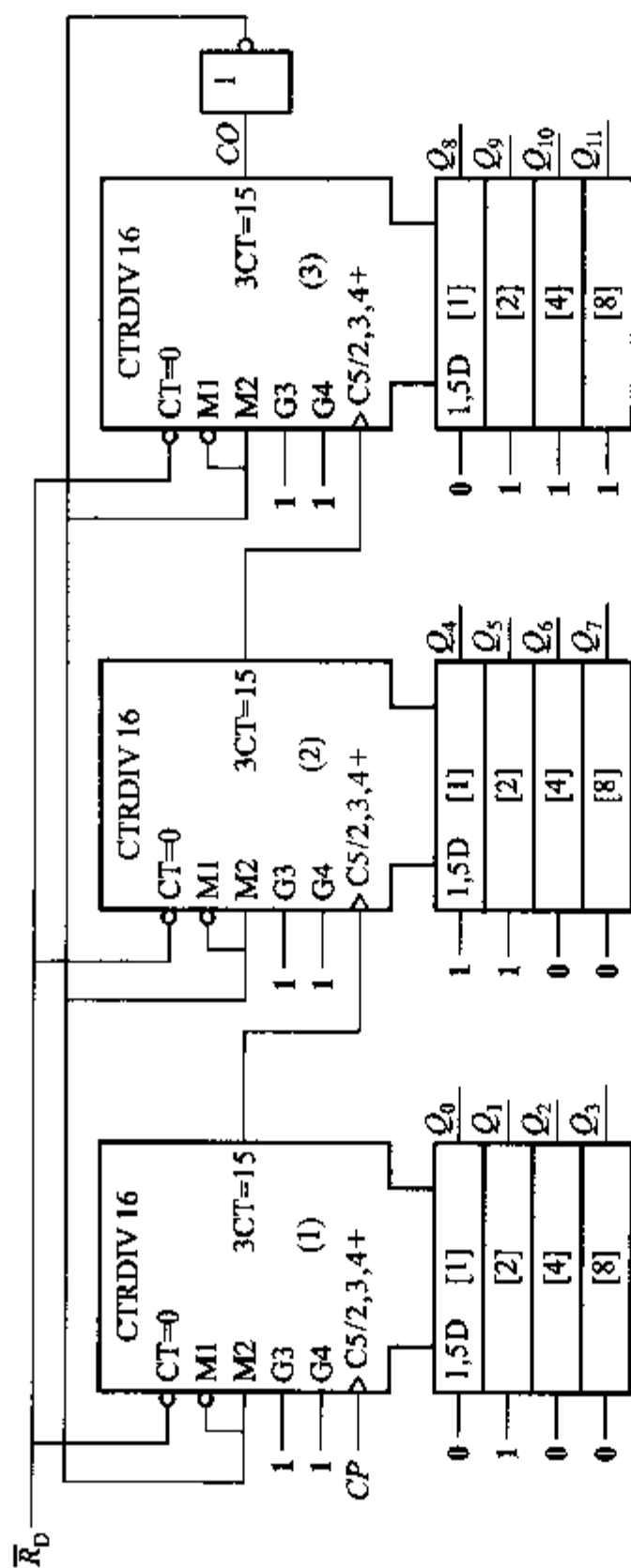
习题 5.5 表(a)

N	$Q_A$	$Q_D$	$Q_C$	$Q_B$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1

习题 5.5 表(b)

N	$Q_A$	$Q_D$	$Q_C$	$Q_B$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0

习题 5.6 试用 74161 构成  $M=462$  计数器。



习题 5.6 图 用后 462 种状态构成串并行计数电路

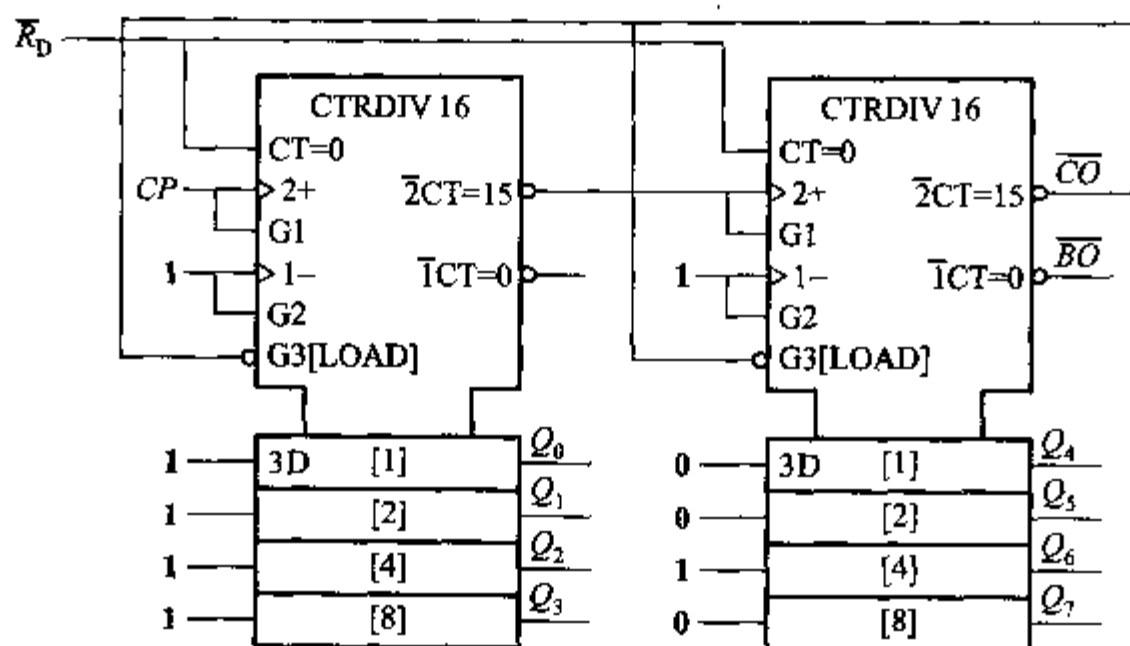


解：用三片 74161 以置位方式采用串并行进位结构，要预置的初态为  $4\ 096 - 462 = 3\ 634 = 111000110010$ ，从 3 634 到 4 095 共 462 个状态，所以片(1)预置数 0010，片(2)预置数 0011，片(3)预置数 1110，当计数器从该预置值计数到 4 096 后，片(3)的进位输出经反相使各片重新预置，进入新一轮计数，电路如习题 5.6 图。

解本题还可利用并行进位结构、串行进位结构、用后 462 种状态的全并行结构等方法，请见参考文献[2]。

习题 5.7 试用 74193 构成  $M = 176$  计数器。

解：用两片 74193 串行连接如习题 5.7 图所示。并用右片的进位输出  $\overline{CO}$  作为置数控制信号，连接到两个芯片的置数端 G3。这时，计数器的模与置数  $N_{10}$  之间的关系为  $M = 176 = 255 - N_{10}$ ，因此  $N_{10} = 79$ ，即置数 01001111。由习题 5.7 图可见，每片计数器内部是同步计数工作，两片之间是串联工作，所以这是一个并串行加法计数器。



习题 5.7 图 并行构成 176 进制加法计数器

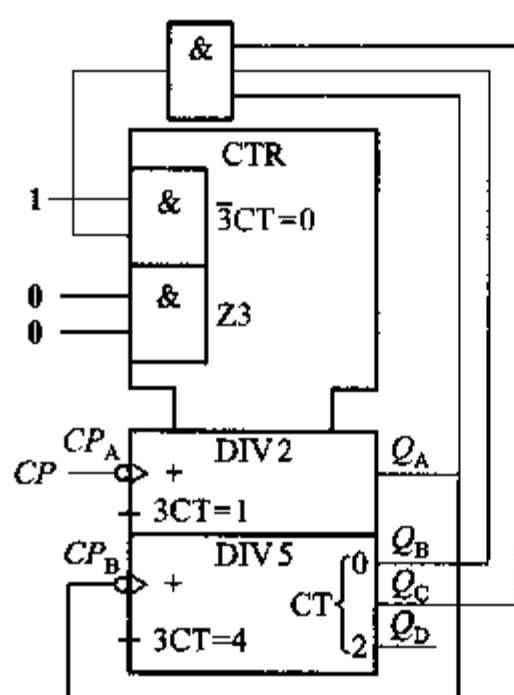
假若要得到减法计数器，则根据  $M = N_{10} = 176$ ，即置数 10110000。电路图请见参考文献[2]。

习题 5.8 试用 74290 采用 8421BCD 码形式构成  $M = 7$  计数器，并写出态序表。

解：用 74290 芯片采用 8421BCD 码，将  $Q_A$  接  $CP_B$ ， $CP_A$  接外部  $CP$ ，并将  $Q_A Q_B Q_C$  信号经与门反馈到清零端，电路如习题 5.8 图所示。态序表如习题 5.8 表所示。

习题 5.9 试分析习题 5.9 图所示计数器功能，并写出态序表。

解： $J = \overline{Q_C} Q_B$ ， $K = Q_C Q_B$ ，清零的一个输入端接在触发器的反相输出端  $Q$ 。

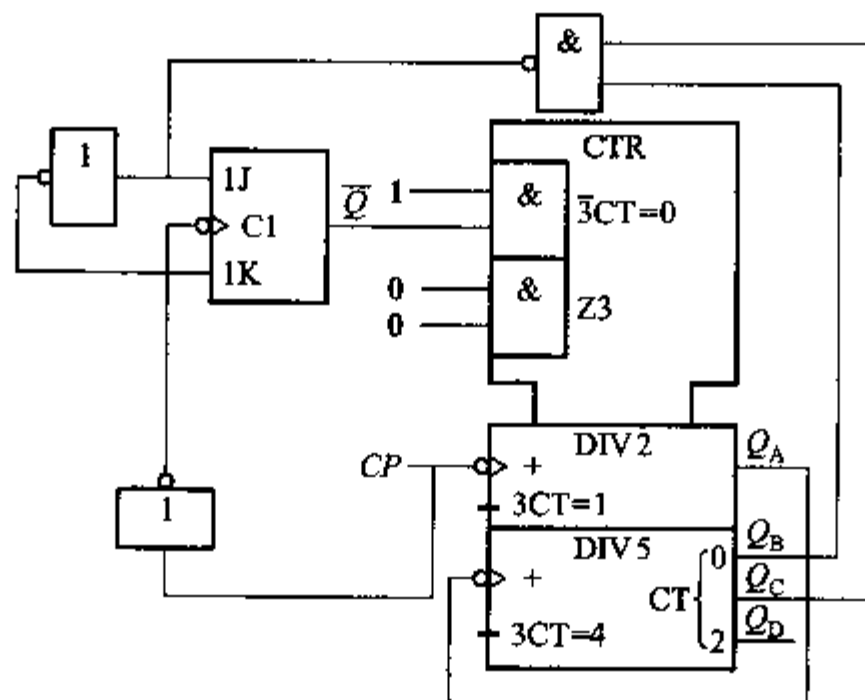


习题 5.8 表 习题 5.8 图态序表

$N$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

习题 5.8 图

若计数器从 **0000 ~ 0101** 状态计数, 这时  $J=1$ 、 $K=0$ , 因而每来一个计数脉冲, 触发器置 1, 而 74290 清零端接在触发器的  $\overline{Q}=0$  端, 对计数工作无影响, 计数器加 1 计数。当计数器状态变到  $Q_D Q_C Q_B Q_A = 0110$  时,  $Q_B = Q_C = 1$ , 则  $J=0$ 、 $K=1$ , 下一个时钟脉冲到来后触发器被置 0,  $\overline{Q}=1$ , 故 74290 的输出状态变为 **0000**, 实现了七进制计数器。态序表如习题 5.9 表所示。可见, 这种计数器的模与反馈状态数的关系为  $M = N + 1$ , 即反馈状态  $N = M - 1$ 。例如, 要构成九进制计数器, 则  $N = 9 - 1 = 8$ , 故用  $Q_D$  反馈到触发器的  $J$ 、 $K$  端。

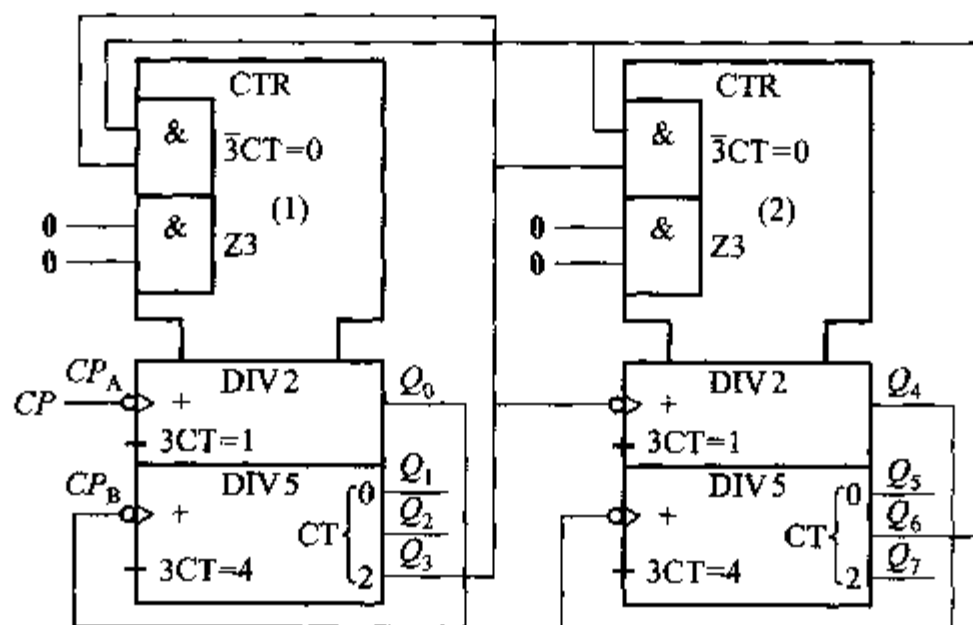


习题 5.9 图

习题 5.9 表 习题 5.9 图态序表

$N$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1

习题 5.10 试用 74290 构成  $M=48$  计数器,并用 VHDL 语言实现。



习题 5.10 图

解: 因为  $10 < M = 48 < 100$ , 应选用两片 74290 串联工作。若设计数器按 8421BCD 码计数, 则将  $Q_0$  端和  $CP_B$  端连接在一起。将计数脉冲送到第(1)片(低位片)的  $CP_A$  端, 第(1)片的  $Q_3$  连到第(2)片(高位片)的时钟输入端。由于  $M=48$ , 与它相应的计数器状态为  $Q_7Q_6Q_5Q_4$  [第(2)片] = 0100,  $Q_3Q_2Q_1Q_0$  [第(1)片] = 1000, 把第(2)片的  $Q_6$  和第(1)片的  $Q_3$  分别连到两个清零端, 同时为使计数器计数工作, 使置 9 端为低电平。电路连接如习题 5.10 图所示。

实现习题 5.10 的 VHDL 程序如下:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;
ENTITY m48 IS

```

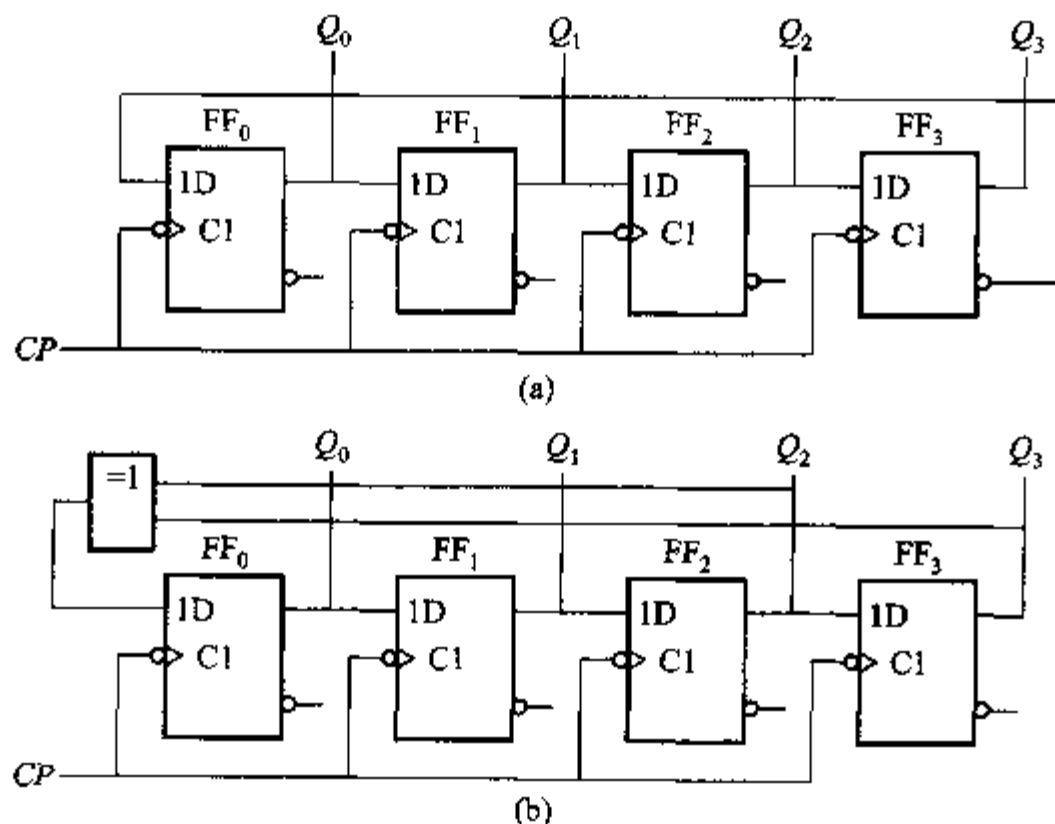
```

PORT(cp:IN std_logic;
      q:OUT std_logic_vector(7 DOWNTO 0));
END m48;
ARCHITECTURE m48_arc OF m48 IS
    SIGNAL iq; integer := 0;
BEGIN
    PROCESS(cp)
    BEGIN
        IF(cp' EVENT AND cp = '0') THEN
            IF(iq = 47) THEN
                iq <= 0;
            ELSE
                iq <= iq + 1;
            END IF;
        END IF;

        q <= conv_std_logic_vector(iq, 8);
    END PROCESS;
END m48_arc;

```

习题 5.11 设习题 5.11 图 (a) 和 (b) 中移位寄存器保存的原始信息为 1111。试问:下一个时钟脉冲后,它保存什么样的信息? 多少个时钟脉冲作用



习题 5.11 图

后,信息循环一周?

解:对电路习题 5.11 图(a)和(b),下一个时钟脉冲后保存的信息均为  $Q_0Q_1Q_2Q_3 = 0111$ 。图(a)为扭环计数器,8 个时钟脉冲作用后信息循环一周。查主教材表 5.4.3 可知,图(b)是最长线性移位寄存器,15 个时钟脉冲作用后信息循环一周。

习题 5.12 在 74194 构成的串行-并行转换器中,如果来实现 8 位转换,则增加 1 位触发器后,线路应如何变化?

解:8 位串行-并行转换器电路连接图如习题 5.12 图所示。它是由四片 74194 和附加的触发器来实现,第(3)片和第(4)片是作为数据寄存器用的。当  $M_A = M_B = 1$  时,电路执行并行输入数据操作。电路工作原理与 7 位串行-并行转换电路相同。当第(2)片 74194 的  $Q_3 = 1$  时,与非门关闭,第(3)片和第(4)片 74194 处于保持状态,第(1)片和第(2)片 74194 执行右移操作。

习题 5.13 在 74194 构成并行-串行转换器中,如果来实现 8 位转换,则增加 1 位触发器后,线路应如何变化?

解:8 位并行-串行转换器电路连接图如习题 5.13 图所示。其中  $D$  触发器的  $\bar{Q}$  端产生的标志码加到第(1)片 74194 的右移串行输入端  $D_{SR}$  和与非门  $G_1$  的输入端。当启动负脉冲出现时,在第一个时钟脉冲  $CP$  作用下, $D$  触发器的  $\bar{Q}$  为 0,并且 8 位并行输入数据被 74194 接收, $D$  触发器的  $\bar{Q}$  为 0,使与非门  $G_2$  输出为 0(当启动负脉冲消失后)。当第二个时钟脉冲  $CP$  来到时, $D$  触发器的  $\bar{Q}$  变成 1,同时 74194 执行右移操作,标志码被移至第(1)片 74194 的  $Q_0$  端,输入代码  $D_7$  被移至串行输出端。直到第八个  $CP$  脉冲到来后,标志码移入第(2)片 74194 的  $Q_2$  端,74194 又执行并行输入数据操作。

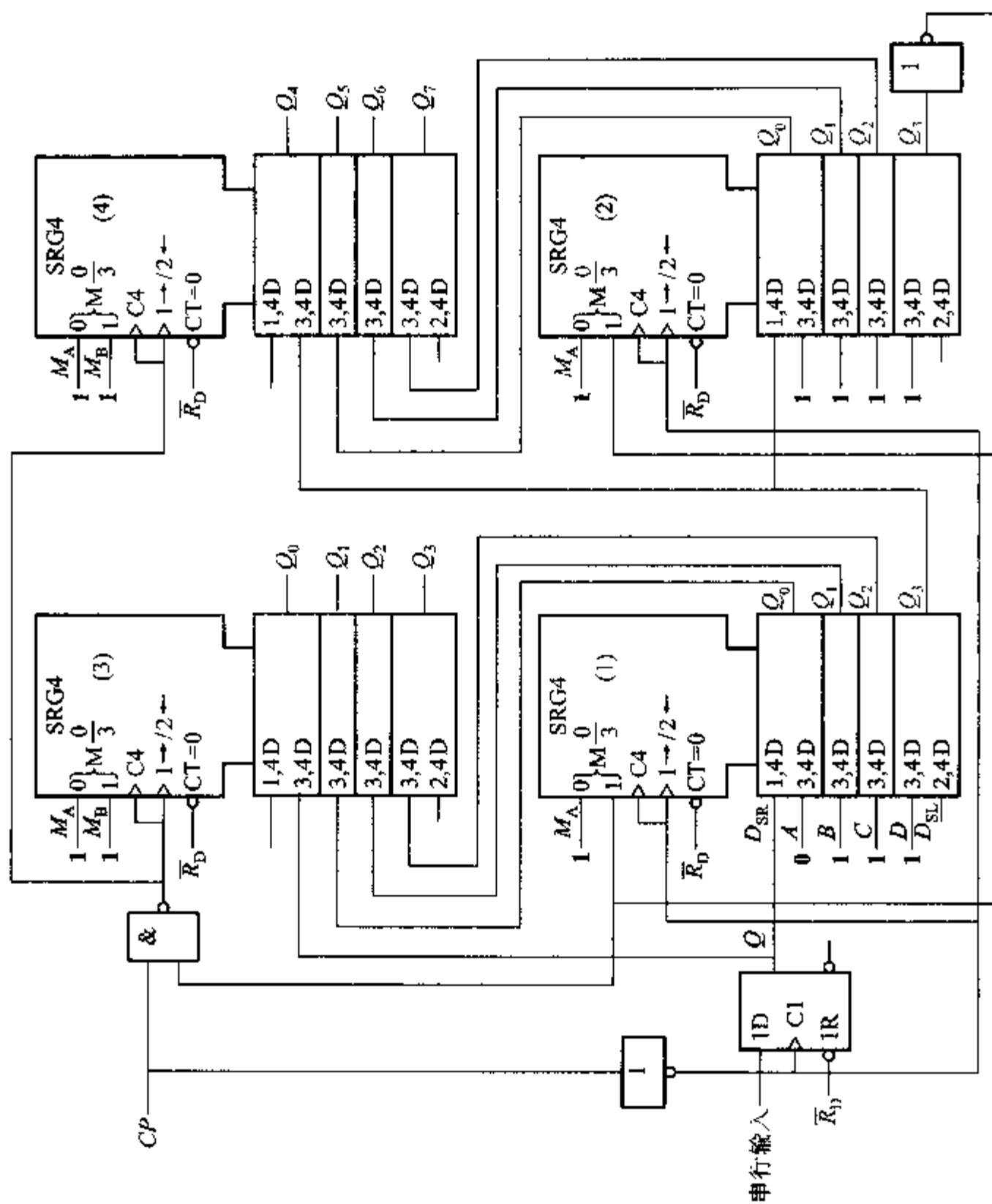
习题 5.14 习题 5.14 图中为由 74195 构成的分频器,试分析分频比  $N$  的值。

解:习题 5.14 图(a): $J = \bar{K} = \bar{Q}_1$ ,作态序表如习题 5.14 表(a)所示,由态序表看出是四分频器。习题 5.14 图(b): $J = \bar{K}$ [第(1)片] =  $\bar{Q}_4\bar{Q}_5$ , $J = \bar{K}$ [第(2)片] =  $\bar{Q}_3$ ,作态序表如习题 5.14 表(b)所示,由态序表看出是十一分频器。

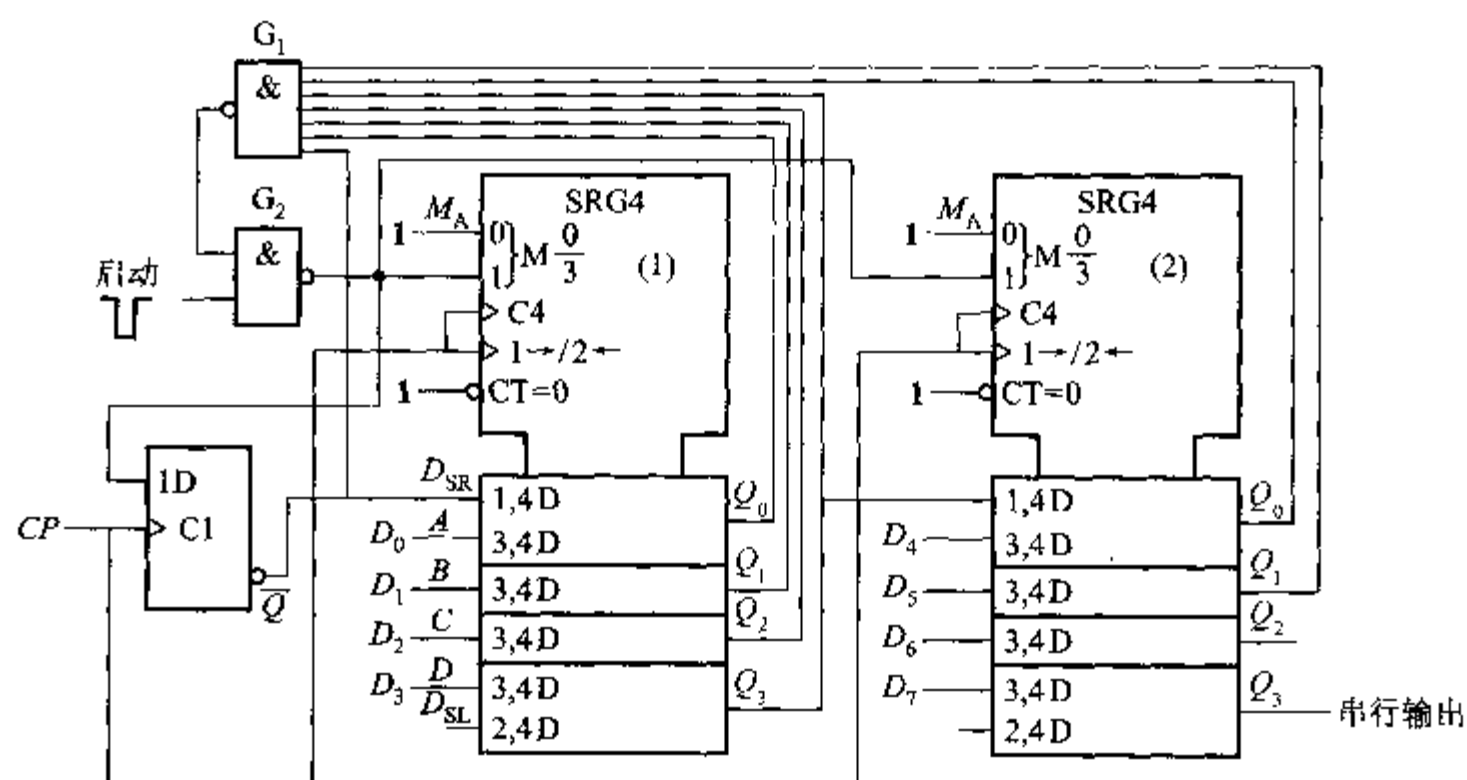
习题 5.15 试画出由 74195 电路构成的十三分频( $\div 13$ )、七分频( $\div 7$ ),并用 VHDL 语言实现上述功能。

解:用 74195 集成芯片构成奇数分频器,需在反馈与非门输入端接  $Q_i$  和  $Q_{i+1}$ ,将与非门的输出端反馈到低位的 74195 的  $J\bar{K}$  端,则可构成  $M = 2i + 1$  的计数器。若与非门改为非门接  $Q_i$ ,则可构成  $M = 2i$  的偶数分频器。十三分频器、七分频器如习题 5.15 图所示。

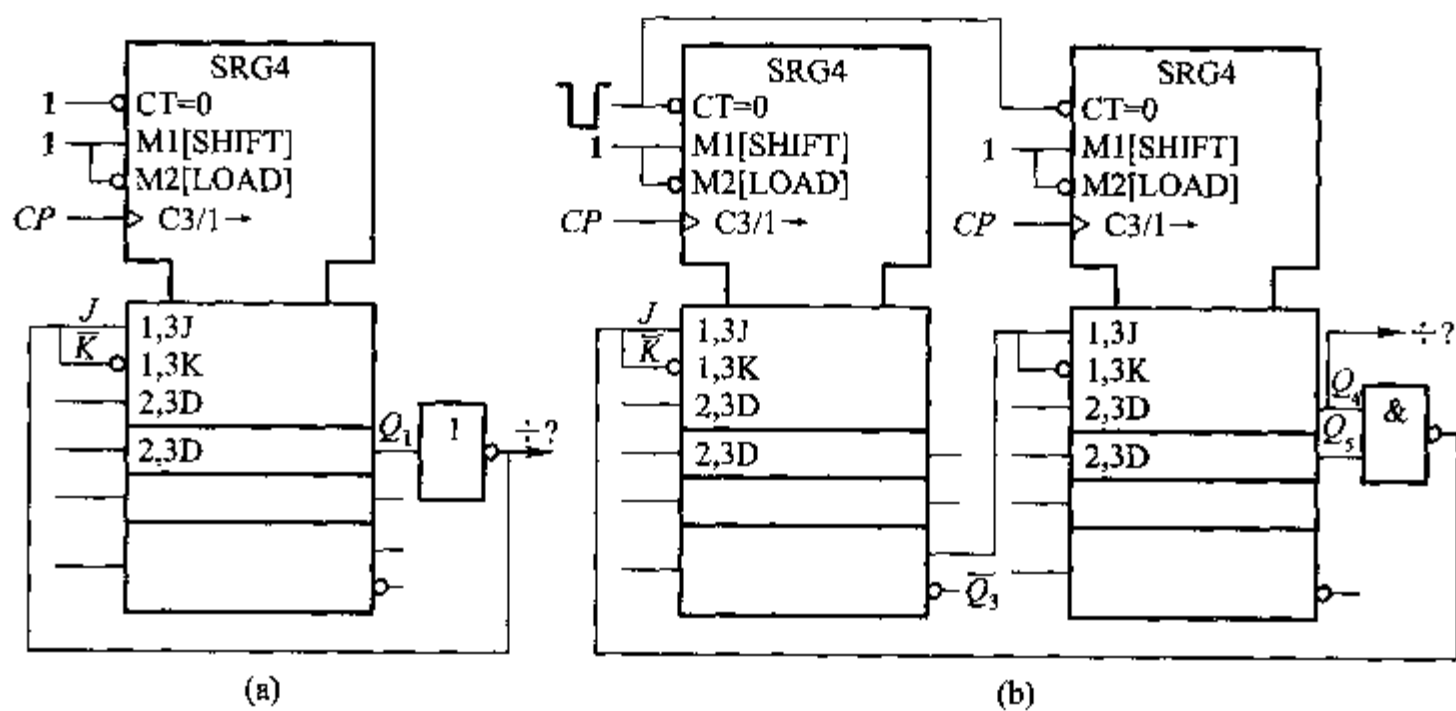
VHDL 程序实现十三分频电路如下。若将程序改为七分频,只将程序中的



习题 5.12 图



习题 5.13 图



习题 5.14 图

cnt = 13 改为 cnt = 7 即可。

```
LIBRARY ieee;
```

```
USE ieee.std_logic_1164.ALL;
```

```
ENTITY fl3 IS
```

```
    PORT(cp:IN std_logic;
```

```
          q:OUT std_logic);
```

习题5.14表(a)

序号	$Q_0$	$Q_1$
0	0	0
1	1	0
2	1	1
3	0	1

习题5.14表(b)

序号	$Q_0$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$
0	0	0	0	0	0	0
1	1	0	0	0	0	0
2	1	1	0	0	0	0
3	1	1	1	0	0	0
4	1	1	1	1	0	0
5	1	1	1	1	1	0
6	1	1	1	1	1	1
7	0	1	1	1	1	1
8	0	0	1	1	1	1
9	0	0	0	1	1	1
10	0	0	0	0	1	1
11	0	0	0	0	0	1

END fl3;

ARCHITECTURE fl3\_arc OF fl3 IS

BEGIN

PROCESS(cp)

VARIABLE cnt; integer RANGE 0 TO 16;

BEGIN

IF (cp ' EVENT AND cp = ' 1 ' ) THEN

cnt := cnt + 1;

END IF;

IF cnt = 13 THEN

cnt := 0; q <= ' 1 ';

ELSE

q <= ' 0 ';

END IF;

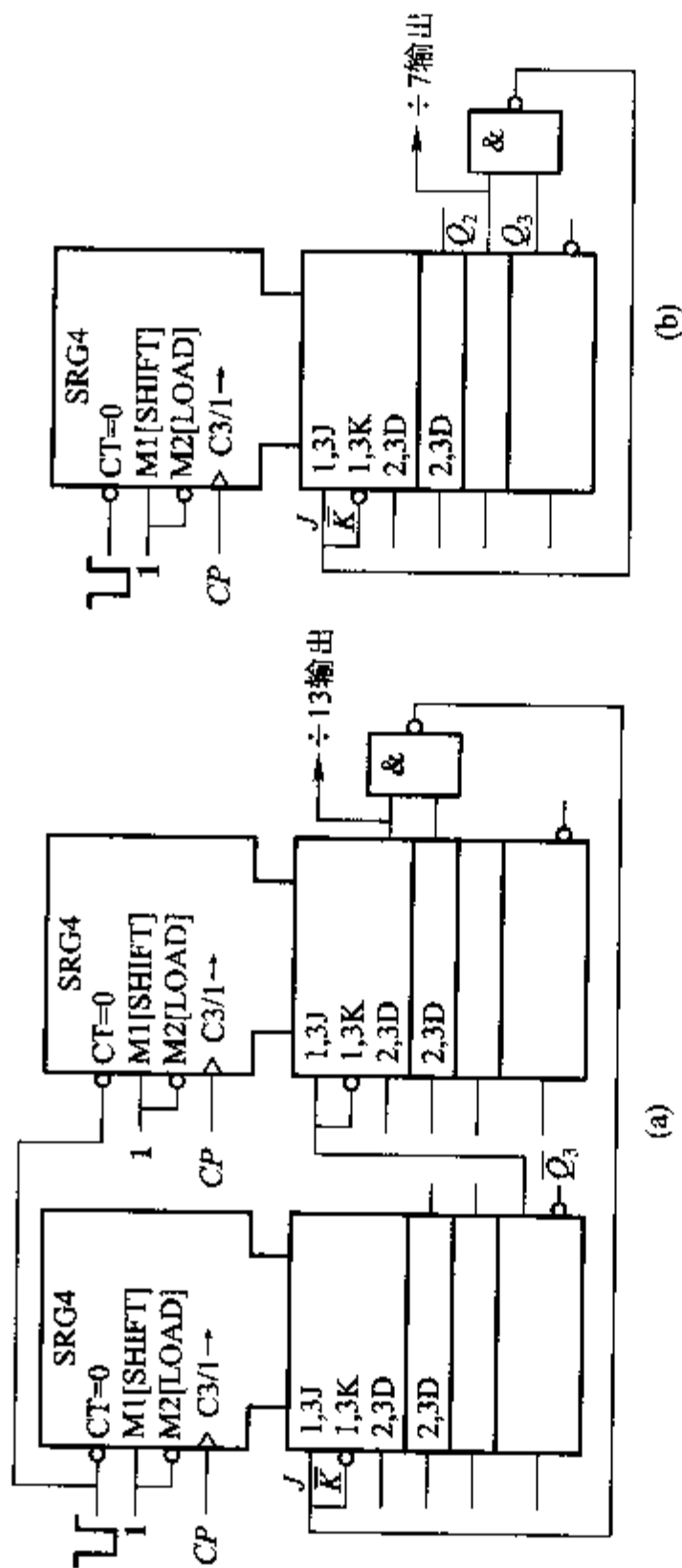
END PROCESS;

END fl3\_arc;

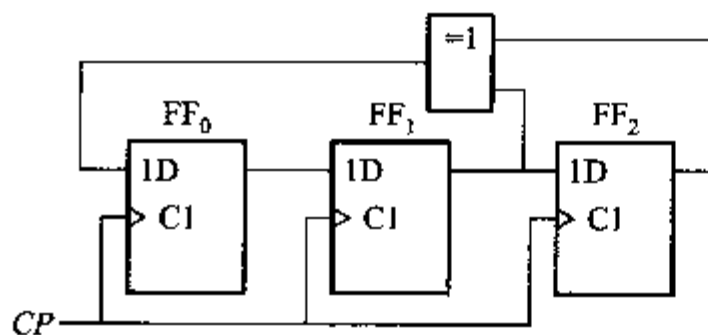
习题 5.16 根据  $m$  序列发生器的反馈函数, 绘出由三个  $D$  触发器构成的  $m$  序列发生器, 并写出态序表与输出的序列码 (设电路的初始状态为  $Q_0Q_1Q_2 = 001$ )。

解: 查主教材表 5.4.3 得反馈函数  $f(Q) = Q_1 \oplus Q_2$ , 电路连接图如习题 5.16 图所示, 态序表如习题 5.16 表所示。  $Q_2$  输出序列为:  $\cdots 1001011 \cdots$ 。





习题 5.15 图



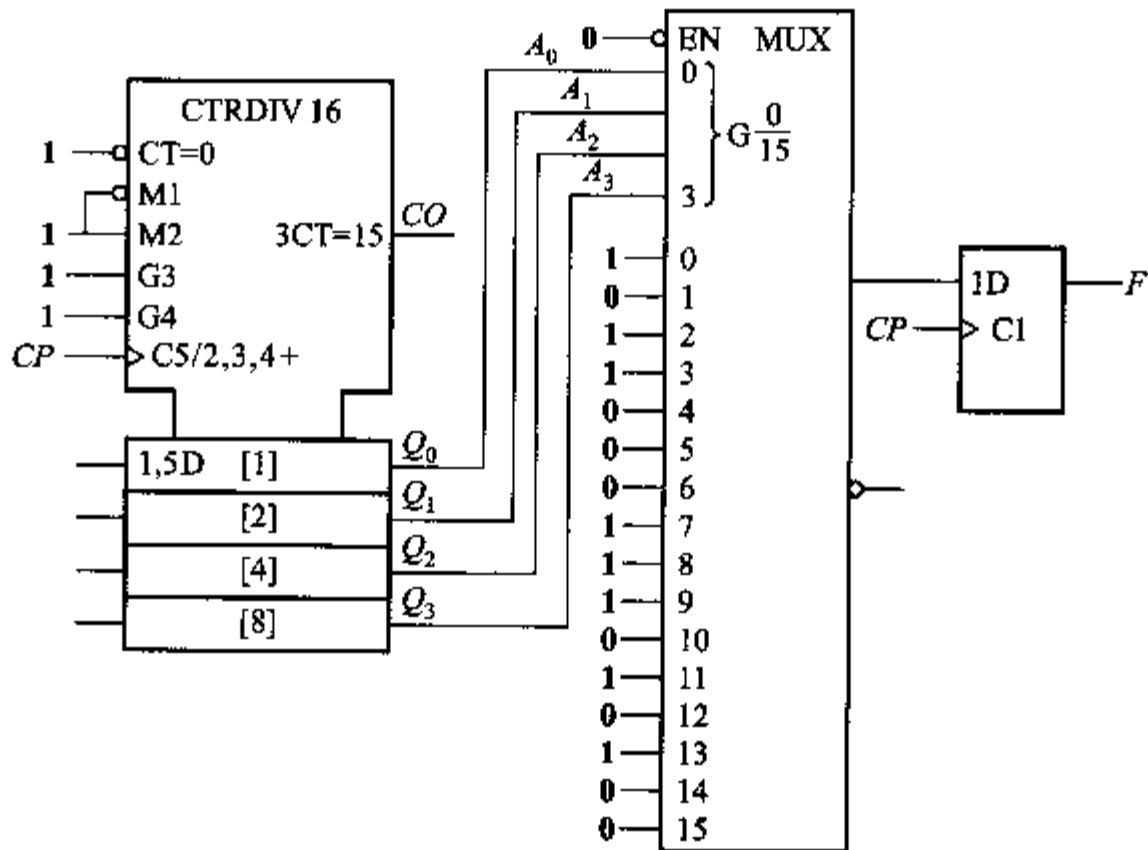
习题 5.16 图

习题 5.16 表 习题 5.16 状态序表

$N$	$Q_0$	$Q_1$	$Q_2$
0	0	0	1
1	1	0	0
2	0	1	0
3	1	0	1
4	1	1	0
5	1	1	1
6	0	1	1

习题 5.17 用 4 位同步二进制计数器 74161 及 16 选 1 数据选择器连成一函数发生器,使产生 **1011000111010100** 序列信号,用 VHDL 程序实现产生序列信号电路。

解:在 4 位二进制同步计数器 74161 计数全状态转换过程中,令每一状态的输出对应给定序列的每一位,可列出态序表如习题 5.17 表所示。采用 16 选 1 数据选择器,电路连接图如习题 5.17 图所示。



习题 5.17 图

习题 5.17 表 习题 5.17 图态序表

$N$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$F$
0	0	0	0	0	1
1	0	0	0	1	0
2	0	0	1	0	1
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	0
11	1	0	1	1	1
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	0

用 VHDL 程序实现如下：

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_arith.ALL;
USE ieee.std_logic_unsigned.ALL;
ENTITY xulie IS
    PORT( cp:IN std_logic;
          F:OUT std_logic);
END xulie;
ARCHITECTURE xulie_arc OF xulie IS
BEGIN
    PROCESS( cp)
        VARIABLE q:std_logic_vector(3 DOWNT0 0); = "1111";
    BEGIN

```

```

IF( cp' EVENT AND cp = ' 1' ) THEN
  IF( q = "1111" ) THEN
    q: = "0000" ;
  ELSE
    q: = q + ' 1' ;
  END IF;
CASE q IS
  WHEN "0000" = >F< = ' 1' ;
  WHEN "0001" = >F< = ' 0' ;
  WHEN "0010" = >F< = ' 1' ;
  WHEN "0011" = >F< = ' 1' ;
  WHEN "0100" = >F< = ' 0' ;
  WHEN "0101" = >F< = ' 0' ;
  WHEN "0110" = >F< = ' 0' ;
  WHEN "0111" = >F< = ' 1' ;
  WHEN "1000" = >F< = ' 1' ;
  WHEN "1001" = >F< = ' 1' ;
  WHEN "1010" = >F< = ' 0' ;
  WHEN "1011" = >F< = ' 1' ;
  WHEN "1100" = >F< = ' 0' ;
  WHEN "1101" = >F< = ' 1' ;
  WHEN "1110" = >F< = ' 0' ;
  WHEN "1111" = >F< = ' 0' ;
  WHEN OTHERS = >F< = ' X' ;
END CASE;
END IF;
END PROCESS;
END xulie_arc;

```

习题 5.18 习题 5.18 图是集成化  $m/(m+1)$  分频器 E12012 的内部主要部分电原理图,  $Q_3$  有两个输出端, 其中一个在封装内部实现线或。试问:

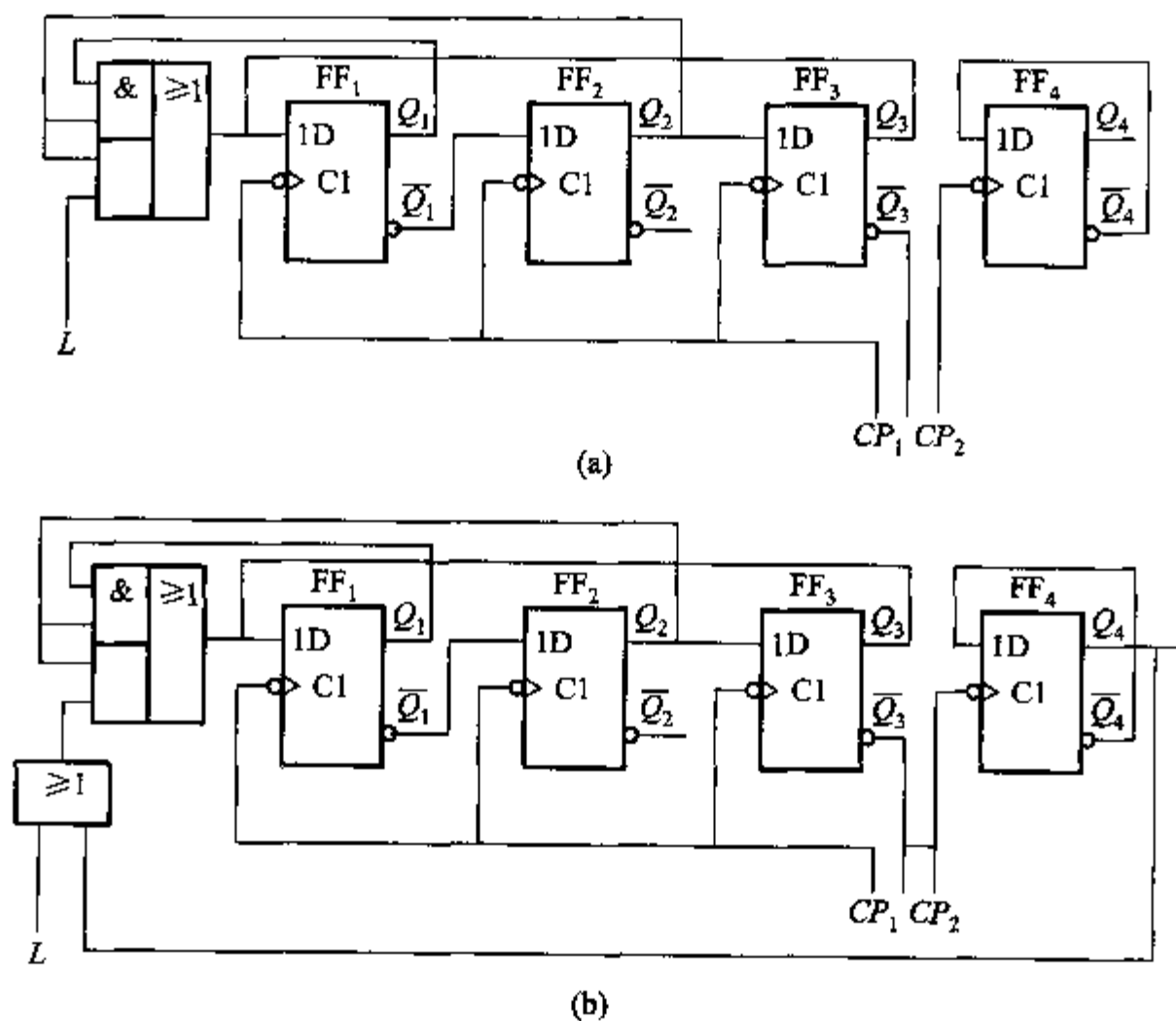
(1) 如习题 5.18 图(a)所示。从  $CP_1$  输入时钟  $CP$ ,  $L$  接控制信号,  $CP_2$  悬空, 此分频器的分频次数  $m/(m+1)$  为多少(设初始状态  $Q_3Q_2Q_1 = 110$ )?

(2) 如习题 5.18 图(b)所示。将  $CP_2$  与  $\overline{Q_3}$  相接, 时钟  $CP$  仍从  $CP_1$  输入,  $m/(m+1)$  又为多少(设初始状态  $Q_4Q_3Q_2Q_1 = 1110$ )?

写出态序表(此电路是在时钟脉冲的下降沿时翻转)。

解: (1)  $D_1 = Q_1 Q_2 + L Q_2 + Q_3$ 、 $D_2 = \bar{Q}_1$ 、 $D_3 = Q_2$ , 根据初始状态  $Q_3 Q_2 Q_1 = 110$ , 列出态序表如习题 5.18 表(a)所示, 得到分频次数为  $m/(m+1) = 5/6$ 。

(2)  $D_1 = (Q_4 + L) Q_2 + Q_1 Q_2 + Q_3$ 、 $D_2 = \bar{Q}_1$ 、 $D_3 = Q_2$ 、 $D_4 = \bar{Q}_4$ , 根据初始状态  $Q_4 Q_3 Q_2 Q_1 = 1110$ , 列出态序表如习题 5.18 表(b)所示, 得到分频次数为  $m/(m+1) = 10/11$ 。



习题 5.18 图

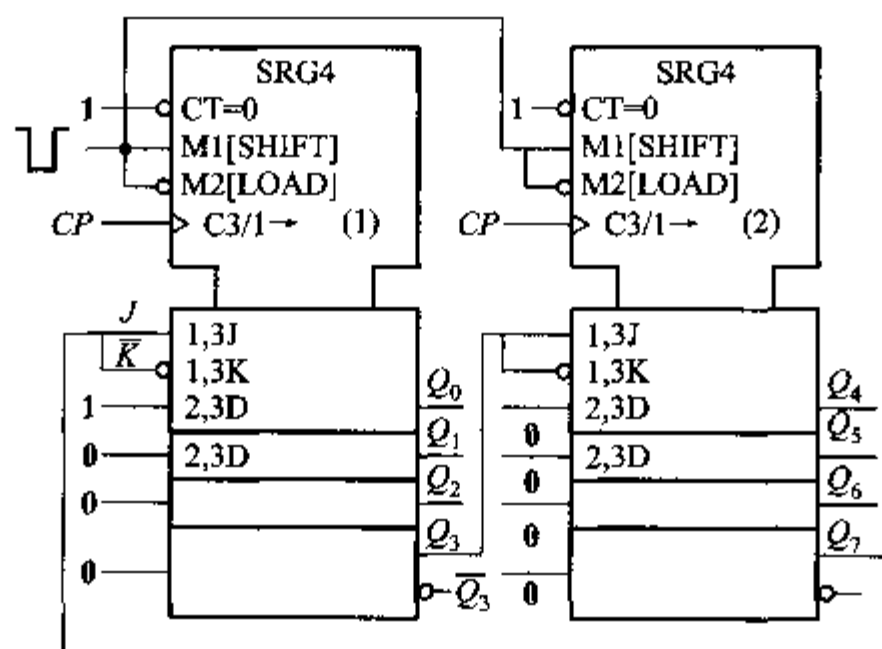
习题 5.18 表 (a) 习题 5.18 图 (a) 态序表

$Q_3$	$Q_2$	$Q_1$
1	1	0
1	1	1
1	0	1
0	0	1
0	0	0
0	1	0

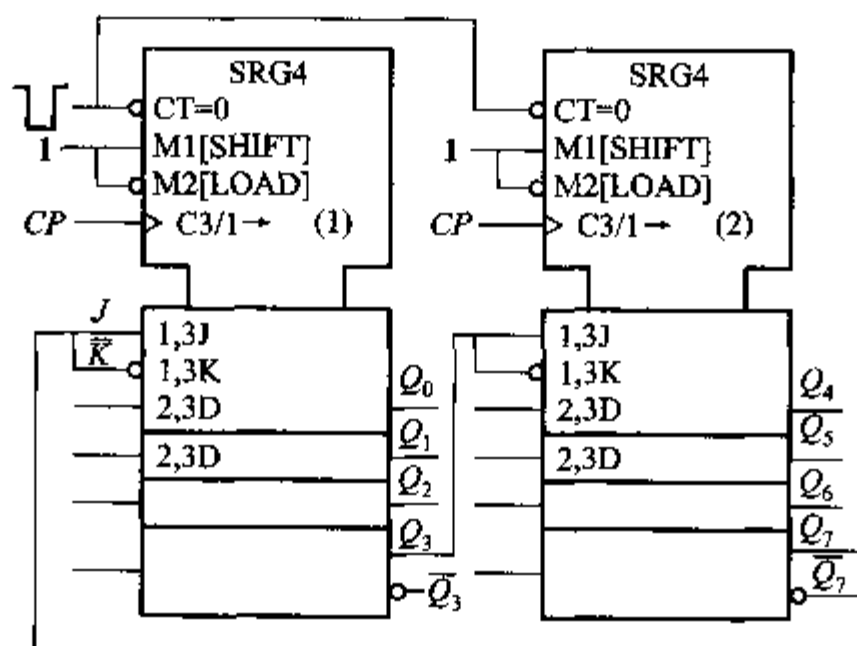
习题 5.18 表 (b) 习题 5.18 图 (b) 态序表

$Q_4$	$Q_3$	$Q_2$	$Q_1$
1	1	1	0
1	1	1	1
1	1	0	1
1	0	0	1
1	0	0	0
1	0	1	0
0	1	1	1
0	1	0	1
0	0	0	1
0	0	0	0
0	0	1	0

习题 5.19 试用 74195 构成 8 位环形、扭环形计数器。



(a)



(b)

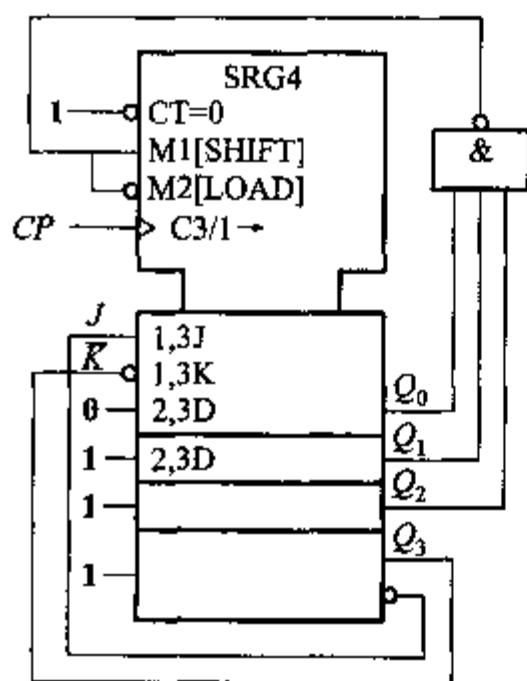
习题 5.19 图

解:(1) 选用两片 74195 构成环形计数器。电路连接图如习题 5.19 图(a)所示,可将第(1)片的  $J$ 、 $\bar{K}$  连在一起与第(2)片的  $Q_7$  相连接,第(2)片的  $J$ 、 $\bar{K}$  连在一起与第(1)片的  $Q_3$  相连接,在预置端加启动信号进行预置,使电路初始状态为 **10000000** 后,  $J_1 = \bar{K}_1 = 0$ ,  $J_2 = \bar{K}_2 = 0$ 。第 1 个  $CP$  脉冲来后  $Q_0$  变成 0,电路做右移操作,第 8 个  $CP$  脉冲作用后,电路恢复到初始状态。

(2) 扭环形计数器连接图如习题 5.19 图(b)所示。将第(1)片的  $J$ 、 $\bar{K}$  连接在一起与第(2)片的  $\bar{Q}_7$  相连,第(2)片的  $J$ 、 $\bar{K}$  连在一起与第(1)片的  $Q_3$  相连接。当清零后,在时钟脉冲作用下构成一个计数循环,其模  $M = 16$ 。

习题 5.20 分析习题 5.20 图所示电路的逻辑功能,并用 VHDL 语言实现此电路功能,然后比较两种实现方法的特点。

解：预置端为  $\overline{Q_0Q_1Q_2}$ 、 $J = \overline{Q_3}$ 、 $K = Q_3$ ，并行数据输入端  $D_0D_1D_2D_3 = 0111$ 。根据 74195 的逻辑功能，当电路状态  $Q_0Q_1Q_2Q_3 = 1110$  时，预置端为低电平，执行 M2 模式，即并行送数。其他状态时，预置端为高电平，执行 M1 模式，即移位操作。其态序表如习题 5.20 表所示。所以此电路为模 15 移位寄存型计数器。



习题 5.20 图

习题 5.20 表 习题 5.20 图态序表

$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	1	1	1
0	0	1	1
0	0	0	1
0	0	0	0
1	0	0	0
0	1	0	0
1	0	1	0
0	1	0	1
0	0	1	0
1	0	0	1
1	1	0	0
0	1	1	0
1	0	1	1
1	1	0	1
1	1	1	0

VHDL 程序如下：

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY yiwei IS
    PORT(cp:IN std_logic;
          q:OUT std_logic_vector(3 DOWNTO 0));
END yiwei;
ARCHITECTURE yiwei_arc OF yiwei IS
    SIGNAL q_s:std_logic_vector(3 DOWNTO 0); = "0111";
BEGIN
    q <= q_s;
    PROCESS(cp)
    BEGIN
        IF(cp' EVENT AND cp = '1') THEN
            IF(q_s = "0111") THEN
                q_s <= "1110";
            ELSE

```

```

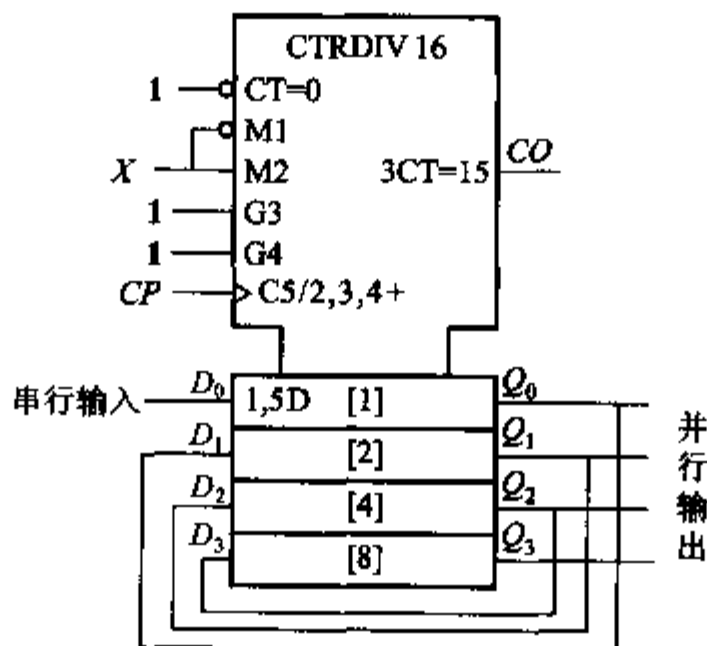
    q_s(3 DOWNTO 1) <= q_s(2 DOWNTO 0);
END IF;
IF (q_s(3) = '0') THEN
    q_s(0) <= NOT q_s(0);
END IF;
END IF;
END PROCESS;
END yiwei_arc;

```

若实现习题 5.20 的要求,可在 VHDL 程序中不用设定题目中没有要求的集成芯片的控制输入或输出以及预置输入等。这样,用 VHDL 实现的可编程逻辑器件可以节省大量资源。

习题 5.21 试用 74161 构成计数器/移位寄存器。

解:利用预置  $X$  信号作为计数器/移位寄存器的切换信号,当  $X=1$  时执行计数操作,当  $X=0$  时执行移位操作。只需将  $Q_2$  接到  $D_3$  上,将  $Q_1$  接到  $D_2$  上,将  $Q_0$  接到  $D_1$  上,串行数据从  $D_0$  输入,通过有规律地置数,实现移位,电路图如习题 5.21 图所示。

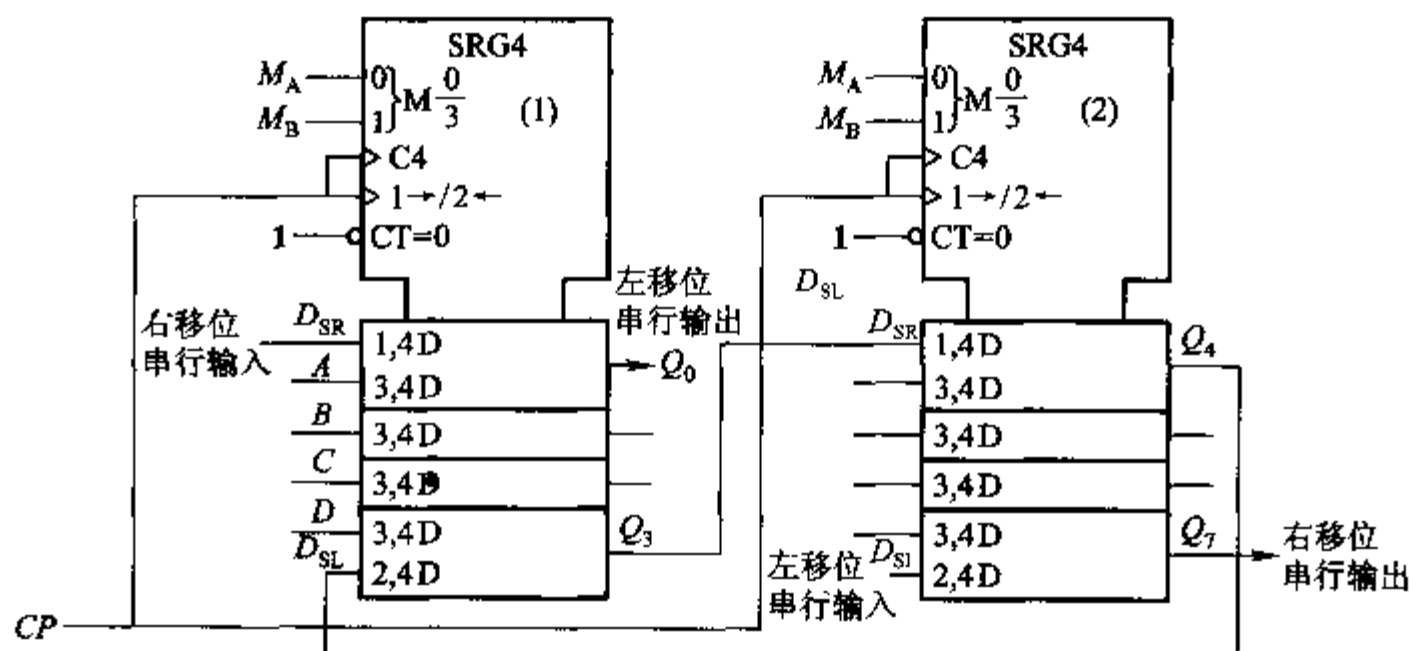


习题 5.21 图

习题 5.22 试用两片 4 位双向移位寄存器 74194 构成 8 位双向移位寄存器。

解:将两片的复位 ( $CT=0$ )、时钟  $CP$ 、预置  $M_A$  和预置  $M_B$  端分别并接起来,将第(1)片的  $Q_3$  与第(2)片的右移串行输入端  $D_{SR}$  连起来,则第(1)片的  $D_{SR}$  为 8 位双向移位寄存器的右移位串行输入端,第(2)片的  $Q_7$  为右移位串行输出端。将第(2)片的  $Q_4$  与第(1)片的左移位串行输入端  $D_{SL}$  相连,则第(2)片的  $D_{SL}$  为 8 位双向移位寄存器的左移位串行输入端,第(1)片的  $Q_0$  为左移位串行输出端。



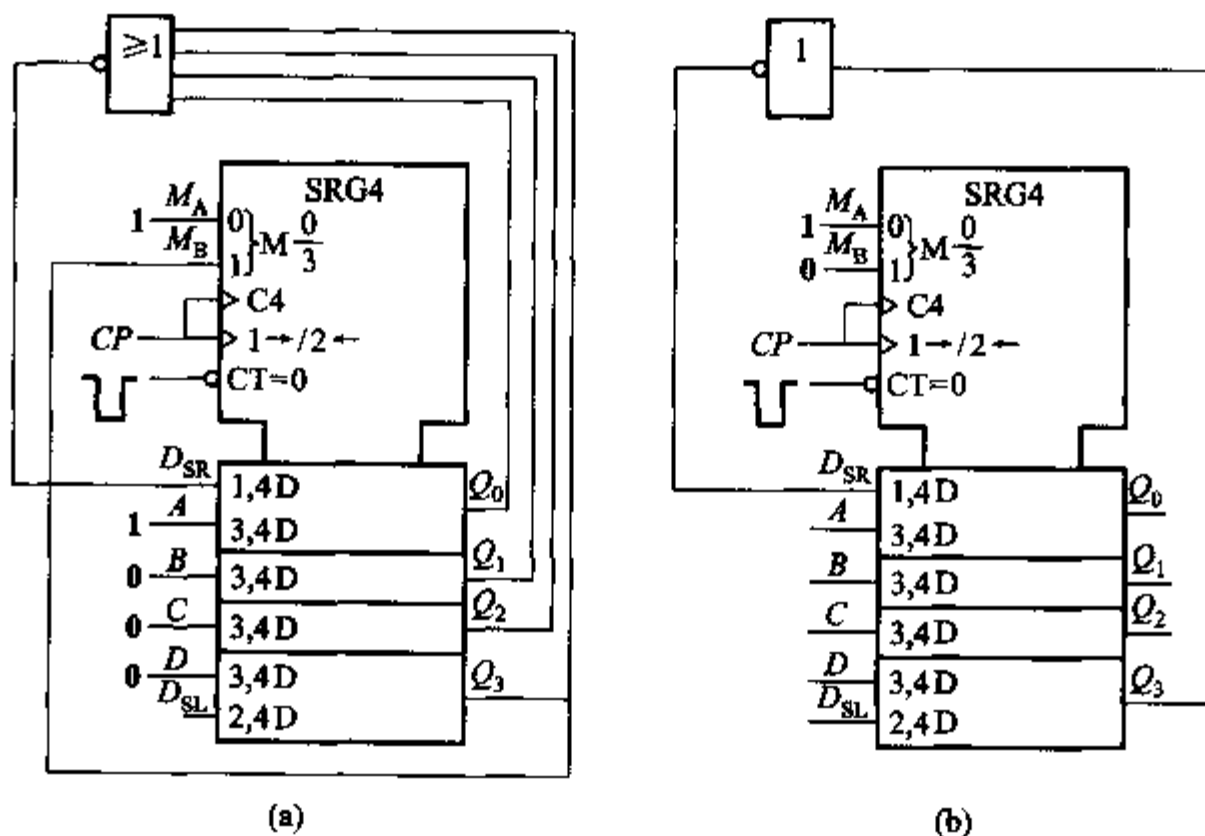


习题 5.22 图

连接图如习题 5.22 图所示。

习题 5.23 试用 74194 构成环形、扭环形计数器。

解：74194 在时钟脉冲  $CP$  的上升沿作用下，当  $M_A = M_B = 1$  时，执行并行送数。当  $M_A = 1, M_B = 0$  时，执行右移操作。具有自启动性能的环形计数器连接图如习题 5.23 图(a)所示。扭环形计数器连接图如习题 5.23 图(b)所示。工作之前清零，使其初始状态为 0000。



习题 5.23 图

习题 5.24 采用中规模组件设计一个计数器性序列码发生器，产生周期序列 1101000101 (组合电路采用 8 输入数据选择器)。

解：给定序列码长度为  $S = 10$ ，故用一片 74161 设计一个模 10 计数器，这个

计数器采用前 10 种状态预置法,即 **0000 ~ 1001** 10 个状态。令其状态转换过程中每一状态的输出符合给定序列的要求,可列出态序表如习题 5.24 表所示。采用 8 选 1 数据选择器 576。分别作出序列信号  $Z$  的卡诺图与选择器的卡诺图如习题 5.24 图(a)、(b)所示。将  $Q_2$ 、 $Q_1$ 、 $Q_0$  接到 576 的地址输入端  $A_2$ 、 $A_1$ 、 $A_0$ 。再比较两张卡诺图得  $D_4 = D_5 = D_6 = D_2 = 0$ 、 $D_7 = D_3 = D_1 = 1$ 、 $D_0 = \overline{Q_3}$ 。电路连接图如习题 5.24 图(c)所示,在电路图中为避免组合电路输出产生竞争冒险,增加了一个  $D$  触发器对输出进行整形。

习题 5.24 表 习题 5.24 图态序表

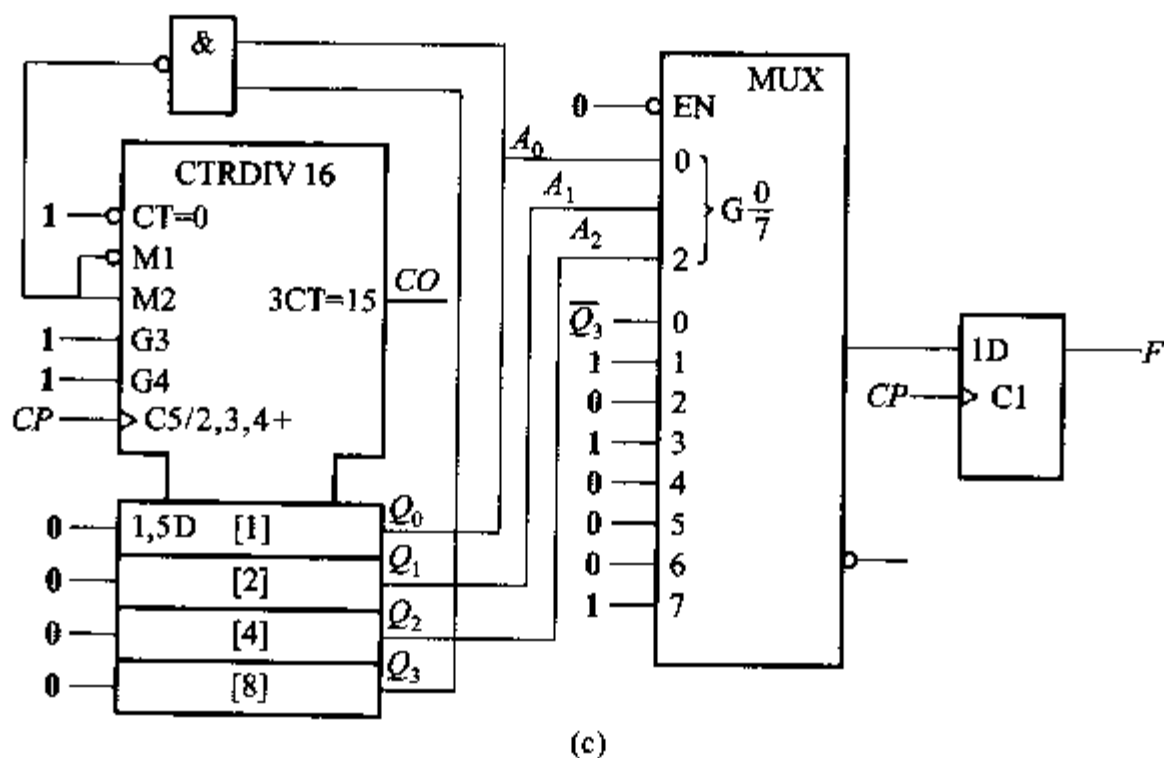
CP	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Z$
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	0
9	1	0	0	1	1

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00	00	1	0	×	0
01	01	1	0	×	1
11	11	1	1	×	×
10	10	0	0	×	×

(a)

$Q_3 Q_2$	$Q_1 Q_0$	00	01	11	10
00	00	$D_0$	$D_4$	$D_4$	$D_0$
01	01	$D_1$	$D_5$	$D_5$	$D_1$
11	11	$D_3$	$D_7$	$D_7$	$D_3$
10	10	$D_2$	$D_6$	$D_6$	$D_2$

(b)



(c)

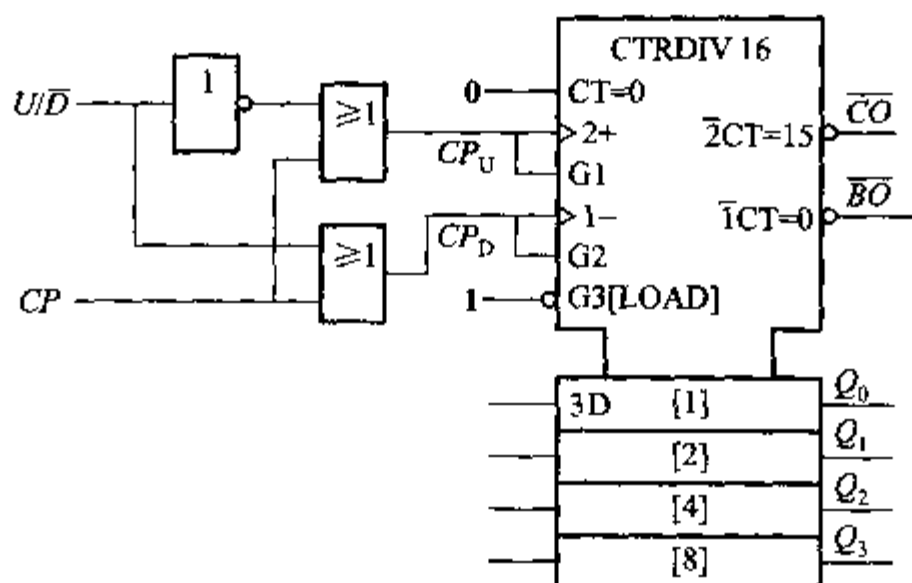
习题 5.24 图

习题 5.25 (1) 将双时钟输入 4 位二进制同步可逆计数器 74193 设计成可控的、单时钟输入的可逆计数器。时钟输入端为  $CP$ , 控制输入端为  $U/\overline{D}$ 。控制

输入端为高电平时为加计数,低电平时为减计数。

(2) 用 VHDL 程序实现(1)。

解: 根据题意,若要实现加计数,则  $CP_U = \overline{U/D} + CP$ , 同理,若要实现减计数,则  $CP_D = U/D + CP$



习题 5.25 图

习题 5.25 图可实现可控的单时钟可逆计数器。

用 VHDL 实现的程序如下:

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;
ENTITY keni IS
    PORT(cp,ctrl;IN std_logic;
         q;OUT std_logic_vector(3 DOWNTO 0));
END keni;
ARCHITECTURE keni_arc OF keni IS
    SIGNAL q_s;std_logic_vector(3 DOWNTO 0); = "0000";
BEGIN
    q <= q_s;
    PROCESS(cp,ctrl)
    BEGIN
        IF(cp' EVENT AND cp = '1') THEN
            IF(ctrl = '1') THEN
                q_s <= q_s + '1';
            ELSIF(ctrl = '0') THEN
                q_s <= q_s - '1';
            END IF;
        END IF;
    END PROCESS;
END keni_arc;
    
```

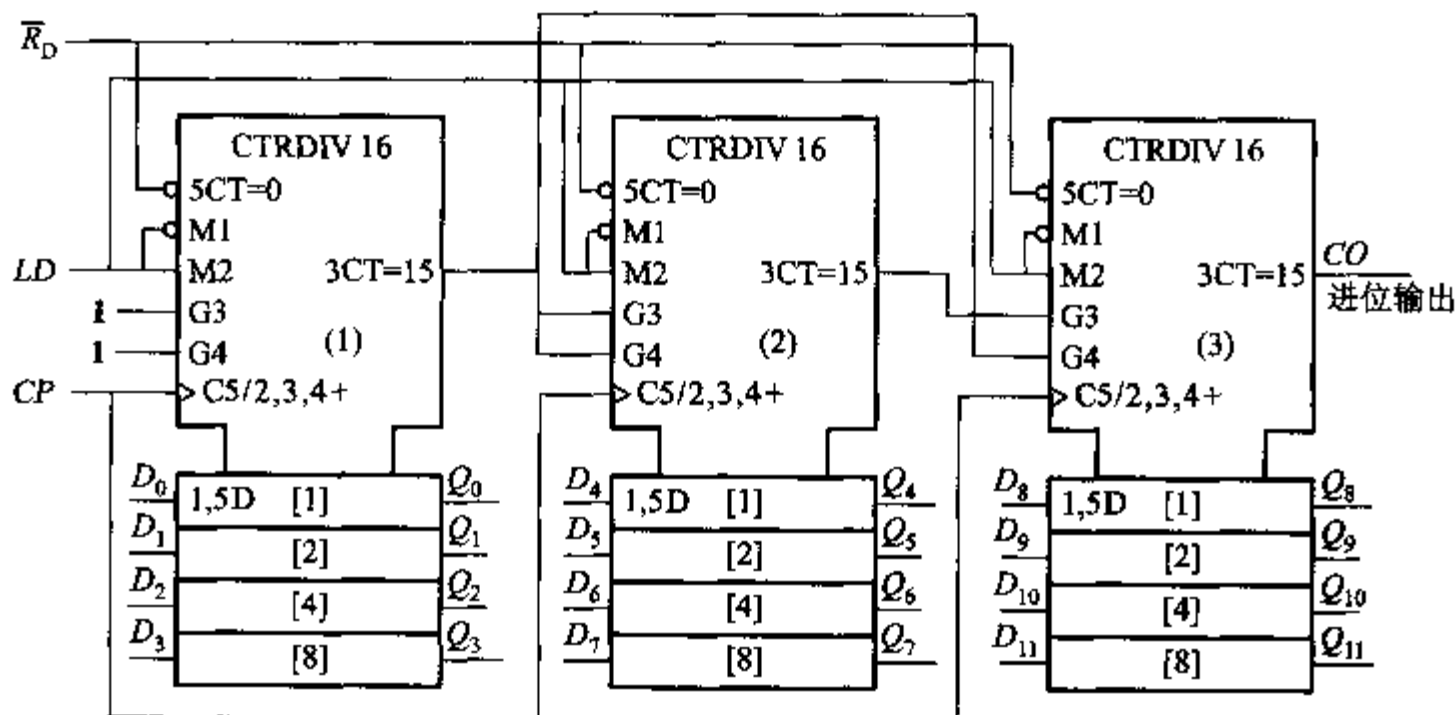
```

END IF;
END IF;
END PROCESS;
END keni_arc;

```

习题 5.26 用 74163 构成 12 位二进制计数器。

解：用 4 位二进制计数器 74163 构成 12 位二进制计数器，需要三片。将低位芯片的进位端接到高位芯片的计数控制端。注意，只有当前两片均计数到满时，第三片才计数加 1，所以前两片的进位输出分别接到第三片的 G3 和 G4 上，12 位二进制计数器电路图如习题 5.26 图所示。

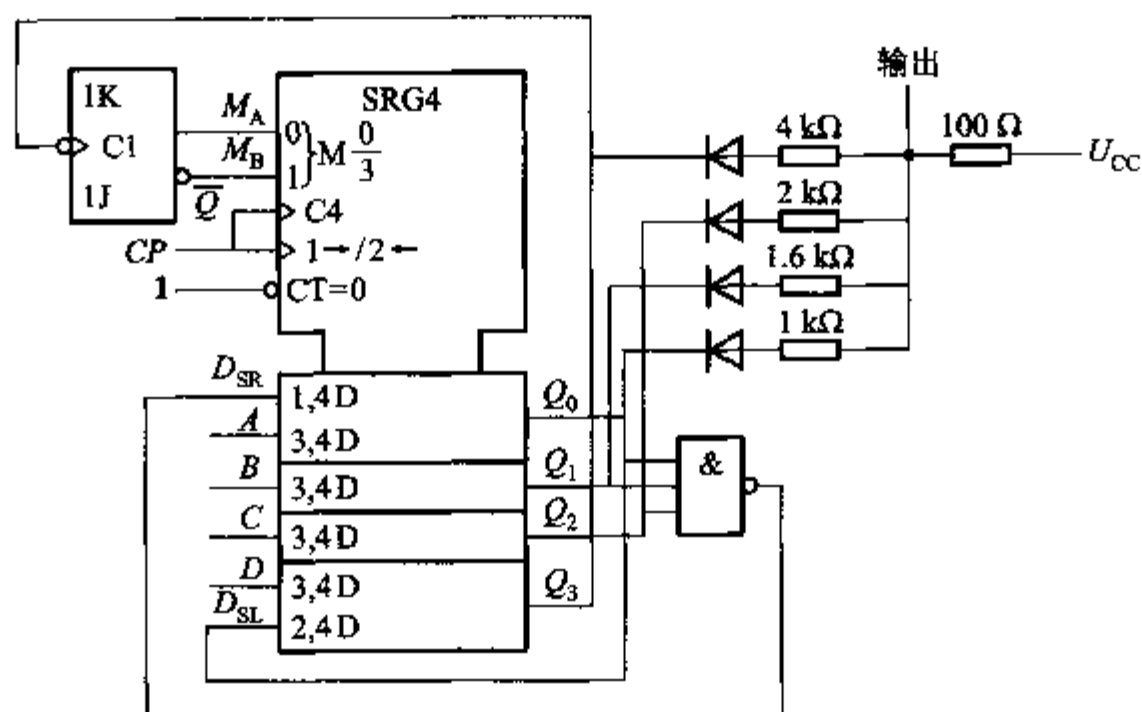


习题 5.26 图 用三个 74163 构成的 12 位计数器

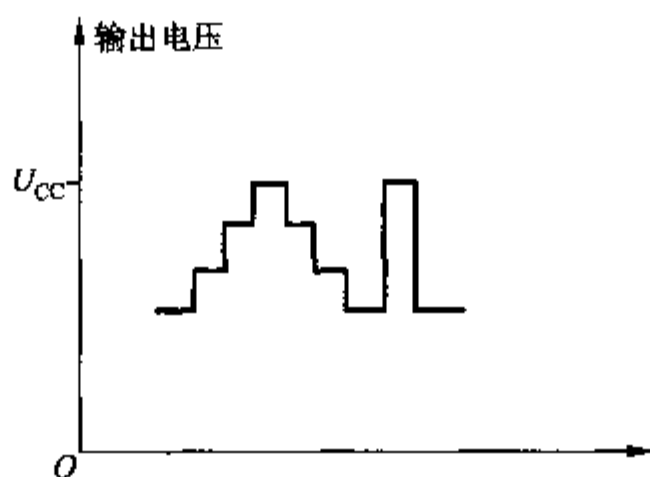
习题 5.27 习题 5.27 图(a)为由移位寄存器 74194 和 JK 触发器构成的数字/模拟转换器的连接图。设初始状态  $QQ_3Q_2Q_1Q_0 = 10000$ ，试解释其工作原理和输出电压。

解：从习题 5.27 图(a)中可以看出，JK 触发器的输出状态用来改变移位寄存器 74194 的状态控制端  $M_A$ 、 $M_B$  的模式。当与非门给移位寄存器的  $D_{SR}$  端送入 0 后，随着 CP 脉冲的逐个到来，移位寄存器逐位右移。当 0 移到  $Q_3$  时，JK 触发器翻转，从而使移位寄存器执行左移，因而 0 被逐位移向  $Q_0$ ，再由  $Q_0$  通过  $D_{SI}$  端移至  $Q_3$ ，此时 JK 触发器再次翻转，移位寄存器又重复上述过程。所以，随着一个个脉冲的到来，循环的 0 在往返运动。当采用习题 5.27 图(a)中电阻值时，输出的模拟波形为三角波如习题 5.27 图(b)所示。

习题 5.28 利用移位寄存器 74195 和译码器 74138 构成的程序分频器如习题 5.28 图所示。通过译码器 74138 的程序输入可实现 2~8 任意数分频。试分析其工作过程。



(a)



(b)

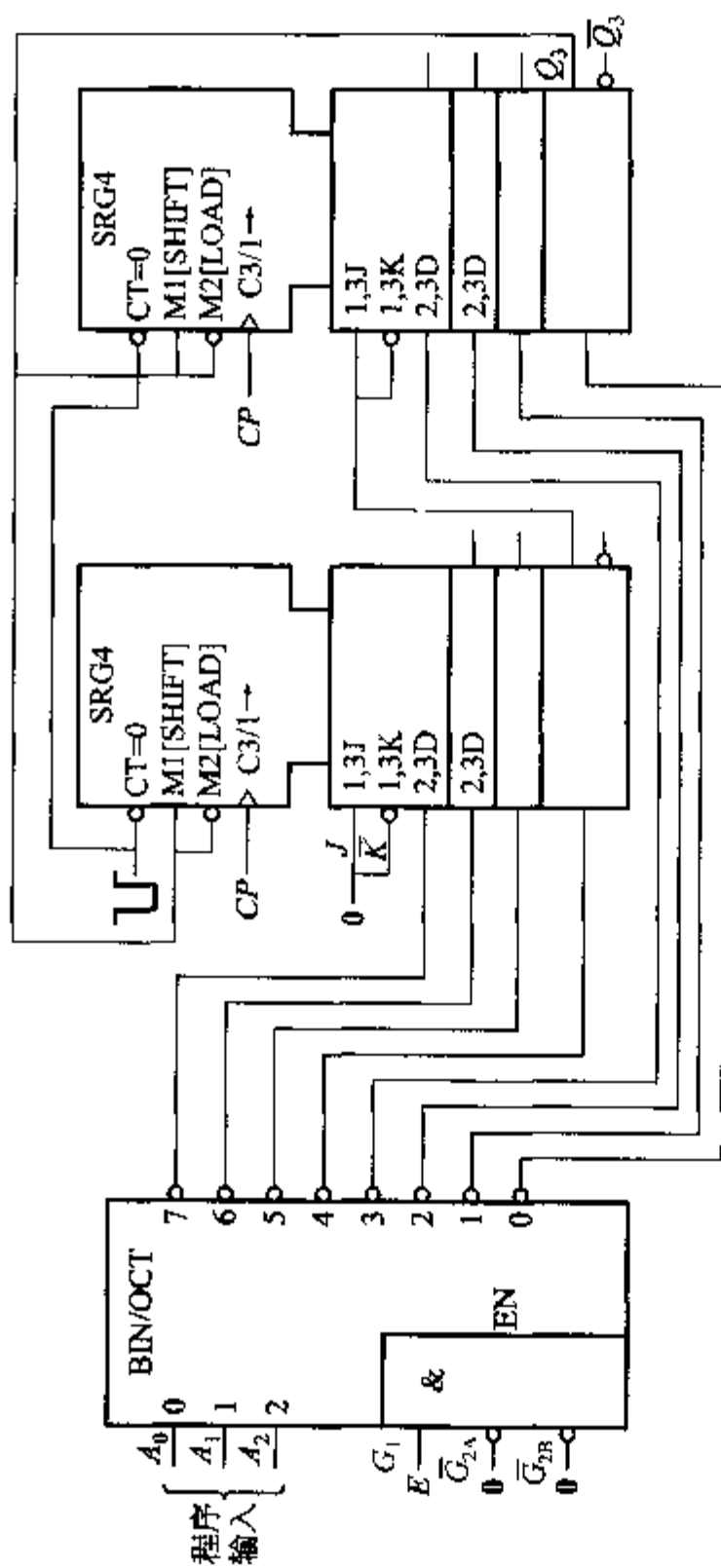
习题 5.27 图

解：从习题图 5.28 中可以观察到，译码器地址信号由程序输入得到，经译码后输出到两个移位寄存器的预置端。译码器输出端只有一位为零，当该零移到第二片  $Q_3$  端时，移位寄存器重新置数，进入新一轮的移位操作。地址信号不一样，得到的初始值就不一样，电路的分频比就不一样。如当  $A_2A_1A_0 = 111$  时，可得到最大分频数为 8，当  $A_2A_1A_0 = 001$  时，可得到最小分频数为 2。

习题 5.29 (1) 采用双向移位寄存器 74194 及 3 线 - 8 线译码器设计一个能同时产生两组代码的序列码发生器，这两组代码分别是  $F_1: 110101$  和  $F_2: 010110$ 。

(2) 用 VHDL 程序实现(1)中要求。

(3) 比较(1)和(2)两种方法的特点。



习题 5.28 图

习题 5.29 表 真值表

$CP$	$Q_0$	$Q_1$	$Q_2$	$F_1$	$F_2$
0	0	0	0	1	0
1	1	0	0	1	1
2	1	1	0	0	0
3	1	1	1	1	1
4	0	1	1	0	1
5	0	0	1	1	0

解：(1) 首先用 74194 设计一个自启动的模 6 扭环计数器如习题 5.29 图 (a) 所示。令此计数器在其计数状态转换过程中，每一状态的输出符合给定序列的要求，可列出真值表如习题 5.29 表所示。然后用一片 3 线 - 8 线译码器和与非门实现输出组合电路。由习题 5.29 表所示得

$$F_1 = \overline{Q_0} \overline{Q_1} \overline{Q_2} + \overline{Q_0} \overline{Q_1} Q_2 + \overline{Q_0} Q_1 Q_2 + \overline{Q_0} \overline{Q_1} Q_2 = m_0 + m_1 + m_7 + m_4$$

$$= \overline{m_0} \cdot \overline{m_1} \cdot \overline{m_7} \cdot \overline{m_4} = \overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_7} \cdot \overline{Y_4}$$

$$F_2 = \overline{Q_0} \overline{Q_1} \overline{Q_2} + \overline{Q_0} Q_1 Q_2 + \overline{Q_0} Q_1 Q_2 = m_1 + m_7 + m_6$$

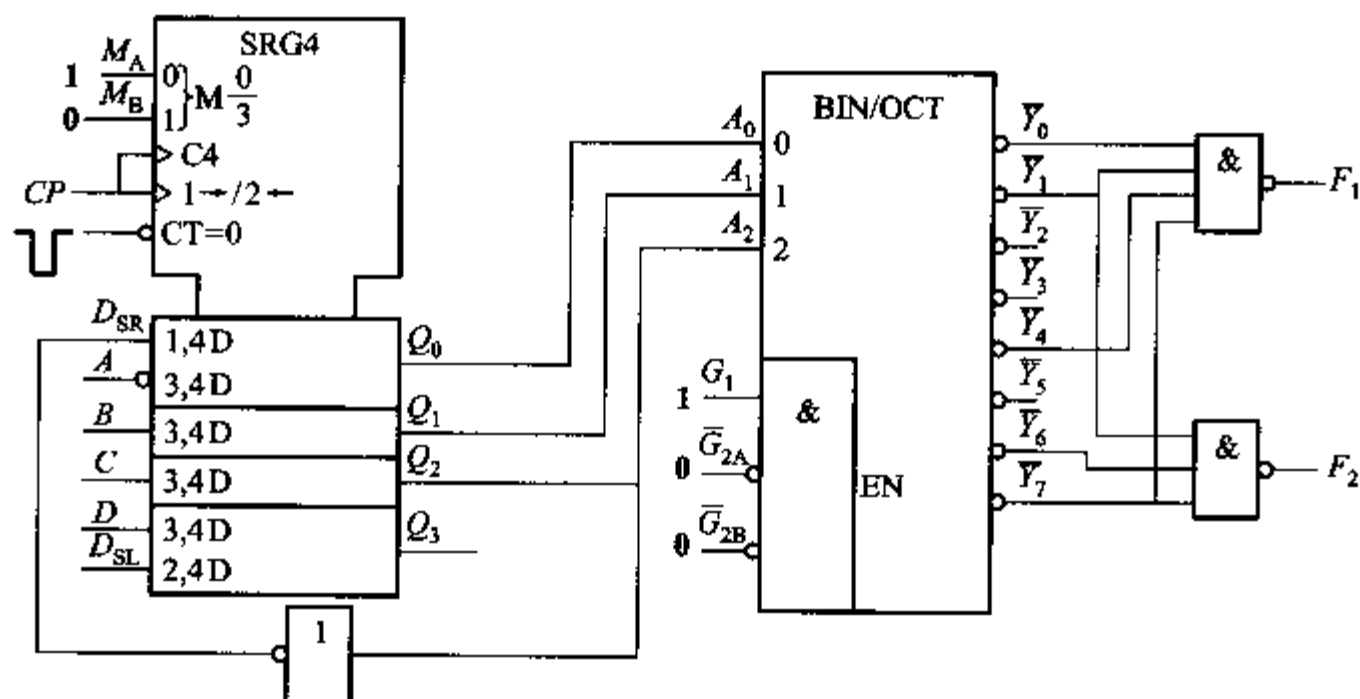
$$= \overline{m_1} \cdot \overline{m_7} \cdot \overline{m_6} = \overline{Y_1} \cdot \overline{Y_7} \cdot \overline{Y_6}$$

分析电路得全状态转换图如习题 5.29 图 (b) 所示。

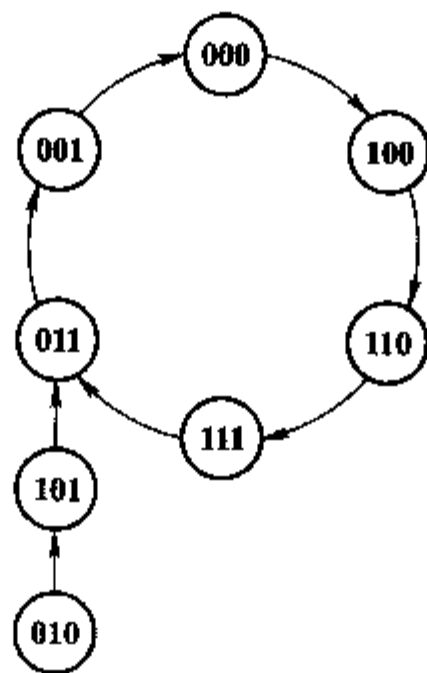
(2) 由 VHDL 实现的程序如下：

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
ENTITY double_xulie IS
    PORT(cp:IN std_logic;
          Z1,Z2:OUT std_logic);
END double_xulie;
ARCHITECTURE behave OF double_xulie IS
BEGIN
    PROCESS(cp)
        VARIABLE q:std_logic_vector(2 DOWNTO 0);
    BEGIN
        IF(cp'EVENT AND cp='1') THEN
            CASE q IS
                WHEN "000" => q:="001";
            
```



(a)



(b)

习题 5.29 图

```

WHEN "001" => q: = "011";
WHEN "011" => q: = "111";
WHEN "111" => q: = "110";
WHEN "110" => q: = "100";
WHEN "100" => q: = "000";
WHEN OTHERS => q: = "000";
END CASE;
IF (q = "000" OR q = "001" OR q = "111" OR q = "100") THEN
    Z1 <= '1';
ELSE

```



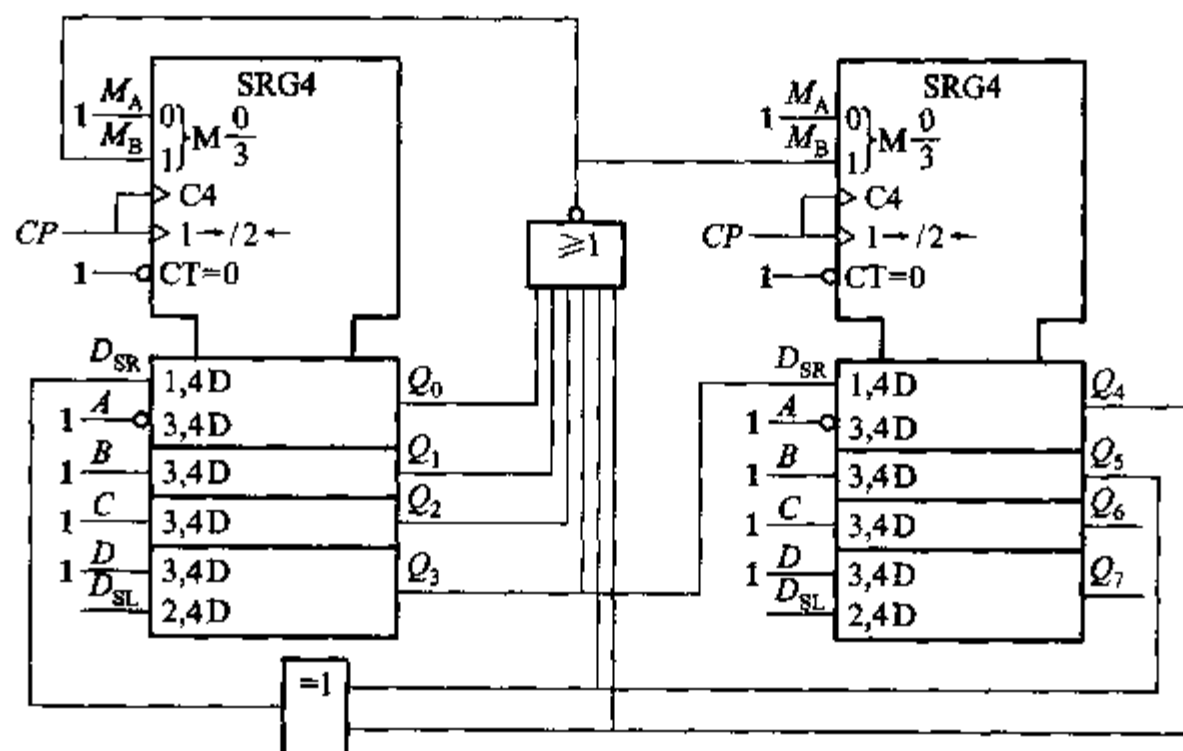
```

        Z1 <= '0';
    END IF;
    IF (q = "001" OR q = "111" OR q = "110") THEN
        Z2 <= '1';
    ELSE
        Z2 <= '0';
    END IF;
END IF;
END PROCESS;
END behave;
    
```

(3) 比较: 参考习题 5.20。

习题 5.30 采用双向移位寄存器 74194 及门电路设计一个具有自启动的序列长度  $S=63$  的  $m$  序列发生器。

解: 为了使 6 位移位寄存器具有自启动能力, 将两片 74194 移位寄存器加上防全零措施。一个或非门的输入处在全零状态时, 其输出为高电平, 反馈到  $M_B$  端使  $M_A = M_B = 1$ , 移位寄存器执行并行送数的功能。下一个时钟脉冲来后, 使电路成为 111111 状态, 进入有效循环。电路连接图如习题 5.30 图所示。



习题 5.30 图

## 第六章 可编程逻辑器件 PLD

可编程逻辑器件 PLD 是由用户借助计算机和编程设备对集成电路进行编程,使之具有预定的逻辑功能,成为用户设计的 ASIC 芯片。近年来,可编程逻辑器件从芯片密度上到速度上发展都相当迅速,已成为集成电路的一个重要分支。

本章要求读者了解 PLD 器件的工作原理,掌握用可编程逻辑器件设计数字电路的方法。为掌握使用电子设计自动化和可编程逻辑器件设计电路系统的后续课程打下良好的基础。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) 可编程逻辑器件 PLD 基本结构

可编程逻辑器件 PLD 包括只读存储器 ROM、可编程只读存储器 PROM、可编程逻辑阵列 PLA、可编程阵列逻辑 PAL、通用阵列逻辑 GAL 和可擦写编程逻辑器件 EPLD 等。它们的组成和工作原理基本相似,其基本结构由与阵列和或阵列构成。与阵列用来产生有关与项,或阵列把所有与项构成与或形式的逻辑函数。在数字电路中,任何组合逻辑函数均可表示为与或表达式,因而用与门-或门两级电路可实现任何组合电路,又因为任何时序电路是由组合电路加上存储元件(触发器)构成的,因而 PLD 的与或结构对实现数字电路具有普遍意义。

##### (二) 可编程逻辑器件分类

###### 1. 按编程部位分类

PLD 有着大致相同的基本结构,根据与阵列和或阵列是否可编程,分为三种基本类型:

- (1) 与阵列固定,或阵列可编程。
- (2) 与或阵列均可编程。
- (3) 与阵列可编程,或阵列固定。

###### 2. 按编程方式分类

- (1) 熔丝与反熔丝编程。
- (2) 紫外线擦除、电可编程。
- (3) 电擦除、电可编程。

(4) 在系统编程(ISP)。

### (三) 高密度可编程逻辑器件 HDPLD

单片高密度可编程逻辑器件 HDPLD (High Density Programmable Logic Device) 芯片内,可以集成成千上万个等效逻辑门,因此使在单片高密度可编程逻辑器件内集成数字电路系统成为可能。HDPLD 器件在结构上仍延续 GAL 的结构原理,因而还是电擦写、电编程的 EPLD 器件。

### (四) 现场可编程门阵列 FPGA

现场可编程门阵列的编程单元是基于静态存储器(SRAM)结构,不像 PLD 那样受结构的限制,它可以靠门与门的连接来实现任何复杂的逻辑电路,更适合实现多级逻辑功能。

现场可编程门阵列 FPGA 与 HDPLD 相比较特点如下:

(1) FPGA 的编程单元是基于 SRAM 结构,可以无限次编程,它为易失性元件,掉电后芯片内信息丢失。通电之后,要为 FPGA 重新配置逻辑。

(2) FPGA 中实现逻辑功能的 CLB 比 HDPLD 实现逻辑功能的 OLMC 规模小,制作一个 OLMC 的面积可以制作多个 CLB,因而 FPGA 内的触发器要多于 HDPLD 内的触发器,使得 FPGA 在实现时序电路时要强于 HDPLD。

(3) HDPLD 的信号汇总于编程内连矩阵,然后分配到各个宏单元,因此信号通路固定,系统速度可以预测。而 FPGA 的内连线是分布在 CLB 周围,而且编程的种类和编程点很多,使得布线相当灵活。

(4) 由于 FPGA 的 CLB 规模小,可分为两个独立的电路,又有丰富的连线,所以系统综合时可进行充分的优化,以达到逻辑最高的利用。

### (五) 随机存取存储器 RAM

RAM 的基本结构由存储矩阵、地址译码器及读写控制电路组成。存储矩阵是用来存储要存放的代码,矩阵中每个存储单元都用一个二进制码给以编号,以便查询此单元。译码器可以将输入地址译为电平信号,以选中存储矩阵中的相应单元。

随机存取是指可以随时将数据存入、取出。随机存储器的主要指标是存储器容量和存取时间(周期)。存储容量表示一片 RAM 存储数据的能力。存放一个二进制数码需要一个存储单元,所以存储容量常用存储单元的总数来表示。存取时间表示从存储器中开始存取第一个字到能够存取第二个字为止所需的时间,或称为存取周期。存取时间越短,表示存储器的存取速度越高。

存储器根据工作原理的不同可分为静态 RAM 和动态 RAM 两大类。

#### (1) 静态 RAM

静态 RAM 是在触发器的基础上附加控制线或门控制管构成的,它们是靠电路状态来存储数据。根据使用的器件不同,静态存储单元又分为 MOS 型和双极型两种。

## (2) 动态 RAM

动态 RAM 是利用 MOS 管栅极电容能够存储电荷的原理制成的。由于栅极电容的容量很小,而漏极电流不可能为零,所以电荷的存储时间有限。为了及时补充泄漏掉的电荷以避免存储信号丢失,必须定时给栅极电容补充电荷,通常把这种操作称为刷新或再生。

## 二、重点与难点

### 重点:

1. 可编程逻辑器件 PLD 的基本结构基于任何组合逻辑函数均可化为与或式,从而通过与门-或门两级电路实现,而任何时序电路又都是由组合电路加上存储元件(触发器)构成。

2. 可编程逻辑器件 PLD 按编程部位分类、编程方法分类的基本概念及其特征。

3. 多次可擦写的可编程逻辑器件 PLD 主要基于浮栅技术,这种技术是一只多晶硅浮栅浮于控制栅和衬底之间的半导体中。当控制栅上的电压加大时,产生很强的电场,足以使电子获得能量穿过半导体进入浮栅驻留。这样 MOS 管因为浮栅上存储负电荷作用使开启电压改变,从而达到逻辑编程 0 和 1 的目的。

4. 单片可编程逻辑器件容量总是有限的,所以在设计时,应考虑利用多片 PLD,按一定方法连接以扩展其容量。

### (1) 字长扩展

字长又称为数据位数,对字长的扩展即是地址的位数保持不变,而对数据位增加。

### (2) 字扩展

字又称为地址位数,对字的扩展即是数据的位数保持不变,而对地址位增加。

5. 可编程逻辑阵列 PLA 电路的分析方法:

(1) 根据题意或者电路图,写出逻辑与或表达式。

(2) 若时序电路,则写出激励、驱动和输出方程。

(3) 写出真值表或者状态图。

(4) 根据真值表或者状态图分析其工作原理。

6. 高密度可编程逻辑器件 HDPLD 的基本组成和其工作原理。

7. 现场可编程门阵列 FPGA 工作原理是靠门与门的连接实现任何复杂的逻辑电路,较适于多级逻辑设计。重点在于掌握工作原理及其特点。

### 难点:

1. 可编程逻辑器件的不同分类方法及其基本概念。

2. PLA 电路的设计方法:

- (1) 根据题意写出真值表或者状态图。
- (2) 选择触发器。
- (3) 写出驱动、激励和输出方程。
- (4) 画出 PLA 电路图。

3. 现场可编程门阵列 FPGA 中的可配置逻辑块 CLB 不仅可以完成组合逻辑、时序逻辑电路的功能,而且还可以作为 RAM 使用。当作为 RAM 使用时,不仅可以配置成电平触发的 16 位双口或 32 位单口 RAM,而且还可以配置成边沿触发的 16 位双口或 32 位单口 RAM。

### 三、考核题型与考核重点

#### 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

建议分配的分数为 5 ~ 10 分。

#### 2. 综合分析与设计

题型 1 为 PLA 或 PROM 的设计或分析题目。

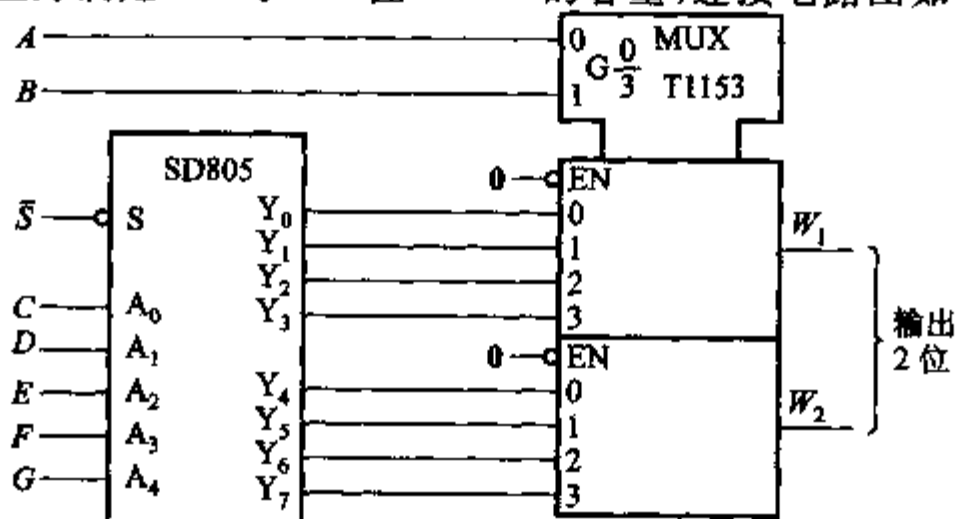
题型 2 为 PLA 或 PROM 结合中、小规模组合和时序集成电路的分析或设计综合电路。

建议分配的分数为 10 ~ 20 分。

## 第二节 典型题解

例题 6.1 试用 SD805 32 字 × 8 位 PROM 构成容量为 128 字 × 2 位 PROM。

解: 此题是增加地址(字数)、减少数据位。可用一片 SD805 和一片双 4 选 1 数据选择器 T1153 来实现。因为 SD805 容量为 32 字 × 8 位, 即有  $32 \times 8 = 256$  个存储单元, 正好满足 128 字 × 2 位 PROM 的容量, 连接电路图如例题 6.1 图所



例题 6.1 图 用 SD805 实现 128 字 × 2 位 ROM

示。通过 7 位地址输入端  $A$ 、 $B$ 、 $C$ 、 $D$ 、 $E$ 、 $F$  和  $G$  对 128 字寻址,其中  $A$  是最低位,  $G$  是最高位。字选地址表如例题 6.1 表所示。

例题 6.1 表 字选地址表

地址 $A \ B$	$0 \ 0$		$1 \ 0$		$0 \ 1$		$1 \ 1$	
	$CDEFG$		$Y_1 Y_5$		$Y_2 Y_6$		$Y_3 Y_7$	
$0 \ 0 \ 0 \ 0 \ 0$	$W_1$		$W_2$		$W_3$		$W_4$	
$1 \ 0 \ 0 \ 0 \ 0$	$W_5$		$W_6$		$W_7$		$W_8$	
$\vdots$	$\vdots$		$\vdots$		$\vdots$		$\vdots$	
$1 \ 1 \ 1 \ 1 \ 1$	$W_{125}$		$W_{126}$		$W_{127}$		$W_{128}$	

例题 6.2 芯片 74161 和 PROM 组成例题 6.2 图所示电路。要求:

- (1) 分析 74161 功能,说明电路的计数长度。
- (2) 分析  $W$ 、 $X$ 、 $Y$ 、 $Z$  的函数表达式。
- (3) 在  $CP$  作用下,分析  $W$ 、 $X$ 、 $Y$ 、 $Z$  端顺序输出的 8421BCD 码的状态,并说明电路的功能。

解:(1) 同步十六进制计数器 74161 按例题 6.2 图接法是十六进制,其  $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$  状态由 0000、0001 到 1111,再重复。

(2)  $W$ 、 $X$ 、 $Y$ 、 $Z$  的函数表达式为

$$W = \sum m(5, 11, 12, 14)$$

$$X = \sum m(2, 4, 7, 8, 10, 13)$$

$$Y = \sum m(0, 6, 7, 9, 13, 15)$$

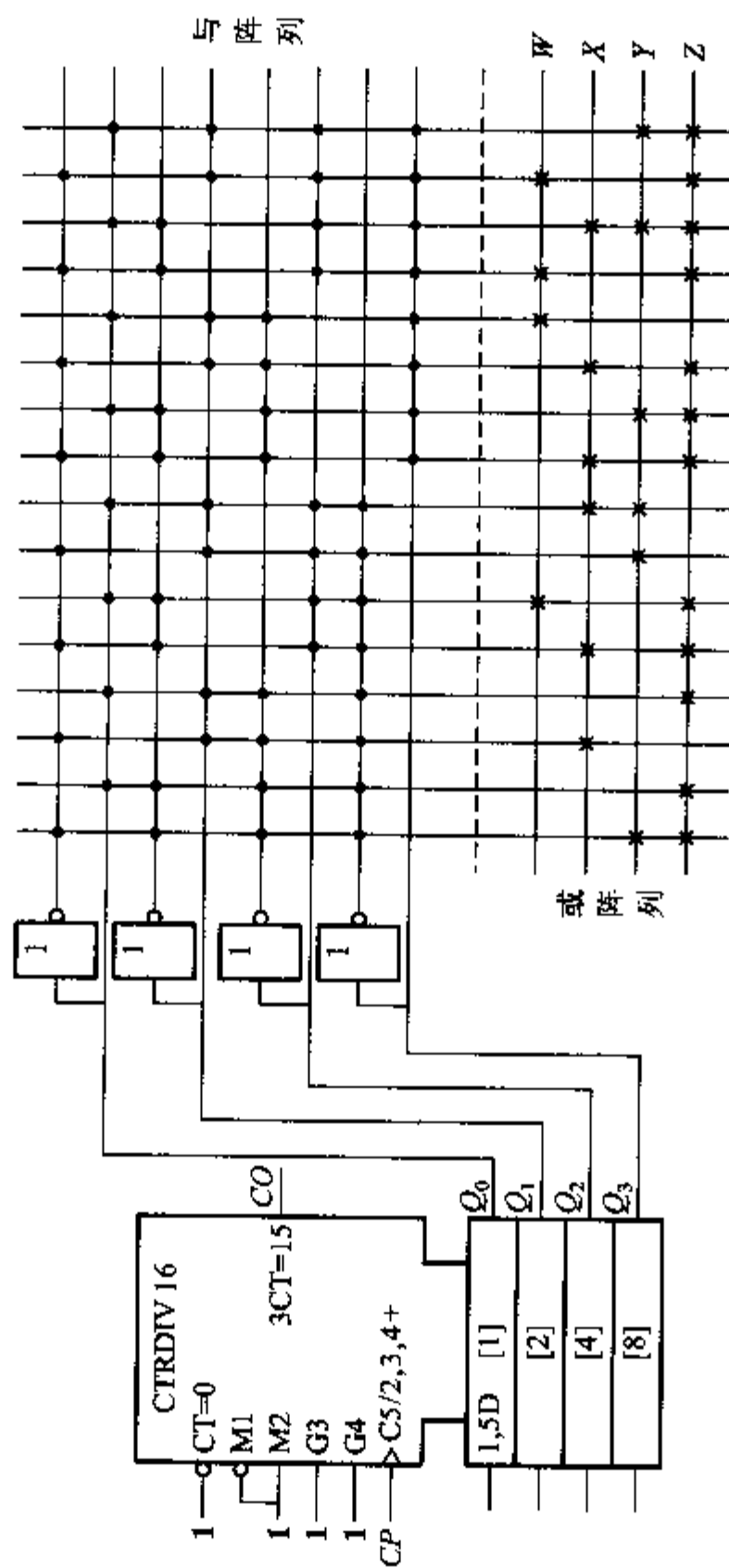
$$Z = \sum m(0, 1, 3, 4, 5, 8, 9, 10, 12, 13, 14, 15)$$

(3)  $W$ 、 $X$ 、 $Y$ 、 $Z$  端顺序输出为 3141592653589793 的 8421BCD 码。因此该电路是一个能产生 16 位  $\pi$  值的函数发生器。

例题 6.3 试设计产生例题 6.3 图(a)所示四路周期信号的逻辑电路(采用 PROM 设计电路)。

解:由例题 6.3 图(a)看出,要求产生的四路信号是周期为 16 的四组同步序列,如例题 6.3 表所示。

用一个模 16 同步加法计数器产生 4 位地址,计数器状态由状态 0~15 循环转换,每个状态给出一组 4 位地址。随着计数器状态的循环转换,地址循环选通,从 PROM 输出端就得到四组同步序列。为了使四组同步序列符合例题 6.3 表,必须依据序列要求给 PROM 正确编程,为此,由例题 6.3 图(a)得



例題 6.2 图

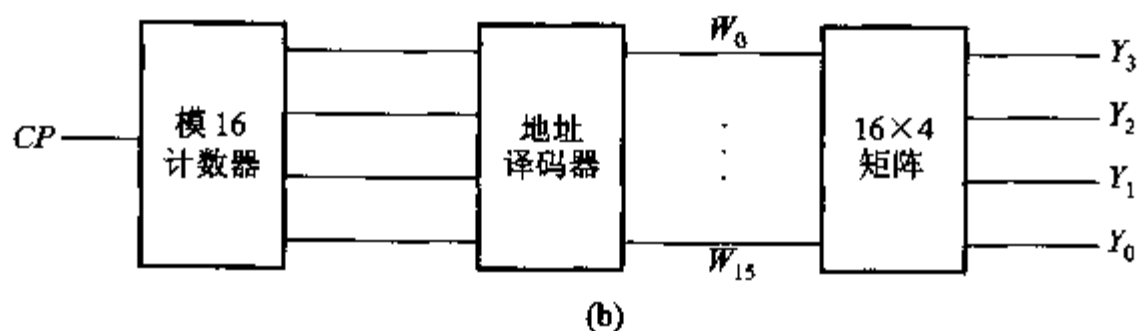
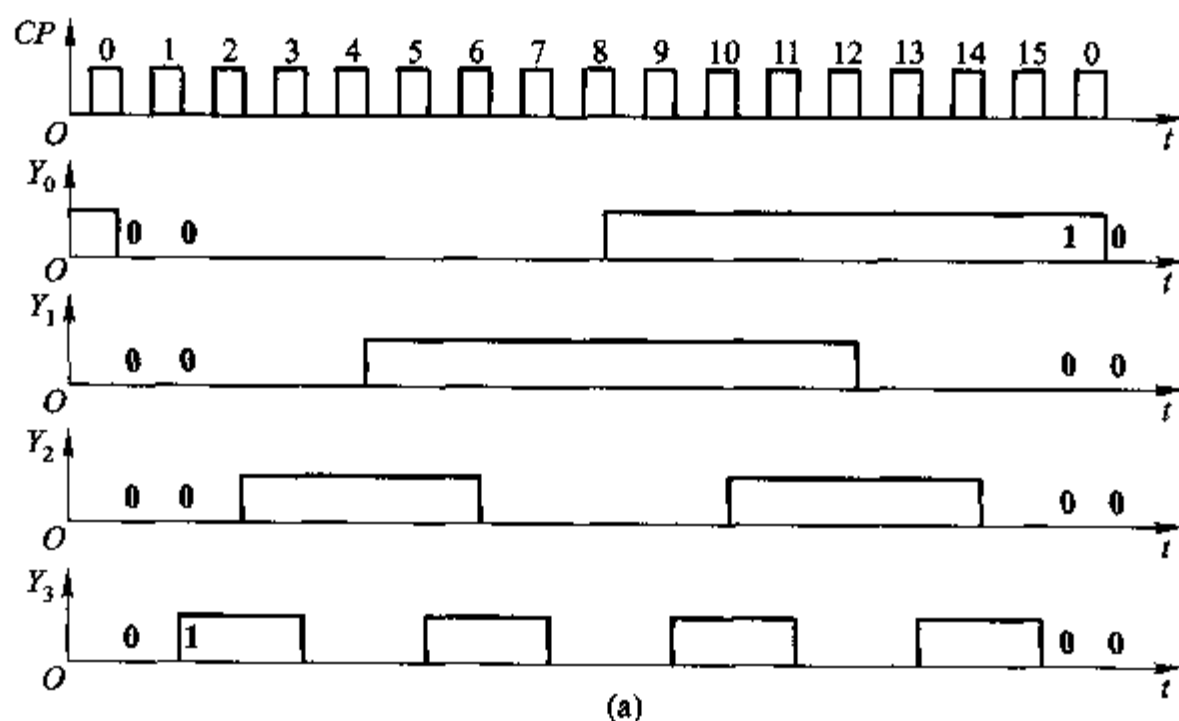
$$Y_3 = W_1 + W_2 + W_5 + W_6 + W_9 + W_{10} + W_{13} + W_{14}$$

$$Y_2 = W_2 + W_3 + W_4 + W_5 + W_{10} + W_{11} + W_{12} + W_{13}$$

$$Y_1 = W_4 + W_5 + W_6 + W_7 + W_8 + W_9 + W_{10} + W_{11}$$

$$Y_0 = W_8 + W_9 + W_{10} + W_{11} + W_{12} + W_{13} + W_{14} + W_{15}$$

上式很容易用二极管或多发射极晶体管构成的存储矩阵予以实现,所以用一片中规模 4 位二进制计数器和一个 16 字  $\times$  4 位 PROM 就可以实现题意功能,逻辑框图如例题 6.3 图(b)所示。



例题 6.3 图

例题 6.3 表 真 值 表

计数器状态				字线序列输出				
$Q_3$	$Q_2$	$Q_1$	$Q_0$	$W$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	$W_0$	0	0	0	0
0	0	0	1	$W_1$	1	0	0	0
0	0	1	0	$W_2$	1	1	0	0
0	0	1	1	$W_3$	0	1	0	0
0	1	0	0	$W_4$	0	1	1	0
0	1	0	1	$W_5$	1	1	1	0
0	1	1	0	$W_6$	1	0	1	0



续表

计数器状态				字线序列输出				
$Q_3$	$Q_2$	$Q_1$	$Q_0$	$W$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	1	1	1	$W_7$	0	0	1	0
1	0	0	0	$W_8$	0	0	1	1
1	0	0	1	$W_9$	1	0	1	1
1	0	1	0	$W_{10}$	1	1	1	1
1	0	1	1	$W_{11}$	0	1	1	1
1	1	0	0	$W_{12}$	0	1	0	1
1	1	0	1	$W_{13}$	1	1	0	1
1	1	1	0	$W_{14}$	1	0	0	1
1	1	1	1	$W_{15}$	0	0	0	1

例题 6.4 PLA 和 D 触发器组成的同步时序电路如例题 6.4 图(a)所示。  
要求:

- (1) 写出电路的驱动方程、输出方程。
- (2) 分析电路功能,画出电路的状态转换图。

解:(1) 根据 PLA 与或阵列的输入/输出关系,可直接得到各触发器的驱动方程及输出方程

$$D_0 = \bar{Q}_0 + \bar{Q}_1 Q_0$$

$$D_1 = \bar{Q}_1 Q_0 + Q_1 Q_0$$

$$D_2 = \bar{Q}_0 \bar{Q}_2 + Q_2 Q_0$$

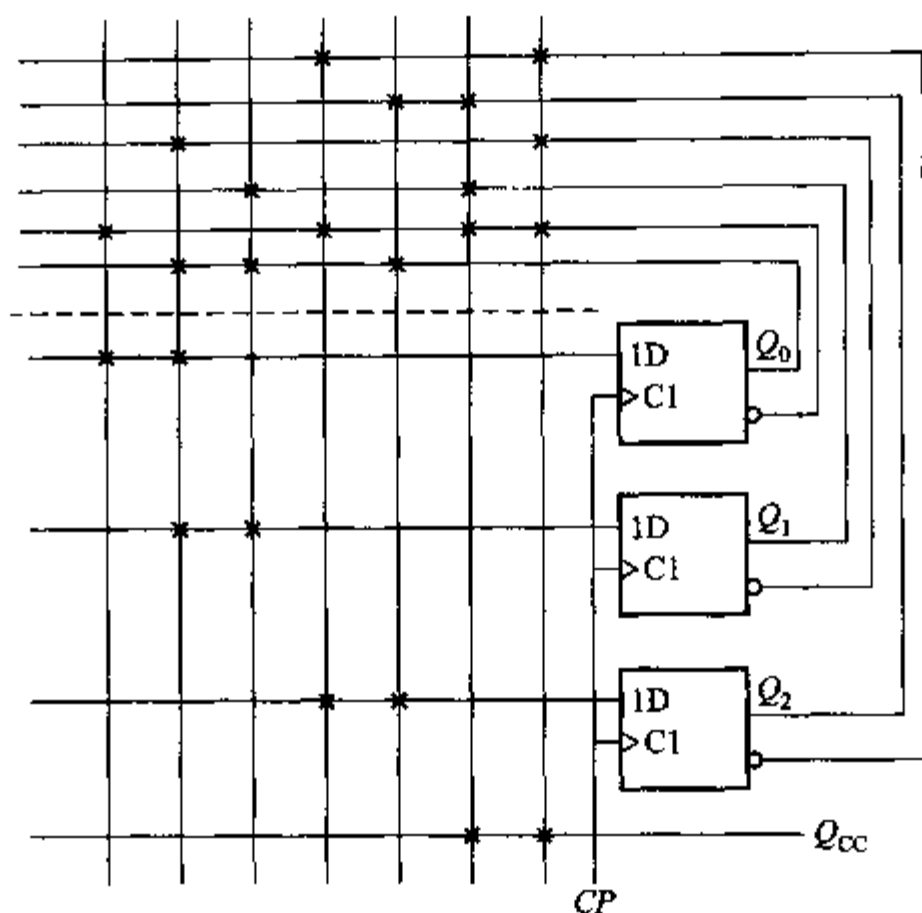
$$Q_{cc} = \bar{Q}_0 Q_1 Q_2 + \bar{Q}_0 \bar{Q}_1 \bar{Q}_2$$

(2) 先设定电路的状态,根据触发器的激励方程和输出方程,可列出例题 6.4 表所示的电路状态转换表,并画出例题 6.4 图(b)所示的电路状态转换图。

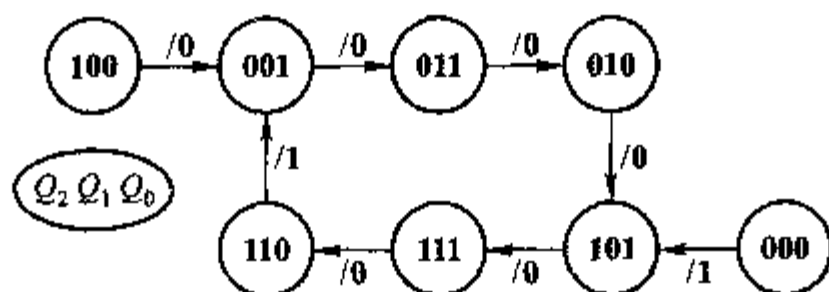
该电路是能够自启动的同步六进制计数器。

例题 6.4 表 电路状态转换表

$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Q_{cc}$
0	0	0	1	0	1	1	0	1	1
0	0	1	0	1	1	0	1	1	0
0	1	0	1	0	1	1	0	1	0
0	1	1	0	1	0	0	1	0	0
1	0	0	0	0	1	0	0	1	0
1	0	1	1	1	1	1	1	1	0
1	1	0	0	0	1	0	0	1	1
1	1	1	1	1	0	1	1	0	0



(a)



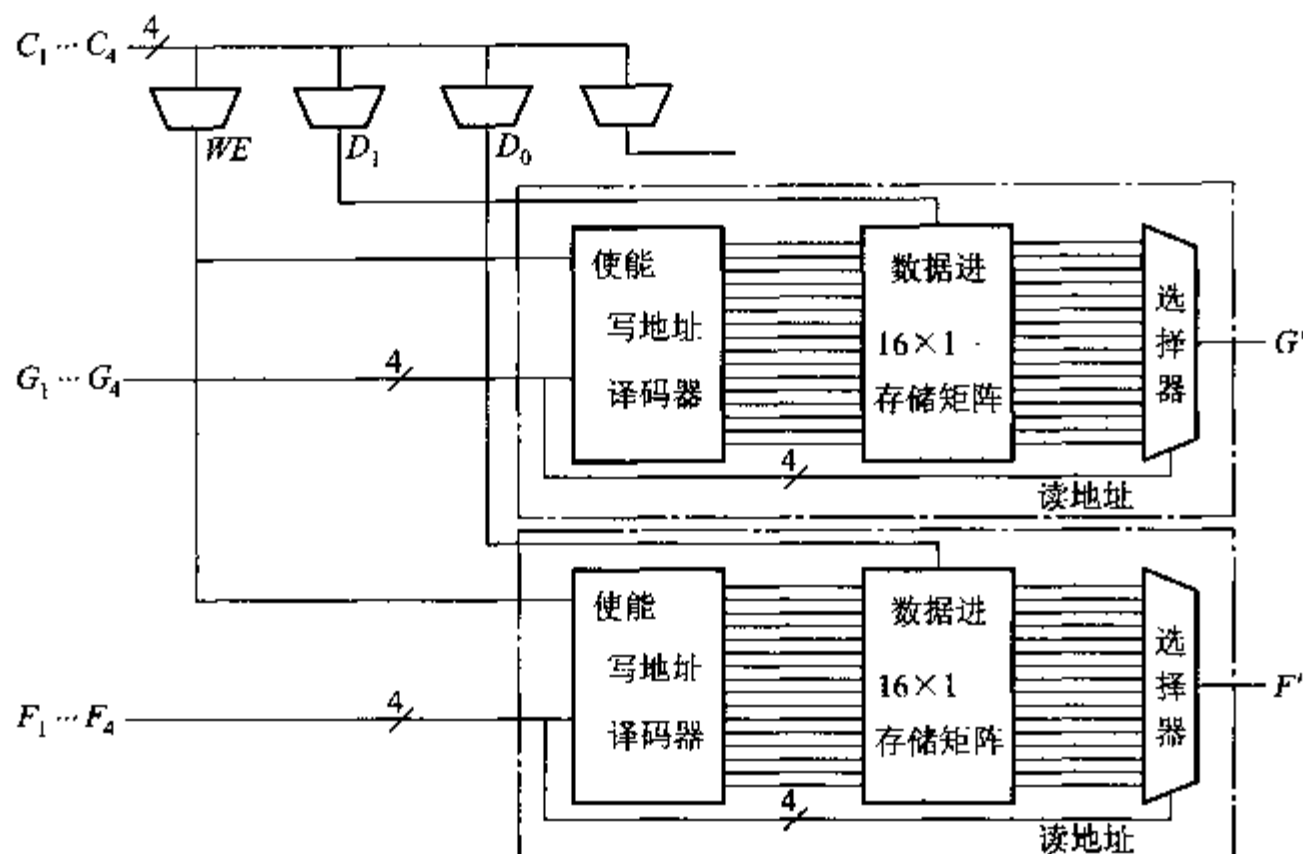
(b)

例题 6.4 图 例题 6.4 电路及其状态转换图

例题 6.5 例题 6.5 图是 XC4000E 系列芯片中的一个 CLB, 它实现了  $16 \times 2$  电平触发单口 RAM, 试分析其逻辑功能。

解: 组合逻辑输入  $F_1 \sim F_4$  和  $G_1 \sim G_4$  作为 RAM 的地址线输入, 可以通过地址的改变来选中存储单元的信息, 此时 CLB 控制信号  $D_{in}$ 、 $S/R$  和  $H_1$  分别作为数据信号  $D_1$ 、 $D_0$  和写使能信号  $WE$ ,  $F'$  和  $G'$  作为 RAM 的数据输出。

当 RAM 写数据时, 写使能信号 ( $WE$ ) 为高电平选通写译码器, 使写译码器使能。地址  $F_1 \sim F_4$  通过地址译码选中  $16 \times 1$  阵列中的某一单元。如当  $F_1 \sim F_4$  地址为 **0000** 时, 并且  $WE$  有效, 数据  $D_0$  进入  $16 \times 1$  存储矩阵最上面的存储单元。当 RAM 读出数据时, 写使能信号  $WE$  为低电平, 禁止数据写入。地址信号直接到数据输出选择器选中所需单元从  $F'$  读出, 形成  $16 \times 1$  电平单口 RAM, 同样  $G_1 \sim G_4$  对应  $G'$  组成另一个  $16 \times 1$  电平单口 RAM。



例题 6.5 图 16×2 电平触发单口 RAM

例题 6.6 试分析例题 6.6 图所示的随机存取存储器(RAM)电路。

- (1) 存储器的总容量和字长是多少?
- (2) 指出当  $R/\overline{W} = 1$ , 地址码为 16H 时, 哪些 RAM 芯片将数据送到数据线上?
- (3) 指出 RAM0、RAM1、RAM2、RAM3 的存储地址范围各是多少。

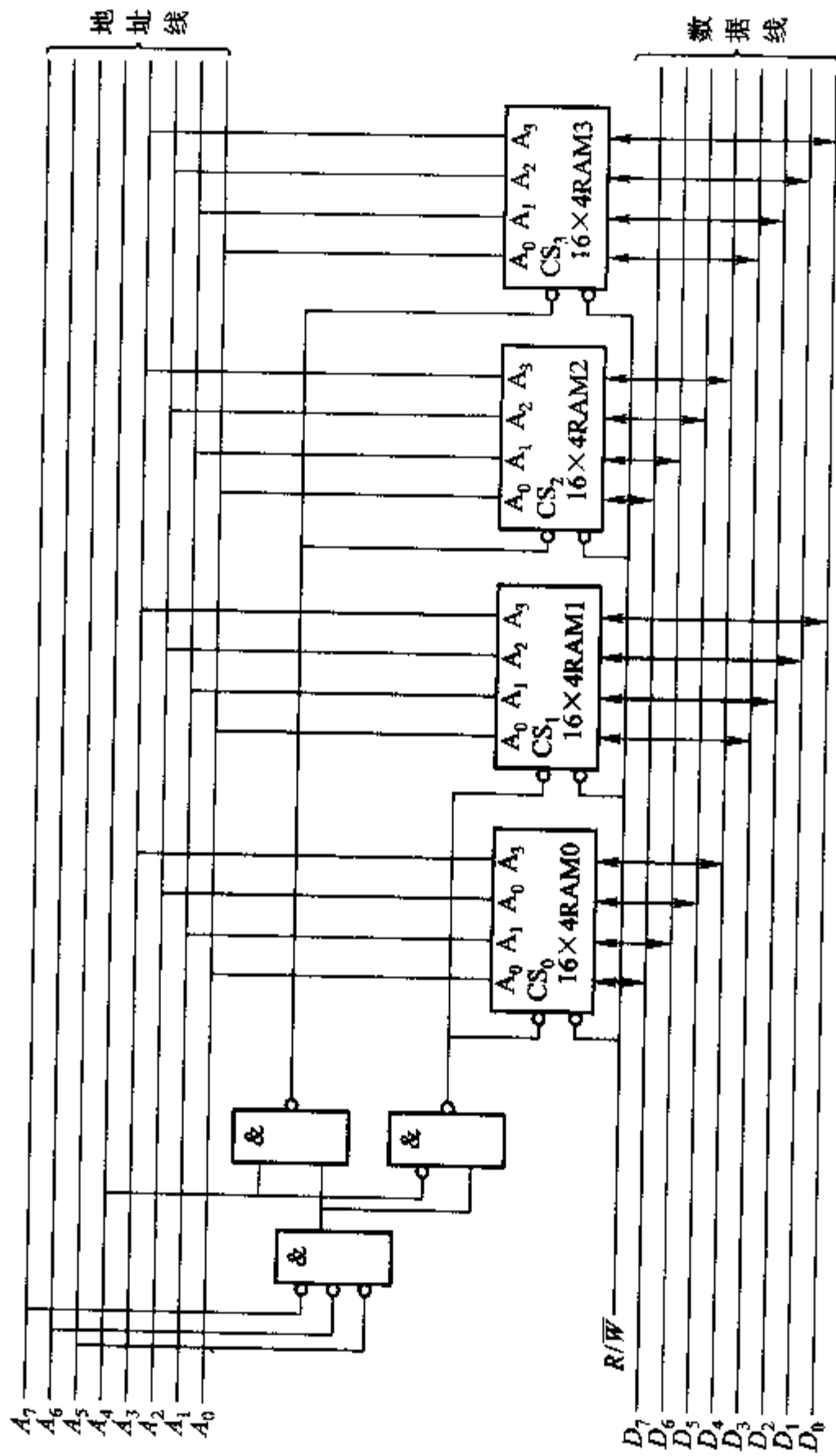
解: 本题采用四片 16 字×4 位的 RAM 芯片组成一个容量为 32 字×8 位的存储器。由于 RAM 芯片容量为 16 字×4 位, 字数及字长均不能满足要求, 因此, 将四片容量为 16 字×4 位的 RAM 两两组合, 进行位扩展, 组成两个容量为 16 字×8 位的 RAM。然后再用这两个容量为 16 字×8 位的 RAM 进行字扩展, 组成容量为 32 字×8 位的 RAM。位扩展及字扩展均通过 RAM 片选信号  $\overline{CS}$  来扩展。

数据线有 8 位 ( $D_7 \sim D_0$ ), 地址线有 8 位 ( $A_7 \sim A_0$ ), 地址范围从 00H 到 FFH, 故最多有 256 个字。地址线的高 4 位  $A_7 \sim A_4$  通过门电路构成两个 16 字×8 位 RAM 的片选信号, 低 4 位  $A_3 \sim A_0$  则作为 16 字×8 位 RAM 自身的地址。片选信号由下式决定

$$\overline{CS}_0 = \overline{CS}_1 = A_7 + A_6 + A_5 + A_4$$

$$\overline{CS}_2 = \overline{CS}_3 = A_7 + A_6 + A_5 + \overline{A}_4$$

可见只有当  $A_7 A_6 A_5 A_4 = 0000$  时,  $\overline{CS}_0 = \overline{CS}_1 = 0$ , RAM0、RAM1 选中工作; 当  $A_7 A_6 A_5 A_4 = 0001$  时,  $\overline{CS}_2 = \overline{CS}_3 = 0$ , RAM2、RAM3 选中工作。



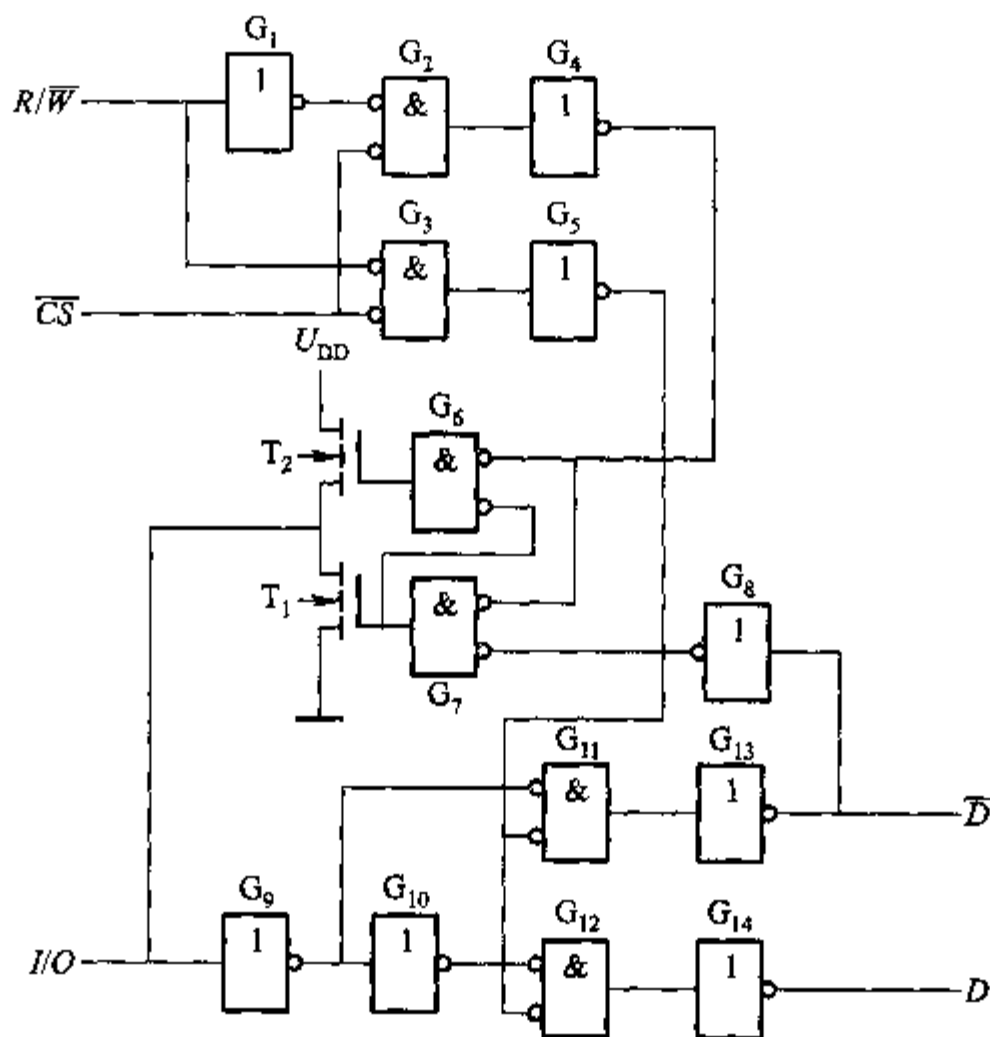
例题 6.6 图 由 RAM 芯片组成的存储器

(1) 此 RAM 电路的总容量为  $32 \text{ 字} \times 8 \text{ 位}$ , 字长为 8 位。

(2)  $R/\overline{W} = 1$  表示发出读存储器的命令, 当地址为 10H 时, 即  $A_7A_6A_5A_4A_3A_2A_1A_0 = 00010000$ , 所以  $\overline{CS}_0 = \overline{CS}_1 = 1$ , RAM0、RAM1 被封锁。 $\overline{CS}_2 = \overline{CS}_3 = 0$ , RAM2、RAM3 被选中工作, 并将地址 10H 的 8 位数据读出后送到数据线上。

(3) RAM0、RAM1 的存储地址范围为 00H ~ 0FH; RAM2、RAM3 的存储地址范围为 10H ~ 1FH。

例题 6.7 分析例题 6.7 图所示 RAM 读、写控制电路功能。结合电路的工作原理, 总结出控制电路在读出和写入时控制信号所处的状态。



例题 6.7 图 RAM 读、写控制电路

解: 从电路的结构而知, 门  $G_1 \sim G_5$  为读出、写入的控制部分, 门  $G_1$ 、 $G_5$  和 MOS 管  $T_1$ 、 $T_2$  组成三态输出, 是读出数据通道, 而  $G_9 \sim G_{14}$  是写入数据通道。

在  $\overline{CS} = 0$  条件下,  $R/\overline{W}$  的状态将决定  $G_2$ 、 $G_3$  哪个门开。

在  $R/\overline{W} = 1$  时,  $G_2$  开, 输出为 1,  $G_3$  关, 输出为 0, 于是  $G_4$  输出为 0,  $G_5$  输出为 1。  $G_4$  输出 0 使  $G_6$ 、 $G_7$  中有一个处于开的状态。如  $\overline{D} = 0$  ( $D = 1$ ), 则  $G_6$  输出 1,  $G_7$  关,  $G_6$  开, 使  $T_1$  截止,  $T_2$  导通,  $I/O = 1$ , 即内存单元的内容送到  $I/O$  线,  $I/O$  状态同  $D$  状态。因为  $G_5$  输出为 1, 故  $G_{11}$ 、 $G_{12}$  关, 即  $I/O$  向内存单元传送数据的通道被切断, 这种情况为读出。

在  $R/\overline{W} = 0$  时,  $G_3$  开,  $G_2$  关。  $G_5$  输出为 0,  $G_4$  输出为 1,  $G_6$ 、 $G_7$  被关, 内存向  $I/O$  线传送数据的通道被切断, 而  $G_{11}$ 、 $G_{12}$  中有一个处于开的状态。当  $I/O = 0$  时,  $G_{11}$  关,  $G_{12}$  开,  $D = 0$ ; 当  $I/O = 1$  时,  $G_{11}$  开,  $G_{12}$  关,  $D = 1$ ,  $I/O$  线向内存单元传送数据, 这时为写入。

在  $\overline{CS} = 1$  条件下,  $G_2$ 、 $G_3$  都被关闭,  $G_4$ 、 $G_5$  输出均为高, 门  $G_6$ 、 $G_7$  和  $G_{11}$ 、 $G_{12}$  全关, 即  $I/O$  线和内存单元传送数据的通道均被切断, 不能进行读出和写入的操作。

根据以上分析可知, 读、写控制电路读出和写入的条件是

读操作:  $\overline{CS} = 0$        $R/\overline{W} = 1$

写操作:  $\overline{CS} = 0$        $R/\overline{W} = 0$

### 第三节 题 解

#### 自我检测题解

题 6.1 答: 将一个包含有 32 768 个基本单元的存储电路设计成 4 096 个字节的 RAM。

(1) 该 RAM 有 8 根数据线。

(2) RAM 有 12 根地址线。

题 6.2 答: 将一个包含有 16 384 个基本单元的存储电路设计成 8 位为一个字节的 ROM。

(1) 该 ROM 有 2 048 个地址。

(2) ROM 有 8 个数据读出线。

题 6.3 答: 有一个容量为 256 字  $\times$  4 位的 RAM。

(1) 该 RAM 有 1 024 个基本存储单元。

(2) 该 RAM 每次访问 4 个基本存储单元。

(3) 该 RAM 有 8 根地址线。

题 6.4 答: 有一个 64 字  $\times$  1 位的 RAM。

(1) 该 RAM 仅有一套基本译码电路, 则地址译码器中应有 64 个或非门。每个或非门应有 6 个输入端。

(2) 若该 RAM 中的基本存储单元排列成  $16 \times 4$  存储阵列, 则行、列译码器各应有 16 个或非门。每个或非门应有 4 个输入端。

(3) 若该 RAM 中的基本存储单元排列成  $8 \times 8$  存储阵列, 那么行、列译码器各有 8 个或非门。每个或非门应有 3 个输入端。

(4) 上述方案中哪一种最佳? 为什么?

答：最后一种方案最佳，因为用的或非门最少，且输入端个数最少。

题 6.5 答：判断下列叙述是否正确。

(1) FPGA 是可编程逻辑器件。(×)

(2) PLA 实现逻辑函数时，要求产生所有输入变量的最小项。(×)

(3) PAL 器件仅对逻辑宏单元 OLMC 进行编程。(×)

(4) GAL 是通用阵列逻辑器件，可以进行反复编程。(√)

(5) 用 ROM 实现组合逻辑时不对函数做任何简化。(√)

题 6.6 答：从可编程结构角度分析， $E^2$ PROM 的与阵列固定，或阵列可编程。

题 6.7 答：FLASH 存储器的两个特点是容量大和速度快。

题 6.8 答：PLA 和 PAL 的阵列结构的共同点是与阵列可编程，而不同点是 PLA 或阵列可编程，PAL 或阵列固定。

题 6.9 答：EPROM 浮栅上的电荷泄放需要在芯片的玻璃窗上进行紫外线照射。

题 6.10 答：GAL 器件基本上由输入电路、与阵列和输出逻辑宏单元组成。

题 6.11 答：256 字 × 32 位的 EPROM 有地址线 8 根、数据线 32 根、字线 256 根。

### 思考题题解

题 6.1 比较浮栅编程技术中的 SIMOS 和 FLASH 各有什么特点？

答：SIMOS 的浮栅到衬底的距离大约 20 nm，当向浮栅注入电子之后，去掉编程电压，浮栅上的电子无泄放回路，即使反向加电压也无法泄放。若要使浮栅上的电子去掉，必须用紫外线照射。而 FLASH 的浮栅到衬底的距离大约 10 nm，当向浮栅注入电子之后，去掉编程电压，浮栅上的电子无泄放回路，但反向加电压后可以放掉浮栅上的电子，并且由于漏、源的不对称性，使得快速分级扩散。

题 6.2 RAM 的功能是什么？它通常由哪几部分组成？RAM 静态存储单元和动态存储单元有何不同？各有什么特点？

答：RAM 为随机读写存储器，可从存储器中读出数据，也可将数据写入存储器中的某个单元。通常包括地址译码器、存储矩阵和输入/输出电路三部分。静态存储单元由单元中的触发器保存信息，读出过程不影响单元中存储的内容。动态存储单元利用 MOS 管栅极电容保存信息，需要定时刷新。

题 6.3 试述 PROM、EPROM 和  $E^2$ PROM 的特点。

答：共同之处：

(1) 均为可以进行编程的只读存储器。

(2) 属于非易失性元件，即掉电之后，所存储的信息不丢失。

(3) 利用了浮栅编程技术。

(4) 有限次写入数据。

不同之处:

(1) PROM 为一次编程器件; EPROM 为电编程、紫外线擦除器件;  $E^2$ PROM 是电编程、电擦除器件。

(2) PROM 编程元件为熔丝或者是 PLICE 介质; EPROM 是用 SIMOS 浮栅作为编程元件;  $E^2$ PROM 是用 FILOTOX 浮栅等作为编程元件。

题 6.4 试述非易失性元件的种类及特点。

答: 非易失性元件是可编程逻辑器件 PLD, 包括只读存储器 ROM、编程只读存储器 PROM、电编程紫外线擦除只读存储器 EPROM、电编程电擦除只读存储器  $E^2$ PROM、在系统编程 ISP、可编程逻辑阵列 PLA、可编程阵列逻辑 PAL、通用阵列逻辑 GAL 和高密度可编程逻辑器件 HDPLD。它们有相似的基本结构: 输入电路、与阵列、或阵列和输出电路。

特点:

减小系统体积; 增强逻辑设计的灵活性; 缩短设计周期; 提高系统处理速度; 降低系统成本; 提高系统的可靠性; 系统具有加密功能。

题 6.5 简述 EPROM 实现不同规模逻辑函数的特点。

答: EPROM 与阵列固定, 输入信号的每个组合都固定连接(不管这个组合是否会被使用), 所以与门阵列为全译码阵列, 它经常被用来作为数据存储器。还可方便地使用 EPROM 来实现简单的逻辑函数。若实现复杂的逻辑函数, 则会随着输入信号的增加, 使得芯片面积增大, 利用率和工作速度降低等情况就发生, 例如, 输入信号有 10 个, 所需要的函数乘积项仅有 40 个的时候, 由于固定的与阵列所产生的 10 个信号的乘积项有 1 024 个, 所以将所有的乘积项(1 024)减去所需的乘积项(40)就有 984 个乘积项被空闲。实际上, 大多数组合逻辑函数的最小项不超过 40 个, 则使得 PROM 芯片的面积利用率不高, 功耗增加。

题 6.6 简述 PAL 的基本结构及命名方法。

答: PAL 器件的输入、输出结构以及输入、输出的数目是由集成电路制造商根据实际需要情况大致估计确定的。PAL 器件的型号很多, 它的典型输出结构通常有四种:

(1) 专用输出结构。

(2) 可编程 I/O 结构。

(3) 寄存器型输出结构。

(4) 带异或门的寄存器输出结构。

一些 PAL 器件是由数个同一结构类型组成, 有的则是由不同类型结构混合组成。如由 8 个寄存器型输出结构组成的 PAL 器件命名为 PAL16R8, 由 8 个可



编程 I/O 结构组成的 PAL 器件则命名为 PAL16L8。

题 6.7 试述 PAL 和 GAL 在结构上的不同之处。

答: 通用阵列逻辑 GAL 是在 PAL 基础上发展起来的一种具有较高可靠性和灵活性的新型可编程逻辑器件, 它采用 E<sup>2</sup>CMOS 工艺和灵活的输出结构, 能将数片中小规模集成电路集成在芯片内部, 并具有电擦写反复编程的特性。在基本阵列结构上仍是与阵列可编程, 或阵列固定的 PAL 结构。与 PAL 相比, GAL 的输出结构配置了可以任意组态的输出逻辑宏单元 OLMC (Output Logic Macro Cell), 适当地为输出逻辑宏单元进行编程, GAL 就可以在功能上代替 PAL 的四种输出类型及其派生类型, 为在同一片 GAL 中, 实现组合逻辑电路和时序逻辑电路的分块设计提供了方便。

题 6.8 简述 GAL 的输出逻辑宏单元 OLMC 有哪几种组态及其各自特点。

答: 输出逻辑宏单元由对 AC1(n) 和 AC0 进行编程决定 PTMUX、TSMUX、OMUX 和 FMUX 的输出, 共有五种基本组态: 专用输入组态、专用输出组态、复合输入/输出组态、寄存器组态和寄存器组 I/O 组态。前三个是组合组态, 后两个是时序组态。8 个宏单元可以处于相同的组态, 或者有选择地处于不同组态。

题 6.9 Altera 可编程逻辑器件 EPM7128S 由哪几个部分组成? 简述其工作原理。

答: EPM7128S 器件结构是由 8 个相似的逻辑阵列块 LAB (Logic Array Block)、1 个可编程内连矩阵 (PIA) 和多个输入/输出控制块 (I/O Block) 组成。每个 LAB 有 16 个宏单元 (Macrocell)、2 个独立的全局时钟和 1 个全局清除。来自直接输入引脚 Input 或任何一个 I/O 引脚的输入信号, 既可有 6~12 条 (根据芯片封装确定) 进入 LAB, 又可有 6~12 条进入可编程内连矩阵 PIA。PIA 在芯片的中央, 作为中转调度控制, 它既可接收来自 I/O 控制块 (6~12)、逻辑阵列块 (16)、全局的时钟、清零和使能信号, 又可将 36 个信号发送至 LAB 的宏单元中的与阵列, 6 个使能信号发送到 I/O 控制块用于控制它的三态输出缓冲器。

题 6.10 简述在系统编程芯片的特点及设计过程。

答: (1) 可以脱离编程器进行编程。

(2) 减少不必要的物理损失。

(3) 断电后, 芯片内部信息不丢失。

将选定的在系统编程芯片插入系统, 再将设计好的电路通过下载线送入芯片, 电路就存在于芯片之中, 系统按电路要求进行工作。

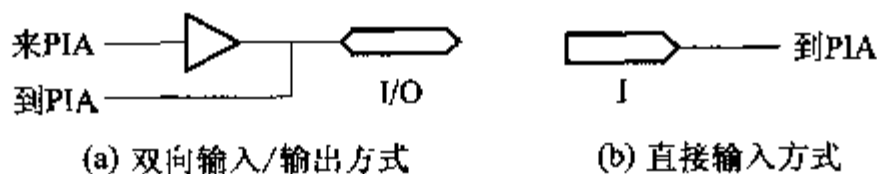
题 6.11 EPM7128S 的输入/输出模块可构成哪些组态? 试举两例并画出电路图。

答: (1) 专用输入组态。

(2) 专用输出组态。

- (3) 专用输入/输出组态。
- (4) 双向控制摆率工作方式等。

如思考题 6.11 图(a)、(b)所示。



思考题 6.11 图

题 6.12 试述 EPM7128S 在哪些方面优于 GAL16V8。

答: (1) 高集成密度。HDPLD 芯片的规模已达上万个等效逻辑门, 往往在一片或几片 HDPLD 内, 可以实现功能相当复杂的数字系统, 如在一个芯片内设置数据总线和地址总线。

(2) 速度高、低功耗、抗噪声容限较大。EPM7128S 最快速度的芯片一个引脚经过一个传输门到另一个引脚的延时约为 2 ns, 构成计数器的工作频率大于 178.6 MHz。

(3) 在系统编程能力。

(4) 可测试能力。大部分可编程逻辑芯片具有 JTAG (Joint Test Action Group) 边界扫描电路, 使芯片具有良好的可测试能力, 不但可以对芯片内部进行故障监测, 而且还可以进行精确的故障定位。

(5) 线或功能。EPM7128S 为每一个 I/O 引脚提供了漏极开路操作, 使芯片具有其他芯片提供的系统级控制信号的能力, 并且可以提供线或功能。

(6) 异步时钟、异步清零功能。PAL 和 GAL 中触发器的时钟信号是由外部引脚统一供给, 故只能实现同步时序电路, 而 HDPLD 的触发器时钟信号既可由外部快速提供, 也可通过编程, 形成不同频率的时钟信号提供给触发器。因此既可同步工作, 也可异步工作。

(7) 输出缓冲器多种使能能力。高密度可编程逻辑器件的三态输出使能控制比 PAL、GAL 丰富, 可由外部引脚使能、宏单元使能和 I/O 单元使能, 使每个 I/O 引脚可以组成任何组态。

(8) 乘积项共享功能。PAL 和 GAL 乘积项最多不超过 15 个 (GAL22V10), 而 EPM7128S 有并联扩展乘积项和共享扩展乘积项分配网络, 允许向每个宏单元提供多达 32 个乘积项。

(9) 很强的加密能力。HDPLD 像 GAL 一样具有可编程的加密位, 不同的是目前对加密的高密度可编程逻辑器件的解密技术还不成熟, 因此, 当前高密度可编程逻辑器件仍是对电路系统进行加密, 全面保护专利设计的一种理想的器件。

题 6.13 如何用 EPM7128S 的共享和并联扩展乘积项实现乘积项为 19 的

逻辑函数,在编号为 5 的宏单元输出?

答:根据题意得知函数的输入乘积项为 19 个,前面已讨论过每个宏单元输入到乘积选择矩阵的乘积项只有 5 个,所以至少用 4 个宏单元的乘积项。

通过宏单元的借用通道,向编号较小的宏单元借用乘积项,宏单元 5 向宏单元 4 借用 5 个,向宏单元 3 借用 5 个,向宏单元 2 借用 4 个,借用的乘积项在并联逻辑扩展乘积项的作用下,进入宏单元 5 的或门,实现乘积项为 19 的逻辑函数。

题 6.14 FPGA 在结构上有哪些特点?各组成部分的功能是什么?

答:FPGA 的编程单元是基于静态存储器(SRAM)结构,从理论上讲,具有无限次重复编程的能力。

它主要有三个基本部分组成:

(1) 可配置逻辑模块 CLB( Configurable Logic Block)。

(2) 输入/输出模块 I/OB( Input/Output Block)。

(3) 可编程连写 PI( Programmable Interconnect)和由它组成的编程开关矩阵 PSM( Programmable Switch Matrix)。

可配置逻辑模块 CLB 以方阵的形式布置在器件的中央,FPGA 可以提供  $n \times n$  个 CLB,随着可编程逻辑器件的发展,其阵列规模也在增加。CLB 本身包含多种逻辑功能部件,使它既能实现组合逻辑电路和时序逻辑电路,又可实现包括静态 RAM 的各种运算电路。输入/输出模块分布在芯片的四周,它是提供外部封装引脚和内部信息的接口电路,该接口电路通过设计编程可以分别组态为输入引脚、输出引脚和双向引脚,并且具有控制速率、降低功耗等功能。可编程连线 PI 分布在 CLB 周围及 CLB 和 I/OB 之间,它们的主要作用是完成 CLB 之间逻辑连接以及将信息传递到 I/OB。

题 6.15 简述 HDPLD 和 FPGA 在编程连线方面的不同之处,以及由此产生的特点。

答:HDPLD 内部连线汇总于编程内连矩阵,然后分配到各个宏单元,因此信号通路固定,系统速度可以预测。而 FPGA 的内连线是分配在 CLB 周围,而且编程的种类和编程点很多,使得布线相当灵活,因此在系统速度方面低于 HDPLD。

由于 FPGA 的 CLB 规模小,可分为两个独立的电路,又有丰富的连线,所以系统综合时可进行充分的优化,以达到逻辑最高的利用。

题 6.16 GAL 和 EPLD 之间的根本区别是什么?在 EPLD 制造过程中使用了什么技术?

答:GAL 和 EPLD 的根本区别在于 EPLD 的集成度远高于 GAL,两者在结构上是一样的。EPLD 在制造过程中,采用了 FLOTOX 或 FLASH 浮栅技术。

## 习题题解

习题 6.1 用 EPROM 实现下列多输出函数。

$$F_1 = \bar{A} \bar{B} \bar{C} + \bar{B}C + AB$$

$$F_2 = \bar{A} + \bar{B} + \bar{C}$$

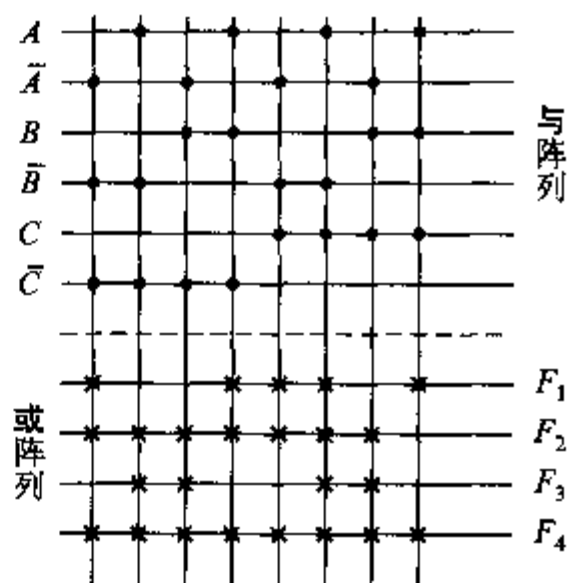
$$F_3 = \bar{A}B + \bar{B}A$$

$$F_4 = (A + B + C)(A + B + C) + \overline{ABC}$$

解：输入信号是 3 个  $A$ 、 $B$ 、 $C$ ，输出是 4 个  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$ 。可编程阵列规模为  $8 \times 4$ 。

输入  $A$ 、 $B$ 、 $C$  在与阵列进行全译码，产生所有的最小项。

在或阵列上，输出  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$  根据给定的逻辑函数，得到最小项。然后在或阵列进行编程，得到习题 6.1 图所示的与或阵列图。



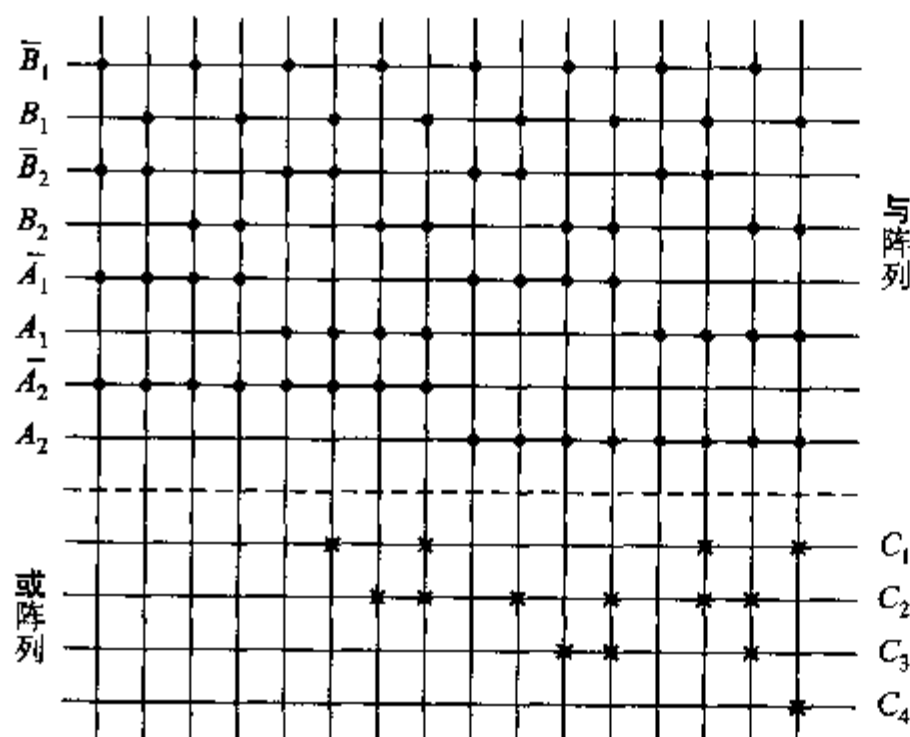
习题 6.1 图

习题 6.2 用适当规模的 EPROM 设计 2 位二进制数乘法器，输入乘数和被乘数分别为  $A_2 A_1$  和  $B_2 B_1$ ，输出为 4 位二进制数  $C_4 C_3 C_2 C_1$ ，并且说明所用 EPROM 的容量。

解：本题是利用紫外线擦除、电编程的 EPROM 实现组合逻辑电路的设计问

习题 6.2 表 真 值 表

$A_2$	$A_1$	$B_2$	$B_1$	$C_4$	$C_3$	$C_2$	$C_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1



习题 6.2 图

题。依照所要求的电路功能,可按两个 2 位二进制数的乘法运算列出真值表如习题 6.2 表所示。习题 6.2 图  $A_2A_1$  作为乘数, $B_2B_1$  作为被乘数,输出乘积为  $C_4C_3C_2C_1$ ,利用 EPROM 实现的乘法器的与或阵列图如习题 6.2 图所示。

习题 6.3 用 EPROM 实现两种码制的变换:8421BCD 码至 2421BCD 码的变换;8421BCD 码至 5421BCD 码的变换。

解:利用 EPROM 实现 8421BCD 码至 2421BCD 码的变换和 8421BCD 码至 5421BCD 码的变换也是采用与阵列固定,或阵列编程。习题 6.3 表列出了 8421BCD 码转换成 5421BCD 码和 2421BCD 码的对应真值表。

习题 6.3 表 真 值 表

$B_3$	$B_2$	$B_1$	$B_0$	$C_3$	$C_2$	$C_1$	$C_0$	$C_3$	$C_2$	$C_1$	$C_0$
8421BCD				5421BCD				2421BCD			
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0	1	0	0	0
0	0	1	1	0	0	1	1	1	0	0	1
0	1	0	0	0	1	0	0	1	0	1	0
0	1	0	1	1	0	0	0	1	0	1	1
0	1	1	0	1	0	0	1	1	1	0	0
0	1	1	1	1	0	1	0	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0
1	0	0	1	1	1	0	0	1	1	1	1

(1) 参照习题 6.3 表,画出 8421BCD 码转换成 5421BCD 码阵列逻辑图,如习题 6.3 图(a)所示。

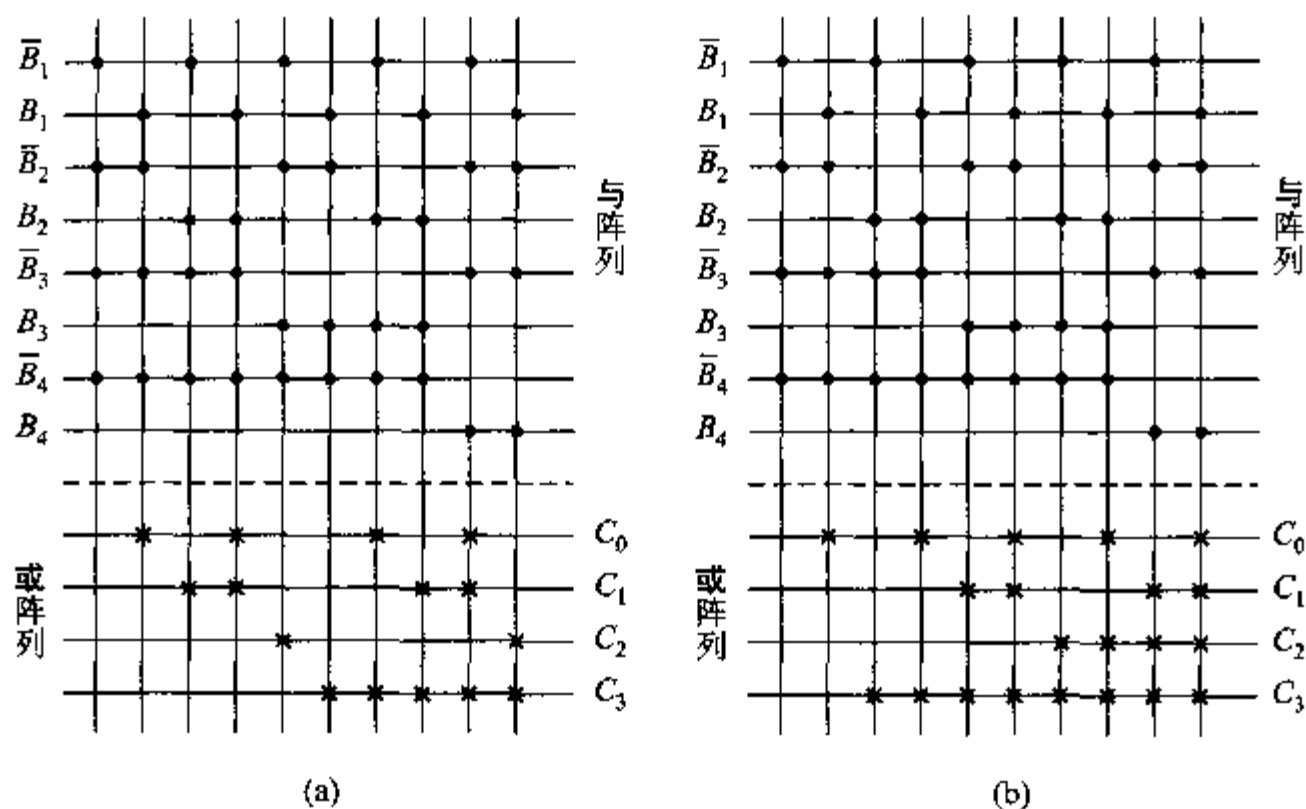
(2) 参照习题 6.3 表,画出 8421BCD 码转换成 2421BCD 码阵列逻辑图,如习题 6.3 图(b)所示。

习题 6.4 用 EPROM2716 构成 4K 字  $\times$  8 位的 EPROM 共需多少片? 画出扩展的 EPROM 逻辑图。

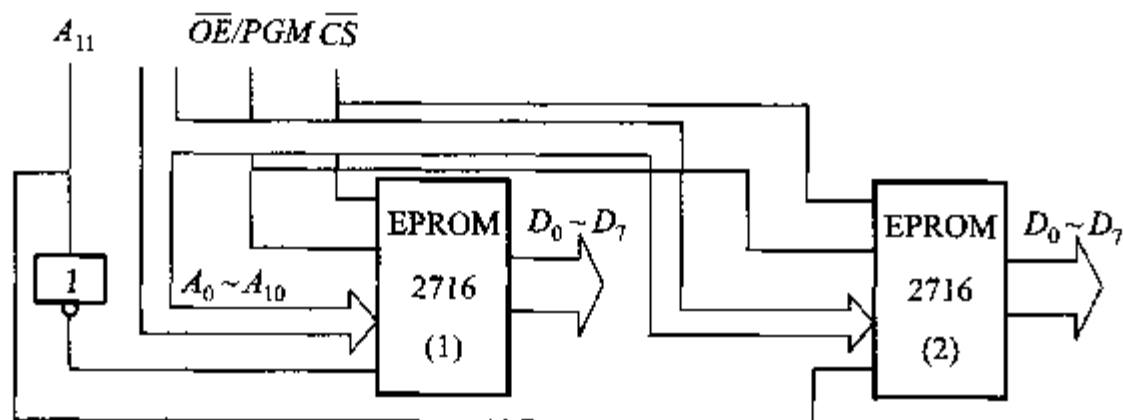
解:EPROM2716 是 2K 字  $\times$  8 位的 EPROM,若扩展成 4K 字  $\times$  8 位的 EPROM,只需扩展地址位,将地址位加倍,共需两片 EPROM2716。扩展的 EPROM 逻辑连接图如习题 6.4 图所示。

习题 6.5 试用 EPROM 设计一个字符发生器,发生的字符为“H”。

解:字符发生器是显示器中常用的逻辑部件。它将各种字母、数字及符号预先存储在 EPROM 中,只要给出适当的地址码,就能将这些字符读出来,并驱动显示器显示这些字符。习题 6.5 图给出了用可编程阵列 8  $\times$  5 字符发生器存



习题 6.3 图



习题 6.4 图

储字符“H”的图形。图中存储体有 8 行 5 列,构成  $8 \times 5$  点阵。

根据字符的形状可在存储单元中存入 1 或 0,然后顺序地给出地址码,就可以读出各行的内容,每读一行,原来存储 1 的地方出现光点,全部光点就组成一个字符。

习题 6.6 用 PLA 实现习题 6.1 的多输出逻辑函数,画出 PLA 阵列图,并和习题 6.1 做一比较。

解:通过简化习题 6.1 多输出函数,得

$$F_1 = \bar{A} \bar{B} + \bar{B} C + AB$$

$$F_2 = \bar{A} + \bar{B} + \bar{C}$$

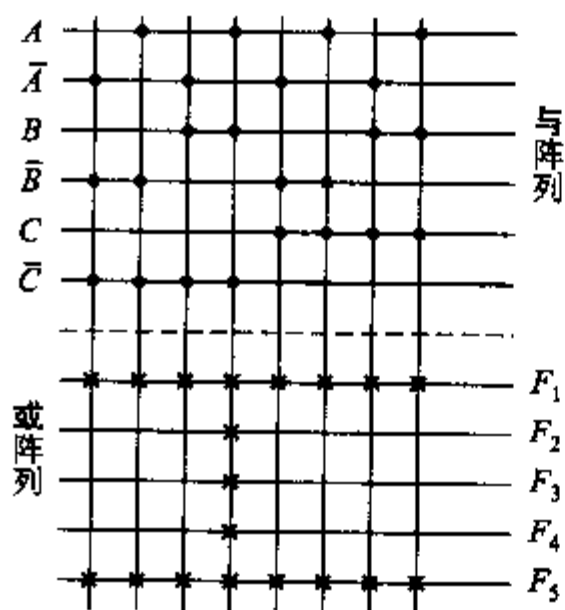
$$F_3 = \bar{A} B + A \bar{B}$$

$$F_4 = 1$$

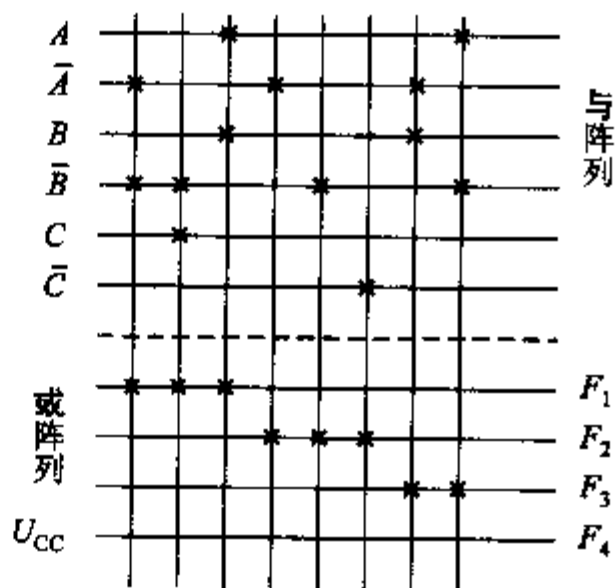
设 3 个输入信号为  $A$ 、 $B$ 、 $C$ ，4 个输出信号是  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$ 。

乘积项有 8 个，输出有 4 个，可编程阵列规模可视为  $8 \times 6 + 8 \times 3$ 。

输入  $A$ 、 $B$ 、 $C$  在与阵列进行编程，产生所有的乘积项。根据给定的逻辑函数，在或阵列进行编程，得到习题 6.6 图所示的 PLA 与或阵列图。



习题 6.5 图



习题 6.6 图

习题 6.7 试用若干个 XC4000E 的 CLB 构成 12 位移位寄存器。

解：由于只是作移位寄存器，CLB 本身的查找表足以完成控制函数的要求，所以一个 CLB 可以完成 2 个移位寄存器。12 位移位寄存器可以用 6 个 CLB。

习题 6.8 用 PLA 实现题 6.2，画出 PLA 阵列图，并且说明其规模。

解：本题是一组合逻辑电路，不需要触发器。设 4 个输入信号为  $A_2$ 、 $A_1$ 、 $B_2$ 、 $B_1$ ，4 个输出信号为  $C_4$ 、 $C_3$ 、 $C_2$ 、 $C_1$ ，通过简化习题 6.2 表得

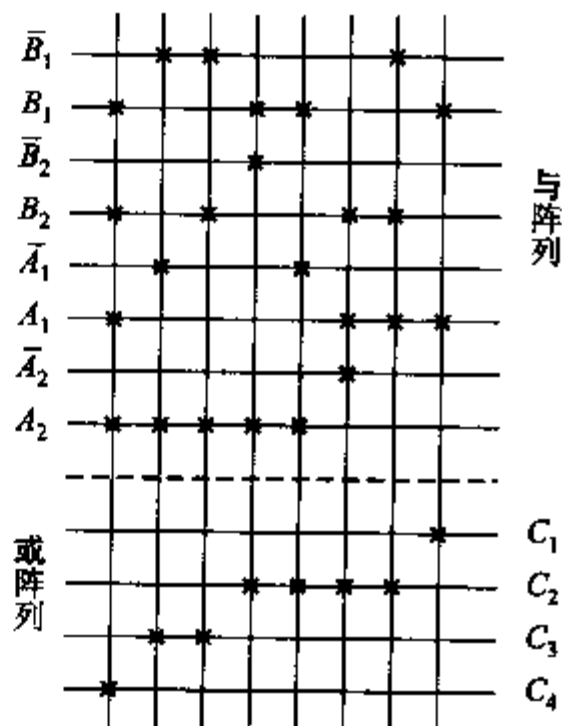
$$C_4 = A_2 A_1 B_2 B_1$$

$$C_3 = A_2 \bar{A}_1 B_2 + B_2 \bar{B}_1 A_2$$

$$C_2 = A_2 \bar{A}_1 B_1 + \bar{B}_2 B_1 A_2 + \bar{A}_2 A_1 B_2 + B_2 \bar{B}_1 A_1$$

$$C_1 = A_1 B_1$$

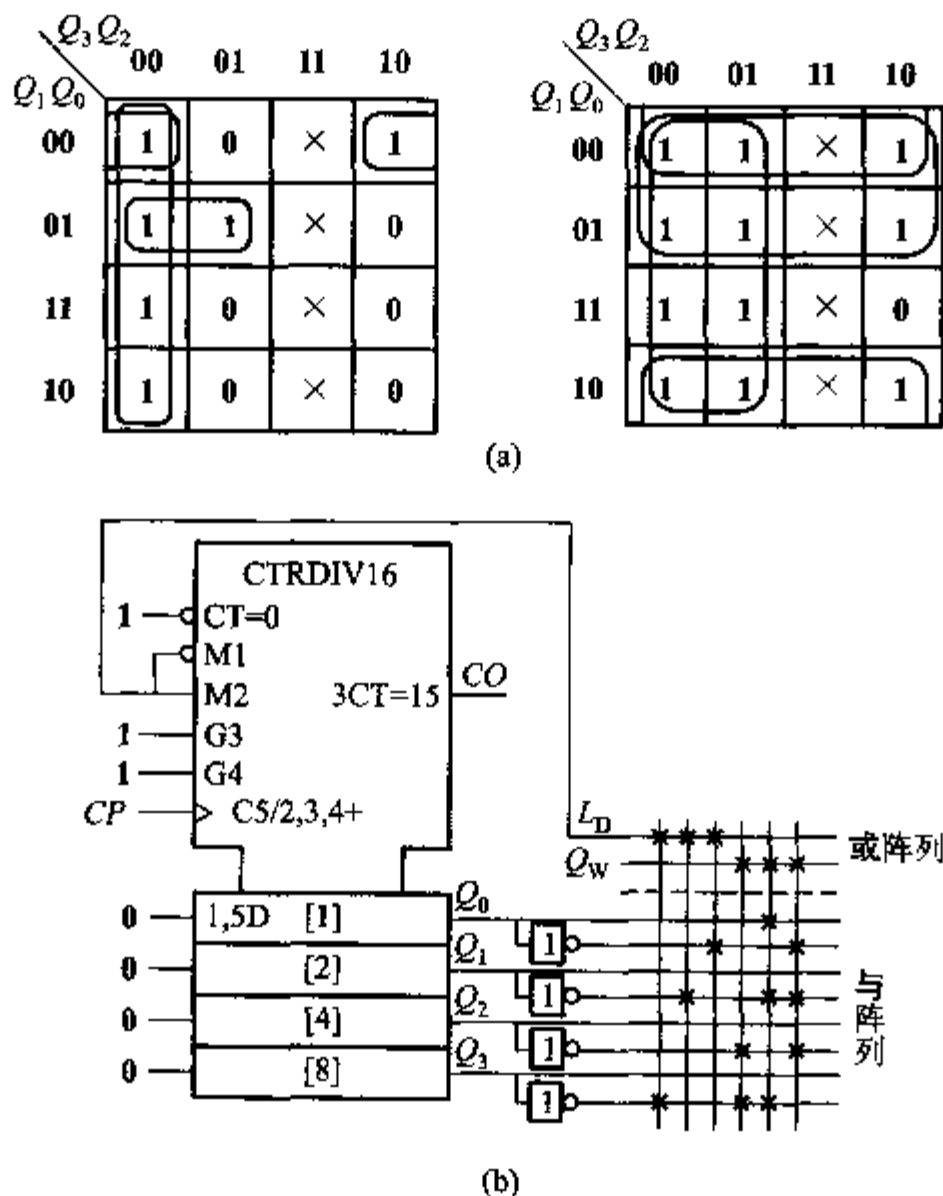
乘积项 8 个，输出是 4 个，阵列规模是  $8 \times 8 + 8 \times 4$ 。根据简化的逻辑函数，在或阵列进行编程，得到习题 6.8 图所示的 PLA 与或阵列图。显然阵列规模比习题 6.2 图要小一半。



习题 6.8 图

习题 6.9 用 PLA 及 74161 设计一个 111101001000 序列发生器。

解: (1) 74161 是一个同步预置十六进制的中规模芯片, 若设计序列为 **111101001000** 的序列发生器, 首先要设计 74161 为十二进制, 且要清零预置。设  $Q_w$  为输出端, 采用置位端  $L_D$  作为计数控制。真值表如习题 6.9 表所示,  $Q_w$ 、 $L_D$  卡诺图如习题 6.9 图(a) 所示。



习题 6.9 图

由  $Q_w$  卡诺图可得

$$Q_w = \bar{Q}_3\bar{Q}_2 + \bar{Q}_3\bar{Q}_1Q_0 + \bar{Q}_2\bar{Q}_1\bar{Q}_0$$

由  $L_D$  卡诺图可得

$$L_D = \bar{Q}_3 + \bar{Q}_1 + \bar{Q}_0$$

(2) 74161 和 PLA 阵列图如习题 6.9 图(b) 所示。

习题 6.10 用 PLA 及若干个 D 触发器构成可变模计数器(模数为 2 ~ 16)。

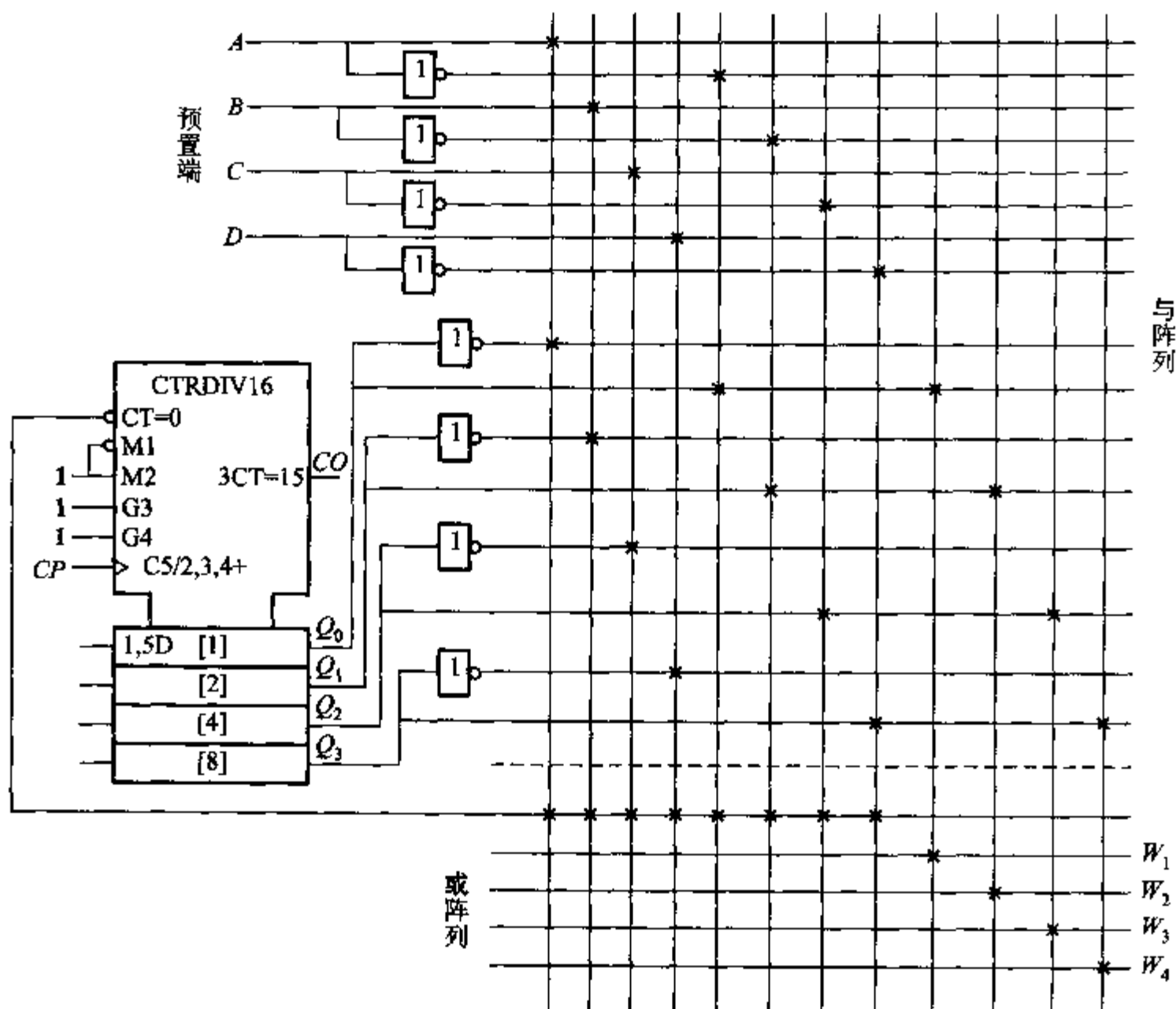
解: 可变模值的输入端为  $D, C, B,$

习题 6.9 表 真 值 表

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_w$	$L_D$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	0	0



$A, D$  为最高位。采用比较的方法, 当计数值与可变模值相等时, 对触发器清零, 重新开始计数。因此可得如习题 6.10 图所示的阵列图, 其中  $W_4, W_3, W_2, W_1$  对应  $Q_0, Q_1, Q_2, Q_3$  作为输出。



习题 6.10 图

习题 6.11 试分析习题 6.11 图(a)所示 PLA 阵列图并列出时序 PLA 的状态转换表和状态转换图, 画出时序图(初态全为 0), 简述 PLA 电路的逻辑功能。

解: 习题 6.11 图(a)所示的阵列图是一个 PLA 阵列加 JK 触发器的时序电路, 分析此类习题应先列出状态转换表和状态转换图, 然后根据表和图的结果得到电路的逻辑功能。

(1) 据习题 6.11 图(a)得

$$J_1 = \bar{Q}_2 + \bar{Q}_3, \quad K_1 = 1$$

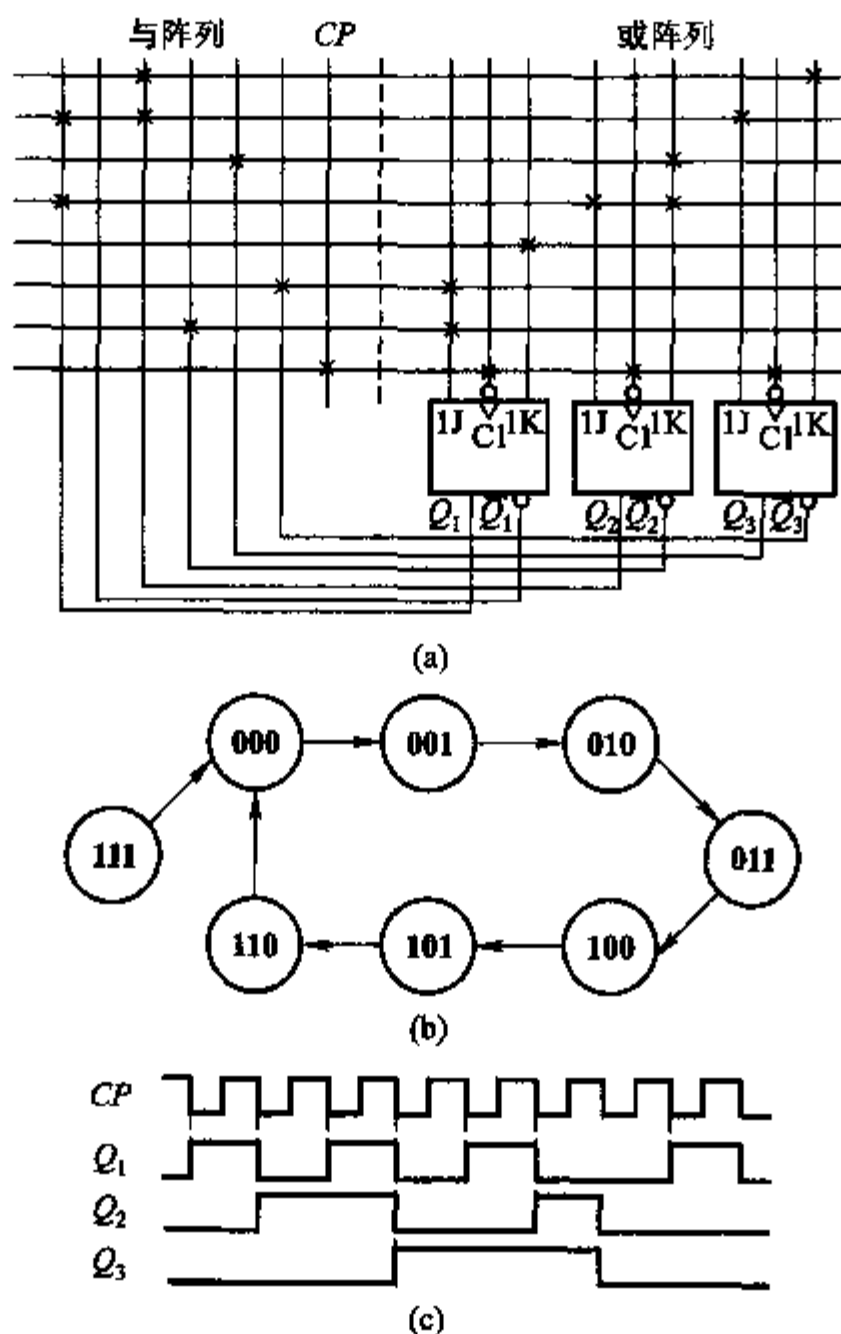
$$J_2 = Q_1, \quad K_2 = Q_1 + Q_3$$

$$J_3 = Q_1 Q_2, \quad K_3 = Q_2$$

所以得状态转换表如习题 6.11 表所示, 状态转换图如习题 6.11 图(b)所示。

(2) 时序图如习题 6.11 图(c)所示。

(3) 此电路为自启动的七进制计数器。



习题 6.11 图

习题 6.11 表 习题 6.11 图(a) 状态转换表

$Q_3^*$	$Q_2^*$	$Q_1^*$	$Q_3^{*+1}$	$Q_2^{*+1}$	$Q_1^{*+1}$	$J_1$	$K_1$	$J_2$	$K_2$	$J_3$	$K_3$
0	0	0	0	0	1	1	1	0	0	0	0
0	0	1	0	1	0	1	1	1	1	0	0
0	1	0	0	1	1	1	1	0	0	0	1
0	1	1	1	0	0	1	1	1	1	1	1
1	0	0	1	0	1	1	1	0	1	0	0
1	0	1	1	1	0	1	1	1	1	0	0
1	1	0	0	0	0	0	1	0	1	0	1
1	1	1	0	0	0	0	1	1	1	1	1

习题 6.12 表 真 值 表

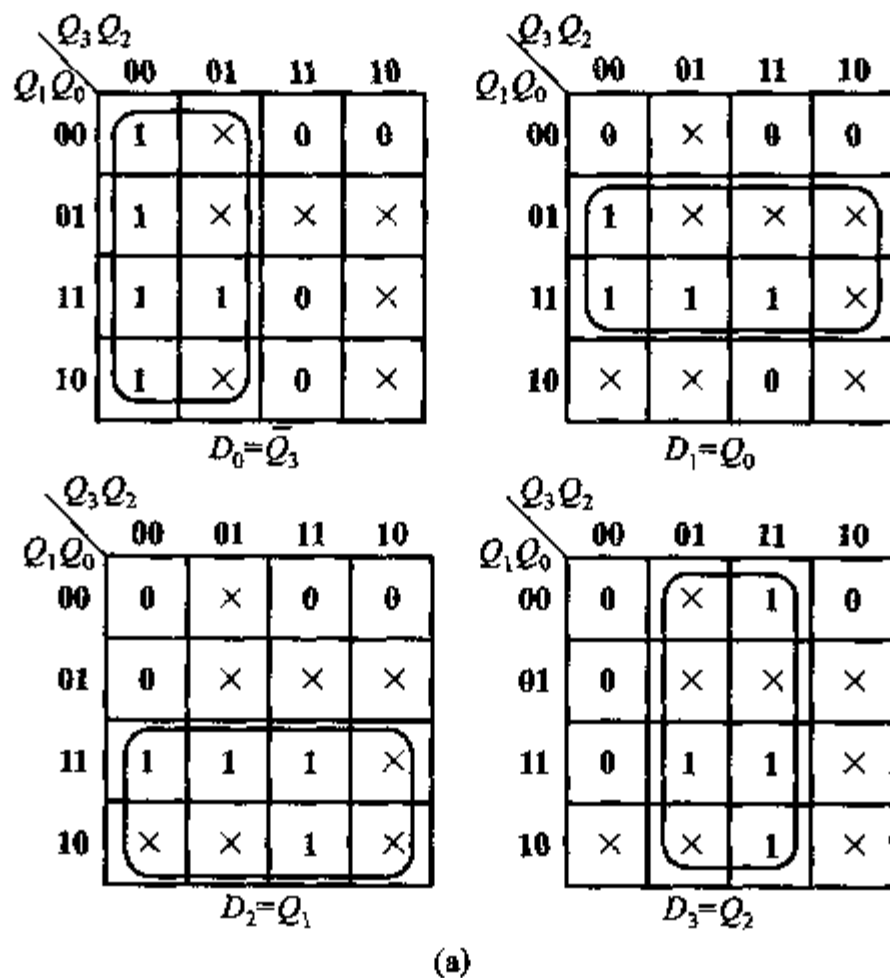
$Q_0$	$Q_1$	$Q_2$	$Q_3$	$D_0$	$D_1$	$D_2$	$D_3$
0	0	0	0	1	0	0	0
1	0	0	0	1	1	0	0
1	1	0	0	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	1	1	1
0	1	1	1	0	0	1	1
0	0	1	1	0	0	0	1
0	0	0	1	0	0	0	0

习题 6.12 试用 PLA 及 D 触发器设计 4 位扭环形计数器。

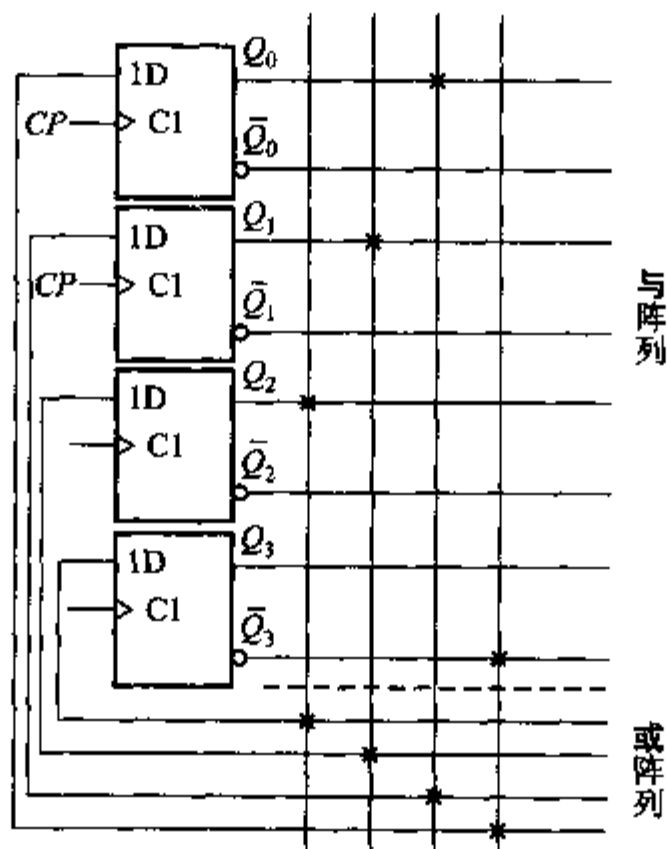
解：扭循环状态表如习题 6.12 表所示。

(1)  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  卡诺图如习题 6.12 图(a)所示。

(2) 阵列图如习题 6.12 图(b)所示。



(a)



(b)

习题 6.12 图

习题 6.13 用 PAL16L8 实现 3 位格雷码至二进制码的变换。

解: (略)

习题 6.14 试用 PAL16L8 分别实现 3 位多路表决器和 3 位二进制数乘方电路。

解: (1) 设 3 位多路表决器的输入为  $A_1$ 、 $A_2$ 、 $A_3$ , 分别分配到 PAL16L8 的 1、2、3 引脚,  $F_1$  作为表决器的输出, 分配到 19 引脚。真值表如习题 6.14 表所示。

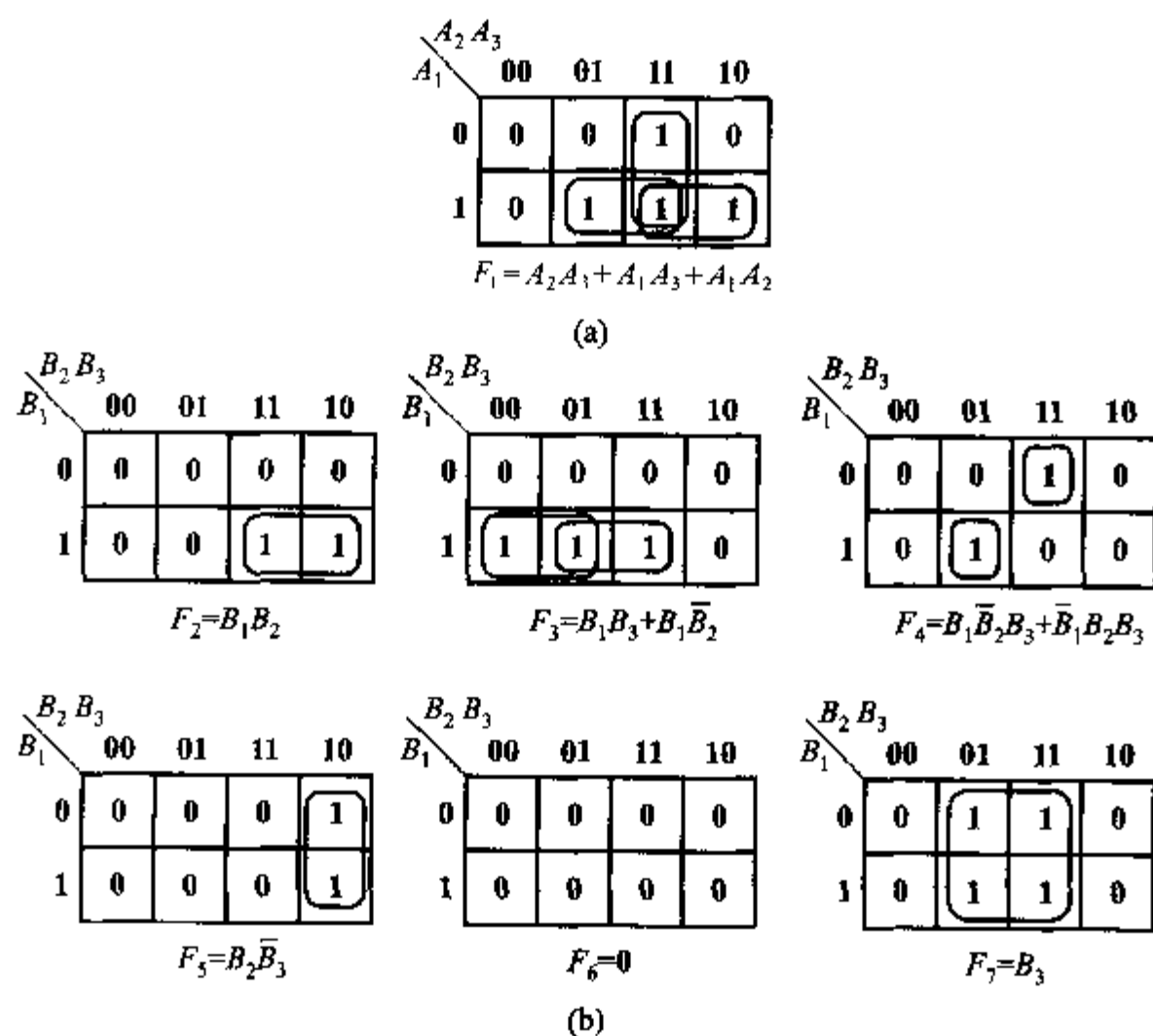
$F_1$  卡诺图如习题 6.14 图(a)所示, 公式如下:

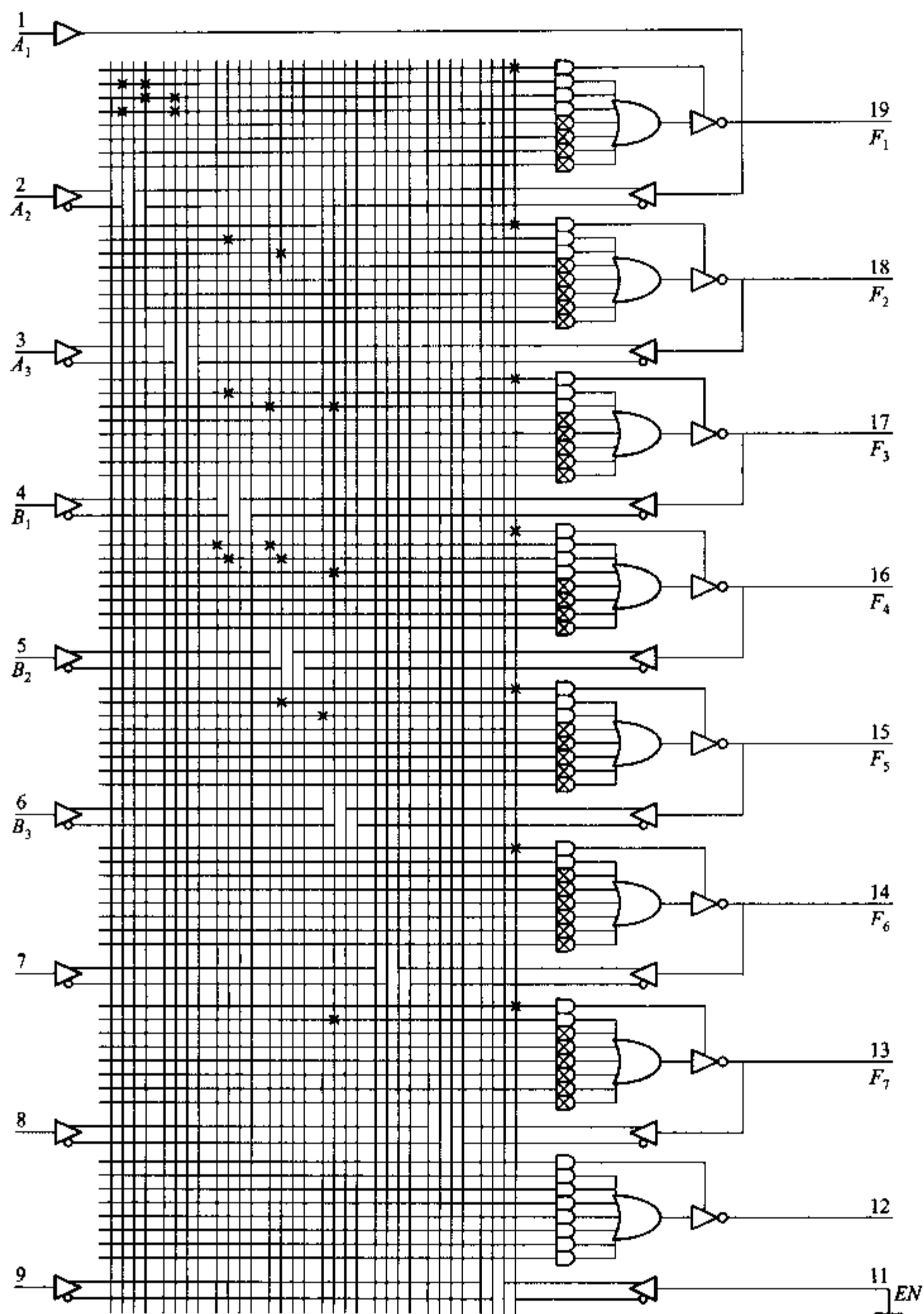
$$F_1 = A_2 A_3 + A_1 A_3 + A_1 A_2$$

习题 6.14 表 表决器和乘方电路真值表

$A_1$	$A_2$	$A_3$	$B_1$	$B_2$	$B_3$	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$	$F_7$
0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0	1
0	1	0	0	1	0	0	0	0	0	1	0	0
0	1	1	0	1	1	1	0	0	1	0	0	1
1	0	0	1	0	0	0	0	1	0	0	0	0
1	0	1	1	0	1	1	0	1	1	0	0	1
1	1	0	1	1	0	1	1	0	0	1	0	0
1	1	1	1	1	1	1	1	1	0	0	0	1

(2) 设 3 位二进制乘方电路的输入为  $B_1$ 、 $B_2$ 、 $B_3$ , 分别分配到 PAL16L8 的 4、5、6 引脚。  $F_2$ 、 $F_3$ 、 $F_4$ 、 $F_5$ 、 $F_6$ 、 $F_7$  作为乘方器的输出, 分配到 18、17、16、15、14、13 引脚。





(c)

习题 6.14 图

13 引脚。 $F_2$ 、 $F_3$ 、 $F_4$ 、 $F_5$ 、 $F_6$ 、 $F_7$  卡诺图和公式如习题 6.14 图(b)所示。

PAL16L8 实现习题 6.14 的阵列图如习题 6.14 图(c)所示。

习题 6.15 试用 8 个寄存器输出结构组成的 PAL16R8 设计 4 位可逆计数器。

解：此题只给解题步骤。

(1) 写出真值表。

(2) 选触发器。

(3) 写出激励方程、驱动方程和输出方程。

(4) 为 PAL16R8 锁定引脚、编程。

习题 6.16 用一片 GAL16V8 构成两个 4 选 1 多路数据选择器。

解：显然输入是 12 位，为  $A_{10}$ 、 $A_{20}$ 、 $S_{10}$ 、 $S_{20}$ 、 $S_{30}$ 、 $S_{40}$ 、 $A_{11}$ 、 $A_{21}$ 、 $S_{11}$ 、 $S_{21}$ 、 $S_{31}$  和  $S_{41}$ ，输出是 2 位为  $D_0$  和  $D_1$ 。

$$\begin{aligned} \text{公式} \quad D_0 &= \bar{A}_{10}\bar{A}_{20}S_{10} + A_{10}\bar{A}_{20}S_{20} + \bar{A}_{10}A_{20}S_{30} + A_{10}A_{20}S_{40} \\ D_1 &= \bar{A}_{11}\bar{A}_{21}S_{11} + A_{11}\bar{A}_{21}S_{21} + \bar{A}_{11}A_{21}S_{31} + A_{11}A_{21}S_{41} \end{aligned}$$

分配引脚：输入是 12 位，而输出是 2 位，用 GAL16V8 可以分配。

阵列图略。

习题 6.17 用 PAL16L8 实现

$$F_1 = A_1 \cdot B_1$$

$$F_2 = A_2 + B_2$$

$$F_3 = \overline{A_3 \cdot B_3}$$

$$F_4 = A_4 \oplus B_4$$

$$F_5 = \overline{A_4 \oplus B_5}$$

解：实现  $F_1$ 、 $F_2$ 、 $F_3$ 、 $F_4$ 、 $F_5$  的 PAL16L8 阵列图如习题 6.17 图所示。

习题 6.18 用一片 GAL16V8 设计一个 0 ~ 7 位可调延时器，延时器电路图如习题 6.18 图所示。

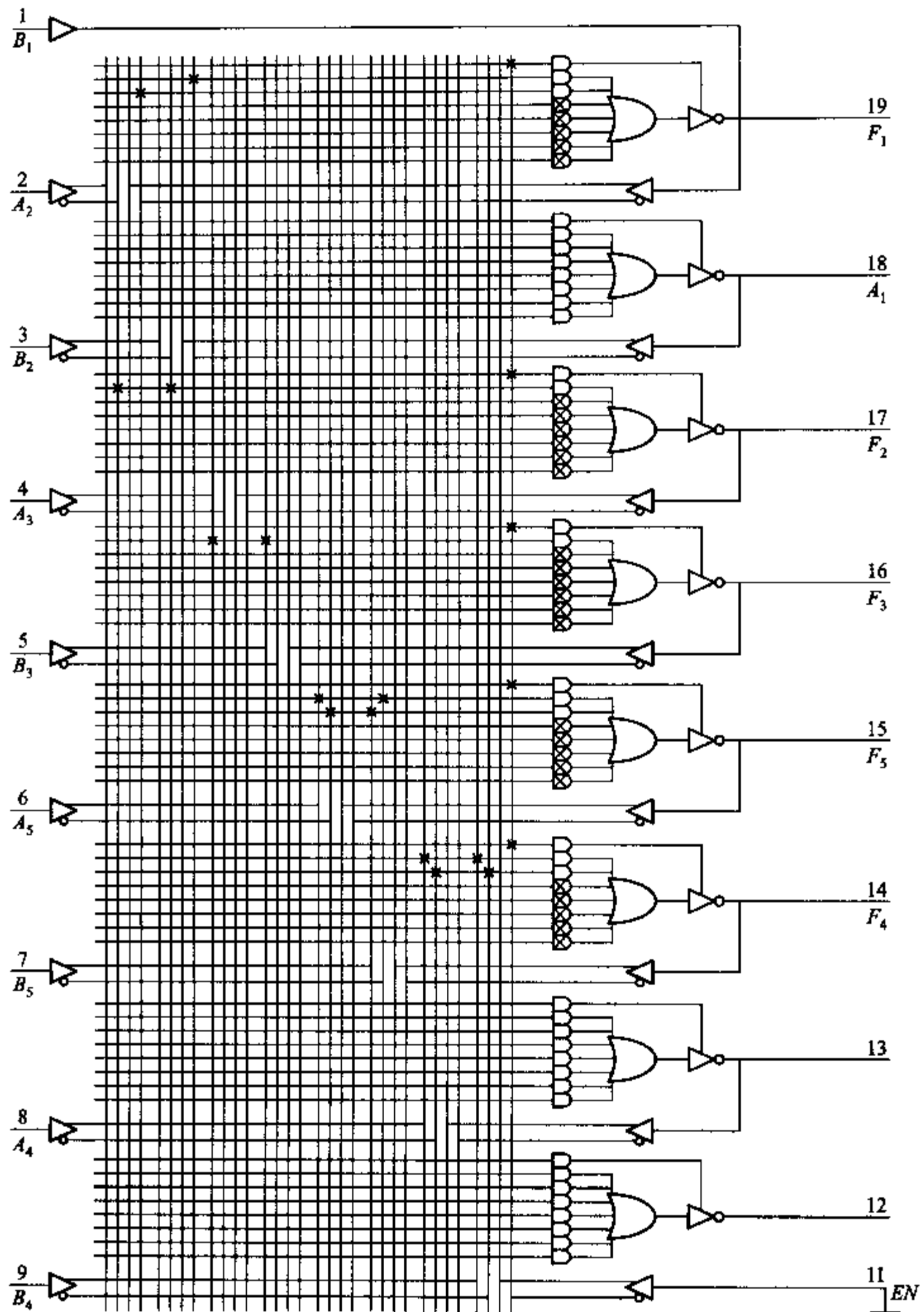
解：显然输入是 4 位  $S_1$ 、 $S_2$ 、 $S_3$  和  $S_{in}$ ，输出是 1 位  $D_0$ ，而中间传递结果有 7 个  $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ 、 $Q_5$ 、 $Q_6$  和  $Q_7$ 。

公式

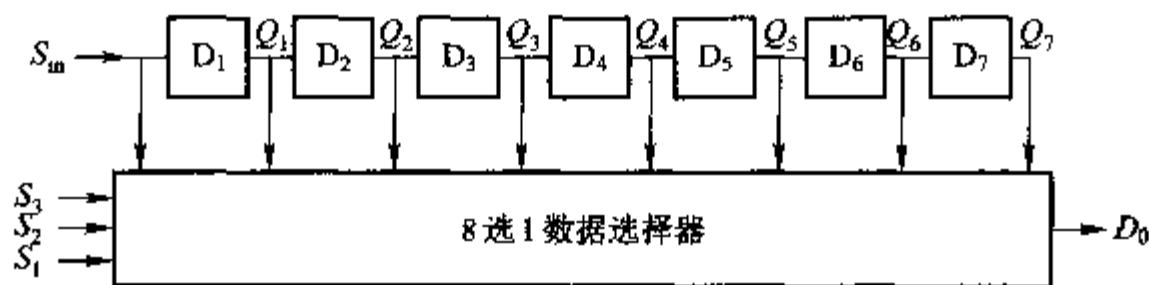
$$\begin{aligned} D_0 &= \bar{S}_1\bar{S}_2\bar{S}_3S_{in} + S_1\bar{S}_2\bar{S}_3Q_1 + \bar{S}_1S_2\bar{S}_3Q_2 + S_1S_2\bar{S}_3Q_3 + \bar{S}_1\bar{S}_2S_3Q_4 + \\ &\quad S_1\bar{S}_2S_3Q_5 + \bar{S}_1S_2S_3Q_6 + S_1S_2S_3Q_7 \end{aligned}$$

分配引脚  $D_0$  到 19 引脚、 $Q_1$  到 18 引脚、 $Q_2$  到 17 引脚、 $Q_3$  到 16 引脚、 $Q_4$  到 15 引脚、 $Q_5$  到 14 引脚、 $Q_6$  到 13 引脚、 $Q_7$  到 12 引脚、CLK 到 1 引脚、CE 到 11 引脚、 $S_1$  到 2 引脚、 $S_2$  到 3 引脚、 $S_3$  到 4 引脚、 $S_{in}$  到 5 引脚。

GAL16V8 实现的可调延时电路编程后的阵列图略。



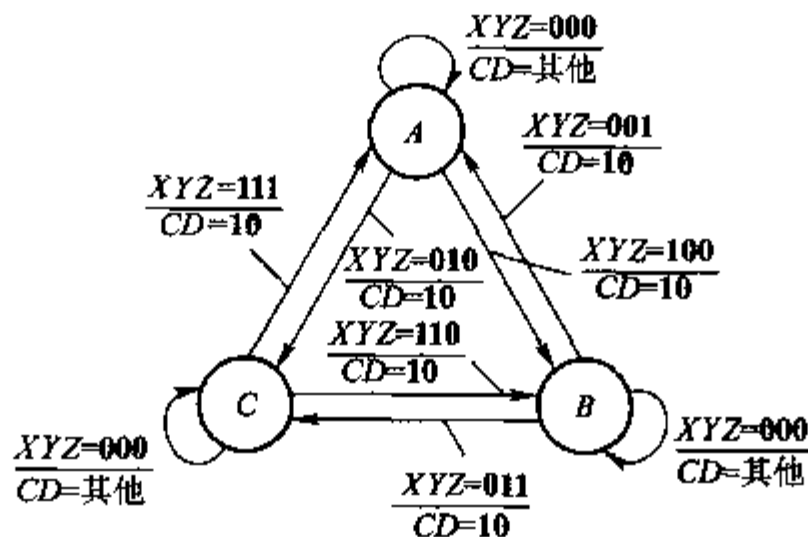
习题 6.17 图



习题 6.18 图

习题 6.19 用 GAL16V8 设计一个顺序控制器, 该控制器状态图如习题 6.19 图所示。它有  $A$ 、 $B$ 、 $C$  三种状态, 输入控制信号  $C$  和  $D$  决定状态之间的转换, 输出是  $X$ 、 $Y$  和  $Z$ 。

解: 参照习题 6.17 和习题 6.18。



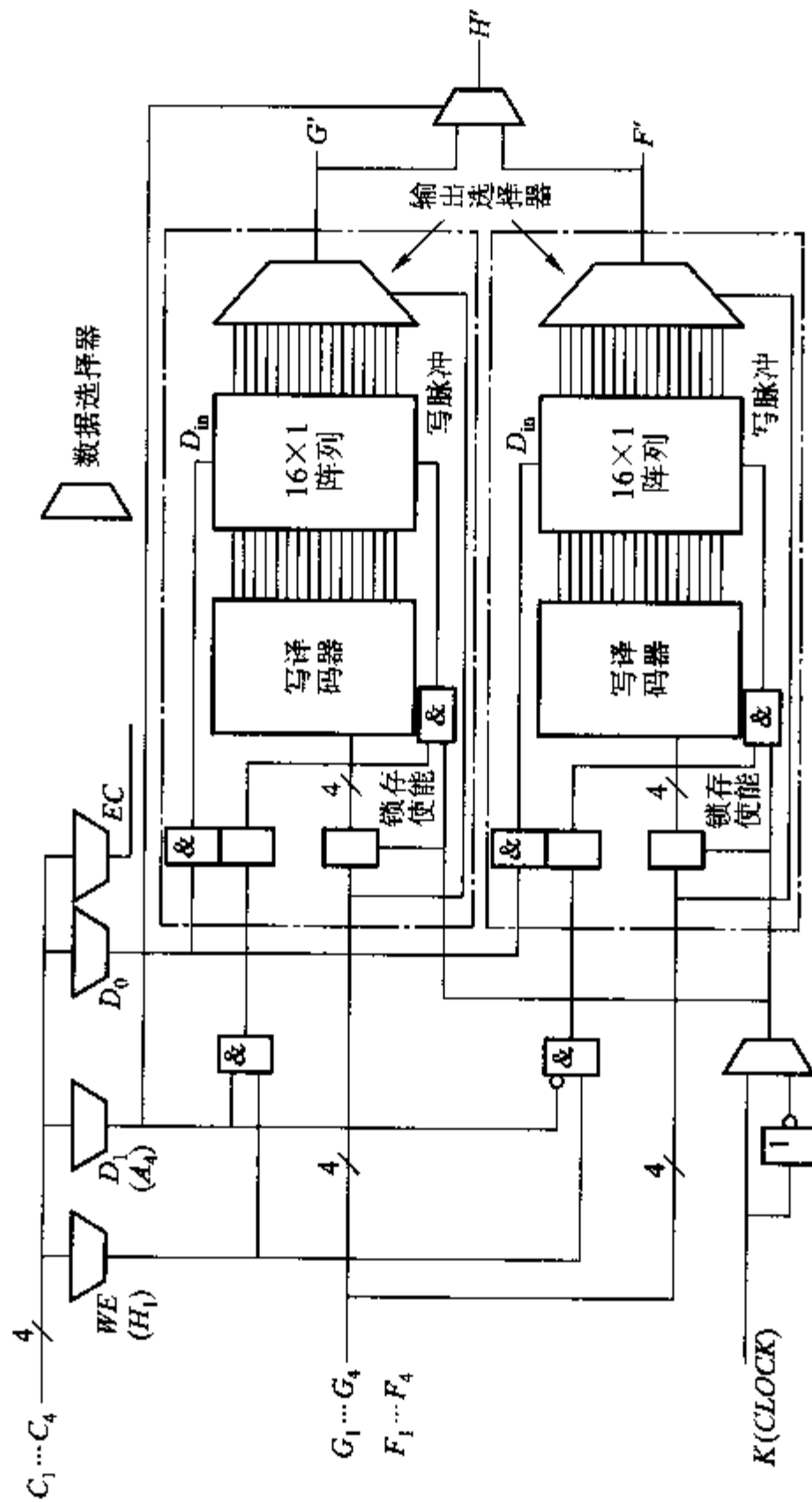
习题 6.19 图

习题 6.20 试分析用一个 CLB 组成的  $32 \times 1$  边沿触发单口 RAM 的工作原理, 如习题 6.20 图所示。

解: 组合逻辑输入  $F_1 \sim F_4$  和  $G_1 \sim G_4$  并联作为 RAM 的地址线  $A_0 \sim A_3$  输入,  $D_1$  作为  $A_4$  地址。可以通过地址的改变来选中存储单元的信息, 此时 CLB 控制信号  $S/R$  和  $H_1$  分别作为数据信号  $D_0$  和写使能信号  $WE$ ,  $F'$ 、 $G'$  和  $H'$  作为 RAM 的数据输出。

当 RAM 写数据时, 写使能信号  $WE$  为高电平通过缓冲器进入与门, 使与门有效, 允许时钟通过。时钟  $CLOCK$  进入 CLB 后, 经过边沿选择数据选择器 (上升沿或下降沿) 给  $16 \times 1$  存储单元一个写入脉冲。地址  $F_1 \sim F_4$  等到时钟边沿到达, 经过锁存器和地址译码选中  $16 \times 1$  阵列中的某一单元。如当  $F_1 \sim F_4$  地址为  $0000$ ,  $A_4 = 0$ , 且  $WE$  有效时, 数据  $D_0$  经过缓冲器进入最下面的存储单元。当 RAM 读出数据时, 写使能信号  $WE$  为低电平, 关闭与门, 禁止数据写入。地址信号直接到数据输出选择器选中所需单元从  $F'$  通过  $H'$  读出, 形成  $32 \times 1$  边沿触发器。



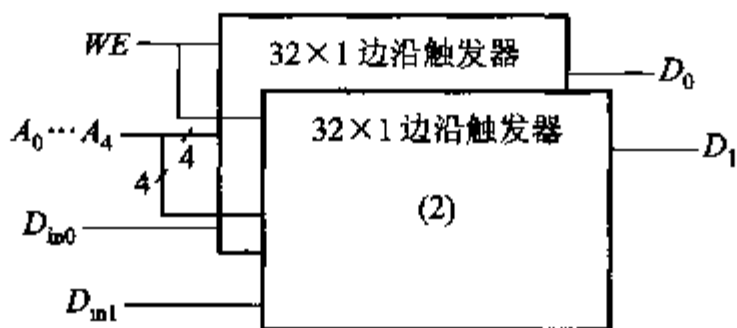


习题 6.20 图 CLB 组成  $32 \times 1$  边沿触发单口 RAM 的电路简图

习题 6.21 用两个 CLB 设计一个  $32 \times 2$  的边沿触发单口 RAM。

解: (1) 用习题 6.20 的两个  $32 \times 1$  边沿触发器图形。

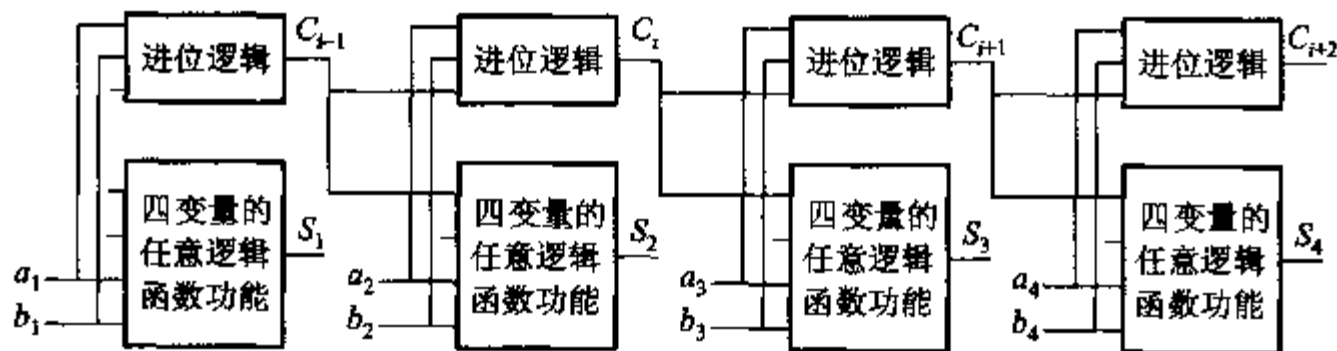
(2) 除数据输出  $D_0$ 、 $D_1$  和  $D_{in0}$ 、 $D_{in1}$  不并接外, 其他均并用, 如习题 6.21 图所示。



习题 6.21 图  $32 \times 2$  的边沿触发单口 RAM

习题 6.22 用适当数量 FPGA (XC4000E 系列) 的 CLB 设计一个 4 位二进制加法电路。

解: 由于 XC4000E 系列的 CLB 具有进位逻辑链, 所以做 1 位加法时仅需要一个 CLB 即可, 4 位二进制加法电路共需要 4 个 CLB。用 CLB 设计的 4 位二进制加法示意图如习题 6.22 图所示。



习题 6.22 图 4 个 CLB 组成的 4 位带进位的加法器

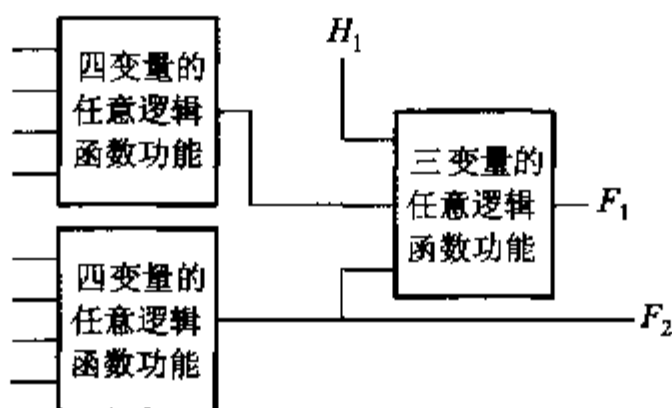
习题 6.23 用一个 XC4000E 系列的 CLB 是否可以实现一个 9 输入信号的组合逻辑函数和一个 4 输入信号的组合逻辑函数? 若可以, 绘出简化方框图, 若不行, 说明其原因。

解: 可以, 但应有条件。

$G_1 \sim G_4$  可以组成 4 个输入信号的逻辑函数, 而  $F_1 \sim F_4$  也可以组成 4 个输入信号的逻辑函数, 形成 8 输入的逻辑函数, 接着进入三变量的任意逻辑函数功能的函数块, 使  $G_1 \sim G_4$ 、 $F_1 \sim F_4$  和  $H_1$  形成 9 输入信号的组合逻辑函数, 这是一个独立的逻辑函数。如果再想形成一个独立的 4 输入信号的组合逻辑函数是不可能的。因此只能形成一个独立的 9 输入信号的组合逻辑函数  $F_1$  和拥有共享项的 4 输入信号的组合逻辑函数  $F_2$ , 如习题 6.23 图所示。

习题 6.24 用若干个 XC4000E 系列的 CLB 实现 8421BCD 码计数器。

解: (1) 首先知道用 XC4000E 系列的 CLB 作 8421BCD 码计数器是用 D 触



习题 6.23 图 9 输入组合逻辑和拥有共享项的 4 输入组合逻辑函数发生器,通过列真值表、卡诺图得到驱动方程

$$D_0 = \bar{Q}_0$$

$$D_1 = Q_1 \bar{Q}_0 + Q_3 \bar{Q}_1 Q_0$$

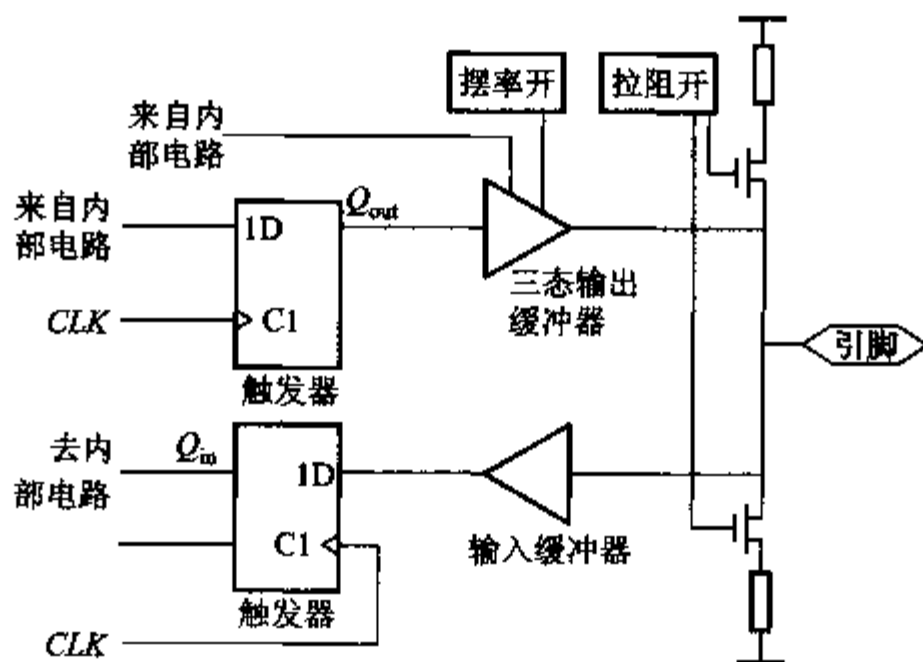
$$D_2 = \bar{Q}_1 Q_2 + \bar{Q}_2 Q_1 Q_0 + \bar{Q}_0 Q_2$$

$$D_3 = Q_2 Q_1 Q_0 + Q_3 \bar{Q}_1 \bar{Q}_0$$

(2) 一个 CLB 由于其查找表结构,可以用 9 个信号作为一个乘积项,而  $D_0$ 、 $D_1$ 、 $D_2$  和  $D_3$  均可用一个 CLB,而且每个 CLB 中又有 D 触发器,所以用 4 个 XC4000E 系列的 CLB 实现 8421BCD 码计数器。

习题 6.25 用 XC4000E 系列的 I/OB 构成双向寄存器出/寄存器进,且需有较强的负载能力和抗噪声的能力。

解:此题要求 I/OB 的输入、输出均带寄存器,而且带有摆率控制和上、下拉电路。习题 6.25 图是 I/OB 编程后的示意图。



习题 6.25 图 I/OB 编程后示意图

## 第七章 D/A 转换器和 A/D 转换器

D/A 转换器和 A/D 转换器是反馈控制系统中不可缺少的集成电路器件,它在系统中起着“数字至模拟”或“模拟至数字”的桥梁性作用。本章要求学生理解 D/A 转换器和 A/D 转换器的工作原理,掌握它们的主要性能指标和使用方法。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) D/A 转换器和 A/D 转换器的基本原理

D/A 转换器可将数字量转换成模拟量,它通过电阻网络、模拟开关和运算放大器将数字量转换成电流,再用加法器将各有效支路电流相加并转换成电压。

A/D 转换器可将模拟量转换成数字量,转换过程包括取样、保持、量化和编码 4 个步骤。

##### (二) D/A 转换器

###### 1. 权电阻网络

权电阻网络由一组电阻组成,其中每个权电阻的阻值与该电阻所对应的权位成反比。使流过每个接到基准电源  $U_{REF}$  上电阻的电流和对应的权值成正比。

权电阻网络 D/A 转换器的优点是电路结构简单,所用元器件数量较少。但当二进制数位较多时,权电阻值种类多,且阻值分散,使得转换精度较低。

###### 2. $R-2R$ 网络

$R-2R$  网络 D/A 转换器中各支路的电流直接流入运算放大器的反相端,它们之间不存在传输误差,因而提高了转换速度,减小了动态过程中在输出端可能出现的尖峰脉冲。由于只采用了  $R$  和  $2R$  两种阻值,因此能比较容易保证电阻网络的精度,也容易集成化。

###### 3. 集成 D/A 转换器及其应用

目前市场集成 D/A 转换器的芯片种类较多,可根据电路系统要求的技术参数,参考数据手册,综合考虑选用集成 D/A 转换器。

##### (三) A/D 转换器

###### 1. 并行比较型 A/D 转换器

并行比较型 A/D 转换器是高速 A/D 转换器,其转换不需要反复,在所有种类 A/D 转换器中转换速度最快。然而这种 A/D 转换器的缺点是分辨率低,比较器的数量也随着数字量的增加而增加。因此,并行比较型 A/D 转换器一般用在转换速度快而精度要求不高的场合。

### 2. 串行比较型 A/D 转换器

串行比较型 A/D 转换将模拟信号依时间顺序通过一连串的比较器,后面比较器的输入信号反映了前面比较器的剩余。由于后一位的比较需要使用前一位的结果,所以这种转换器的转换速率不可能很高。但相同分辨率的 A/D 转换器,串行比较法较并行比较法少用了大量的比较器。

### 3. 逐次比较型 A/D 转换器

逐次比较型 A/D 转换器首先从高位进行比较,直到最低位。进行转换至少需要几个周期,数字量的位数越多,转换的时间越长。其转换速度较并行比较型 A/D 转换器低,属于中型 A/D 转换器。

逐次比较型 A/D 转换器只采用了一个比较器,当位数较多时,具有很明显的价值,因而是目前应用较多的一种 A/D 转换器。它的主要特点是电路简单,速度、精度都较高。

### 4. 双积分型 A/D 转换器

双积分型 A/D 转换器首先把电压转换成中间量——时间,再将时间转换为数字,这种转换方法属于间接转换。由于采用了以输入信号为被积函数进行积分的方式,积分电路响应是输入信号的平均值,所以它具有较强的抗脉冲干扰能力。另外,在两次积分内,只要 RC 元件参数不发生瞬时改变,转换结果就与 RC 值无关,因此它对元件的稳定性要求不高。但也正是由于积分,转换时间相对就要长些,而且第二次积分时间还不能固定,故此方法只能用于低速场合。

### 5. 集成 A/D 转换器及其应用

根据 A/D 转换器在系统中的作用以及与系统中其他电路的关系,可依据转换速率、精度和功能来选用合适的 A/D 转换器,这样可以减少电路连接中的辅助环节,还可以避免出现一些不易发现的逻辑与时序错误。

## 二、重点与难点

### 重点:

1. 理解 A/D 转换器和 D/A 转换器的主要技术指标。
2. 熟练掌握各种 A/D 转换器和 D/A 转换器的工作原理。
3. 集成 A/D 转换器和集成 D/A 转换器的应用。

### 难点:

1. A/D 转换器和 D/A 转换器的主要技术指标。

2. 集成 A/D 转换器、集成 D/A 转换器和中规模组合、时序电路的综合应用。

### 三、考核题型与考核重点

#### 1. 概念与简答

题型为填空、判断和选择。

分配的分数为 2 ~ 4 分。

#### 2. 综合与设计

题型 1 为 A/D 转换器和 D/A 转换器工作原理分析题型。

题型 2 为集成 A/D 转换器、集成 D/A 转换器和中规模组合、时序电路的综合分析、设计应用题型。

分配的分数为 8 ~ 16 分。

## 第二节 典型题解

例题 7.1 某一 D/A 转换器电路如例题 7.1 图(a)所示,图中 74290 输出端  $Q_i = 1$  时,相应的模拟开关  $S_i$  在位置 1;  $Q_i = 0$  时,相应的模拟开关  $S_i$  在位置 0。请解答如下问题:

(1) 该电路是哪一种 D/A 转换器?

(2) 求  $u_o$  与数字量  $Q_3Q_2Q_1Q_0$  之间的关系式。

(3) 若  $U_{REF} = 1\text{ V}$ , 求  $Q_3Q_2Q_1Q_0 = 0001$  和  $0101$  时的  $u_o$  值。

(4) 画出计数器输入连续计数脉冲  $CP$  时的  $u_o$  波形,设计数器的初态为 0。

解: (1) 观察例题 7.1 图(a), 74290 计数器是按 8421BCD 码计数的方式连接, 所以计数状态是 10 个, 从 0000 ~ 1001。而图的右半部分是一个权电阻 D/A 转换器。

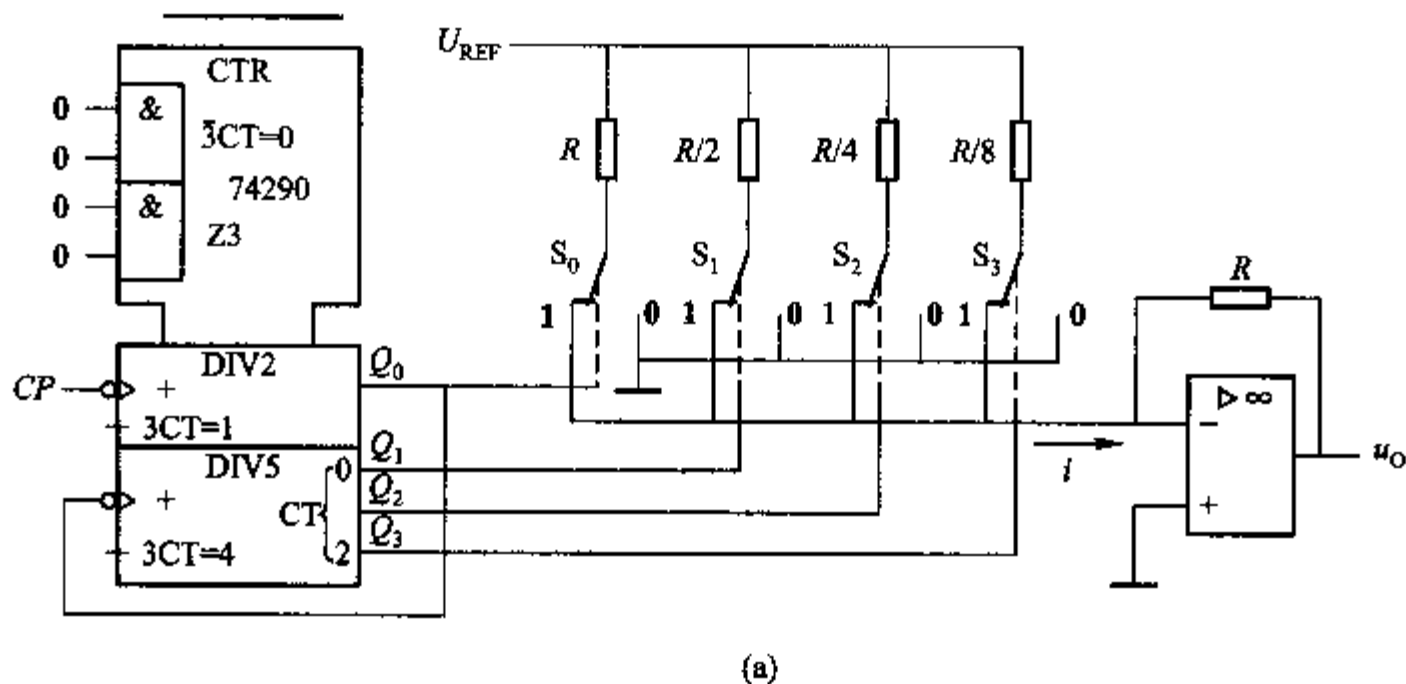
(2)  $u_o = -U_{REF}(2^3Q_3 + 2^2Q_2 + 2^1Q_1 + 2^0Q_0)$

(3) 当  $U_{REF} = 1\text{ V}$ ,  $Q_3Q_2Q_1Q_0 = 0001$  时,  $u_o = -1\text{ V}$ ;  $Q_3Q_2Q_1Q_0 = 0101$  时,  $u_o = -5\text{ V}$ 。

(4) 输入连续计数脉冲  $CP$  时,  $u_o$  为一阶梯波形, 其波形如例题 7.1 图(b)所示。

例题 7.2 例题 7.2 图(a)所示电路是 10 位 D/A 转换器 CB7520 和 4 位右移移位寄存器 74195 组成的波形发生器电路。已知 CB7520 的  $U_{REF} = -10\text{ V}$ , 试画出输出电压  $u_o$  的波形, 并标出波形图上各点电压的幅度。

解: 4 位右移移位寄存器 74195 工作在扭循环状态, 共有 8 个状态, 在时钟信号  $CP$  连续作用下,  $Q_3Q_2Q_1Q_0$  状态依次为 0000、0001、0011、0111、1111、1110、



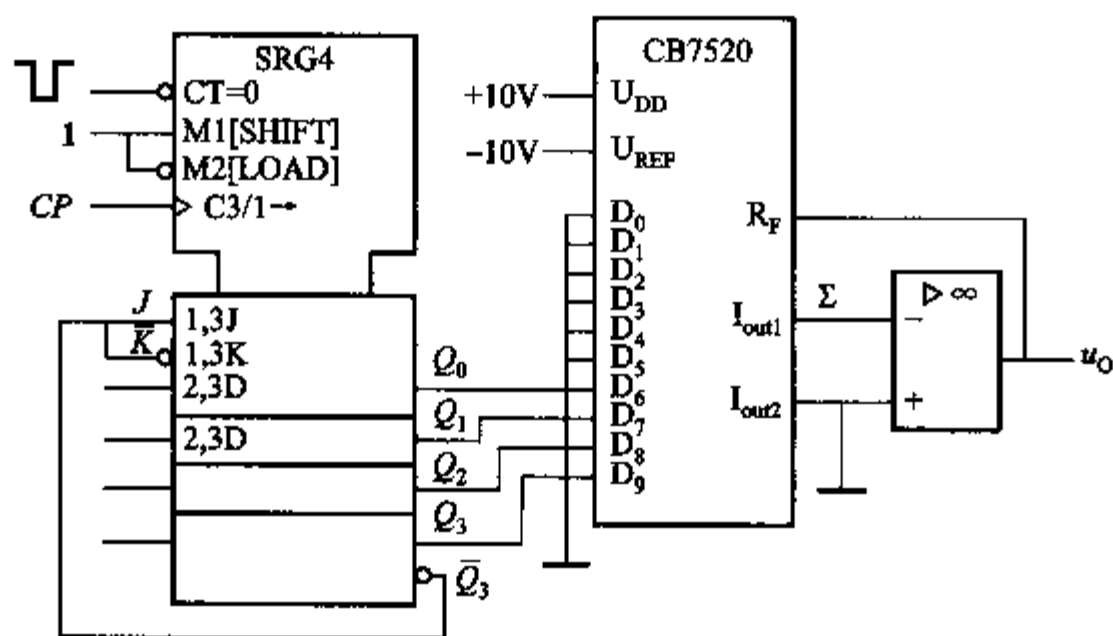
例题 7.1 图

1100、1000、0000...不断循环。因此  $D_9, D_8, D_7, D_6$  也按此 8 个状态不断循环。 $D_9, D_8, D_7, D_6$  为 1 时在输出端产生的电压分别为 +5 V、+2.5 V、+1.25 V 和 +0.625 V。 $u_o$  的波形图如例题 7.2 图 (b) 所示。

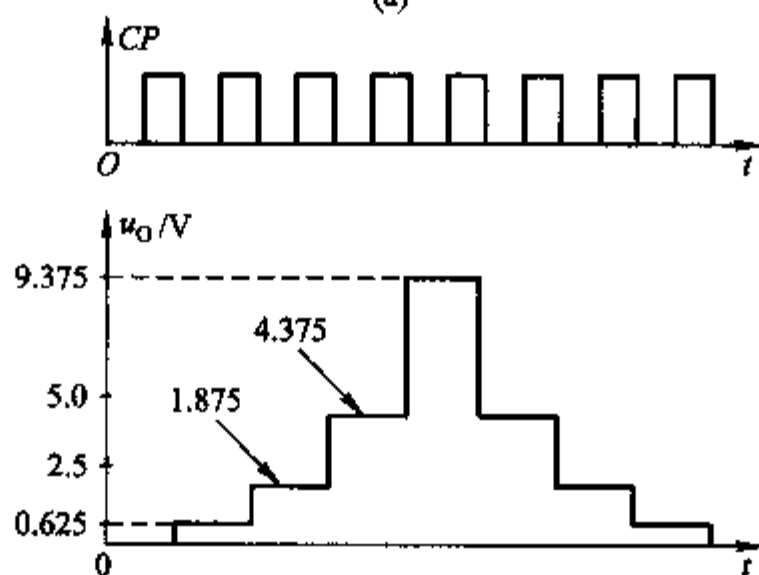
**例题 7.3** 例题 7.3 图所示电路是一种 A/D 转换器简略框图,且串行输出数字信号,试分析其工作原理,并说明该 A/D 转换器的优缺点。

**解:** (1) 例题 7.3 图点画线框中所示电路在转换开始之前,  $u_e$  为低电平,计数器无  $CP_{A/D}$  脉冲,不计数,计数器的初始状态为 0, DAC 的输出电压  $u_o = 0$  V, 最右侧的并行数字输出也为 0。当  $u_e$  为高电平时,如果模拟输入电压  $u_i > 0$  V, 则  $u_o$  为高电平,与门开启,计数器开始计数, DAC 的输出电压开始升高;只要  $u_o < u_i$ , 此计数过程就一直继续下去,直到  $u_o \geq u_i, u_e = 0$ , 与门关闭,计数器停止计数。此时的并行数字输出即为 A/D 转换的结果。

(2) 74161 的输出端接到或非门的输入端,或非门的输出信号控制 A/D 转换器是否转换。当 74161 的输出全为低电平时,或非门的输出为高电平,使  $u_e$  为高

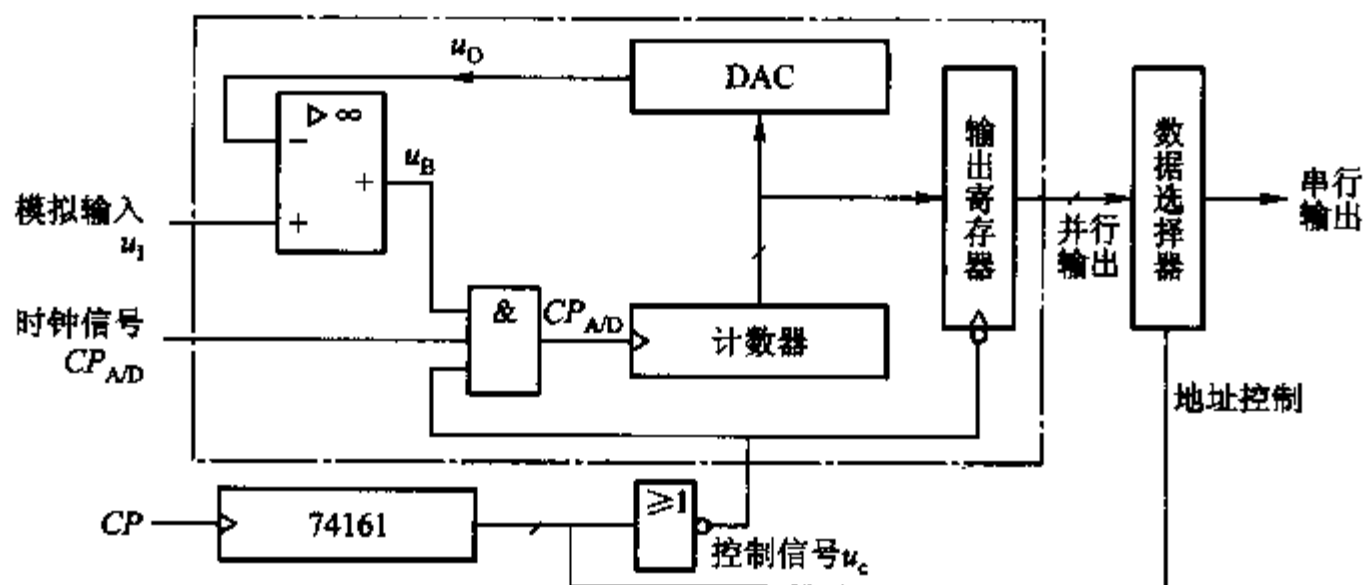


(a)



(b)

例题 7.2 图



例题 7.3 图



电平,控制 A/D 转换器开始工作,并使输出寄存器禁止输出。当 74161 的输出不全为低电平时,或非门的输出为低电平,使  $u_i$  为低电平,控制 A/D 转换器不能转换,并使输出寄存器使能。此时数据选择器将输入端的数据串行送到输出。

(3) 要求 A/D 转换器的转换时间要快,即电路脉冲  $CP$  使 74161 的输出为 0000 时,使  $u_i$  为高电平, A/D 转换器输入脉冲  $CP_{A/D}$  就得使转换完毕。因此 A/D 转换器输入脉冲  $CP_{A/D}$  的频率大于或远大于电路脉冲  $CP$  的频率。

(4) 当转换一个模拟量时,最低位地址 0000 的数据移到串行数据输出的最后一位,即输出的顺序是 1, 2, ..., 最高位, 0。

(5) 此电路的优点是构思简单,缺点是速度较慢。

例题 7.4 试将一个 0 ~ 5 V 的模拟电压信号转换成 8 位数字信号,并将其先低位后高位串行输出。若先高位后低位串行输出,如何修改电路? 若将 8 位数字输出修改为 10 位数字输出,如何修改电路?

解: 0 ~ 5 V 的模拟电压转换成 8 位数字信号电路图如例题 7.4 图所示。电路构成如下:

(1) 用 8 位 ADC 芯片 ADC0809 将模拟电压转换成 8 位数字信号。

① ADC0809 的电源电压  $U_{DD}$ 、参考电压  $U_{REF(+)}$  和 OE 端(允许输出)都接 +5 V, 而  $U_{REF(-)}$ 、GND 接地。

② 模拟输入信号接 ADC0809 的 8 个输入端  $IN_7 \sim IN_0$  中的任一通道。如接  $IN_0$ , 设定相应的通道地址  $ABC = 000$ 。

③ A/D 转换时钟  $CP_{A/D}$  (1 MHz) 接 ADC0809 的 CLK 端, A/D 转换启动端 START 和通道地址锁存端 ALE 并接, 用计数芯片 74161 的低 3 位  $Q_2 Q_1 Q_0$  控制, 当计数到 000 时或非门输出高电平, A/D 变换开始, 约 10  $\mu s$  转换结束, 转换结果由  $D_7 \sim D_0$  并行输出。

(2) 用 8 选 1 数据选择器将 ADC0809 并行送出的数字信号变为串行输出。

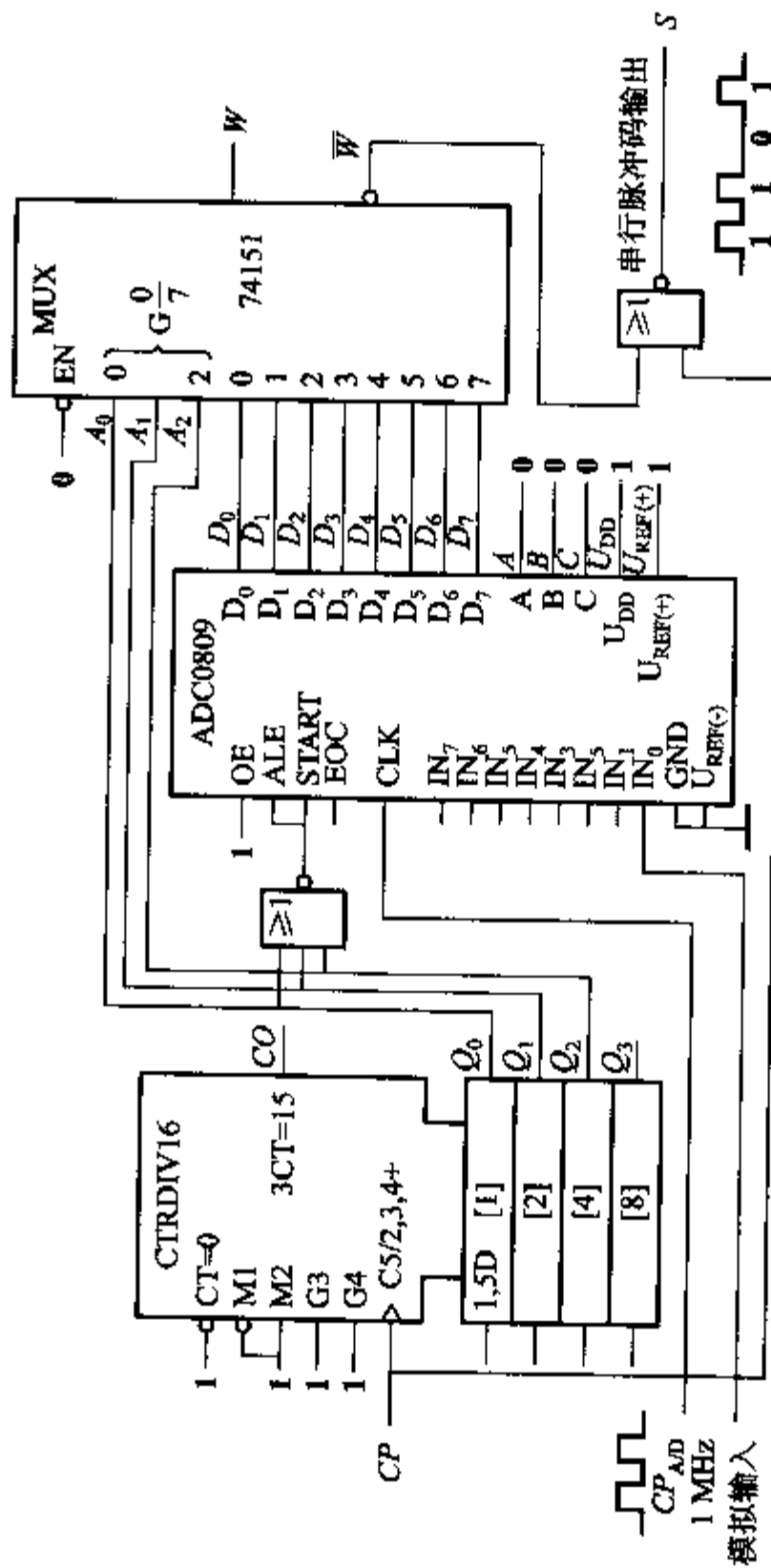
① 选用 8 选 1 数据选择器 74151, ADC0809 的  $D_0 \sim D_7$  分别接 74151 的 0 ~ 7 端, 以便先低位后高位顺序输出。

② 74151 的地址信号  $A_2 A_1 A_0$  用 74161 的低 3 位  $Q_2 Q_1 Q_0$  控制, 随着脉冲  $CP$  的不断输入, 74151 将依次送出 ADC0809 输出的数字信号。

(3) 将输出转换为串行脉冲码。

ADC0809 从 START 的正边沿 ( $CP$  的正边沿) 开始转换, 10  $\mu s$  内转换结束。74151 也从 START 的正边沿开始选择输出, 所以为防止 10  $\mu s$  转换期间内码位交错, 将输出转换为脉冲码输出。用 74151 的输出  $\overline{W}$  同  $CP$  (即  $CP$  的后半周期) 经过或非门获得脉冲码输出  $S$ 。

(4) 若先高位后低位串行输出, 将 ADC0809 的  $D_0 \sim D_7$  接到的 74151 的 0 ~ 7 端改为 ADC0809 的  $D_7 \sim D_0$  分别接到 74151 的 0 ~ 7 端即可。



例题 7.4 图

(5) 若将 8 位数字输出修改为 10 位数字输出,可做如下修改:

① 可将 74161 换为 74290。74290 接成 8421BCD 码输出,其 4 个输出接到 4 输入或非门的 4 个输入端。

② 将 8 位 ADC0809 换成 10 位 ADC 电路。

③ 将 8 选 1 数据选择器换成 16 选 1 数据选择器,其地址信号  $A_3A_2A_1A_0$  用 74290 的 4 位输出来控制。

### 第三节 题 解

#### 自我检测题解

题 7.1 答:在 D/A 转换中,量化单位是指输入数字的 一个最低有效位 (Least Significant Bit, LSB) 所对应的模拟量。

题 7.2 答:双积分式 A/D 转换器对 RC 元件的稳定性要求 不高。

题 7.3 答:由于 A,所以数字系统的精度较高。

- (A) 可以提供较多位数的有效数字
- (B) 没有误差
- (C) 信号是离散的
- (D) 可以使用 A/D 转换器

题 7.4 答:如果要将一个最大幅值为 5.1 V 的模拟信号转换为数字信号,要求模拟信号每变化 20 mV 能使数字信号最低位 (LSB) 发生变化,那么应选用 8 位的 A/D 转换器。

题 7.5 答:A/D 转换器和 D/A 转换器常在数字系统与各种模拟信号源和被控对象之间起着桥梁的作用。

题 7.6 答:D/A 转换器的分辨率越高,分辨 最小输出模拟量 的能力越强;A/D 转换器的分辨率越高,分辨 最小输入模拟量 的能力越强。

题 7.7 答:在 A/D 转换中,量化误差是指 1 个 LSB 的输出变化所对应模拟量的范围,量化误差是 不可 消除的。

题 7.8 答:A/D 转换的线性是指 任何两个相邻数码之间所对应的模拟量之差是相等的。

题 7.9 答:A/D 转换器的主要部件是 电压比较器、寄存器、译码器等。

题 7.10 答:速度最快的 A/D 转换器是 A 电路。

- (A) 并行比较型
- (B) 串行比较型
- (C) 并-串比较型
- (D) 逐次比较型

题 7.11 答:双积分型 A/D 转换器的缺点是 A。

- (A) 转换速度较慢
- (B) 转换时间不固定
- (C) 对元件稳定性要求较高
- (D) 电路较复杂

题 7.12 答:判断下列电器或系统是否含有 A/D 转换器或 D/A 转换器,并说明理由。

(A) MP3 音乐播放器(含有 D/A 转换器,因为要将存储器中的数字信号转换成优美动听的模拟信号——音乐)。

(B) GSM 和 CDMA 移动电话(两者都含有,因为要将接收到的数字信号转换为模拟信号经过耳机供本地通话者,另一方面要将本地语音信号转换成数字信号发送到对方手机中)。

(C) VCD 和 DVD(含有 D/A 转换器,光盘 VCD 和 DVD 上的信号为数字信号,要经过 D/A 转换器将其转换成模拟的图像和声音信号)。

(D) 数码相机(两者都含有,首先数码相机要将图像信号转换成数字信号,同时一般数码相机都有录像功能,那么在播放时就要将数字信号转换成模拟的声音信号)。

(E) 数字电压表(含有 A/D 转换器,将模拟电压转换成数字信号并将数字值显示出来)。

(F) PC 中的声卡(两者都含有,声卡要将数字信号转换成模拟的语音信号,同时要将模拟的语音信号通过话筒经 A/D 转换器转换成数字信号)。

### 思考题题解

题 7.1 D/A 转换器的精度与线性的区别是什么?

答: D/A 转换器的线性是指任何两个数码所对应的输出模拟量之差是相同的,这个差值就是一个 LSB,而 D/A 转换器的精度是一个用相对误差来说明的一个技术参数。

题 7.2 取样-保持电路有什么作用?不经过取样-保持,直接进行转换是否可以?为什么?

答:取样-保持电路能使输入 A/D 转换器的信号在一次转换时间内保持不变。若不经过取样-保持电路,在转换过程中,输入信号如果发生变化,会增加转换误差。

题 7.3 D/A 转换器输出的是模拟量,但既然是连续变化的模拟量,为什么不能取得任意值?如何理解“连续变化的量称为模拟量”这一说法?

答: D/A 转换器的输入数字量  $D$  不是连续的,所以不可能得到任意的模拟值。“连续变化的量称为模拟量”是指模拟量可以在一定范围内取任意值,所以 D/A 转换器输出的“模拟量”和我们定义的模拟量是有区别的。

题 7.4 实现 D/A 和 A/D 转换,都需要一个模拟参考量  $R$ ,使得

$$A = DR \text{ 和 } D \approx \frac{A}{R}$$

但为什么后一个关系式是近似等于?

答:因为在进行 A/D 转化时,会带来量化误差,而且是不可消除的,因为量化单位不可能是无穷小。

题 7.5 什么是标称满量程? 标称满量程与分辨率是什么关系?

答:满量程指能输出的最大模拟信号(D/A)。满量程  $A_{\max} = R_{\text{LSB}}(2^n - 1)$ ,  $n$  为转换器的分辨率。

题 7.6 在 A/D 转换中,哪些误差不能消除? 既然存在不能消除的误差,数字系统的精度是否低于模拟系统?

答:在 A/D 转换中,量化误差不能消除。但这并不意味着数字系统处理数据的精度降低,而恰恰相反,A/D 转换得出的数字量可以提供较模拟量更多的有效数字,使得数据处理的总体精度大为提高,这也是数字系统的优势之一。

题 7.7 在 A/D 转换中,什么称为直接转换? 什么称为间接转换?

答:直接将模拟量转换为数字量的方法称为直接转换。把模拟量转换成其他物理量,进而转换为数字量的方法称为间接转换。

题 7.8 为什么不能简单地将一个最低有效位作为 A/D 转换器和 D/A 转换器的转换误差? 转换误差与最低有效位是什么关系?

答:不论对于 D/A 转换器,还是对于 A/D 转换器来说,其转换误差的来源都是多方面的,一般转换误差是几个 LSB 所对应的模拟量。

题 7.9 权电阻型和  $R-2R$  网络型 D/A 转换器哪个精度高? 为什么?

答:与权电阻型 D/A 转换器相比, $R-2R$  型 D/A 转换器精度更高,因为在  $R-2R$  型电阻网络中只有  $R$ 、 $2R$  两种阻值,从而克服了权电阻网络阻值多、阻值差别大的缺点。

题 7.10 A/D 转换器和 D/A 转换器中可能有几个“地”(参考点)? 考虑这个问题的出发点是什么?

答:主要是尽量避免数字信号和模拟信号的相互干扰。

题 7.11 并行比较型 A/D 转换器中的分压电阻是否相等,为什么?

答:举 8 位 A/D 转换器为例,分压电阻有两种阻值,6 个电阻值为  $R$  的电阻将其分为 6 段间隔  $\left(\frac{U_{\text{REF}}}{7}\right)$ ,另两个电阻分为两段间隔  $\left(\frac{U_{\text{REF}}}{14}\right)$ ,从而保证输入电压在整个  $0 \sim U_{\text{REF}}$  内变化时,最大量化误差都是一样的。

题 7.12 逐次比较型 A/D 转换器工作时,为什么先取最高数字位,根据是什么?

答:逐次比较型 A/D 转换器是一种逐位逼近型转换器,先取最高数字位给出最大电压砝码,经过 D/A 转换后和输入电压进行比较,若输入电压大,则再加上次大砝码;若输入电压小,则换成次大砝码,逐次逼近。

题 7.13 如何合理选用 A/D 转换器和 D/A 转换器的产品? 通常需要考虑的因素有哪些?

答: 通常要考虑转换器的精度、转换器的转换速度、转换器的功能等。

题 7.14 如果在 A/D 转换期间输入信号发生变化, 可以在电路上采取什么措施?

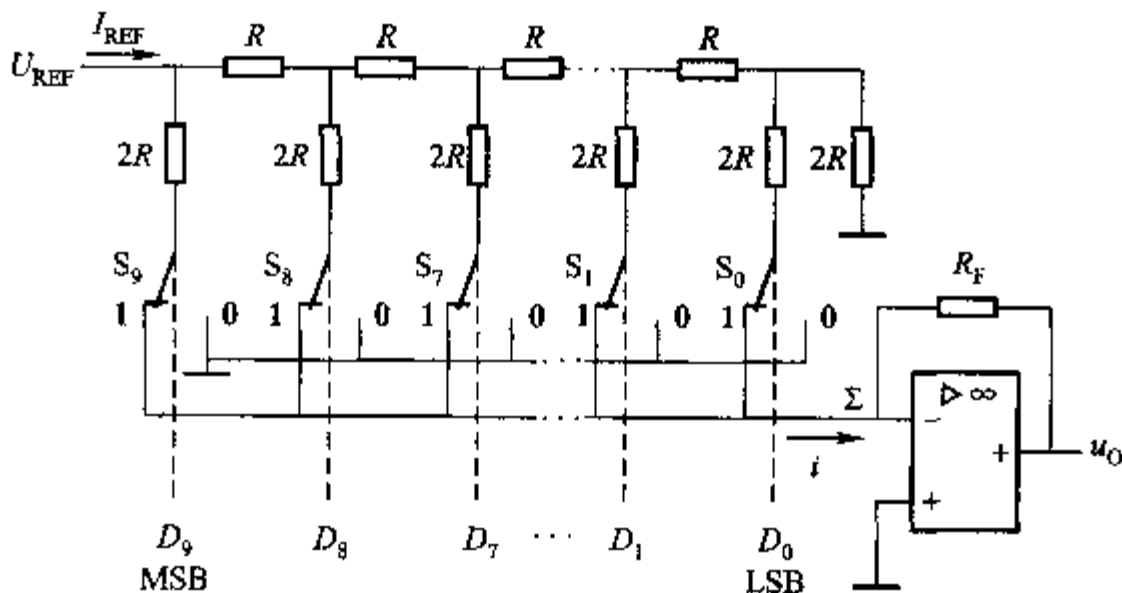
答: 通常的解决方法是在 A/D 转换电路前设计取样 - 保持 (S/H) 电路, 使输入 A/D 转换器的信号在一次转换时间内保持不变。

### 习题题解

习题 7.1 一个 8 位 D/A 转换器的最小输出电压增量为  $0.04\text{ V}$ , 若输入数字为  $11001001\text{B}$ , 输出电压是多少?

解: 最小电压增量为  $0.04\text{ V}$ , 数字量给定的间隔是  $(11001001)_2 = 193$ , 则输出电压  $u_o = 0.04 \times 193\text{ V} = 7.72\text{ V}$ 。

习题 7.2 如习题 7.2 图所示  $R-2R$  网络型 D/A 转换器,  $U_{\text{REF}} = 10\text{ V}$ ,  $R = 10\text{ k}\Omega$ ,  $R_F = 10\text{ k}\Omega$ 。试求当输入数字量为  $0\text{FDH}$  时  $u_o$  之值。

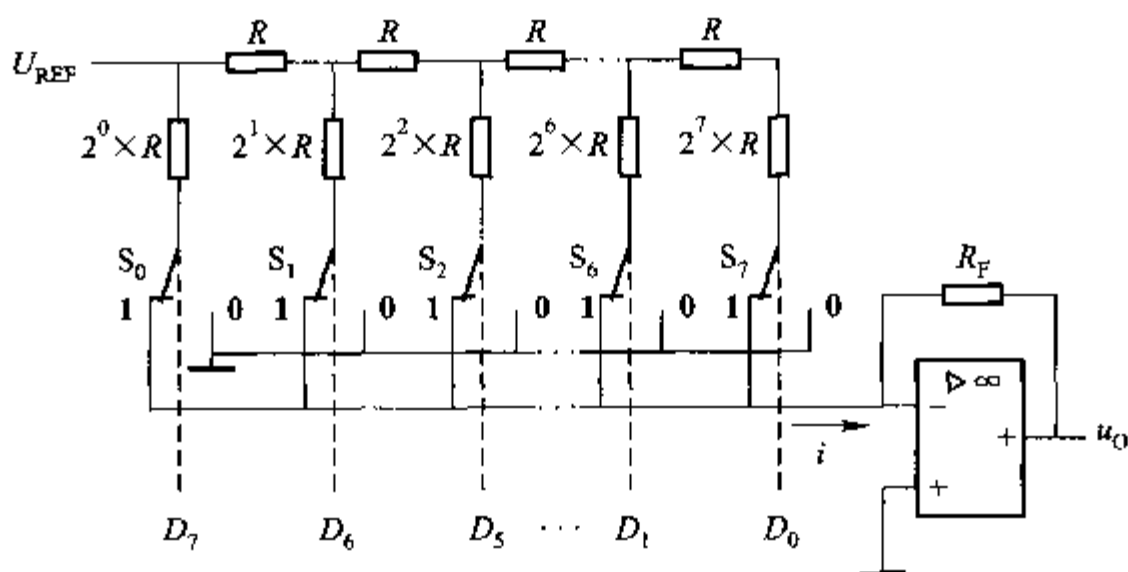


习题 7.2 图

解: 将数字量  $0\text{FDH}$  代入  $R-2R$  网络型 D/A 转换器的运放输出电压公式。

$$\begin{aligned}
 D = 0\text{FDH}, u_o &= -iR_F = -\frac{U_{\text{REF}}R_F}{2^n R} \sum_{i=0}^{n-1} D_i 2^i \\
 &= -\frac{U_{\text{REF}}R_F}{2^{10} R} \sum_{i=0}^9 (1 \times 2^7 + 1 \times 2^6 + \\
 &\quad 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0) \\
 &= -2.47\text{ V}
 \end{aligned}$$

习题 7.3 如题习题 7.3 图所示 8 位二进制权电阻型 D/A 转换器,  $U_{\text{REF}} =$



习题 7.3 图

10 V,  $R = 10 \text{ k}\Omega$ ,  $R_F = 10 \text{ k}\Omega$ 。试求当输入数字量为 01H、80H 和 81H 时  $i$  的值。

解：将数字量 01H、80H 和 81H 代入权电阻型 D/A 转换器的总电流公式。

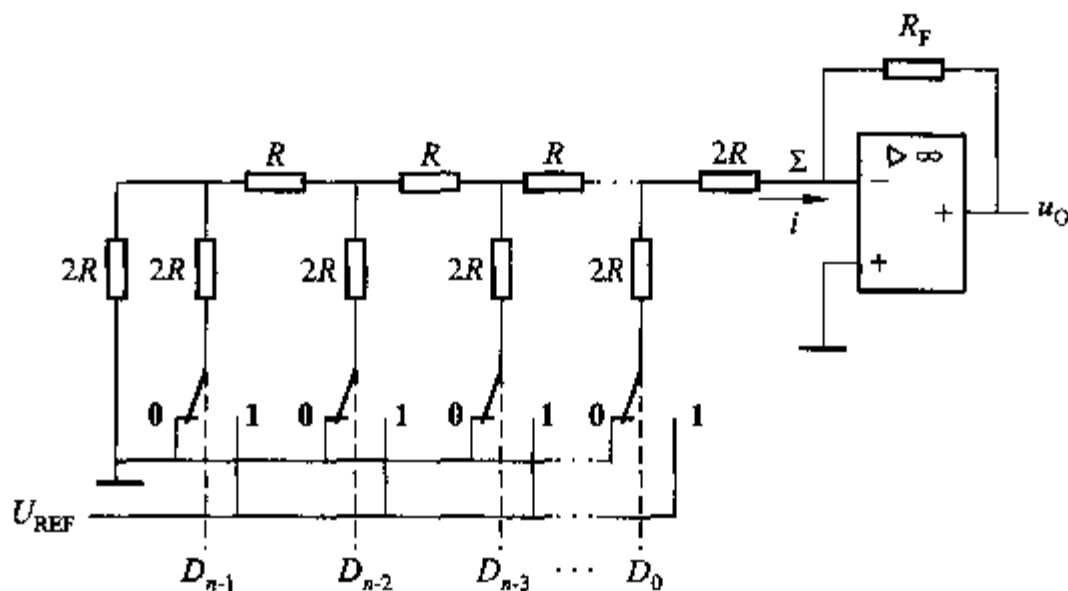
$$i = \sum_{i=0}^{n-1} D_i \frac{U_{\text{REF}}}{R \times 2^{n-i}} = \frac{U_{\text{REF}}}{R} \sum_{i=0}^{n-1} D_i 2^{i-n}, \quad D_i \in (0, 1)$$

$$\text{当 } D = 01\text{H 时, } i = \frac{U_{\text{REF}}}{R} (1 \times 2^{0-7}) = 7.8 \mu\text{A}$$

$$\text{当 } D = 80\text{H 时, } i = -\frac{U_{\text{REF}}}{R} (1 \times 2^{7-7}) = -1 \text{ mA}$$

$$\text{当 } D = 81\text{H 时, } i = \frac{U_{\text{REF}}}{R} (1 \times 2^{7-7} + 1 \times 2^{0-7}) = 1.0078 \text{ mA}$$

习题 7.4 如习题 7.4 图是另一种  $R-2R$  网络型 D/A 转换器, 试分析其原理, 与书中介绍的  $R-2R$  网络型 D/A 转换器比较, 找出其缺点。



习题 7.4 图

解：利用叠加原理，假设  $D_0 = 1, D_{n-1} = D_{n-2} = \cdots = D_1 = 0$ ，则  $i_0 = \frac{U_{REF}}{3R} \times \frac{1}{2}$

假设  $D_1 = 1, D_{n-1} = D_{n-2} = \cdots = D_2 = 0, D_0 = 0$ ，则  $i_1 = \frac{U_{REF}}{3R} \times \frac{1}{2^2}$

$\vdots$

假设  $D_{n-1} = 1, D_{n-2} = D_{n-3} = \cdots = D_0 = 0$ ，则  $i_{n-1} = \frac{U_{REF}}{3R} \times \frac{1}{2^n}$

则有  $i = \frac{U_{REF}}{3R \times 2^n} (2^{n-1} D_0 + 2^{n-2} D_1 + \cdots + 2^0 D_{n-1})$

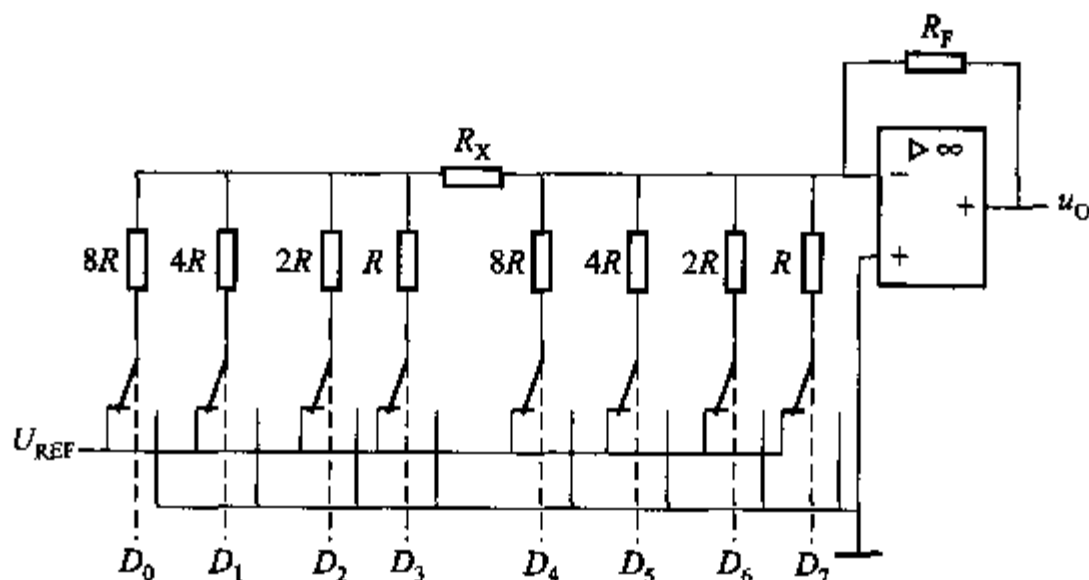
所以  $u_O = -\frac{U_{REF} \times R_F}{3R \times 2^n} (2^{n-1} D_0 + 2^{n-2} D_1 + \cdots + 2^0 D_{n-1})$ ，实现了  $n$  位二进制的

D/A 转换器功能，所不同的是最高位是  $D_0$ ，最低位是  $D_{n-1}$ 。

习题 7.5 变形权电阻型 D/A 转换器如习题 7.5 图所示。输入数字量  $D = D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$  的某一位  $D_i$  为 1 时，对应的开关接参考电压  $U_{REF}$ ；当  $D_i$  为 0 时，对应的开关接地。

(1) 若  $R_x = 8R$ ，试证明电路为 8 位二进制 D/A 转换器。

(2) 若  $R_x = 4.8R$ ，试说明它是一个什么数码的 D/A 转换器。



习题 7.5 图

解：令  $R_x$  电阻左边节点电压为  $U_x$ ，列出该节点的节点电流方程为

$$U_x \left( \frac{1}{8R} + \frac{1}{4R} + \frac{1}{2R} + \frac{1}{R} + \frac{1}{R_x} \right) - \left( D_0 \frac{U_{REF}}{8R} + D_1 \frac{U_{REF}}{4R} + D_2 \frac{U_{REF}}{2R} + D_3 \frac{U_{REF}}{R} \right) = 0$$

得到

$$i = \frac{U_{REF}}{R} \left( D_7 + \frac{D_6}{2} + \frac{D_5}{4} + \frac{D_4}{8} \right) + \frac{U_x}{R_x}$$



若  $R_x = 8R$ , 解得

$$\frac{U_x}{R_x} = \frac{U_{REF}}{16R} \left( D_3 + \frac{D_2}{2} + \frac{D_1}{4} + \frac{D_0}{8} \right)$$

从而得到

$$\begin{aligned} u_o &= -\frac{R_F U_{REF}}{R} \left[ \left( D_7 + \frac{D_6}{2} + \frac{D_5}{2^2} + \frac{D_4}{2^3} \right) + \frac{1}{16} \left( D_3 + \frac{D_2}{2} + \frac{D_1}{2^2} + \frac{D_0}{2^3} \right) \right] \\ &= -\frac{R_F U_{REF}}{2^7 R} (2^7 D_7 + 2^6 D_6 + 2^5 D_5 + 2^4 D_4 + 2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0) \\ &= -\frac{R_F U_{REF}}{2^7 R} [(2^3 D_7 + 2^2 D_6 + 2^1 D_5 + 2^0 D_4) \times 16 + (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0)] \end{aligned}$$

所以电路为 8 位二进制 D/A 转换器, 或者为 2 位十六进制的 D/A 转换器。

若  $R_x = 4.8R$ , 解得

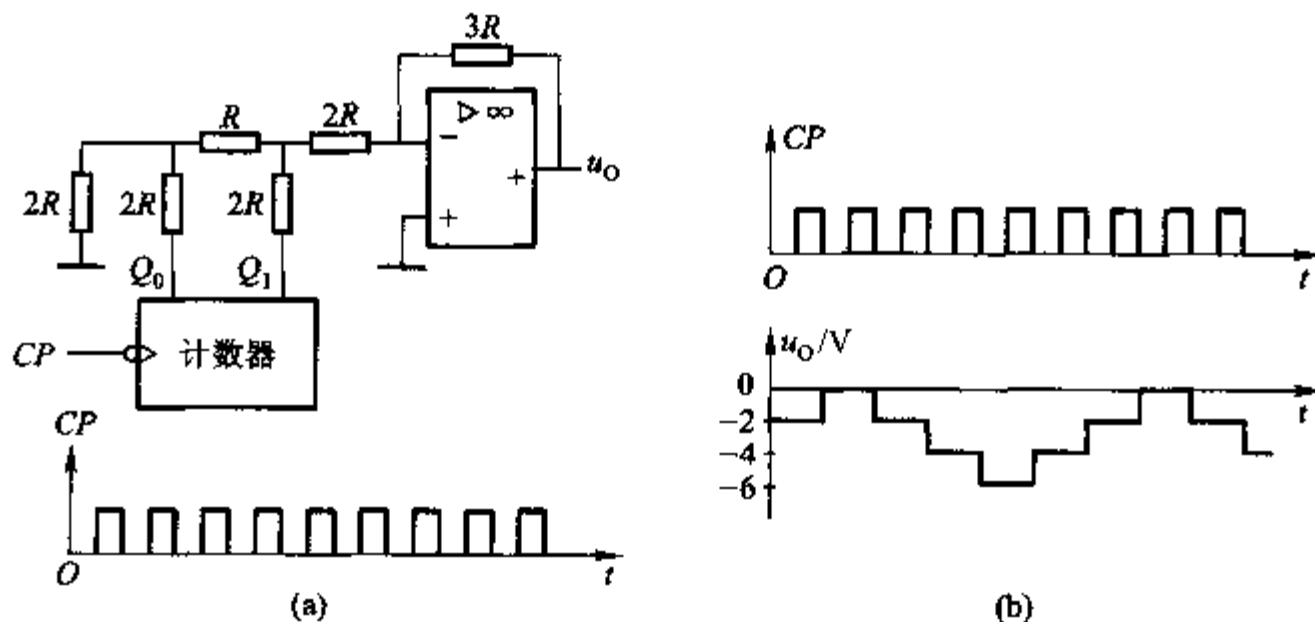
$$\frac{U_x}{R_x} = \frac{U_{REF}}{10R} \left( D_3 + \frac{D_2}{2} + \frac{D_1}{4} + \frac{D_0}{8} \right)$$

从而得到

$$\begin{aligned} u_o &= -\frac{R_F U_{REF}}{R} \left[ \left( D_7 + \frac{D_6}{2} + \frac{D_5}{2^2} + \frac{D_4}{2^3} \right) + \frac{1}{10} \left( D_3 + \frac{D_2}{2} + \frac{D_1}{2^2} + \frac{D_0}{2^3} \right) \right] \\ &= -\frac{R_F U_{REF}}{80R} [(2^3 D_7 + 2^2 D_6 + 2^1 D_5 + 2^0 D_4) \times 10 + (2^3 D_3 + 2^2 D_2 + 2^1 D_1 + 2^0 D_0)] \end{aligned}$$

所以电路为 2 位十进制的 D/A 转换器。

习题 7.6 一个  $R-2R$  梯形网络 D/A 转换器如习题 7.6 图 (a) 所示, 其数字输入端连接到计数器的输出端, 计数器的态序表如习题 7.6 表所示。假定初



习题 7.6 图

始状态  $Q_1Q_0 = 00$ , 计数器输出的逻辑高电平为 8 V, 逻辑低电平为 0 V。

(1) 计算计数器各状态时 D/A 转换器的输出电压值, 填入表中。

(2) 画出与 CP 对应的输出电压波形。

习题 7.6 表 态 序 表

解: 由习题 7.6 分析可知, 2 位计数器输出端不全为零时, 可以提供参考电压。放大器输出端  $u_o$  有电压输出, 构成 D/A 转换器。考虑计数器的输出数值知, 当  $Q_1Q_0 = 00$  时,  $u_o = 0$  V; 当  $Q_1Q_0 = 01$  时,  $u_o = -2$  V; 当  $Q_1Q_0 = 10$  时,  $u_o = -4$  V; 当  $Q_1Q_0 = 11$  时,  $u_o = -6$  V。

由以上计算结果, 输出波形  $u_o$  对应 CP 的波形如习题 7.6 图(b)所示。

$Q_1$	$Q_0$	$u_o/V$
0	0	0
0	1	-2
1	0	-4
1	1	-6
1	0	-4
0	1	-2
0	0	0

习题 7.7 某位移闭环控制系统的反馈电压为 0 ~ 5 V, 最小可分辨电压为 2.5 mV, 位移控制范围为 0 ~ 200 mm, 控制精度为 0.2 mm。现选用集成 A/D 转换器 AD574, 试通过查阅资料, 分析判定选择的参数是否合适。

解: 根据位移控制范围、控制精度以及控制系统的反馈电压为 0 ~ 5 V, 只要最小可分辨电压小于 5 mV 就完全可以满足要求。

分辨率以输出二进制或十进制数码位数表示, 说明 A/D 转换器对输入信号的分辨能力。AD574 是 12 位的 A/D 转换器, 最大输入信号为 5 V, 则它能区分输入信号的最小差异为  $\frac{5}{2^{12}} \text{ V} = 1.22 \text{ mV} < 2.5 \text{ mV}$ 。对于控制范围在 0 ~ 200 mm,

控制精度为 0.2 mm 要求是可以满足的, 即  $\frac{200}{2^{12}} \text{ V} < 2.5 \text{ mV}$ 。

习题 7.8 根据逐次比较型 A/D 转换器的工作原理, 设计一 A/D 转换器, 要求输出 4 位二进制数字, 转换时间为 10  $\mu\text{s}$ 。

解: 用 6 个时钟周期完成一个转换周期。其中 4 个用来确定 4 位数字信号, 第 5 个输出数字信号, 第 6 个清零, 准备下一个转换周期。转换时间为 10  $\mu\text{s}$ , 则一个脉冲周期为 10/6  $\mu\text{s}$ 。得到脉冲的频率为 0.6 MHz。3 位逐次比较型 A/D 转换器参见文献[5]。

习题 7.9 一个由 3 位半十进制双积分型 A/D 转换器构成的数字电压表, 标称满量程为 2.000 V, 时钟频率  $f_{CP} = 20 \text{ kHz}$ , 参考电压  $U_{REF} = \pm 5 \text{ V}$ , 试求:

(1) 此 A/D 转换器的转换速率。

(2) 输入 1.2 V 模拟电压时的输出数字。

解: 该数字电压表为 3 位半十进制型, 所以计数器计数总容量  $N = 1\,000$ 。

(1)  $T_1 = N \cdot T_{CP}$  完成一次转换所需要的最大时间

$$T_{\max} = 2T_1 = 2 \times \frac{1}{20 \times 10^3} \times 2000 \text{ s} = 0.2 \text{ s}_0$$

(2) 当输入电压为 1.2 V 时,电压表输出的数字为 1 200。

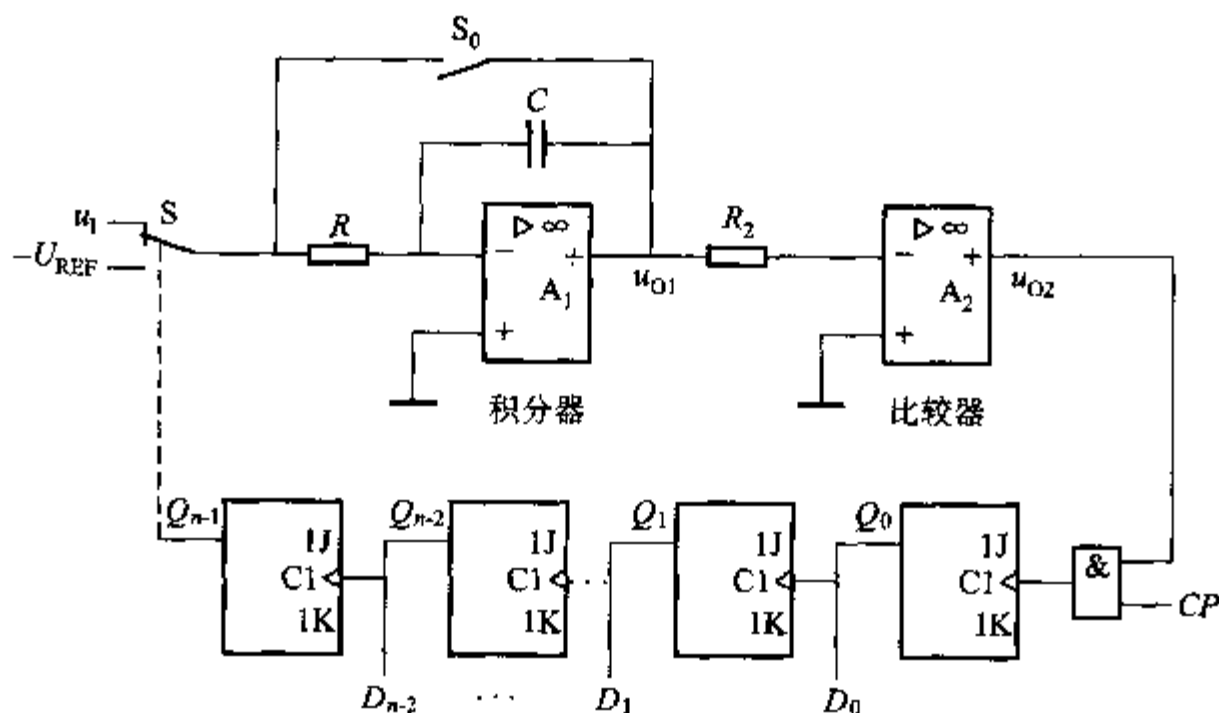
即 
$$N = \frac{1.2}{2} \times 2000 = 1200$$

习题 7.10 双积分型 A/D 转换器如习题 7.10 图所示。

(1) 若输入电压  $U_{\text{imax}} = 2 \text{ V}$ ,要求分辨率不大于 0.1 V,则二进制计数器计数总容量  $N$  应大于多少?

(2) 计数器需要多少位?

(3) 若时钟脉冲频率  $f_{\text{CP}} = 200 \text{ kHz}$ ,  $|u_1| = 2 \text{ V} < |U_{\text{REF}}|$ ,积分器最大输出电压  $U_{\text{Omax}} = -5 \text{ V}$ ,求积分时间常数  $RC$  之值。



习题 7.10 图

解: (1) 二进制计数器的计数总容量  $N > \frac{2}{0.1} + 1 = 21$ 。

(2) 设  $n$  为计数器的级数,  $n$  应满足  $2^n - 1 < N \leq 2^n$ , 所以  $n = 5$ , 故需 5 位二进制计数器。

(3) 根据双积分 ADC 工作原理可知

$$u_{O1} = -\frac{u_1}{RC} T_1$$

$T_1$  时刻为运放反馈电容充电到最大值, 此时

$$T_1 = 2^n T_{\text{CP}}, u_{O1} = U_{\text{Omax}}$$

所以

$$U_{\text{Omax}} = - \frac{u_1}{RC} 2^n T_{CP}$$

即

$$\begin{aligned} RC &= - \frac{u_1}{U_{\text{Omax}}} 2^n T_{CP} \\ &= - \frac{2}{-5} \times 32 \times 0.005 = 0.64 \text{ ms} \end{aligned}$$

## 第八章 脉冲产生与整形

在时序电路中,常常需要用到不同幅度、宽度以及具有陡峭边沿的脉冲信号。事实上,数字系统几乎离不开脉冲信号。获取这些脉冲信号的方法通常有两种:直接产生或者利用已有信号变换得到。

本章主要讨论常用的脉冲产生和整形电路的结构、工作原理、性能分析等,常见的脉冲电路有:单稳态触发器、施密特触发器和多谐振荡器。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) 常用脉冲产生和整形电路

##### 1. 施密特触发器

###### (1) 电路特点

施密特触发器是常用的脉冲变换和脉冲整形电路。电路主要有两个特点:一是施密特触发器是电平型触发电路;二是施密特触发器电压传输特性具有回差特性,或称滞回特性。

输入信号在低电平上升过程中,电路输出状态发生转换时对应的输入电平称为正向阈值电压  $U_{T+}$ ,输入信号在高电平下降过程中,电路状态转换对应的输入电平称为负向阈值电压  $U_{T-}$ , $U_{T+}$  与  $U_{T-}$  的差值称为回差电压  $\Delta U_T$ 。

###### (2) 电路构成及参数

施密特触发器有多种构成方式,如:门电路构成、集成施密特触发器、555 定时器构成。主要电路参数:正向阈值电压  $U_{T+}$ 、负向阈值电压  $U_{T-}$  和回差电压  $\Delta U_T$ 。

###### (3) 电路应用

施密特触发器主要应用范围:波形变换、波形整形和幅度鉴别等。

##### 2. 单稳态触发器

###### (1) 电路特点

单稳态触发器特点如下:

- ① 单稳态触发器有稳态和暂稳态两个不同的工作状态。
- ② 在外加触发信号的作用下,触发器可以从稳态翻转到暂稳态,暂稳态维

持一段时间,自动返回原稳态。

③ 暂稳态维持时间的长短取决于电路参数  $R$  和  $C$ 。

### (2) 电路构成及参数

单稳态触发器有多种构成方式,如:门电路构成的积分型单稳态触发器、门电路构成的微分型单稳态触发器、集成单稳态触发器、555 定时器构成的单稳态触发器等。主要电路参数:暂稳态的维持时间  $t_w$ 、恢复时间  $t_{re}$ 、分辨时间  $t_d$ 、输出脉冲幅度  $U_m$ 。

### (3) 电路应用

单稳态触发器主要应用范围:定时、延时、脉冲波形整形等。

## 3. 多谐振荡器

多谐振荡器是一种自激振荡器,接通电源后,就可以自动产生矩形脉冲,是数字系统中产生脉冲信号的主要电路。

### (1) 电路特点

多谐振荡器特点如下:电路没有稳态,只有两个暂稳态;多谐振荡器不需要外加触发信号,电路会自动产生矩形脉冲。

### (2) 电路构成及参数

多谐振荡器有多种构成方式,如:门电路构成的对称式多谐振荡器、门电路构成的带  $RC$  延迟电路的环形振荡器、晶体振荡器、555 定时器构成的多谐振荡器等。多谐振荡器的主要参数有:振荡频率、占空比、输出幅度。

## (二) 555 集成定时器

555 集成定时器是一种多用途的数模混合电路。利用 555 集成定时器可以非常方便地构成各种脉冲产生和整形电路,使用灵活、方便,应用范围广。

### (1) 电路结构及其工作原理

555 集成定时器由电阻分压器、比较器、基本  $RS$  触发器、驱动器和放电管等部分组成。555 集成定时器根据输入信号电压幅值的不同,将产生不同的电压输出、放电管的工作状态。

555 集成定时器的引脚名称和功能如表 8.1 所示。

表 8.1 555 集成定时器引脚名称及功能

引 脚 名 称	功 能	引 脚 名 称	功 能
$\overline{TR}$	低电平触发	$OUT$	输出端
$\overline{TH}$	高电平触发	$D$	放电端
$\overline{R}$	复位端	$CO$	控制电压端

555 集成定时器的功能如表 8.2 所示。

表 8.2 555 集成定时器功能表

$TH(6)$	$\overline{TR}(2)$	$\bar{R}(4)$	$OUT(3)$	放电管	$D(7)$
$\times$	$\times$	L	L	导通	L
$> 2U_{DD}/3$	$\times$	H	L	导通	L
$< 2U_{DD}/3$	$> U_{DD}/3$	H	不变	不变	不变
$< 2U_{DD}/3$	$< U_{DD}/3$	H	H	截止	H

## (2) 应用电路

555 集成定时器可以方便地构成施密特触发器、单稳态触发器、多谐振荡器等脉冲产生和整形电路。典型电路如图 8.1 所示。

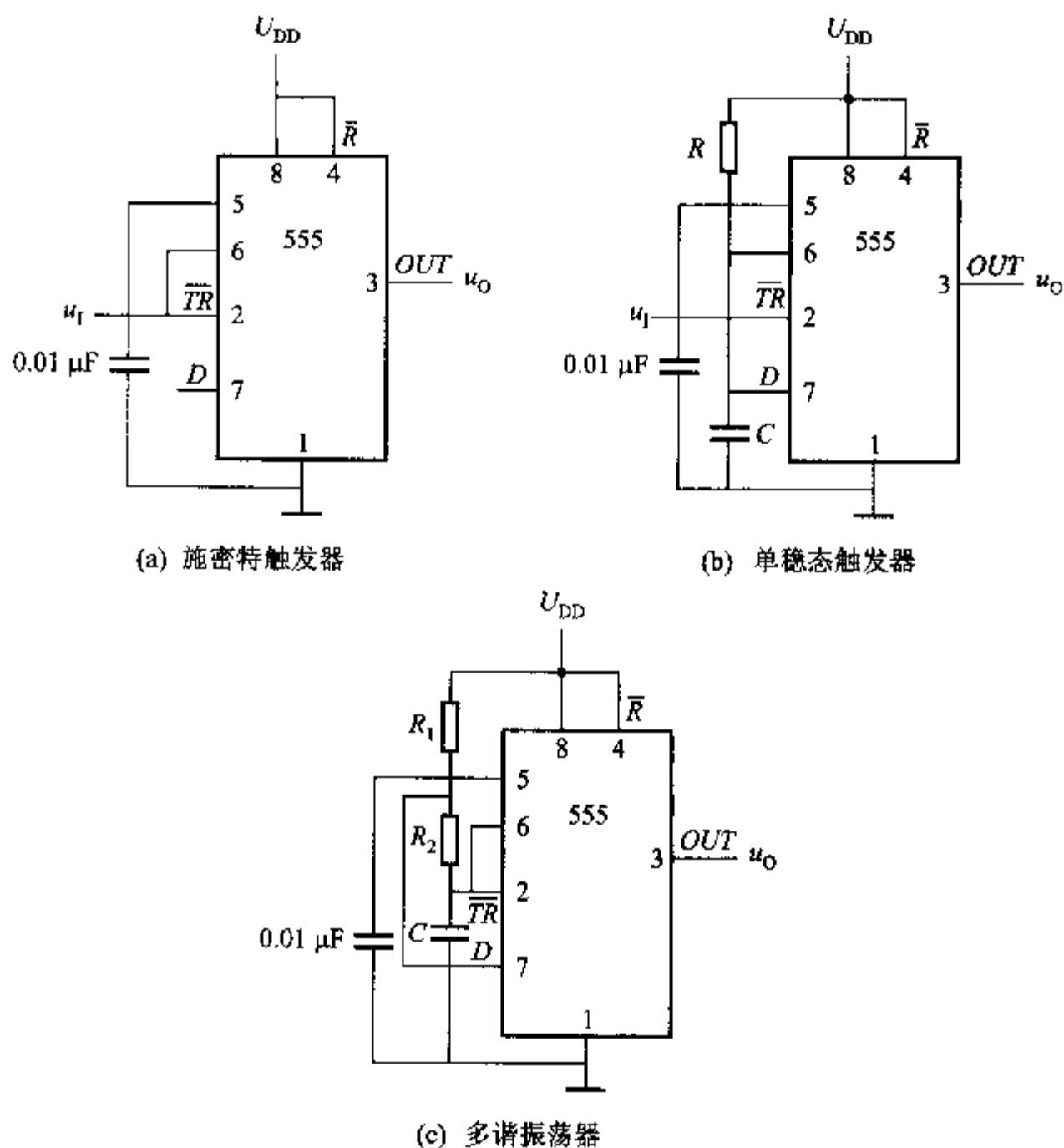


图 8.1

## 二、重点与难点

### 重点:

#### 1. 脉冲产生与整形电路的工作原理

施密特触发器、单稳态触发器和多谐振荡器典型电路的工作原理、波形分析、电路参数与性能的定性分析。

#### 2. 555 定时器

555 定时器的基本结构、引脚功能、典型应用。

#### 3. 脉冲电路的分析方法

无论脉冲电路的具体结构如何,凡是含有  $RC$  元件的脉冲电路,分析的关键都是电容的充放电过程,分析的关键点在于电容充放电过程中电压变化对门电路输入端的影响。

### 难点:

脉冲电路的分析方法是本章的难点。脉冲电路的分析采用的是非线性电路中过渡过程的分析方法,另外,在分析过程中还要考虑门电路在不同输入信号情况下,对输出信号状态的影响。

## 三、考核题型与考核重点

### 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

建议分配的分数为 2 ~ 4 分。

### 2. 综合与设计

题型 1 根据已知脉冲电路,分析其工作原理,画出电路中各关键点的信号波形以及输出波形的参数计算等。

题型 2 根据需要选择合理的脉冲电路。

题型 3 分析在应用系统中脉冲电路的作用。

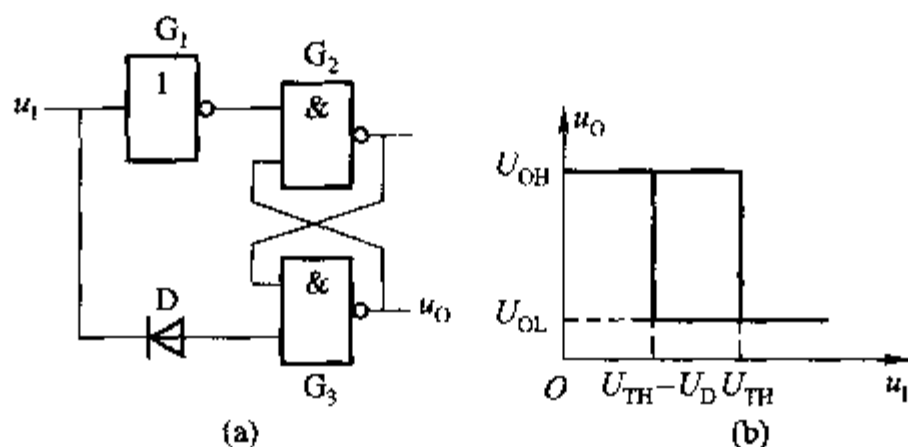
建议分配的分数为 5 ~ 10 分。

## 第二节 典型题解

例题 8.1 分析例题 8.1 图(a)所示脉冲电路的工作原理,设门电路均为 TTL 电路,其阈值电压为  $U_{TH}$ ;设二极管的导通电压为  $U_D$ 。说明电路的功能,画出电路的电压传输特性。

解:当输入电压  $u_i = 0$  时,二极管  $D$  导通,门  $G_3$  输出高电平,门  $G_2$  输出低





例题 8.1 图

电平,  $u_O = 1$ 。

假设  $u_I$  开始上升, 如果  $u_I < U_{TH}$ , 门电路的输出状态不会改变,  $u_O$  维持不变,  $u_O = 1$ 。

$u_I$  逐渐升高, 当  $u_I \geq U_{TH}$ , 门  $G_1$  输出低电平, 使门  $G_2$  输出高电平, 因此门  $G_3$  输出变为低电平, 输出由高电平变为低电平,  $u_O = U_{OL}$ 。

如果  $u_I$  继续升高, 门电路的输出状态不会改变,  $u_O$  维持不变,  $u_O = U_{OL}$ 。

当  $u_I$  逐渐降低, 当  $u_I$  等于或略小于  $U_{TH}$ , 门  $G_1$  输出高电平,  $u_O$  仍然维持不变,  $u_O = U_{OL}$ 。

$u_I$  继续降低, 当  $u_I \leq U_{TH} - U_D$ , 门  $G_3$  输出变为高电平, 门  $G_1$  已经输出高电平, 所以门  $G_2$  输出变为低电平, 输出由低电平变为高电平,  $u_O = U_{OH}$ 。

该电路是电平触发的施密特触发器, 其中:  $U_{T+} = U_{TH}$ ,  $U_{T-} = U_{TH} - U_D$ , 回差电压  $\Delta U_T = U_D$ 。

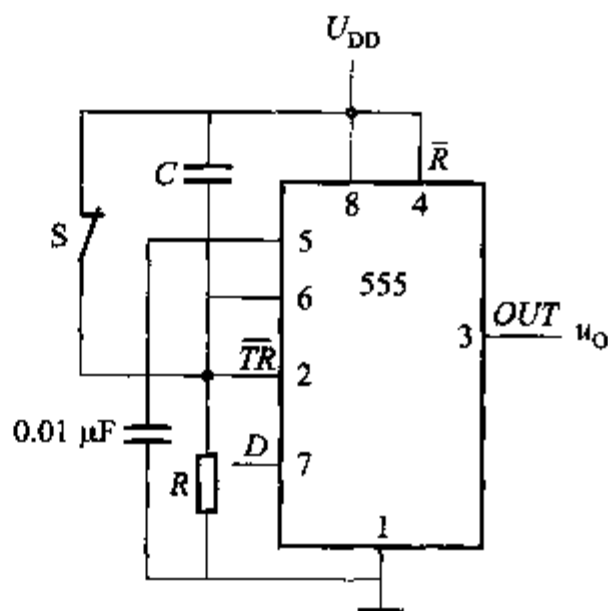
根据上述分析, 画出该电路的电压传输特性如例题 8.1 图(b)所示。

例题 8.2 分析例题 8.2 图所示电路的工作原理, 这是由 555 定时器构成的开机延时电路, 开关  $S$  为常闭开关。若已知电路参数  $C = 33 \mu F$ ,  $R = 59 k\Omega$ ,  $U_{DD} = 12 V$ , 试计算该电路的延时时间。

解: 开关  $S$  闭合时, 2 和 6 引脚输入高电平  $U_{DD}$ , 因此  $u_O$  低电平, 电容  $C$  上没有电压。

当开关  $S$  断开时,  $U_{DD}$  开始对电容  $C$  充电, 随着充电过程的进行, 2 和 6 引脚的输入电压逐渐降低, 当低到  $\frac{1}{3}U_{DD}$  时,  $u_O$  由低电平变为高电平。

结论: 当开关  $S$  断开时, 电路延迟了一



例题 8.2 图

段时间,  $u_o$  才发生状态的改变, 由低电平变为高电平, 实现了开机延时的功能。

2 和 6 引脚, 即电阻  $R$  上的起始电压  $u_R(0_-) = U_{DD}$

电阻  $R$  上的稳态电压  $u_R(\infty) = 0$

时间常数  $\tau = RC$

求电阻  $R$  上的电压瞬时值

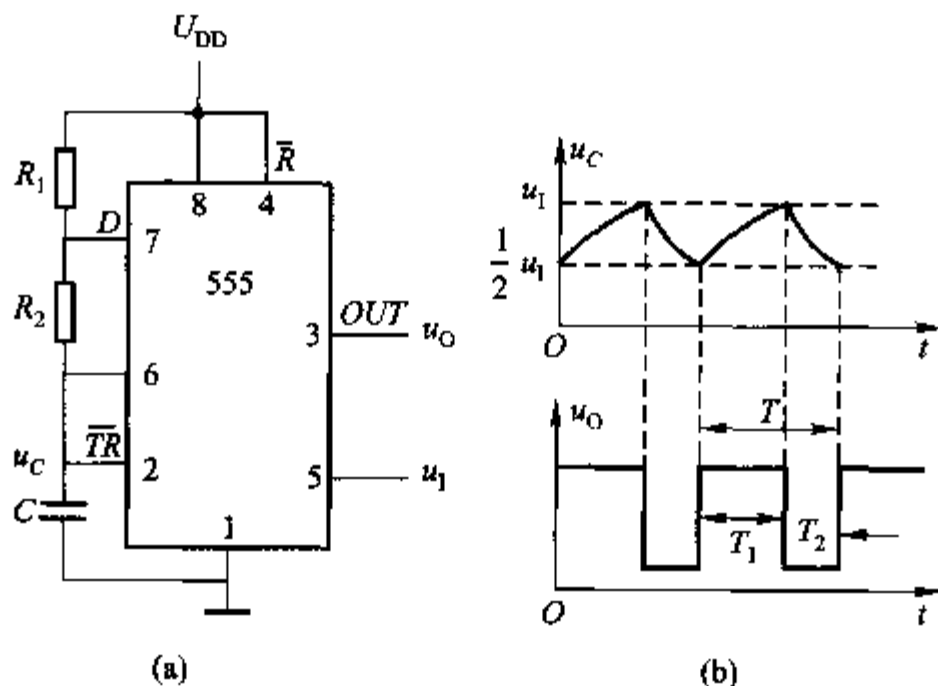
$$u_R(t) = u_R(\infty) + [u_R(0_-) - u_R(\infty)]e^{-\frac{t}{\tau}} \approx U_{DD}e^{-\frac{t}{\tau}}$$

计算  $u_R(t)$  达到  $\frac{1}{3}U_{DD}$  时的延时时间  $t_w$

$$\frac{1}{3}U_{DD} = U_{DD}e^{-\frac{t_w}{\tau}}$$

$$t_w = \tau \ln \frac{U_{DD}}{\frac{1}{3}U_{DD}} = RC \ln 3 = 59 \times 33 \times 10^{-3} \times \ln 3 \text{ s} = 2.1 \text{ s}$$

**例题 8.3** 分析例题 8.3 图(a)所示 555 定时器构成的压控振荡器, 画出  $u_c$  和  $u_o$  波形, 试求输入控制电压  $u_i$  和振荡周期之间的关系, 当输入电压  $u_i$  升高时, 振荡频率升高还是降低?



例题 8.3 图

**解:** 接通电源瞬间, 电容  $C$  上没有电压, 此时  $u_c = 0 \text{ V}$ , 因此输出  $u_o$  高电平, 7 引脚截止。

电容充电, 由  $U_{DD}$  经  $R_1$ 、 $R_2$  对  $C$  充电, 充电时间常数  $\tau_{充} = (R_1 + R_2)C$ 。随着充电过程的进行,  $u_c$  逐渐升高, 当  $u_c \geq u_i$  时,  $u_o$  由高电平变为低电平, 7 引脚导通。

电容放电, 电容  $C$  经过 7 引脚放电, 放电时间常数  $\tau_{放} = R_2C$ , 随着放电过程的进行,  $u_c$  逐渐下降, 当下降到  $u_c \leq u_i/2$  时,  $u_o$  由低电平变为高电平, 7 引脚

截止。

电容再次充电,电路重复上述过程,进入下一个周期,电路输出周期性的矩形脉冲。 $u_c$  和  $u_o$  波形如例题 8.3 图(b)所示。

求充电时间  $T_1$ :  $u_c(0_+) = u_1/2$ ,  $u_c(\infty) = U_{DD}$ ,  $\tau = (R_1 + R_2)C$ ,  $u_c(T_1) = u_1$ 。

$$T_1 = (R_1 + R_2)C \ln \frac{\frac{1}{2}u_1 - U_{DD}}{u_1 - U_{DD}}$$

求放电时间  $T_2$ :  $u_c(0_+) = u_1$ ,  $u_c(\infty) = 0$ ,  $\tau = R_2C$ ,  $u_c(T_2) = u_1/2$ 。

$$T_2 = R_2C \ln \frac{u_1}{\frac{1}{2}u_1}$$

振荡周期  $T = T_1 + T_2$ , 计算结果

$$T = (R_1 + R_2)C \ln \frac{\frac{1}{2}u_1 - U_{DD}}{u_1 - U_{DD}} + R_2C \ln 2$$

由上述分析可知,当输入电压  $u_1$  升高时,振荡周期变大,振荡频率降低。

### 第三节 题 解

#### 自我检测题解

题 8.1 答:施密特触发器属于 电平触发 型电路。

题 8.2 答:  $RC$  积分电路与微分电路在脉冲电路中起着 暂稳态 的作用。单稳态触发器具有 1 组定时电路;多谐振荡器具有 2 组定时电路;双稳态触发器 没有 定时电路。

题 8.3 答:单稳态触发器从稳态翻转到暂稳态取决于 输入触发信号,从暂稳态翻转到稳态取决于  $RC$  定时电路。

题 8.4 答:单稳态触发器和多谐振荡器中的暂稳态时间与  $RC$  时间常数 成正比。

题 8.5 答:双极型 555 定时器可直接驱动较大功率的负载,因为其输出级的驱动电流可以达到 200 mA。

题 8.6 答:从实用的角度看,555 定时器可以取代 A。

(A) 机械式定时器

(B) 闹钟

(C) 学校自动打铃控制器

(D) 电冰箱控制电路

题 8.7 答:用石英晶体谐振器代替对称多谐振荡器中的一个电容,另一个电容之值应 A。

(A) 加大

(B) 减小

(C) 不变

(D) 也换成石英晶体谐振器

题 8.8 答: 将一方波信号变换为相同重复周期的矩形窄脉冲, 例如将脉冲宽度为 10 ms 的方波信号变换为脉冲宽度为 1 ms 的矩形脉冲, 可采用 A。

(A) 单稳态触发器

(B) 施密特触发器

(C) 十进制计数器

(D) 十进制加法器

题 8.9 答: 将一重复频率为 1 024 kHz 的脉冲信号分频为 4 kHz 的脉冲信号, 主体电路可采用 C。

(A) 单稳态触发器

(B) 双稳态触发器

(C) 二进制计数器

(D) 十进制分频器

题 8.10 答: 下列产品中属于 CMOS 电路的有 C、D。

(A) NE555

(B) ICL556

(C) MC7555

(D) CA7556

### 思考题题解

题 8.1 单稳态触发器中可重复触发和不可重复触发各是什么含义?

答: 可重复触发的单稳态指的是在暂稳态的过程中, 可以再次响应触发信号; 不可重复触发的单稳态指的是在暂稳态的过程中, 不能响应触发信号。

题 8.2 电平触发与边沿触发有何不同? 二者分别来自哪些电路?

答: 当输入信号电位达到某一数值时, 使输出信号改变, 为电平触发; 当输入信号跳变时, 使输出信号改变, 为边沿触发。例如, 施密特触发器为电平触发方式, 单稳态触发器为边沿触发方式。

题 8.3 Watching Dog 电路适合用在哪些系统?

答: 为防止系统程序死循环的、具有 CPU 的小型电子系统。

题 8.4 试举出施密特触发器应用的几个例子。

答: 施密特触发器可用于波形变换, 例如将三角波、正弦波变换为矩形波。用于信号整形, 例如在传真机的信号输入端口, 首先需要将传输过程中出现的毛刺干扰去除, 经过施密特触发器可以消除信号中的毛刺干扰, 将不规则的信号波形整形成矩形脉冲。施密特触发器还可以用于幅度鉴别等场合。

题 8.5 多谐振荡器与模拟电路中学习的正弦波振荡器有何异同? 现有一正弦电压信号, 试用多种方法将其转换为方波。

答: 数字电路中学习的多谐振荡器与模拟电路中学习的正弦波振荡器比较, 两者产生的信号不同, 前者产生矩形波, 后者产生正弦波; 两者电路组成不同, 前者用数字器件或数模混合器件构成, 后者用模拟器件构成。

将正弦电压信号转换为方波可以采用数字电路中学习的施密特触发器, 模

拟电路中学习的鉴幅电路、比较器等。

题 8.6 脉冲波形的上升时间和下降时间是怎样规定的？脉冲宽度又是怎样计算的？

答：脉冲上升沿从  $10\% U_m$  上升到  $90\% U_m$  所需要的时间为脉冲波形的上升时间，其中  $U_m$  是脉冲幅度。

脉冲下降沿从  $90\% U_m$  下降到  $10\% U_m$  所需要的时间为脉冲波形的下降时间。

脉冲宽度  $t_w$  指的是从脉冲上升沿的  $50\% U_m$  起到脉冲下降沿的  $50\% U_m$  为止的时间。

题 8.7 在第三章和第四章中，将数字逻辑电路分为组合逻辑电路和时序逻辑电路。你考虑本章适合这样的分类吗？如果你认为适合，又应分到哪一类呢？为什么？

答：本章讨论的是脉冲电路，讨论的是脉冲波形的产生与整形，而数字逻辑电路重点讨论的是输出信号与输入信号之间的逻辑关系。因此脉冲电路不适合组合电路和时序电路的分类。

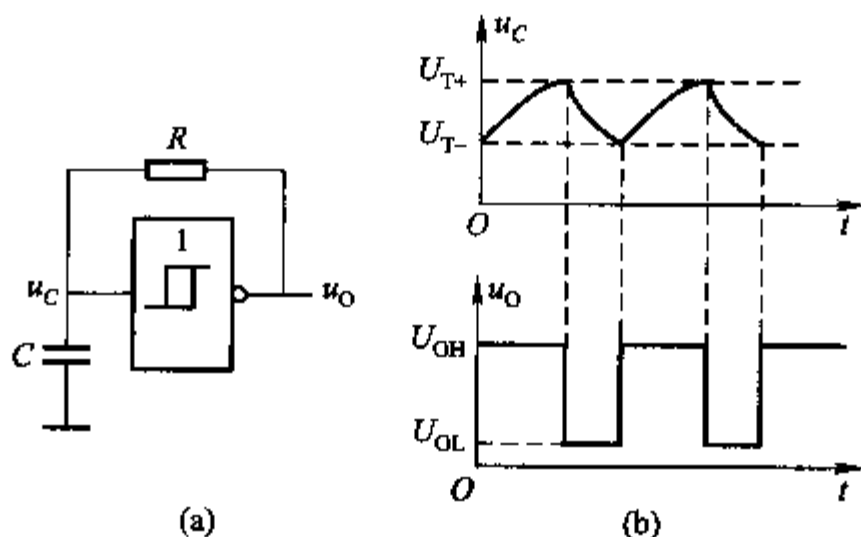
题 8.8 本章中的惰性元件全部采用电容，你想到过使用电感吗？试分析一下这个问题。

答：电感是可以的。但是电感的电流逐步增加，电感的电压出现突变，并且使用不方便。

题 8.9 对于含有  $RC$  元件的脉冲电路，分析的关键和关键连接点是什么？试举例说明。

答：分析含有  $RC$  元件脉冲电路的关键是  $RC$  充放电回路； $RC$  充放电回路中变化电压与门电路输入端的连接点是关键连接点。

例如，如思考题 8.9 图 (a) 所示，是施密特触发器构成的多谐振荡器，分析其工作原理。



思考题 8.9 图

分析过程中要注意:一是  $RC$  充放电回路;二是  $RC$  充放电回路中变化电压对施密特触发器输入端电压的影响;三是明确施密特触发器的电压传输特性。

设施密特触发器  $u_o$  为高电平  $U_{OH}$ , 此时, 向电容  $C$  充电, 充电支路为  $U_{OH} \rightarrow R \rightarrow C \rightarrow$  地, 充电过程中  $u_c$  逐渐升高, 即施密特触发器输入端电压升高, 当  $u_c$  升高到正向阈值电压  $U_T$  时, 触发器发生状态翻转,  $u_o$  由高电平  $U_{OH}$  变为低电平  $U_{OL}$ 。电容充电过程结束, 电容进入放电过程, 放电支路为  $C \rightarrow R \rightarrow U_{OL}$ , 放电过程中  $u_c$  逐渐降低, 触发器输入端电压降低, 当  $u_c$  降低到负向阈值电压  $U_{T-}$  时, 触发器再次发生状态翻转,  $u_o$  由低电平  $U_{OL}$  变为高电平  $U_{OH}$ , 电容结束放电, 重新进入充电过程。关键点  $u_c$  的变化波形以及  $u_o$  输出端波形如思考题 8.9 图(b)所示。

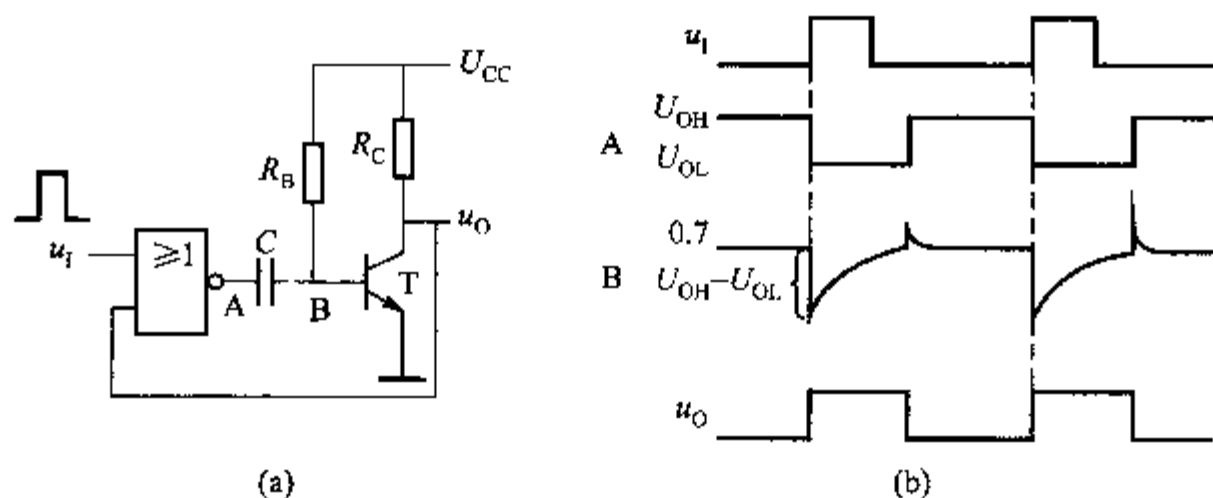
题 8.10 本章介绍的集成电路都是中、小规模集成电路。请尝试从其他相关课程所涉及的大规模和超大规模集成电路中找到功能相同或相似的组成部分。

答: 8031 芯片中具有振荡器, 只需外接电容和电阻就可以产生周期振荡。另外一些超大规模的可编程逻辑器件中设置了振荡电路。

### 习题题解

习题 8.1 如习题 8.1 图(a)所示单稳态触发器, 稳态时  $u_o = 0.3 \text{ V}$ 。试回答如下问题:

- (1) 稳态时 T 处于什么状态? 如何设计电路参数, 以保证这一状态?
- (2) 定性画出在触发信号作用下, A、B 二点与输出电压  $u_o$  的波形。
- (3) 计算暂稳态的维持时间  $t_w$ 。



习题 8.1 图

解: (1) 由于稳态时  $u_o = 0.3 \text{ V}$ , 因此 T 处在饱和状态。为保证稳态时晶体管的饱和状态, 电路参数应满足关系式:  $R_C \leq \beta R_B$ , 其中,  $\beta$  是晶体管的电流放大系数。

(2) 在触发信号作用下, A、B 两点与输出电压  $u_o$  的波形如习题 8.1 图(b) 所示。

(3) 计算暂稳态的维持时间  $t_w$ :

B 点初始电压  $u_B(0_+) = 0.7 - (U_{OH} - U_{OL})$

B 点终止电压  $u_B(\infty) = U_{CC}$

时间常数  $\tau = R_B C$  (为简便起见, 忽略电路中其他电阻的影响)

可得 B 点电压瞬时值

$$u_B(t) = u_B(\infty) + [u_B(0_+) - u_B(\infty)]e^{-\frac{t}{\tau}} \approx U_{CC} - (U_{CC} + U_{OH})e^{-\frac{t}{\tau}}$$

设  $u_B(t)$  达到 0 V 时, 暂稳态结束

$$0 = U_{CC} - (U_{CC} + U_{OH})e^{-\frac{t_w}{\tau}}$$

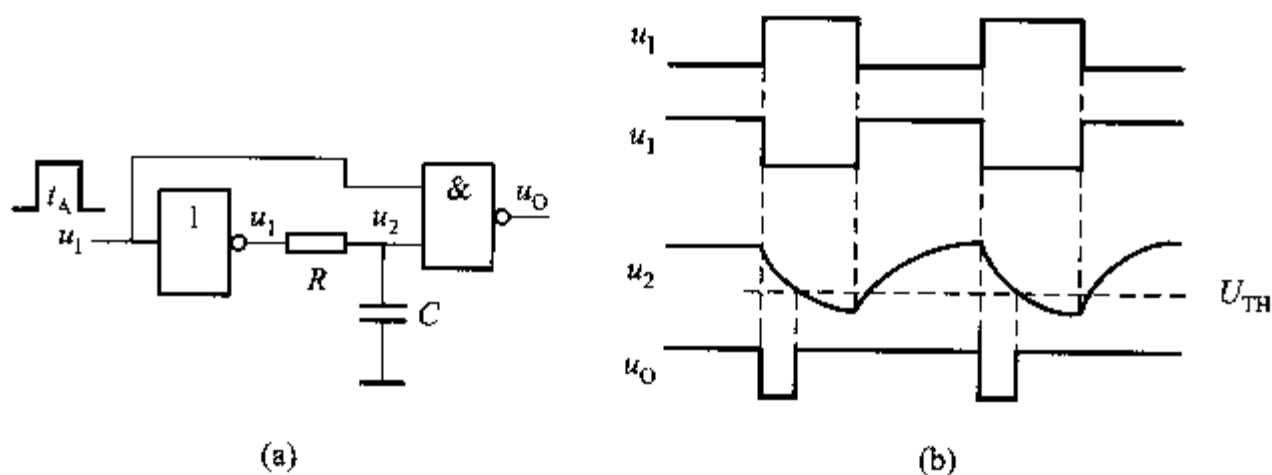
$$t_w = \tau \ln \frac{U_{CC} + U_{OH}}{U_{CC}} = R_B C \ln \frac{U_{CC} + U_{OH}}{U_{CC}}$$

习题 8.2 积分型单稳态触发器如习题 8.2 图(a) 所示, 其中  $t_A = 5 \mu s$ ,  $R = 300 \Omega$ ,  $C = 1 nF$ 。

(1) 分析电路的工作原理。

(2) 画出  $u_1$ 、 $u_1$ 、 $u_2$  和  $u_o$  的波形。

(3) 积分型单稳态触发器工作过程中是否存在正反馈?



习题 8.2 图

解: (1) 工作原理分析

稳态下, 由于  $u_i = 0$ , 所以  $u_o = U_{OH}$ ,  $u_1 = u_2 = U_{OH}$ 。

输入正脉冲后, 经反相后  $u_1$  跳变为低电平, 由于电容上的电压不能突变, 所以在一段时间里  $u_2$  仍然是高电平。在  $u_2$  维持高电平期间, 由于输入信号  $u_1$  也是高电平, 因此  $u_o = U_{OH}$ , 电路进入暂稳态, 且电容进入放电阶段。

随着电容的放电,  $u_2$  电压不断降低, 当  $u_2$  降到  $U_{TH}$  后,  $u_o$  重新回到高电平  $U_{OH}$ 。

当  $u_i$  重新返回到低电平时,  $u_1$  变为高电平  $U_{OH}$ , 并向电容充电, 经过一段时

间,  $u_2$  恢复至高电平  $U_{OH}$ , 电路达到稳态。

(2) 电路中  $u_1$ 、 $u_1$ 、 $u_2$  和  $u_0$  的波形如习题 8.2 图(b)所示。

(3) 由上述工作原理分析可知, 积分型单稳态触发器工作过程中不存在正反馈。

习题 8.3 集成单稳态触发器 74221 的定时电路如习题 8.3 图所示, 电路参数如下: 电容  $C$  为  $1\ \mu\text{F}$ ,  $R$  为  $5.1\ \text{k}\Omega$  的电阻和  $20\ \text{k}\Omega$  的电位器串联。

(1) 试估算  $t_w$  的变化范围。

(2) 为什么使用电位器时要串接一个电阻?

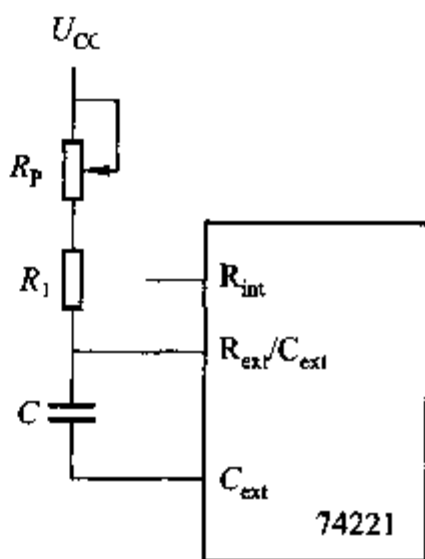
解: (1)  $t_w$  计算公式为:  $t_w = 0.7(R_1 + R_p)C$

其中,  $C = 1\ \mu\text{F}$ ,  $R_1 = 5.1\ \text{k}\Omega$ ,  $R_p = 20\ \text{k}\Omega$ , 将数据代入方程, 计算结果为  $t_w = 0.7[5.1 + (0 \sim 20)] \times 10^{-3} = 3.6 \sim 17.6\ \text{ms}$ 。

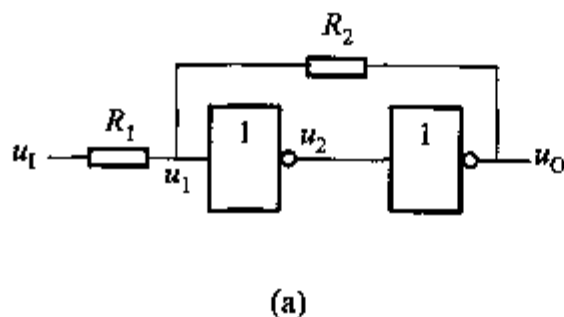
因此, 暂稳态的维持时间  $t_w$  的变化范围为  $3.6 \sim 17.6\ \text{ms}$ 。

(2) 由于电位器串联在电源正极与 74221 集成的一个外接元件引脚之间, 当调节电位器阻值最小时, 电源与该引脚短路, 易损坏集成电路。因此, 串联电阻, 防止短路现象的出现。

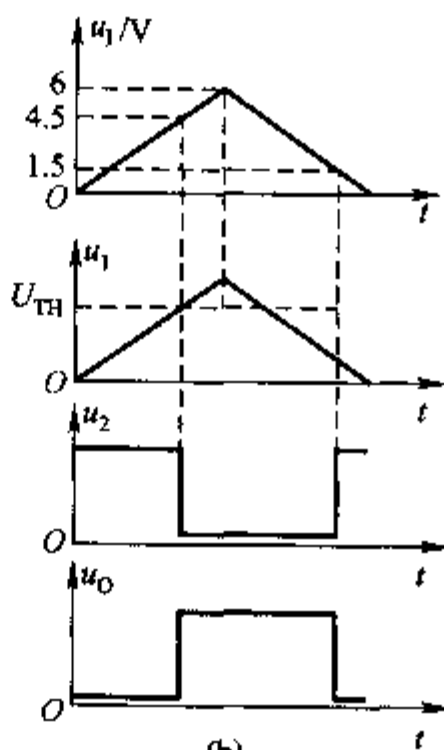
习题 8.4 如习题 8.4 图(a)所示是由两个 CMOS 非门组成的施密特触发器。已知  $R_1 = 100\ \text{k}\Omega$ ,  $R_2 = 200\ \text{k}\Omega$ ,  $U_{DD} = 6\ \text{V}$ ,  $u_1$  为  $0 \sim 6\ \text{V}$  的三角波。试分析其工作原理并画出  $u_1$ 、 $u_1$ 、 $u_2$  和  $u_0$  的波形。



习题 8.3 图



(a)



(b)

习题 8.4 图



解：当输入低电平  $u_1 = 0$  时， $u_1 = 0$ ，经反相器  $u_2 = U_{OH} = U_{DD}$ ，则  $u_0 = U_{OL} = 0$ 。

当输入  $u_1$  逐渐增加， $u_1$  增加到使  $u_1 = U_{TH}$  时，反相器的输出发生改变， $u_2$  由高电平  $U_{DD}$  跳变为低电平，经反相器反相后， $u_0$  由低电平跳变为高电平  $U_{DD}$ 。

求输出发生跳变时对应的输入电压  $U_{T+}$ ：

由电路已知  $U_{T+} = \frac{R_1 + R_2}{R_2} U_{TH}$ ，设  $U_{TH} = \frac{1}{2} U_{DD}$ ，代入已知参数，求得  $U_{T+} = 4.5 \text{ V}$ 。

当输入  $u_1$  继续增加时， $u_0$  维持高电平  $U_{DD}$  不变。

输入  $u_1$  开始降低， $u_1$  降低到使  $u_1 = U_{TH}$  时，反相器的输出发生改变， $u_2$  由低电平跳变为高电平  $U_{DD}$ ，经反相后， $u_0$  由高电平  $U_{DD}$  跳变为低电平。

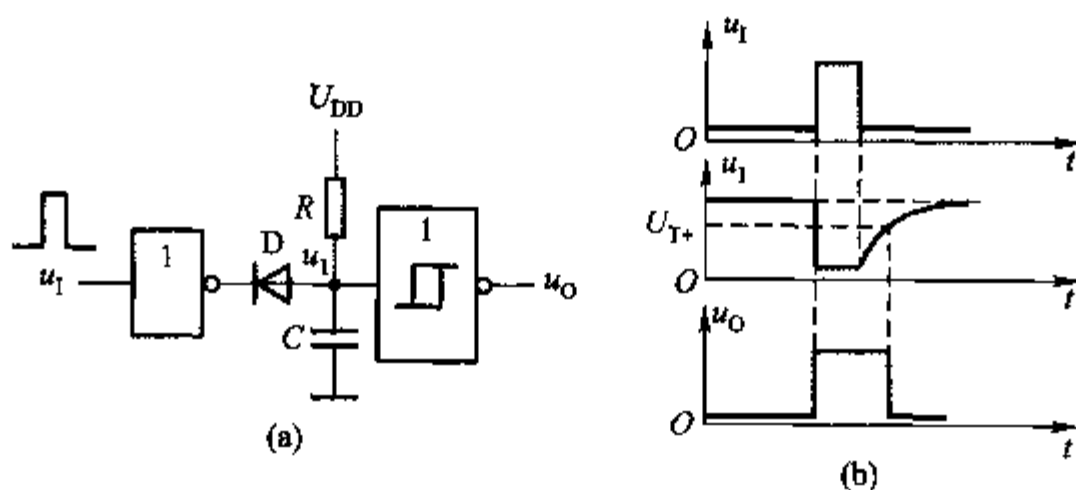
求输出发生跳变时对应的输入电压  $U_{T-}$ ：

由电路已知， $U_{TH} - U_{DD} = \frac{R_2}{R_1 + R_2} (U_{T-} - U_{DD})$ ，设  $U_{TH} = \frac{1}{2} U_{DD}$ ，代入已知参数，求得  $U_{T-} \approx 1.5 \text{ V}$ 。

当输入  $u_1$  继续降低时， $u_0$  维持低电平不变。该电路是同相输出的施密特触发器。

电路中  $u_1$ 、 $u_1$ 、 $u_2$  和  $u_0$  的波形如习题 8.4 图(b)所示。

习题 8.5 由施密特触发器构成的脉冲展宽电路如习题 8.5 图(a)所示，试分析其工作原理并画出  $u_1$  和  $u_0$  的波形。



习题 8.5 图

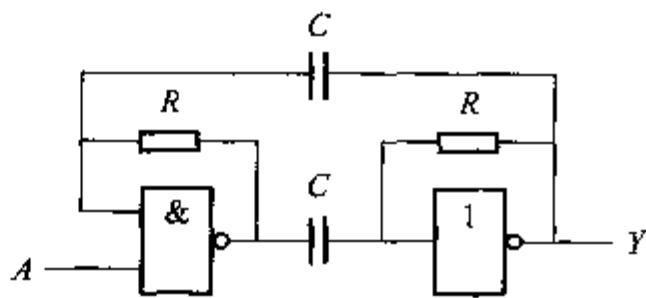
解：输入  $u_1$  低电平时，二极管  $D$  截止， $U_{DD}$  对电容  $C$  充电达到稳态值， $u_1$  为高电平  $U_{DD}$ ，此时，输出  $u_0$  低电平  $U_{OL}$ 。

输入  $u_1$  跳变为高电平时，瞬间电容上的电压不能跳变，因此  $u_1$  仍为高电平  $U_{DD}$ 。由于二极管  $D$  瞬间正偏且导通，电容上的电压沿二极管到地瞬间放电，输出  $u_0$  瞬间变为高电平  $U_{OH}$ 。

输入高电平结束,二极管截止,沿  $U_{DD} \rightarrow R \rightarrow C \rightarrow$  地向电容充电,  $u_i$  逐渐升高,当  $u_i$  升高到施密特触发器的正向阈值电压  $U_T$  时,输出  $u_o$  由高电平变为低电平  $U_{OL}$ 。

输出高电平的维持时间比输入高电平时间要长,长出的时间取决于电容充电时间的长短,因此该电路输出脉宽比输入信号脉宽要宽,故是脉冲展宽电路。 $u_i$ 、 $u_i$  和  $u_o$  的波形如习题 8.5 图(b)所示。

习题 8.6 如习题 8.6 图电路,  $R = 1\text{ k}\Omega$ ,  $C = 2\text{ }\mu\text{F}$ , TTL 门中多发射极管构成的与门电阻  $R_1 = 3\text{ k}\Omega$ 。试问:



习题 8.6 图

- (1) 输入端 A 有何作用?
- (2) 电路输出脉冲的周期是多少?
- (3) 电路的频率稳定性如何? 怎样提高其频率稳定度?

解: (1) 当 A 端为低电平时, 与门电路输出始终为高电平, 因此 Y 信号不变, 电路不产生输出脉冲。只有当 A 端为高电平时, 电路才会产生脉冲信号。因此, A 是产生脉冲输出的控制信号。

(2) 电路输出脉冲的周期  $T \approx 1.4RC$ , 代入已知参数:  $R = 1\text{ k}\Omega$ ,  $C = 2\text{ }\mu\text{F}$ , 求得  $T \approx 2.8\text{ ms}$ 。

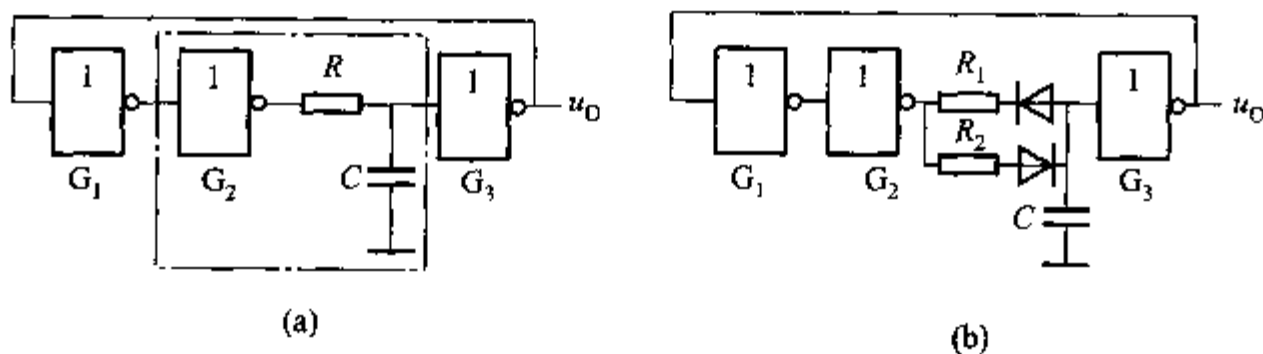
(3) 该电路的频率主要取决于门电路输入电压在充放电过程中达到电平转换所需要的时间, 所以电路的频率稳定性不高。提高其频率稳定度的最佳途径是在振荡电路中接入石英晶体, 构成石英晶体振荡器。

习题 8.7 设计一 TTL 门电路构成的 RC 环形振荡器, 要求  $f_0 \approx 500\text{ Hz}$ 。

求: (1) 确定 R 与 C 值。

(2) 修改电路, 使波形占空比准确等于 50%。

解: (1) 由 TTL 门电路构成的 RC 环形振荡器电路如习题 8.7 图(a)所示。



习题 8.7 图

$T \approx 2.2RC$ , 其中  $f_0 \approx 500\text{ Hz}$ , 设  $R = 10\text{ k}\Omega$ , 计算求得  $C \approx 0.022\text{ }\mu\text{F}$

(2) 修改电路的原则: 采取措施使电容充放电走两个不同的电阻支路, 分别

调整电阻的阻值使输出信号的占空比符合要求。修改电路如习题 8.7(b) 所示, 分别调整  $R_1$ 、 $R_2$  电阻的阻值使输出信号的占空比等于 50%。

习题 8.8 由多谐振荡器、 $D$  触发器和反相积分器组成的电路如习题 8.8 图(a) 所示。试分析其工作原理并定性画出  $u_1$ 、 $u_2$  和  $u_0$  的波形。

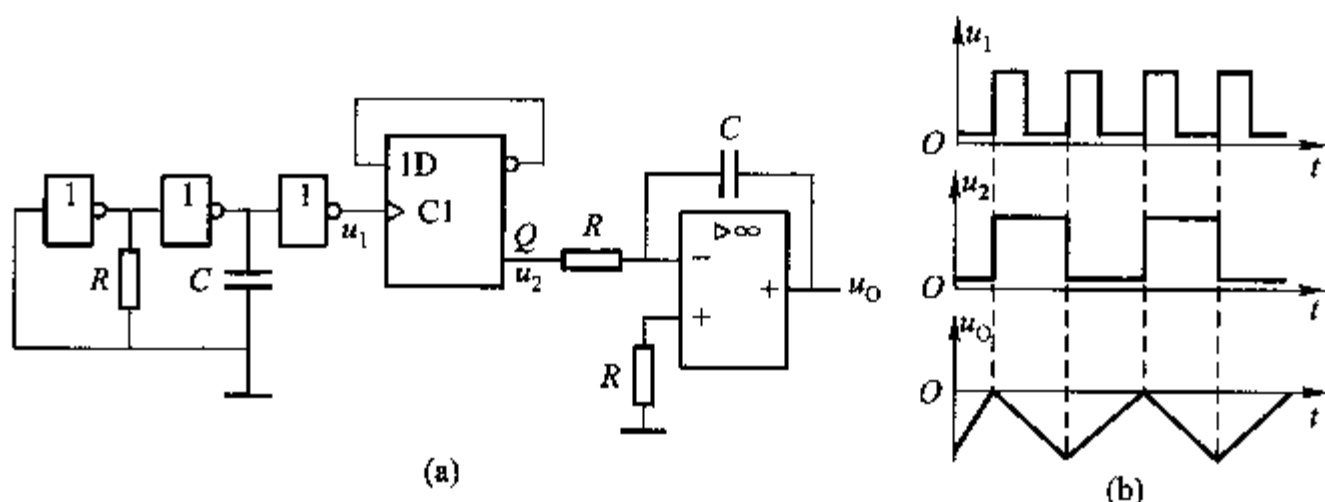
解: 电路分为三个组成部分: 反相器和  $RC$  组成的多谐振荡器、接成计数状态的  $D$  触发器以及运算放大器构成的反相积分器。

多谐振荡器产生矩形脉冲信号输出, 经反相器产生  $u_1$  信号。

$u_1$  作为  $D$  触发器的脉冲信号,  $D$  触发器接成计数状态 ( $D = \bar{Q}$ ),  $u_2$  是  $D$  触发器的输出端, 在  $u_1$  每个上升沿处  $u_2$  翻转一次。

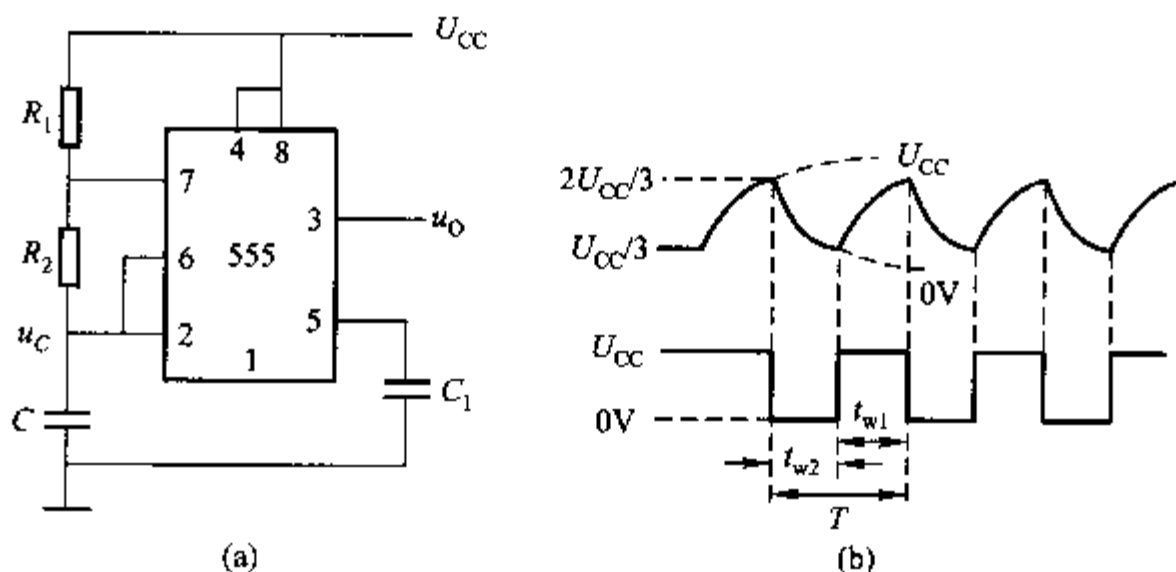
$u_2$  作为反相积分器的输入信号,  $u_0$  为反相积分器的输出信号。

依据上述分析, 定性画出  $u_1$ 、 $u_2$  和  $u_0$  的波形如习题 8.8 图(b) 所示。



习题 8.8 图

习题 8.9 由 555 电路构成的多谐振荡器如习题 8.9 图(a) 所示, 试分析其工作原理并画出工作波形。



习题 8.9 图

解: 在接通电源的瞬间, 设电容起始电压为零, 因此引脚 2 和 6 的电位  $u_c = 0 \text{ V}$ , 输出电压  $u_o$  为高电平, 引脚 7 截止, 电源  $U_{CC}$  经  $R_1$ 、 $R_2$  对  $C$  充电, 充电时间常数  $\tau_{充} = (R_1 + R_2) \cdot C$ ,  $u_c$  逐渐升高, 这是电路的一个暂稳态。

当  $u_c$  逐渐升高到  $u_c \geq \frac{2}{3}U_{CC}$  时,  $u_o$  由高电平变为低电平, 引脚 7 与接地端导通, 电容  $C$  经电阻  $R_2$  放电, 放电时间常数  $\tau_{放} = R_2 C$ ,  $u_c$  逐渐降低, 这是电路的另一个暂稳态。

当  $u_c$  逐渐降低到  $u_c \leq \frac{1}{3}U_{CC}$  时,  $u_o$  由低电平变为高电平, 引脚 7 截止, 电源经  $R_1$ 、 $R_2$  再次对  $C$  充电, 重复上述过程, 在  $u_o$  端得到矩形波脉冲电压如习题 8.9 图(b)所示。

多谐振荡器的振荡周期  $T = t_{w1} + t_{w2}$ 。

其中,  $t_{w1}$  是电容  $C$  上的电压由  $\frac{1}{3}U_{CC}$  充电到  $\frac{2}{3}U_{CC}$  所需的时间,  $t_{w1}$  估算为

$$\begin{aligned} t_{w1} &= \tau \ln \frac{u_c(\infty) - u_c(0^+)}{u_c(\infty) - u_c(t_{w1})} = (R_1 + R_2) C \ln \frac{U_{CC} - \frac{1}{3}U_{CC}}{U_{CC} - \frac{2}{3}U_{CC}} \\ &= (R_1 + R_2) C \ln 2 \approx 0.7(R_1 + R_2) C \end{aligned}$$

$t_{w2}$  是电容  $C$  上的电压由  $\frac{2}{3}U_{CC}$  下降到  $\frac{1}{3}U_{CC}$  所需的时间,  $t_{w2}$  估算为

$$t_{w2} = \tau \ln \frac{u_c(\infty) - u_c(0^+)}{u_c(\infty) - u_c(t_{w2})} = R_2 C \ln \frac{0 - \frac{2}{3}U_{CC}}{0 - \frac{1}{3}U_{CC}} = R_2 C \ln 2 \approx 0.7R_2 C$$

多谐振荡器的振荡周期  $T$  为

$$T = t_{w1} + t_{w2} \approx 0.7(R_1 + 2R_2) C$$

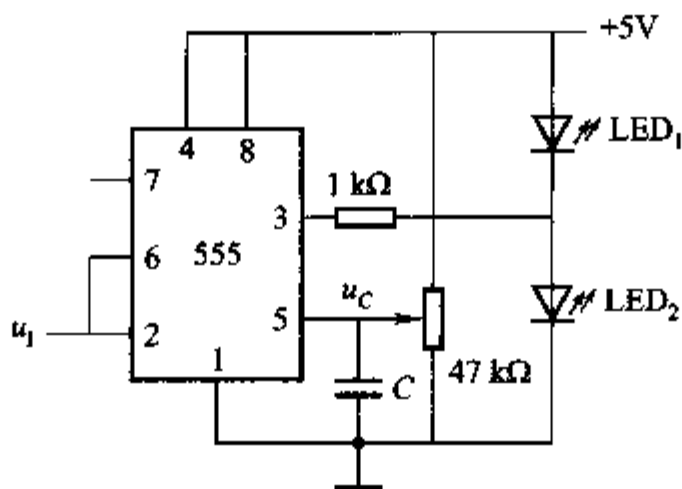
振荡频率  $f$  为

$$f = \frac{1}{T} = \frac{1}{0.7(R_1 + 2R_2) C}$$

习题 8.10 由 555 定时器组成的逻辑电平检测装置如习题 8.10 图所示, 其中,  $u_c$  调到 2.4 V。试回答以下问题:

- (1) 555 定时器接成了什么电路?
- (2) 可检测的逻辑高、低电平各是多少?
- (3) 检测到高、低电平后, 两个发光二极管如何点亮?

解: (1) 由习题 8.10 图可知电路连接, 555 定时器的两个输入端引脚 2 和 6 连在一起作为输入信号端  $u_i$ , 引脚 5 的电压控制端连接  $u_c = 2.4 \text{ V}$ , 引脚 3 是定



习题 8.10 图

时器的输出与发光二极管相连。

分析  $u_i$  从零逐渐变大时信号的变化过程如下：

当  $u_i < \frac{1}{2}u_c$  时，低电平触发端 2 和高电平触发端 6 均小于  $\frac{1}{2}u_c$ ，定时器输出高电平。

当  $\frac{1}{2}u_c < u_i < u_c$  时，2 和 6 端电压均在  $\frac{1}{2}u_c \sim u_c$  范围内变化，定时器输出状态保持高电平不变。

当  $u_i > u_c$  时，2 和 6 端电压均大于  $u_c$ ，定时器输出由高电平变为低电平。

分析  $u_i$  从高于  $u_c$  逐渐变小时输出信号的变化过程如下：

当  $\frac{1}{2}u_c < u_i < u_c$  时，定时器输出状态保持低电平不变。

当  $u_i < \frac{1}{2}u_c$  时，定时器输出由低电平变为高电平。

由此分析可知，该电路是施密特触发器，其正向阈值电压  $U_{T+} = u_c$ ，负向阈值电压  $U_{T-} = \frac{1}{2}u_c$ ，回差电压  $\Delta U = \frac{1}{2}u_c$ 。

(2) 该电路可检测的逻辑高、低电平各是  $u_c$  和  $\frac{1}{2}u_c$ 。

(3) 检测到高电平后，定时器输出由高电平变为低电平，所以 LED<sub>1</sub> 亮、LED<sub>2</sub> 灭。检测到低电平后，定时器输出由低电平变为高电平，所以 LED<sub>1</sub> 灭、LED<sub>2</sub> 亮。

## 第九章 数字系统设计

数字系统设计将数字电子技术基础课程中的大、中、小规模集成电路按给定技术指标构成一个较复杂的电路。掌握了本章数字系统的设计方法,对于重新理解本课程学习的组合电路、时序电路将有一个飞跃的认识,为后续的单片机、微机原理等课程打下良好的基础。

### 第一节 基本知识、重点与难点

#### 一、基本知识

##### (一) 数字系统的基本组成

数字系统包括控制电路和受控电路两大部分。受控电路在控制电路的信号控制下可以完成各种逻辑操作。控制器是控制系统内各部分协同工作的电路,它根据外部输入信号以及受控电路送来的反映当前状态的内部应答信号,产生对受控电路的控制信号以及系统对外界的输出信号,使各模块按正确的时序进行工作。有的较大的数字系统还设置了输入、输出接口和存储器。

##### (二) 传统和现代数字系统设计方法

传统的数字电路理论中,由真值表、卡诺图、布尔方程、状态表和状态图来完整描述逻辑电路的功能。

现代设计方法是设计者从整个系统逻辑功能出发,进行最上层的系统设计,而后按一定的原则将全局系统分成若干子系统,逐级向下,再将每个子系统分为若干功能模块,模块还可以继续向下划分成子模块,直至分成许多最基本模块实现。

##### (三) 现代数字系统的设计流程

在设计的一个层次上,都由描述、划分、综合和验证等四步工作。描述是设计电路与系统的输入方法,整个设计流程只有这部分是由设计者完成,因此它是设计者和 EDA 工具的界面。系统验证、功能验证和逻辑验证是对实际数字系统加以抽象制成模型,送入计算机后,在外部将激励信号施加于此模型,通过观察模型在外部激励信号作用下的反应,判断数字系统是否能实现预期功能。综合则是分析的逆过程,给定电路应实现的功能和实现此电路的约束条件,最后得到一个满足上述要求的设计方案。

#### (四) ASM 图和 MDS 图

1. ASM (Algorithmic State Machine) 图称为算法状态机图, 它用符号来表示系统的时序操作, 类似于流程图的形式, 但又不同于流程图。在流程图中看到的是事件的操作过程, 即数据流在数据系统中的流动。而在 ASM 图中看到的不仅是事件的操作顺序, 而且还表明了控制子系统状态转换顺序。

2. MDS (Mnemonic Documented State) 图是用助记符号表示的状态图, 类似于状态图, 但由于它利用符号和表达式来表示状态的转换条件和输出, 使其比通常的状态图更具有一般性。

#### (五) 数字系统设计方法

自上而下的数字系统设计步骤可以归纳为以下几点:

##### 1. 明确设计要求

首先对一个设计任务进行消化理解, 将设计要求罗列成条, 每一条都应是无二意的。接着要明确数字系统的逻辑功能和性能指标。在明确了设计要求之后画出系统的简单示意方框图, 标明输入输出信号及必要的指标。

##### 2. 确定系统方案

这一步要确定实现系统功能的原理和方法, 是最具有创造性的工作。方案的优劣直接关系到系统的质量, 因此要反复比较与权衡。系统方案确定之后要求画出系统方框图、详细的流程图或用描述语言写出的算法。

##### 3. 受控器的设计

根据系统方案选择合理的器件构成受控器电路, 还可再根据设计要求对电路进行时序设计, 得到实用的受控器电路。

##### 4. 控制器的硬件设计

根据描述系统方案的模型导出 MDS 图或 ASM 图, 按照要求选择模块电路构成控制器或编写出实现控制器的 VHDL 语言程序, 最后得到控制器电路。然后再将控制器和受控器电路连接在一起, 从而得到整个数字系统的电路。

## 二、重点与难点

### 重点:

1. 从上至下的现代数字系统设计的重要任务是设计控制电路, 而控制电路通常相当于不大的时序机, 并且控制电路在系统或子系统中只有一个, 设计工作不是相当复杂。从上至下的层次化设计的层次数一般不受限制。

2. ASM 图的建立是整个过程中的关键步骤, 这一步解决得好, 以后各个步骤就比较容易解决。用 ASM 图描述一个数字系统不是唯一的, 应选择最佳的 ASM 图方案。

3. 数字系统设计的具体步骤是:

- (1) 在详细了解设计任务的基础上,确定顶层系统的方案。
- (2) 列出各个输入变量。
- (3) 列出各个输出变量。
- (4) 给定时钟周期  $T$ 。
- (5) 画出 ASM 图。

难点:

1. 根据数字系统要求建立 ASM 图。
2. 数字系统的系统级设计和逻辑级设计。系统级设计即原理性设计,是数字系统设计的关键步骤,也是最困难的、最具有创造性的一步。
3. 根据 ASM 图设计出控制器的 VHDL 语言描述的电路。

### 三、考核题型与考核重点

#### 1. 概念与简答

题型 1 为填空、判断和选择。

题型 2 为叙述基本概念与特点。

分配的分数为 3 ~ 6 分。

#### 2. 综合与设计

题型 1 为根据系统要求设计 ASM 图。

题型 2 为根据 ASM 图设计实现 ASM 图的 VHDL 程序。

分配的分数为 5 ~ 10 分。

## 第二节 典型题解

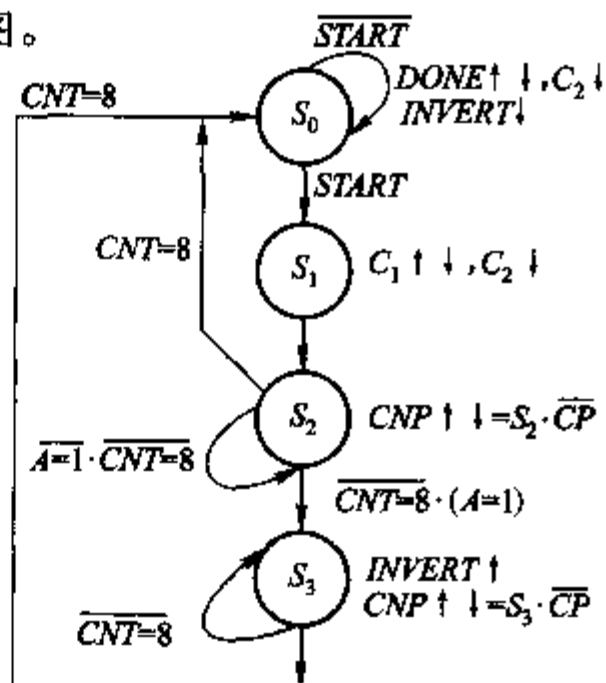
例题 9.1 分析例题 9.1 图所示的 MDS 图。

解: 根据 MDS 图的符号及其定义, 分析出 MDS 图共四个状态  $S_0$ 、 $S_1$ 、 $S_2$  和  $S_3$ 。

(1)  $S_0$  状态: 进  $S_0$  状态时,  $DONE$  有效,  $C2$ 、 $INVERT$  无效, 退出  $S_0$  时  $DONE$  无效。当  $START$  无效时, 在  $S_0$  状态不变; 当  $START$  有效时, 转到  $S_1$  状态。

(2)  $S_1$  状态: 进入  $S_1$  状态时,  $C_1$ 、 $C_2$  有效, 退出  $S_1$  时  $C_1$  无效。在  $S_1$  状态不停留, 直接转向  $S_2$  状态。当  $CNT = 8$  有效时, 返回到  $S_0$  状态。

(3)  $S_2$  状态: 在  $S_2$  状态时,  $CP$  为低电



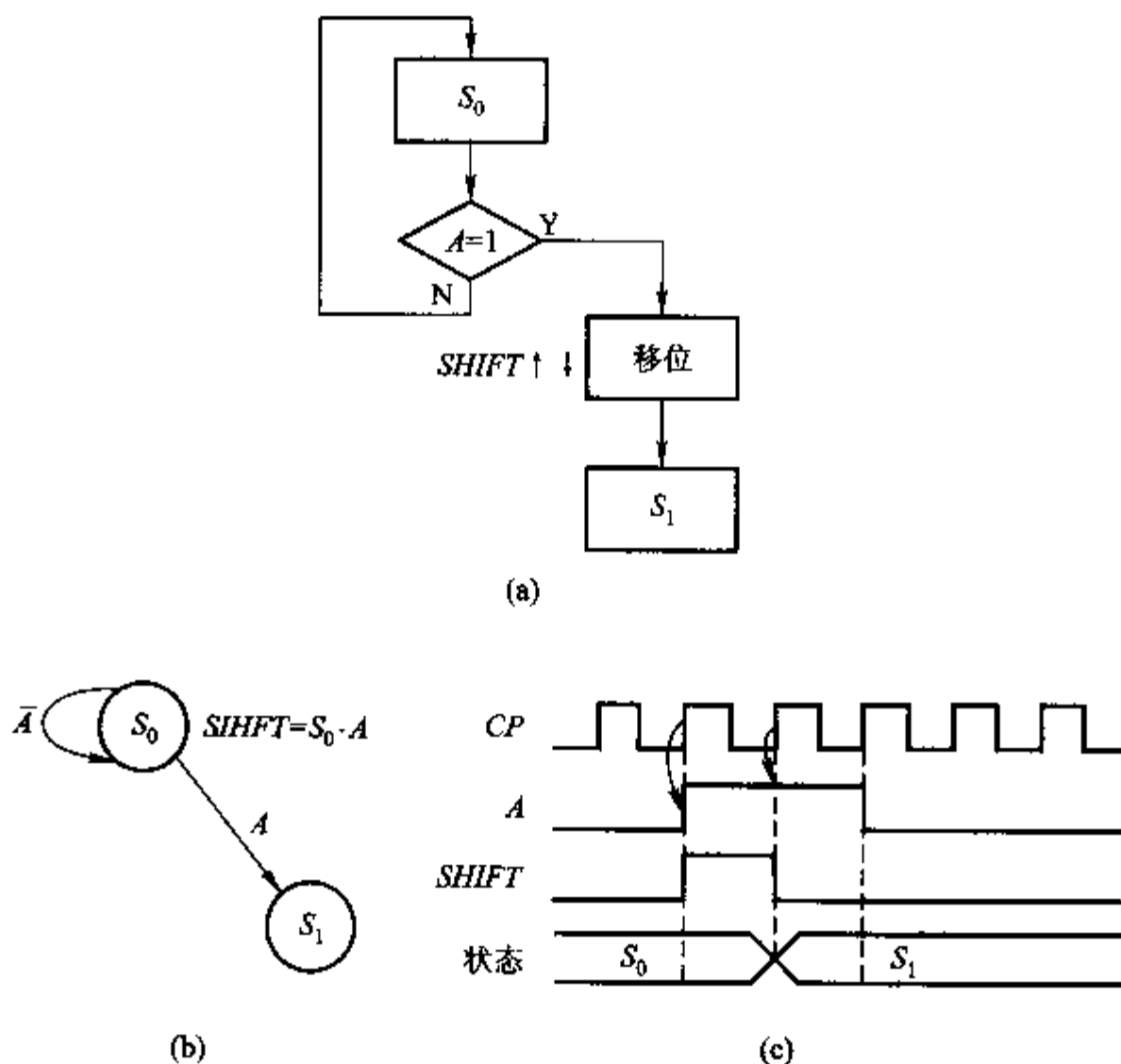
例题 9.1 图 MDS 图



平,则  $CNP$  有效,否则无效。此时,  $A = 1$  无效,且  $CNT = 8$  无效,  $S_2$  状态保持不变。当  $A = 1$  有效,且  $CNT = 8$  为低电平时,转向  $S_3$  状态。

(4)  $S_3$  状态:进入  $S_3$  状态时,  $INVERT$  有效。在  $S_3$  状态时,  $CP$  为低电平,则  $CNP$  有效,否则无效。当  $CNT = 8$  有效时,返回到  $S_0$  状态;当  $CNT = 8$  无效时,保持  $S_3$  状态不变。

例题 9.2 分析例题 9.2 图 所示的 ASM 图,将 ASM 图转换成 MDS 图,并画出的对应波形。



例题 9.2 图 ASM 图

解: 例题 9.2 图(a)所示的 ASM 图有两个状态  $S_0$  和  $S_1$ 。在  $S_0$  状态时,当  $A = 0$  时,保持  $S_0$  状态不变;当  $A = 1$  时,执行移位操作,并进入  $S_1$  状态。

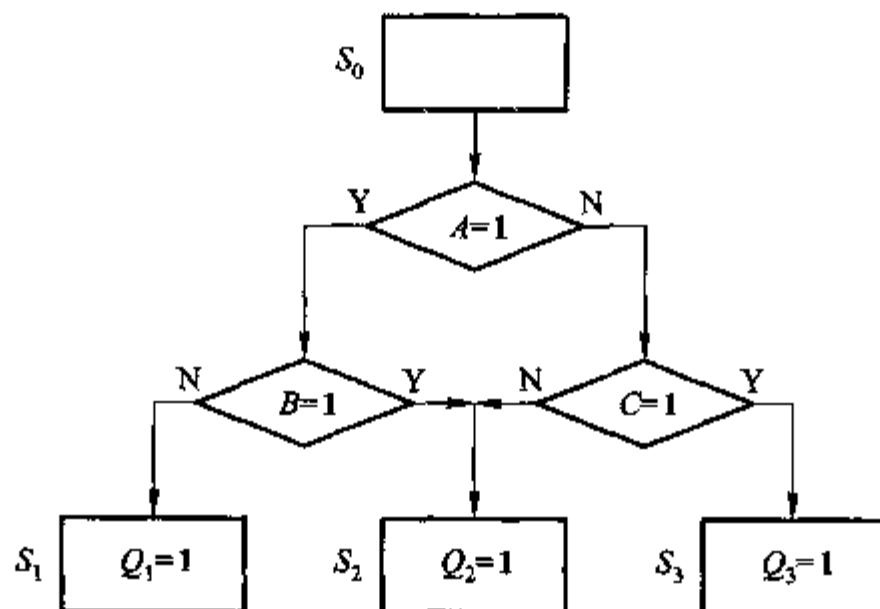
ASM 图转换 MDS 图的原则是:

- (1) ASM 图中的状态框对应 MDS 图中的一个状态。
- (2) 将状态框的操作和输出放在 MDS 图状态圈旁。
- (3) ASM 图条件框对应 MDS 图的分支,把判别条件写在 MDS 图的状态转移线旁。
- (4) ASM 图条件输出框对应 MDS 图的条件输出,把条件输出和条件操作所

需控制信号写在 MDS 的对应状态圈旁。

依照以上原则,画出对应例题 9.2 图(a)的 MDS 图如例题 9.2 图(b)所示,对应波形如例题 9.2 图(c)所示。

例题 9.3 分析例题 9.3 图所示的 ASM 图,根据 ASM 图写出 VHDL 程序。



例题 9.3 图

解: 例题 9.3 图共有 4 种状态,  $S_0$ 、 $S_1$ 、 $S_2$  和  $S_3$ 。在  $S_0$  状态时, 当  $A=1$ 、 $B=1$  进入  $S_2$  状态; 当  $A=1$ 、 $B=0$  进入  $S_1$  状态; 当  $A=0$ 、 $C=1$  进入  $S_3$  状态; 当  $A=0$ 、 $C=0$  进入  $S_2$  状态。

根据 ASM 图写出 VHDL 程序如下:

```
LIBRARY ieee;
```

```
USE ieee.std_logic_1164.all;
```

```
ENTITY asm IS
```

```
    PORT( clk,a,b,c:IN std_logic;
```

```
          Q1,Q2,Q3:OUT std_logic);
```

```
END asm;
```

```
ARCHITECTURE asm_arc OF asm IS
```

```
    SIGNAL current_c:INTEGER RANGE 0 TO 3;
```

```
BEGIN
```

```
    PROCESS
```

```
    BEGIN
```

```
        WAIT UNTIL clk = '1' AND clk'EVENT;
```

```
        CASE current_c IS
```

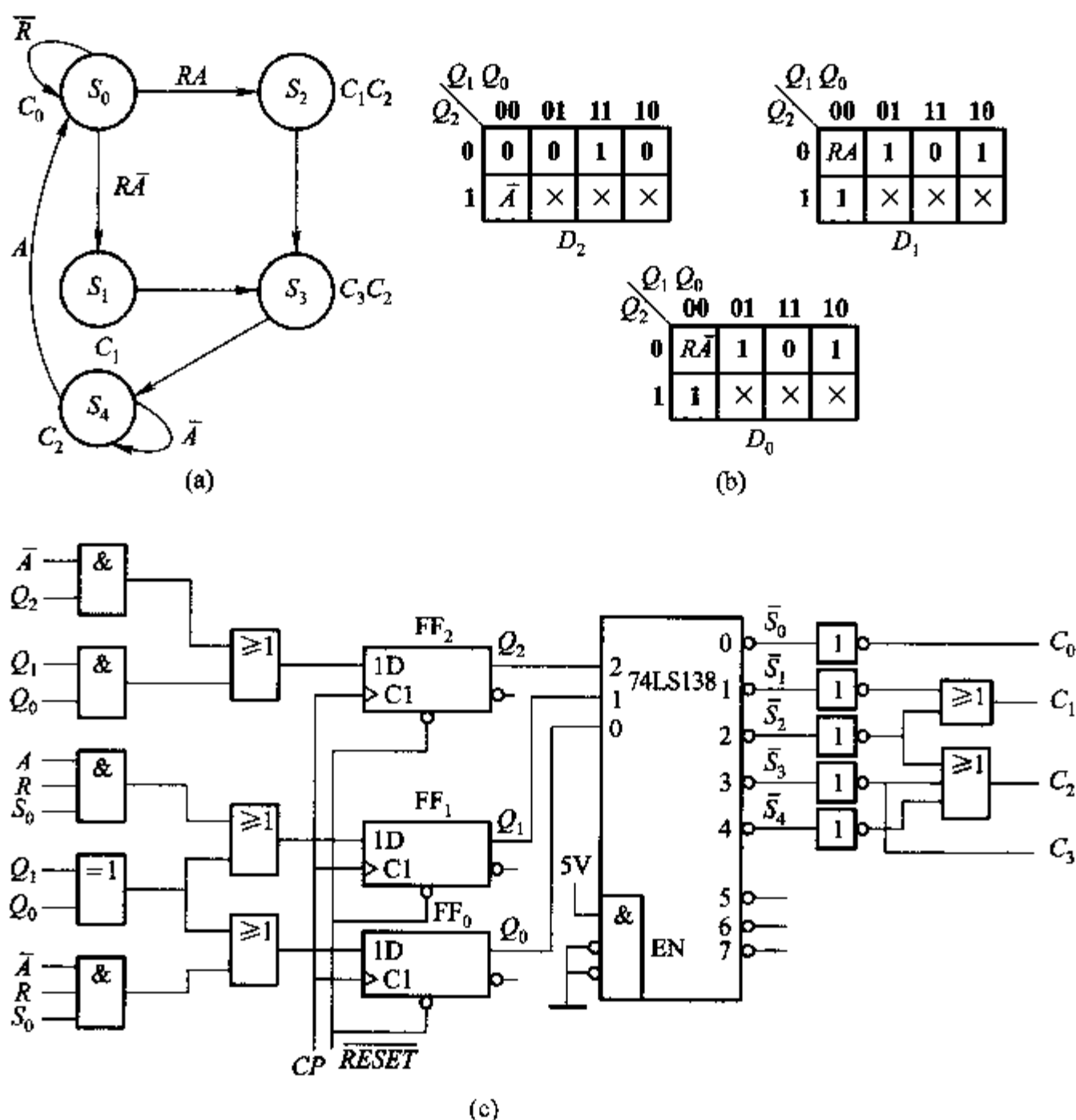
```
            WHEN 0 =>
```

```
                IF A = 1 AND B = 1 THEN current_c <= 2; Q2 = 1;END IF;
```

```

IF A = 1 AND B = 0 THEN current_c <= 1; Q1 = 1; END IF;
IF A = 0 AND C = 1 THEN current_c <= 3; Q3 = 1; END IF;
IF A = 0 AND C = 0 THEN current_c <= 2; Q2 = 1; END IF;
END CASE;
END PROCESS;
END asm_arc;
    
```

例 9.4 某数字系统的 MDS 图如例 9.4 图(a)所示,  $R$ 、 $A$  为输入信号,  $C_i (i=0, \dots, 3)$  为输出信号, 设计此系统的控制电路。



例 9.4 图

解: 此题采用 3 个  $D$  触发器作为状态寄存器, 采用二进制编码 ( $Q_2, Q_1, Q_0$ ) 列出状态转换表, 如例 9.4 表所示。画出激励函数卡诺图, 如例 9.4 图(b)所示, 并写出函数表达式

$$D_2 = \bar{A}Q_2 + Q_1Q_0$$

$$D_1 = S_0RA + Q_1 \oplus Q_0$$

$$D_0 = S_0\bar{R}\bar{A} + Q_1 \oplus Q_0$$

输出函数表达式

$$C_0 = S_0$$

$$C_1 = S_1 + S_2$$

$$C_2 = S_2 + S_3 + S_4$$

$$C_3 = S_3$$

画出控制器的电路原理图,如例题 9.4 图(c)所示。

例题 9.4 表 状态转换表

次 态 现 态	输入(RA)				控制信号
	00	01	11	10	
$S_0$ 000	000	000	010	001	$C_0$
$S_1$ 001	011	011	011	011	$C_1$
$S_2$ 010	011	011	011	011	$C_1$ $C_2$
$S_3$ 011	100	100	100	100	$C_2$ $C_3$
$S_4$ 100	100	000	000	100	$C_2$

### 第三节 题 解

#### 自我检测题解

题 9.1 答: 数字逻辑系统包括控制电路与受控电路、输入输出接口、存储器三个子系统。

题 9.2 答: 数字系统中的信息有两类,一类是 控制 信息,另一类是 数据 信息,但它们都用 相同 的方法来存储、传输和处理。

题 9.3 答: 数字系统设计方法采用 从上至下 过程,将系统划分成若干 子系统。

题 9.4 答: ASM 本质上是一个 事件的精确时间间隔序列,主要用于 数字系统,它可以较好地描述 数字系统 的功能和状态变化条件。

题 9.5 答: ASM 流程图由 状态框、条件分支框、条件输出框 三种基本符号组成。

题 9.6 答: 数字系统核心问题是 系统级设计 问题,因为它是实现子系统和

整个系统的 最困难 与 最具创造性 的过程。

题 9.7 答: 数字系统是指 D。

(A) 计数器 (B) 寄存器 (C) 加法器 (D) 逻辑子系统的集合

题 9.8 答: 数字系统与逻辑功能部件的主要区别在于有没有 B。

(A) 存储器 (B) 控制器 (C) 加法器 (D) 译码器

题 9.9 答: 双向数据总线可以采用 B 构成。

(A) 译码器 (B) 三态门 (C) 多路选择器

题 9.10 答: 数字系统设计的第一步是 D。

(A) 子系统的划分 (B) 子系统的设计

(C) 控制器的设计 (D) ASM 流程图的设计

### 思考题题解

题 9.1 试说明 ASM 图与软件流程图有何差别。

答: 不同点在于 ASM 图时间作为参数, 即每隔一定数量的时钟, 转移到下个状态, 而软件流程图只表示事件序列, 没有时间的概念。

题 9.2 试举例说明 ASM 图的输入变量与输出函数的区别。

答: ASM 图的输入信号是在状态框中表示, 如  $A \leq B$ , 而输出函数则是在条件输出框中表示。

题 9.3 叙述从上至下的设计方法及其特点。

答: 从上至下 (from top to down) 设计方法是设计者从整个系统逻辑功能出发, 进行最上层的系统设计, 而后按一定的原则将全局系统化分成若干子系统, 逐级向下, 再将每个子系统分为若干功能模块, 模块还可以继续向下划分成子模块, 直至分成许多最基本模块 (甚至单片芯片) 实现。从上至下的划分过程中, 最重要的是将系统划分成控制电路和若干个受控电路的功能模块。从整体上看, 从上至下的设计方法就是把一个复杂的系统设计工作化为一个较小规模的时序机和一些受控电路基本模块的问题, 从而大大简化了设计的难度, 缩短了设计周期。从另一角度看, 大部分受控电路的基本模块已经经过验证, 若修改只需对控制电路进行适当的调整, 给设计工作带来很大的方便。

题 9.4 讨论控制器是如何控制外围电路的。

答: 控制器通常相当于不大的时序机, 并且控制器在系统或子系统中只有一个。控制器在时钟信号的激励下, 根据当前所在状态以及外部输入信号, 按照事先设计好的状态转移流程切换状态, 并产生相应的控制信号送给受控器实现对受控器的控制, 同时, 受控器也产生相应的应答信号反馈给控制器, 作为下一次状态切换的输入条件。

题 9.5 可以选择哪些器件作为单向数据总线或选择哪些器件作为双向数

据总线,为什么?

答:单向数据总线可以用多路选择器实现,双向数据总线可以用三态门实现。多路数据选择器的  $n$  个输入  $D_1 \sim D_n$  为挂接在总线上的  $n$  个设备的输出(或输入),多路数据选择器的 1 个输出  $D$  为单向总线。多路数据选择器的选择信号,由各设备的片选信号编码得到。

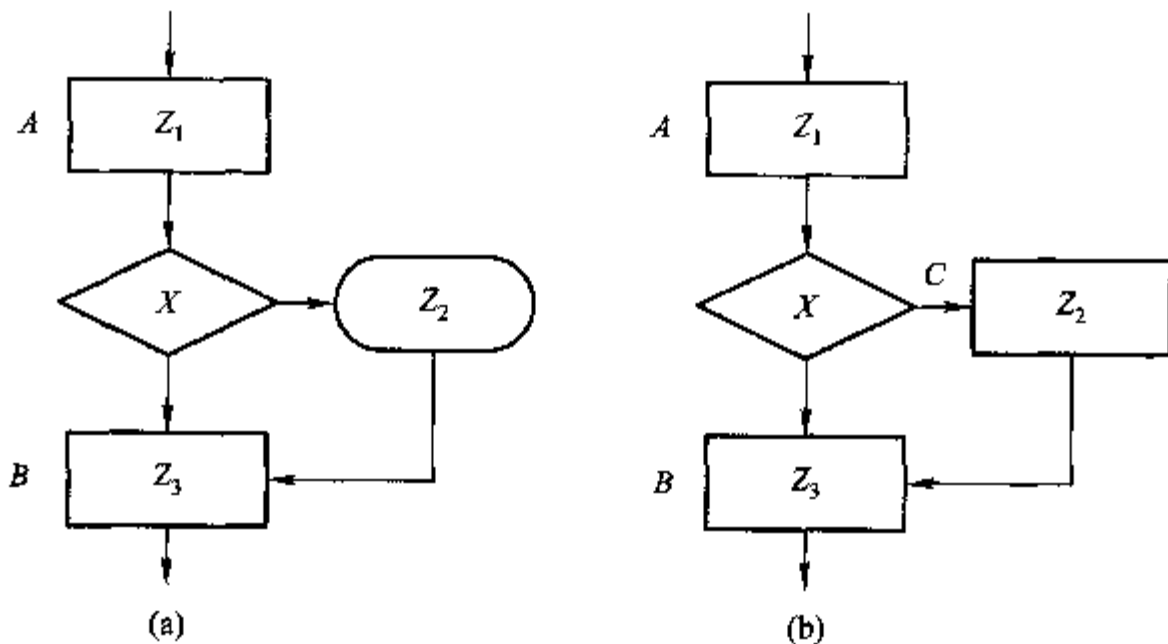
题 9.6 叙述数字系统设计的步骤。

答:步骤如下:

- (1) 在详细了解设计任务的基础上,确定顶层系统的方案。
- (2) 列出各个输入变量。
- (3) 列出各个输出变量。
- (4) 给定时钟周期。
- (5) 画出 ASM 图或 MDS 图。
- (6) 根据 ASM 图或 MDS 图完成逻辑设计。

### 习题题解

习题 9.1 用时序图指出习题 9.1 图的两个 ASM 图的差别。写出各自的输出表达式。



习题 9.1 图

解:在习题 9.1 图(a)中,当在 A 状态时,满足 X 条件则输出  $Z_2$ ,进入 B 状态;输出方程为

$$Z_1 = A$$

$$Z_2 = AX$$

$$Z_3 = B$$

在习题 9.1 图(b)中,当在 A 状态时,满足 X 条件则进入 C 状态输出  $Z_2$ ,然

后进入  $B$  状态;输出方程为

$$Z_1 = A$$

$$Z_2 = C$$

$$Z_3 = B$$

习题 9.2 用 VHDL 程序实现习题 9.2 图所示的 ASM 图。

解: 本题存在四个状态  $A$ 、 $B$ 、 $C$  和  $D$ , 输入信号有 3 个:  $X2$ 、 $X3$  和  $X4$ , 输出一个  $Z$ 。根据 ASM 图可写出 VHDL 程序如下:

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
PACKAGE state_pack IS
    TYPE state IS (QA, QB, QC,
    QD);
END state_pack;
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE work_state_pack.all;
ENTITY pd IS
    PORT( CLK, X2, X3, X4 : IN std_
    logic;

```

```

        Z : OUT std_logic);

```

```

END pd;

```

```

ARCHITECTURE pd_arch OD pd IS

```

```

    SIGNAL current_state : state_pack := QA;

```

```

BEGIN

```

```

    PROCESS

```

```

    BEGIN

```

```

        WAIT UNTIL CLK = '1' AND CLK'EVENT;

```

```

        CASE current_state IS

```

```

            WHEN QA =>

```

```

                Z <= '0'; current_state <= QB;

```

```

            WHEN QB =>

```

```

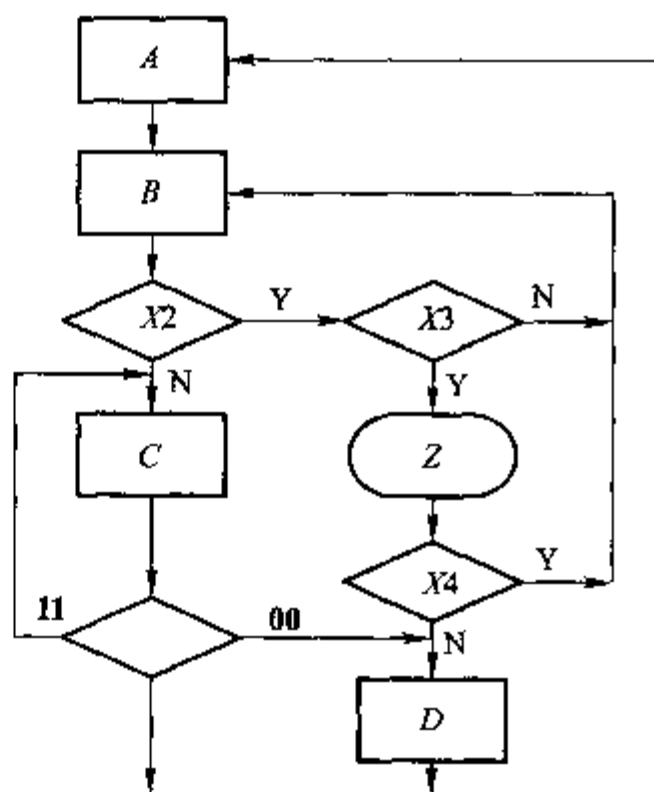
                Z <= '0';

```

```

                IF X2 = 0 THEN current_state <= QC; Z <= '0'; END IF;

```



习题 9.2 图

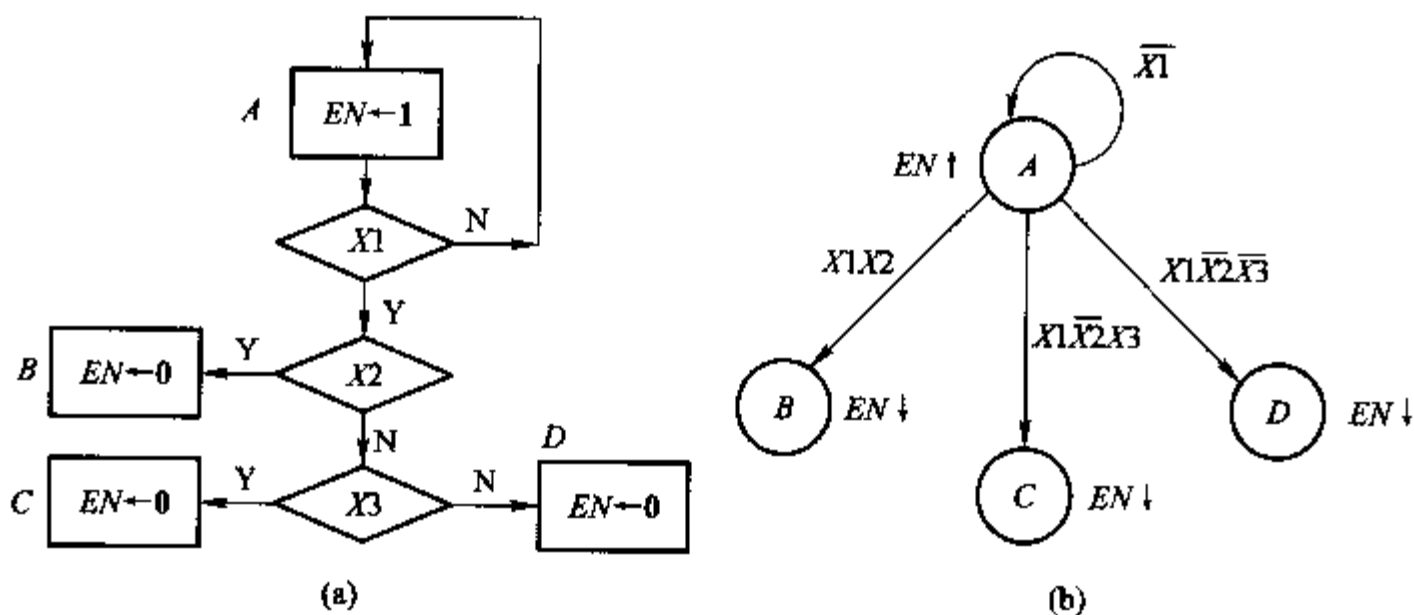
```

IF X2 = 1 AND X3 = 0 THEN current_state <= QB; Z <= '0'; END IF;
IF X2 = 1 AND X3 = 1 THEN Z <= '1';
IF X4 = 1 THEN current_state <= QB;
ELSIF X4 = 0 THEN current_state <= QD;
END IF;
END IF;
END IF;
WHEN QC = >
IF X2 = 0 AND X3 = 0 THEN current_state <= QD; Z <= '0';
END IF;

IF X2 = 1 AND X3 = 1 THEN current_state <= QC; Z <= '0';
ELSE current_state <= QA; Z <= '0';
END IF;
WHEN QD = >
current_state <= QA; Z <= '0';
END CASE;
END PROCESS;
END pd_arch;

```

习题 9.3 转换习题 9.3 图 (a) ASM 图到 MDS 图。



习题 9.3 图

解：此题共有四个状态，三个输入信号，一个使能。初始状态起于 A，按不同的条件进入不同的状态。条件的书写是按条件的串联为与处理，条件的并联是按或处理。习题 9.3 图 (a) ASM 图的 MDS 图如习题 9.3 图 (b) 所示。

习题 9.4 串行数据序列是每个时钟周期  $T$  传送一个数据 0 或 1 的数据流。设  $X$  为输入的串行数据序列，当检测到数据流中出现所需的 010 数据时，使



检测器的输出  $Z$  为 1。画出 ASM 图,并将其转换成 MDS 图。

解: 电路可设置四个状态,  $A$ 、 $B$ 、 $C$ 、 $D$ , 一个输入  $X$  和一个输出  $Z$ 。

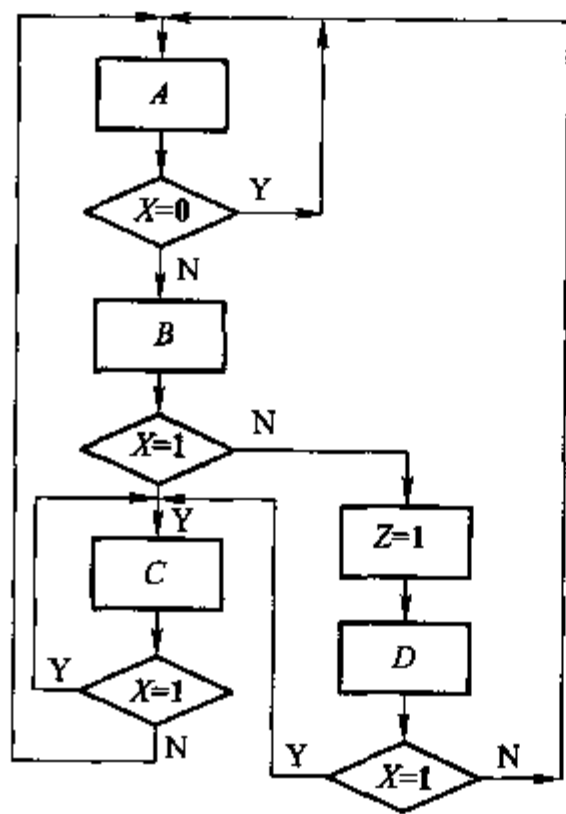
(1) 当检测器处于  $A$  状态时, 若输入  $X$  是 0 则维持原状态, 否则进入  $B$  状态。

(2) 当检测器处于  $B$  状态时, 若输入  $X$  是 1 则进入  $C$  状态, 否则输出  $Z=1$ , 并进入  $D$  状态。

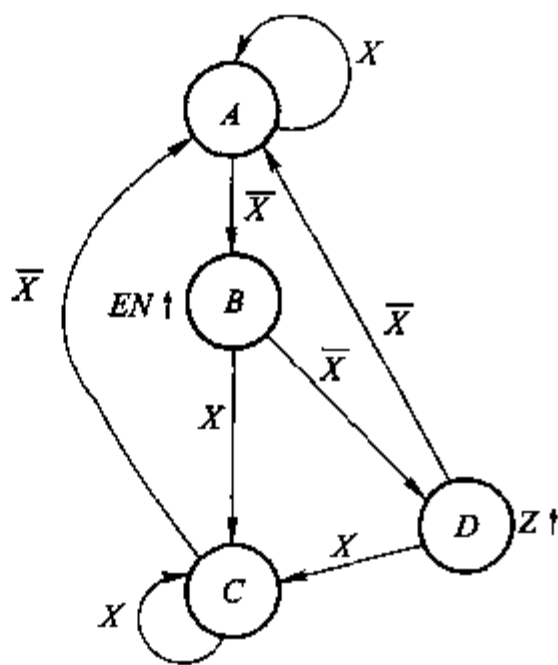
(3) 当检测器处于  $C$  状态时, 若输入  $X$  是 1 则返回  $C$  状态, 否则进入  $A$  状态。

(4) 当检测器处于  $D$  状态时, 若输入  $X$  是 1 则进入  $C$  状态, 否则进入  $A$  状态。

ASM 图如习题 9.4 图(a)所示, MDS 图如习题 9.4 图(b)所示。



(a)



(b)

习题 9.4 图

习题 9.5 考虑主教材第四节的自动售货机增加以下约束, 如何设计系统。

(1) 售货机内存储的找零币有一定数量。

(2) 售货机内销售的商品有一定数量。

解: 自动售货机能销售热狗、汉堡和双层汉堡三种商品, 允许投入一元、二元和五元硬币, 机器中三种商品数量有限, 找零硬币有限。通过选择需要的商品按钮, 投入一定数量的硬币, 顾客就可以获得所需要的商品。该售货机具有如下功能:

(1) 设置初始按钮, 开机、出错以及购买结束时, 使整个系统恢复到初始状态。

(2) 自动售货机能销售热狗、汉堡和双层汉堡三种商品, 每次购买只选一种商品, 且三种商品数量有限, 售完时通过指示灯告知顾客。

(3) 硬币面额分为一元、二元和五元三种, 当投入硬币达到或大于所要购买商品的价格时, 自动售货机不再接受更多的硬币。

(4) 为提高自动售货机的效率, 每次投币时间应有规定, 此时间由设计者按需要和使用场合的具体情况而定。

(5) 售货机内找零有限, 在购买过程中如找零不够, 以指示灯告知顾客, 并全额退款; 否则商品售出, 投币口退出应找余额。

(6) 设置显示器, 以显示找零情况。

设计过程: 采用自顶向下的设计方法, 根据自动售货机的功能将整个系统划分为同步消抖、编码、计钱器、控制器、定时器、译码器六个逻辑模块, 着重分析控制器在商品数量有限和找零数量有限约束下的工作情况。模块划分图如习题 9.5 图(a)所示。

#### (1) 同步消抖模块

商品选择按钮 A1、A4、A8 分别用于选择热狗、汉堡和双层汉堡, 由于信号由按键产生, 其产生时刻和持续时间长短随机不定, 且存在因开关簧片引起的电平抖动现象, 需要在每个开关后面安排一个消抖同步化模块, 以保证系统能捕捉到输入脉冲, 并保证每个按键只形成一个宽度等于系统周期的脉冲。

#### (2) 编码模块

编码模块将消抖后的有效值转化为对应的十进制整数  $D$ , 由输出到控制器。由于商品数量有限, 在控制器中设置控制比较部分, 当对应商品有货时, 控制器给编码器一个使能信号, 由 EN1 实现。只有控制器发出有效信号 EN1 时, 编码器才可以工作。

#### (3) 定时模块

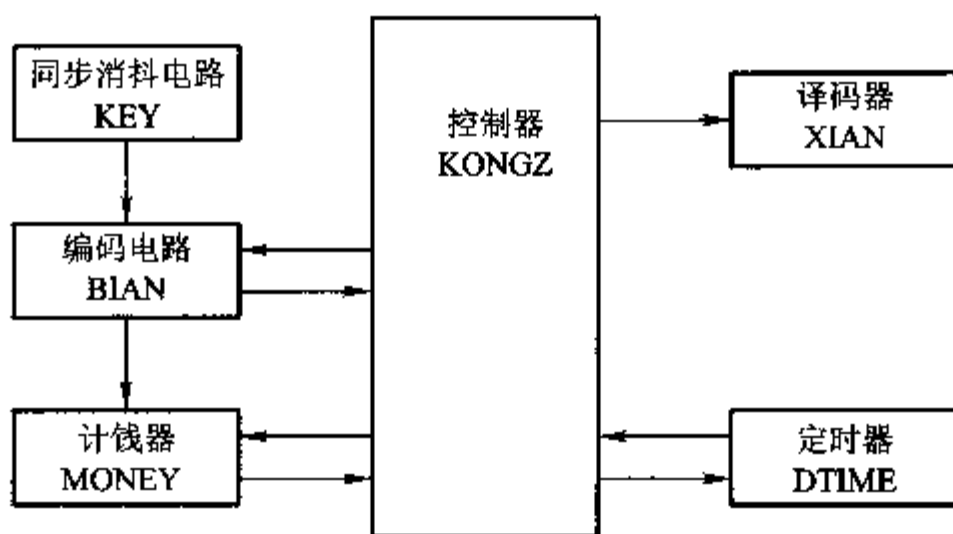
根据本售货机的实际情况, 选择定时时间 1 分钟。本模块由 CP 控制, 使能信号 EN3 有效开始计时, 1 分钟时间到时, 控制器发出 T 信号(高电平)。

#### (4) 译码器模块

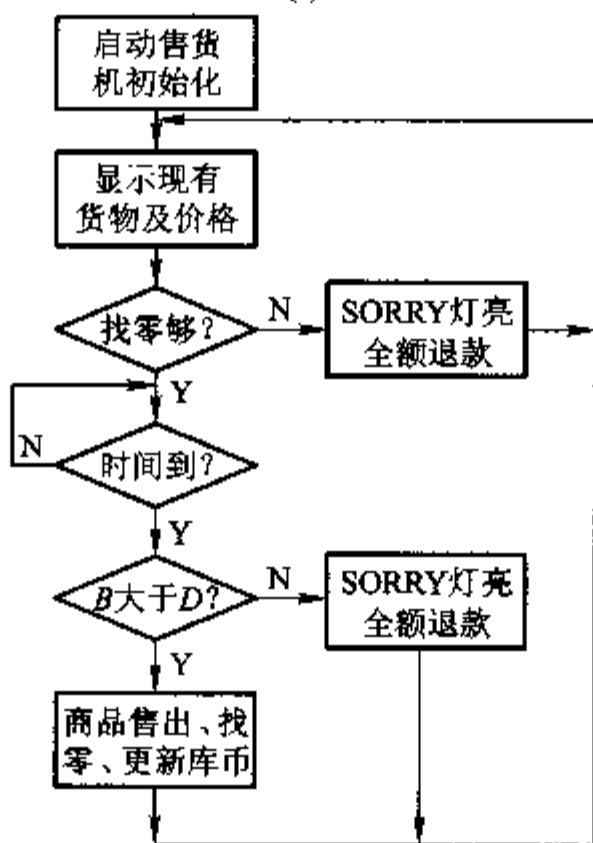
译码器将控制器的输出 C 译码, 用以驱动数码管显示找零数值。

#### (5) 计钱器模块

计钱器允许输入一元、两元以及五元硬币, 分别由 A11、A21、A51 代表。计钱器与系统时钟同步工作, 在 CP 的作用下, 如控制器发出的使能信号 EN2 有效, 计钱器将投入的硬币值转化为十进制整数, 由 B 记录。另外计钱器设有 RESET 信号, 用于计钱器清零。当系统工作在选择商品状态时, 计钱器清零, 为



(a)



(b)

习题 9.5 图

下一次投币做好准备。为提高系统工作效率,当输入硬币数值大于商品售价或投币时间到时,计钱器不再接收硬币投入,并以指示灯告知顾客。

#### (6) 控制器模块

由于商品数量有限,硬币找零数量有限,控制器可分为商品售出和商品判断两部分。商品判断部分用于提供售出的商品数量以及剩余数量,如所选商品有货,则进入商品售出部分,否则提示顾客商品售完;商品售出部分增加找零数量限制,如找零库中有足够零钱,则售出并显示找钱数量,如币库无钱或不够找时,以指示灯提示顾客。其流程图如习题 9.5 图(b)所示。

习题 9.6 写出自动售货机中的顶层 VHDL 程序和各个划分逻辑模块的 VHDL 程序。

解：在《数字电子技术基础》教材中，已写出控制器的 VHDL 程序，此题只写出顶层 VHDL 程序和主要逻辑模块的 VHDL 程序。

(1) 顶层 VHDL 程序

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY auto IS
    PORT (start,a1,a4,a8,a11: IN std_logic;
          a21,a51,cp: IN std_logic;
          reject1, reject2, out1: OUT std_logic);
END auto;
ARCHITECTURE auto_arch OF auto IS
    COMPONENT ksf IS
        PORT(a,b:IN std_logic;c: OUT std_logic);END COMPONENT;
    COMPONENT bian0 IS
        PORT(a,b,c,t:IN std_logic;d:OUT INTEGER RANGE 0 TO 9);END COMPONENT;
    COMPONENT con2 IS
        port( start,t,cp,:in std_logic;
              b,d:in integer range 0 to 9;
              c:out integer range 0 to 9;
              en1,en2,en3,reset,reject1,reject2,out1: OUT std_logic);
    END COMPONENT;
    COMPONENT counter1 IS
        PORT(a11,a21,a51,en2,cp,reset:IN std_logic;b:out INTEGER RANGE
              0 to 10);
    END COMPONENT;
    COMPONENT show IS
        PORT(c: IN INTEGER RANGE 0 TO 9;
              d: OUT std_logic_vector (0 TO 6)); END COMPONENT;
    COMPONENT TIMER IS
        PORT(cp,en3:IN std_logic;
              t:OUT std_logic);
    END COMPONENT;
    SIGNAL a01,a04,a08,aa1,aa2,aa3,ee1,ee2,ee3,reset,t: std_logic;

```

```

    SIGNAL dd,cc,bb:INTEGER RANGE 0 TO 9;
    SIGNAL d:std_logic_vector (0 to 6);
BEGIN
    u3:ksy PORT MAP( a1 ,cp,aa1 );
    u4:ksy PORT MAP ( a4 ,cp,aa2 );
    u5:ksy PORT MAP ( a8 ,cp,aa3 , );
    u6:bian0 PORT MAP ( aa1 ,aa2,aa3,ee1,dd );
    u7:con2 PORT MAP ( start,tt,cp,bb,dd,cc,ee1,ee2,ee3,
                      resett,reject1,reject2,out1 );
    u8:counter1 PORT MAP ( a11,a21,a51,ee2,cp,resett,bb );
    u9:show PORT MAP ( cc,d );
    u10:timer PORT MAP ( cp,ee3,tt );
END auto_arch;

```

## (2) 编码器的 VHDL 程序

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY bian0 IS
    PORT ( a1,a4,a8,t: IN std_logic;
          d:OUT INTEGER RANGE 0 TO 9 );
END bian0;
ARCHITECTURE bian0_arch OF bian0 IS
BEGIN
    PROCESS( a1,a4,a8,t)
BEGIN
        IF a1 = '1' AND t = '1' THEN d <= 1;
        ELSIF a4 = '1' AND t = '1' THEN d <= 4;
        ELSIF a8 = '1' AND t = '1' THEN d <= 8;
        ELSE d <= 0;
        END IF;
    END PROCESS;
END bian0_arch;

```

## (3) 计数状态器的 VHDL 程序

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY counter IS

```

```

PORT ( a11,a51,en2,cp,reset: IN std_logic;
       b: OUT INTEGER RANGE 0 TO 10);
END counter;
ARCHITECTURE counter_arch OF counter IS
    SIGNAL current_state:INTEGER RANGE 0 TO 1;
    BEGIN
    PROCESS
        VARIABLE var:INTEGER RANGE 0 TO 10;
    BEGIN
        WAIT UNTIL cp = '1' AND cp'EVENT;
        IF reset = '1' THEN current_state <= 0; b <= 0; var := 0;
        ELSE
            CASE current_state IS
                WHEN 0 =>
                    IF en2 = '1' THEN IF a11 = '1' THEN current_state <= 1;b <= 1;var := 1;
                        ELSIF a21 = '1' THEN current_state <= 1;b <= 2;var := 2;
                        ELSIF a51 = '1' THEN current_state <= 1;var := 5;b <= 5;
                        END IF;
                    END IF;
                WHEN 1 =>
                    IF en2 = '1' THEN IF a11 = '1' THEN var := var + 1;b <= var;
                        ELSIF a21 = '1' THEN var := var + 2;b <= var;
                        ELSIF a51 = '1' THEN var := var + 5;b <= var;
                        END IF;
                    END IF;
                END CASE;
            END IF;
        END PROCESS;
    END counter_arch;

```

习题 9.7 设计一彩灯控制器。彩灯共有 16 支排成方形,系统可控制彩灯每一分钟的规则变化,控制方法有四种:

当第一个一分钟时,彩灯顺时针方向运行,且每秒只有一支灯发光。

当第二个一分钟时,彩灯逆时针方向运行,且每秒只有一支灯发光。

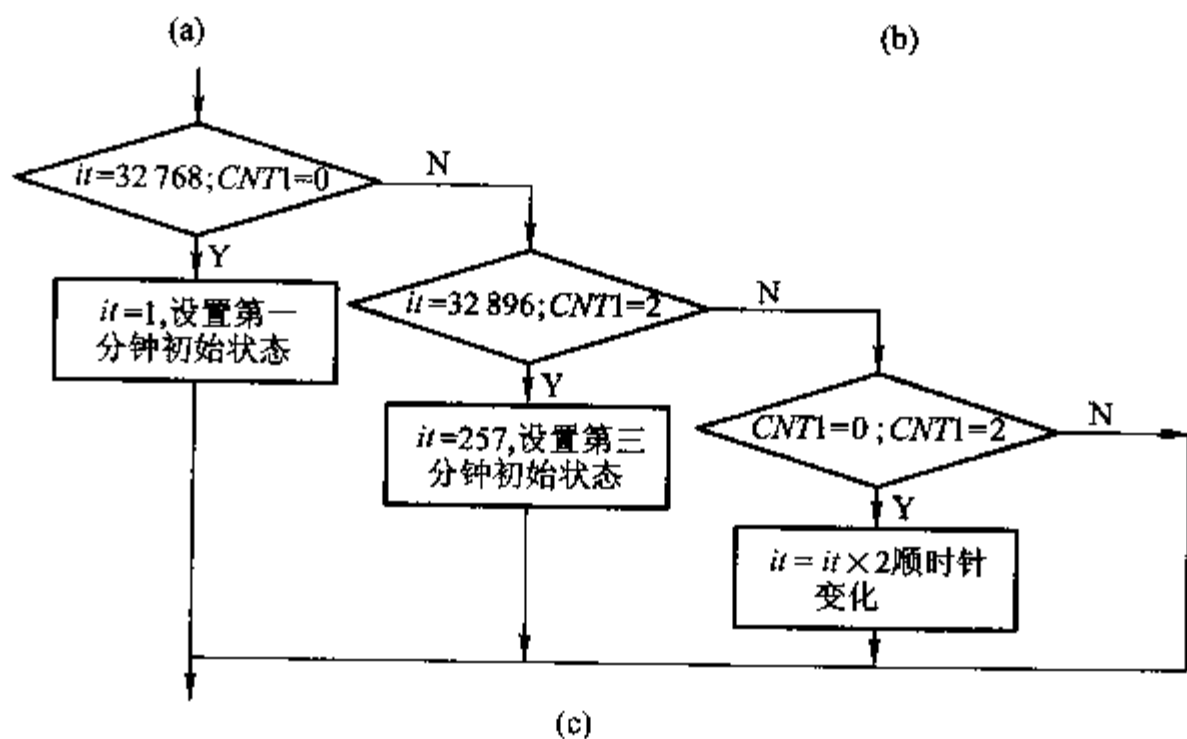
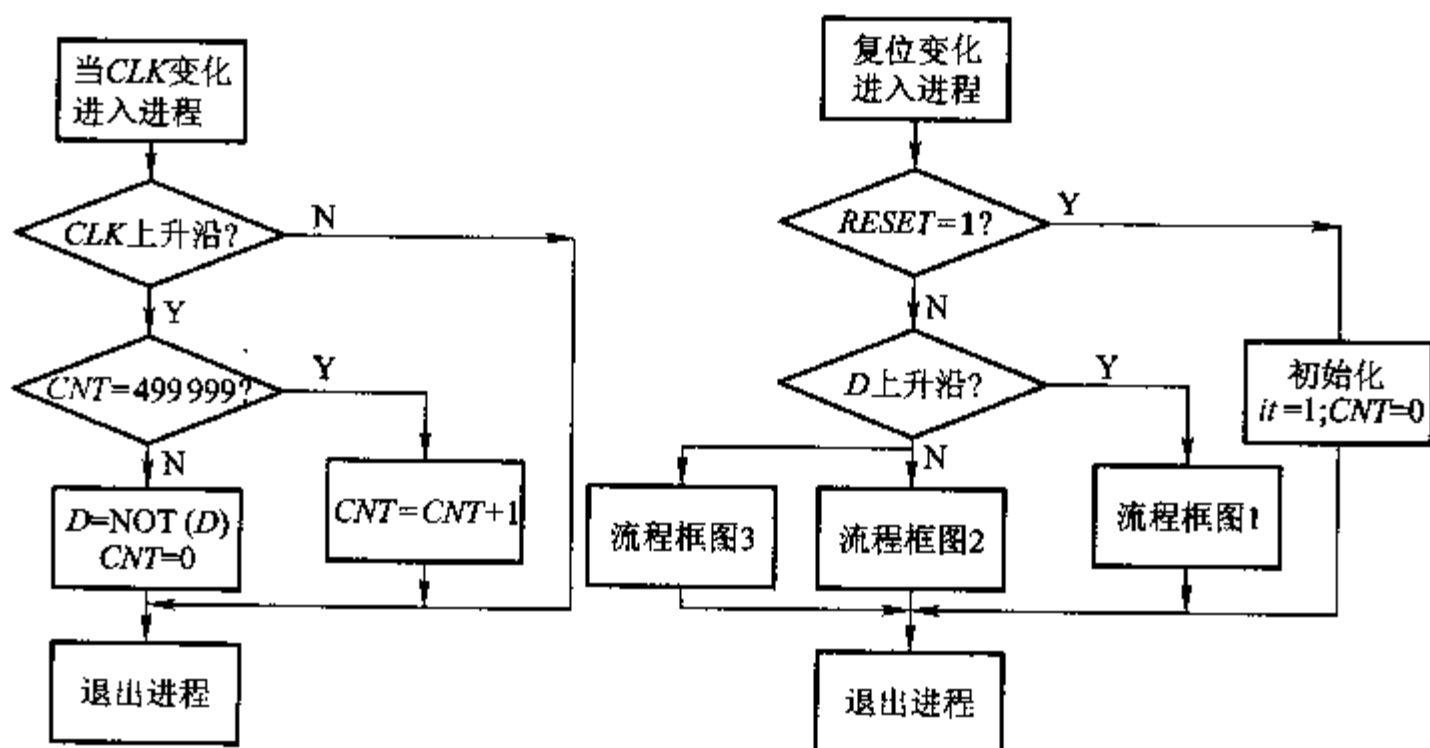
当第三个一分钟时,彩灯顺时针方向运行,且每秒有两支灯发光。

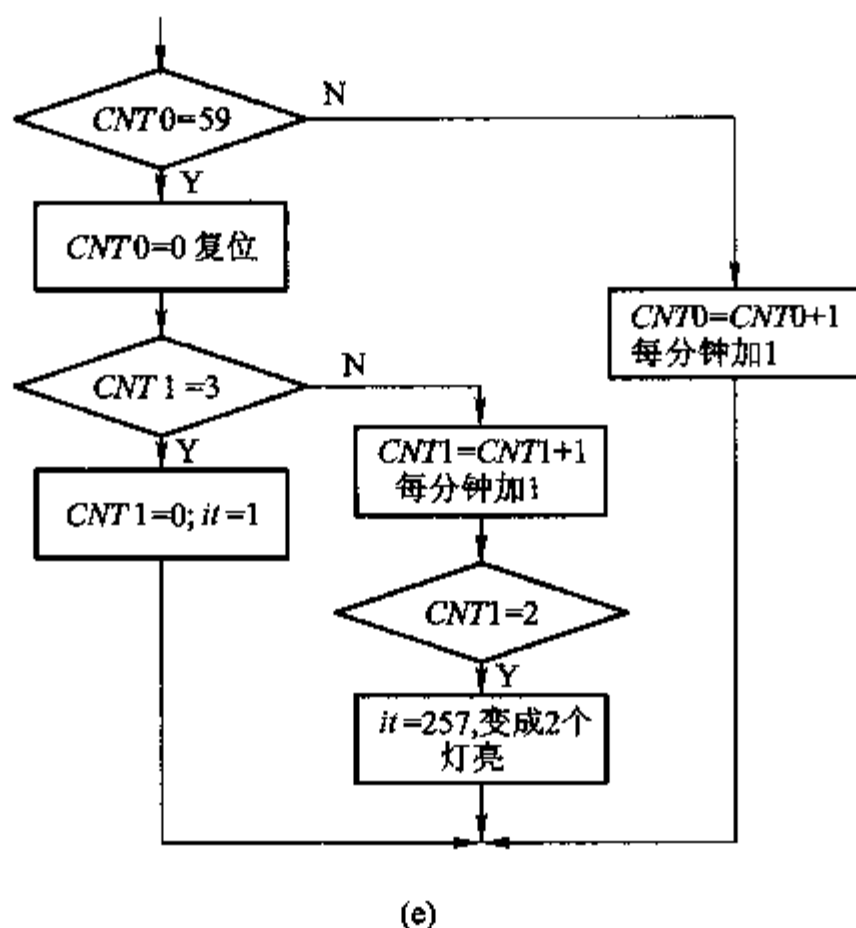
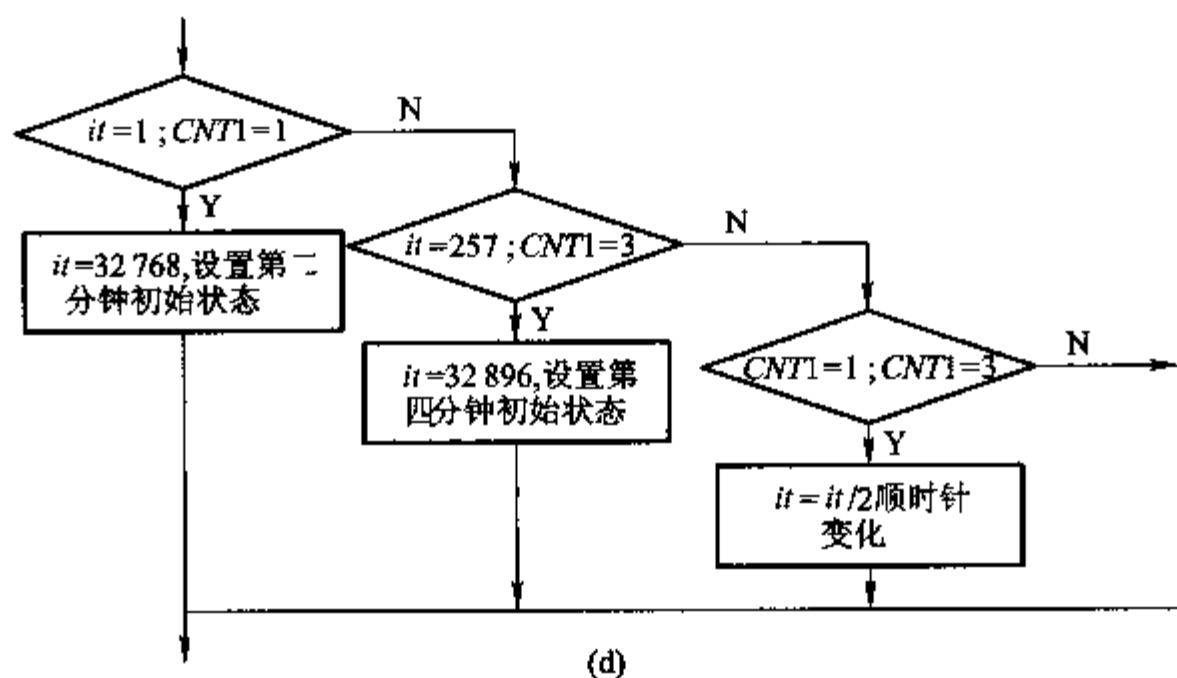
当第四个一分钟时,彩灯逆时针方向运行,且每秒有两支灯发光。

解：(1) 设计思路

根据设计要求,系统应该有一个复位开关 *RESET*,当 *RESET* 按下时整个系统初始化,开始工作。外部时钟信号 *CLK*(1 MHz)为系统提供基准时钟脉冲信号。设有 16 个输出信号分别对应 16 个彩灯,输出为 1 时彩灯亮。彩灯是按顺序成矩形排列,可以将 16 个信号设为总线形式 *ot*[15:0],数据类型为标准逻辑类型,每一位只有 0 和 1 两种可能。通过乘/除法将数据左/右移位,就可以方便地控制变化顺序。这里右移为顺时针变化,左移为逆时针变化。

设分频电路将输入的时钟信号 *CLK*(1 MHz)分频为 1 秒和 1 分钟。*CNT0* 为秒计数器,*CNT1* 为分钟计数器。当分频后的时钟信号到来后,*CNT0* 累加计数,每秒加 1,同时输出信号按设计要求顺时针或逆时针变化。当 *CNT0* 累计到 60 秒(即 1 分钟)时,*CNT1* 累加计数,代表第几分钟,*CNT1* 的数据范围为 0、1、





习题 9.7 图

2、3,  $CNT1$  的不同数据则选择四种工作状态中的一种。判断  $CNT0$  和  $CNT1$  的数据, 可以得出输出状态。

参数选择: 在第一个进程里, 输入为  $CLK(1\text{ MHz})$ , 设置输出  $D$  的频率为 1 秒。为了使  $CNT0$  每秒加 1, 设置参数  $CNT$  对 1 MHz 时钟信号计数, 当  $CNT = 1\,000\,000/2 - 1 = 500\,000 - 1 = 499\,999$  时, 第一个进程的输出  $D$  变化。设置  $CNT0$  计数范围为 0 ~ 59,  $CNT1$  计数范围为 0 ~ 3。

(2) 秒产生时钟电路和控制部分用 2 个进程实现, 流程图如习题 9.7 图(a)



所示。

进程 1: 秒计数进程

进程 2: 控制彩灯循环进程, 框图如习题 9.7 图(b)

流程框图 1 如习题 9.7 图(c)所示。

流程框图 2 如习题 9.7 图(d)所示。

流程框图 3 如习题 9.7 图(e)所示。

(3) 用 VHDL 语言编程实现彩灯控制系统

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
USE ieee.std_logic_unsigned.all;
ENTITY light IS
    PORT(reset, clk: IN std_logic;
          ot: OUT std_logic_vector(15 DOWNTO 0));
END light;
ARCHITECTURE light_arc OF light IS
    SIGNAL it: INTEGER RANGE 0 TO 40000;
    SIGNAL d, cp: std_logic;
BEGIN
    ot <= NOT(CONV_STD_LOGIC_VECTOR(it, 16));
    PROCESS(clk)
        VARIABLE cnt: INTEGER RANGE 0 TO 500000;
    BEGIN
        IF (clk'EVENT AND clk = '1') THEN
            IF (cnt = 499999) THEN
                d <= NOT d; cnt := 0;
            ELSE cnt := cnt + 1;
            END IF;
        END IF;
    END PROCESS;
    PROCESS(reset, d)
        VARIABLE cnt0: INTEGER RANGE 0 TO 60;
        VARIABLE cnt1: INTEGER RANGE 0 TO 4;
    BEGIN
        IF (reset = '1') THEN
    
```

```

    it <= 1; cnt0 := 0; cnt1 := 0;
ELSIF( d'EVENT AND d = '1') THEN
    IF( it = 32768 AND cnt1 = 0) THEN
        it <= 1; -- "000000000000000001"
    ELSIF( it = 32896 AND cnt1 = 2) THEN
        it <= 257; -- "00000001000000001"
    ELSIF( cnt1 = 0 OR cnt1 = 2) THEN
        it <= it * 2;
    END IF;
    IF( it = 1 AND cnt1 = 1) THEN
        it <= 32768; -- "10000000000000000"
    ELSIF( it = 257 AND cnt1 = 3) THEN
        it <= 32896; -- "1000000010000000"
    ELSIF( cnt1 = 1 OR cnt1 = 3) THEN
        it <= it/2;
    END IF;
    IF( cnt0 = 59) THEN
        cnt0 := 0;
        IF( cnt1 = 3) THEN
            cnt1 := 0; it <= 1;
        ELSE cnt1 := cnt1 + 1;
            IF( cnt1 = 2) THEN it <= 257; END IF;
        END IF;
    ELSE cnt0 := cnt0 + 1;
    END IF;
END IF;
END PROCESS;
END light_arc;

```

#### (4) Foundation 仿真平台仿真

0 ~ 60 秒、60 ~ 120 秒、120 ~ 180 秒、180 ~ 240 秒分别代表第 1 ~ 4 分钟。以输出总线 ot[15:0] 的值看出彩灯按顺序变化。

彩灯变化过程:

第一分钟: 1→2→3→4→5→6→7→8→9→10→11→12→13→14→15→16  
→1→……

第二分钟: 16→15→14→13→12→11→10→9→8→7→6→5→4→3→2→1

→16→……

第三分钟: 1&9→2&10→3&11→4&12→5&13→6&14→7&15→8&16→1&9→……

第四分钟: 8&16→7&15→6&14→5&13→4&12→3&11→2&10→1&9→8&16→……

习题 9.8 试用从上至下的设计方法,设计一个简易计算器,它应具有下列运算功能:

- (1) 两个无符号的 8 位二进制数的相加。
- (2) 两个无符号的 8 位二进制数的相减(被减数大于等于减数)。
- (3) 两个无符号的 4 位二进制数的相乘。

解:请读者自行设计。

习题 9.9 设计一带有校时功能、可定时起闹的数字钟,它应满足如下功能:

- (1) 有“时”、“分”、“秒”十进制数字显示。
- (2) 计时以一昼夜 24 小时为一个周期。
- (3) 具有校时电路,即在任何时候可对数字钟进行校准,将其拨至标准时间。
- (4) 计时过程中的任意时间均能按需起闹,闹钟每次起闹时间可以进行调整。

解:(1) 顶层设计方案

数字钟采用三个按键作为输入,a1 为调整/定时按键输入,a2 为选择时、分、秒按键输入,a3 为调整时、分、秒按键输入。输出用 6 个数码管来显示输出时、分、秒,一个扬声器在定时和时间一致时发出蜂鸣。

数字钟调整的过程是:当 a1 第一次按下时,进入定时状态,再按 a1 则进入调整时、秒、分状态,第三次按下 a1 时,恢复原状态。a2 是选择时、分、秒按键,即在定时状态或调整状态情况下,可以依此选择时、分、秒。a3 是手动调整时、分、秒按键。

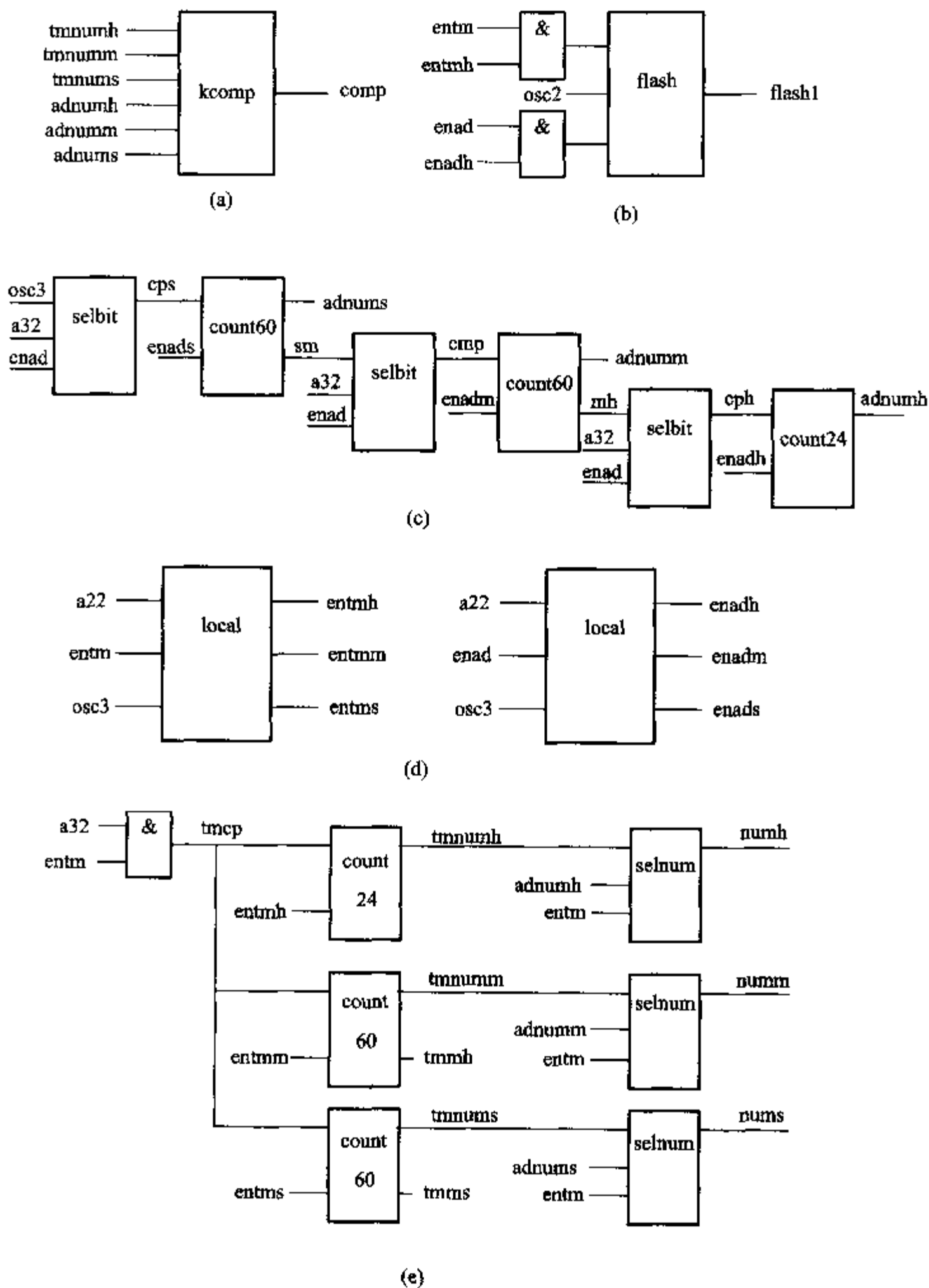
(2) 受控电路设计思路

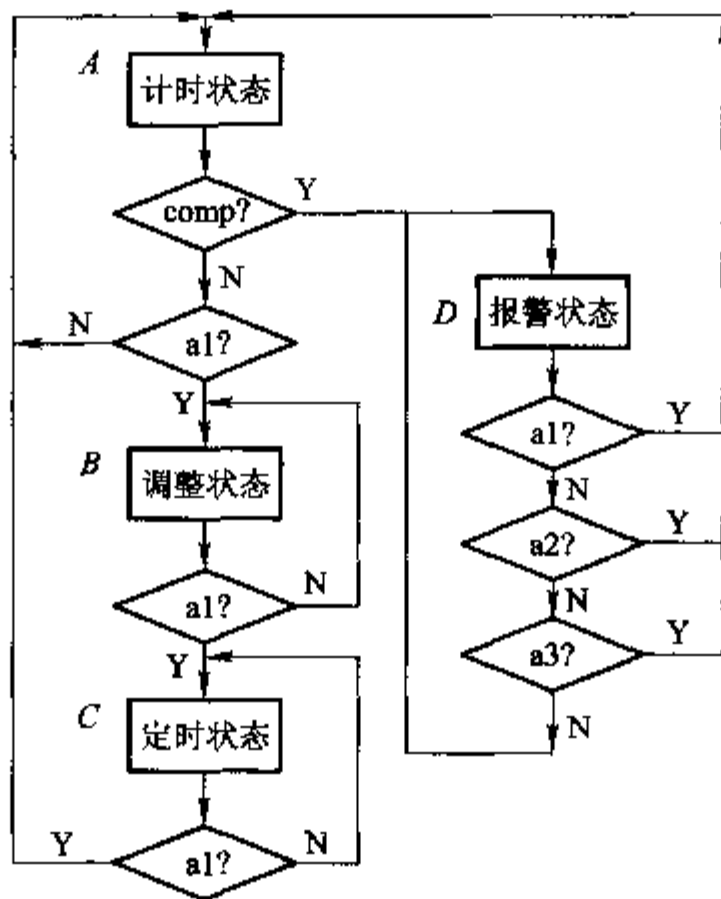
同步消抖电路:a1、a2、a3 按键输入需要同步消抖电路,同步消抖电路和 VHDL 程序见参考文献[5]。

比较电路:比较电路是将运行时间与定时时间进行比较,如果相等,比较电路 COMP 发出一个高电平信号送入控制器,控制器以 1 000 Hz 单频驱动 LB 使其蜂鸣。再按任何一键都会使 LB 停止鸣叫。VHDL 模块图如习题 9.9 图(a)所示。

闪烁控制电路:闪烁控制电路是控制数码管是否闪烁,当数字钟正常运行时,数码管不闪烁;当数字钟用于调整或定时功能时,对时、分或秒进行调节或定

的时候,所有对应的时、分或秒数码管闪烁,其频率为 1 Hz。其余没有选中的数码管不闪烁。VHDL 模块图如习题 9.9 图(b)所示。





(f)

习题 9.9 图

调整/运行电路:调整/运行电路由 2 选 1 电路、60 计数电路和 24 计数电路组成。当没有进行调整选择时,  $enad$  为 0, 选择电路选用周期为 1 s 的脉冲  $osc3$  对秒进行正常计数,  $enads$ 、 $enadm$ 、 $enadh$  在程序设计中都设为 1, 故用于秒计数及分计数的计数器  $count60$  都有效, 当秒满 60 将产生一个脉冲使分计数加 1, 当分钟满 60 将产生一个脉冲使小时计数器加 1, 同时还将输出各自的数值, 即当前的时、分、秒的值。

当进行调整选择时,  $end$  为 1,  $enads$ 、 $enadm$ 、 $enadh$  中只有一个为 1, 其余的为 0。这时选择电路用  $a32$  作为脉冲, 而不是采用  $osc3$  作为脉冲。若选择秒调整, 则  $enads$  为 1, 此时按下  $a3$ , 则产生一个脉冲, 使秒加 1, 而由于  $enadm$ 、 $enadh$  为 0, 时和分并不加 1。同理, 当选择分或时的时候, 其余的并不改变。调整完毕, 按  $a1$  即可回到正常运行状态。其 VHDL 模块图如习题 9.9 图(c)所示。

定时时、分、秒选择电路:定时时、分、秒电路是在定时的时候对时、分、秒进行选择选择的。当运用定时功能时, 首先显示小时的数码管闪烁, 表示对小时进行定时, 此时可以按  $a2$  对时、分、秒进行选择。其 VHDL 模块图如习题 9.9 图(d)所示。

调整时、分、秒选择电路:调整时、分、秒选择电路是在调整时对时、分、秒进行选择选择的。当运用调整功能时, 首先显示小时的数码管闪烁, 表示对小时进行调整, 此时可以按  $a2$  对时、分、秒进行选择。其 VHDL 模块图如习题 9.9 图(d)所示。

所示。

**定时电路:**定时电路也就是设定闹钟时间。当 entm 为 1 时,即允许定时的時候,entms、entmm、entmh 中只有一个为 1,只允许在同一时间内对时、分、秒其中之一进行定时,也可以按 a2 对时、分、秒进行选择。在选择好时、分、或秒时,按 a3 可以对其进行调节,从而达到所需要的定时时间。

**显示选择电路:**显示选择电路是对定时或调整时的电路进行选择显示,如果定时允许,entm 为 1,显示选择为定时电路的整数输出,如果不允许定时,即 entm 为 0,则显示选择为调整/运行电路的整数输出。选择结果送入 se7 数码管显示电路。其 VHDL 模块图如习题 9.9 图(e)所示。

**显示电路:**se7 数码管显示电路对显示选择电路输出的整数结果进行显示。数码管的 a、b、c、d、e、f、g 管脚低电平时该段被点亮。如果需要哪段被点亮,该段输入 0 即可。

### (3) 控制电路设计思路

根据顶层设计思路,数字钟的 ASM 图如习题 9.9 图(f)所示。

### (4) 数字钟的 VHDL 程序

数字钟顶层 VHDL 程序:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY clock IS
    PORT( a1,a2,a3,osc:IN std_logic;
          ha1,hb1,hc1,hd1,he1,hf1,hg1, ha2,hb2,hc2,hd2,he2,hf2,hg2:OUT
std_logic;
          ma1,mb1,mc1,md1,me1,mf1,mg1, ma2,mb2,mc2,md2,me2,mf2,
mg2:OUT std_logic;
          sa1,sb1,sc1,sd1,se1,sf1,sg1, sa2,sb2,sc2,sd2,se2,sf2,sg2,lb:OUT
std_logic);
END clock;
ARCHITECTURE clock_arch OF clock IS
    COMPONENT control IS
        PORT( a,b,c,d,clk:IN std_logic;e,f,g:OUT std_logic);
    END COMPONENT;
    COMPONENT ksy IS
        PORT( a,b:IN std_logic;c:OUT std_logic);
    END COMPONENT;
    COMPONENT kand2 IS
```

```

    PORT( a,b:IN std_logic; c:OUT std_logic);
END COMPONENT;
COMPONENT kand2 IS
    PORT( a:IN std_logic; b :OUT std_logic);
END COMPONENT;
COMPONENT loca IS
    PORT( a,b,clk:IN std_logic; c,d,e:OUT std_logic);
END COMPONENT;
COMPONENTcount24 IS
    PORT( a,b:IN std_logic; c:OUT std_logic);
END COMPONENT;
COMPONENT count60 IS
    PORT( a,b:IN std_logic; c,d:OUT std_logic);
END COMPONENT;
COMPONENT selbit IS
    PORT( a,b,c:IN std_logic; d:OUT std_logic);
END COMPONENT;
COMPONENT selnum IS
    PORT( a,b:IN INTEGER; c:IN std_logic;d:OUT INTEGER);
END COMPONENT;
COMPONENT kcomp IS
    PORT( a,b,c,d,e,f:IN INTEGER; g:OUT std_logic);
END COMPONENT;
COMPONENT conver IS
    PORT( num:IN INTEGER; a,b:OUT INTEGER);
END COMPONENT;
COMPONENT se7 IS
    PORT( a:IN INTEGER; s:IN std_logic;e,f,g,h,I,j,kOUT std_logic);
END COMPONENT;
COMPONENT flash IS
    PORT( a,b,c:IN std_logic; d:OUT std_logic);
END COMPONENT;
COMPONENT kcoun102 IS
    PORT( a:IN std_logic; b:OUT std_logic);
END COMPONENT;

```

```

COMPONENT kcoun101 IS
    PORT( a:IN std_logic; b:OUT std_logic );
END COMPONENT;
COMPONENT kcoun101 IS
    PORT( a:IN std_logic; b:OUT std_logic );
END COMPONENT;
SIGNAL a11,a21,a31,a12,a22,a32,comp,alarm;
SIGNAL flash1,flash2,flash3,cps,cpm,cph:std_logic;
SIGNAL entm,entmh,entmm,entms,enad,enadh;
SIGNAL enadm,enads,tmmh,tmsm,mh,sm:std_logic;
SIGNAL h1,h2,m1,m2,s1,s2,numh,numm,nums:INTEGER;
SIGNAL tmmumh,tmmumm,tmmums,admmumh,admmumm,admmums:INTEGER;
SIGNAL osc1,osc2,osc3,tmcp,enfh1,enfh2,enfm1,enfm2,enfs1,enfs2:std_logic;
BEGIN
    U1: control PORT MAP( a12,a22,a32,comp,osc1,entm,enad,alarm );
    U2: ksy PORT MAP ( a11,osc2,a12 );
    U3: ksy PORT MAP ( a21,osc2,a22 );
    U4: ksy PORT MAP ( a31,osc2,a32 );
    U5: kinvert PORT MAP ( a1,a11 );
    U6: kinvert PORT MAP ( a2,a21 );
    U7: kinvert PORT MAP ( a3,a31 );
    U8: local PORT MAP ( a22,entm,osc3,entmh,entmm,entms );
    U9: local PORT MAP ( a22,entm,osc3,entmh,entmm,entms );
    U10: count24 PORT MAP ( tmcp,entmh,tmmumh );
    U11: count60 PORT MAP ( tmcp,entmm,tmmumm,tmmh );
    U12: count60 PORT MAP ( tmcp,entms,tmmums,tmsm );
    U13: count24 PORT MAP ( cph,enadh,admmumh );
    U14: count60 PORT MAP ( cpm,enadm,admmumm,mh );
    U15: count60 PORT MAP ( cps,enads,admmums,sm );
    U16: selbit PORT MAP ( osc3,a32,enad,cps );
    U17: selbit PORT MAP ( sm,a32,enad,cpm );
    U18: selbit PORT MAP ( mh,a32,enad,cph );
    U19: kand2 PORT MAP ( a32,entm,tmcp );
    U20: kcomp PORT MAP ( tmmumh,tmmumm,tmmums,admmumh,admmumm,
        admmums,comp );

```



```

U21: selnum PORT MAP (tmnumh,adnumh,entm,numh);
U22: selnum PORT MAP (tmnumm,adnumm,entm,numm);
U23: selnum PORT MAP (tmnums,adnums,entm,nums);
U24: cover PORT MAP (numh,h1,h2);
U25: cover PORT MAP (numm,m1,m2);
U26: cover PORT MAP (nums,s1,s2);
U27: se7 PORT MAP (h1,flash1,ha1,hb1,hc1,hd1,he1,hf1,hg1);
U28: se7 PORT MAP (h2,flash1,ha2,hb2,hc2,hd2,he2,hf2,hg2);
U29: se7 PORT MAP (m1,flash2,ma1,mb1,mc1,md1,me1,mf1,mg1);
U30: se7 PORT MAP (m2,flash2,ma2,mb2,mc2,md2,me2,mf2,mg2);
U31: se7 PORT MAP (s1,flash3,sa1,sb1,sc1,sd1,se1,sf1,sg1);
U32: se7 PORT MAP (s2,flash3,sa2,sb2,sc2,sd2,se2,sf2,sg2);
U33: flash PORT MAP (enfhl,enfh2,osc3,flash1);
U34: flash PORT MAP (enfm1,enfm2,osc3,flash2);
U35: flash PORT MAP (enfs1,enfs2,osc3,flash3);
U36: kcounl02 PORT MAP (osc1,osc2);
U37: kcounl01 PORT MAP (osc,osc1);
U38: kcounl03 PORT MAP (osc1,osc3);
U40: kand2 PORT MAP (alarm,osc1,lb);
U41: kand2 PORT MAP (enad,enadh,enfh1);
U42: kand2 PORT MAP (enad,enadm,enfm1);
U43: kand2 PORT MAP (enad,enads,enfs1);
U44: kand2 PORT MAP (entmh,entm,enfh2);
U45: kand2 PORT MAP (entmm,entm,enfm2);
U46: kand2 PORT MAP (entms,entm,enfs2);
END clock_arch;

```

数字钟控制器的 VHDL 程序:

```

LIBRARY ieee;USE ieee.std_logic_1164.all;
ENTITY control IS PORT(a,b,c,d,clk;IN std_logic;e,f,g:OUT std_logic);END control;
ARCHITECTURE control_arch OF control IS
    SIGNAL current_state;INTEGER RANGE 0 TO 3; = 0;
BEGIN
PROCESS
BEGIN
    WAIT UNTIL clk = '1' AND clk'EVENT; g <= '0';

```

```

CASE current_state IS
  WHEN 0 = >
    IF a = '1' THEN current_state <= 1; e <= '1'; f <= '0';
    ELSIF d = '1' THEN current_state <= 3; g <= '1';
    ELSE current_state <= 0; e <= '0'; f <= '0';
    END IF;
  WHEN 1 = >
    IF a = '1' THEN current_state <= 2; e <= '0'; f <= '1';
    ELSE current_state <= 1; e <= '1'; f <= '0';
    END IF;
  WHEN 2 = >
    IF a = '1' THEN current_state <= 0; e <= '0'; f <= '0';
    ELSE current_state <= 2; e <= '0'; f <= '1';
    END IF;
  WHEN 3 = >
    IF a = '1' OR b = '1' OR c = '1' THEN current_state <= 0; e <= '0'; f <= '0';
    ELSE current_state <= 3; e <= '1'; g <= '1';
    END IF;
END CASE;
END PROCESS;
END control_arch;

```

消抖、二输入与门、D 触发器、二输入与非门和反相器的 VHDL 程序如下:

```

LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY ksy IS PORT( a,b:IN std_logic; c:OUT std_logic ); END ksy;
ARCHITECTURE ksy_arc OF ksy IS
  COMPONENT kand2 IS PORT(a,b:IN std_logic; c:OUT std_logic); END COMPONENT;
  COMPONENT knand2 IS PORT(a,b:IN std_logic; c:OUT std_logic); END COMPONENT;
  COMPONENT kdf IS PORT(a,b:IN std_logic; c,D:OUT std_logic); END COMPONENT;
  SIGNAL T1, T2, T3, T4, T5, T6: std_logic;
BEGIN
  U0:kand2    PORT MAP( a, T1, T2 );
  U1:knand2   PORT MAP( T2, T3, T1 );
  U2:kdf      PORT MAP( T2, b, T4, T3 );
  U3:kdf      PORT MAP( T4, b, T6, T5 );

```

```

    U4:kand2    PORT MAP( T4,T5,c);
END   ksy_arc;
二输入与门 VHDL 程序如下:
LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY kand2 IS
    PORT( a,b:IN std_logic; c:OUT std_logic);
END kand2;

```

```

ARCHITECTURE kand2_arc OF kand2 IS
BEGIN

```

```

    c <= a AND b;
END kand2_arc;

```

二输入与非门 VHDL 程序如下:

```

LIBRARY ieee;USE ieee. std_logic_1164. all;
ENTITY knand2 IS
    PORT( a,b:IN std_logic; c :OUT std_logic);
END knand2;

```

```

ARCHITECTURE knand2_arc OF knand2 IS
BEGIN

```

```

    c <= NOT( a AND b);
END knand2_arc;

```

D 触发器的 VHDL 程序如下:

```

LIBRARY ieee;USE ieee. std_logic_1164. all;
ENTITY kdf IS
    PORT( a,b:IN std_logic; c,d:OUT std_logic);
END kdf;

```

```

ARCHITECTURE kdf_arch OF kdf IS
BEGIN

```

```

    PROCESS( a)
    BEGIN
        WAIT UNTIL b = '1'AND b' EVENT;
        c <= a;
        d <= NOT a;
    END PROCESS;

```

```

END kdf_arch;

```

反相器的 VHDL 程序如下:

```

LIBRARY ieee;USE ieee.std_logic_1164.all;
ENTITY kinvert IS
    PORT(a:IN std_logic;b:OUT std_logic);
END kinvert;
ARCHITECTURE kinvert_arch OF kinvert IS
BEGIN
    b <= NOT a;
END kinvert_arch;

定时:
LIBRARY ieee;USE ieee.std_logic_1164.all;
ENTITY loca IS PORT(a,b,clk:IN std_logic;c,d,e:OUT std_logic);END loca;
ARCHITECTURE loca_arch OF loca IS
BEGIN
    PROCESS
        VARIABLE cnt INTEGER RANGE 0 TO 4; CONSTANT modulus:INTE-
GER:=4;
    BEGIN
        WAIT UNTIL clk='1' AND b'EVENT;
        IF b='0' THEN cnt:=0;
        ELIF b='1' AND cnt=0 THEN cnt:=1;
        ELIF a='1' THEN cnt:=cnt+1; IF cnt=modulus THEN cnt:=1;
    END IF;
    END IF;
        IF cnt:=0 THEN c<='1';d<='1';e<='1';
        ELIF cnt=1 THEN c='1'; d<='0';e<='0';
        ELIF cnt=2 THEN c='0'; d<='1';e<='0';
        ELSE c='0'; d<='0';e<='1';
        END IF;
    END PROCESS;
END loca_arch;

比较电路:
LIBRARY ieee;USE ieee.std_logic_1164.all;
ENTITY kcomp IS PORT(a,b,c,d,e,f:IN INTEGER;g:OUT std_logic);END
kcomp;
ARCHITECTURE kcomp_arch OF kcomp IS

```

```

BEGIN
PROCESS( a,b,c,d,e,f)
BEGIN
    IF a = d AND b = e AND c = f THEN g < = '1'; ELSE g < = '0'; END IF;
    END PROCESS;
END kcomp_arch;
调节电路:
LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY selbit IS
    PORT( a,b,c:IN std_logic; d:OUT std_logic );
END selbit;
ARCHITECTURE selbit_arch OF selbit IS
BEGIN
    PROCESS( a,b,c)
    BEGIN
        IF c = '0' THEN d < = a; ELSE d < = b; END IF;
    END PROCESS;
END selbit_arch;
LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY selnum IS
    PORT( a,b:IN INTEGER; c:IN std_logic;
          d:OUT std_logic );
END selnum;
ARCHITECTURE selnum_arch OF selnum IS
BEGIN
PROCESS( a,b,c)
BEGIN
    IF c = '1' THEN d < = a; ELSE d < = b; END IF;
    END PROCESS;
END selnum_arch;
显示电路:
LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY se7 IS
    PORT( a:IN INTEGER; s:IN std_logic; e,f,g,h,i,j,k:OUT std_logic );
END se7;

```

```

ARCHITECTURE se7_arch OF se7 IS
BEGIN
  PROCESS(a,s)
  BEGIN
    IF a = 0 AND s = '1' THEN e <= '0'; f <= '0'; g <= '0'; h <= '0';
i <= '0'; j <= '0'; k <= '1';
    ELSIF a = 1 AND s = '1' THEN e <= '1'; f <= '0'; g <= '0'; h <= '1';
i <= '1'; j <= '1'; k <= '1';
    ELSIF a = 2 AND s = '1' THEN e <= '0'; f <= '0'; g <= '1'; h <= '0';
i <= '0'; j <= '1'; k <= '0';
    ELSIF a = 3 AND s = '1' THEN e <= '0'; f <= '0'; g <= '0'; h <= '0';
i <= '1'; j <= '1'; k <= '0';
    ELSIF a = 4 AND s = '1' THEN e <= '1'; f <= '0'; g <= '0'; h <= '1';
i <= '1'; j <= '0'; k <= '0';
    ELSIF a = 5 AND s = '1' THEN e <= '0'; f <= '1'; g <= '0'; h <= '0';
i <= '1'; j <= '0'; k <= '0';
    ELSIF a = 6 AND s = '1' THEN e <= '0'; f <= '1'; g <= '0'; h <= '0';
i <= '0'; j <= '0'; k <= '0';
    ELSIF a = 7 AND s = '1' THEN e <= '0'; f <= '0'; g <= '0'; h <= '1';
i <= '1'; j <= '1'; k <= '1';
    ELSIF a = 8 AND s = '1' THEN e <= '0'; f <= '0'; g <= '0'; h <= '0';
i <= '0'; j <= '0'; k <= '0';
    ELSIF a = 9 AND s = '1' THEN e <= '0'; f <= '0'; g <= '0'; h <= '0';
i <= '1'; j <= '0'; k <= '0';
    ELSE e <= '1'; f <= '1'; g <= '1'; h <= '1'; i <= '1'; j <= '1'; k <= '1';
    END IF;
  END PROCESS;
END se7_arch;

闪烁电路:
LIBRARY ieee; USE ieee. std_logic_1164. all;
ENTITY flash IS PORT(a,b,c:IN std_logic;d:OUT std_logic);END flash;
ARCHITECTURE flash_arch OF flash IS
BEGIN
  PROCESS(a,b,c)
  BEGIN

```

```

    IF a = '1' OR b = '1' THEN d <= NOT c;
    ELSE d <= '1';
    END IF;
END PROCESS;
END flash_arch;
1 000 和 200 分频器:
LIBRARY ieee;USE ieee. std_logic_1164. all;
ENTITY kcoun101 IS
    PORT( a;IN std_logic;b;OUT std_logic );
END kcoun101;
ARCHITECTURE kcoun101_arch OF kcoun101 IS
    SIGNAL cnt1;std_logic;
BEGIN
    PROCESS( a)
        VARIABLE cnt;INTEGER RANGE 0 TO 512;
        CONSTANT modulus;INTEGER:= 500;
        BEGIN
            IF a'EVENT AND a = '1' THEN
                IF cnt = modulus THEN cnt:= 0;
                    cnt1 <= NOT cnt1;b <= cnt1; END IF;
                    cnt:= cnt + 1; END IF;
            END PROCESS;
END kcoun101_arch;
LIBRARY ieee;USE ieee. std_logic_1164. all;
ENTITY kcoun102 IS
    PORT( a;IN std_logic;b;OUT std_logic );
END kcoun102;
ARCHITECTURE kcoun102_arch OF kcoun102 IS
    SIGNAL cnt1;std_logic;
BEGIN
    PROCESS( a)
        VARIABLE cnt;INTEGER RANGE 0 TO 512;
        CONSTANT modulus;INTEGER:= 100;
        BEGIN
            IF a'EVENT AND a = '1' THEN

```

```

    IF cnt = modulus THEN cnt := 0;
    cnt1 <= NOT cnt1; b <= cnt1; END IF;
    cnt := cnt + 1; END IF;
    END PROCESS;
END kcoun102_arch;

60 和 24 分频器:
LIBRARY ieee; USE ieee.std_logic_1164.all;
ENTITY count60 IS
    PORT( a, b: IN std_logic; d: OUT std_logic;
          c: OUT INTEGER );
END count60;
ARCHITECTURE count60_arch OF count60 IS
BEGIN
    PROCESS( a, b)
        VARIABLE cnt: INTEGER RANGE -1 TO 60;
        CONSTANT modulus: INTEGER := 59;
    BEGIN
        IF b = '1' THEN
            IF a'EVENT AND a = '1' THEN
                IF cnt = modulus THEN cnt := -1;
                d <= '1'; END IF;
                IF cnt = 30 THEN d <= '0'; END IF;
                cnt := cnt + 1; c <= cnt; END IF;
            END IF;
        END PROCESS;
    END count60_arch;

LIBRARY ieee; USE ieee.std_logic_1164.all;
ENTITY count24 IS
    PORT( a, b: IN std_logic;
          c: OUT std_logic );
END count24;
ARCHITECTURE count24_arch OF count24 IS
    SIGNAL cnt1: std_logic;
BEGIN
    PROCESS( a, b)

```



```
VARIABLE cnt;INTEGER RANGE 0 TO 24;
CONSTANT modulus;INTEGER:=24;
BEGIN
  IF b='1' THEN
    IF a'EVENT AND a='1' THEN
      IF cnt=modulus THEN cnt:=0; END IF;
      cnt:=cnt+1;
      c<=cnt;END IF;
    END IF;
  END PROCESS;
END count24_arch;
```

一个 2 位整数转换成两个 1 位整数电路:

```
LIBRARY ieee;USE ieee.std_logic_1164.all;
ENTITY conver IS PORT(num;IN INTEGER;a,b;OUT INTEGER);END conver;
ARCHITECTURE conver_arch OF conver IS
BEGIN
  PROCESS (num)
  BEGIN
    IF num >=0 AND num <=9 THEN a<=0;b<=num;
    ELIF num >=10 AND num <=19 THEN a<=1;b<=num-10;
    ELIF num >=20 AND num <=29 THEN a<=2;b<=num-20;
    ELIF num >=30 AND num <=39 THEN a<=3;b<=num-30;
    ELIF num >=40 AND num <=49 THEN a<=4;b<=num-40;
    ELSE a<=5;b<=num-50;
    END IF;
  END PROCESS;
END conver_arch;
```

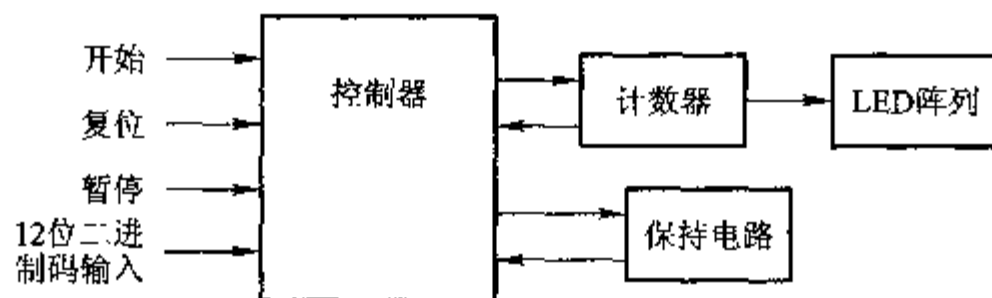
习题 9.10 设计一台自动绕线机数字系统,要求用可编程逻辑器件实现如下功能:

- (1) 绕线机能够自动控制线包的绕制匝数,并且匝数可以预先设定。
- (2) 自动记录电动机转动次数,即绕制的匝数,并有 3 位十进制数字显示。
- (3) 绕制过程发生事故,允许操作者拨动手动开关,使电动机停转,以便排除故障。
- (4) 一次绕制完成,绕线机自动切断电动机电源,并使显示数据保持一定时

间,操作者也可以从容地取下成品,进行下一个线包的绕制。

解:系统分析:

系统分为三个部分:控制器、计数显示电路、保持电路和三个二进制 BCD 码的输入电路。如习题 9.10 图所示。



习题 9.10 图

系统接通电源后,处于等待状态,按下复位键后,对受控电路进行复位,使 LED 输出显示为零。当设定三个 4 位二进制码的匝数后,按下开始按键发出绕制指令,绕线机开始绕线,在绕线过程中,如果按下复位键,系统进入复位状态。如果在绕制过程中发生故障,按下暂停按键,停止绕制,当排除故障后,按下开始按键重新绕制。绕制圈数和设定匝数相等时,绕制完毕系统停止工作,进入保持状态,绕制匝数若不改变,经过一段时间后,系统重新进入复位状态。当按下开始按键后,又开始下一次绕制。

控制器及各个划分子电路的设计由于篇幅所限,请读者自行设计。

# 附 录

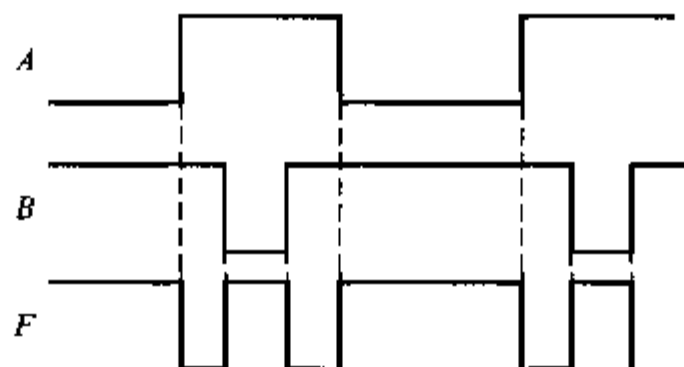
## 模拟试题 1

(根据北京交通大学 2000 年本科生数字电子技术期末考试试题 A 卷改编)

### (一) 概念

1. 对于 F1.1 图所示波形,  $A$ 、 $B$  为输入,  $F$  为输出, 反映的逻辑关系是\_\_\_\_\_。

(A) 与非关系 (B) 异或关系 (C) 同或关系 (D) 或关系 (E) 无法判断



F1.1 图

2. 某一逻辑函数真值确定后, 下面描述该函数功能的方法中, 具有唯一性的是\_\_\_\_\_。

(A) 逻辑函数的最简与或式 (B) 逻辑函数的最小项之和

(C) 逻辑函数的最简或与式 (D) 逻辑函数的最大项之和

3. CMOS 传输门不但可以传送\_\_\_\_\_信号, 还可以传送\_\_\_\_\_信号。

4. 在下列逻辑电路中, 不是组合逻辑电路的有\_\_\_\_\_。

(A) 译码器 (B) 编码器 (C) 全加器 (D) 寄存器

5.  $A$ 、 $B$ 、 $C$ 、 $D$ 、 $E$  是 5 个开关, 每个开关有两个状态 0 和 1,  $F$  为电灯, 亮时为逻辑 1, 灭时为逻辑 0, 且开关中出现 1 的个数为奇数时灯亮。若在 5 个不同的地方控制同一个电灯的灭亮, 逻辑函数  $F$  的表达式应为\_\_\_\_\_。

(A)  $ABCDE$  (B)  $A + B + C + D + E$

(C)  $A \oplus B \oplus C \oplus D \oplus E$  (D)  $A \odot B \odot C \odot D \odot E$

6. 下列触发器中没有约束条件的是\_\_\_\_\_。

(A) 基本 RS 触发器 (B) 主从 RS 触发器

(C) 同步 RS 触发器 (D) 边沿 D 触发器

7. 两个或非门组成的基本 RS 触发器, 若  $S = R = 0$ , 则触发器的状态应为\_\_\_\_\_。

(A) 置 0 (B) 置 1 (C)  $Q_{n+1} = Q_n$  (D) 不定

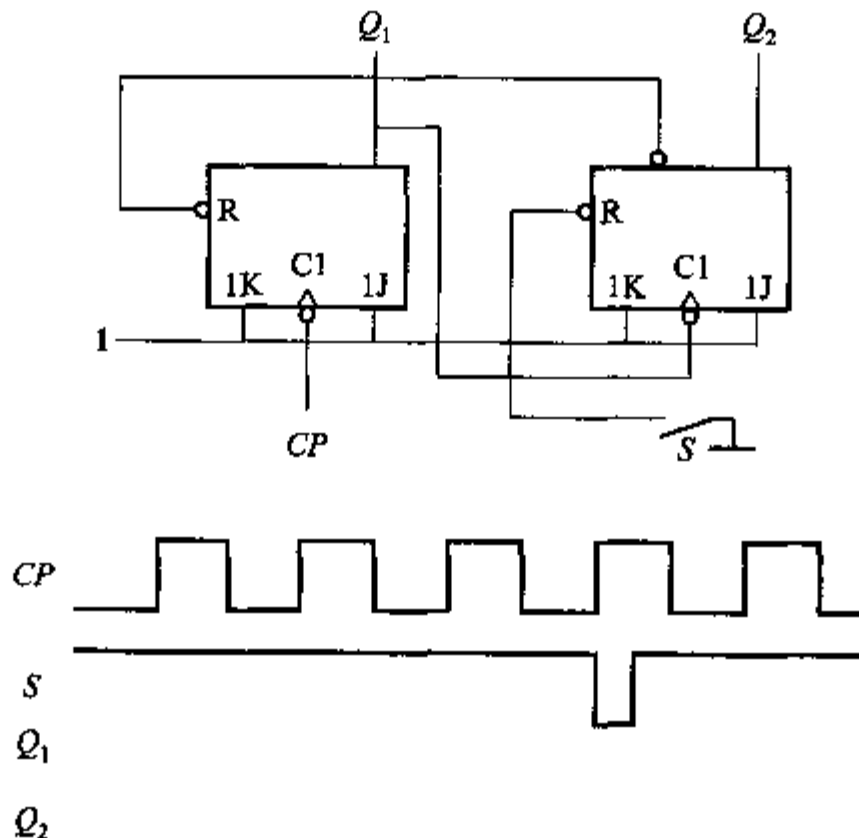
8. 从功能上讲, 常用时序模块有\_\_\_\_\_和\_\_\_\_\_。

9. 在各种寄存器中, 存放  $N$  位二进制数码需要\_\_\_\_\_个触发器。

## (二) 论述

RAM 的功能是什么? 它通常由哪几部分组成? RAM 静态存储单元和动态存储单元有何不同? 各有什么特点?

(三) 电路如 F1.2 图所示, 触发器为主从型 JK 触发器, 设初态均为 0。试按给定的输入信号波形输出  $Q_1$ 、 $Q_2$  端的波形。

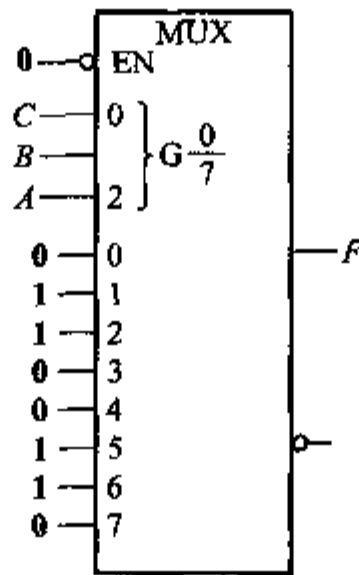


F1.2 图

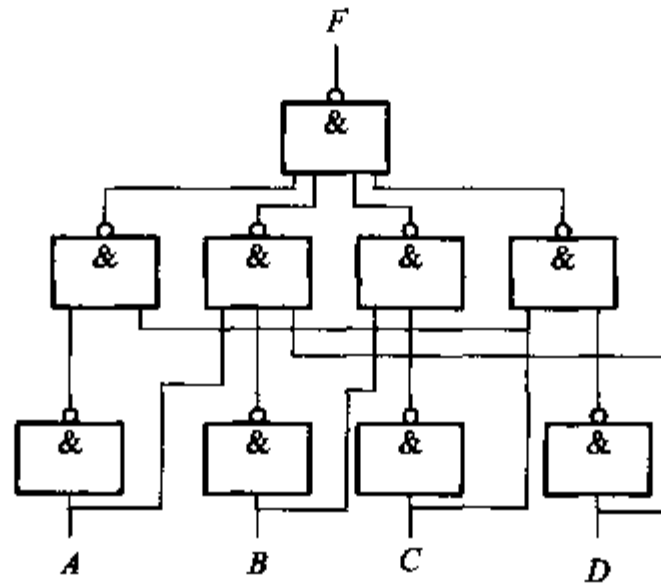
## (四)

1. F1.3 图为 8 选 1 数据选择器, 写出输出  $F$  的表达式, 化简  $F$ , 说出电路功能, 并用与非门画出电路。

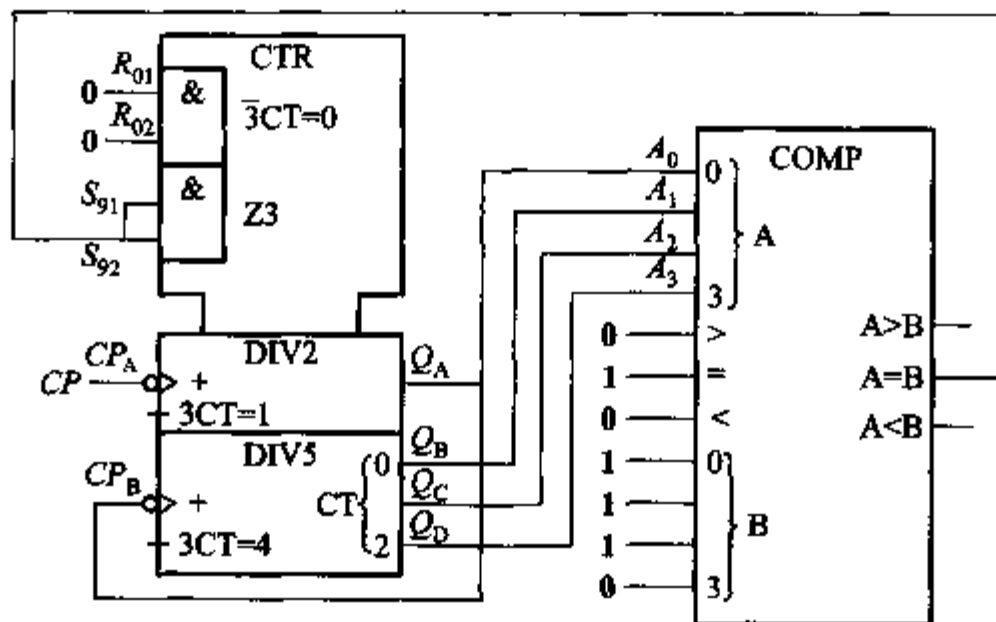
2. 分析 F1.4 图电路是否有冒险? 若有, 如何克服? 写出克服冒险后的电路输出的逻辑表达式。



F1.3 图



F1.4 图

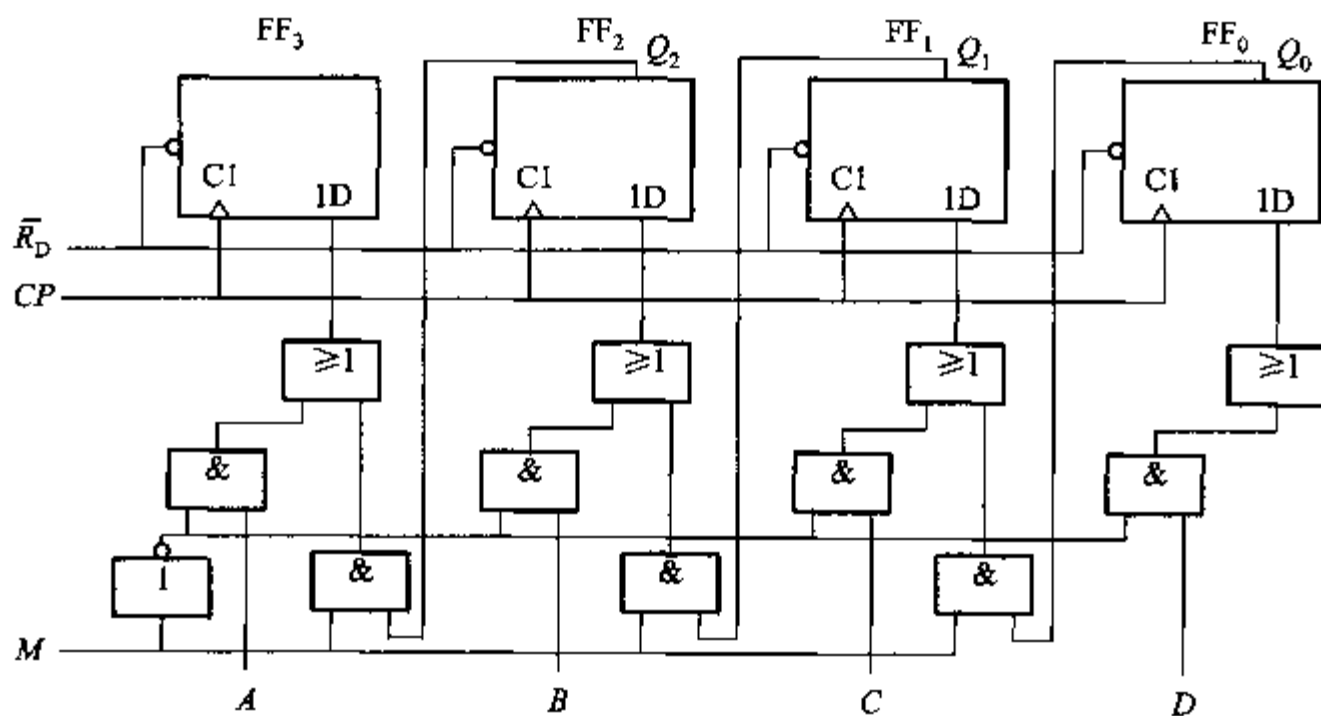


F1.5 图

(五) 分析 F1.5 图所示 74290 和 7485 组成的电路为几进制计数器, 要求写出态序表。 $CP_A$  接时钟  $CP$ 、 $CP_B$  接  $Q_A$  时, 为 8421BCD 码计数。当  $R_{01} = R_{02} = 0$  时计数, 当  $R_{01} = R_{02} = 1$  时异步清零; 当  $S_{91} = S_{92} = 0$  时计数, 当  $S_{91} = S_{92} = 1$  时预置为 **1001** ( $Q_D Q_C Q_B Q_A$ )。

(六) 试用  $D$  触发器设计一个按自然二进制数态序变化的同步五进制加法计数器, 要求写出驱动方程。

(七) 4 位移位寄存器电路如 F1.6 图所示。试用 PLA 及  $D$  触发器实现这一电路, 要求画出 PLA 的阵列图 (寄存器  $FF_3$  为高位, 寄存器  $FF_0$  为低位)。



F1.6 图

## 模拟试题 2

(根据北京交通大学 2000 年本科生数字电子技术期末考试试题 B 卷改编)

### (一) 概念

1. 某一逻辑函数的正逻辑表达式  $F = A \oplus B \oplus C$ , 则它的负逻辑表达式为\_\_\_\_\_。
2. CMOS 逻辑门电路的功耗\_\_\_\_\_, 当其输入信号的频率提高后, 其功耗将\_\_\_\_\_。
3. TTL 与非门的一个输入端经  $10\text{ k}\Omega$  电阻接地, 其余输入端悬空, 输出电压  $u_o =$ \_\_\_\_\_ V。
4. 组合逻辑电路一般由\_\_\_\_\_组合而成。

(A) 门电路 (B) 触发器 (C) 计数器 (D) 寄存器

5. 优先编码器 74148 输入为  $\bar{I}_0 \sim \bar{I}_7$  ( $\bar{I}_7$  优先级别最高), 输出为  $\bar{Y}_2, \bar{Y}_1, \bar{Y}_0$  ( $\bar{Y}_2$  为高位)。当使能输入  $\bar{S} = 0, \bar{I}_1 = \bar{I}_5 = \bar{I}_6 = 0$  时, 输出  $\bar{Y}_2 \bar{Y}_1 \bar{Y}_0$  应为\_\_\_\_\_。

6. 若 D 触发器的 D 端连在  $\bar{Q}$  端上, 经 100 个脉冲作用后, 其次态为 0, 则现态应为\_\_\_\_\_。

7. JK 触发器在 CP 脉冲作用下, 欲使  $Q_{n+1} = 1$ , 则输入信号应为\_\_\_\_\_。

(A)  $J = K = 1$  (B)  $J = 1, K = 0$  (C)  $J = K = \bar{Q}$  (D)  $J = K = 0$   
(E)  $J = \bar{Q}, K = 0$

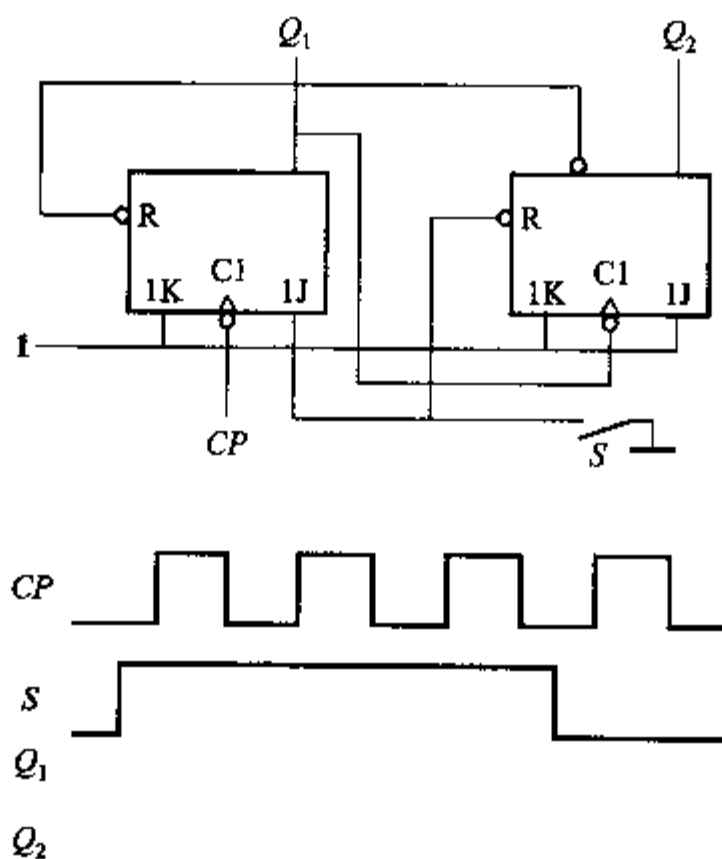
8. 时序模块中的基本单元是\_\_\_\_\_。

9. 移位寄存器分为\_\_\_\_\_和\_\_\_\_\_两种。

## (二) 论述

试述 PROM、EPROM 和 E<sup>2</sup>PROM 的特点。

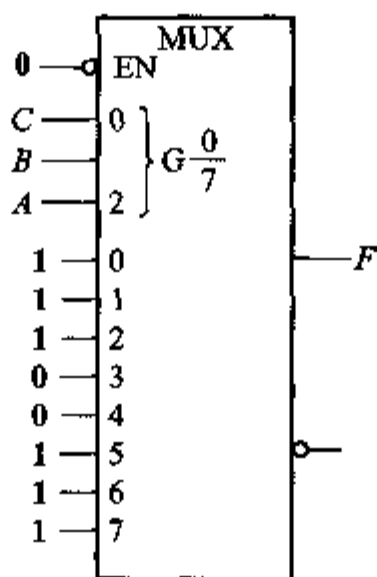
(三) 电路如 F2.1 图所示, 试按给定的 CP 与 S 波形画出  $Q_1$  及  $Q_2$  的波形图 (设触发器起始状态均为 0)。



F2.1 图

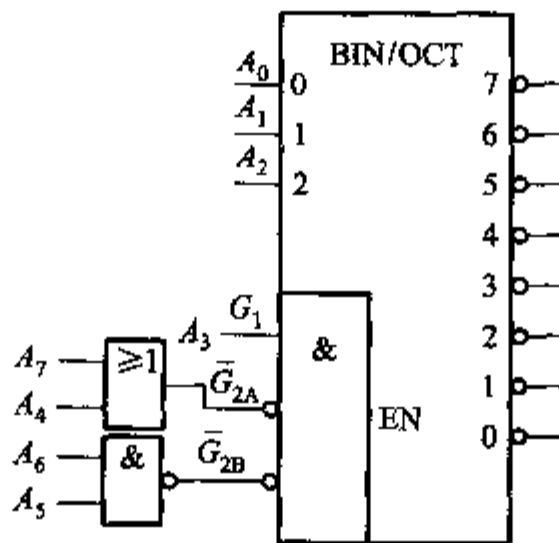
## (四)

1. 如 F2.2 图为 8 选 1 数据选择器, 写出输出  $F$  的表达式, 化简  $F$ , 说出电路功能, 并用与非门画出电路。



F2.2 图

2. 3 线 - 8 线译码器 74138 及门电路组成的组合逻辑电路如 F2.3 图所示。其中, 输入信号  $A_7 \sim A_0$  为地址线。试写出译码器各位输出所实现的地址。



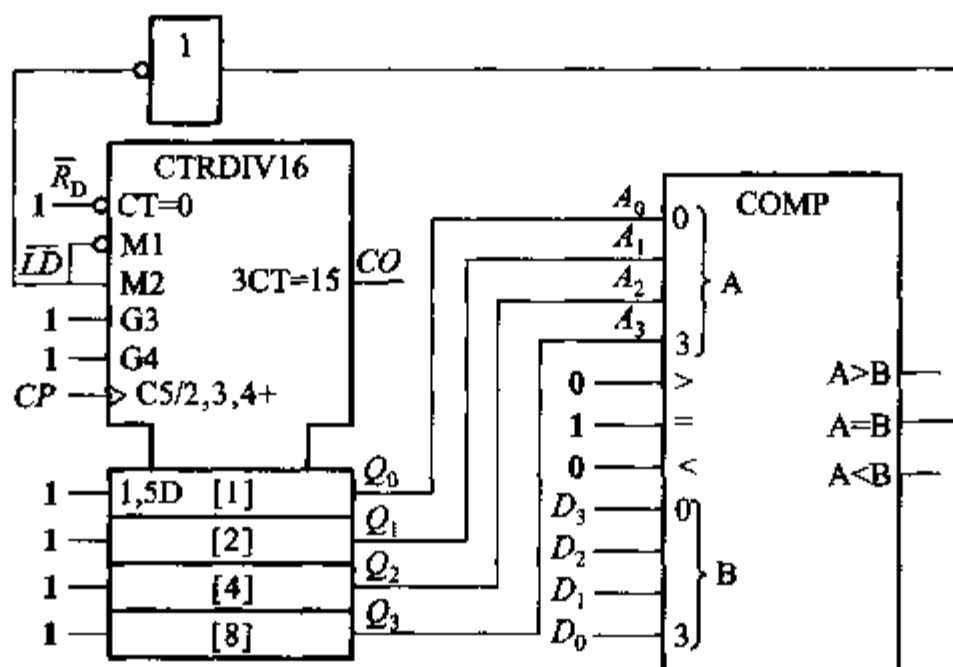
F2.3 图

(五) F2.4 图为可变模计数器, 74161 的置位端  $\overline{LD}$  为低电平有效, 复位端  $\overline{R_D}$  为低电平有效。当  $D_3 D_2 D_1 D_0 = 1010$  时, 计数器的模值  $M$  为多少?

(六) 设计一个按自然二进制数态序变化的同步五进制加法计数器。仅要求写出全状态转换图。

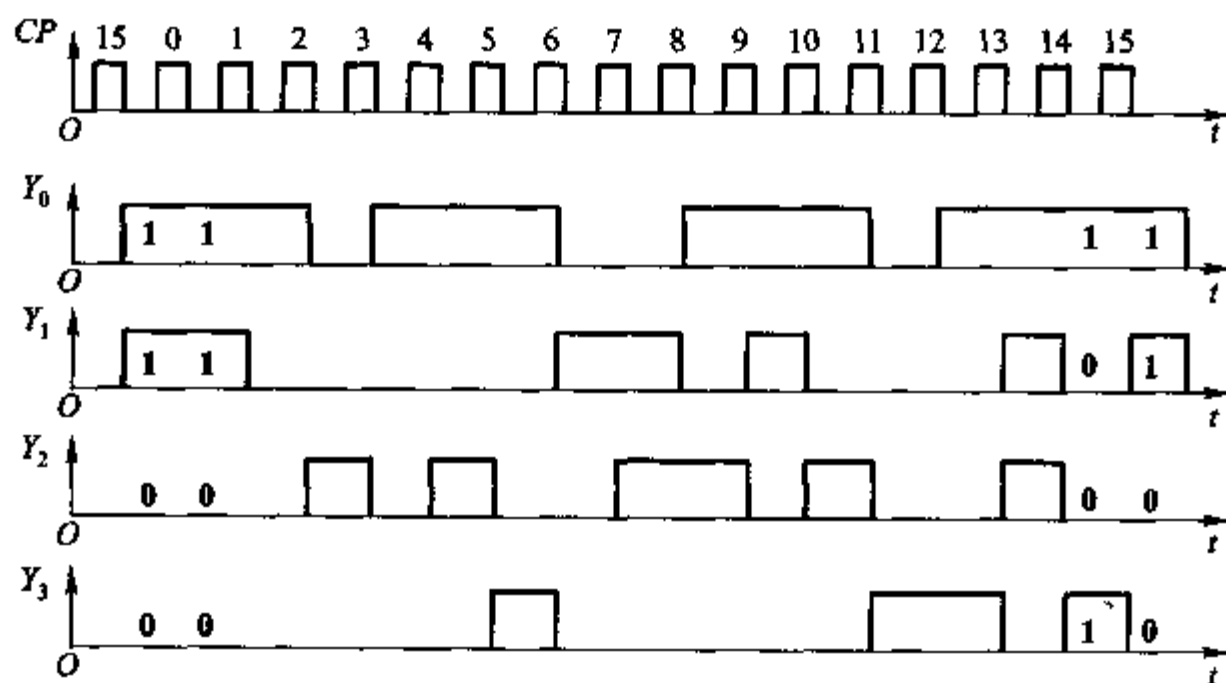
(七) 采用 PROM 设计产生 F2.5 图所示四路周期信号的逻辑电路 ( $Y_3$  为高





F2.4 图

位),并说出电路功能。



F2.5 图

### 模拟试题 3

(根据北京交通大学 2001 年本科生数字电子技术期末考试试题改编)

第一部分(60 分):闭卷命题(60 分钟内完成)

#### (一) 概念

##### 1. 填空

(1) 某一逻辑函数的正逻辑表达式  $F = A \oplus B \oplus C$ , 则它的对偶函数

为\_\_\_\_\_。

(2) 从  $A$ 、 $B$ 、 $C$ 、 $D$  中选择正确的答案。 $b_1$ 、 $b_2$ 、 $b_3$ 、 $b_4$  是 4 位二进制码,若电路采用奇校验,则校验位的逻辑表达式为\_\_\_\_\_。

(A)  $b_1 + b_2 + b_3 + b_4 + 1$       (B)  $b_1 \oplus b_2 \oplus b_3 \oplus b_4 \oplus 1$

(C)  $b_1 b_2 b_3 b_4 + 1$       (D)  $b_1 \oplus b_2 \oplus b_3 \oplus b_4 \oplus 0$

(3)  $JK$  触发器在  $CP$  脉冲作用下,欲使  $Q_{n+1} = 1$ ,则输入信号应为\_\_\_\_\_。

(A)  $J = K = 1$       (B)  $J = 1$        $K = 0$       (C)  $J = K = \bar{Q}$       (D)  $J = K = 0$

(E)  $J = \bar{Q}$        $K = 0$

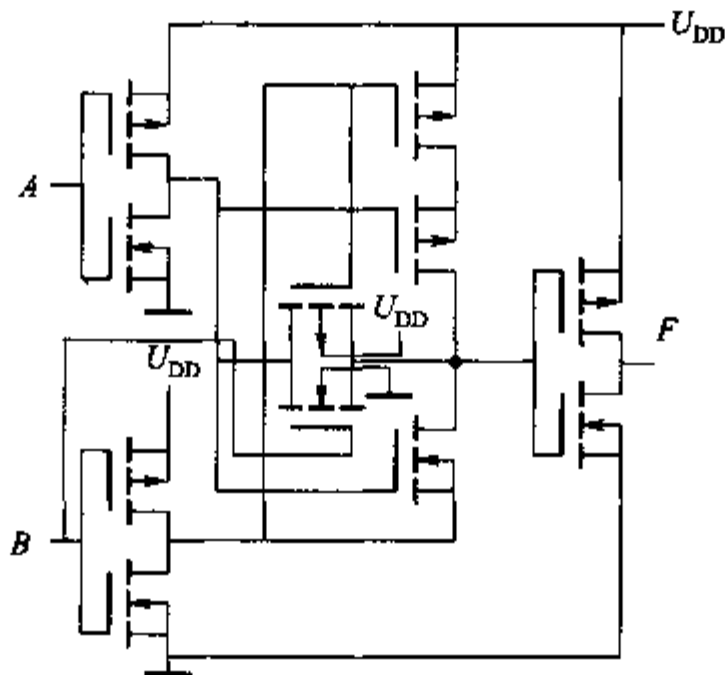
(4) 为了把时序电路的逻辑功能直观、形象地显示出来,有时需要把由输出方程、状态方程和控制方程表示的逻辑关系表示成\_\_\_\_\_、\_\_\_\_\_或\_\_\_\_\_的形式。

(5) TTL 集成电路 74161 与 74163 不同之处为\_\_\_\_\_。

(6) 将一个包含有 32768 个基本单元的存储电路设计成 4096 个字节的 RAM。该 RAM 有\_\_\_\_\_根数据线,\_\_\_\_\_根地址线。

2. 问题:试述高密度可编程逻辑器件相对于 TTL 系列器件优点有哪些?

(二) 某 CMOS 器件电路如 F3.1 图所示,试写出其逻辑表达式,说明电路的逻辑功能。

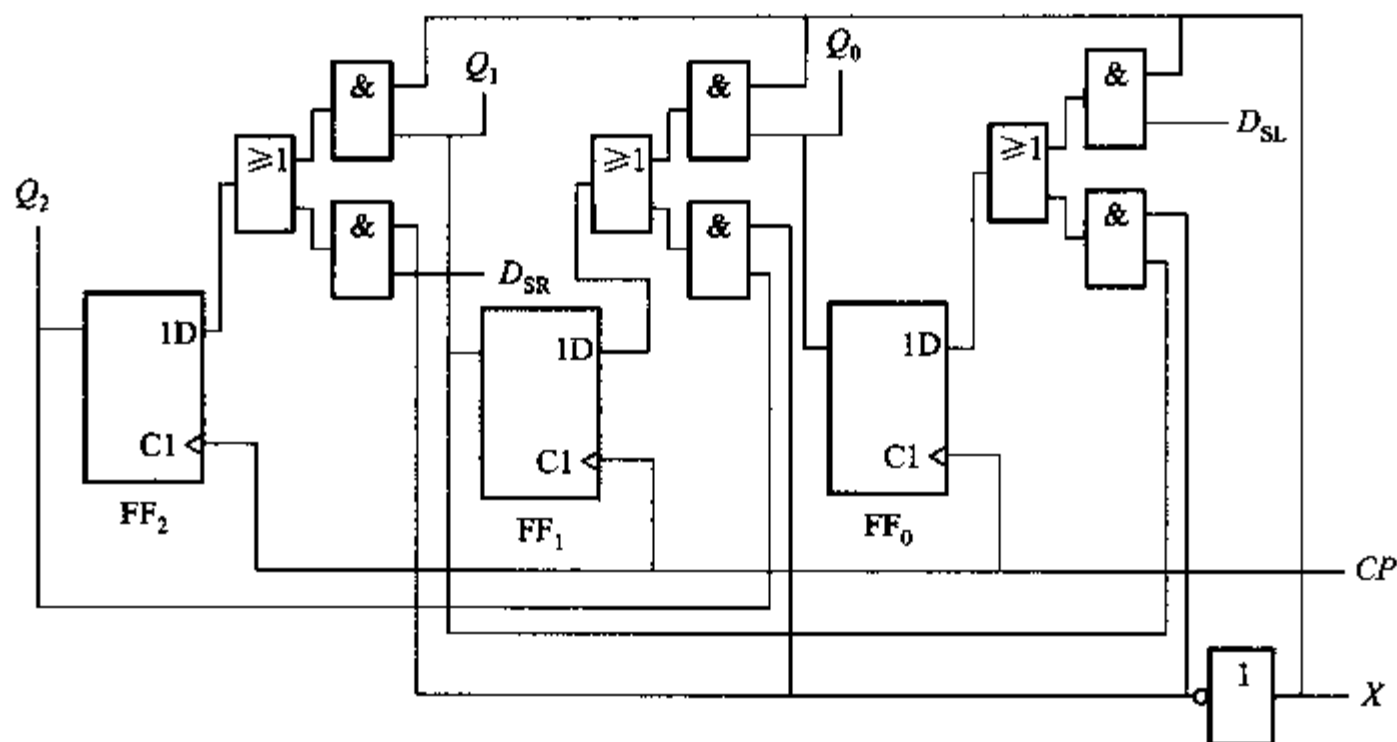


F3.1 图

(三) 设计一个有两个输入端  $X_1$ 、 $X_2$  的时序电路,只有在连续两个(或两个以上)脉冲作用期间两个输入都一致时,才能使输出为 1。画出原始状态转

换表。

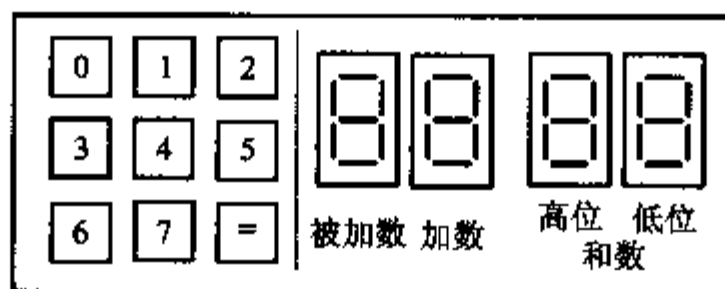
(四) 分析 F3.2 图中逻辑门和 3 个维持阻塞  $D$  触发器组成的电路,  $X$  为控制端,  $D_{SI}$  和  $D_{SR}$  为数据输入端。



F3.2 图

第二部分(40分):开卷命题,60分钟内完成。(可参考书籍)

(五) 命题: F3.3 图中的操作面板左侧有 8 个数字按键(编号为 0~7)和 1 个等号按键,在面板右侧配备 4 个共阳七段显示器。请设计一个电路:当第一次按下数字按键后,被加数七段显示器显示这个数字;当第二次按下数字按键后,加数七段显示器显示这个数字;第三次必须按下等号按键,按下等号后和数七段显示器显示加数和被加数的和,和数左侧七段显示器显示高位,和数右侧七段显示器显示低位数字。若第一或第二次同时按下几个按键,优先级别的顺序是 7 到 0。



F3.3 图

另配备 2 个 4 位二进制加法器、1 个 8 线 - 3 线优先编码器 74148、1 个 8 输入与非门、3 个 2 输入与非门、3 个计数器 74161、1 个 2 输入或非门、4 个 2 输入与门、6 个非门和 4 个 7447 显示译码器(所用芯片的功能表和符号参考教材)。

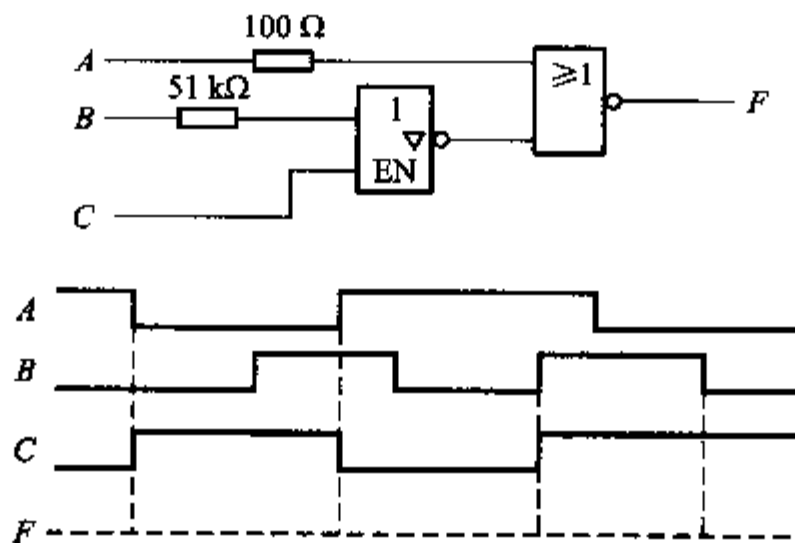
### 模拟试题 4

(根据北京交通大学 2003 年本科生数字电子技术期末考试试题 A 卷改编)

(一) 试用或非门画出  $F$  的最简逻辑图, 并检查是否存在竞争冒险。

$$F = (A + B)(A + C)\overline{CD} + B\overline{C}$$

(二) F4.1 图所示电路均采用 TTL 器件, 试根据输入波形画出其输出波形。



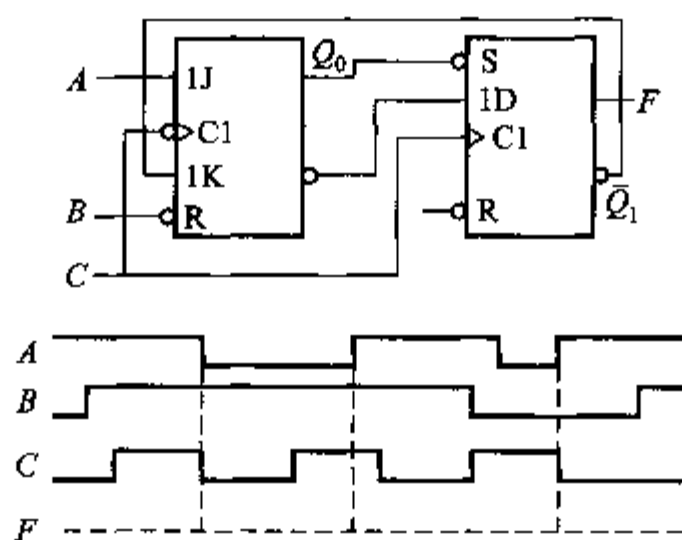
F4.1 图

(三) 有  $A$ 、 $B$ 、 $C$ 、 $D$  四位委员表决提案, 提案需四分之三多数赞成才能通过, 其中,  $A$  具有一票否决权。试用 8 选 1 数据选择器设计该表决器。

(四) 若  $Z = X^2 + Y$ , 且  $X$ 、 $Y$  均为 2 位二进制数。试画出  $Z(X, Y)$  的 PLA 阵列图。

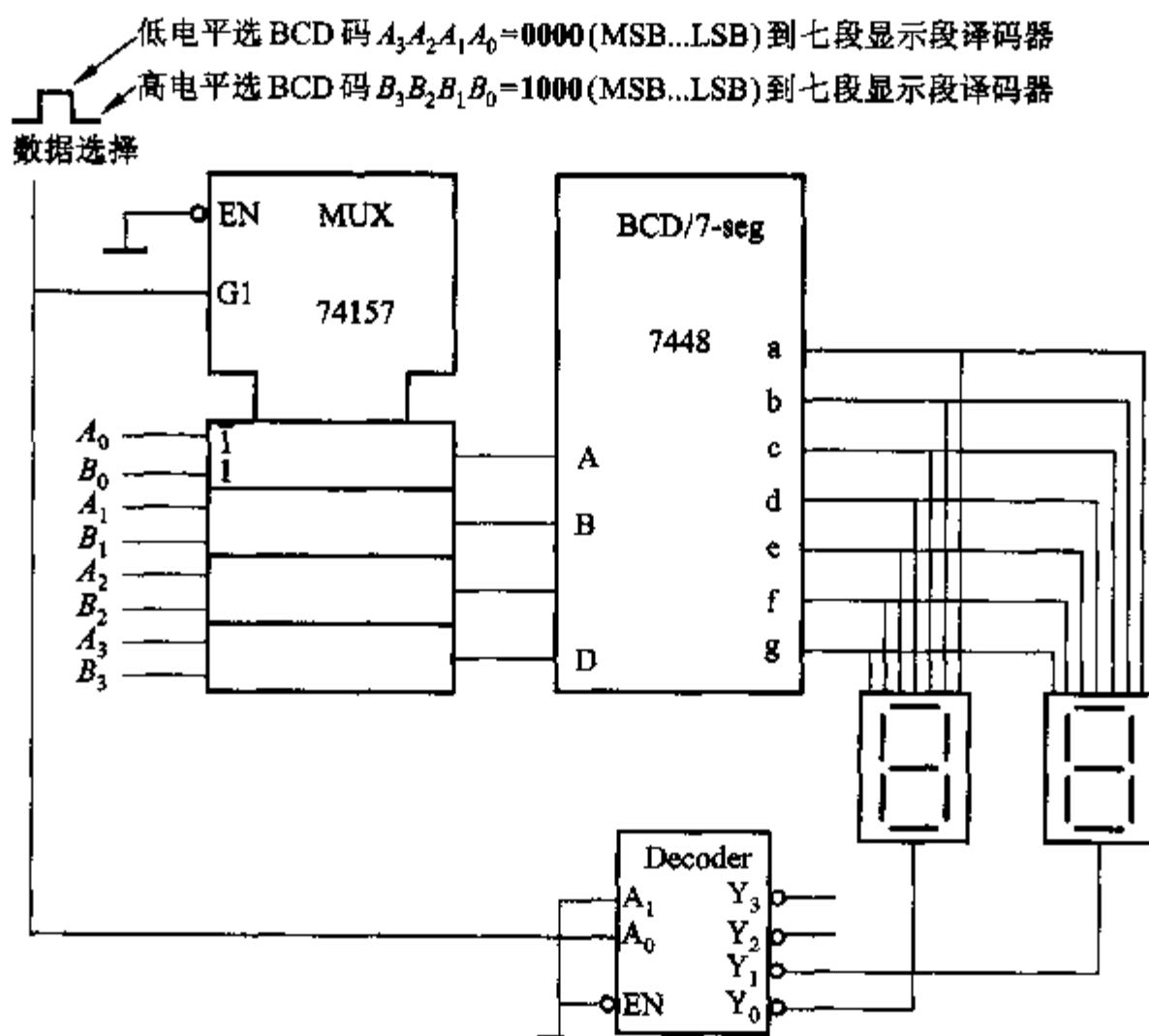
(五) 如 F4.2 图所示逻辑电路, 试根据输入波形画出其输出波形。

(六) 试用 74161(4 位二进制计数器)和适当的门电路设计一个同步 365 进制计数器。



F4.2 图

(七) 试叙述 F4.3 图所示电路工作原理,并说明电路功能。74157 为四 2 选 1 数据选择器,7448 为七段显示译码器,七段显示发光管为共阴极。(1) 数据选择信号为 1 Hz 脉冲。(2) 数据选择信号为 1 kHz 脉冲。



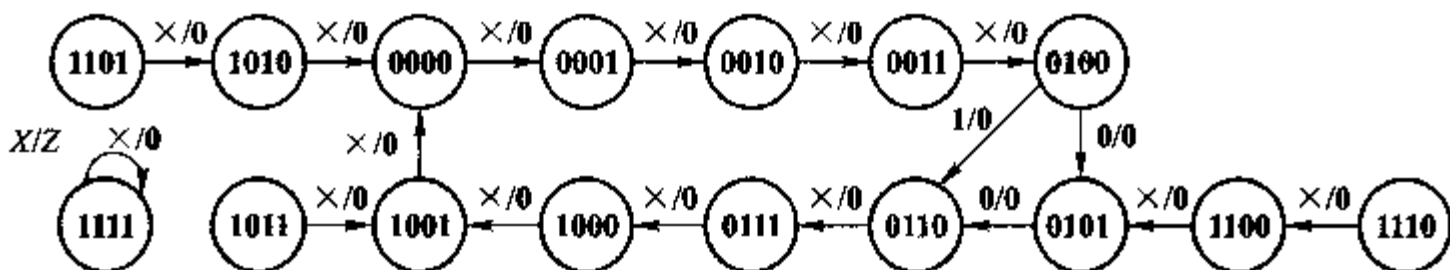
F4.3 图

## 模拟试题 5

(根据北京交通大学 2003 年本科生数字电子技术期末考试试题 B 卷改编)

### (一) 概念

(1) 设  $X$  为控制端,  $Z$  为输出端, 状态图如 F5.1 图, 请说明当  $X=0$  时, 其功能为\_\_\_\_\_。当  $X=1$  时, 其功能为\_\_\_\_\_, 能否自启动? 如果不能, 请修改。



F5.1 图

(2) 判断下列叙述是否正确。

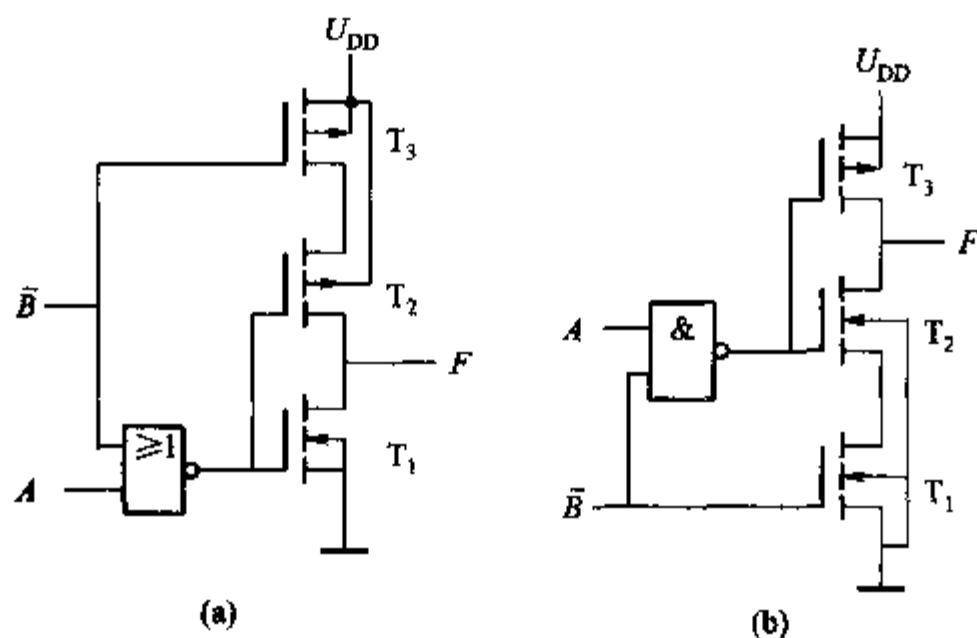
- (a) FPGA 是可编程逻辑器件。
- (b) PLA 实现逻辑函数时, 要求产生所有输入变量的最小项。
- (c) PAL 器件仅对逻辑宏单元 OLMC 进行编程。
- (d) GAL 是通用阵列逻辑器件, 可以进行反复编程。
- (e) 用 ROM 实现组合逻辑时不对函数做任何简化。

(3) 功耗是门电路的重要参数之一, 功耗有静态功耗和动态功耗之分。静态功耗指的是电路\_\_\_\_\_转换时的功耗; 动态功耗指的是电路\_\_\_\_\_转换时的功耗。

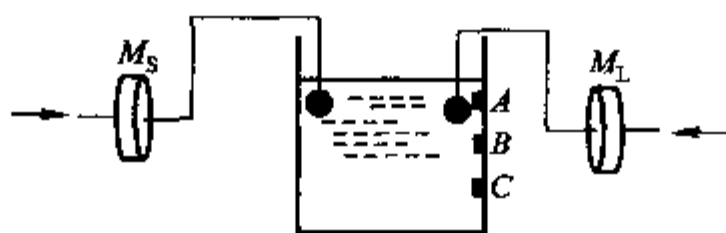
(二) 分析 F5.2 图两电路功能。

(三) 有一水箱由大、小两台水泵  $M_L$  和  $M_S$  供水, 如 F5.3 图所示。水箱中设置了 3 个水位检测元件  $A$ 、 $B$ 、 $C$ 。水面低于检测元件时, 检测元件给出高电平; 水面高于检测元件时, 检测元件给出低电平。要求当水位超过  $A$  点时水泵停止工作; 水位低于  $A$  点而高于  $B$  点时  $M_L$  单独工作; 水位低于  $B$  点而高于  $C$  点时  $M_S$  单独工作; 水位低于  $C$  点时  $M_L$  和  $M_S$  同时工作。试用门电路设计一个控制两台水泵的逻辑电路, 要求电路尽量简单。

(1) 写出约束项。



F5.2 图

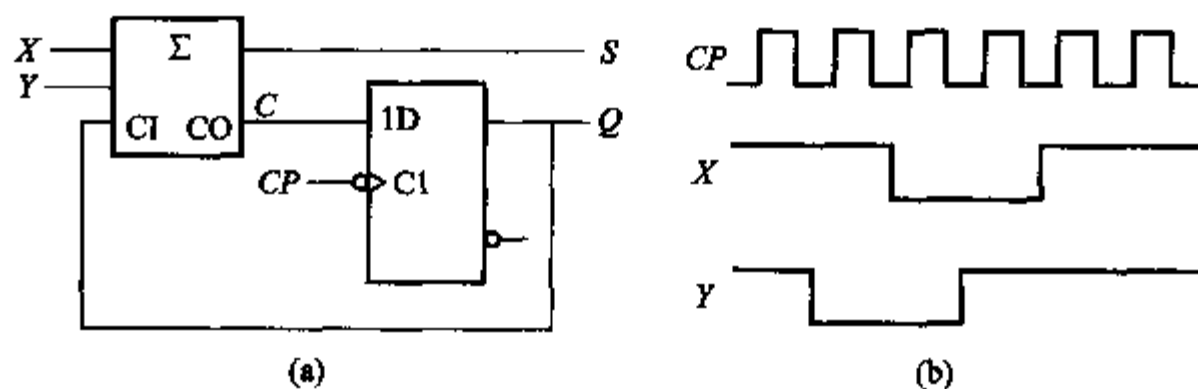


F5.3 图

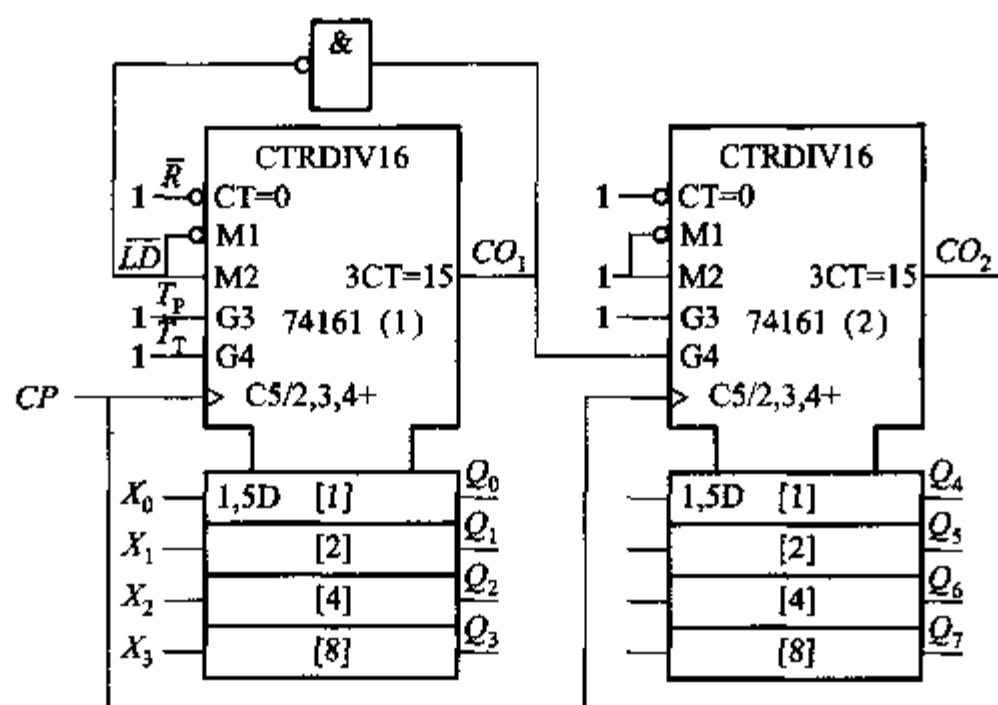
- (2) 写出逻辑函数。
- (3) 绘出逻辑电路图。

(四) 如 F5.4 图(a)所示时序电路,该电路由 D 触发器和全加器组成,其中 C、S 分别是全加器的进位输出端以及和输出端,时序电路有两个输入端 X 和 Y,一个输出端 S。

- (1) 试求该电路的状态转换图。
- (2) 画出在如 F5.4 图(b)所示输入信号的作用下, Q 和 S 的波形,设初态为 0。

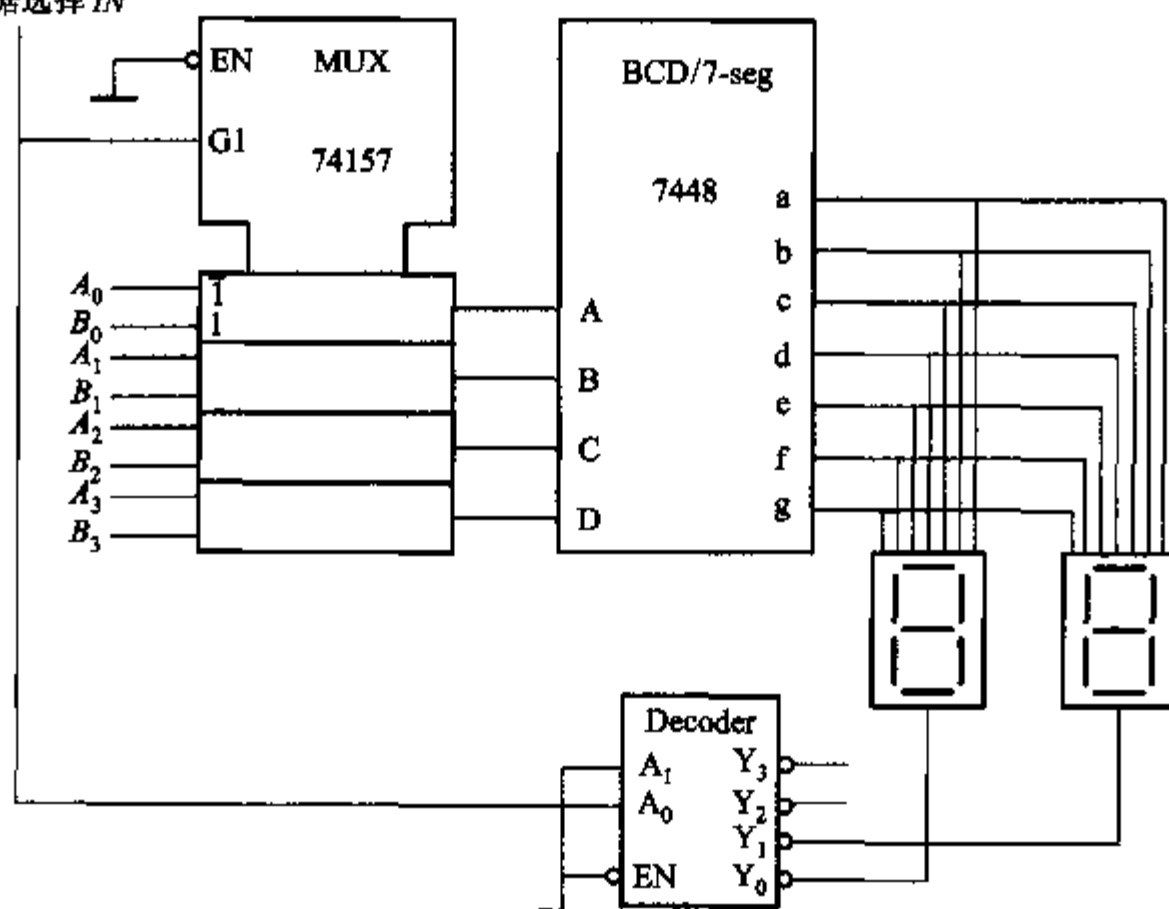


F5.4 图



(a)

低电平选 BCD 码  $A_3A_2A_1A_0=0000$  (MSB...LSB) 到七段显示译码器  
 高电平选 BCD 码  $B_3B_2B_1B_0=1000$  (MSB...LSB) 到七段显示译码器  
 数据选择  $IN$



(b)

F5.5 图

(五) 若  $Z = X + Y^2$ , 且  $X, Y$  均为 2 位二进制数。试画出  $Z(X, Y)$  的 PLA 阵列图。



(六) 有  $A$ 、 $B$ 、 $C$ 、 $D$  四位委员表决提案,提案需四分之三多数赞成才能通过,其中  $A$  具有一票通过权。试用 8 选 1 数据选择器设计该表决器。

(七) F5.5 图给出两片 74161 计数器,功能表如 F5.1 表所示,第一片 74161 的数据预置端的  $X_3X_2X_1X_0 = 0110$ ,输入脉冲  $CP$  为 160 Hz。74157 为四 2 选 1 数据选择器,七段显示译码器在 74157 右边,且输出有效为高电平,七段显示发光管为共阴极。当 74161 计数器输出为 1111 状态时, $CO_1$  或  $CO_2$  ( $3CT = 15$ ) 输出高电平。试叙述电路工作原理,并说明电路功能。(1) 当  $CO_2$  接入数据选择信号  $IN$  时的七段显示发光管现象。(2) 当  $CP$  接入数据选择信号  $IN$  时的七段显示发光管现象。

F5.1 表 74161 功能表

输 入									输 出			
$CP$	$\overline{R}$	$\overline{LD}$	$T_P$	$T_T$	$X_3$	$X_2$	$X_1$	$X_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
$\times$	0	$\times$	$\times$	$\times$	$\times$	$\times$	$\times$	$\times$	0	0	0	0
$\uparrow$	1	0	$\times$	$\times$	$D_3$	$D_2$	$D_1$	$D_0$	$D_3$	$D_2$	$D_1$	$D_0$
$\times$	1	1	0	$\times$	$\times$	$\times$	$\times$	$\times$	保 持			
$\times$	1	1	$\emptyset$	0	$\times$	$\times$	$\times$	$\times$	保 持			
$\uparrow$	1	1	1	1	$\times$	$\times$	$\times$	$\times$	计 数			

## 模拟试题 6

(根据北京交通大学 2004 年本科生数字电子技术期末考试试题改编)

### (一) 概念

1. 要求一个 D/A 转换系统模拟输出电压的最大值为 10 V,基准电压  $U_{REF}$  应选几伏?

2. 如果要求模拟输出电压的最大值 10 V,电压的最小变化量为 50 mV,应选几位的 DAC 芯片? DAC0832 还是 AD7533?

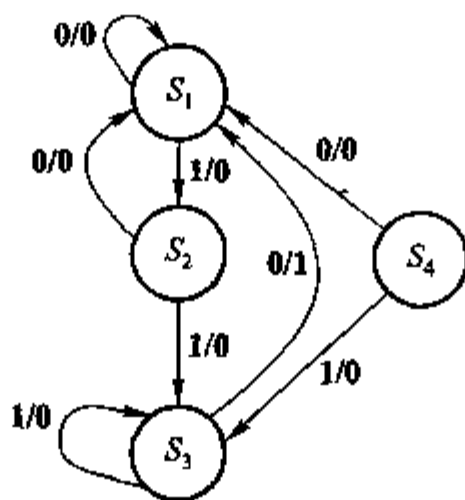
### 3. 判断题

(1) PAL 可以对输出宏单元编程。( )

(2) FPGA 掉电后信息不丢失。( )

(3) 扭环型计数器的有效状态等于触发器的个数。( )

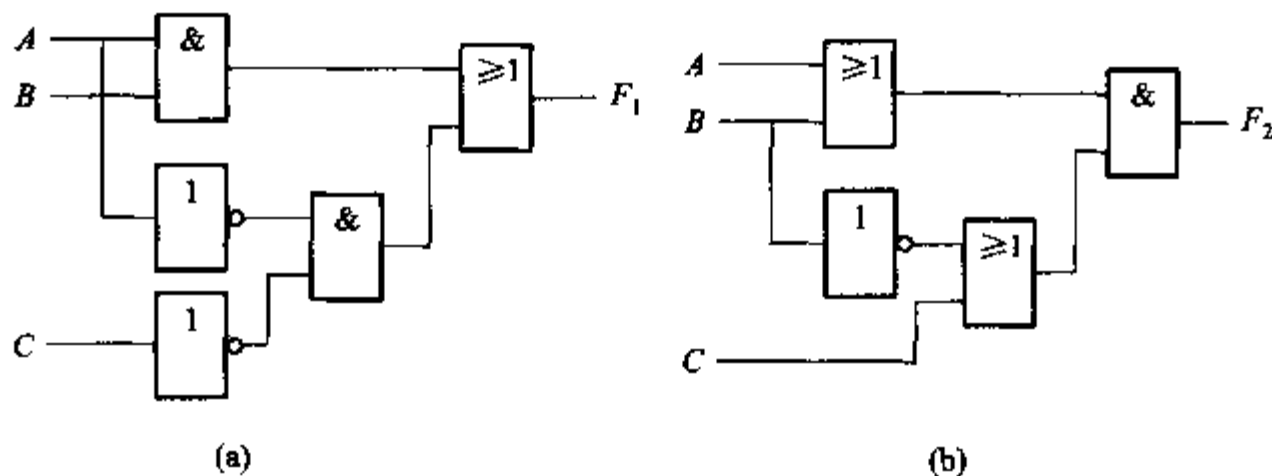
4. 根据 F6.1 图所示状态图,叙述其功能,并说明能不能自启动。



F6.1 图

5. 一个有使能端的译码器能否用作数据分配器? 怎样连接可以使一个 8 路输出的数据分配器成为一个 3 线 - 8 线译码器。

(二) 判断 F6.2 图(a)、(b)两图电路是否存在冒险? 如果存在冒险现象, 如何克服?

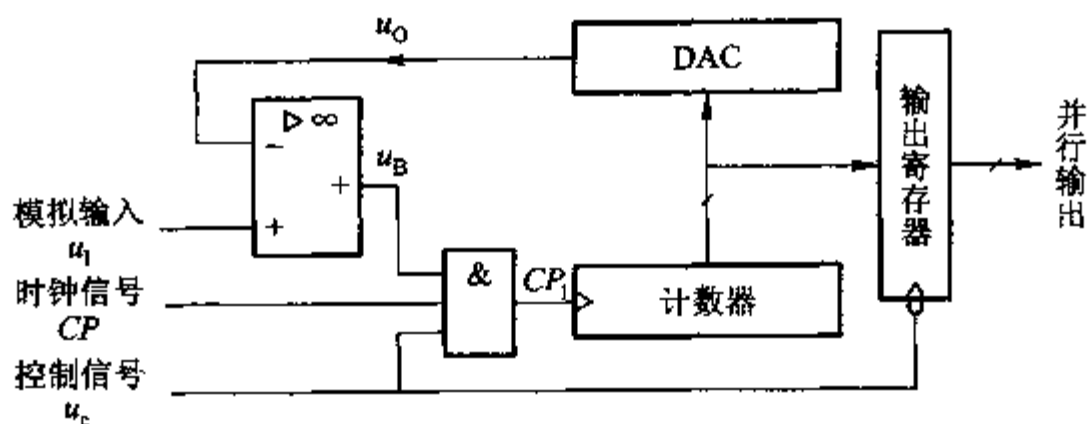


F6.2 图

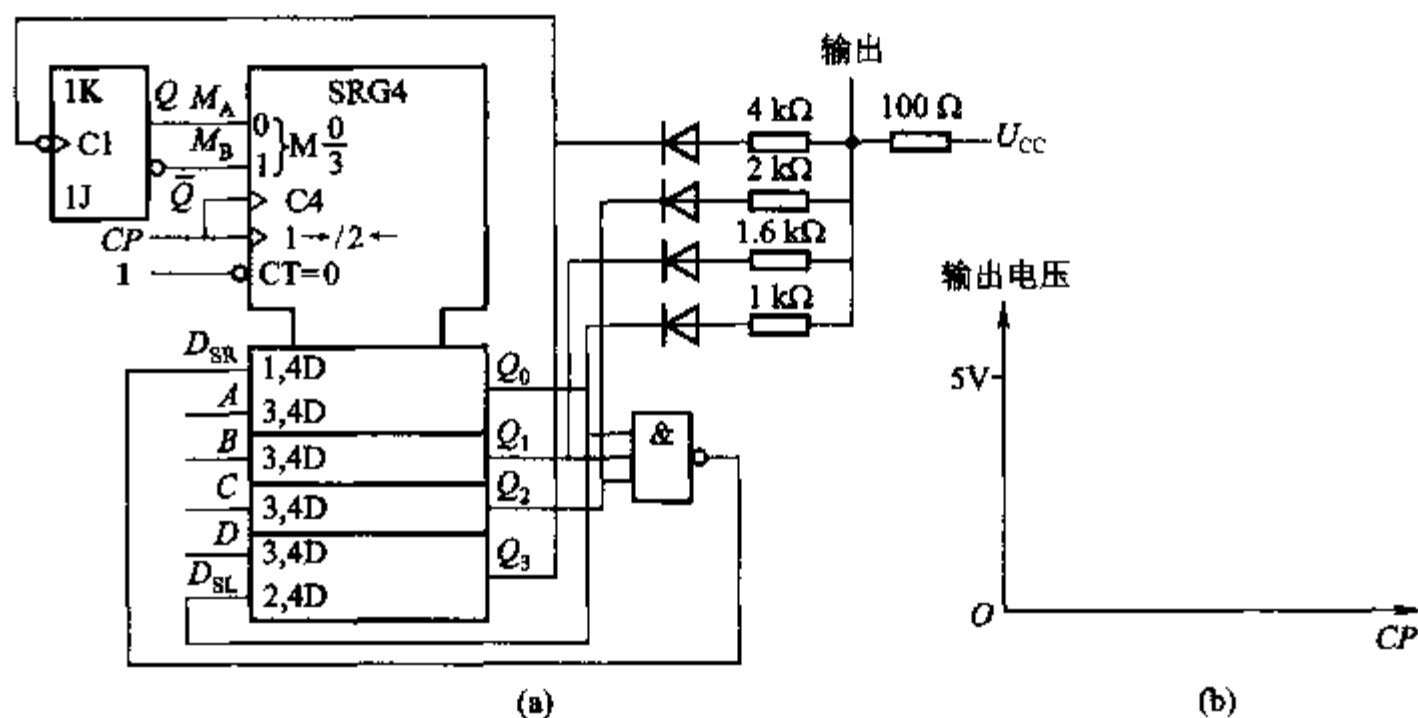
(三) F6.3 图所示是一种 A/D 转换器, 试说明其工作原理, 并说明该 A/D 转换器的优缺点。

(四) 如 F6.4 图(a)所示为由移位寄存器 74194 和 JK 触发器构成的 D/A 转换器连接图。试解释工作原理。并在 F6.4 图(b)上画出随 CP 变化的输出波形。设初始状态  $QQ_3Q_2Q_1Q_0 = 10000$ 。

$$(五) \text{ 若 } Z = \begin{cases} X + Y^2 & X \leq 2 \\ X^2 + Y & X > 2 \end{cases}$$



F6.3 图



F6.4 图

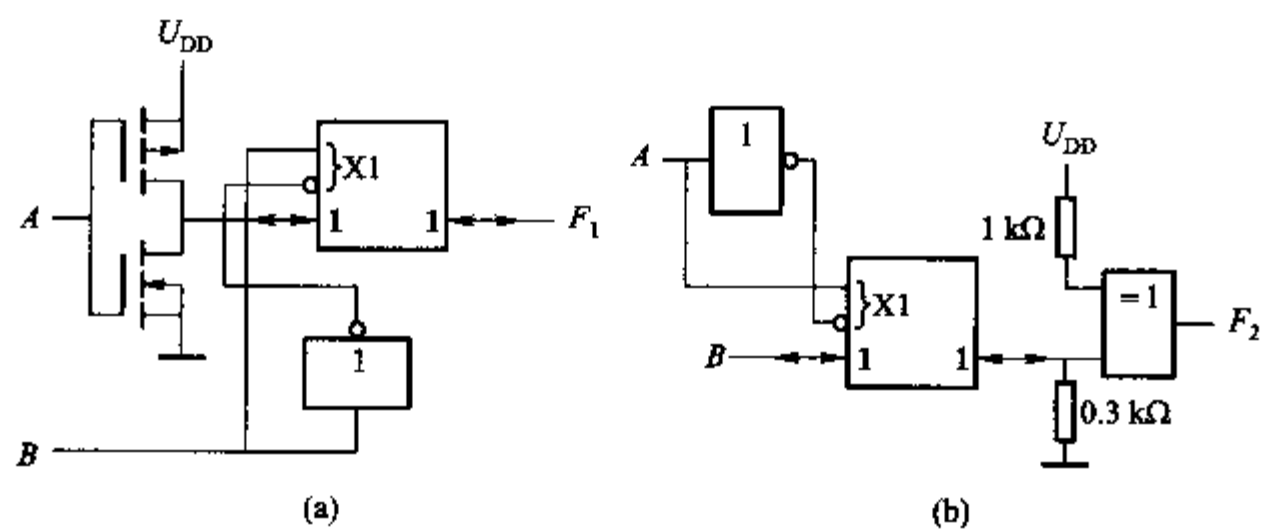
且  $X$ 、 $Y$  均为 2 位二进制数。试画出  $Z(X, Y)$  的 PLA 阵列图。

(六) 某化学实验室有化学试剂 11 种, 编为第 1 ~ 11 号, 在配方时, 必须遵守下列规定:

- (1) 第 2 号不能与第 7 号同时用。
- (2) 第 3 号和第 6 号必须同时配用。
- (3) 用第 4、9 号时, 必须同时配用第 11 号。

请设计一个逻辑电路, 能在违反上述任何一个规定时, 发出报警指示信号 (高电平)。使用某化学试剂定义为高电平 1。

(七) F6.5 图(a)、(b)所示为两种 CMOS 门电路, 试分别写出各图的逻辑表达式。



F6.5 图

## 参考文献

- 1 薛宏熙. 数字系统设计自动化. 北京:清华大学出版社,1996
- 2 侯建军. 数字逻辑与系统解题指导和 Foundtion 操作指南. 北京:中国铁道出版社,2001
- 3 刘宝琴. 数字电路与系统. 北京:清华大学出版社,2002
- 4 沈嗣昌. 数字设计引论. 北京:高等教育出版社,2000
- 5 侯建军. 数字电子技术基础. 北京:高等教育出版社,2003
- 6 张锡赓. 数字电子技术重点难点及典型题精解. 西安:西安交通大学出版社,2002
- 7 龙忠琪等. 数字电路解题技巧 50 法及题解 300 例. 北京:科学出版社,2002
- 8 刘宝琴. 数字电子技术基础解题指南. 北京:清华大学出版社,1993
- 9 刘宝琴. ALTERA 可编程逻辑器件及其应用. 北京:清华大学出版社,1995
- 10 阎石. 数字电子技术基础教师手册. 北京:高等教育出版社,2003
- 11 阎石. 数字电子技术基础. 第 4 版. 北京:高等教育出版社,2001
- 12 王毓银. 数字电路逻辑设计. 第 3 版. 北京:高等教育出版社,2001
- 13 蒋璇. 数字电路与逻辑设计课程设计. 北京:高等教育出版社,1991
- 14 白中英等. 数字逻辑与数字系统题解、题库与实验. 北京:科学出版社,1999
- 15 邓庆元. 数字电子与逻辑设计. 北京:电子工业出版社,2001
- 16 余孟尝. 数字电子技术基础简明教程. 第 2 版. 北京:高等教育出版社,2001
- 17 J P Uvemura. A First Course in Digital System Design. Brooks, 2000
- 18 C H Roth. Digital System Design Using VHDL. Brooks, 1998
- 19 Alan B Marcovitz. Introduction to Logic Design. The McGraw-Hill Company, 2002
- 20 Thomas L Floyd. Digital Fundamentals. Prentice Hall, 2000
- 21 M Morris Mano. Digital Design. Prentice Hall, 2002
- 22 John F Wakerlly. Digital Design——Principles & Practices. Prentice Hall,2001