

丛书主编 王凤兰

考研新干线

# 数字电子技术常见题型解析及模拟题

蔡惟铮 主编 王淑娟 副主编



中国铁道出版社

责任编辑：孙严冰

封面设计：彭建华

## 考研新干线

理论力学常见题型解析及模拟题

材料力学常见题型解析及模拟题

机械原理常见题型解析及模拟题

电工技术常见题型解析及模拟题

电子技术常见题型解析及模拟题

数据结构常见题型解析及模拟题

通信原理常见题型解析及模拟题

电路原理常见题型解析及模拟题

信号与系统常见题型解析及模拟题

自动控制原理常见题型解析及模拟题

模拟电子技术常见题型解析及模拟题

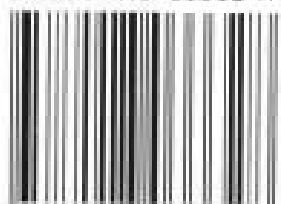
→ **数字电子技术常见题型解析及模拟题**

计算机操作系统常见题型解析及模拟题

计算机组成原理常见题型解析及模拟题

电磁场与电磁波常见题型解析及模拟题

ISBN 7-118-03332-4



9 787118 033328 >

ISBN 7-118-03332-4/TN·504

定价：15.00 元

考 研 新 干 线

# 数字电子技术

## 常见题型解析及模拟题

蔡惟铮 主 编

王淑娟 副主编

国防工业出版社

·北京·

**图书在版编目(CIP)数据**

数字电子技术常见题型解析及模拟题 / 蔡惟铮主编.  
北京: 国防工业出版社, 2004.1  
(考研新干线)  
ISBN 7-118-03332-4

I. 数... II. 蔡... III. 数字电路-电子技术-研  
究生-入学考试-自学参考资料 IV. TN79

中国版本图书馆 CIP 数据核字(2003)第 111721 号

**国防工业出版社** 出版发行

(北京市海淀区紫竹院南路 23 号)

(邮政编码 100044)

天利华印刷装订有限公司印刷

新华书店经售

\*

开本 787×1092 1/16 印张 10 $\frac{3}{4}$  240 千字

2004 年 1 月第 1 版 2004 年 1 月北京第 1 次印刷

印数: 1—5000 册 定价: 15.00 元

---

(本书如有印装错误, 我社负责调换)

## 《考研新干线》丛书编委会

丛书主编 王凤兰

### 编委会成员

秦安琳	金桂霞	程 鹏	蒋持平	樊昌信
申利民	刘长林	韩向春	丁天昌	苏 媛
许曰滨	刘遵仁	曲继方	王淑娟	王宇野
张华弟	董五洲	张德斌	聂国权	徐亚清
戴 民	王铁军	赵晓冬	杨 茜	李继勇

# 前 言

本书系学习指导类辅助教材,旨在帮助学习《数字电子技术》课程的学生掌握课程的基本概念、重点、难点和主要的分析方法。把握好本课程的重点和难点是掌握本课程的关键,这里要说明的是,重点不一定是难点,难点可能是重点,但也不一定是重点。不论是重点还是难点,其中的基本概念是最重要的。掌握基本概念的定义固然重要,但学会运用基本概念分析问题和解决问题更加重要。所以,做习题的主要目的是掌握好概念,特别是同一概念在不同题型中的具体应用,以深化对概念的理解;通过做习题考核自己掌握基本概念的正确性和准确性,以及是否会运用电子电路的基本分析方法。这些分析方法除了与电路基础课程中的方法有共同之处外,还有其特殊性。因此要学好《数字电子技术》这门课,掌握电路基础课程是很重要的。

本书的章节按现行教材安排,每章中的内容分学习要点、重点难点、例题分析和自我测试4个部分。在学习要点中简明扼要地介绍了本章的主要内容和基本要求。在重点难点中对本章的重点和难点进行了介绍,有的部分是对教材内容的概述,有的部分是对教材内容的总结,部分内容在一般教材中难于看到。考虑到同学们已经基本学习完本课程了,所以书中有的内容是前后联系在一起加以说明的。如果同学们还没有学完本课程,暂时看不懂,可以先跳过去,以后再看。在例题分析和自我测试中,要通过例题巩固概念,分辨不同概念的差别和相似之处;要融会贯通,尤其要通过例题学会用基本概念解决实际问题的本领;要学会用某一个概念解决多个不同问题的本领。这样便会越学越自由,书也就越学越薄,真正达到了少而精的目的。本书还收集了一部分电子技术课程的试题,分类给出,供同学们参考,对于报考硕士研究生的同学也十分有益。

本书由哈尔滨工业大学电子学教研室的教师编写,参加编写工作的有蔡惟铮、王淑娟、王宇野、张辉、齐明、于泳等,由蔡惟铮任主编,王淑娟任副主编。由于时间紧,可能会有差错之处,恳请读者批评指正,不胜感谢。

编 者

2003年7月

## 内 容 简 介

本书是一本帮助学生学习的《数字电子技术》课程的辅助教材,共分8章。其内容主要是遵照教育部颁发的电子技术基础教学基本要求,以及近年来高校本课程的教学情况而确定的。每章由学习要点、重点难点、例题分析和自我测试4个部分组成。

本书可供本科生、报考硕士研究生的同学使用,对讲授本门课程的教师也有参考价值。

# 目 录

第 1 章 逻辑函数的化简与变换	1
1.1 学习要点	1
1.2 重点难点	1
1.2.1 逻辑代数中的基本概念	1
1.2.2 逻辑运算	1
1.2.3 基本公式	2
1.2.4 基本规则	3
1.2.5 最小项和最大项	4
1.2.6 逻辑函数的表示方法	6
1.2.7 逻辑函数的化简	6
1.3 例题分析	9
1.4 自我测试	14
第 2 章 集成逻辑门	22
2.1 学习要点	22
2.2 重点难点	22
2.2.1 逻辑门电路	22
2.2.2 CT54/CT74 系列 TTL 与非门	23
2.2.3 集电极开路门(OC 门)	27
2.2.4 三态门(TS)	29
2.2.5 CMOS 集成逻辑门	29
2.2.6 TTL 逻辑门与 CMOS 逻辑门的比较	31
2.3 例题分析	32
2.4 自我测试	40
第 3 章 组合逻辑电路	46
3.1 学习要点	46
3.2 重点难点	46
3.2.1 组合逻辑电路的定义	46
3.2.2 组合逻辑电路的分析	46
3.2.3 组合逻辑电路的设计	47
3.2.4 逻辑函数式的最佳化	47
3.2.5 中规模组合逻辑电路	48
3.2.6 竞争与冒险	54



3.3 例题分析	54
3.4 自我测试	64
<b>第4章 触发器和定时器</b>	<b>75</b>
4.1 学习要点	75
4.2 重点难点	75
4.2.1 触发器概述	75
4.2.2 基本RS触发器	75
4.2.3 时钟触发器	76
4.2.4 时钟触发器的电路结构	78
4.2.5 CMOS触发器	79
4.2.6 555定时器	80
4.3 例题分析	83
4.4 自我测试	89
<b>第5章 时序逻辑电路</b>	<b>102</b>
5.1 学习要点	102
5.2 重点难点	102
5.2.1 时序逻辑电路的分析	102
5.2.2 常用时序逻辑电路	104
5.2.3 时序逻辑电路的设计方法	104
5.2.4 常用集成时序逻辑器件功能及应用	105
5.3 例题分析	109
5.4 自我测试	119
<b>第6章 半导体存储器</b>	<b>130</b>
6.1 学习要点	130
6.2 重点难点	130
6.2.1 只读存储器(ROM)	130
6.2.2 随机存储器(RAM)	132
6.3 例题分析	133
6.4 自我测试	138
<b>第7章 A/D与D/A转换器</b>	<b>143</b>
7.1 学习要点	143
7.2 重点难点	143
7.2.1 D/A转换器	143
7.2.2 A/D转换器	146
7.3 例题分析	151
7.4 自我测试	158
<b>第8章 试题详解</b>	<b>163</b>
8.1 逻辑函数的化简与变换试题	163
8.2 逻辑门试题	163

8.3 组合逻辑电路试题 .....	169
8.4 触发器和定时器试题 .....	176
8.5 时序逻辑电路试题 .....	184
8.6 半导体存储器试题 .....	195
8.7 A/D 与 D/A 转换器试题 .....	195
参考文献 .....	199

# 第 1 章 逻辑函数的化简与变换

## 1.1 学习要点

- (1) 逻辑代数中的基本概念:逻辑电平、双值逻辑、逻辑变量、逻辑运算和逻辑函数等。
- (2) 逻辑代数的基本定律、形式定理和基本规则。
- (3) 最小项与最大项的定义、性质,与或标准型。
- (4) 逻辑函数的逻辑式、真值表、逻辑图和卡诺图表示法。
- (5) 逻辑函数的化简:代数法化简和卡诺图法化简。

## 1.2 重点难点

### 1.2.1 逻辑代数中的基本概念

#### 1. 逻辑变量

逻辑变量与普通代数一样也用字母表示,但每个变量只取“0”或“1”2种情况,即变量不是取“0”,就是取“1”。

#### 2. 双值逻辑和逻辑电平

目前使用的逻辑代数属于双值逻辑系统的数学工具,双值逻辑系统的信号遵循高电平和低电平的规定。信号只要不小于  $U_{Hmin}$ ,不大于电路承受电压的水平,就认为是高电平,它的确切数值并不重要;信号只要不大于  $U_{Lmax}$ ,就认为是低电平。

#### 3. 正逻辑和负逻辑

把“1”定义为高电平,“0”定义为低电平,这种逻辑体制称为正逻辑;反之,将“1”定义为低电平,“0”定义为高电平,这种逻辑体制称为负逻辑。

### 1.2.2 逻辑运算

#### 一、基本逻辑运算

##### 1. 逻辑加法(“或”运算)

逻辑加法(“或”运算)的定义式为  $P = A + B$ 。这里必须指出的是,逻辑加法与算术加法的运算规律不同,要特别注意在逻辑代数中:  $1 + 1 = 1$ 。

##### 2. 逻辑乘法(“与”运算)

逻辑乘法(“与”运算)的定义式为  $P = AB$  或  $P = A \cdot B$ 。

##### 3. 逻辑非

逻辑非的定义式为  $P = \bar{A}$ ,读作“A 反”或“A 非”。

此外还有在基本运算基础上形成的组合运算,有与或、或与、与非、或非、与或非、异或等。

以上逻辑运算是针对正逻辑体制而言的。要注意正逻辑的“与”相当于负逻辑的“或”,不同的逻辑体制,“与”和“或”不同。它们的关系如表 1.1 所列。

表 1.1 正逻辑和负逻辑的对应关系

电平真值表				正逻辑真值表				负逻辑真值表			
A	B	与	或	A	B	与	或	A	B	或	与
L	L	L	L	0	0	0	0	1	1	1	1
L	H	L	H	0	1	0	1	1	0	1	0
H	L	L	H	1	0	0	1	0	1	1	0
H	H	H	H	1	1	1	1	0	0	0	0

## 二、组合逻辑运算

将基本逻辑运算进行各种组合,可以获得与非、或非、与或非、异或、同或等组合逻辑运算。各种组合逻辑运算的表达式如下。

### 1. 与非逻辑运算

逻辑表达式为

$$P = \overline{A \cdot B}$$

### 2. 或非逻辑运算

逻辑表达式为

$$P = \overline{A + B}$$

### 3. 与或非逻辑运算

逻辑表达式为

$$P = \overline{AB + CD}$$

### 4. 异或逻辑运算

逻辑表达式为

$$P = A \oplus B = \overline{A}B + A\overline{B}$$

注意:1 次异或逻辑运算只有 2 个输入变量,多个变量的异或运算,必须 2 个 2 个变量分别进行。例如  $A \oplus B \oplus C$ ,先进行其中 2 个变量的异或运算,其结果再和第 3 个变量进行异或运算。以下的同或运算也具有同样的特点。

### 5. 同或逻辑运算

逻辑表达式为

$$P = A \odot B = \overline{A}\overline{B} + AB$$

## 1.2.3 基本公式

基本公式反映了逻辑运算的一些基本规律,熟练地掌握这些基本公式,才能正确地分

析和设计逻辑电路。表 1.2 列出了逻辑代数常用的基本公式。基本上可以概括为 5 种类型。

- (1) 变量与常量之间的关系,如表中序号 1、2 对应的 4 个公式。
- (2) 变量自身之间的关系,如表中序号 3、4 对应的 4 个公式。
- (3) 与或逻辑关系:

$$\begin{aligned} A + AB &= A \\ A + \bar{A}B &= A + B \\ AB + \bar{A}C + BC &= AB + \bar{A}C \end{aligned}$$

- (4) 或与逻辑关系:

$$\begin{aligned} A(A + B) &= A \\ A(A + B) &= AB \\ (A + B)(\bar{A} + C)(B + C) &= (A + B)(A + C) \end{aligned}$$

- (5) 求反的逻辑关系:

$$\begin{aligned} \overline{AB} &= \bar{A} + \bar{B} \\ \overline{\bar{A} + \bar{B}} &= AB \end{aligned}$$

表 1.2 基本公式

序号	名 称	基 本 公 式	对 偶 式
1	变量与常量之间的关系	$A \cdot 0 = 0$	$A + 1 = 1$
2		$A \cdot 1 = A$	$A + 0 = A$
3	变量自身之间的关系	$A \cdot A = A$	$A + A = A$
4		$A \cdot \bar{A} = 0$	$A + \bar{A} = 1$
5	吸收律	$A + AB = A$	$A(A + B) = A$
6	去因子	$A + \bar{A}B = A + B$	$A(\bar{A} + B) = AB$
7	消项	$AB + \bar{A}C + BC = AB + AC$	$(A + B)(A + C)(B + C) = (A + B)(A + C)$
8	摩根定理	$\overline{AB} = \bar{A} + \bar{B}$	
9		$\overline{\bar{A} + \bar{B}} = AB$	
10	还原律	$\bar{\bar{A}} = A$	

布尔代数中还有一些显而易见的定律和公式,如交换律、结合律、分配律等。

1.2.4 基本规则

一、对偶规则

1. 对偶式

在一个逻辑函数式  $P$  中,如果进行加乘互换、“0”“1”互换,得到的新的表达式称为原

式的对偶式,记为  $P'$  (注意不实行原反互换)。

## 2. 对偶规则

如果布尔函数  $F$  和  $G$  相等,则其对偶式  $F'$  和  $G'$  也相等,即  $F' = G'$ 。有了对偶规则,当要证明 2 个逻辑函数式相等时,可以通过其对偶式相等而得证。

## 二、代入规则

在任一含有变量  $A$  的逻辑等式中,如果用另一个逻辑函数  $F$  代替所有的变量  $A$ ,则新等式仍然成立。代入规则扩大了逻辑函数基本公式的应用范围。

## 三、反演规则

在一个逻辑函数式  $P$  中,如果进行加乘互换、“0”“1”互换、原反互换,得到原逻辑函数  $P$  的反函数,记为  $\bar{P}$ 。利用反演规则,可以容易地求得一个函数的反函数。

应用反演规则要注意,对于有多层反号的情况,只对最外层的反号进行变换,最外层反号以下的部分不变。

## 四、展开规则

展开规则又叫做展开定理,包含有 2 个规则。

展开规则 1:

$$\begin{aligned} f(x_1, x_2, x_3, \cdots, x_n) &= (x_1 + \bar{x}_1)f(x_1, x_2, x_3, \cdots, x_n) = \\ &= x_1f(x_1, x_2, x_3, \cdots, x_n) + \bar{x}_1f(x_1, x_2, x_3, \cdots, x_n) \end{aligned}$$

由于上式中  $x_1f(x_1, x_2, x_3, \cdots, x_n)$  项只有在  $x_1 = 1$  时才有效,  $\bar{x}_1f(x_1, x_2, x_3, \cdots, x_n)$  项只有在  $x_1 = 0$  时才有效,因此

$$\begin{aligned} f(x_1, x_2, x_3, \cdots, x_n) &= x_1f(x_1, x_2, x_3, \cdots, x_n) + \bar{x}_1f(x_1, x_2, x_3, \cdots, x_n) = \\ &= x_1f(1, x_2, x_3, \cdots, x_n) + \bar{x}_1f(0, x_2, x_3, \cdots, x_n) \end{aligned}$$

展开规则 2:

$$\begin{aligned} f(x_1, x_2, x_3, \cdots, x_n) &= (x_1 + \bar{x}_1)f(x_1, x_2, x_3, \cdots, x_n) + f(x_1, x_2, x_3, \cdots, x_n) = \\ &= x_1f(x_1, x_2, x_3, \cdots, x_n) + \bar{x}_1f(x_1, x_2, x_3, \cdots, x_n) + \\ &= f(x_1, x_2, x_3, \cdots, x_n) + x_1\bar{x}_1 = \\ &= [x_1 + f(0, x_2, x_3, \cdots, x_n)][\bar{x}_1 + f(1, x_2, x_3, \cdots, x_n)] \end{aligned}$$

当  $x_1 = 0$  时,第 2 个中括号为“1”,该逻辑函数由第 1 个中括号决定;当  $x_1 = 1$  时,该逻辑函数由第 2 个中括号决定。展开规则 1 和 2 是对偶的。

### 1.2.5 最小项和最大项

#### 一、最小项和最大项的定义

##### 1. 最小项

若逻辑函数有  $n$  个输入变量,则全部  $n$  个变量的逻辑乘即是最小项。在最小项中,每个变量均以原变量或反变量的形式出现,且仅出现 1 次,所以可能有  $2^n$  个最小项,用符号  $m_i$  表示。将最小项中的原变量用“1”代替,反变量用“0”代替,这个二进制代码所对应的十进制码就是最小项的下标  $i$ 。

## 2. 最大项

逻辑函数的最大项为  $n$  个输入变量的逻辑和, 每个变量均以原变量或反变量的形式在最大项中出现, 且仅出现 1 次, 所以可能有  $2^n$  个最大项, 用符号  $M_I$  表示。

### 二、最小项和最大项的性质

(1) 在输入变量的任何取值下必有 1 个最小项, 而且仅有 1 个最小项的值为“1”, 其余最小项的值都是“0”, 即所谓  $N(2^n)$  中取 1 个“1”。以 2 变量为例:

$A$	$B$	$m_3$	$m_2$	$m_1$	$m_0$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

(2) 全部最小项之和恒等于“1”, 即

$$m_3 + m_2 + m_1 + m_0 = 1$$

(3) 任意 2 个最小项之积恒等于“0”, 即

$$m_i m_j = 0$$

(4) 具有相邻性的 2 个最小项之和可以合并为 1 项, 并消去 1 个因子。

(5) 若干个最小项之和等于其余最小项和之反, 即

$$m_1 + m_2 = \overline{m_0 + m_3}$$

$$m_0 = \overline{m_1 + m_2 + m_3}$$

(6) 最小项的反是最大项, 最大项的反是最小项, 即

$$\overline{m_2} = \overline{AB} = \overline{A} + \overline{B} = M_2$$

如果与最小项一样, 将最大项中的变量用二进制码表示, 则最大项的下标  $I$  是最小项下标  $i$  的补码, 即

$$i + I = 2^n - 1$$

(7) 输入变量的每一组取值都使 1 个对应的最大项的值为“0”, 其余最大项的值为“1”, 即所谓  $N(2^n)$  中取 1 个“0”。以 2 变量为例:

$A$	$B$	$M_3$	$M_2$	$M_1$	$M_0$
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

例如, 当  $AB = 01$  时,  $m_1 = \overline{A}B = 1$ , 其他最小项为“0”;  $M_2 = A + \overline{B}$ , 其他最大项为“1”。

(8) 最小项的性质和最大项的性质之间具有对偶性。例如全部最大项之积恒等于

“0”,与全部最小项之和恒等于“1”是对偶的。其他性质可类推。

### 1.2.6 逻辑函数的表示方法

在逻辑电路中,如果输入变量  $X_1, X_2, \dots, X_n \in \{0, 1\}$ , 则共有  $2^n$  种取值可能, 对于其中的若干种取值时, 其输出变量  $F \in \{0, 1\}$  就有一个对应的确定值, 我们把这种对应关系称为逻辑函数。

逻辑函数的表示方法主要有 4 种: 真值表、逻辑表达式(逻辑函数式)、逻辑图和卡诺图。

(1) 真值表是将输入变量的各种取值与其相应的输出值一一对应列表。

(2) 逻辑表达式是由逻辑变量和逻辑运算符所组成的表达式。逻辑式表达有多种形式: 与或式、或与式、与非与非式、或非或非式、与或非式, 这 5 种逻辑表达式可以在相同的逻辑关系下转换, 即同一种逻辑关系可以表达为以上 5 种形式。

逻辑函数的标准型: 同一逻辑关系有多种表达形式。

与或标准型定义为

$$F = \sum m_i$$

或与标准型定义为

$$F = \prod M_i$$

(3) 逻辑图是用逻辑符号及其互连关系来表示一定逻辑关系的电路图。

(4) 卡诺图是真值表的图形化。它是将输入变量分成 2 组而构成的平面图表, 共有  $2^n$  个最小项, 每个最小项占 1 个小格, 最小项之间按邻接原则排列。

真值表、逻辑表达式、逻辑图和卡诺图之间可以互相转换, 知道其中的 1 个就可以推出另外 3 个。

### 1.2.7 逻辑函数的化简

在逻辑运算中, 有些逻辑函数往往不是以最简形式给出的, 这既不利于判断这些逻辑函数的因果关系, 也不利于用最少的电子器件来实现这些逻辑函数, 因而有必要对这些逻辑函数进行化简。化简方法有代数法和卡诺图法 2 种。

#### 一、代数法化简逻辑函数

所谓最简的与或式就是在包括函数所有最小项的前提下, 乘积项最少, 而且每个乘积项中变量的个数也最少。

(1) 合并法: 就是利用公式  $AB + \bar{A}B = B$ , 将 2 项合并为 1 项, 合并时消去 1 个变量。

(2) 吸收法: 就是利用公式  $A + AB = A$ , 消去多余的乘积项。

(3) 消去法: 就是利用公式  $A + \bar{A}B = A + B$ , 消去多余的变量。

(4) 配项法: 将逻辑函数乘以  $(A + \bar{A})$ , 以获得新的项, 便于重新组合, 或利用公式  $AB + \bar{A}C = AB + \bar{A}C + BC$ , 为原逻辑函数的某一项配上 1 项, 有利于函数的重新组合和化简。

代数法化简逻辑函数要求熟练掌握逻辑代数的基本公式和定理, 而且需要一些技巧和经验, 特别是经代数法化简后得到的逻辑表达式是否是最简式有时较难判断。



## 二、卡诺图化简逻辑函数(卡诺图化简法)

卡诺图化简法能直接获得最简表达式,简单、直观,有一定的化简步骤,但变量数超过6个时,卡诺图化简也难于进行。卡诺图的特点是:凡是几何位置相邻的最小项,在逻辑上也一定相邻。据此,在卡诺图上找到具有相邻性的最小项,并将其合并,消去不同的因子,这就是卡诺图化简法的依据。

由于卡诺图中的小格是一个个最小项,且按邻接关系排列,因此,2个最小项中只有1个变量是互补的,其余变量都是相同的,可以合并成1项,就可以消去1个变量。2变量、3变量和4变量卡诺图如图1.1所示。

		$B$		0	1
		$A$		0	1
0		00	01		
1		10	11		

(a)

		$BC$				00	01	11	10
		$A$				0	1	1	0
0		000	001	011	010				
1		100	101	111	110				

(b)

		$CD$				00	01	11	10
		$AB$				00	01	11	10
00		0000	0001	0011	0010				
01		0100	0101	0111	0110				
11		1100	1101	1111	1110				
10		1000	1001	1011	1010				

(c)

图 1.1 卡诺图的构成

(a) 2 变量卡诺图; (b) 3 变量卡诺图; (c) 4 变量卡诺图。

### 1. 与或型逻辑函数如何填入卡诺图

与或型逻辑函数可以直接填入卡诺图,对于其他形式的逻辑函数可以变换为与或型再填入卡诺图。填入方法有2种:第1种方法是将逻辑函数变换为与或标准型,存在的最小项,在对应的卡诺图小格中填“1”,不存在的最小项填“0”,当然“0”也可以不填;第2种方法是直接将与项填入,例如:将具有4个变量的逻辑函数中的与项  $\bar{A}BD$ 、 $\bar{B}\bar{C}$ 、 $\bar{A}B$ 、 $B$ 、 $\bar{B}\bar{D}$  和  $BD$  填入卡诺图。

对于与项  $\bar{A}BD$ ,因行上的变量没有消去,所以应填入01行;列上的变量消去1个,所以应填入01和11列,即第2列和第3列,如图1.2(a)所示。

对于与项  $\bar{B}\bar{C}$ ,因行和列上的变量各消去1个,所以应填入01和11行;列上的变量消去1个,应填入00列和01列,即第2行、第3行和第1列、第2列,如图1.2(b)所示。

对于与项  $\bar{A}B$ ,因行上的变量没有消去,所以应填入01行;列上的变量消去2个,所以应占全部4列,填入01行,即第2行,如图1.2(c)所示。

对于与项  $B$ ,因行上的变量消去1个,所以应填入01和11行;列上的变量消去2个,所以应填入全部4列,即第2行和第3行以及全部4列,如图1.2(d)所示。

对于与项  $\bar{B}\bar{D}$ ,因行上和列上的变量各消去1个,所以应占2行2列,应填入00和10行及00和10列,即第1行和第4行、第1列和第4列,如图1.2(e)所示。

对于与项  $BD$ ,因行上和列上的变量各消去1个,所以应占2行2列,应填入01和11行及01和11列,即第2行和第3行、第2列和第3列,如图1.2(f)所示。与项  $\bar{B}\bar{D}$

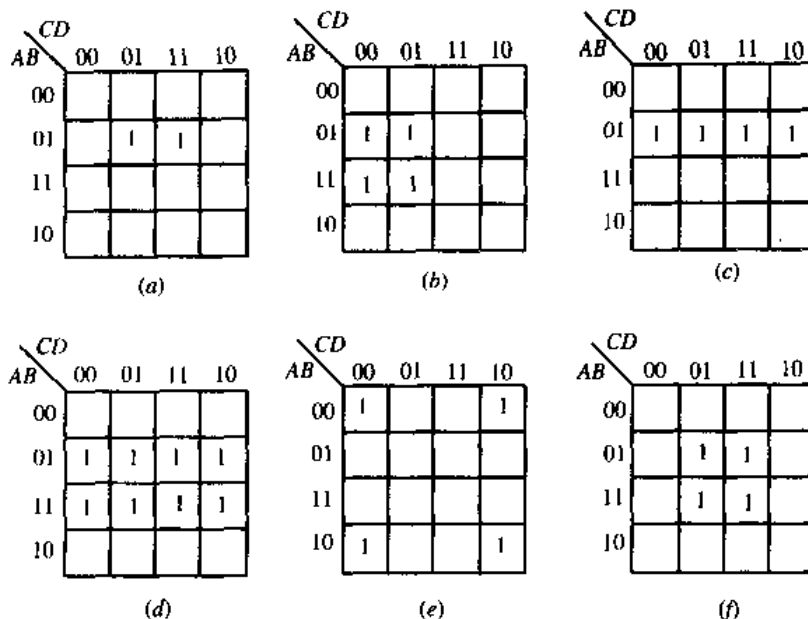


图 1.2 与项填入卡诺图

和与项  $BD$  在卡诺图中的位置是互补对称的,即第 1 行翻转到第 2 行,第 4 行翻转到第 3 行,余类推。

## 2. 卡诺图化简法

利用卡诺图进行化简,逻辑函数遵循的基本原则是:  $AB + A\bar{B} = A$ ,即相邻的最小项可以合并,消去 1 个变量,使函数更简。其合并的规律为: 2 个相邻的最小项合并,消去 1 个变量; 4 个相邻的最小项合并,消去 2 个变量; 8 个相邻的最小项合并,消去 3 个变量……最小项数必须满足  $2^n$ ,且最小项必须排成矩形带。

在卡诺图中圈定的与项称为蕴涵项,也称为乘积项。在重新划圈组合与项时,应遵循的原则如下:

- (1) 应该尽可能多的按  $2^n$  的数量圈进带“1”的最小项,并构成矩形带;
- (2) 组成函数的全部最小项都必须被圈到;
- (3) 每个蕴涵项中至少有 1 个最小项没有被其他蕴涵项所覆盖。

如果逻辑函数中含有约束项,应注意:

约束项是具有某种制约关系的最小项。利用约束项受制约的关系,可以假设这些最小项不会被输入,故在合并时,根据化简的需要,可以任意设定这些约束项的值为“0”或“1”,从而使函数更简单。通常在表达式中用  $\sum d$  表示约束项之和,而在卡诺图中用“ $\phi$ ”或“ $\times$ ”表示约束项。在用卡诺图化简具有约束项的逻辑函数时,应遵循的原则如下:

- (1) 画出函数  $F$  的卡诺图,将最小项和约束项填入图中相应的位置;
- (2) 合并相邻的最小项,根据约束项的值可以是“0”也可以是“1”,尽量将蕴涵项圈画得大,画得少,画入蕴涵项中的约束项当作“1”处理,没有画入蕴涵项的约束项当作“0”处理;
- (3) 卡诺图中的小格,可能填“1”、“0”或“ $\times$ ”,只要给出其中的 2 种,即可。

### 1.3 例题分析

【例 1.1】 已知逻辑函数  $F$  的真值表如表 1.3 所列,试写出  $F$  的逻辑函数式。

表 1.3 例 1.1 真值表

$A$	$B$	$C$	$F$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

【解】 将真值表中所有  $F=1$  的最小项(变量取值为 1 的用原变量表示,变量取值为 0 的用反变量表示)选出来,最后将这些最小项加起来,得到函数  $F$  的表达式,即

$$F = \bar{A}\bar{B}\bar{C} = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC = B + AC$$

【例 1.2】 列出逻辑函数  $F = \bar{A}B + BC$  的真值表。

【解】 将每组变量的取值代入逻辑函数式,计算的结果如表 1.4 所列。

表 1.4 例 1.2 真值表

$A$	$B$	$C$	$F$
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

【例 1.3】 求函数  $f$  的反函数  $\bar{f}$ :

$$f = A + B + \overline{\overline{C + D + E}}$$

【解】 使用反演规则得

$$\bar{f} = \bar{A} \cdot (B + \bar{C} + \overline{D + E})$$

也可令  $X = B + \bar{C} + \overline{D + E}$ , 则

$$f = A + \bar{X}$$

$$\bar{f} = \bar{A} \cdot X = \bar{A} \cdot (B + \bar{C} + \overline{D + E})$$

上面 2 种方法得到的结果是相等的。这里应当注意的是,在进行“原反”互换时仅将原变量与反变量互换,函数本身的“非”运算应保持不变。

【例 1.4】 求下列函数的反函数:

$$f_1 = A(B + C) + CD$$

$$f_2 = A + B(CD + AD)$$

【解】

$$\bar{f}_1 = (\bar{A} + \bar{B} \cdot \bar{C})(\bar{C} + \bar{D})$$

$$\bar{f}_2 = \bar{A} \cdot [\bar{B} + (\bar{C} + \bar{D})(\bar{A} + \bar{D})]$$

注意:变换过程中,原来函数运算的先后顺序不能改变,上面的 2 个表达式中的括号就是为了保证原来函数运算的先后顺序不变而加的。

【例 1.5】 求下面函数的对偶函数:

$$f_1 = A(B + C) + \bar{A}C$$

$$f_2 = \overline{AB + BD \cdot (C + \bar{D})} + \bar{A}CD$$

$$f_3 = (A + B)(A + \bar{C})(\bar{B} + C)(B + D)$$

【解】

$$f'_1 = (A + BC)(\bar{A} + C)$$

$$f'_2 = [(\overline{A + \bar{B}})(\overline{B + D}) + \bar{C}\bar{D}](A + \bar{C} + D)$$

$$f'_3 = AB + \bar{A}\bar{C} + \bar{B}C + BD$$

注意:与反演规则不同的是,对偶规则对函数中的原变量和反变量不进行变换,而反演规则包含原变量和反变量之间的变换。与反演规则相同的是,变换过程中原函数中运算先后顺序应保持不变。

【例 1.6】 已知逻辑函数  $F = A \oplus B \oplus C, G = A \odot B \odot C$ , 试用代数法证明:  $F = G$ 。

【解】

$$\begin{aligned} F &= A \oplus B \oplus C = \overline{A(B \oplus C)} + \bar{A}(B \oplus C) = \\ &= \overline{A(B \odot C)} + \bar{A}(\overline{B \odot C}) = A \odot B \odot C \end{aligned}$$

可以证明,  $F$  和  $G$  不仅相等,而且又互为对偶式。在逻辑函数的对偶规则中有 1 个重要推论:一个逻辑函数的对偶函数与原函数相等,则称这一函数为自对偶函数。因此  $F$  和  $G$  都是自对偶函数。要注意若干个变量的异或并不始终等于相同变量的同或,例如:

$$A \oplus B \oplus C \oplus D \neq A \odot B \odot C \odot D$$

【例 1.7】 用公式法化简下列函数:

$$f_1(A, B, C) = AB + \bar{A}C + \bar{B}C$$

$$f_2(A, B, C, D) = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B} + \bar{A}D + C + BD$$

[解]

$$f_1(A, B, C) = AB + \bar{A}C + \bar{B}C = \quad (AB + \bar{A}C = AB + \bar{A}C + BC)$$

$$AB + AC + \bar{B}C + BC = \quad (\bar{B}C + BC = C)$$

$$AB + \bar{A}C + C = \quad (\bar{A}C + C = C)$$

$$AB + C$$

$$f_2(A, B, C, D) = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B} + \bar{A}D + C + BD \quad (\bar{A}\bar{B}\bar{C} + C = \bar{A}\bar{B})$$

$$AB + \bar{A}\bar{B} + AD + C + BD = \quad (\bar{A}\bar{B} + \bar{A}\bar{B} = \bar{B})$$

$$\bar{B} + \bar{A}D + C + BD = \quad (\bar{B} + BD = \bar{B} + D)$$

$$\bar{B} + D + \bar{A}D + C = \quad (D + \bar{A}D = D)$$

$$\bar{B} + C + D$$

[例 1.8] 用卡诺图化简法将下式化简为最简式:

$$F_1(A, B, C, D) = \sum m(1, 2, 3, 5, 6, 7, 8, 9, 12, 13)$$

$$F_2(A, B, C, D) = \sum m(0, 2, 4, 6, 8, 10)$$

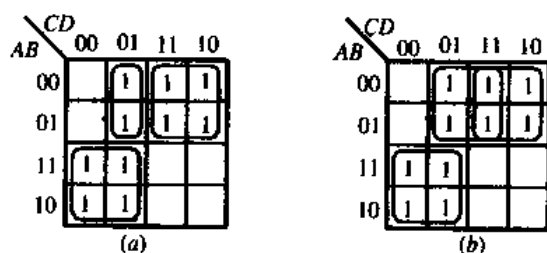
$$F_3(A, B, C, D) = \sum m(1, 7, 9, 10, 11, 12, 13, 15)$$

[解] 将函数表示在卡诺图中如图 1.3(a)所示,图中画了 3 个蕴涵项分别为  $m_1 + m_5 = \bar{A}\bar{C}D$ ,  $m_2 + m_3 + m_6 + m_7 = \bar{A}C$ ,  $m_8 + m_9 + m_{12} + m_{13} = \bar{A}C$ 。

根据卡诺图化简法中的最大圈原则,  $m_1, m_3, m_5$  和  $m_7$  可化简为  $\bar{A}D$ (或者  $m_1, m_5$  和  $m_9, m_{13}$  4 个最小项化简为  $\bar{C}D$ ), 即比  $m_1$  和  $m_5$  组成的  $\bar{A}\bar{C}D$  圈更大, 因此将  $F_1$  中  $\bar{A}\bar{C}D$  所对应的蕴涵项改为由 4 个最小项组成的图, 如图 1.3(b)所示。

函数的最简式为

$$F_1 = \bar{A}D + \bar{A}C + \bar{A}\bar{C}$$

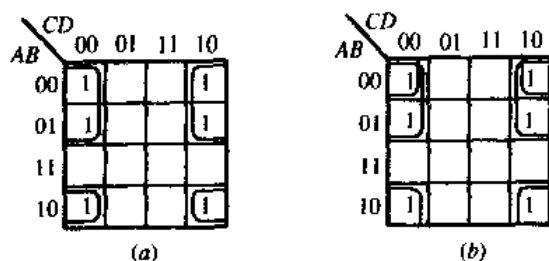
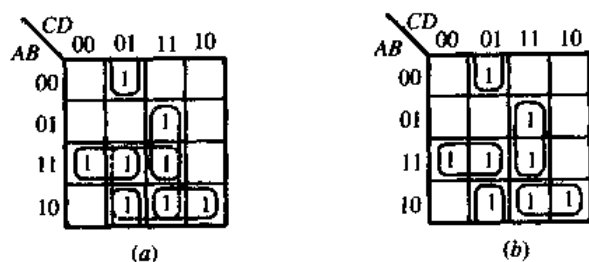
图 1.3 函数  $F_1$  的卡诺图

同理对  $F_2$  所组成的卡诺图中,  $m_8$  和  $m_{10}$  组成的  $\bar{A}B\bar{D}$  应改为由  $m_8, m_{10}$  和  $m_0, m_2$  组成的  $\bar{B}\bar{D}$ , 如图 1.4 中(a)、(b)所示。

函数的最简式为

$$F_2 = \bar{A}\bar{D} + \bar{B}\bar{D}$$

$F_3$  的卡诺图如图 1.5(a)所示, 但对  $m_9, m_{11}, m_{13}$  和  $m_{15}$  4 个最小项圈成的  $AD$  来说, 圈中的 4 个最小项均被其他的 4 个小圈圈过了, 即  $AD$  大圈并没有包含 1 个新的最小项, 故大

图 1.4 函数  $F_2$  的卡诺图图 1.5 函数  $F_3$  的卡诺图

圈是多余的,应删除,如图 1.5(b)所示。所以,函数的最简式为

$$F_3 = ABC\bar{C} + \bar{A}BC + BCD + \bar{B}\bar{C}D$$

【例 1.9】 将下列具有约束项的逻辑函数化简为最简与或式:

$$F_1(A, B, C, D) = \sum m(1, 5, 7, 9, 15) + \sum d(3, 8, 11, 14)$$

$$F_2(A, B, C, D) = \sum m(2, 4, 6, 9, 13, 14) + \sum d(0, 1, 3, 11, 15)$$

$$F_3(A, B, C, D) = \sum m(3, 4, 5, 7, 8, 9, 10, 11) + \sum d(0, 1, 2, 13, 14, 15)$$

$$F_4(A, B, C, D) = \sum m(2, 5, 6, 7, 10, 12, 13, 14) + \sum d(0, 1, 3, 8, 9, 11)$$

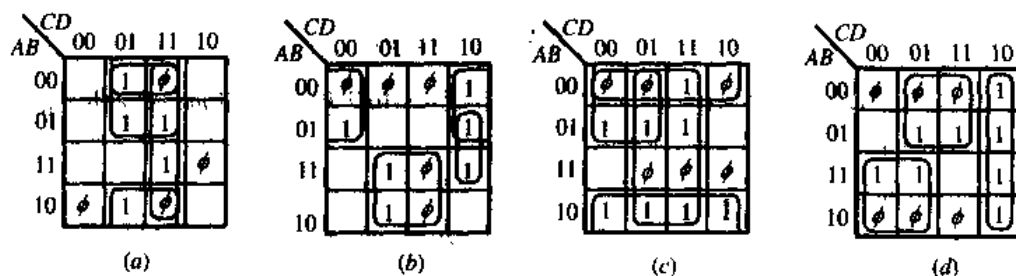
【解】 首先画出各函数的卡诺图,然后合并相邻的最小项,约束项可视为“1”或“0”。具体方法如图 1.6 所示。函数的具体表达式为

$$F_1(A, B, C, D) = \bar{A}D + \bar{B}D + CD$$

$$F_2(A, B, C, D) = AD + \bar{A}\bar{D} + B\bar{C}\bar{D}$$

$$F_3(A, B, C, D) = \bar{B} + D + \bar{A}\bar{C}$$

$$F_4(A, B, C, D) = \bar{A}\bar{C} + \bar{A}D + \bar{C}\bar{D}$$

图 1.6 函数  $F_1 \sim F_4$  的卡诺图

(a) 函数  $F_1$  的卡诺图; (b) 函数  $F_2$  的卡诺图; (c) 函数  $F_3$  的卡诺图; (d) 函数  $F_4$  的卡诺图。

【例 1.10】 已知逻辑函数  $Y_1$  和  $Y_2$  分别为

$$Y_1(A, B, C, D) = \sum m(2, 4, 6, 9, 13, 14) + \sum d(0, 1, 3, 8, 11, 15)$$

$$Y_2(A, B, C, D) = \sum m(4, 5, 7, 9, 12, 13, 14) + \sum d(1, 3, 8, 10)$$

利用卡诺图化简法直接求函数  $\bar{Y}_1$ 、 $Y_1 + Y_2$ 、 $Y_1 \oplus Y_2$ 。

【解】 画出函数  $Y_1$  和  $Y_2$  的卡诺图,如图 1.7(a)、(b)所示。求函数的反函数,只要将卡诺图中的“0”,按求原函数时圈“1”同样的规则进行即可,其中“0”不可缺少,“ $\phi$ ”可取“0”或“1”,按最简原则选取。求或逻辑时,将两卡诺图中带“1”的最小项按合并的原则处理即可;求与逻辑时,按交集的原则处理即可;函数进行异或运算则需分步进行,稍微麻烦一些。

		CD			
		00	01	11	10
AB	00	$\phi$	$\phi$	$\phi$	1
	01	1			1
	11		1	$\phi$	1
	10	$\phi$	1	$\phi$	

(a)

		CD			
		00	01	11	10
AB	00		$\phi$	$\phi$	
	01	1	1	1	
	11	1	1		1
	10	$\phi$	1		$\phi$

(b)

图 1.7 例 1.10 的卡诺图

(a)  $Y_1$ ; (b)  $Y_2$ 。

函数  $\bar{Y}_1$ 、 $Y_1 + Y_2$  和  $Y_1 \oplus Y_2$  的卡诺图如图 1.8 所示。其化简结果为

$$Y_1 = \bar{A}D + \bar{A}\bar{C}\bar{D} + \bar{A}BC$$

$$Y_1 + Y_2 = 1$$

$$Y_1 \oplus Y_2 = \bar{A}\bar{C}\bar{D} + \bar{A}D + \bar{A}C$$

		CD			
		00	01	11	10
AB	00	$\phi$	$\phi$	$\phi$	
	01		0	0	
	11	0		$\phi$	
	10	$\phi$		$\phi$	0

(a)

		CD			
		00	01	11	10
AB	00	$\phi$	$\phi$	$\phi$	1
	01	1	1	1	1
	11	1	1	$\phi$	1
	10	$\phi$	1	$\phi$	$\phi$

(b)

		CD			
		00	01	11	10
AB	00	$\phi$	$\phi$	$\phi$	1
	01		1	1	1
	11	1		$\phi$	
	10	$\phi$		$\phi$	$\phi$

(c)

图 1.8 例 1.10 的解答

(a)  $\bar{Y}_1$ ; (b)  $Y_1 + Y_2$ ; (c)  $Y_1 \oplus Y_2$ 。

【例 1.11】 试用卡诺图化简逻辑函数为最简与或式:

$$\begin{cases} F = f(A, B, C, D) = \sum m(0, 2, 8, 9) \\ AC + CD = 0 \end{cases}$$

【解】 本例给出了具有无关项逻辑函数的又一种表示形式,其约束条件是:  $AC + CD$

$=0$ , 这表明逻辑函数中含有的无关项为  $\sum d(3, 7, 10, 11, 14, 15)$ 。画出逻辑函数中  $F$  的卡诺图如图 1.9 所示, 经化简得逻辑函数的最简与或式为

$$F = \overline{BD} + \overline{AB}$$

【例 1.12】 试化简下列多输出逻辑函数:

$$\begin{cases} F_1 = \sum m(6, 7, 9, 10, 11, 13, 14, 15) \\ F_2 = \sum m(5, 6, 7, 10, 11, 14, 15) \end{cases}$$

【解】 首先分别将  $F_1$ 、 $F_2$  添入卡诺图中, 如图 1.10 所示。然后寻找各逻辑函数的公共项, 可得化简结果为

$$\begin{cases} F_1 = AC + BC + AD \\ F_2 = AC + BC + \overline{A}BD \end{cases}$$

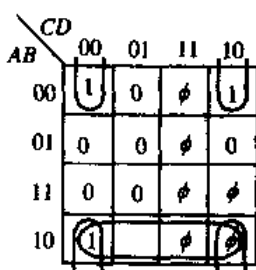


图 1.9 例 1.11 的解答

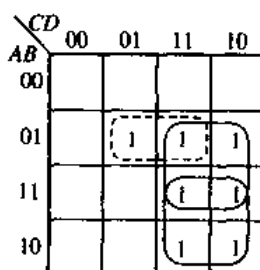
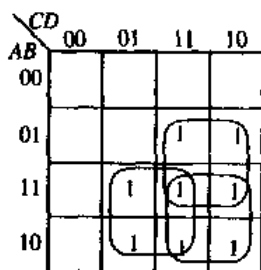


图 1.10 例 1.12 的解答

通过本例, 可以归纳出用卡诺图化简多输出逻辑函数的方法, 其步骤如下:

- (1) 分别画出各逻辑函数的卡诺图;
- (2) 在卡诺图中, 首先圈出公共项, 对于非公共项仍按单输出逻辑函数的化简方法处理;
- (3) 圈选公共项时, 应使各逻辑函数间的公共项尽可能多, 公共项的包围圈尽可能大。应反复比较, 修改圈选方案, 求得最合理的结果。

## 1.4 自我测试

【题 1.1】 选择正确答案填空:

1. 同模拟信号相比, 数字信号的特点是它的\_\_\_\_\_性。一个数字信号只有\_\_\_\_\_种取值, 分别表示为\_\_\_\_\_和\_\_\_\_\_。

A. 连续性, 2, 0, 1

B. 数字性, 2, 0, 1

C. 对偶性, 2, 0, 1

D. 离散性, 2, 0, 1

2. 逻辑代数中有 3 种基本运算: \_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。

A. 与, 或, 非

B. 与非, 或非, 与或非

C. 与非, 或, 与或

D. 或非, 与或, 与或非

3. 与运算的法则可概括为: 有“0”出\_\_\_\_\_, 全“1”出\_\_\_\_\_; 类似地或运算的法则为



\_\_\_\_\_?

- A. “1”, “0”, 有“1”出“1”, 全“0”出“0”      B. “0”, “1”, 有“1”出“1”, 全“0”出“0”  
C. “0”, “1”, 有“0”出“1”, 全“0”出“0”      D. “0”, “1”, 有“1”出“1”, 全“1”出“0”

4. 已知有 4 个逻辑变量, 它们能组成的最大项的个数为\_\_\_\_\_, 这 4 个逻辑变量的任意 2 个最小项之积恒为\_\_\_\_\_。

- A. 4, 1      B. 4, 0      C. 8, 0      D. 8, 1

5. 逻辑函数  $F = AB + BC + CD$  写成最小项之和时, 其结果应为  $F = \sum m(\quad)$ , 写成最大项之积时, 其结果应为  $F = \prod M(\quad)$ 。

- A. 3, 6, 7, 10, 12, 13, 14, 15; 0, 1, 2, 4, 5, 8, 9, 10  
B. 3, 6, 7, 11, 12, 13, 14, 15; 0, 1, 2, 4, 5, 8, 9, 10  
C. 3, 6, 7, 11, 14, 15; 0, 1, 2, 4, 5, 8, 9, 10  
D. 3, 6, 7, 11, 12, 13, 14, 15; 0, 1, 2, 8, 9, 10

6. 用公式法将下列函数化简为最简与或式, 选择正确答案。

(1)  $F_1 = \bar{A}\bar{B} + BD + DCE + D\bar{A}$

(2)  $F_2 = ABC\bar{D} + ABD + B\bar{C}\bar{D} + ABC + BD + \bar{B}\bar{C}$

- A.  $A + CD + E, ACD$       B.  $A + CD + E, ACD + BCD$   
C.  $A + CD + E, \bar{A} + \bar{B} + \bar{C} + D$       D.  $\bar{A}\bar{B} + D, B$

7. 用公式法将下列函数化简为最简与或式, 选择正确答案。

(1)  $F_1 = (A \oplus B)C + ABC + \bar{A}\bar{B}C + \bar{B}D$

(2)  $F_2 = AB + \bar{B}\bar{C} + AC$

- A.  $C + \bar{B}D, \bar{B}\bar{C} + AC$       B. 0,  $AD$   
C.  $C + \bar{B}D, ADC$       D. 1,  $\bar{A}\bar{D}$

8. 用卡诺图化简法化简下列各式, 选择正确答案。

(1)  $F_1(A, B, C) = \sum m(1, 3, 4, 5, 7, 10, 12, 14)$

(2)  $F_2(A, B, C, D) = \sum m(0, 2, 5, 6, 7, 8, 9, 10, 11, 14, 15)$

- A.  $F_1 = \bar{A}\bar{B}C, F_2 = \bar{B} + \bar{C}\bar{D} + \bar{A}C + \bar{A}\bar{D}$   
B.  $F_1 = \bar{A}\bar{B} + AC + \bar{B}\bar{C}, F_2 = \bar{B} + \bar{C}\bar{D} + \bar{A}C + \bar{A}\bar{D}$   
C.  $F_1 = \bar{A}\bar{B} + AC + \bar{B}\bar{C}, F_2 = AB$   
D.  $F_1 = \bar{A}D + \bar{B}\bar{C}\bar{D} + AC\bar{D}, F_2 = \bar{A}BD + \bar{B}\bar{D} + AB + BC$

9. 用卡诺图化简法将下列具有约束条件的逻辑函数化简为最简与或式,  $\sum d$  为约束项之和。

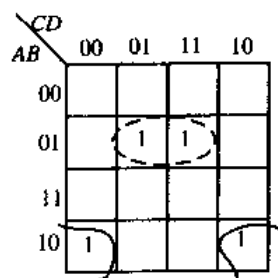
(1)  $F_1(A, B, C, D) = \sum m(1, 3, 5, 7, 9) + \sum d(10, 11, 12, 13, 14, 15)$

(2)  $F_2(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 6, 11, 12) + \sum d(8, 9, 10, 13, 14, 15)$

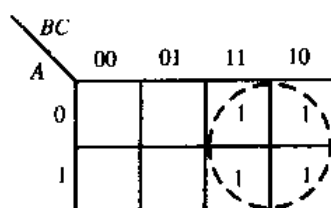
- A.  $F_1 = \bar{A}BC\bar{D}, F_2 = \bar{D} + \bar{B}C + \bar{B}\bar{C}$   
B.  $F_1 = \bar{A}\bar{C} + \bar{B}D + \bar{A}\bar{C}\bar{D}, F_2 = \bar{D}\bar{B}C$   
C.  $F_1 = D, F_2 = \bar{D} + \bar{B}C + \bar{B}\bar{C}$   
D.  $F_1 = AC + \bar{B}D + AC\bar{D}, F_2 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{B}\bar{D}$

10. 下列应用卡诺图化简逻辑式的过程中有错误的一项是\_\_\_\_\_。

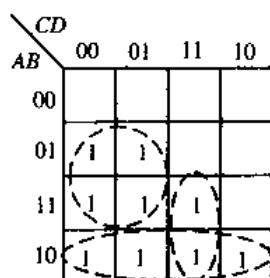
A.  $Y = \bar{A}BD + \bar{A}\bar{B}\bar{D}$



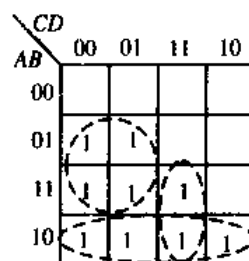
B.  $Y = B$



C.  $Y = \bar{A}\bar{B} + \bar{B}\bar{C} + ACD$



D.  $Y = \bar{A}\bar{B} + \bar{B}\bar{C} + ABC$



[简答]

1. D 2. A 3. B 4. A 5. B 6. D 7. A 8. D 9. C 10. C

【题 1.2】 用公式法将下列函数化简为最简与或式。

1.  $A + \bar{A}\bar{B}\bar{C} + \bar{A}CD + \bar{C}E + \bar{D}E$

2.  $(AB + \bar{A}B + \bar{A}\bar{B})(\bar{A}\bar{B} + CD)$

3.  $ABCD + \bar{A}BC\bar{D} + \overline{BCD}$

4.  $\bar{A}B + AC + \bar{A}\bar{B} + \bar{B}\bar{C}$

5.  $\bar{A}\bar{B}\bar{C} + CD + \bar{B}\bar{D} + \bar{C}$

6.  $A + \bar{B} + \overline{CD} + \overline{AD \cdot B}$

7.  $(A \oplus B)(B \oplus \bar{C})$

8.  $\bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C}$

9.  $\bar{A}BC + \bar{A}\bar{B}$

10.  $\bar{A}BCD + ABD + \bar{A}\bar{C}D$

[简答]

1.  $A + CD + E$

2.  $ACD + BCD$

3.  $\bar{A} + \bar{B} + \bar{C} + D$

4.  $AC + B$

5.  $A + B + \bar{C} + D$

6.  $A + B$

7.  $\bar{A}BC + \bar{A}\bar{B}\bar{C}$

8.  $A + C$

9. 1

10.  $AD$

【题 1.3】 写出下列函数的反函数  $\bar{F}$ , 并将其化成最简与或式。

1.  $F_1 = (\bar{A} + \bar{D})(\bar{B} + \bar{C} + D)(AB + C)$

2.  $F_2 = (\bar{A} + \bar{B})(BCD + \bar{E})(\bar{B} + \bar{C} + \bar{E})(\bar{C} + A)$

3.  $F_3 = A \cdot \overline{B + C} + \bar{A}D$

4.  $F_4 = (A \oplus B)C + (B \oplus \bar{C})D$

【简答】 题中各函数反函数的最简与或式如下:

1.  $\bar{F}_1 = AD + C$

2.  $\bar{F}_2 = AB + AC + E$

3.  $\bar{F}_3 = \bar{A}\bar{B} + AC + \bar{A}\bar{D}$

4.  $\bar{F}_4 = \bar{B}\bar{C} + \bar{C}\bar{D} + \bar{A}BD + \bar{A}\bar{B}C$

【题 1.4】 用对偶规则, 写出下列函数的对偶式  $F'$ , 再将  $F'$  化为最简与或式。

1.  $F_1 = AB + \bar{B}\bar{C} + \bar{A}C$

2.  $F_2 = A + \bar{B}\bar{C} + D$

3.  $F_3 = \overline{(A + C)(B + \bar{D}) + \bar{B}CD \cdot AD}$

4.  $F_4 = \overline{(A + \bar{C})(B + C + D)(A + B + D) + ABC}$

5.  $F_5 = \bar{A}\bar{B}C + CD + \bar{B}\bar{D} + \bar{C}$

6.  $F_6 = (A + \bar{B})(\bar{A} + C)(B + C)(\bar{C} + D)$

【简答】 题中各函数对偶函数的最简与或式如下:

1.  $F'_1 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C$

2.  $F'_2 = \bar{A}\bar{B}D + \bar{A}\bar{C}D$

3.  $F'_3 = AC + \bar{A}\bar{B}\bar{D}$

4.  $F'_4 = \bar{A}\bar{B}\bar{C} + \bar{B}C + \bar{C}\bar{D}$

5.  $F'_5 = \bar{A}\bar{B}\bar{C}D$

6.  $F'_6 = \bar{A}\bar{B} + C + D$

【题 1.5】 用卡诺图化简法化简下列各式:

1.  $F_1 = AB + \bar{A}C + \bar{B}C$

2.  $F_2 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C}$

3.  $F_3 = \bar{A}\bar{C} + \bar{A}C + \bar{B}C + \bar{B}\bar{C}$

4.  $F_4 = ABC + ABD + \bar{A}\bar{C}D + \bar{C}\bar{D} + \bar{A}\bar{B}C + \bar{A}\bar{C}\bar{D}$

5.  $F_5 = \bar{A}\bar{B}\bar{C} + AC + \bar{A}\bar{B}D$

6.  $F_6 = AB + \bar{C}\bar{D} + \bar{A}\bar{B}C + AD + \bar{A}\bar{B}C$

7.  $F_7 = \bar{A}\bar{C} + \bar{A}\bar{B} + \bar{B}\bar{C}\bar{D} + BD + \bar{A}\bar{B}\bar{D} + \bar{A}\bar{B}C\bar{D}$

8.  $F_8 = \overline{\bar{A}\bar{C} + \bar{A}C + \bar{B}D + \bar{B}\bar{D}}$

$$9. F_9 = \bar{A}(C \oplus D) + BCD + A\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D$$

$$10. F_{10} = \bar{A}\bar{C} + ABC + A\bar{C}\bar{D} + CD$$

【简答】 各函数的化简结果如下：

$$1. F_1 = AB + C$$

$$2. F_2 = AC + B\bar{C}$$

$$3. F_3 = \bar{B}C + \bar{A}B + \bar{A}\bar{C}$$

$$4. F_4 = \bar{D} + A$$

$$5. F_5 = \bar{A}\bar{B} + AC + \bar{B}D$$

$$6. F_6 = A + \bar{C}\bar{D} + \bar{B}C$$

$$7. F_7 = \bar{A} + BD + \bar{B}\bar{D}$$

$$8. F_8 = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + ABCD + \bar{A}\bar{B}C\bar{D}$$

$$9. F_9 = \bar{C}\bar{D} + \bar{C}D$$

$$10. F_{10} = A + CD$$

【题 1.6】 用卡诺图化简法化简下列各式：

$$1. F_1(A, B, C) = \sum m(0, 1, 2, 5, 6)$$

$$2. F_2(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 6, 7, 8, 9, 10, 11, 14)$$

$$3. F_3(A, B, C, D) = \sum m(0, 1, 4, 6, 8, 9, 10, 12, 13, 14, 15)$$

$$4. F_4(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 5, 8, 11, 12)$$

$$5. F_5(A, B, C, D) = \sum m(2, 3, 6, 7, 8, 9, 10, 11, 13, 14, 15)$$

$$6. F_6(A, B, C, D) = \sum m(2, 3, 5, 6, 7, 8, 9, 12, 13, 15)$$

$$7. F_7(A, B, C, D) = \sum m(1, 2, 3, 4, 6, 8, 9, 10, 11, 12, 14)$$

$$8. F_8(A, B, C, D) = \sum m(1, 3, 4, 6, 7, 9, 11, 12, 14, 15)$$

$$9. F_9(A, B, C, D) = \sum m(0, 2, 4, 6, 8, 10)$$

$$10. F_{10}(A, B, C, D) = \sum m(2, 3, 4, 6, 8, 10, 11, 12, 13, 14, 15)$$

【简答】 各函数的化简结果如下：

$$1. F_1 = \bar{A}\bar{B} + AC + B\bar{C}$$

$$2. F_2 = \bar{B} + \bar{C}\bar{D} + \bar{A}C + \bar{A}\bar{D}$$

$$3. F_3 = AB + \bar{B}\bar{C} + B\bar{D} + \bar{A}\bar{D}$$

$$4. F_4 = \bar{A}\bar{C} + \bar{B}\bar{C} + \bar{C}\bar{D}$$

$$5. F_5 = \bar{A}\bar{B} + AD + C$$

$$6. F_6 = \bar{A}\bar{C} + BD + \bar{A}C$$

$$7. F_7 = \bar{B}D + B\bar{D} + \bar{A}\bar{B} + \bar{C}\bar{D}$$

$$8. F_8 = BC + \bar{B}D + B\bar{D}$$

$$9. F_9 = \bar{B}\bar{D} + \bar{A}\bar{D}$$

$$10. F_{10} = AB + \bar{B}C + B\bar{D} + \bar{A}\bar{D}$$

【题 1.7】 用卡诺图化简法将下列具有约束条件的逻辑函数化简为最简与或式， $\sum d$  为约束项之和。

1.  $F_1(A, B, C, D) = \sum m(3, 6, 8, 9, 11, 12) + \sum d(0, 1, 2, 13, 14, 15)$
2.  $F_2(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 6, 11, 12) + \sum d(8, 9, 10, 13, 14, 15)$
3.  $F_3(A, B, C, D) = \sum m(0, 1, 2, 3, 6, 8) + \sum d(10, 11, 12, 13, 14, 15)$
4.  $F_4(A, B, C, D) = \sum m(0, 1, 2, 3, 4, 7, 15) + \sum d(8, 9, 10, 11, 12, 13)$
5.  $F_5(A, B, C, D) = \sum m(0, 2, 4, 5, 7, 13) + \sum d(8, 9, 10, 11, 14, 15)$
6.  $F_6(A, B, C, D) = \sum m(2, 4, 6, 7, 12, 15) + \sum d(0, 1, 3, 8, 9, 11)$
7.  $F_7(A, B, C, D) = \sum m(0, 1, 3, 8, 9) + \sum d(10, 11, 12, 13, 14, 15)$
8.  $F_8(A, B, C, D) = \sum m(3, 4, 5, 7, 8, 9, 10, 11) + \sum d(0, 1, 2, 13, 14, 15)$
9.  $F_9(A, B, C, D) = \sum m(2, 5, 6, 7, 10, 12, 13, 14) + \sum d(0, 1, 3, 8, 9, 11)$
10.  $F_{10}(A, B, C, D) = \sum m(1, 2, 4, 12, 14) + \sum d(5, 6, 7, 8, 9, 10)$

【简答】 各函数的化简结果如下：

1.  $F_1 = AC + BD + \bar{A}\bar{C}\bar{D}$
2.  $F_2 = \bar{D} + \bar{B}C + \bar{B}\bar{C}$
3.  $F_3 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{B}\bar{D}$
4.  $F_4 = \bar{B} + CD + \bar{C}\bar{D}$
5.  $F_5 = \bar{B}D + \bar{B}\bar{D} + \bar{A}BC$
6.  $F_6 = \bar{A}C + CD + \bar{C}D$
7.  $F_7 = \bar{C}D + \bar{B}\bar{C} + \bar{B}D$
8.  $F_8 = AC + D + \bar{B}$
9.  $F_9 = \bar{C}\bar{D} + \bar{A}\bar{C} + \bar{A}D$
10.  $F_{10} = \bar{A}\bar{C}D + \bar{B}\bar{D} + \bar{C}\bar{D}$

【题 1.8】 将下列函数写成最大项之积的形式：

$$F_1(A, B, C) = \sum m(0, 1, 2, 5, 7)$$

$$F_2(A, B, C, D) = \sum m(0, 2, 3, 5, 7, 8, 9, 10, 13)$$

【简答】

$$F_1 = m_0 + m_1 + m_2 + m_5 + m_7 = m_3 + m_4 + m_6 = \bar{m}_3\bar{m}_4\bar{m}_6 = M_3M_4M_6$$

函数写成最大项之积的形式为

$$F_1(A, B, C) = \prod M(3, 4, 6)$$

$$F_2(A, B, C, D) = \prod M(1, 4, 6, 11, 12, 14, 15)$$

【题 1.9】 将下列函数式化成最简的“与或”式，然后转化成“与非与非”表达式。

$$F(A, B, C, D) = (A \oplus B)C + ABC + \bar{A}\bar{B}C + BD$$

【简答】 采用代数法或卡诺图法化简逻辑函数式，得

$$F(A, B, C, D) = C + \bar{B}D = \overline{\overline{C + \bar{B}D}} = \overline{\overline{C} \cdot \overline{\bar{B}D}}$$

【题 1.10】 证明下列逻辑式相等：

$$\bar{A}\bar{C} + \bar{B}C + \bar{A}B = \bar{A}C + \bar{B}\bar{C} + AB$$

[简答]

证明方法 1: 将逻辑式等号两边分别填入卡诺图, 带“1”的最小项完全相同。

证明方法 2: 将逻辑式等号两边分别展成与或标准型, 最小项一一对应相同。

证明方法 3: 利用公式  $AB + \bar{A}C + BC = AB + \bar{A}C$  证明。题目  $\bar{A}\bar{C} + \bar{B}C + \bar{A}B$  中第 1 项加第 2 项, 可增加 1 项  $\bar{A}B$ ; 第 1 项加第 3 项, 可增加 1 项  $\bar{B}C$ ; 第 2 项加第 3 项, 可增加 1 项  $AC$ 。所以

$$\bar{A}\bar{C} + \bar{B}C + \bar{A}B = \bar{A}\bar{C} + \bar{B}C + \bar{A}B + \bar{A}B + \bar{B}C + \bar{A}C$$

上式中的第 4 项和第 6 项决定第 2 项  $\bar{B}C$  是多余的; 上式中的第 4 项和第 5 项决定第 2 项  $\bar{A}C$  是多余的; 上式中的第 5 项和第 6 项决定第 2 项  $\bar{A}B$  是多余的。因此将前 3 项一一消去, 得

$$AC + \bar{B}C + \bar{A}B = \bar{A}C + \bar{B}C + \bar{A}B$$

于是得到证明。

【题 1.11】用卡诺图化简下列逻辑式, 说明可能有几种结果。

$$F = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{C}\bar{D} + \bar{D}\bar{A} + \bar{A}C$$

[简答] 将逻辑函数填入卡诺图, 如图 1.11 所示。

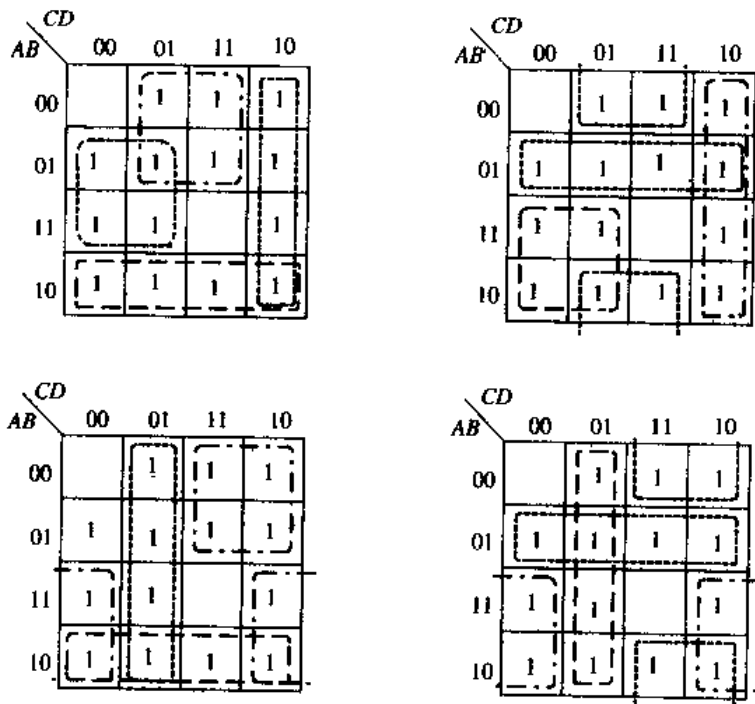


图 1.11 题 1.11 的卡诺图

根据卡诺图可得以下 4 种结果:

$$F_1 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{B}\bar{C} + \bar{A}D$$

$$F_2 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{A}C + \bar{B}D$$

$$F_3 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{B}\bar{D} + \bar{A}C$$

$$F_4 = \bar{A}\bar{B} + \bar{C}\bar{D} + \bar{A}\bar{D} + \bar{B}C$$

【题 1.12】 用卡诺图化简下列逻辑函数：

$$F(E, A, B, C, D) = \sum m(0, 3, 4, 6, 7, 8, 11, 15, 16, 17, 20, 22, 25, 27, 29, 30, 31)$$

[简答] 卡诺图如图 1.12 所示。

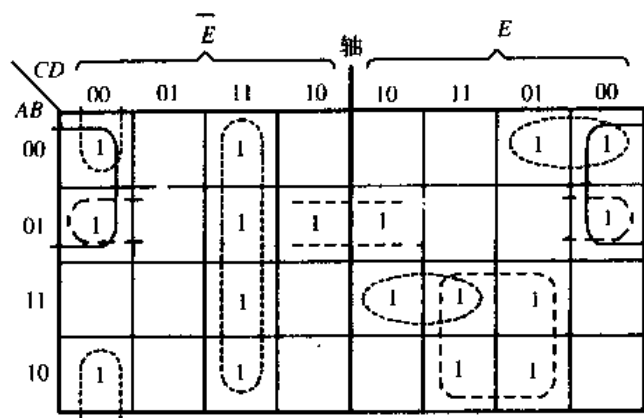


图 1.12 题 1.12 的卡诺图

根据卡诺图可得

$$F = \bar{B}\bar{C}\bar{D}\bar{E} + C\bar{D}\bar{E} + ABCE + ADE + \bar{A}\bar{B}\bar{C}E + \bar{A}\bar{B}\bar{D}$$

## 第2章 集成逻辑门

### 2.1 学习要点

本章系统地介绍了数字电路的基本逻辑单元——门电路。集成门电路主要有 TTL 和 MOS 两大类型。本章讨论了目前广泛使用的门电路的工作原理、逻辑功能、电气特性(输入特性和输出特性)和参数指标,对常用的标准 TTL 门、低功耗肖特基 TTL 门、标准 CMOS 门和高速 CMOS 门进行了比较。本章重点要求掌握门电路的电气特性和使用方法,具体包括以下部分:


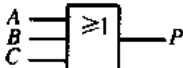
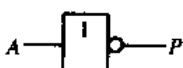

- (1) TTL 与非门结构、功能和电气特性;
- (2) 集电极开路门(OC 门)电路结构、原理及应用;
- (3) 三态门(TS)电路结构、原理和应用;
- (4) CMOS 反相器的结构、工作原理及特性;
- (5) CMOS 传输门的结构、工作原理及特性;
- (6) CMOS 门与 TTL 门的比较。

### 2.2 重点难点

#### 2.2.1 逻辑门电路

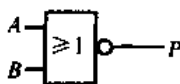
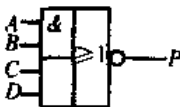
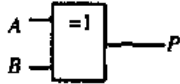
用以实现逻辑运算的单元电路统称为门电路。常用的门电路在逻辑功能上有与门、或门、非门、与非门、或非门、与或非门、异或门等几种,如表 2.1 所列。

表 2.1 常见逻辑门

序号	逻辑门	逻辑表达式	国标符号
1	与门	$P = A \cdot B \cdot C$	
2	或门	$P = A + B + C$	
3	非门	$P = \bar{A}$	
4	与非门	$P = \overline{A \cdot B \cdot C}$	



(续)

序号	逻辑门	逻辑表达式	国标符号
5	或非门	$P = \overline{A + B + C}$	
6	与或非门	$P = \overline{A \cdot B + C \cdot D}$	
7	异或门	$P = A \oplus B$	

逻辑门电路是用以实现基本逻辑运算的电路。逻辑门电路目前主要分为 TTL 系列、CMOS 系列和 ECL 系列。它们的型号都是以 CT、CC、CE 开头,第 1 个字母 C 是 CHINA 的字头;第 2 个字母 T 代表 TTL(T),C 代表 CMOS,E 代表 ECL。本书仅介绍前 2 种。国家标准中规定的逻辑门标准如表 2.2 所列,表中 CT54 系列是军品,CT74 系列是民品。

表 2.2 TTL 门和 CMOS 门的国家标准

型 号	名 称	型 号	名 称
CT54/CT74...	标准 TTL 逻辑电路	CC4...	标准 CMOS 逻辑电路
CT54H/CT74H...	高速 TTL 逻辑电路	CC14...	
CT54S/CT74S...	肖特基 TTL 逻辑电路	CC54HC/CC74HC...	高速 CMOS 逻辑电路
CT54LS/CT74LS...	低功耗肖特基 TTL 逻辑电路	CC54HCT/CC74HCT...	与 TTL 逻辑电平兼容的高速 CMOS 逻辑电路
CT54ALS/CT74ALS...	先进的低功耗肖特基 TTL 逻辑电路	CC54AC/CC74AC...	先进的 CMOS 逻辑电路
CT54AS/CT74AS...	先进的肖特基 TTL 逻辑电路		
CT54F/CT74F...	快速 TTL 逻辑电路		

### 2.2.2 CT54/CT74 系列 TTL 与非门

标准 TTL 与非门电路 CT7400 的电路如图 2.1 所示,该电路是四 2 输入与非门。电路由输入级、中间放大级和输出级(也称推拉式输出级,国外文献称图腾输出级)3 部分组成。

#### 一、电路工作原理

##### 1. 开态

开态是指  $VT_3$  饱和导通时,电路所处的状态。当 A、B 输入都为高电平时,  $VT_1$  的基极电流将流向  $VT_2$ 。于是  $VT_2$  和  $VT_3$  饱和导通,  $U_{BS} \approx 0.7V$ 、 $U_{C2} \approx 1V$ ,所以  $VT_3$  和

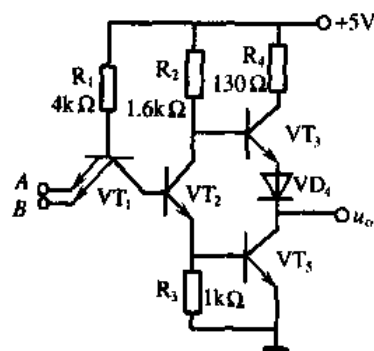


图 2.1 CT7400(1/4)与非门电路

VD<sub>4</sub> 截止,输出为低电平。

## 2. 关态

关态是指 VT<sub>5</sub> 截止,电路所处的状态。当 A、B 输入至少有 1 个为低电平时,  $I_{B1} = I_{i1}$ , VT<sub>1</sub> 的  $U_{B1} \approx 1V$ , VT<sub>2</sub>、VT<sub>5</sub> 截止, VT<sub>3</sub>、VT<sub>4</sub> 饱和导通,输出为高电平。

## 二、电路的特性曲线

### 1. 电压传输特性曲线

电压传输特性 ( $u_o = f(u_i)$ ) 是指输出电压在一定范围内随输入电压变化而变化的关系曲线,其曲线如图 2.2 所示。它由 4 部分组成: AB 段(截止区,对应关态)、BC 段(线性区)、CD 段(转折区)和 DE 段(饱和区,对应开态)。

AB 段(截止区):输入电压大约处于 0V ~ 0.6V 的范围内, VT<sub>1</sub> 饱和导通, VT<sub>2</sub>、VT<sub>5</sub> 截止,输出高电平  $u_o \approx 3.6V$ 。

BC 段(线性区):随着输入电压的增加,  $I_{B1}$  将有一部分流向 B<sub>2</sub>, VT<sub>2</sub> 进入线性区,从而 VT<sub>2</sub>、VT<sub>3</sub>、VD<sub>4</sub> 都处于放大状态,输出电压跟随输入电压。  $u_i$  大约在 0.6V ~ 1.3V 范围内变化,此时 VT<sub>5</sub> 仍截止。

CD 段(转折区):输入电压进一步增加,将使 VT<sub>5</sub> 进入放大状态,电路进入转折区。此时输入电压  $u_i$  大约在 1.3V ~ 1.4V 范围内变化, VT<sub>2</sub>、VT<sub>5</sub>、VT<sub>3</sub>、VD<sub>4</sub> 均导通。此时输入电压的微小变化,将引起输出电压急剧下降为低电平。转折区相当于 VT<sub>5</sub> 从开始导通至饱和为止的区域。

DE 段(饱和区):此时 VT<sub>5</sub> 进入饱和区,输入电压  $u_i \geq 1.4V$ ,输出低电平,  $u_o \approx 0.3V$ 。

### 2. 输出负载特性曲线

输出负载特性曲线分为输出低电平负载特性曲线(灌电流负载特性)和输出高电平负载特性曲线(拉电流负载特性)2 种,分别如图 2.3 和图 2.4 所示。输出负载特性反映了逻辑门带负载的能力。



图 2.3 低电平输出特性

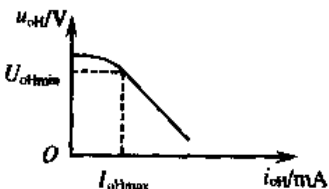


图 2.4 高电平输出特性

(1) 灌电流负载特性:从图 2.3 可知,这条曲线是非线性的,随着负载门向本级门灌入电流的增加,本级门输出低电平增高。但这个低电平应不超过允许值 ( $U_{OLmax}$ ),否则难以保证正常的逻辑关系。由此定义最大允许灌电流  $I_{OLmax}$  (当  $U_{OL} = U_{OLmax}$  时所对应的灌电流的值),对于标准 TTL 逻辑门,典型值为  $I_{OLmax} = 16mA$ ;对于低功耗肖特基系列的逻辑

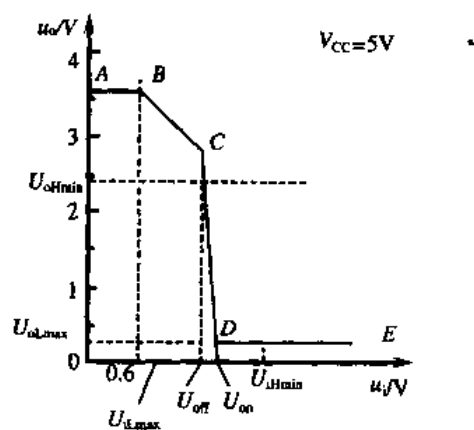


图 2.2 TTL 与非门电压传输特性曲线

电路,  $I_{ol,max} = 8\text{mA}$ 。要注意的是对于合格的产品, 当  $U_{ol} = U_{ol,max}$  时,  $I_{ol} \geq I_{ol,max}$ ; 当  $I_{ol} = I_{ol,max}$  时,  $U_{ol} \leq U_{ol,max}$ 。

输出低电平扇出系数  $N_{ol}$  定义为

$$N_{ol} = \frac{I_{ol,max}}{I_{il,max}}$$

输出低电平扇出系数是描述集成逻辑门带负载能力的参数, 它表示允许驱动同类门的最大数目。关于同类门并不一定是同一种型号, 只要  $I_{il,max}$  相同即可。只要是属于同一个系列,  $I_{il,max}$  一般是相同的。

(2) 拉电流负载特性: 由图 2.4 可知, 因本级门输出高电平, 输出端电流应向外流, 向负载门输出电流, 即负载门从本级门拉出电流, 从而使输出高电平降低。为保证与非门的正常逻辑关系, 定义最大允许拉电流  $I_{oh,max}$  ( $U_{oh} = U_{oh,min}$  时所对应的拉电流的值), 中速系列 TTL 与非门其典型值为  $400\mu\text{A}$ 。要注意的是对于合格的产品, 当  $U_{oh} = U_{oh,min}$  时,  $I_{oh} \geq I_{oh,max}$ ; 当  $I_{oh} = I_{oh,max}$  时,  $U_{oh} \geq U_{oh,min}$ 。

输出高电平扇出系数  $N_{oh}$  定义为

$$N_{oh} = \frac{I_{oh,max}}{I_{ih,max}}$$

$N_{oh}$  是后接门的端头数, 因可能有输入端并接的情况, 端头数可以大于后接门的数目。要注意的是, 电路固定后, 后接门的数目和端头数也就固定了, 规范给出的电流值, 对  $N_{oh}$  和  $N_{ol}$  是一样的。例如对标准 TTL 系列, 当  $I_{il,max} = 1.6\text{mA}$ 、 $I_{ol,max} = 16\text{mA}$ 、 $I_{ih,max} = 40\mu\text{A}$ 、 $I_{oh,max} = 400\mu\text{A}$  时, 计算出来的  $N_{ol} = N_{oh} = 10$ 。由于可能  $N_{oh} > N_{ol}$ , 即输入端有并联的情况, 因此如果以  $N_{oh}$  为出发点, 后接的逻辑门就要小于 10 个。其实不然, 因扇出数先确定的是  $N_{ol}$ , 低电平输入电流大, 是矛盾的主要方面,  $I_{oh,max}$  是根据  $N_{ol}$  确定的。实际的  $I_{oh,max}$  要比标准给出的值大许多, 一般也可以达到毫安级, 这在驱动电容负载时可以得到体现。而  $I_{ih,max}$  为 PN 结反偏的漏电流, 非常小, 所以实际上  $N_{oh} > N_{ol}$ , 因此总的扇出系数应按  $N_{ol}$  来考虑。

### 3. 输入特性曲线

输入特性 ( $i_i = f(u_i)$ ) 是指输入电流在一定范围内随输入电压变化而变化的关系曲线。其曲线如图 2.5 所示。

图中所示  $I_{is}$  为输入短路电流, 表示  $u_i = 0\text{V}$  时的输入电流。它近似等于输入低电平电流, 即  $I_{is} \approx I_{il}$ 。对于标准 TTL 系列, 其典型值为  $I_{is} \approx I_{il} \approx -1.6\text{mA}$ , 通常规定电流流出为负, 流进为正。此时与非门对信号源呈现灌电流负载。

$I_{ih}$  是输入高电平电流, 表示  $u_i = 1\text{V}$  时的输入电流。它的典型值为:  $I_{ih} \leq 40\mu\text{A}$ , 此时与非门对信号源呈现拉电流负载。

### 4. 输入负载特性曲线

输入负载特性 ( $u_{R_i} = f(R_i)$ ) 是指逻辑门输入端与信号源之间或输入端与地之间接一电阻  $R_i$ , 电阻  $R_i$  两端的电压  $u_{R_i}$  在一定范围内随阻值变化而变化的关系曲线。其曲线见图 2.6 所示。

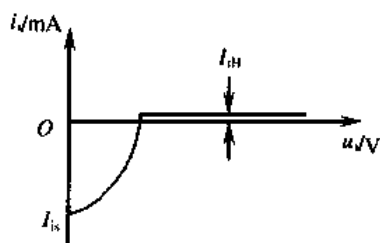


图 2.5 输入特性曲线

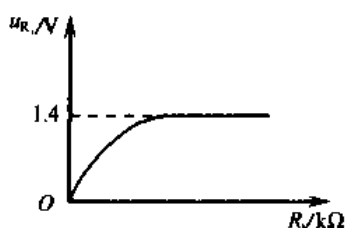


图 2.6 输入负载特性

以  $R_i$  接地为例讨论:当  $R_i = 0\Omega$ , 即  $u_{R_i} = 0V$ , 有  $I_{is}$ , 相当输入低电平。当  $R_i$  较小时,  $u_{R_i} = I_i R_i$  也较小, 仍属于低电平。若  $R_i$  继续增加, 当  $u_{R_i} = I_i R_i = U_{iLmin}$  时, 对应的  $R_i$  称为关门电阻 ( $R_{off}$ )。若  $R_i \leq R_{off}$ , 则电阻  $R_i$  的接入相当于该输入端为低电平, 与非门处于关态。

若电阻  $R_i$  继续增大, 两端的电压满足  $u_{R_i} = U_{iHmin}$  时, 电阻  $R_i$  的接入相当于该输入端为高电平, 与非门处于开态, 则对应的电阻  $R_i$  称为开门电阻 ( $R_{on}$ )。若  $R_i \geq R_{on}$ , 则电阻  $R_i$  的接入相当于该输入端为高电平, 与非门处于开态。

对于不同的 TTL 系列, 因输入电流值不同,  $R_{on}$  和  $R_{off}$  的数值有所不同。一般可以认为  $R_i \geq 2k\Omega$ , 为高电平输入;  $R_i \leq 500\Omega$ , 为低电平输入。

所以当  $R_i = \infty$  时 (输入端悬空), 相当于输入端接入高电平; 当  $R_i = 0\Omega$  时 (输入端接地), 相当于输入端接入低电平; 当  $R_i \leq R_{off}$  时, 相当于输入端接入低电平; 当  $R_i \geq R_{on}$  时, 相当于输入端接入高电平。注意, 以上数据对 CMOS 门不适用。

### 三、TTL 电路的参数

#### 1. 输出高电平和输出低电平

从特性曲线上可以确定以下参数值。

(1) 输出高电平  $U_{OH}$ : 逻辑门关态时的输出逻辑电平。要注意输出高电平和输出高电平最小值  $U_{OHmin}$  不是一回事。 $U_{OHmin}$  是国家标准 (与国际标准相同) 规定的标准值, 而  $U_{OH}$  是双值逻辑高电平的 actual 值。标准确定的  $U_{OHmin}$  典型值为  $2.4V$ 。若  $U_{OH} > U_{OHmin}$ , 则输出是逻辑高电平。

(2) 输出低电平  $U_{OL}$ : 逻辑门开态时的输出逻辑电平。 $U_{OLmax}$  是国家标准规定的标准值, 而  $U_{OL}$  是双值逻辑低电平的 actual 值。标准确定的  $U_{OLmax}$  典型值为  $0.4V$  (有的系列规定为  $0.5V$ )。若  $U_{OL} < U_{OLmax}$ , 则输出是逻辑低电平。

#### 2. 开门电平和关门电平

(1) 开门电平  $U_{on}$ : 在电压传输特性曲线上  $D$  点所对应的输入电平称为开门电平, 开门电平实际上是保证输出低电平  $U_{OL}$  时的输入高电平的最小值。

(2) 关门电平  $U_{off}$ :  $U_{off}$  是输出高电平最小时所对应的最小电压,  $U_{off}$  稍小于  $U_{on}$ 。

对一批逻辑门而言, 由于存在分散性,  $U_{off}$  和  $U_{on}$  不可能是一个确切值, 于是  $U_{on}$  向右移动一些, 用输入高电平的最小值  $U_{iHmin}$  来代替  $U_{on}$ , 输入高电平最小值的标准值  $U_{iHmin} = 2V$ 。将  $U_{off}$  左移一些, 用  $U_{iLmax}$  来代替  $U_{off}$ , 国家标准规定输入低电平的最大值  $U_{iLmax} = 0.8V$ 。

#### 3. 阈值电平 $U_T$

阈值电平  $U_T$  定义为转折区中点所对应的输入电压, 典型值为  $1.4V$ 。当  $U_i > U_T$  时,

$U_o = L$ ; 当  $U_i < U_T$  时,  $U_o = H$ 。在对输入的逻辑电平不作仔细分析时,就以阈值电平为分界线判断输出的逻辑电平。

#### 4. 噪声容限电压 $U_N$

图 2.7 给出了输入端噪声容限定义的示意图。在信号的传输过程中,不可避免地会有噪声存在。所以,输出高电平必须大于输入高电平的数值,以便为负向干扰留有余地;输出低电平必须小于输入低电平的数值,以便为正向干扰留有余地。在保证逻辑门输出正常高、低电平的条件下,输入端所允许叠加的最大噪声电压称为噪声容限电压。它反映了逻辑门的抗干扰能力,包括低电平噪声容限电压  $U_{NL}$  和高电平噪声容限电压  $U_{NH}$  2 种。

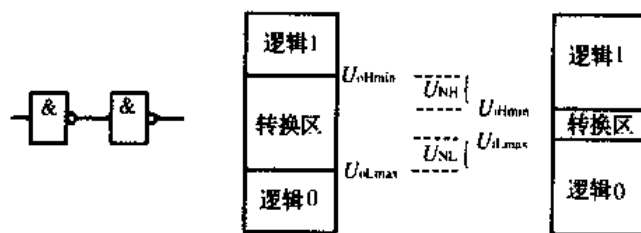


图 2.7 输入端噪声容限示意图

低电平噪声容限电压的典型值为

$$U_{NL} = U_{iLmax} - U_{oLmax} = 0.8V - 0.4V = 0.4V$$

高电平噪声容限电压的典型值为

$$U_{NH} = U_{oHmin} - U_{iHmin} = 2.4V - 2.0V = 0.4V$$

#### 5. 静态功耗 $P_0$

静态功耗是逻辑门的重要参数,由下式决定,即

$$P_0 = 0.5(I_{CCL} + I_{CCH})V_{CC}$$

式中:  $I_{CCL}$  是输出低电平时的电源电流;  $I_{CCH}$  是输出高电平时的电源电流;  $V_{CC}$  是电源电压。对于 CT54/CT74 系列,  $P_0$  典型值为 10mW; 对于 CT54LS/CT74LS 系列,  $P_0$  典型值为 2mW。

#### 6. 平均传输延迟时间 $t_{pd}$

平均传输延迟时间定义如图 2.8 所示。

$$t_{pd} = \frac{t_{PLH} + t_{PHL}}{2}$$

对于中速 CT54/CT74 系列 TTL 门,  $t_{pd}$  典型值为 10ns; 对于 CT54LS/CT74LS 系列  $t_{pd}$  典型值为 5ns。

平均传输延迟时间属于动态参数。

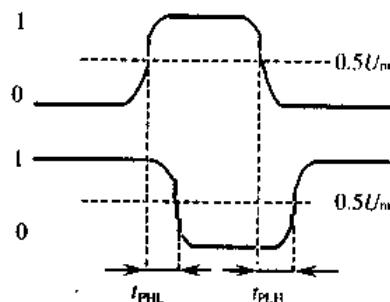


图 2.8 TTL 与非门传输延迟时间

### 2.2.3 集电极开路门(OC 门)

#### 一、电路结构和工作原理

OC 门电路结构及逻辑符号如图 2.9 所示。

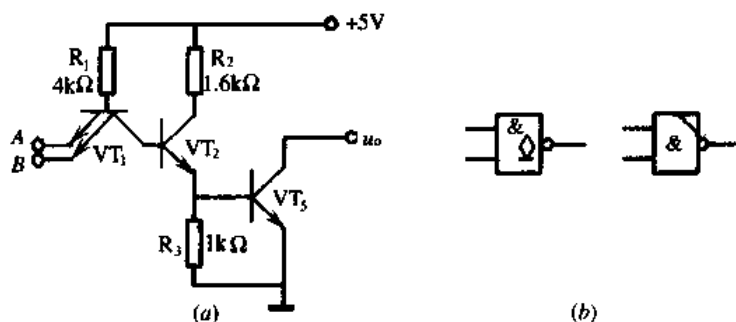


图 2.9 OC 门电路结构及逻辑符号

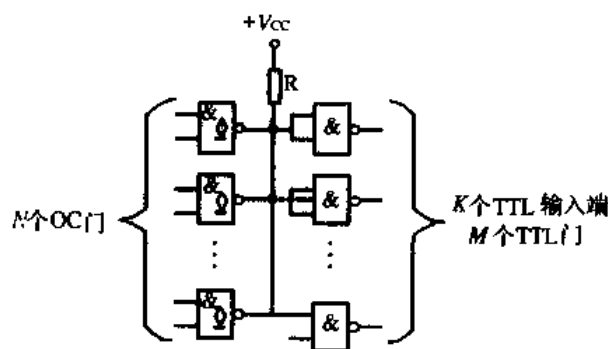
(a) 电路结构; (b) 逻辑符号。

因内部缺少上拉电阻, 为了获得高电平, 必须在输出端和电源之间接一个上拉电阻, 上拉电阻的大小必须在合理的范围之内。对于推拉式的输出级, 逻辑门是不允许并联的, 而 OC 门可以并联。这是当并联门中有的门输出低电平, 与之并联的某个门输出“高电平”(即  $VT_3$  截止), 但这个输出“高电平”的门因无上拉部分而没有高电平输出电流灌入低电平输出的那个门中, 所以只要外接电阻大小合适, 就不会影响低电平的上升。OC 门并联后可在输出线上实现“与”逻辑关系, 一般称为“线与”。

## 二、上拉电阻的确定

确定上拉电阻  $R$  的电路如图 2.10 所示。其原则为:  $N$  个 OC 门输出高电平时, 上拉电阻  $R$  增加, 输出高电平减少, 但应保证

$$U_{oH} \geq U_{oHmin}$$

图 2.10 确定上拉电阻  $R$  的电路

某一个 OC 门输出低电平时, 上拉电阻  $R$  减少, 输出低电平增加, 但应保证

$$U_{oL} \leq U_{oLmax}$$

据此, 可得上拉电阻的取值范围是

$$\frac{V_{CC} - U_{oLmax}}{I_{oL} - MI_{iL}} \leq R \leq \frac{V_{CC} - U_{oHmin}}{NI_{ceX} + KI_{iH}}$$

式中:  $I_{oL}$  是 OC 门输出低电平电流;  $I_{iL}$  是输入低电平电流;  $I_{ceX}$  是 OC 门截止时的漏电流;  $I_{iH}$  是高电平输入电流。系数  $K$ 、 $M$ 、 $N$  的含义如图 2.10 所示。

2.2.4 三态门(TS)

一般的逻辑电路只有 2 个状态,输出低电平,VT<sub>3</sub> 饱和,上拉部分截止;输出高电平,VT<sub>3</sub> 截止,上拉部分导通。三态门又增加了一个状态,VT<sub>3</sub> 截止,上拉部分截止,也称为高阻状态。当然还可能存在 VT<sub>3</sub> 和上拉部分都导通的状态,在 MOS 门中存在这种情况。

三态门的电路结构、符号和真值表分别如图 2.11(a)、(b)和(c)所示。Z 表示高阻状态。三态门有十分广泛的用途,主要有数据的双向传输和通过总线进行数据传输。

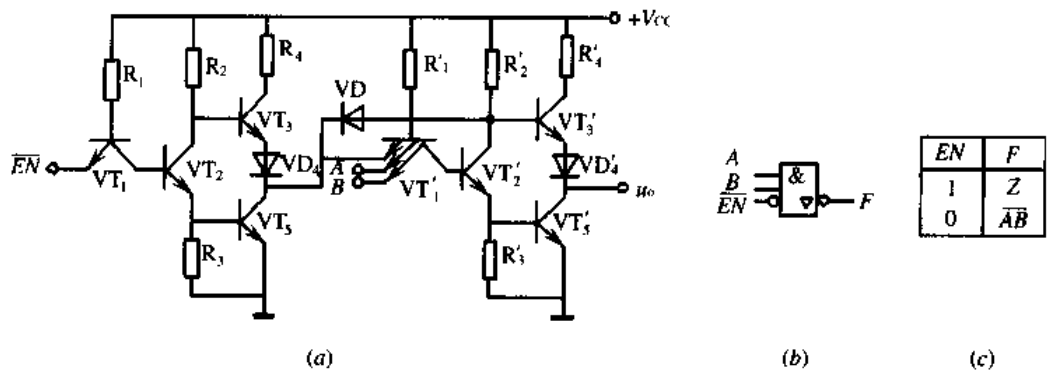


图 2.11 三态门

(a) 三态门的电路结构; (b) 电路符号; (c) 真值表。

图 2.12 是数据双向传输的电路图。

当 C = 1 时, G<sub>1</sub> 门处于高阻态, G<sub>2</sub> 门处于工作状态, 输入数据从 B 端传输到 A 端;

当 C = 0 时, G<sub>2</sub> 门处于高阻态, G<sub>1</sub> 门处于工作状态, 输入数据从 A 端传输到 B 端。

图 2.13 是三态门用于总线控制的电路图。

假设输入使能信号 C<sub>1</sub>、C<sub>2</sub>、C<sub>3</sub> 轮流为低电平, 且在任何时刻只能有 1 个为低电平, 则 A<sub>1</sub>B<sub>1</sub>、A<sub>2</sub>B<sub>2</sub> 和 A<sub>3</sub>B<sub>3</sub> 这 3 组数据就会轮流按与非关系送到数据总线上, 传向接收端。

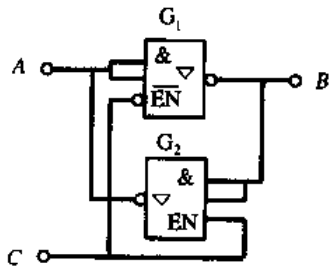


图 2.12 三态门数据双向传输图

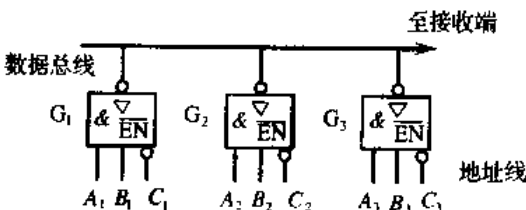


图 2.13 三态门用于总线控制图

2.2.5 CMOS 集成逻辑门

一、CMOS 反相器

1. 电路结构和特点

CMOS 反相器是一种互补型的 MOS 电路。其电路结构如图 2.14(a)所示。

电路结构和特点: 两管互补对称, 两栅极相连为输入极, 两漏极相连为输出极, VT<sub>p</sub> 的源极接电源, VT<sub>N</sub> 的源极接地。

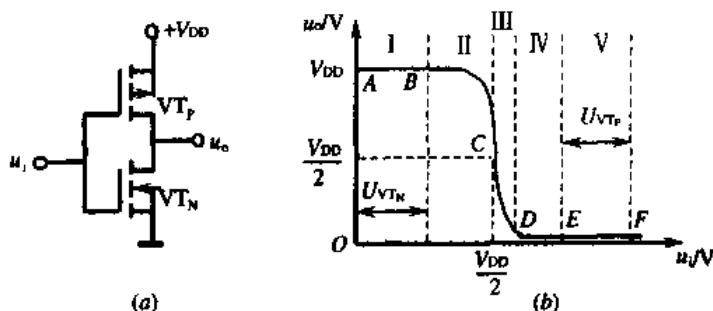


图 2.14 CMOS 反相器

(a) 电路结构; (b) 电压传输特性。

在稳态时,两管不会同时导通,所以,CMOS 反相器的静态功耗十分微小,可小到微瓦量级。同时两管的  $R_{ON}$  设计得较小,以增加驱动能力,所以 CMOS 反相器有较快的工作速度。输入电阻高,不小于  $1M\Omega$ ,故其输入端几乎不取电流。电源电压  $V_{DD}$  取值范围宽,一般从一点几伏到二十几伏。工作时电源电压应满足条件  $V_{DD} > U_{VTN} + |U_{VTP}|$ 。

当输入高电平( $V_{DD}$ )时,  $VT_N$  导通,  $VT_P$  截止,输出为低电平( $0V$ );当输入低电平( $0V$ )时,  $VT_P$  导通,  $VT_N$  截止,输出为高电平( $V_{DD}$ )。

## 2. 电压传输特性

从图 2.14(b)可知,CMOS 反相器的电压传输特性曲线具有如下特点:

- (1) 阈值电压  $U_T \approx V_{DD}/2$ ,一般为  $0.45V_{DD} \sim 0.55V_{DD}$ ,基本上是供电电压的一半。
- (2)  $U_{OH} \approx V_{DD}$ ,  $U_{OL} \approx 0V$  ( $< 0.1V$ )。在相同的供电电压下,CMOS 门的高电平大于 TTL 门的高电平值;CMOS 门的低电平小于 TTL 门的低电平值。
- (3) 噪声容限大于 TTL 门的噪声容限。低电平噪声容限  $U_{NL} = U_{iLmax} - U_{oLmax} \approx V_{DD}/2$ ;高电平噪声容限  $U_{NL} = U_{oHmin} - U_{iHmin} \approx V_{DD}/2$ 。因此 CMOS 逻辑电路的抗干扰能力比 TTL 逻辑电路强。

## 二、CMOS 逻辑门

CMOS 逻辑门的电路构成一般具有如下特点:在输入端和输出端都加有反相器,起缓冲隔离和规范逻辑电平的作用;CMOS 逻辑门基本上是一种组合的等效门,典型的与非门和或非门如图 2.15 所示。

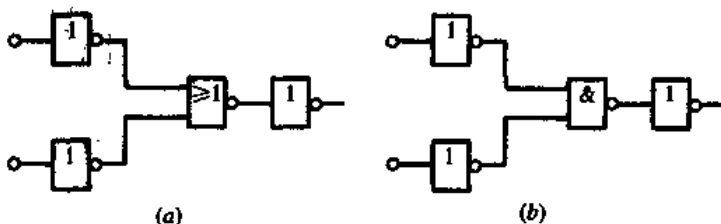


图 2.15 CMOS 与非门和或非门电路

(a) CMOS 与非门; (b) CMOS 或非门。

## 三、CMOS 传输门(TG)和双向模拟开关

### 1. 电路结构及逻辑符号

CMOS 逻辑门中有一种 TTL 逻辑门中所没有的传输门,这是一种很有用的逻辑门,电路结构和逻辑符号如图 2.16 所示。



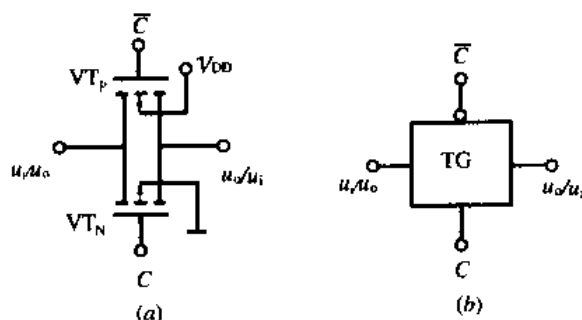


图 2.16 CMOS 传输门电路结构和逻辑符号  
(a) 电路结构; (b) 逻辑符号。

## 2. 电路工作原理

设控制信号  $C$  的高、低电平分别为  $V_{DD}$  和  $0V$ 。

(1) 当  $C = 0, \bar{C} = 1$  时,  $VT_P$  和  $VT_N$  都截止, 输入与输出之间呈高阻态, 传输门截止。

(2) 当  $C = 1, \bar{C} = 0$  时, 若  $0 \leq u_i \leq (V_{DD} - U_{VT_N})$ , 则  $VT_N$  导通; 若  $|U_{VT_P}| \leq u_i \leq V_{DD}$ , 则  $VT_P$  导通。可见, 当  $0 \leq u_i \leq V_{DD}$  时, 两管中至少有 1 个导通, 使输入与输出间呈低阻 (小于  $1k\Omega$ ), 传输门开启, 输入的信号可方便地传送到输出端。由于 MOS 管的源极和漏极在结构上是完全对称且可以互换的, 因此, 传输门的输入与输出端可互易使用, 即它可作为双向器件。请注意, 传输门不但可以传输数字信号, 也可以传输模拟信号。

## 3. 双向模拟开关

(1) 单刀单掷开关: 图 2.17(a) 示出了该电路图。表示符号如图 2.17(b) 所示。

由图可知: 当  $C = 0$  时, 传输门截止, 相当于开关断开; 当  $C = 1$  时, 传输门导通, 相当于开关闭合, 信号可以进行双向传输。但在同一个时刻, 信号只能从一个方向向另一个方向传输, 传输完毕, 如果需要, 信号才能反方向传输。

(2) 双刀单掷开关: 图 2.18(a) 示出了该电路图。表示符号如图 2.18(b) 所示。

由图可知: 当  $C = 0$  时, 2 个传输门都截止, 相当于开关断开; 当  $C = 1$  时, 2 个传输门都导通, 相当于开关闭合, 2 路信号可以进行双向传输。

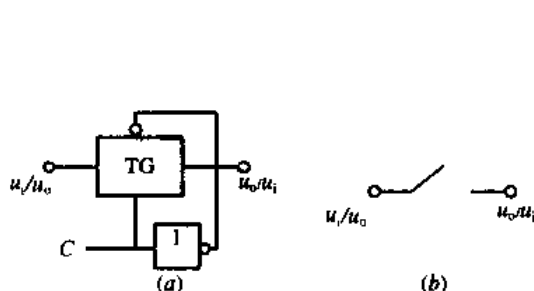


图 2.17 单刀单掷开关  
(a) 电路图; (b) 符号。

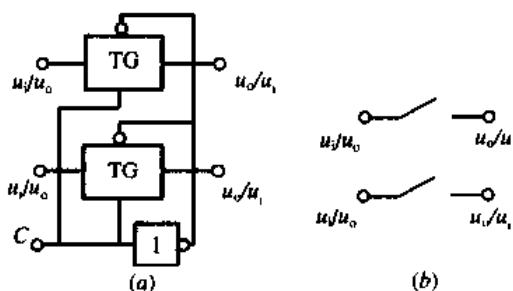


图 2.18 双刀单掷开关  
(a) 电路图; (b) 符号。

## 2.2.6 TTL 逻辑门与 CMOS 逻辑门的比较

(1) TTL 门电路是由双极性晶体管 (BJT) 构成的, CMOS 门电路是由单极性晶体管 (MOS) 构成的。

(2) CMOS 门电路的电源电压范围宽(1.5V ~ 18V),而 TTL 门电路电源电压为 5V。

(3) TTL 门电路输入端悬空相当于高电平,CMOS 门电路不允许输入端悬空,因输入电阻大,栅极电容上的感应电荷不易泄放,会造成输出状态不定。若有干扰信号,还容易击穿 MOS 管。

(4) TTL 门电路输入端接电阻时,输入电压随着输入电阻的变化而变化。当  $R_i \geq R_{on}$  时,输入  $u_i = 1.4V$ ,相当于高电平;当  $R_i \leq R_{off}$  时,输入相当于低电平。CMOS 门电路输入端接电阻时,输入相当于低电平。

(5) CMOS 门电路输出高电平的数值比 TTL 门电路高,接近于电源电压;CMOS 门电路输出低电平的数值比 TTL 门电路低,接近于零。

(6) 计算 CMOS 逻辑电路的扇出系数与 TTL 逻辑电路不同。如果按 TTL 电路的计算方法,CMOS 电路的扇出系数将是一个十分大的数字。由于输出端接的逻辑电路越多,等效负载电容就越大,这会影响电路的工作速度,因此 CMOS 逻辑电路的扇出系数取决于对工作速度的要求:工作速度低,扇出系数可多一些;工作速度高,扇出系数应少一些。TTL 逻辑电路的扇出系数比 CMOS 逻辑电路的扇出系数小。

(7) CMOS 逻辑电路的静态功耗很小,但不等于动态功耗也小。CMOS 逻辑电路的动态功耗,还应加入逻辑电路开关时的功耗。所以,工作速度越高,功耗就越大,且与开关速度成正比。因而,当工作速度达到 1MHz 左右时,CMOS 逻辑电路的功耗与 TTL 逻辑电路差不多。

(8) CMOS 门电路的噪声容限比 TTL 门电路大,抗干扰能力强。

(9) CMOS 门电路热稳定性好。

(10) CMOS 门适合作大规模集成电路。

## 2.3 例题分析

【例 2.1】反相器如图 2.19 所示。已知,  $V_{CC} = 12V$ ,  $R_1 = 1.5k\Omega$ ,  $R_2 = 18k\Omega$ ,  $R_c = 1k\Omega$ ,  $\beta = 30$ , 设三极管的  $U_{CES} \approx 0.1V$ ,  $U_{BE} = 0.7V$ 。  $u_i$  为何值时,三极管饱和,  $U_{CES} \approx 0.1V$ 。

【解】由图可知

$$I_B = I_1 - I_2 = \frac{u_i - 0.7}{R_1} - \frac{V_{CC} + 0.7}{R_2} = \frac{u_i - 0.7}{1.5} - \frac{12 + 0.7}{18}$$

若三极管饱和,满足  $I_B \geq I_{BS} = \frac{I_{CS}}{\beta} = \frac{V_{CC} - U_{CES}}{\beta R_c} \approx \frac{V_{CC}}{\beta R_c}$ , 则

$$\frac{u_i - 0.7}{1.5} - \frac{12 + 0.7}{18} \geq \frac{V_{CC}}{\beta R_c} = \frac{12}{30 \times 1}$$

解得  $u_i \geq 2.36V$ 。因此,当  $u_i \geq 2.36V$  时,三极管饱和,输出为低电平。

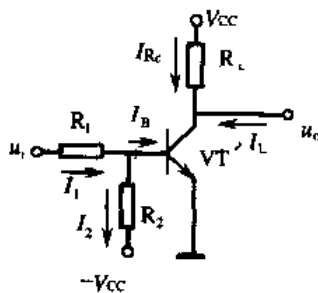


图 2.19 例 2.1 电路图

【例 2.2】扩展输入端的 CMOS 门电路图如图 2.20 所示。假定  $V_{DD} = 10V$ , 二极管的正向导通压降  $U_D = 0.7V$ 。试分析图 2.20(a)、(b) 所示电路的逻辑功能, 写出  $F$  的逻辑表达式。

【解】由图 2.20(a) 可见, 二极管与门的输出端接在 CMOS 与非门的一个输入端, 且  $P = CDE$ , 再与  $A$ 、 $B$  进行与非逻辑运算, 得  $F_1 = \overline{ABCDE}$ 。

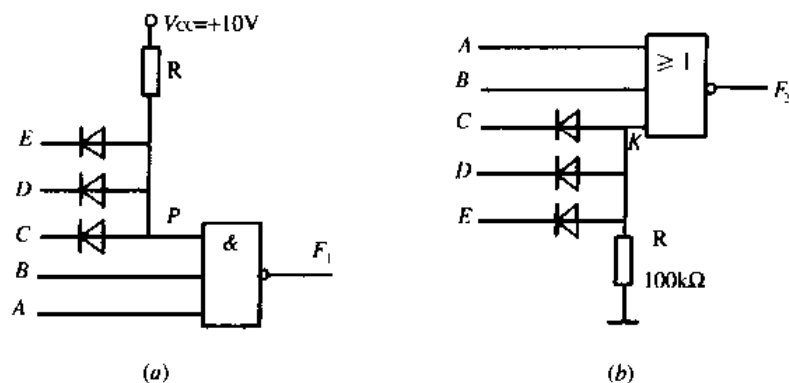


图 2.20 例 2.2 电路图

由图 2.20(b) 可见, 二极管或门的输出端接在 CMOS 或非门的输入端, 且  $K = C + D + E$ , 然后与  $A, B$  进行或非逻辑运算, 得  $F_2 = \overline{A + B + C + D + E}$ 。

【例 2.3】 二极管发光电路如图 2.21 所示。已知发光二极管的导通压降为  $1.5\text{V}$ , 正常发光时,  $10\text{mA} \leq I_D \leq 15\text{mA}$ ,  $U_D = 1.8\text{V}$ 。与非门带灌电流负载能力  $I_{OL} = 16\text{mA}$ , 带拉电流负载能力  $I_{OH} = -400\mu\text{A}$ , 输出高电平  $U_{OH} = 3.4\text{V}$ , 输出低电平  $U_{OL} = 0.3\text{V}$ 。OC 门带灌电流负载能力  $I_{OL} = 18\text{mA}$ , 截止时输出漏电流  $I_{OH} = 200\mu\text{A}$ , 输出低电平  $U_{OL} = 0.3\text{V}$ 。试问:

- (1) 两电路处于何种状态时发光二极管发光;
- (2) 电阻  $R_1$  和  $R_2$  的取值范围;
- (3) 若将图 2.21(b) 中 OC 门接成具有推挽输出级的普通 TTL 与非门, 如何?

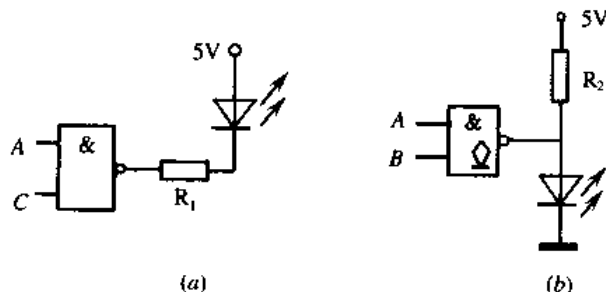


图 2.21 例 2.3 电路图

【解】 本题的主要问题是计算电阻  $R_1$  和  $R_2$  的取值范围。 $R_1$  和  $R_2$  的取值范围必须保证逻辑门处于合理的工作状态。

(1) 在图 2.21(a) 中, 当与非门输出低电平时, 发光二极管发光; 在图 2.21(b) 中, 当 OC 门输出高电平时, 发光二极管发光。

(2) 在图 2.21(a) 中, 当与非门输出低电平时, 发光二极管发光, 输出电流的最大容许值是  $I_{OL}$ , 此时  $R_1$  取得最小值。

$$R_{1\min} = \frac{V_{CC} - U_D - U_{OL}}{I_{OL}} = 200\Omega$$

当与非门输出低电平时, 为保证发光二极管仍能发光, 输出电流的最小值应大于

$I_{Dmin}$ , 此时  $R_1$  取得最大值。

$$R_{1max} = \frac{V_{CC} - U_D - U_{ol}}{I_{Dmin}} = 320\Omega$$

因此

$$200\Omega \leq R_1 \leq 320\Omega$$

在图 2.21(b) 中, 当 OC 门输出低电平时, 发光二极管截止, 输出电流的最大容许值是  $I_{ol}$ , 此时  $R_2$  取得最小值。

$$R_{2min} = \frac{V_{CC} - U_{ol}}{I_{ol}} = 261\Omega$$

当 OC 门输出高电平时, 为保证发光二极管发光, 输出电流的最小值应大于  $I_{Dmin} + I_{OH}$  (OC 门截止时的输出漏电流), 此时  $R_2$  取得最大值。

$$R_{2max} = \frac{V_{CC} - U_D}{I_{Dmin} + I_{OH}} = 343\Omega$$

因此

$$261\Omega \leq R_2 \leq 343\Omega$$

(3) 当将 OC 门换成普通 TTL 与非门之后, 在输出低电平时, 发光二极管不发光; 当输出高电平时, 由于与非门输出端至发光二极管正极之间没有限流电阻, 故发光二极管和 TTL 与非门有可能烧坏。

**【例 2.4】** 图 2.22 中,  $G_1$  为 TTL 三态门,  $G_2$  为 TTL 与非门, 图 2.23 是其电压传输特性及输入负载特性。万用表的表头灵敏度为  $20k\Omega/V$ , 量程为 5V。当  $C = 0$  和  $C = 1$  时, 试分别说明在下列情况下, 万用表的读数? 输出电压  $u_o$  各为多少伏?

- (1) 悬空。
- (2) 波段开关 S 接到①端。
- (3) 波段开关 S 接到②端。
- (4) 波段开关 S 接到③端。
- (5) 波段开关 S 接到④端。

**【解】** 由图 2.22 知,  $G_2$  门的一个输入端接入电压表, 表头灵敏度为  $20k\Omega/V$  大于开门电阻  $R_{on}$ , 因此该端相当接入高电平。其解答如表 2.3 所列。

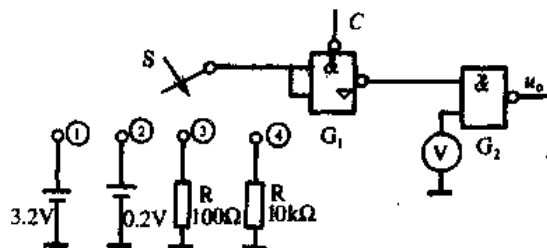


图 2.22 例题 2.4 电路图

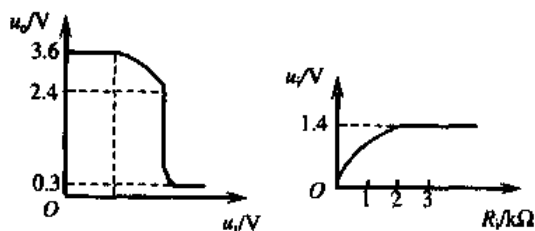


图 2.23 例题 2.4 电压传输特性及输入负载特性

表 2.3 例题 2.4 解答表

问题 \ 解答	$C = 0$		$C = 1$	
	万用表的读数	$u_o$	万用表的读数	$u_o$
$G_1$ 悬空	0.3V	3.6V	1.4V	0.3V
波段开关 S 接到①端	0.3V	3.6V	1.4V	0.3V
波段开关 S 接到②端	1.4V	0.3V	1.4V	0.3V
波段开关 S 接到③端	1.4V	0.3V	1.4V	0.3V
波段开关 S 接到④端	0.3V	3.6V	1.4V	0.3V

【例 2.5】 电路如图 2.24(a) 所示, 其中  $G_0, G_1, G_2, \dots, G_N$  为 TTL 同系列与非门, 它们的输入特性和输出特性分别如图 2.24(b)、(c) 和 (d) 所示。受功耗的限制, 规定高电平输出电流不能超过  $400\mu\text{A}$ 。已知  $G_0$  的输出电平满足  $U_{\text{OH}} \geq 3.2\text{V}$ ,  $U_{\text{OL}} \leq 0.25\text{V}$ 。问  $G_0$  最多可以驱动多少个负载门?

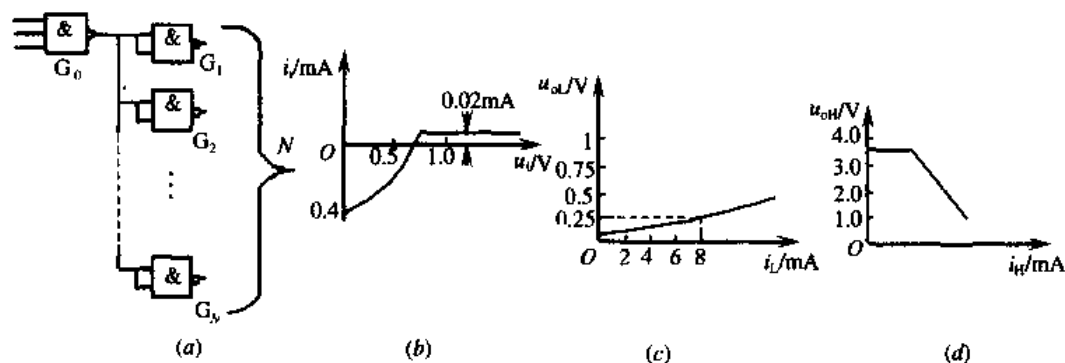


图 2.24 例题 2.5 电路图

【解】  $G_0$  输出低电平时,  $I_{\text{OLmax}} = 8\text{mA}$ ,  $I_{\text{OLmax}} = N_{\text{OL}} \cdot I_{\text{ILmax}} = N_{\text{OL}} \times 0.4$ , 故

$$N_{\text{OL}} = \frac{I_{\text{OLmax}}}{I_{\text{ILmax}}} = \frac{8}{0.4} \approx 20$$

因此,  $G_0$  能带 20 个负载门。如果低电平和高电平是符合标准的数值, 解此类问题也可根据标准给定的数据求解, 而不必查曲线。

【例 2.6】 电路如图 2.25 所示。已知 TTL 门的  $I_{\text{OHmax}} = 0.4\text{mA}$ ,  $I_{\text{OLmax}} = 10\text{mA}$ ,  $U_{\text{OH}} = 3.6\text{V}$ ,  $U_{\text{OL}} = 0.3\text{V}$ ; CMOS 门的  $I_{\text{OHmax}} = 0.51\text{mA}$ ,  $I_{\text{OLmax}} = 0.51\text{mA}$ ,  $U_{\text{OH}} = 5\text{V}$ ,  $U_{\text{OL}} = 0.05\text{V}$ 。请判断图 2.25 中所示各电路能否正常工作? 为什么? 对于不能正常工作的, 请作相应的改动, 使之正常工作并满足要求的逻辑关系。图中各电路的逻辑关系是:

- (1)  $Y_1 = \overline{AB}$ ;
- (2)  $Y_2 = \overline{AB}$ ;
- (3)  $Y_3 = \overline{ABCD}$ ;

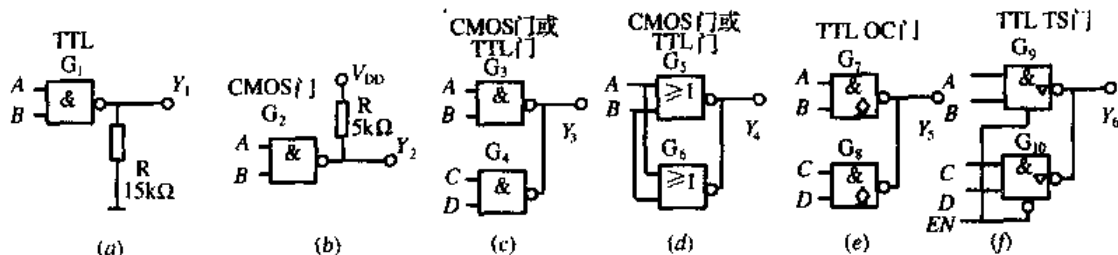


图 2.25 例题 2.6 电路图

$$(4) Y_4 = \overline{A + B};$$

$$(5) Y_5 = \overline{ABCD};$$

$$(6) Y_6 = \overline{AB} \cdot EN + \overline{CD} \cdot \overline{EN}.$$

[解]

(1) 图 2.25(a) 能正常工作, 并满足所给的逻辑关系。当  $Y_1 = 1$  时, 应满足  $I_{OH} \leq I_{OHmax}$ , 由图得  $I_{OH} = U_{OH}/R = 3.6V/15k\Omega = 0.24mA$ , 而  $I_{OHmax} = 0.4mA$ , 故  $I_{OH} < I_{OHmax}$ , 所以  $Y_1 = \overline{AB}$  成立。

(2) 图 2.25(b) 所示电路不能正常工作。若电路正常工作, 须满足  $I_{OL} \leq I_{OLmax}$ , 而当  $Y_2 = L$  时,  $I_{OL} = V_{DD}/R = 5V/5k\Omega = 1mA > I_{OLmax} = 0.51mA$ , 因此该电路不能正常工作。改进办法是增大电阻值, 即满足

$$V_{DD}/R \leq 0.51mA$$

解得

$$R \geq 9.8k\Omega$$

因此当  $R \geq 9.8k\Omega$  时, 满足图中所示的逻辑关系, 即  $Y_2 = \overline{AB}$ 。

(3) 图 2.25(c) 所示电路不能正常工作。因为图腾输出级的 TTL 门、CMOS 门不允许 2 个输出状态不一致的同类门相并联。否则, 过大的电流将使逻辑电平出错。改进办法是使用 OC 门, 加上拉电阻, 可以满足图中所示的逻辑关系。

(4) 图 2.25(d) 所示电路能正常工作。因为 TTL 门、CMOS 门允许 2 个输出状态总是保持一致的同类门相并联。

(5) 图 2.25(e) 所示电路不能正常工作, 因缺少上拉电阻。改进办法是在集电极开路门的输出端和电源之间加上拉电阻。

(6) 图 2.25(f) 所示电路能正常工作, 但不满足图中所示的逻辑关系。因为当  $EN = 1$  时,  $Y_6 = \overline{AB}$ , 当  $EN = 0$  时,  $Y_6 = \overline{CD}$ 。图中的输出逻辑表达式应为

$$Y_6 = \overline{AB}EN + \overline{CD}\overline{EN}$$

**【例 2.7】** 如图 2.26(a) 所示 CMOS 电路,  $R \approx 100k\Omega$ , 已知各输入波形 A、B、C 如图 2.26(b) 所示。请画出输出 F 的波形。

**【解】** 当  $C = 0$  时, 输出端逻辑表达式为  $F = \overline{A + B}$ ; 当  $C = 1$  时,  $F = \overline{A}$ , 即  $F = \overline{A + BC} + \overline{AC}$ 。答案如图 2.27 所示。

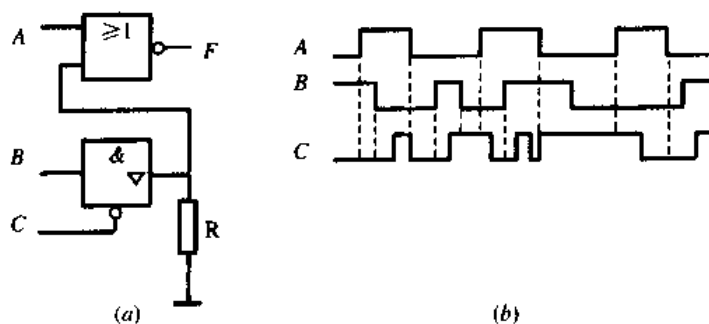


图 2.26 例题 2.7 电路及各输入端的输入波形  
(a) 电路图; (b) 输入波形图。

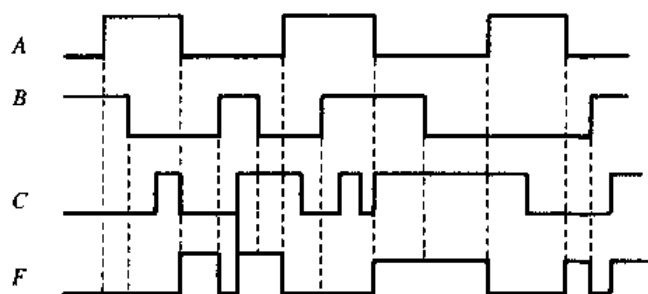


图 2.27 例题 2.7 解答图

【例 2.8】 门电路如图 2.28(a)所示, 已知图 2.28(b)所示的输入波形, 请写出电路输出  $F_1$ 、 $F_2$ 、 $F_3$  的逻辑表达式并画出  $F_1$ 、 $F_2$  的波形。

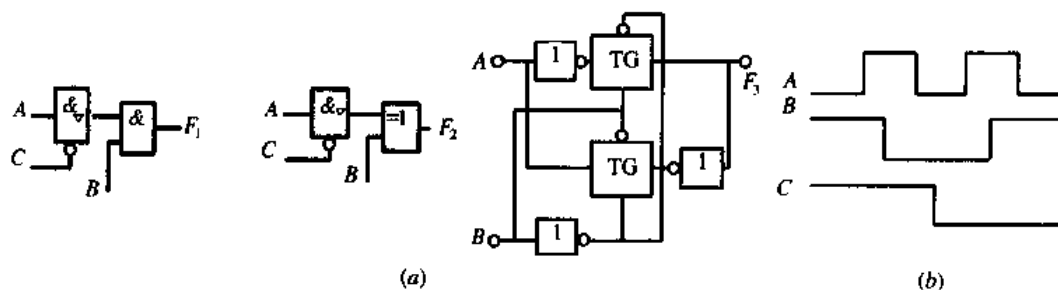


图 2.28 题 2.8 电路图和输入波形图  
(a) 电路图; (b) 输入波形图。

【解】 逻辑表达式为

$$F_1 = CB + \bar{C}AB, F_2 =$$

$$\bar{C}(A \oplus B) + \bar{C}B$$

当  $B=1$  时,  $F_3 = \bar{A}$ , 此时  $A$  为输入,  $F_3$  为输出; 当  $B=0$  时,  $A = \bar{F}_3$ , 此时  $F_3$  为输入,  $A$  为输出。  $F_1$  和  $F_2$  的波形见图 2.29 所示。

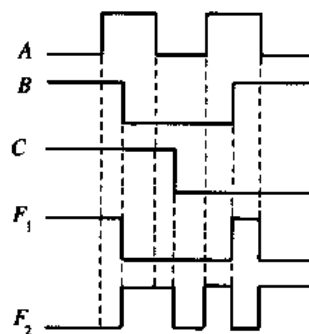


图 2.29 例题 2.8 的输出波形图

【例 2.9】 TTL 三态门电路如图 2.30 所示。画出图示输入波形所对应的输出  $F$  的波形。

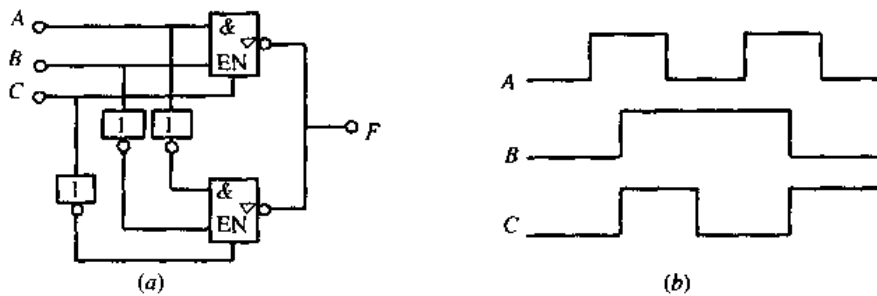


图 2.30 例题 2.9 的电路图和输入波形图

(a) 电路图; (b) 输入波形图。

【解】 当  $C = 1$  时,  $F = \overline{AB}$ ; 当  $C = 0$  时,  $F = \overline{AB} = A + B$ 。于是,  $F = \overline{AB}C + (A + B)C$ ,  $F$  的波形如图 2.31 所示。

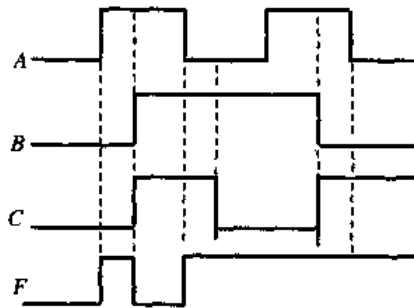


图 2.31 例题 2.9 的输出波形图

【例 2.10】 逻辑函数  $P(A, B, C, D) = \sum m(3, 7, 11, 12, 13, 14, 15)$ , 用集电极开路门 (OC 门) 实现之。

【解】 因为 OC 门能够实现线与, 所以必须将逻辑函数写成与运算的形式。卡诺图如图 2.32(a), 可得

$$P(A, B, C, D) = \sum m(3, 7, 11, 12, 13, 14, 15) = \overline{AB} + \overline{CD} = \overline{AB} \cdot \overline{CD}$$

用 OC 门实现之, 如图 2.32(b) 所示。

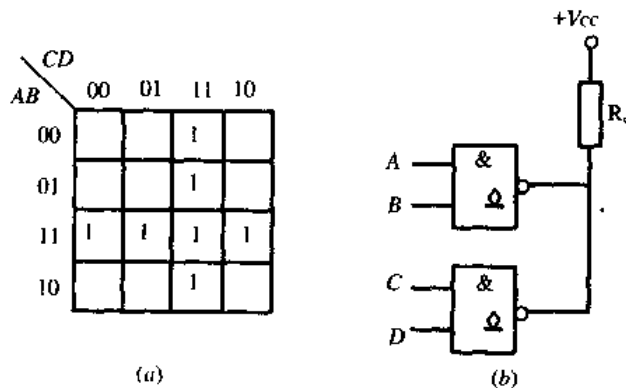


图 2.32 例题 2.10 的电路图

(a) 卡诺图; (b) 实现电路。



【例 2.11】 电路如图 2.33(a) 所示, 并行输入数据  $I_3 I_2 I_1 I_0 = 1010$ , 控制端  $X = 0$ ,  $A_1 A_0$  的态序为 00、01、10 和 11, 画出输出端  $L$  的波形。

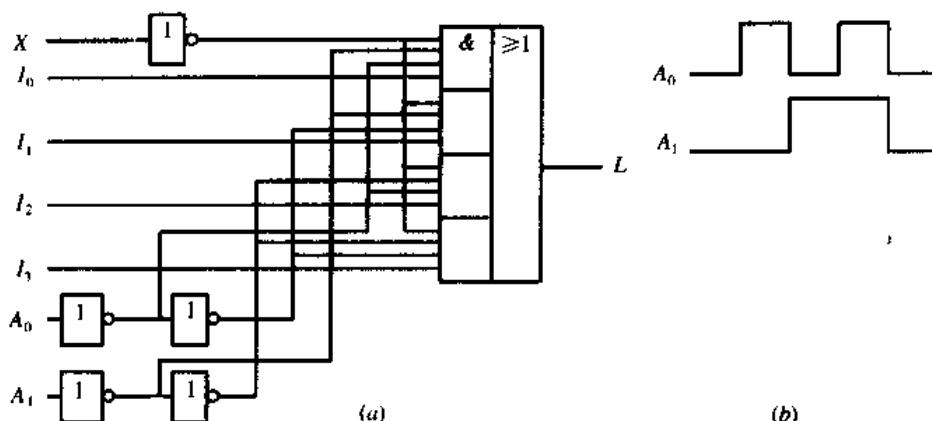


图 2.33 例题 2.11 的电路图和输入波形图

(a) 电路图; (b) 输入波形图。

【解】 由图 2.33(a) 可得

$$L = \bar{X}(\bar{A}_1 \bar{A}_0 I_0 + \bar{A}_1 A_0 I_1 + A_1 \bar{A}_0 I_2 + A_1 A_0 I_3)$$

将  $I_3 I_2 I_1 I_0 = 1010$ 、 $X = 0$  代入上式, 得

$$L = A_0$$

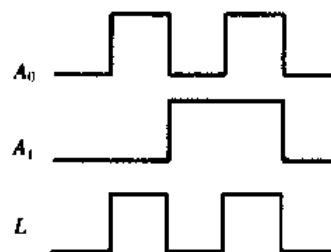


图 2.34 例题 2.11 的输出波形图

输出端  $L$  的波形如图 2.34 所示。

【例 2.12】 由 CMOS 传输门和 CMOS 反相器组成的电路如图 2.35(a) 所示。输入信号  $u_{i1}$ 、 $u_{i2}$  和控制信号  $C$  的波形如图 2.35(b) 所示。 $u_{i1}$  和  $u_{i2}$  是幅值相同、频率相同和相位相反的三角波, 试画出  $u_o$  的波形 (CMOS 传输门中的 NMOS 管和 PMOS 管的开启电压均为  $|u_{GS(th)}| \approx 3V$ )。

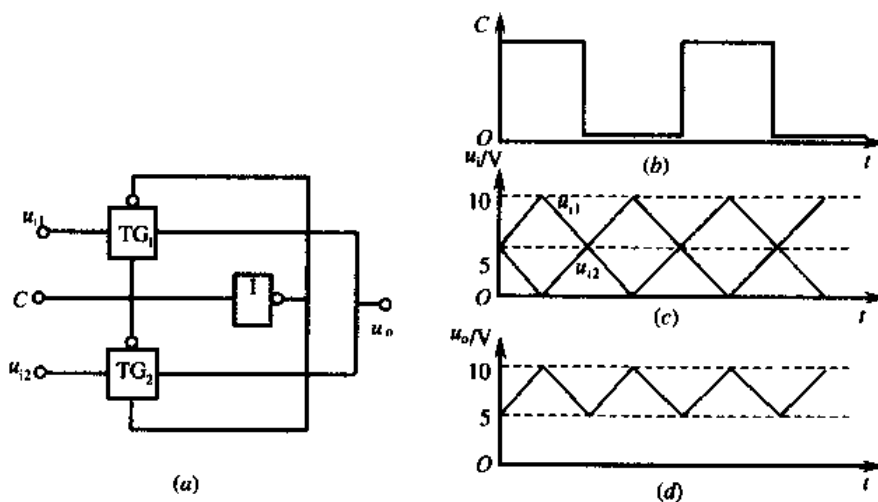


图 2.35 例题 2.12 的电路图和波形图

(a) 电路图; (b)  $C$  波形图; (c)  $u_i$  波形图; (d)  $u_o$  波形图。

【解】 由题中所给的波形可见,  $C$  的高、低电平分别为  $10\text{V}$ 、 $0\text{V}$ 。当  $C = 10\text{V}$  时,  $\text{TG}_1$  导通,  $\text{TG}_2$  关闭,  $u_{i1}$  将传送到输出端; 当  $C = 0\text{V}$  时,  $\text{TG}_2$  导通,  $\text{TG}_1$  关闭, 将  $u_{i2}$  传送到输出端。  $u_o$  的波形如图 2.35(c) 所示。

## 2.4 自我测试

### 【题 2.1】 选择与填空:

1. 在图 2.36 中, 稳态时三极管一般工作在\_\_\_\_\_状态。在图示电路中, 若  $u_i < 0\text{V}$ , 则三极管 VT \_\_\_\_\_, 此时  $u_o =$  \_\_\_\_\_; 欲使三极管处于饱和状态,  $u_i$  需满足的条件为\_\_\_\_\_。

- A. 放大, 截止,  $5\text{V}$ ,  $\frac{u_i - 0.7}{R_b} \geq \frac{V_{CC}}{\beta R_c}$   
 B. 开关, 截止,  $3.7\text{V}$ ,  $\frac{u_i - 0.7}{R_b} \geq \frac{V_{CC}}{\beta R_c}$   
 C. 开关, 饱和,  $0.3\text{V}$ ,  $\frac{u_i - 0.7}{R_b} \geq \frac{V_{CC}}{\beta R_c}$   
 D. 开关, 截止,  $5\text{V}$ ,  $\frac{u_i - 0.7}{R_b} \leq \frac{V_{CC}}{\beta R_c}$

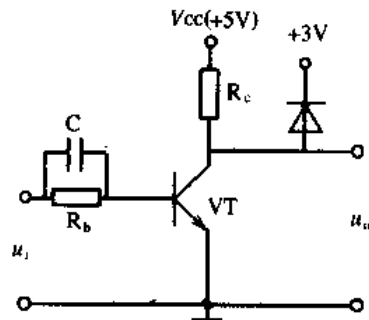


图 2.36 三极管工作状态分析图

2. 电路如图 2.36 所示。在电路中其他参数不变的条件下, 仅  $R_b$  减小时, 三极管的饱和程度\_\_\_\_\_; 仅  $R_c$  减小时, 饱和程度\_\_\_\_\_; 图中  $C$  的作用是\_\_\_\_\_。

- A. 减轻, 减轻, 去耦  
 B. 加深, 加深, 加速  
 C. 加深, 不变, 隔直  
 D. 加深, 减轻, 加速

3. 由 TTL 门组成的电路如图 2.37 所示。已知它们的输入短路电流为  $I_{IS} = 1.6\text{mA}$ , 高电平输入漏电流  $I_{IH} = 40\mu\text{A}$ 。试问: 当  $A = B = 1$  时,  $G_1$  的电流称为\_\_\_\_\_电流, 数值为\_\_\_\_\_;  $A = 0$  时,  $G_1$  的电流称为\_\_\_\_\_电流, 数值为\_\_\_\_\_。

- A. 拉,  $3.2\text{mA}$ , 灌,  $160\mu\text{A}$   
 B. 灌,  $6.4\text{mA}$ , 拉,  $160\mu\text{A}$   
 C. 灌,  $3.2\text{mA}$ , 拉,  $160\mu\text{A}$   
 D. 灌,  $3.2\text{mA}$ , 拉,  $80\mu\text{A}$

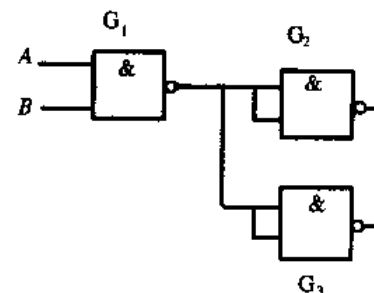


图 2.37 TTL 门电路电流计算图

4. 在图 2.38 中示出了某门电路的特性曲线, 试据此确定它的下列参数: 输出高电平  $U_{OH} =$  \_\_\_\_\_; 输入短路电流  $I_{IS} =$  \_\_\_\_\_; 高电平输入漏电流  $I_{IH} =$  \_\_\_\_\_; 开门电平  $U_{ON} =$  \_\_\_\_\_; 最大灌电流  $I_{OL,max} =$  \_\_\_\_\_; 扇出系数  $N =$  \_\_\_\_\_。

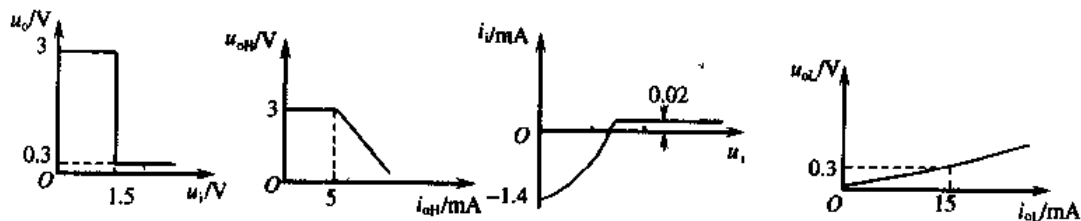


图 2.38 门电路特性曲线

- A. 3V, 1.4mA, 0.02mA, 1.5V, 15 mA, 10  
 B. 3V, 1.6mA, 0.02mA, 1.5V, 15 mA, 10  
 C. 3V, 1.4mA, 0.02mA, 1.5V, 15 mA, 16  
 D. 2V, 1.4mA, 0.04mA, 1.5V, 15 mA, 10
5. TTL 门电路输入端悬空时, 应视为\_\_\_\_\_; 此时如用指针式万用表测量其电压, 读数约为\_\_\_\_\_。  
 A. 不定  
 B. 高电平, 3.5V  
 C. 低电平, 0V  
 D. 高电平, 1.4V
6. CT74、CT74H、CT74S、CT74LS 4 个系列的 TTL 集成电路, 其中功耗最小的为\_\_\_\_\_; 速度最快的为\_\_\_\_\_; 综合性能指标最好的为\_\_\_\_\_。  
 A. CT74LS, CT74H, CT74LS  
 B. CT74LS, CT74S, CT74LS  
 C. CT74L, CT74S, CT74LS  
 D. CT74LS, CT74S, CT74H
7. OC 门在使用时须在\_\_\_\_\_之间接一电阻。  
 A. 输出与地  
 B. 输出与电源  
 C. 输出与输入
8. CMOS 门电路的特点: 静态功耗\_\_\_\_\_, 而动态功耗随着工作频率的提高而\_\_\_\_\_; 输入电阻\_\_\_\_\_; 噪声容限\_\_\_\_\_于 TTL 门。  
 A. 很大, 增加, 很大, 低  
 B. 极低, 减小, 很大, 高  
 C. 极低, 增加, 很大, 高  
 D. 极低, 增加, 很大, 等
9. 某 TTL 反相器的延迟时间  $t_{PLH} = 15\text{ns}$ ,  $t_{PHL} = 10\text{ns}$ 。输入占空比为 50% 的方波, 该方波的频率不得高于\_\_\_\_\_。  
 A. 40MHz  
 B. 50MHz  
 C. 20MHz  
 D. 30MHz
10. 确定 TTL 和 CMOS 逻辑门之间的电平关系:

$$U_{oHTTL} (>、=、<) U_{oHCMOS}$$

$$U_{oLTTL} (>、=、<) U_{oLCMOS}$$

11. 图 2.39 电路为 TTL 门电路, 要想使  $F = \bar{A}$ , 选择正确答案。

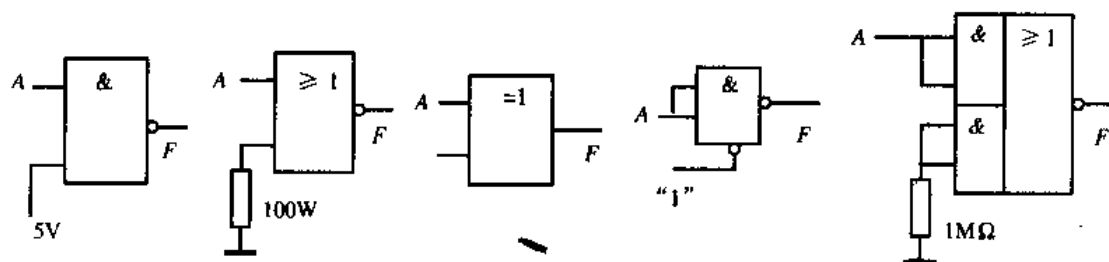


图 2.39 TTL 门电路逻辑图

- A. 正确, 错误, 错误, 错误, 错误  
 B. 正确, 错误, 正确, 错误, 错误  
 C. 正确, 正确, 正确, 错误, 错误  
 D. 正确, 正确, 错误, 错误, 正确
12. 图 2.40 电路为 CMOS 门电路, 要想使  $F = \bar{A}$ , 选择正确答案。  
 A. 正确, 错误, 错误, 错误  
 B. 错误, 错误, 错误, 错误  
 C. 正确, 正确, 正确, 错误  
 D. 正确, 正确, 错误, 错误

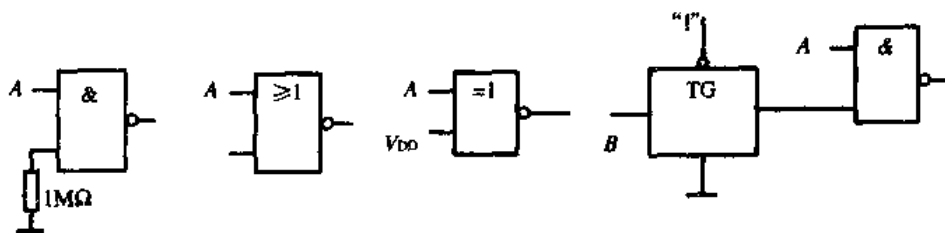


图 2.40 CMOS 门电路逻辑图

【解】 1. B 2. D 3. C 4. A 5. D 6. B 7. B 8. C 9. D 10. <, > 11. C  
12. B

【题 2.2】 在图 2.41(a)、(b) 电路中, 试计算当输入电压  $u_i$  分别为 0V、5V、悬空时输出电平  $u_o$  的数值, 并指出三极管都工作在什么状态。假设三极管导通后  $U_{BE} = 0.7V$ 。

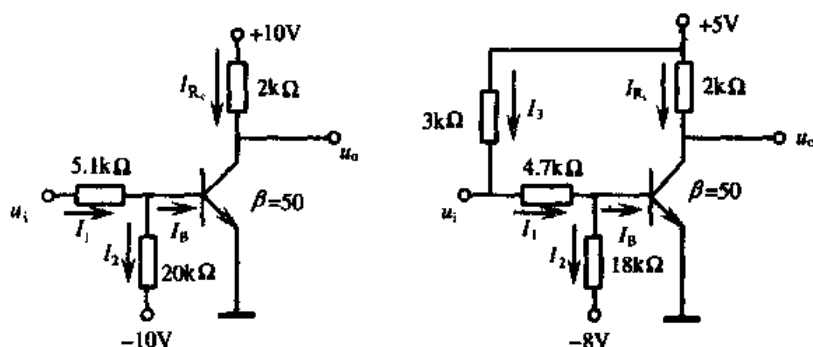


图 2.41 题 2.2 电路图

【简答】

(1) 在图 2.41(a) 中, 当  $u_i = 0V$  时, 三极管截止, 输出  $u_o = 10V$ 。

(2) 当  $u_i = 5V$  时,  $I_B = I_1 - I_2 = \frac{5V - 0.7V}{5.1k\Omega} - \frac{10V + 0.7V}{20k\Omega} \approx 0.3mA$ ,  $I_{BS} = 10V / (2 \times 30)k\Omega \approx 0.17mA$ 。可见  $I_B > I_{BS}$ , 因此三极管饱和, 输出  $u_o = 0.3V$ 。

(3) 当输入端悬空时, 三极管截止, 输出  $u_o = 10V$ 。

在图 2.41(b) 中, 当  $u_i = 0V$  时, 三极管截止, 输出  $u_o = 5V$ 。

当  $u_i = 5V$  时,  $I_B = I_1 - I_2 = \frac{5V - 0.7V}{4.7k\Omega} - \frac{8V + 0.7V}{18k\Omega} \approx 0.43mA$ ,  $I_{BS} = 5V / 2 \times 50 \approx 0.05mA$ 。可见  $I_B > I_{BS}$ , 因此三极管饱和, 输出  $u_o = 0.3V$ 。

当输入端悬空时,  $I_B = \frac{5V - U_{BE}}{3k\Omega + 4.7k\Omega} - \frac{U_{BE} + 8V}{18k\Omega} \approx 0.075mA$ ,  $I_B > I_{BS}$ , 因此三极管饱和, 输出  $u_o = 0.3V$ 。

【题 2.3】 电路如图 2.42 所示。已知 TTL 门电路的开门电平  $U_{on} = 1.8V$ , 关门电平  $U_{off} = 0.8V$ , 开门电阻  $R_{on} = 2k\Omega$ , 关门电阻  $R_{off} = 0.8k\Omega$ , 输入低电平电流  $I_{il} = 1.4mA$ , 输入高电平电流  $I_{ih} \approx 0A$ , 输出低电平  $U_{ol} = 0.3V$ , 输出高电平  $U_{oh} = 3.6V$ , 输入高电平  $U_{ih} = 3V$ , 最大允许拉电流  $I_{OHmax} = 400\mu A$ ; 三极管的  $\beta = 60$ ,  $I_{CM} = 30mA$ ,  $U_{BE} = 0.7V$ , 饱和时  $U_{CES} = 0.3V$ ; 输入 A、B、C 的高、低电平分别为 0V 和 3V。

(1) 判断在 A、B、C 不同取值下, 三极管的工作状态。

(2) 试分析这一电路能否实现  $Y = (A + B)C$  的逻辑功能。

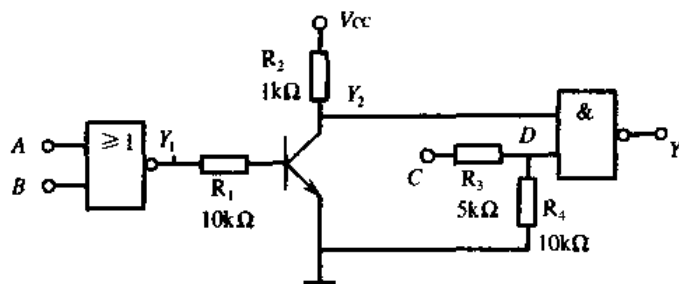


图 2.42 题 2.3 电路图

【简答】

(1) 当输入  $AB = 01, 10, 11$  时,  $Y_1 = L$ , 三极管截止,  $Y_2 = H$ ; 当输入  $AB = 00$  时,  $Y_1 = H$ , 这时有

$$I_B = \frac{U_{OH} - U_{BE}}{R_1} = 0.29\text{mA} < I_{OH\max} = 0.4\text{mA}$$

$$I_{BS} = \frac{1}{\beta} \left( \frac{V_{CC} - U_{CES}}{R_2} + I_{IL} \right) = 0.1\text{mA}$$

由于  $I_B > I_{BS}$ , 三极管处于饱和状态, 因此  $Y_2 = 0.3\text{V}$ , 即  $Y_2 = A + B$ 。

(2) 当  $C = 1$  时,  $D$  点的电位  $U_D = \frac{R_4}{R_3 + R_4} U_{IH} = 2\text{V} > U_{on}$ ,  $Y = \overline{A + B}$ 。

当  $C = 0$  时,  $R_D = \frac{R_3 R_4}{R_3 + R_4} = 3.3\text{k}\Omega > R_{on}$ , 所以  $Y = \overline{A + B}$ 。

因此, 该电路不能实现  $Y = \overline{(A + B)C}$  的逻辑功能。

【题 2.4】 已知 TTL 逻辑门  $U_{OH} = 3\text{V}$ ,  $U_{OL} = 0.3\text{V}$ , 阈值电平  $U_T = 1.4\text{V}$ 。试求图 2.43 所示电路中各电压表的读数。

【简答】 电压表读数  $U_1 = 1.4\text{V}$ ,  $U_2 = 1.4\text{V}$ ,  $U_3 = 0.3\text{V}$ ,  $U_4 = 3\text{V}$ ,  $U_5 = 0.3\text{V}$ 。

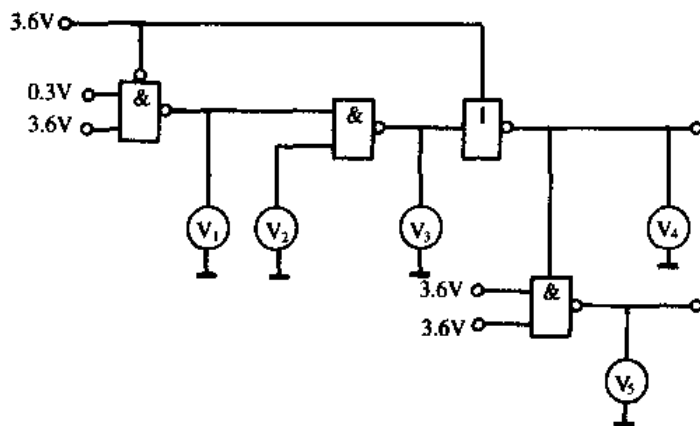


图 2.43 题 2.4 电路图

【题 2.5】 2 输入 TTL 与非门电路的输入、输出特性曲线如图 2.44(a)、(b)和(c)所示。电路要求门电路的输入低电平  $U_{iL\max} \leq 0.4\text{V}$ , 已知门电路输出高电平时  $I_{OH} \leq 360\mu\text{A}$ 。

(1) 求门电路  $G_0$  的扇出系数  $N_{OL}$ 。

(2) 若门电路  $G_1 \sim G_N$  有 3 个输入端, 则扇出系数  $N_{OL}$  应为多少?

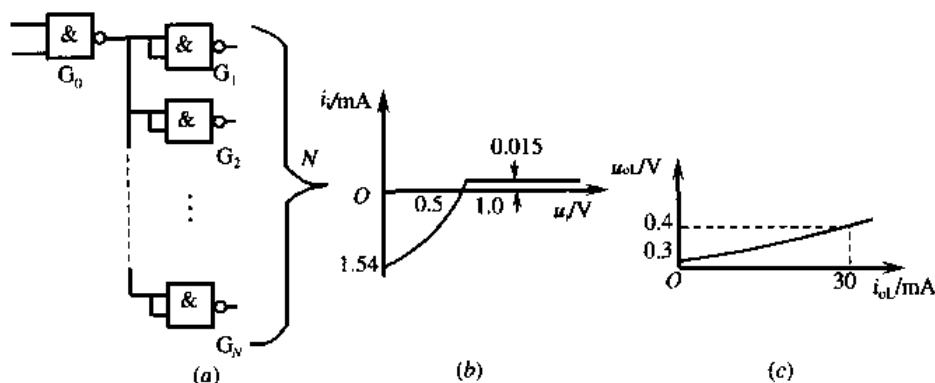


图 2.44 题 2.5 图

[简答]

(1) 输出低电平的扇出系数  $N_{OL} = \frac{I_{OLmax}}{I_{ILmax}} = \frac{30mA}{1.54mA} = 19$ 。

(2) 输出低电平的扇出系数  $N_{OL}$  仍为 19, 因为  $N_{OL}$  与输入端的个数无关。

【题 2.6】 电路如图 2.45 所示, 试写出逻辑函数  $F_1 \sim F_6$  的表达式。

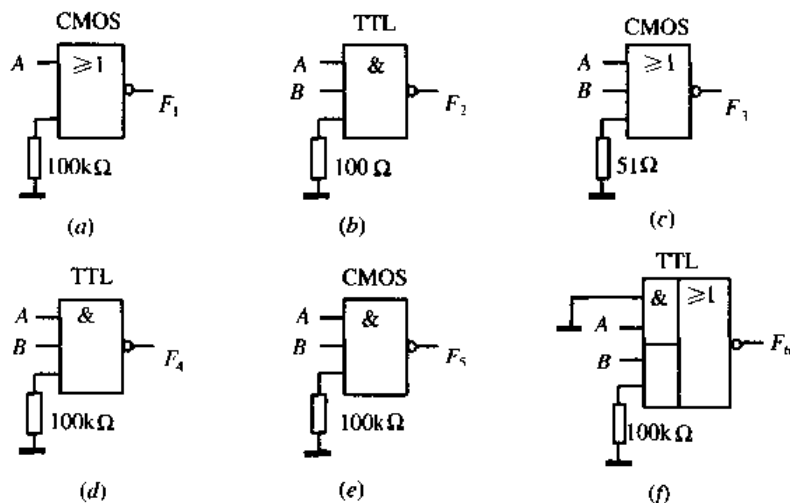


图 2.45 题 2.6 图

[简答]

$$F_1 = \bar{A}, F_2 = 1, F_3 = \overline{A + B}, F_4 = \overline{AB}, F_5 = 1, F_6 = \bar{B}$$

【题 2.7】 在图 2.46(a)所示电路中,  $G_1, G_2, G_3$  是 TTL 系列 OC 门, 输出高电平时  $I_{OH} \leq 100\mu A$ , 输出低电平时  $I_{OLmax} = 8mA$ ,  $G_4, G_5, G_6$  是 TTL 系列与非门, 它们的输入与输出特性如图 2.46(b)至(d)所示。已知  $V_{CC} = 5V$ , 试计算外接负载电阻  $R$  的范围。

[简答]

$$\frac{V_{CC} - U_{OLmax}}{I_{OL} - MI_{IL}} \leq R \leq \frac{V_{CC} - U_{OHmin}}{NI_{IEX} + KI_{IH}}$$

式中  $M$  为 TTL 门的个数,  $K$  为 TTL 门输入端数,  $N$  为 OC 门个数。

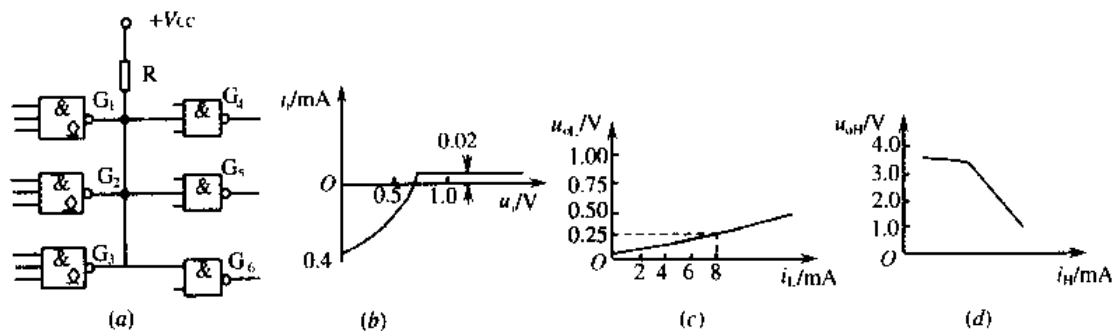


图 2.46 题 2.7 图

$$\frac{5 - 0.25}{8 - 3 \times 0.4} \leq R \leq \frac{5 - 3.2}{3 \times 0.1 + 3 \times 0.02}$$

$$699\Omega \leq R \leq 5k\Omega$$

【题 2.8】 CMOS 电路如图 2.47(a) 所示, 已知输入  $A$ 、 $B$  及控制端  $C$  的电压波形如图 2.47(b) 所示, 试画出  $F$  端的波形。

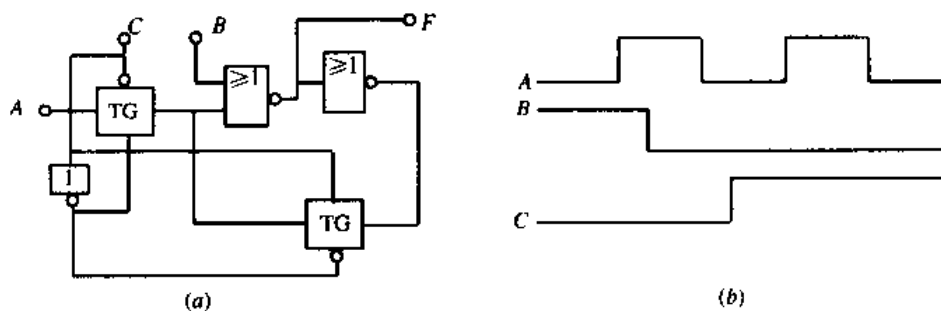


图 2.47 题 2.8 图

(a) 电路图; (b) 波形图。

【简答】 当  $C = 0$  时,  $F = \overline{A + B}$ ; 当  $C = 1$  时,  $F = \overline{B}$ 。解答波形图如图 2.48 所示。

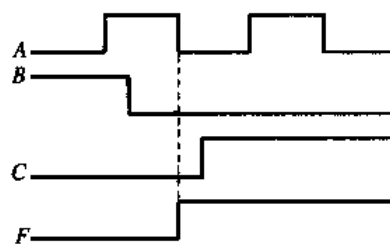


图 2.48 波形图

## 第3章 组合逻辑电路

### 3.1 学习要点

组合逻辑电路是通用数字集成电路的重要品种,用途广泛。本章重点包括如下内容:

- (1) 组合逻辑电路的定义。
- (2) 组合逻辑电路的分析。描述组合逻辑电路的方法,包括真值表、逻辑式、逻辑图和卡诺图等。组合逻辑电路的分析是指已知逻辑图,求解电路的逻辑功能。
- (3) 组合逻辑电路的设计。组合逻辑电路的设计是指根据要求设计出完成规定功能电路的过程。
- (4) 逻辑函数式的最佳化问题。
- (5) 中规模组合逻辑电路(译码器、编码器、全加器、数据选择器和数码比较器)的原理、功能和应用。
- (6) 组合逻辑电路中的瞬态现象——竞争冒险。

### 3.2 重点难点

#### 3.2.1 组合逻辑电路的定义

逻辑电路通常分为组合逻辑电路和时序逻辑电路两大类。组合逻辑电路的定义是,在某一时刻,输出仅仅由该时刻的输入所决定的逻辑电路;时序逻辑电路的定义是,在某一时刻,输出不仅仅由该时刻的输入所决定,而且与过去的输入有关的逻辑电路。由定义可知,组合逻辑电路较时序逻辑电路简单。组合逻辑电路是由逻辑门构成的,是逻辑电路的基础。

#### 3.2.2 组合逻辑电路的分析

##### 一、组合逻辑电路的分析方法

组合逻辑电路的分析,就是已知逻辑图,然后对该电路的逻辑功能进行分析,并用合适的方式表达出来。组合逻辑电路的分析步骤如下:

- (1) 断定被分析电路是组合逻辑电路。组合逻辑电路没有触发器、没有反馈线存在。
- (2) 根据逻辑电路图写出输出逻辑函数表达式。
- (3) 列出电路的真值表。
- (4) 根据真值表,说明电路的逻辑功能。



## 二、组合逻辑电路几种描述方法之间的关系

读者应注意到,逻辑图、逻辑式、真值表和卡诺图四者之间有特定的关系,只要知道了其中的1个,就可以推导出另外3个。逻辑图用于电路的分析;逻辑式主要用于逻辑关系的推演、变换和化简等;真值表可以对电路的逻辑功能进行直观的说明;卡诺图用于电路的分析、设计和变换。各有各的用途,读者应注意到它们四者之间的关系,能熟练地进行转换。

### 3.2.3 组合逻辑电路的设计

根据给出的实际逻辑问题,设计出能实现这一逻辑功能的最简组合逻辑电路,是组合逻辑电路的设计任务。组合逻辑电路设计的一般步骤如下:

- (1) 根据给出的实际问题进行逻辑抽象,确定变量,并进行逻辑赋值;
- (2) 列出真值表;
- (3) 写出逻辑函数表达式,需要时采用代数法或卡诺图法化简;
- (4) 选择合适的器件实现之,画出逻辑图。

### 3.2.4 逻辑函数式的最佳化

如果不允许反变量输入,则可以在逻辑门的输入端加接反相器(非门)来消除反变量。解决反变量的问题,有时也可以从电路的中间变量获得解决。所以一个最简逻辑式在具体电路实现时,往往要增加一些门电路,以解决反变量问题。因此逻辑式的最简化(也叫最小化)与逻辑电路的最简化并非始终一致。如何通过合理的接线以及利用电路的中间运算结果,即中间变量,用最少的门电路实现最简化逻辑式的逻辑关系,就是逻辑电路最佳化的问题。逻辑电路的最佳化也要从逻辑式入手,这就是逻辑式的最佳化。

把最简与或逻辑式的每一个与项之原变量写在前面,称为头部因子,反变量写在后面称为尾部因子。把头部因子的各种组合以与的形式插入尾部因子中,便得到了代替因子。用代替因子代替相应的尾部因子,所得到的与项和原与项是相等的。实现最佳化的步骤如下:

- (1) 化简并给出与或型逻辑式;
- (2) 确定各个与项的代替因子;
- (3) 寻找对各个与项都能适用的公共代替因子,若实在找不到,只好通过加接非门来获得反变量;
- (4) 摩根定理将使用代替因子的与或式展开成与非与非表达式,用与非门即可实现最佳化线路。

例如,最佳化  $P = \bar{A}BC + A\bar{B}C$ 。按上述步骤进行,得到表3.1。

表 3.1  $P = \bar{A}BC + A\bar{B}C$  的最佳化

与 项	头部因子	尾部因子	代 替 因 子
$\bar{A} \cdot B \cdot C$	$B \cdot C, BC$	$A$	$\bar{B}A, \bar{C}A, \bar{B}CA$
$A \cdot \bar{B} \cdot C$	$A \cdot C, AC$	$\bar{B}$	$\bar{A}\bar{B}, \bar{C}\bar{B}, \bar{A}\bar{C}\bar{B}$

$\overline{AB}$ 、 $\overline{ACB}$ 都是公共代替因子,但 $\overline{AB}$ 所需的输入端较少,所以选择 $\overline{AB}$ 作为公共代替因子,即

$$F = \overline{A}BC + A\overline{B}C = BC\overline{AB} + AC\overline{AB}$$

$$F = \overline{BCAB} \cdot \overline{ACAB}$$

由此实现的逻辑图如图 3.1 所示。

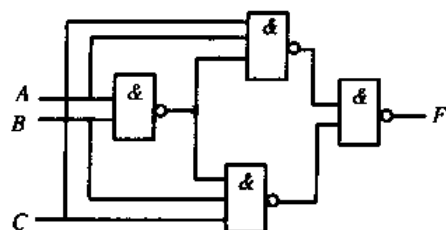


图 3.1 最佳化逻辑图

### 3.2.5 中规模组合逻辑电路

#### 一、4 位全加器

74LS283 是 4 位全加器,其内部电路结构如图 3.2 所示,逻辑符号如图 3.3 所示。它是由 4 个 1 位全加器级联而成。其中  $A_4$ 、 $A_3$ 、 $A_2$ 、 $A_1$  和  $B_4$ 、 $B_3$ 、 $B_2$ 、 $B_1$  是 2 个 4 位二进制码的输入,  $\Sigma_4$ 、 $\Sigma_3$ 、 $\Sigma_2$ 、 $\Sigma_1$  是和输出,  $C_4$  是向高位(比  $A_4$ 、 $B_4$  更高一位)的进位,  $C_0$  是低位(比  $A_1$ 、 $B_1$  位还低一位)向  $A_1$ 、 $B_1$  位的进位。其他各位的进位,都在内部连接了,没有引线向集成电路外部连出。2 个 4 位二进制数相加,最大是  $1111 + 1111 = 11110$ ,  $C_4\Sigma_4\Sigma_3\Sigma_2\Sigma_1$  正好对应这 5 位,如果  $C_0$  为“1”,那么和为“11111”。

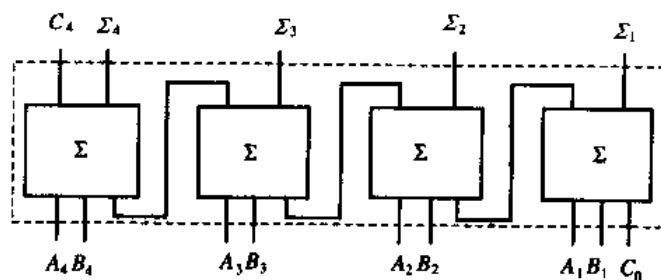


图 3.2 4 位全加器的逻辑框图

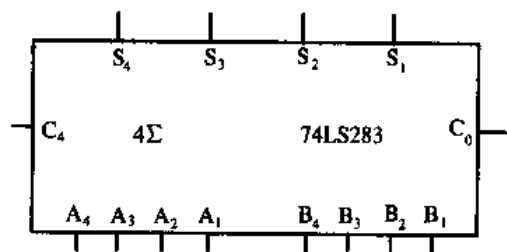


图 3.3 4 位全加器 74LS283 的逻辑符号图

4 位全加器除了做 4 位二进制数的加法运算之外,还有许多用途,典型的有码制的转换,如 BCD8421 码转换为余三码,BCD8421 码转换为 BCD5421 码等。

#### 二、编码器

按某种编排方式组成的  $N$  位数码,用它来表示某种信息,称为编码。这些信息包括数值、语言、操作命令、状态等。具有编码功能的逻辑电路叫做编码器。编码器是一种多输入、多输出的组合逻辑电路,常用的有二进制编码器、BCD8421 码编码器和优先编码器等。

图 3.4 给出了 2-10 进制优先编码器 74LS147 的逻辑图,其真值表如表 3.2 所列。优

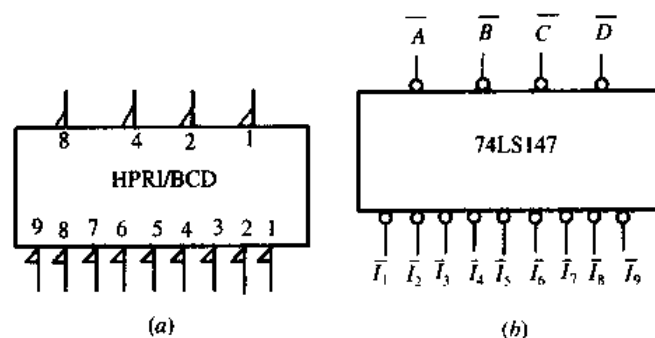


图 3.4 2-10 进制优先编码器 74LS147

(a) 国标符号; (b) 框图。

先编码器在设计时就安排好了输入信号的优先顺序。当有几个被编对象同时输入时,只对优先权最高的一个进行编码,从而克服了普通编码器,当若干个被编对象同时输入时,输出发生混乱的缺点。

表 3.2 2-10 进制优先编码器 74LS147 的真值表

输 入									输 出			
$I_1$	$I_2$	$\bar{I}_3$	$\bar{I}_4$	$\bar{I}_5$	$\bar{I}_6$	$\bar{I}_7$	$I_8$	$I_9$	$D$	$C$	$B$	$A$
1	1	1	1	1	1	1	1	1	1	1	1	1
x	x	x	x	x	x	x	x	0	0	1	1	0
x	x	x	x	x	x	x	0	1	0	1	1	1
x	x	x	x	x	x	0	1	1	1	0	0	0
x	x	x	x	x	0	1	1	1	1	0	0	1
x	x	x	x	0	1	1	1	1	1	0	1	0
x	x	x	0	1	1	1	1	1	1	0	1	1
x	x	0	1	1	1	1	1	1	1	1	0	0
x	0	1	1	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	1	0

### 三、译码器

译码器分为二进制译码器、代码转换译码器、显示译码器和编码器等多种。二进制译码器又称为最小项译码器、 $n$  线 -  $N$  线译码器、 $N$  中取一译码器。 $n$  代表二进制码的位数,  $N = 2^n$ , 例如 3 位二进制码, 就可称为 3 位二进制码译码器、3 位二进制码最小项译码器、3 线 - 8 线译码器、八中取一译码器等名称。

- (1) 译码器输入为非十进制编码, 输出为十进制编码。
- (2) 编码器输入为十进制编码, 输出为非十进制编码。
- (3) 代码转换译码器用于各种非十进制编码之间的转换。
- (4) 显示译码器能将译码器的状态通过显示器件显示出来的译码器。

典型的 3 线 - 8 线译码器是 74LS138, 逻辑符号如图 3.5 所示, 功能表如表 3.3 所列。中规模显示译码器是 74LS48, 逻辑符号如图 3.6 所示, 功能表如表 3.4 所列。

表 3.3 74LS138 的功能表

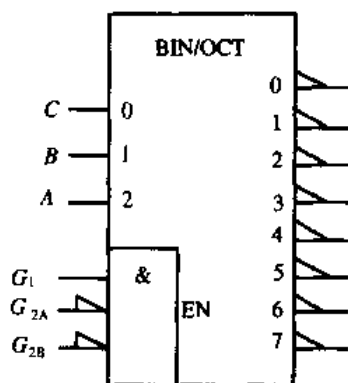


图 3.5 74LS138 逻辑符号

$G_1$	$G_{2A}$	$G_{2B}$	$A$	$B$	$C$	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$
x	H	x	x	x	x	H	H	H	H	H	H	H	H
x	x	H	x	x	x	H	H	H	H	H	H	H	H
L	x	x	x	x	x	H	H	H	H	H	H	H	H
H	L	L	0	0	0	L	H	H	H	H	H	H	H
H	L	L	0	0	1	H	L	H	H	H	H	H	H
H	L	L	0	1	0	H	H	L	H	H	H	H	H
H	L	L	0	1	1	H	H	H	L	H	H	H	H
H	L	L	1	0	0	H	H	H	H	L	H	H	H
H	L	L	1	0	1	H	H	H	H	H	L	H	H
H	L	L	1	1	0	H	H	H	H	H	H	L	H
H	L	L	1	1	1	H	H	H	H	H	H	H	L

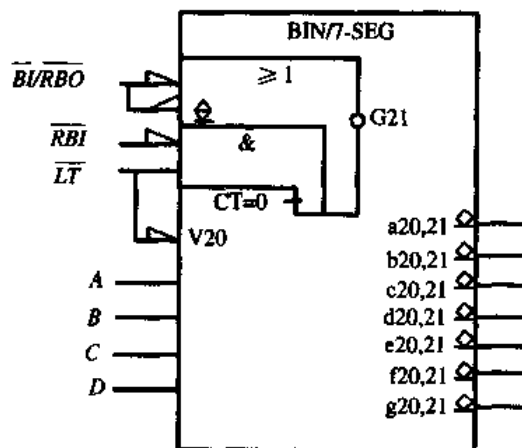


图 3.6 74LS48 的逻辑符号

表 3.4 中规模显示译码器 74LS48 的功能表

十进制 或功能	输 入						$\overline{BI}/\overline{RBO}$	输 出						
	$\overline{LT}$	$\overline{RBI}$	$D$	$C$	$B$	$A$		$a$	$b$	$c$	$d$	$e$	$f$	$g$
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L
1	H	x	L	L	L	H	H	L	H	H	L	L	L	L
2	H	x	L	L	H	L	H	H	H	L	H	H	L	H
3	H	x	L	L	H	H	H	H	H	H	H	L	L	H
4	H	x	L	H	L	L	H	L	H	H	L	L	H	H
5	H	x	L	H	L	H	H	H	L	H	H	L	H	H
6	H	x	L	H	H	L	H	L	L	H	H	H	H	H
7	H	x	L	H	H	H	H	H	H	H	L	L	L	L
8	H	x	H	L	L	L	H	H	H	H	H	H	H	H
9	H	x	H	L	L	H	H	H	H	H	L	L	H	H

(续)

十进制 或功能	输 入						$\overline{BI}/RBO$	输 出						
	$\overline{LT}$	$\overline{RBI}$	$D$	$C$	$B$	$A$		$a$	$b$	$c$	$d$	$e$	$f$	$g$
10	H	x	H	L	H	L	H	L	L	L	H	H	L	H
11	H	x	H	L	H	H	H	L	L	H	H	L	L	H
12	H	x	H	H	L	L	H	L	H	L	L	L	H	H
13	H	x	H	H	L	H	H	H	L	L	H	L	H	H
14	H	x	H	H	H	L	H	L	L	L	H	H	H	H
15	H	x	H	H	H	H	H	L	L	L	L	L	L	L
消隐	x	x	x	x	x	x	L	L	L	L	L	L	L	L
动态消隐	H	L	L	L	L	L	L	L	L	L	L	L	L	L
试灯输入	L	x	x	x	x	x	H	H	H	H	H	H	H	H

#### 四、数据选择器

数据选择器的英文是 Multiplexer, 用缩写 MUX 表示。数据选择器的功能是, 从若干个输入信号中选出 1 个传送到输出端。产品有双四选一数据选择器(74LS153)、八选一数据选择器(74LS151)、十六选一数据选择器(74LS150)等。它们的逻辑功能可用图 3.7 的四选一数据选择器示意图来说明。图中  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  是 4 个数据输入, 也称为输入变量。 $A$  和  $B$  的作用是选择哪一个输入变量传送到输出端, 称为选择变量, 如果有 4 个输入变量, 应有 2 位选择变量。 $Y$  是数据输出, 即  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  中的某一个。

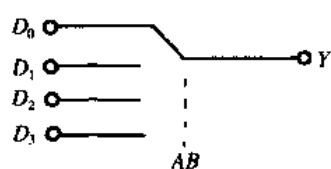


图 3.7 数据选择器  
功能示意图

数据选择器 74LS153 是一个双四选一数据选择器, 即在一个封装内有 2 个相同的四选一数据选择器, 其逻辑符号如图 3.8 所示, 其功能如表 3.5 所列。由逻辑符号和功能表可知  $Y$  为输出端,  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  为数据输入端,  $EN$  为使能端,  $A$ 、 $B$  为 2 个选择变量输入端。边框内有  $G$  字样,  $G$  称为方式控制。1、0 代表选择变量的数位高低, 1 是高位, 0 是低位。

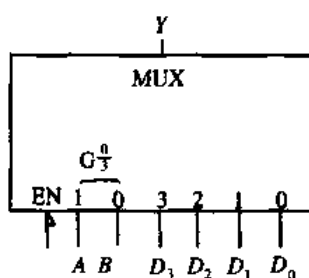


图 3.8 四选一数据选择器的逻辑符号

表 3.5 数据选择器的功能表

$A$	$B$	$Y$
0	0	$D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$

根据功能表的描述, 不难写出数据选择器的逻辑表达式为

$$Y = \overline{EN}(\overline{A}\overline{B}D_0 + \overline{A}BD_1 + A\overline{B}D_2 + ABD_3)$$

以八选一数据选择器 74LS251 为例, 它的逻辑符号如图 3.9 所示。它有 8 个数据输入端, 3 个选择变量输入端。

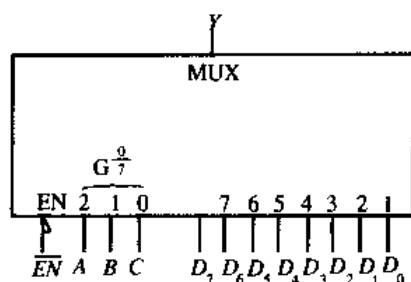


图 3.9 八选一数据选择器的逻辑符号

### 五、数码比较器

比较器有模拟量比较器和数字量比较器 2 种, 此处介绍的是数字量比较器。我们现讨论 1 位二进制码的比较, 即大、小和相等的判断, 称之为比较单元。典型的比较单元电路如图 3.10 所示。首先写出输出逻辑变量的逻辑式, 即

$$Y = \overline{A + A + B + B + \overline{A} + \overline{B}} = (A + \overline{A}\overline{B})(B + \overline{A}\overline{B}) = (A + \overline{B})(B + \overline{A}) = AB + \overline{A}\overline{B} = \overline{A \oplus B}$$

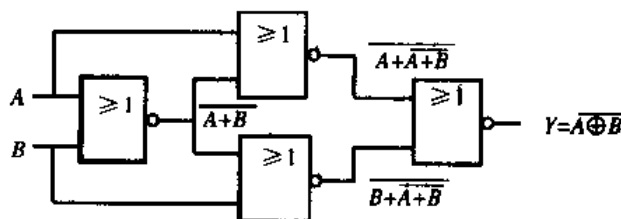


图 3.10 1 位二进制码比较器的逻辑图

输出  $Y$  是输入  $A$ 、 $B$  的同或, 即异或非。对于图 3.10, 如果用与非门构成, 我们已经很熟悉了, 它是异或逻辑关系。现在改为或非门, 实际上是对异或进行对偶变换, 与或互换, 与非门改为或非门, “01”互换, 输出的或关系改为同或关系。图 3.10 的中间变量为

$$\overline{A + A + B} = \overline{A}(A + B) = \overline{A}B \text{ (代表了 } A < B \text{)}$$

$$\overline{B + A + B} = \overline{B}(A + B) = \overline{A}B \text{ (代表了 } A > B \text{)}$$

从逻辑关系上看, 既然  $Y$  代表了  $A = B$ , 那么,  $Y$  是或非的输出, 既不是大于也不是小于。那么或非的输入必然是一个代表大于, 另一个是小于。

对于 2 个 4 位二进制码进行比较, 可以由比较单元电路组合而成。在此从另一个角度来解决这一问题。根据异或非运算的规律和从高位开始比较的原则, 并考虑串行输入端  $(A = B)_i$ 、 $(A > B)_i$  和  $(A < B)_i$  的状态, 写出比较逻辑式, 有

$$Y_{A=B} = A_3 \oplus B_3 A_2 \oplus B_2 A_1 \oplus B_1 A_0 \oplus B_0 (A = B)_i$$

$$Y_{A < B} = \overline{A_3} B_3 + A_3 \oplus B_3 \cdot \overline{A_2} B_2 + A_3 \oplus B_3 \cdot A_2 \oplus B_2 \cdot \overline{A_1} B_1 + \overline{A_3 \oplus B_3 A_2 \oplus B_2 A_1 \oplus B_1 A_0 B_0} + A_3 \oplus B_3 \cdot A_2 \oplus B_2 \cdot A_1 \oplus B_1 \cdot \overline{A_0} \oplus B_0 (A < B)_i$$

$$Y_{A > B} = A_3 \overline{B_3} + A_3 \oplus B_3 A_2 \overline{B_2} + A_3 \oplus B_3 \cdot A_2 \oplus B_2 \cdot A_1 \overline{B_1} + \overline{A_3 \oplus B_3 A_2 \oplus B_2 A_1 \oplus B_1 A_0 \overline{B_0}} + A_3 \oplus B_3 \cdot A_2 \oplus B_2 \cdot A_1 \oplus B_1 \cdot A_0 \oplus \overline{B_0} (A > B)_i$$

根据这 3 个逻辑式,就可以做出 4 位二进制码比较电路,实际的 4 位数码比较器还有一些附加部分,在此就不介绍了。

表 3.6 是 4 位二进制码比较器 74LS85 的功能表,功能表是按照从最高位开始比较的原则进行排列的。当  $A_3 > B_3$  时,  $A_3 A_2 A_1 A_0 > B_3 B_2 B_1 B_0$ ; 当  $A_3 = B_3$  时,比较次高位,若  $A_2 > B_2$ ,则  $A_3 A_2 A_1 A_0 > B_3 B_2 B_1 B_0$ ,其余类推。表 3.6 中最下方 8 种串联输入组合中,只有  $(A = B)_i$ 、 $(A > B)_i$  和  $(A < B)_i$  分别为高这 3 行是合乎逻辑的,而最后 5 行组合是不合逻辑的。对此,表中给出了有什么样不合理的输入,就有什么样不合理的输出。

表 3.6 4 位二进制码比较器 74LS85 的功能表

比较输入				串联输入			输 出						
$A_3$	$B_3$	$A_2$	$B_2$	$A_1$	$B_1$	$A_0$	$B_0$	$(A > B)_i$	$(A < B)_i$	$(A = B)_i$	$Y_{A > B}$	$Y_{A < B}$	$Y_{A = B}$
$A_3 > B_3$		x		x		x		x	x	x	H	L	L
$A_3 < B_3$		x		x		x		x	x	x	L	H	L
$A_3 = B_3$		$A_2 > B_2$		x		x		x	x	x	H	L	L
$A_3 = B_3$		$A_2 < B_2$		x		x		x	x	x	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 > B_1$		x		x	x	x	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 < B_1$		x		x	x	x	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 > B_0$		x	x	x	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 < B_0$		x	x	x	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	L	L	H	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	H	L	L	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	L	H	L	L	H
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	L	L	L	L	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		L	H	H	L	H	H
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	L	H	H	L	H
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	H	L	H	H	L
$A_3 = B_3$		$A_2 = B_2$		$A_1 = B_1$		$A_0 = B_0$		H	H	H	H	H	H

4 位二进制码比较器 74LS85 的逻辑符号如图 3.11 所示。该电路还增加了 3 个串联输入端,分别代表大于、等于、小于串联输入。串联输入用于几片 4 位二进制码比较器级联时,在为片间传递某一片 4 位二进制码比较器比较结果而设置的。实际上对于一片 4 位二进制码比较器而言,加上串联输入,就相当 5 位二进制码的比较。在进行 4 位二进制码比较时,串联输入端  $(A = B)_i$  接“1”, $(A > B)_i$  和  $(A < B)_i$  接“0”。

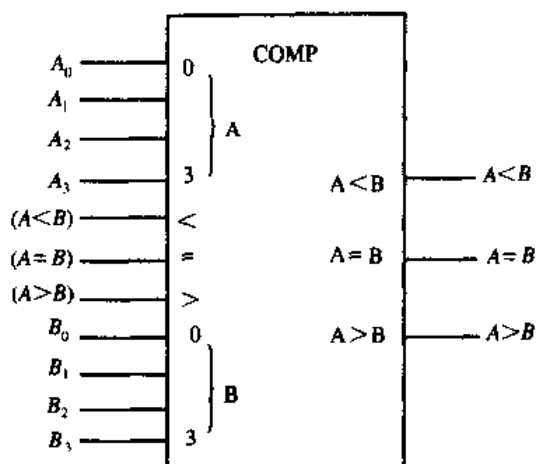


图 3.11 4 位数码比较器逻辑符号

### 3.2.6 竞争与冒险

竞争与冒险是数字电路中存在的现象。由于元器件质量和设备工艺已达到相当高的水平,因而数字电路的故障往往是竞争与冒险引起的。

如果一个数字电路从一个稳定状态转换到另一个稳定状态时,其中某个门电路的 2 个输入信号同时向相反方向变化,就称该电路存在竞争。当考虑了门电路的延迟后,同一个门的 2 个输入端同时向相反的方向变化,此时数字电路中可能出现非预期信号的现象,也就是在某瞬间电路中出现违背真值表规定的逻辑电平的情况,就称为冒险。竞争的结果不一定都产生冒险,只是有可能产生冒险,竞争的结果产生冒险时称为竞争冒险。产生冒险的原因,第一是门电路存在延迟,第二是信号间的竞争,只要条件具备,就会有竞争冒险存在。

冒险分为“0”态冒险和“1”态冒险。竞争冒险的判别式分别为

$$P = A + \bar{A}$$

或

$$P_4 = A\bar{A}$$

消除竞争冒险的方法有:

- (1) 修改逻辑设计,增加冗余项以消除竞争冒险;
- (2) 接滤波电容器,削弱尖峰脉冲幅度;
- (3) 接入选通脉冲,控制输出级门电路,避免出现尖峰脉冲。

## 3.3 例题分析

【例 3.1】将下面与或型逻辑式转换为与非与非型、或与型、或非或非型和与或非型。

$$Y = \bar{A}\bar{B} + \bar{B}\bar{C} + \bar{A}BC$$

【解】先将逻辑式化简,然后转换为与非与非型,即



$$\begin{aligned}
 Y &= A\bar{B} + B\bar{C} + \bar{A}BC = \\
 &\quad \overline{AB + BC + AB} = \\
 &\quad \overline{AB \cdot BC \cdot AB}
 \end{aligned}$$

先进行对偶变换,得

$$Y' = (A + \bar{B})(B + \bar{C})(\bar{A} + B + C)$$

展开化简,得

$$Y' = (AB + AC + \bar{B}\bar{C})(\bar{A} + B + C) = \bar{A}\bar{B}\bar{C} + AB$$

第2次对偶,得或与式

$$Y = (Y')' = (\bar{A} + \bar{B} + \bar{C})(A + B)$$

转换为或非或非式,有

$$Y = \overline{\bar{A} + \bar{B} + \bar{C} + A + B}$$

转换为与或非式,有

$$Y = \overline{\bar{A} + \bar{B} + \bar{C} + A + B} = \overline{ABC + \bar{A}\bar{B}}$$

【例 3.2】 分析图 3.12 所示的逻辑电路。

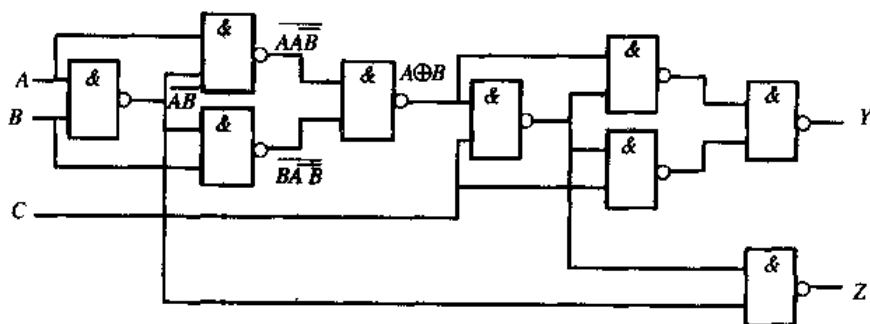


图 3.12 例 3.2 的逻辑图

【解】 首先写出输出逻辑变量的逻辑式。

在图中已经将有关的中间变量标明,于是

$$Y = A \oplus B \oplus C$$

$$Z = \overline{AB \cdot (A \oplus B)C} = \overline{AB + (A \oplus B)C} =$$

$$\overline{AB + \bar{A}BC + A\bar{B}C} =$$

$$\overline{ABC + \bar{A}BC + \bar{A}BC + A\bar{B}C} =$$

$$\overline{m_3 + m_5 + m_6 + m_7}$$

表 3.7 全加器的真值表

A	B	C	Z	Y
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

其次列出电路的真值表,如表 3.7 所列。

根据真值表可以断定该电路是一个全加器。变量 Y 是全加器的和,变量 Z 是全加器向高位的进位。A、B、C 是输入变量,因为加法遵循交换律,所以 A、B、C 中哪个是加数、被加数和低位的进位是任意的,可以互换。如果不知道全加器,根据真值表判断全加器是有一

定困难的,但对于在什么样的输入逻辑电平下,有什么样的输出逻辑电平是可以回答的。为此,要能够迅速回答电路的逻辑功能,回答电路名称,需要平时有一定的知识积累。

由全加器的真值表或输出逻辑式可以看出, $Y$ 是变量 $A$ 、 $B$ 、 $C$ 的异或。对于2个变量的异或,已经比较熟悉了,对于多个变量的异或运算,可以根据2个变量的规则加以推导。

对于异或运算而言,不管输入变量有多少,其中有奇数个“1”,则输出为“1”;若其中有偶数个“1”,则输出为“0”。

对于同或运算而言,不管输入变量有多少,其中有奇数个“0”,则输出为“0”;若其中有偶数个“0”,则输出为“1”。

【例3.3】试分析图3.13所示CMOS集成电路逻辑功能,分别写出当 $Z=1$ 时,当 $Z=COMP=0$ 时,当 $Z=0$ ;  $COMP=1$ 时输出的表达式。说明在上述3种情况下,集成电路的功能分别是什么。

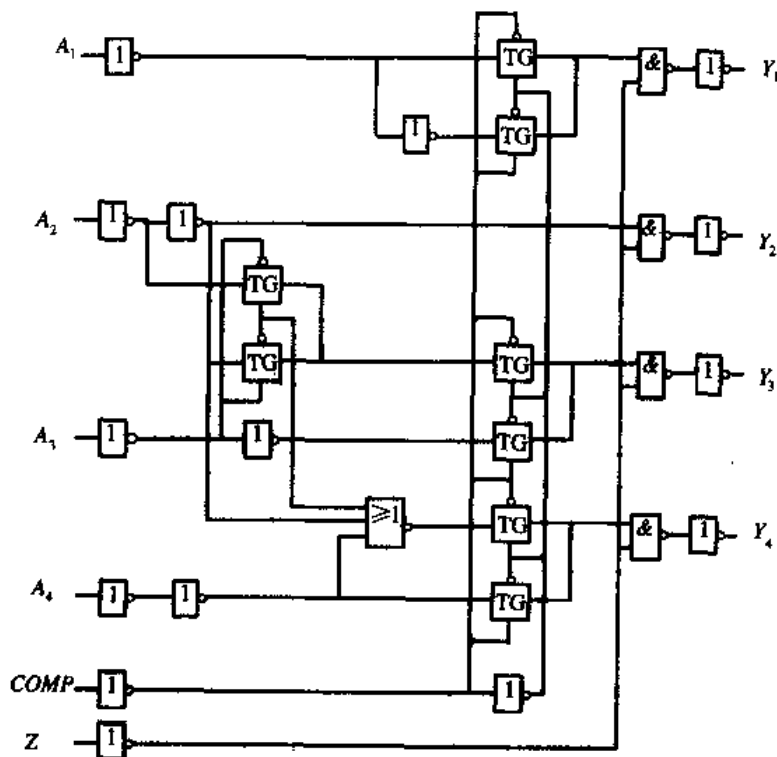


图3.13 例3.2的逻辑图

【解】

(1) 当 $Z=1$ 时,  $Y_1=Y_2=Y_3=Y_4=0$ 。

(2) 当 $Z=COMP=0$ 时,  $Y_1=A_1$ ,  $Y_2=A_2$ ,  $Y_3=A_3$ ,  $Y_4=A_4$ 。

(3) 当 $Z=0$ ,  $COMP=1$ 时,  $Y_1=\bar{A}_1$ ,  $Y_2=A_2$ ,  $Y_3=A_3 \oplus A_2$ ,  $Y_4=\bar{A}_4 + A_3 + A_2$ 。

【例3.4】设计一组合逻辑电路,输入为4位二进制码 $B_3B_2B_1B_0$ ,当 $B_3B_2B_1B_0$ 是BCD8421码时输出 $Y=1$ ;否则 $Y=0$ 。列出真值表,写出与或非型表达式,用集电极开路门实现。

【解】根据题意,列真值表,如表3.8所列。由卡诺图化简得

$$\bar{Y} = AB + AC$$

$$Y = \overline{AB} + \overline{AC} = \overline{AB} \cdot \overline{AC}$$

用 OC 门实现之,如图 3.14 所示。

表 3.8 例 3.4 的真值表

二进制码	Y
0000	1
0001	1
0010	1
0011	1
0100	1
0101	1
0110	1
0111	1
1000	1
1001	1
1010	0
1011	0
1100	0
1101	0
1110	0
1111	0

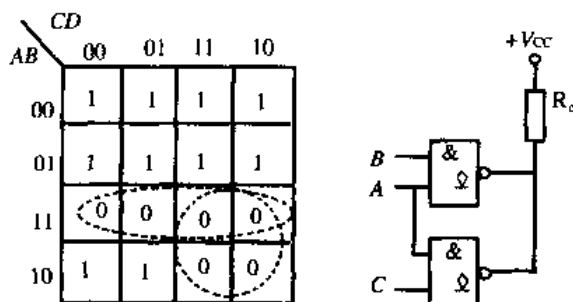


图 3.14 例 3.4 的卡诺图和逻辑图

【例 3.5】 要实现逻辑函数  $P = \overline{AB} + \overline{AC} + \overline{BC}$ , 能否只使用一片集成电路, 是什么型号, 如何连线?

【解】

$$\begin{aligned} Y &= \overline{AB} + \overline{AC} + \overline{BC} = \overline{AB} + \overline{ABC} = A \overline{AB} + C \overline{AB} = \\ &= \overline{A \overline{AB} + C \overline{AB}} = \overline{A \overline{AB} \cdot C \cdot \overline{AB}} \end{aligned}$$

使用一片 74LS00 即可实现该逻辑函数, 逻辑图如图 3.15 所示。

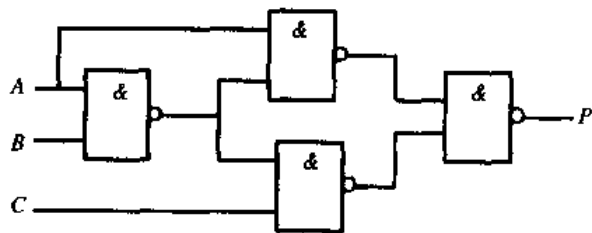


图 3.15 例 3.5 的逻辑图

【例 3.6】 用 4 位全加器实现 BCD8421 码至 BCD5421 码的转换。

【解】 将 BCD8421 码和 BCD5421 码列表, 如表 3.9 所列。从表 3.9 可以看出: BCD8421 码从 0~4, 与 BCD5421 码相同。BCD8421 码从 5~9 分别加 0011 即为 BCD5421 码。所以要设计一个组合逻辑电路, 对输入的 8421 码进行检测。若是 0~4, 则输出“0”; 若是输出 5~9, 则输出“1”。

通过卡诺图十分容易解决, 如图 3.16 所示。在卡诺图中, 在 0~4 的位置填“0”, 在 5~9 的位置填“1”, 其他位置可视为约束项, 填“×”。由此可得逻辑式, 即

$$Y = D + CA + CB = \overline{D} \cdot \overline{CA} \cdot \overline{CB}$$

表 3.9 BCD8421 码和 BCD5421 码

$D_i$	$C_i$	$B_i$	$A_i$	$D_o$	$C_o$	$B_o$	$A_o$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
8	4	2	1 码	5	4	2	1 码

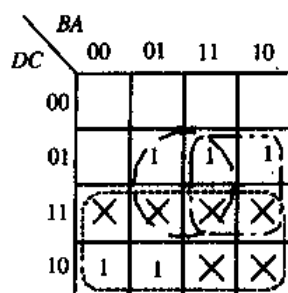


图 3.16 卡诺图

根据逻辑式可画出逻辑图,以及与 4 位全加器相连接的逻辑图,分别如图 3.17 和图 3.18 所示。

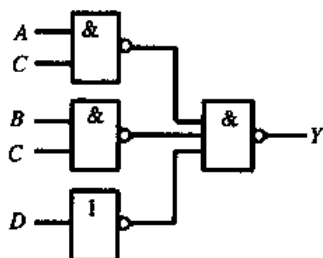


图 3.17 逻辑图

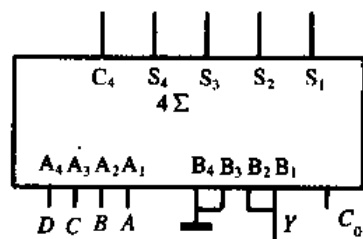


图 3.18 与全加器连接的电路图

【例 3.7】用全加器和其他逻辑门实现 2 个 3 位二进制码的相乘电路。

【解】用传统的方法,列出真值表,就有 6 个输入变量,真值表有 64 行。输出最大为  $111 \times 111 = 1001$ ,共 4 位。这样实现起来很麻烦,往往可以采用如下方法实现。列出乘法算式

$$\begin{array}{r}
 \begin{array}{ccc}
 & A_2 & A_1 & A_0 \\
 \times & B_2 & B_1 & B_0 \\
 \hline
 & A_2 B_0 & A_1 B_0 & A_0 B_0 \\
 & A_2 B_1 & A_1 B_1 & A_0 B_1 \\
 + & A_2 B_2 & A_1 B_2 & A_0 B_2 \\
 \hline
 \end{array} \\
 \begin{array}{c}
 \uparrow \quad \uparrow \quad \uparrow \\
 \text{此二与项相加} \quad \text{此二与项相加} \\
 \text{此三与项相加}
 \end{array}
 \end{array}$$

从上述算式可以得到启发。由  $A_0 B_0$  的与逻辑决定乘积的最低位;由  $A_1 B_0$  和  $A_0 B_1$  相加得到第 2 位乘积项;由  $A_2 B_0$ 、 $A_1 B_1$  和  $A_0 B_2$  之和得到第 3 位乘积项;由  $A_2 B_1$  和  $A_1 B_2$  之和得到第 4 位乘积项;由  $A_2 B_2$  得到最高位乘积项。在它们相加时还应考虑低位的进位。由此可以做出 2 个 3 位二进制码相乘的逻辑图,采用的器件是与门和全加器,逻辑图如图 3.19 所示。

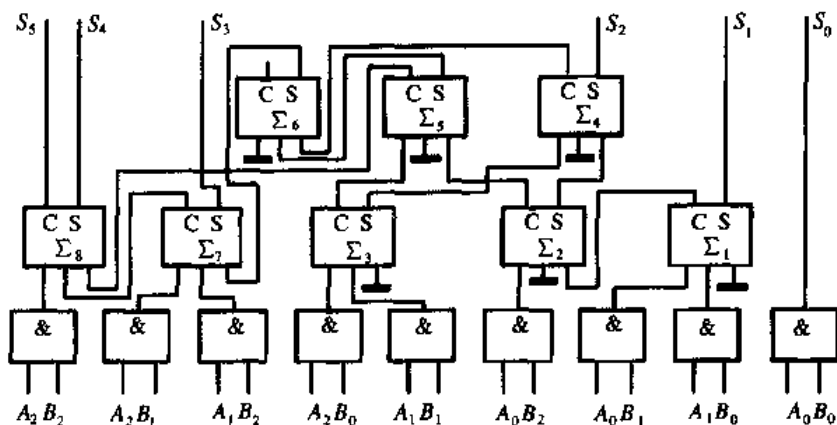


图 3.19 用全加器构成的二进制码乘法电路

乘积项  $S_0$  和  $S_1$  的获得容易理解。乘积项  $S_2$  由  $A_2B_0$ 、 $A_1B_1$ 、 $A_0B_2$  与  $S_1$  位的进位相加而得到,最大数是 100(4),进位应向高位移 2 位,相当于 4,见图中的粗线。当出现 11 或 10 时,只应向高位进 1 位。 $\Sigma_2$  和  $\Sigma_3$  的和加到  $\Sigma_4$  上, $\Sigma_2$  和  $\Sigma_3$  的进位加到  $\Sigma_5$  上。所以  $\Sigma_4$  的和输出代表 1,进位输出代表 2; $\Sigma_5$  的和输出代表 2。因此  $\Sigma_4$  的进位输出和  $\Sigma_5$  的和输出再通过全加器  $\Sigma_6$  加到  $S_3$  位,即  $\Sigma_7$  的输入端。

【例 3.8】 用 3 线-8 线最小项译码器 74LS138 和逻辑门实现全加器。

【解】 全加器的输出逻辑表达式为

$$Y = A \oplus B \oplus C = m_1 + m_2 + m_4 + m_7$$

$$Z = ABC\bar{C} + ABC + \bar{A}BC + A\bar{B} = m_3 + m_5 + m_6 + m_7$$

74LS138 的输出是最小项的反,即  $\bar{m}_i$ 。因此有

$$Y = m_1 + m_2 + m_4 + m_7 = \overline{\bar{m}_1 \bar{m}_2 \bar{m}_4 \bar{m}_7}$$

$$Z = ABC\bar{C} + ABC + \bar{A}BC + A\bar{B} =$$

$$m_3 + m_5 + m_6 + m_7 = \overline{\bar{m}_3 \bar{m}_5 \bar{m}_6 \bar{m}_7}$$

由此可以作出逻辑图,如图 3.20 所示。

最小项译码器提供了  $\bar{m}_i$ ,但没有求和,即没有数学符号  $\Sigma$  的部分。为此必须靠与非门来求和。

【例 3.9】 试将下列逻辑式用 1 片 2 线-4 线译码器和 1 片 2 输入与非门实现:

$$Y_1(A, B) = \Sigma m(0, 3)$$

$$Y_2(A, B) = \Sigma m(1, 2, 3)$$

【解】 2 线-4 线译码器提供最小项的反,与非门实现求和。实现电路如图 3.21 所示。其中

$$m_1 + m_2 + m_3 = \bar{m}_0$$

故  $Y_2$  可直接从 74LS138 的输出端获得。

【例 3.10】 试采用与非门和共阳极 LED 数码管设计一个显示译码器,显示的字型为

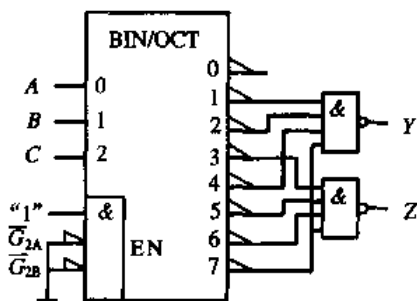


图 3.20 例 3.8 的逻辑图

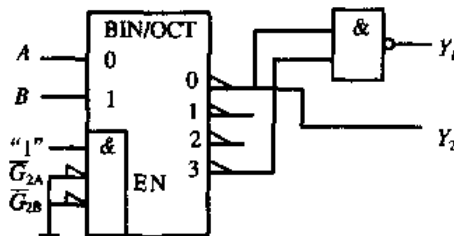


图 3.21 例 3.9 电路图

9 1 5 4 1 2

〔解〕 首先列出字型与电路状态的真值表,如表 3.10 所列。因为只有 6 个字型,所以需要  $A$ 、 $B$ 、 $C$  3 个控制变量。3 个控制变量可以确定 8 个字型。现在是 6 个,多余的 2 个可以作为任意项处理。卡诺图如图 3.22 所示。

表 3.10 LED 显示译码器的真值表

变量 字型	$A$	$B$	$C$	$a$	$b$	$c$	$d$	$e$	$f$	$g$
9	0	0	0	x				x		
1	0	0	1	x				x	x	x
5	0	1	0		x			x		
4	0	1	1	x			x			
1	1	0	0	x			x	x	x	x
2	1	0	1	x	x	x				
	1	1	0							
	1	1	1							

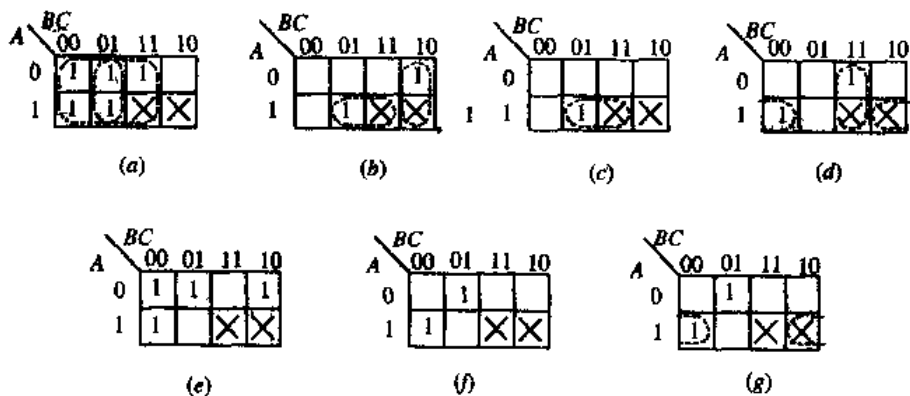


图 3.22 LED 显示译码器的卡诺图

采用卡诺图化简法,得到笔划段的逻辑函数式,将其转换为与非与非型,即可用与非门实现。

$$a = \overline{BC}, b = \overline{AC} \cdot \overline{BC}, c = \overline{AC}, d = \overline{AC} \cdot \overline{BC}, e = C \cdot \overline{AB}, f = g = \overline{AC} \cdot \overline{ABC}$$

【例 3.11】 用数据选择器实现逻辑函数  $F = A\overline{B} + A\overline{C} + \overline{A}B\overline{C} + ABC$ 。

[解]

(1) 确定数据选择器的规模。

待实现的逻辑函数是 3 变量逻辑函数,因而可以选用八选一数据选择器来实现,需要实现的组合逻辑电路的输入变量个数正好等于数据选择器的选择变量个数;也可以选用四选一数据选择器来实现该逻辑函数,选择变量个数少于输入变量个数。

(2) 确定选择输入变量。

① 采用八选一数据选择器实现逻辑函数,令输入  $A_2A_1A_0 = ABC$ 。

② 采用四选一数据选择器实现逻辑函数,令输入  $A_2A_1 = AB$ 。

(3) 写出数据选择器的输出表达式和逻辑函数式的标准与或式。

① 八选一数据选择器输出表达式为

$$Y = \overline{EN}(\overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7)$$

逻辑函数的标准与或式为

$$\begin{aligned} F(A, B, C, D) &= \overline{AB} + \overline{AC} + \overline{ABC} + ABC = \\ &= \overline{AB}(C + \overline{C}) + \overline{AC}(B + \overline{B}) + \overline{ABC} + ABC = \\ &= \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} = \\ &= \sum m(0, 4, 5, 6, 7) \end{aligned}$$

比较  $Y$  和  $F$  的表达式:当用八选一数据选择器实现逻辑函数时,  $\overline{EN} = 0, D_1 = D_2 = D_3 = 0, D_0 = D_4 = D_5 = D_6 = D_7 = 1$ , 使  $Y = F$ 。

② 四选一数据选择器输出表达式为

$$Y = \overline{EN}(\overline{A_1}\overline{A_0}D_0 + \overline{A_1}A_0D_1 + A_1\overline{A_0}D_2 + A_1A_0D_3)$$

逻辑函数的标准与或式为

$$\begin{aligned} F &= \overline{AB} + \overline{AC} + \overline{ABC} + ABC = \\ &= \overline{AB}(C + \overline{C}) + \overline{AC}(B + \overline{B}) + \overline{ABC} + ABC = \\ &= \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} = \\ &= \overline{ABC} + \overline{AB} \cdot 0 + \overline{AB} \cdot 1 + \overline{AB} \cdot 1 \end{aligned}$$

比较  $Y$  和  $F$  的表达式:当用四选一数据选择器实现逻辑函数时,  $\overline{EN} = 0, D_0 = C, D_1 = 0, D_2 = D_3 = 1$ , 使  $Y = F$ 。

(4) 画出逻辑图如图 3.23、图 3.24 所示。

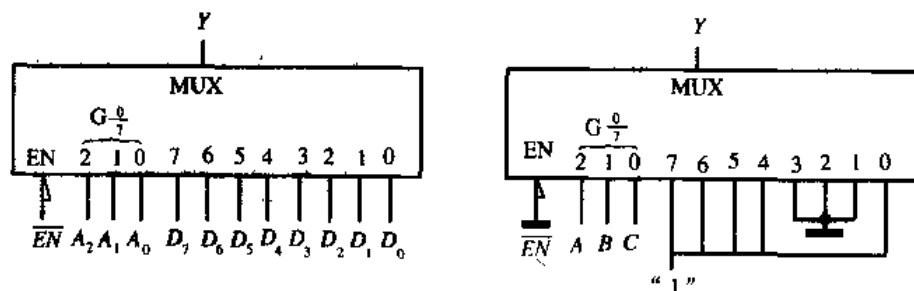
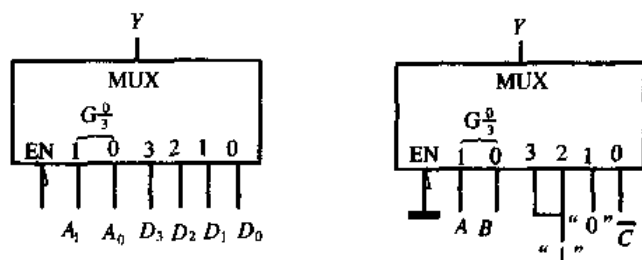


图 3.23 用八选一数据选择器实现逻辑函数  $F = \overline{AB} + \overline{AC} + \overline{ABC} + ABC$  图

图 3.24 用四选一数据选择器实现逻辑函数  $F = AB + AC + ABC + ABC$  图

【例 3.12】试用八选一数据选择器(74LS151)及适当的门电路设计一个 4 变量奇偶校验器。当 4 变量中有偶数个 1 时输出为 1, 否则输出为 0。74LS151 框图如图 3.25 所示。

【解】

(1) 列真值表。输入 4 变量为  $A, B, C$  和  $D$ , 输出为  $Y$ , 其真值表如表 3.11 所列。

(2) 确定选择输入变量。令输入  $A_2A_1A_0 = ABC$ 。

(3) 写出数据选择器的输出  $F$  和 4 变量奇偶校验器的输出  $Y$  的表达式, 有

$$F = \overline{EN}(\overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + \\ A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7)$$

$$Y = \overline{ABCD} + \overline{AB}\overline{CD} + \overline{A}\overline{B}CD + \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD$$

(4) 确定  $D_i$ , 使  $Y = F$ 。比较  $Y$  和  $F$  的表达式。当用八选一数据选择器实现逻辑函数时,  $\overline{EN} = 0, D_0 = 0, D_1 = D_2 = D_4 = D_7 = D, D_3 = D_5 = D_6 = \overline{D}$ , 则  $Y = F$ 。

(5) 画出逻辑图, 如 3.26 所示。

表 3.11 例 3.12 的真值表

二进制码	Y
0000	0
0001	0
0010	0
0011	1
0100	0
0101	1
0110	1
0111	0
1000	0
1001	1
1010	0
1011	0
1100	1
1101	0
1110	0
1111	1

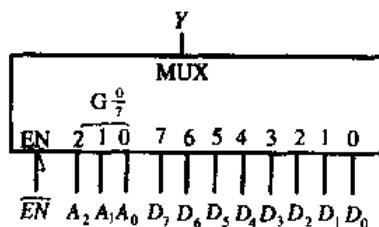


图 3.25 八选一数据选择器的框图

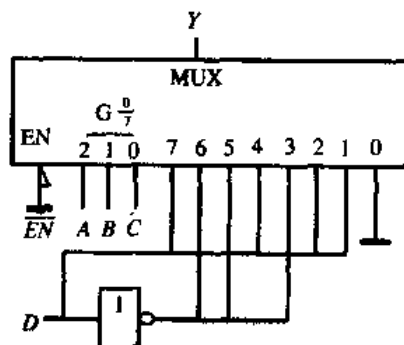


图 3.26 4 变量奇偶校验器的逻辑图

【例 3.13】图 3.27 是由八选一数据选择器构成的电路, 试写出当  $G_1G_0$  为各种取值时输出  $Y$  的表达式。



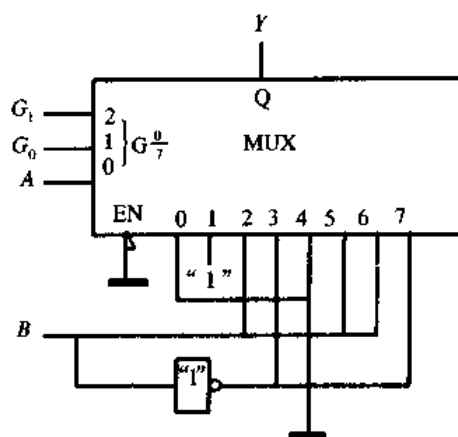


图 3.27 例 3.13 逻辑图

[解] 图 3.27 是由八选一数据选择器构成的电路,  $G_1$ 、 $G_0$ 、 $A$  为输入选择变量, 真值表如表 3.12 所列。只选择  $G_1$ 、 $G_0$  作为输入变量, 真值表如表 3.13 所列。由表 3.13 可以得到  $G_1$ 、 $G_0$  为各种取值时输出  $Y$  的表达式。

表 3.12 3 选择变量输入的真值表

$G_1$	$G_0$	$A$	$Y$
0	0	0	0
0	0	1	1
0	1	0	$B$
0	1	1	$\bar{B}$
1	0	0	0
1	0	1	$B$
1	1	0	$B$
1	1	1	$\bar{B}$

表 3.13 2 选择变量输入的真值表

$G_1$	$G_0$	$Y$
0	0	$A$
0	1	$A \oplus B$
1	0	$AB$
1	1	$A \oplus B$

【例 3.14】 试用 2 片 4 位数码比较器实现 3 个 4 位二进制码  $A$ 、 $B$ 、 $C$  的最大、最小和相等关系的比较。

[解] 1 个 4 位数码比较器只能实现 2 个二进制数码的比较, 所以用 2 片 4 位数码比较器进行  $A$  与  $B$ 、 $A$  与  $C$  的比较, 然后对两组的比较结果再进行判断, 以决定  $A$ 、 $B$ 、 $C$  三者的关系。定义:  $A = B$ 、 $A = C$  时,  $Y_1 = 1$ ;  $A > B$ 、 $A > C$  时,  $A$  最大,  $Y_2 = 1$ ;  $A < B$ 、 $A < C$  时,  $A$  最小,  $Y_3 = 1$ 。于是按图 3.28 接线即可。

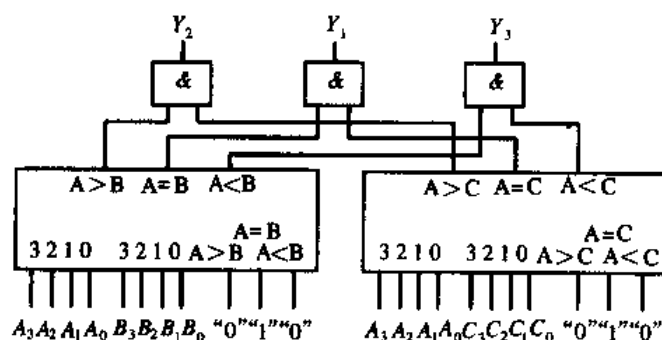


图 3.28 例 3.14 电路图

【例 3.15】 分析图 3.29 所示电路中,当  $A$ 、 $B$ 、 $C$ 、 $D$  只有 1 个改变状态时,是否存在竞争冒险现象? 如果存在,发生在变量为何种取值的情况下?

【解】 本题需要先写出  $Y$  的表达式,在某种取值条件下,如果能够写成竞争冒险的判别式,即存在竞争冒险现象。

输出的表达式为

$$Y = \bar{A}CD + A\bar{B}D + B\bar{C} + C\bar{D}$$

当  $B=0$ 、 $C=D=1$  时,  $Y = \bar{A} + A$ ;

当  $A=D=1$ 、 $C=0$  时,  $Y = \bar{B} + B$ ;

当  $B=1$ 、 $D=0$  或  $A=0$ 、 $B=D=1$  时,  $Y = \bar{C} + C$ ;

当  $A=0$ 、 $C=1$  或  $A=C=1$ 、 $B=1$  时,  $Y = \bar{D} + D$ 。

因此图 3.29 所示电路中存在竞争冒险现象。

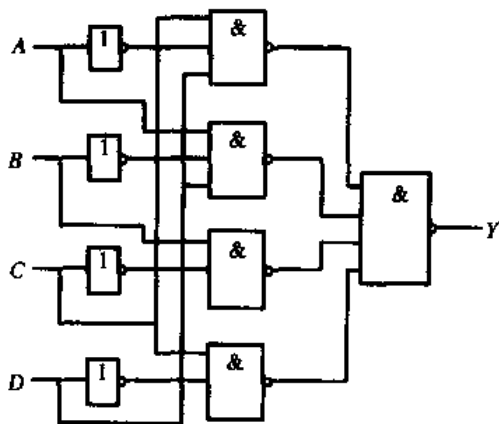


图 3.29 例 3.15 逻辑图

### 3.4 自我测试

【题 3.1】 选择与填空:

1.  $A$ 、 $B$  为逻辑门的 2 个端入端,  $Y$  为输出。 $A$ 、 $B$  和  $Y$  的波形如图 3.30 所示,则该门电路执行的是\_\_\_\_\_逻辑操作。

A. 与

B. 与非

C. 或

D. 或非



图 3.30 逻辑门的输入( $A$ 、 $B$ )、输出( $Y$ )波形图

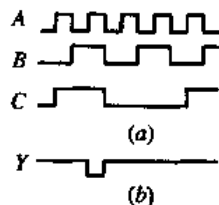


图 3.31 逻辑门的输入( $A$ 、 $B$ 、 $C$ )、输出( $Y$ )波形图

2. 已知有一个 3 输入端的门电路,若输入信号  $A$ 、 $B$ 、 $C$  的波形如图 3.31(a)所示,输出信号  $Y$  的波形如图 3.31(b)所示,则该门电路执行的是\_\_\_\_\_逻辑操作。

A. 与                      B. 与非                      C. 或                      D. 或非

3. 在图 3.32 中,选出与下列逻辑式对应的逻辑图:

$$Y_1 = (A + B)C$$

$$Y_2 = AB + BC$$

$$Y_3 = (A + B) + (A + C)$$

$$Y_4 = A + BC$$

$$Y_5 = A(B + C) + BC$$

A. (b), (c), (a), (e), (d)

B. (c), (b), (d), (a), (e)

C. (a), (e), (d), (c), (b)

D. (c), (b), (a), (e), (d)

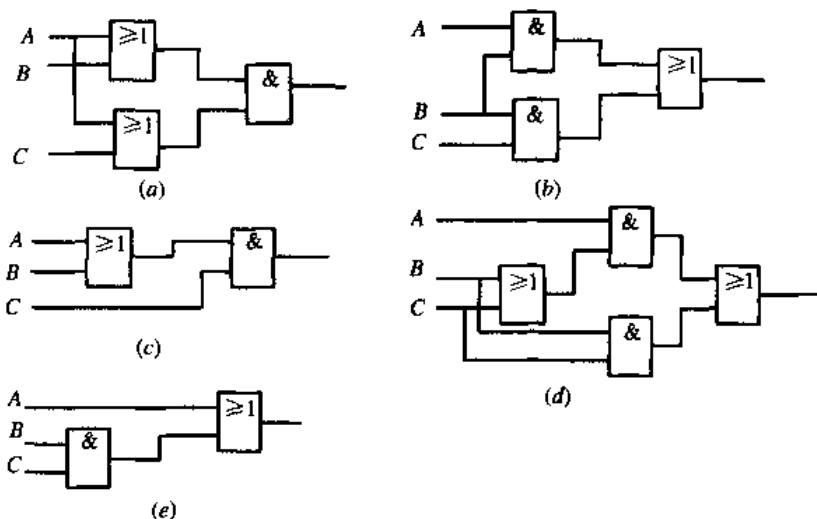


图 3.32 逻辑图

4. 选出下列用“与非”门实现的逻辑关系中,对应有误的一项:

A.  $Y = AB + \bar{A}C$  (图 3.33)

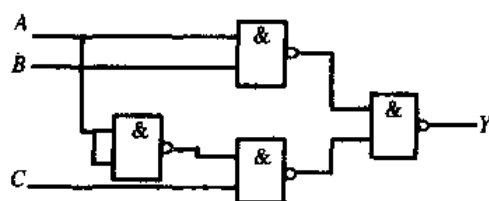


图 3.33 选项 A 对应的逻辑图

B.  $Y = A + B + \bar{C}$  (图 3.34)

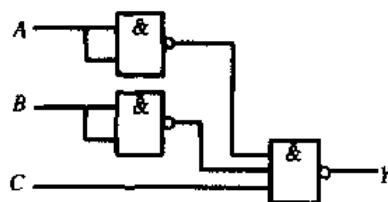


图 3.34 选项 B 对应的逻辑图

C.  $Y = \bar{A}\bar{B}(\bar{A} + B)\bar{C}$  (图 3.35)

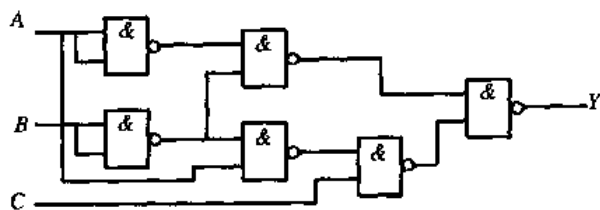


图 3.35 选项 C 对应的逻辑图

D.  $Y = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{A}BC$  (图 3.36)

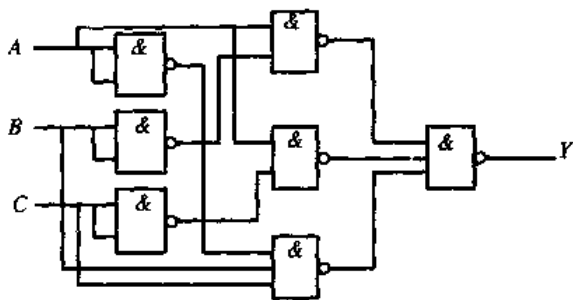


图 3.36 选项 D 对应的逻辑图

5. 选出与图 3.37 所示逻辑图对应的逻辑关系式。

A.  $Y = A + B + \bar{A}\bar{B}$

B.  $Y = AB + \bar{A}\bar{B}$

C.  $Y = (A + \bar{B})(\bar{A} + B)$

D.  $Y = \bar{A}B + A\bar{B}$

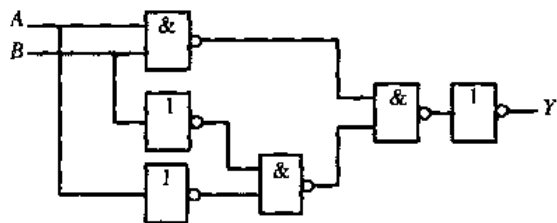


图 3.37 逻辑图

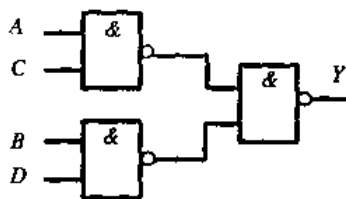


图 3.38 逻辑图

6. 选出与图 3.38 所示逻辑图对应的逻辑关系式。

A.  $Y = ABC$

B.  $Y = A + B + C$

C.  $Y = AC + BD$

D.  $Y = (\bar{A} + \bar{C})\bar{B}$

7. 指出图 3.39 用“与非门”组成电路的逻辑关系是\_\_\_\_\_。

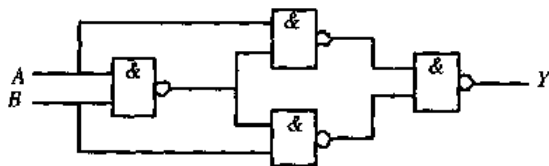


图 3.39 逻辑图

A. “与非”关系

B. “或非”关系

C. “同或”关系

D. “异或”关系

8. 图 3.40 的 4 个逻辑图中不是“异或”逻辑关系的 1 项是\_\_\_\_\_。

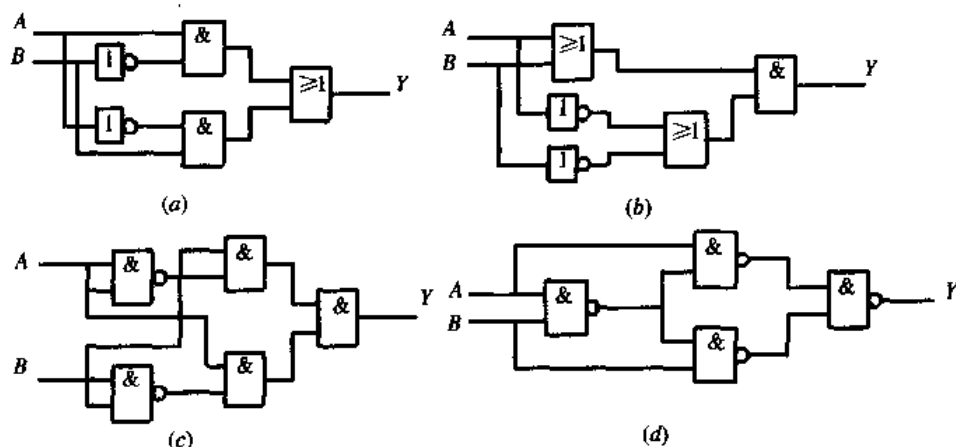


图 3.40 逻辑图

9. 采用全加器组成的电路如图 3.41 所示, 写出电路输出的函数表达式。

- A.  $F_1(X, Y, Z) = \sum m(1, 3, 4, 7)$   
 $F_2(X, Y, Z) = \prod M(0, 1, 2, 4, 6, 7)$   
 $F_3(X, Y, Z) = \sum m(1, 3, 5, 6)$   
 $F_4(X, Y, Z) = \prod M(0, 1, 2, 3, 4, 5, 6)$
- B.  $F_1(X, Y, Z) = \sum m(1, 2, 4, 7)$   
 $F_2(X, Y, Z) = \prod M(0, 1, 2, 4, 6, 7)$   
 $F_3(X, Y, Z) = \sum m(1, 3, 5, 6)$   
 $F_4(X, Y, Z) = \prod M(0, 1, 2, 3, 4, 5, 6)$
- C.  $F_1(X, Y, Z) = \sum m(1, 2, 4, 7)$   
 $F_2(X, Y, Z) = \prod M(6, 7)$   
 $F_3(X, Y, Z) = \sum m(1, 3, 5, 6)$   
 $F_4(X, Y, Z) = \prod M(0, 1, 2, 3, 4, 5, 6)$
- D.  $F_1(X, Y, Z) = \sum m(1, 2, 4, 7)$   
 $F_2(X, Y, Z) = \prod M(0, 1, 2, 4, 6, 7)$   
 $F_3(X, Y, Z) = \sum m(1, 3, 8, 6)$   
 $F_4(X, Y, Z) = \prod M(0, 1, 2, 3, 4, 5, 6)$

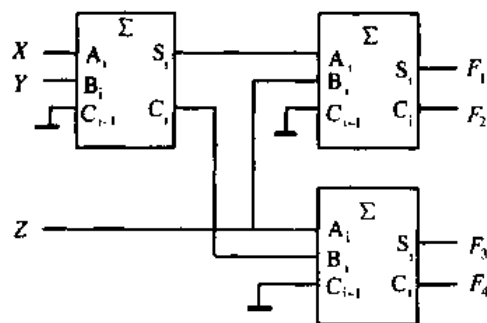


图 3.41 全加器应用电路逻辑图

10. 图 3.42 为双四选一数据选择器构成的组合逻辑电路, 输入变量为  $A$ 、 $B$ 、 $C$ , 输出逻辑函数为  $F_1$ 、 $F_2$ , 其功能为\_\_\_\_\_。

- A.  $F_1 = \sum m(1, 2, 4, 7)$ ,  $F_2 = \sum m(3, 5, 6, 7)$ , 全加器
- B.  $F_1 = \sum m(1, 2, 4, 7)$ ,  $F_2 = \sum m(1, 3, 6, 7)$ , 全减器
- C.  $F_1 = \sum m(1, 2, 4, 7)$ ,  $F_2 = \sum m(4, 5, 6, 7)$ , 全加器
- D.  $F_1 = \sum m(1, 2, 3, 7)$ ,  $F_2 = \sum m(3, 5, 6, 7)$ , 全减器

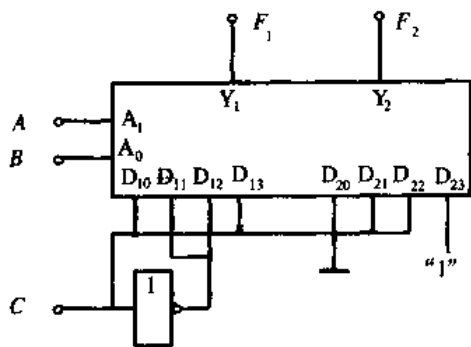


图 3.42 数据选择器应用电路逻辑图

[解]

1. A 2. B 3. D 4. C 5. D 6. C 7. D 8. C 9. B 10. A

【题 3.2】试写出图 3.43 电路的输出逻辑表达式, 列出真值表并对电路的逻辑功能做出说明。

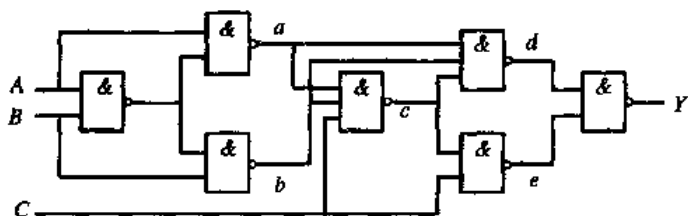


图 3.43 题 3.2 的电路图

【简答】在写输出逻辑表达式之前, 先确定几个中间变量  $a$ 、 $b$ 、 $c$ 、 $d$ 、 $e$ 。于是

$$a = \overline{A \cdot AB} + \overline{A} + B$$

$$b = \overline{B \cdot AB} = A + \overline{B}$$

$$c = \overline{abC} = \overline{A \cdot AB \cdot B \cdot AB \cdot C} = A \cdot \overline{AB} + B \cdot \overline{AB} + \overline{C}$$

$$e = \overline{cC} = \overline{A \cdot ABC + B \cdot \overline{ABC}} = \overline{A \cdot ABC \cdot B \cdot \overline{ABC}} =$$

$$\overline{A \cdot \overline{BC} \cdot B \cdot \overline{AC}} = (\overline{A} + B + \overline{C})(A + \overline{B} + \overline{C}) =$$

$$\overline{AB} + \overline{AB} + \overline{C}$$

$$Y = \overline{de} = \overline{abc \cdot cC} = abc + cC =$$

$$(\overline{A} + B)(A + \overline{B})(\overline{AB} + \overline{AB} + \overline{C}) + \overline{ABC} + \overline{ABC} =$$

$$(\overline{AB} + \overline{AB})(\overline{AB} + \overline{AB} + \overline{C}) + \overline{ABC} + \overline{ABC} =$$

$$\overline{ABC} + \overline{ABC} + \overline{ABC} + \overline{ABC} =$$

$$\overline{(A \oplus B) \cdot \overline{C}} + (A \oplus B)C = \overline{A \oplus B \oplus C}$$

根据输出逻辑式可以确定, 该电路的功能是 3 个变量的异或非。

【题 3.3】 逻辑电路如图 3.44 所示：

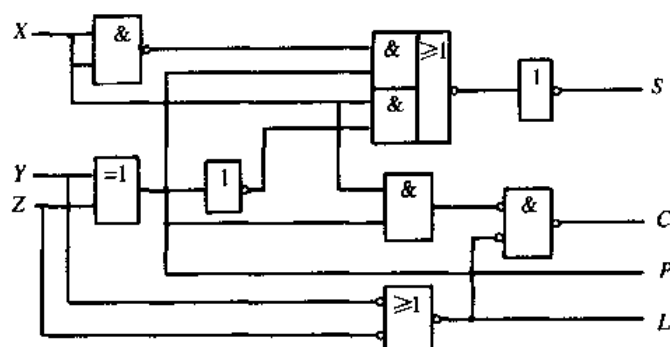


图 3.44 题 3.3 的电路图

- (1) 写出  $S$ 、 $C$ 、 $P$ 、 $L$  的函数表达式；
- (2) 当取  $S$  和  $C$  作为电路的输出时，此电路的逻辑功能是什么？

【简答】

$$(1) S = X \oplus Y \oplus Z$$

$$C = X(Y \oplus Z) + YZ = XY + XZ + YZ$$

$$P = Y \oplus Z$$

$$L = YZ$$

(2) 当  $S$  和  $C$  作为电路的输出时，此电路完成全加器的功能。可以从函数表达式或真值表，得出结论。

【题 3.4】 将布尔式  $P = \bar{A}BC + A\bar{B}C + ABC\bar{C}$  最佳化，然后用与非门实现之。

【简答】 确定各个与项的代替因子，寻找对各个与项都能适用的公共代替因子，如表 3.14 所列。

表 3.14  $P = \bar{A}BC + A\bar{B}C + ABC\bar{C}$  公共代替因子表

与项	头部因子	尾部因子	代替因子	公共代替因子
$\bar{A}BC$	$B, C, BC$	$\bar{A}$	$\bar{B}\bar{A}, \bar{C}\bar{A}, \bar{A}BC$	$\overline{ABC}$
$A\bar{B}C$	$A, C, AC$	$\bar{B}$	$\overline{AB}, \overline{CB}, \overline{ABC}$	
$ABC\bar{C}$	$A, B, AB$	$\bar{C}$	$\overline{CA}, \overline{CB}, \overline{ABC}$	

$P = \bar{A}BC + A\bar{B}C + ABC\bar{C}$  的公共代替因子为  $\overline{ABC}$ ，用  $\overline{ABC}$  代替尾部因子。将用公共代替因子的与或式展成与非与非表达式，用与非门即可实现最佳化电路，逻辑图略。

$$\begin{aligned}
 F &= \bar{A}BC + A\bar{B}C + ABC\bar{C} = \\
 &= \overline{ABCBC} + \overline{AC\bar{A}BCAB\bar{A}BC} = \\
 &= \overline{ABCBC} + \overline{AC\bar{A}BC} + \overline{AB\bar{A}BC} = \\
 &= \overline{BC \cdot ABC \cdot AC \cdot ABC \cdot AB\bar{A}BC}
 \end{aligned}$$

【题 3.5】 试用与非门实现下列 3 个逻辑函数：

$$Y_1 = \sum m(11, 12, 13, 14, 15)$$

$$Y_2 = \sum m(3, 7, 11, 12, 13, 15)$$

$$Y_3 = \sum m(3, 7, 12, 13, 14, 15)$$

【简答】这是一个多输出组合逻辑电路的设计问题。将3个逻辑函数分别填入卡诺图中,如图3.45所示。在进行卡诺图画简时,尽量寻找公共与项,而不追求某一个逻辑函数最简,以求得群体最简的结果。

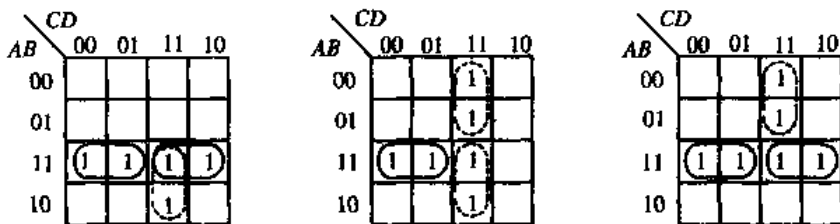


图 3.45 题 3.5 的卡诺图

化简的逻辑式为

$$Y_1 = ABC + ABC + ACD = \overline{ABC} \cdot \overline{ABC} \cdot \overline{ACD}$$

$$Y_2 = ABC + \overline{A}CD + ACD = \overline{ABC} \cdot \overline{ABC} \cdot \overline{ACD}$$

$$Y_3 = ABC + ABC + \overline{A}CD = \overline{ABC} \cdot \overline{ABC} \cdot \overline{ABC}$$

【题 3.6】试用 4 位全加器 74LS283 设计一个组合逻辑电路,将余三码转换为 BCD8421 码。

【简答】由题意可知:输入是余三码,输出是 BCD8421 码。BCD8421 码等于余三码减  $[0011]_B$ 。根据“加补”的概念,减去  $[0011]_B$ ,等于加  $[0011]_B$  补 =  $[1101]_B$ 。因此该转换电路可以用加法器实现。用 74LS283 实现的转换电路如图 3.46 所示。

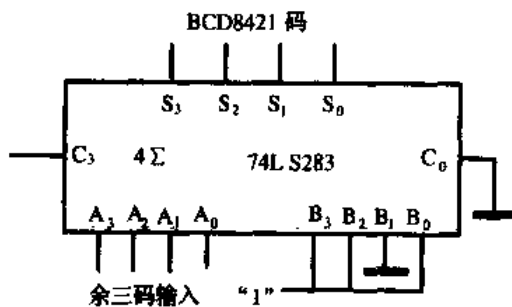


图 3.46 题 3.6 的逻辑图

【题 3.7】图 3.47 为由集成 4 位全加器 74LS283 和或非门构成的电路,已知输入 DCBA 为 BCD8421 码,写出  $B_2B_1$  的表达式,并列表说明输出  $D'C'B'A'$  为何种编码?

【简答】

$$B_2 = B_1 = \overline{D + B + A + D + C} = D + CB + CA, B_0 = B_3 = 0$$

真值表如表 3.15 所列。



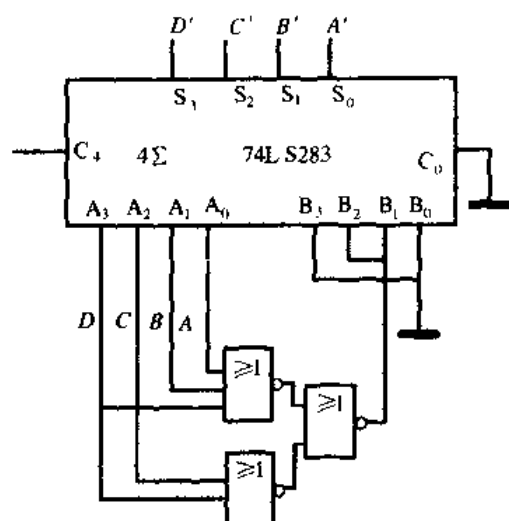


图 3.47 题 3.7 的逻辑图

表 3.15 真值表

$DCBA$	$B_3B_2B_1B_0$	$D'C'B'A'$
0000	0000	0000
0001	0000	0001
0010	0000	0010
0011	0000	0011
0100	0000	0100
0101	0110	1011
0110	0110	1100
0111	0110	1101
1000	0110	1110
1001	0110	1111

若输入  $DCBA$  为 BCD8421 码, 由表可知  $D'C'B'A'$  为 BCD2421 码。

【题 3.8】仿照全加器设计一个全减器, 被减数为  $A$ , 减数为  $B$ , 低位来的借位为  $J_0$ , 差为  $D$ , 向上一位的借位为  $J$ 。要求:

- (1) 列出真值表, 写出  $D, J$  的表达式;
- (2) 仿全加器, 用二输入与非门实现;
- (3) 用最小项译码器 74LS138 实现;
- (4) 用双四选一数据选择器实现。

[简答]

- (1) 真值表, 如表 3.16 所列。

$$D = \sum m(1, 2, 4, 7) = A \oplus B \oplus J_0$$

$$J = \sum m(1, 2, 3, 7) = A \oplus B \cdot J_0 + AB$$

- (2) 将  $J$  作如下变化, 即

$$J = A \oplus B \cdot J_0 + AB =$$

$$A \oplus B \cdot J_0 + AB =$$

$$(A \oplus B)J_0 + J_0 \cdot AB$$

用二输入与非门实现的逻辑图如图 3.48 所示。

表 3.16 真值表

$A$	$B$	$J_0$	$D$	$J$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

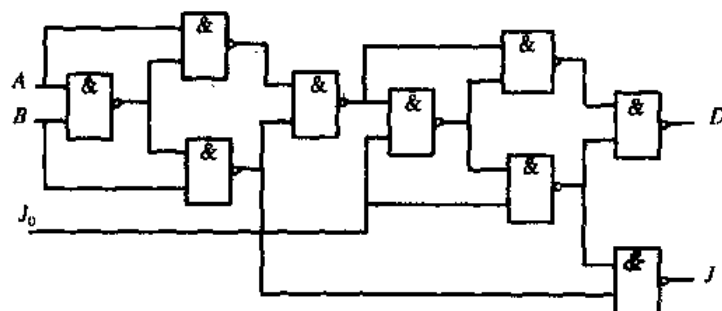


图 3.48 用二输入与非门实现全减器的逻辑图

(3) 最小项译码器 74LS138 的输出为最小项的反。将  $D$ 、 $J$  写成最小项反的形式, 即

$$D = \sum m(1, 2, 4, 7) = \overline{\overline{m_1 m_2 m_4 m_7}} =$$

$$J = \sum m(1, 2, 3, 7) = \overline{\overline{m_1 m_2 m_3 m_7}} =$$

用最小项译码器 74LS138 实现的逻辑图如图 3.49 所示。

(4) 四选一数据选择器的框图如图 3.50 所示, 其输出表达式为

$$Y = \overline{EN}(\overline{A_1 A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3)$$

令  $EN = 0$ ,  $A_1 A_0 = AB$ , 双四选一数据选择器的输出分别为  $D$ 、 $J$ 。比较四选一数据选择器的输出表达式和  $D$ 、 $J$  的表达式, 得到  $D_3$ 、 $D_2$ 、 $D_1$  和  $D_0$ , 画出逻辑图, 如图 3.51 所示。

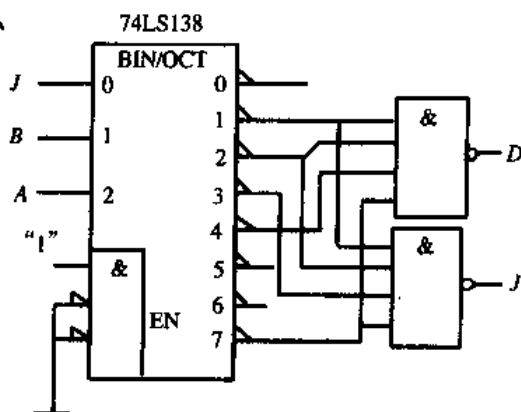


图 3.49 用最小项译码器 74LS138 实现全减器的逻辑图

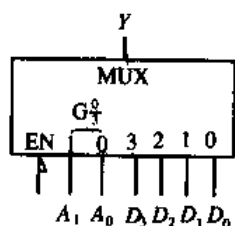


图 3.50 四选一数据选择器的框图

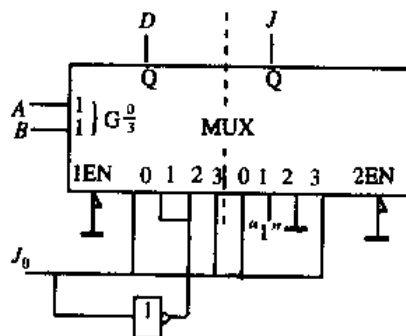


图 3.51 双四选一数据选择器实现全减器逻辑图

【题 3.9】图 3.52 是由 3 线-8 线译码器 74LS138 和与非门构成的电路, 试写出  $P_1$  和  $P_2$  的表达式, 列出真值表, 说明其逻辑功能。

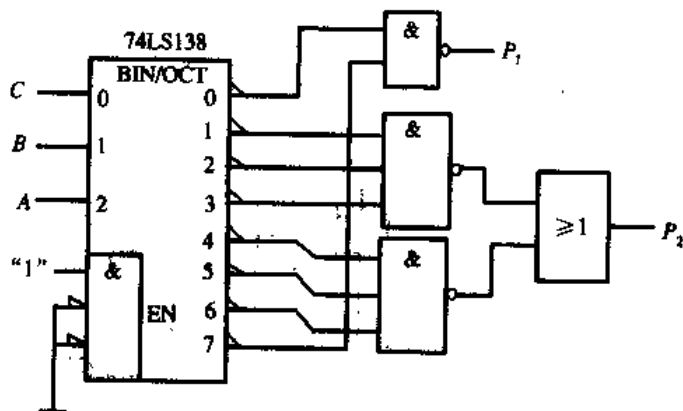


图 3.52 题 3.9 的逻辑图

【简答】

(1) 写出输出的表达式,即

$$P_1 = \sum m(0,7) = \overline{A}\overline{B}\overline{C} + ABC$$

$$P_2 = \sum m(1,2,3,4,5,6) = \overline{A}B + BC + AC$$

(2) 真值表如表 3.17 所列。

(3) 该电路为一致性判别电路,当  $A$ 、 $B$ 、 $C$  相同时,  $P_1 = 1$ ;不同时  $P_2 = 1$ 。

表 3.17 真值表

$A$	$B$	$C$	$P_1$	$P_2$
0	0	0	1	0
0	0	1	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

表 3.18 功能表

$C_1$	$C_0$	$F$
0	0	$A + B$
0	1	$AB$
1	0	$A \oplus B$
1	1	$\overline{A \oplus B}$

【题 3.10】设计一个多功能组合逻辑电路,实现表 3.18 所列逻辑功能。表中:  $C_1$ 、 $C_0$  为功能选择输入信号;  $A$ 、 $B$  为输入变量;  $F$  为输出。

(1) 列出真值表,写出  $F$  的表达式;

(2) 用八选一数据选择器和门电路实现。

【简答】

(1) 该组合逻辑电路有 4 个输入:  $C_1$ 、 $C_0$ 、 $A$  和  $B$ , 输出为  $F$ 。列出真值表,如表 3.19 所列。卡诺图如图 3.53 所示,化简得

$$F = \overline{C_0}AB + \overline{C_1}C_0B + \overline{C_0}A\overline{B} + C_0AB + C_1C_0\overline{A}\overline{B}$$

表 3.19 题 3.10 的真值表

$C_1$	$C_0$	$A$	$B$	$F$
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

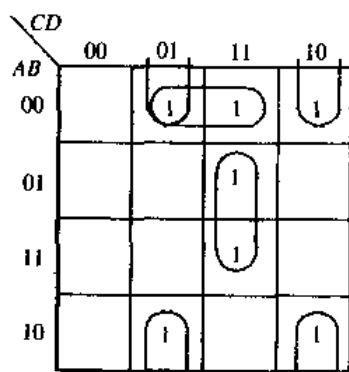


图 3.53 题 3.10 的卡诺图

(2) 八选一数据选择器有 3 个选择输入变量, 选择  $C_1$ 、 $C_0$ 、 $A$ , 选择  $B$  作为数据选择器的数据输入。为了用八选一数据选择器和门电路实现该多功能组合逻辑电路, 需要将真值表变化为表 3.20。从真值表 3.18 得到  $D_0 = D_3 = D_4 = D_7 = B$ ,  $D_5 = D_6 = \bar{B}$ ,  $D_1 = 1$ ,  $D_2 = 0$ 。画出用八选一数据器实现的逻辑图, 如图 3.54 所示。

表 3.20 变化后的真值表

$C_1$	$C_0$	$A$	$F$
0	0	0	$B$
0	0	1	1
0	1	0	0
0	1	1	$B$
1	0	0	$B$
1	0	1	$\bar{B}$
1	1	0	$\bar{B}$
1	1	1	$B$

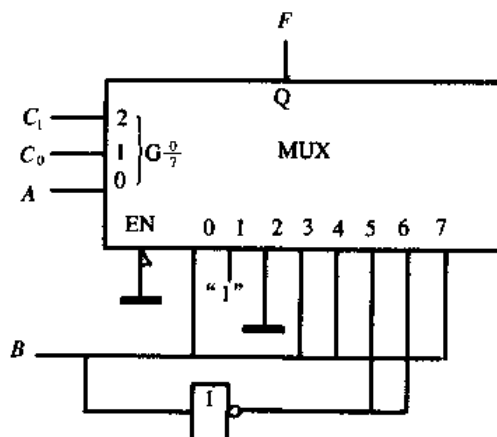
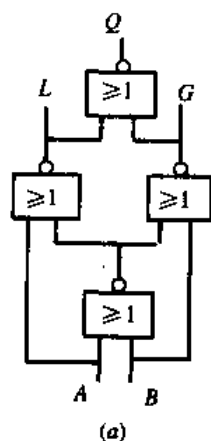
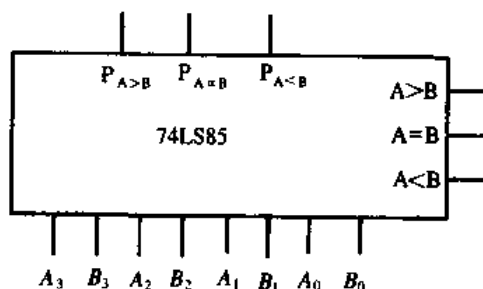


图 3.54 题 3.10 的逻辑图

【题 3.11】 分析图 3.55(a) 所示电路, 写出  $L$ 、 $Q$ 、 $G$  的表达式, 列出真值表, 说明它完成什么逻辑功能; 用图 3.55(a) 所示电路与集成 4 位数码比较器 (图 3.55(b)) 构成一个 5 位数码比较器。



(a)



(b)

图 3.55 题 3.11 的逻辑图

(a) 门电路; (b) 4 位数码比较器。

【简答】

(1)  $L = \bar{A}B$ ,  $G = A\bar{B}$ ,  $Q = \bar{A}\bar{B} + AB$ 。该电路为一位数码比较器。

(2) 将  $L$ 、 $Q$ 、 $G$  分别接到 74LS85 的串行输入端  $A < B$ 、 $A = B$ 、 $A > B$  上即可。

## 第4章 触发器和定时器

### 4.1 学习要点

- (1) 触发器的分类。
- (2) 基本 RS 触发器。
- (3) 时钟触发器的逻辑功能和表示方法,包括逻辑符号、真值表、激励表、状态转换图、特征方程式(特性方程式)。
- (4) 时钟触发器的电路结构。
- (5) CMOS-D 触发器的结构和基本原理。
- (6) 555 定时器的电路结构、功能表。
- (7) 555 定时器的应用,包括单稳态触发器、多谐振荡器、施密特触发器和压控振荡器。

### 4.2 重点难点

#### 4.2.1 触发器概述

触发器是组成时序数字电路的基本逻辑单元。

时序数字电路的定义是:某一个时刻输出不仅仅与该时刻的输入有关,而且与过去的输入有关的数字电路。或者说是,某一个时刻输出不仅仅与该时刻的输入有关,而且与电路的原状态有关的数字电路。按工作方式,时序数字电路可分为异步和同步两大类:同步时序电路中所有的触发器在 1 个时钟脉冲的控制下,同时改变状态;异步时序电路可能有时钟脉冲,也可能没有时钟脉冲,不管有无时钟脉冲,电路的状态不是同时改变的,而是有先有后。

触发器的分类:基本 RS 触发器、时钟触发器。基本 RS 触发器又称为门锁触发器,它是构成各类触发器的基础。时钟触发器按逻辑功能分为 5 种:RS 触发器、JK 触发器、D 触发器、T 触发器、T' 触发器。

#### 4.2.2 基本 RS 触发器

##### 一、基本 RS 触发器的电路结构特点

基本 RS 触发器的电路如图 4.1 所示,基本 RS 触发器的真值表如表 4.1 所列。它是由 2 个与非门,按正反馈方式闭合而成,也可以用 2 个或非门按正反馈方式闭合而成。这种电路结构,可以形成 2 个稳态,即

$$Q = 1, \bar{Q} = 0$$

$$Q = 0, \bar{Q} = 1$$

在没有加入触发信号之前,电路的状态不会改变。

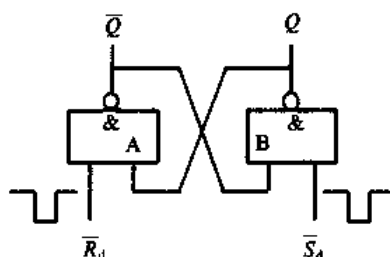


图 4.1 基本 RS 触发器电路图

表 4.1 真值表

$\bar{R}_d$	$\bar{S}_d$	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	0	1	1(不定)
0	1	0	1
1	0	1	0
1	1	$Q_n$	$\bar{Q}_n$

电路要改变状态必须加入触发信号,因为是与非门构成的基本 RS 触发器,所以,触发信号低电平有效。若是由或非门构成的基本 RS 触发器,则触发信号高电平有效。

$\bar{R}_d$  和  $\bar{S}_d$  是 1 次信号,只能 1 个 1 个地加,即它们不能同时为低电平。必须注意的是,一般书上列出的基本 RS 触发器的真值表中,当  $\bar{R}_d = 0, \bar{S}_d = 0$  时,  $Q$  的状态为任意态。这是指当  $\bar{R}_d, \bar{S}_d$  同时撤消时,  $Q$  状态不定。当  $\bar{R}_d = 0, \bar{S}_d = 0$  时,  $Q$  和  $\bar{Q}$  的状态都为“1”,是确定的,这一点一定不要误解。 $\bar{R}_d, \bar{S}_d$  不同时撤消时,  $Q$  端状态是确定的。具体可见例 4.1。

## 二、关于空翻

空翻是在基本 RS 触发器基础上构造时钟触发器时,因导引电路功能不完善而造成的一种现象。即在 1 次时钟来到期间,触发器多次翻转的现象。这违背了构造时钟触发器的初衷,因而是允许的。为了解决这一问题,时钟触发器的结构有维持阻塞型、主从型和边沿型 3 种。

图 4.2 是最简单的 RS 时钟触发器,在  $CP = 1$  期间存在空翻,空翻的波形如图 4.3 所示。

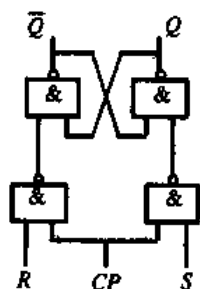


图 4.2 RS 时钟触发器

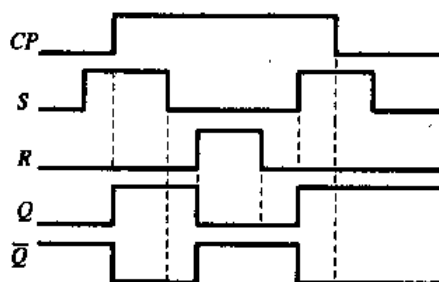


图 4.3 空翻波形

## 4.2.3 时钟触发器

### 一、触发器同步逻辑功能的描述

时钟触发器的同步逻辑功能可以用逻辑符号、真值表、激励表、状态转换图和特征方程式(特性方程式)表示。这些逻辑功能都与时钟有关,必须在时钟的参与下才能够实现。

时钟触发器的逻辑符号、真值表、驱动表、状态转换图和特性方程式如表 4.2 所列。

表 4.2 各种时钟触发器总表

名称	逻辑符号	真值表	驱动表	状态转换图	特性方程式																																			
JK 触发器		<table><tr><th><math>J_n</math></th><th><math>K_n</math></th><th><math>Q_{n+1}</math></th></tr><tr><td>0</td><td>0</td><td><math>Q_n</math></td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td><math>\bar{Q}_n</math></td></tr></table>	$J_n$	$K_n$	$Q_{n+1}$	0	0	$Q_n$	0	1	0	1	0	1	1	1	$\bar{Q}_n$	<table><tr><th><math>Q_n</math></th><th><math>Q_{n+1}</math></th><th><math>J_n</math></th><th><math>K_n</math></th></tr><tr><td>0</td><td>0</td><td>0</td><td><math>\phi</math></td></tr><tr><td>0</td><td>1</td><td>1</td><td><math>\phi</math></td></tr><tr><td>1</td><td>0</td><td><math>\phi</math></td><td>1</td></tr><tr><td>1</td><td>1</td><td><math>\phi</math></td><td>0</td></tr></table>	$Q_n$	$Q_{n+1}$	$J_n$	$K_n$	0	0	0	$\phi$	0	1	1	$\phi$	1	0	$\phi$	1	1	1	$\phi$	0		$Q_{n+1} = J_n \bar{Q}_n + K_n Q_n$
$J_n$	$K_n$	$Q_{n+1}$																																						
0	0	$Q_n$																																						
0	1	0																																						
1	0	1																																						
1	1	$\bar{Q}_n$																																						
$Q_n$	$Q_{n+1}$	$J_n$	$K_n$																																					
0	0	0	$\phi$																																					
0	1	1	$\phi$																																					
1	0	$\phi$	1																																					
1	1	$\phi$	0																																					
RS 触发器		<table><tr><th><math>R_n</math></th><th><math>S_n</math></th><th><math>Q_{n+1}</math></th></tr><tr><td>0</td><td>0</td><td><math>Q_n</math></td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>不定</td></tr></table>	$R_n$	$S_n$	$Q_{n+1}$	0	0	$Q_n$	0	1	1	1	0	0	1	1	不定	<table><tr><th><math>Q_n</math></th><th><math>Q_{n+1}</math></th><th><math>S_n</math></th><th><math>R_n</math></th></tr><tr><td>0</td><td>0</td><td>0</td><td><math>\phi</math></td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td><math>\phi</math></td><td>0</td></tr></table>	$Q_n$	$Q_{n+1}$	$S_n$	$R_n$	0	0	0	$\phi$	0	1	1	0	1	0	0	1	1	1	$\phi$	0		$Q_{n+1} = S_n + \bar{R}_n Q_n$ $S_n R_n = 0$
$R_n$	$S_n$	$Q_{n+1}$																																						
0	0	$Q_n$																																						
0	1	1																																						
1	0	0																																						
1	1	不定																																						
$Q_n$	$Q_{n+1}$	$S_n$	$R_n$																																					
0	0	0	$\phi$																																					
0	1	1	0																																					
1	0	0	1																																					
1	1	$\phi$	0																																					
D 触发器		<table><tr><th><math>D_n</math></th><th><math>Q_{n+1}</math></th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	$D_n$	$Q_{n+1}$	0	0	1	1	<table><tr><th><math>Q_n</math></th><th><math>Q_{n+1}</math></th><th><math>D_n</math></th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	$Q_n$	$Q_{n+1}$	$D_n$	0	0	0	0	1	1	1	0	0	1	1	1		$Q_{n+1} = D_n$														
$D_n$	$Q_{n+1}$																																							
0	0																																							
1	1																																							
$Q_n$	$Q_{n+1}$	$D_n$																																						
0	0	0																																						
0	1	1																																						
1	0	0																																						
1	1	1																																						
T 触发器		<table><tr><th><math>T_n</math></th><th><math>Q_{n+1}</math></th></tr><tr><td>0</td><td><math>Q_n</math></td></tr><tr><td>1</td><td><math>\bar{Q}_n</math></td></tr></table>	$T_n$	$Q_{n+1}$	0	$Q_n$	1	$\bar{Q}_n$	<table><tr><th><math>Q_n</math></th><th><math>Q_{n+1}</math></th><th><math>T_n</math></th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	$Q_n$	$Q_{n+1}$	$T_n$	0	0	0	0	1	1	1	0	1	1	1	0		$Q_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n$														
$T_n$	$Q_{n+1}$																																							
0	$Q_n$																																							
1	$\bar{Q}_n$																																							
$Q_n$	$Q_{n+1}$	$T_n$																																						
0	0	0																																						
0	1	1																																						
1	0	1																																						
1	1	0																																						
T' 触发器					$Q_{n+1} = \bar{Q}_n$																																			

RS 触发器具有置“0”、置“1”和保持 3 种功能；D 触发器(Delay flip flop)具有置“0”、置“1”2 种功能；T 触发器(Toggle flip flop)具有计数和保持功能；T' 触发器只有计数功能。在推导 RS 触发器的特性方程式时，不定状态按约束条件处理。

## 二、触发器异步逻辑功能的描述

一般产品的触发器还有直接置“0”和直接置“1”端，一般是低电平有效。由于直接置“0”和直接置“1”端是加在基本 RS 触发器上的，因此不受时钟控制。

在分析由触发器构成的相关电路时，要特别注意输入信号是否与时钟有关：如直接置“0”和直接置“1”信号与时钟无关，则触发器数据端的信号和同步清零信号与时钟有关，是同步的，在时钟的控制下，由真值表决定其新状态；若是异步的，则与时钟无关，异步信号什么时候来就什么时候起作用。

还要注意一点，如果不加任何说明，一般不需要考虑触发器的延迟时间。此时，时钟脉冲不画出前沿和后沿。如果要考虑延迟时间，则需要加以说明，或时钟脉冲画成有明显前沿和后沿的梯形波。

#### 4.2.4 时钟触发器的电路结构

时钟触发器的电路结构主要有维持阻塞型、主从型和边沿型 3 种。其中主从型因工艺相对比较简单,在早期的触发器中使用较多。因其在  $CP = 1$  期间,可能存在一次变化的缺点,所以现在很少使用。维持阻塞型的产品主要有 D 触发器,边沿型的产品主要有上升边沿和下降边沿的 JK 触发器。

##### 一、维持阻塞 D 触发器

##### 1. 维持阻塞 D 触发器的电路结构

维持阻塞 D 触发器的电路如图 4.4 所示。从电路的结构可以看出,C 门的输出是基本 RS 触发器的置“0”通道,D 门的输出是基本 RS 触发器的置“1”通道。C 门和 D 门可以控制时钟和决定数据  $D$  是否能传输到基本 RS 触发器的输入端。E 门和 F 门则将数据  $D$  以原变量形式和反变量形式送到 C 门和 D 门的输入端,等待时钟到来后,通过 C 门和 D 门,以实现置“0”或置“1”。

##### 2. 维持阻塞 D 触发器的工作原理

D 触发器具有置“0”和置“1”的功能。设  $Q = 0, D = 1$ ,则当 CP 来到后,触发器将置“1”,触发器各点的逻辑电平如图 4.5 所示。在执行置“1”操作时,D 门输出低电平,此时应保证置“1”和禁止置“0”。为此,将  $D = 0$  通过①线加到 C 门的输入端,保证  $C = 1$ ,从而禁止置“1”。同时  $D = 0$  通过②线加到 F 门的输入端,保证  $F = 1$ ,与  $CP = 1$  共同保证  $D = 0$ ,从而维持置“1”。置“0”过程与此类似。

电路图中的②线或④线都是分别加在置“1”通道或置“0”通道的同一侧,起到维持置“1”或维持置“0”的作用;①线和③线都是加在另一侧通道上,起阻塞置“0”或置“1”作用。所以①线称为置“0”阻塞线,②线称为置“1”维持线,③线称为置“1”阻塞线,④线称为置“0”维持线。从电路结构上看,加于置“1”通道或置“0”通道同侧的是维持线,加到另一侧的是阻塞线,只要把电路的结构搞清楚,采用正确的分析方法,就不难理解电路的工作原理。

图 4.6 是带有异步清零和预置端的完整的维持阻塞 D 触发器的电路图。

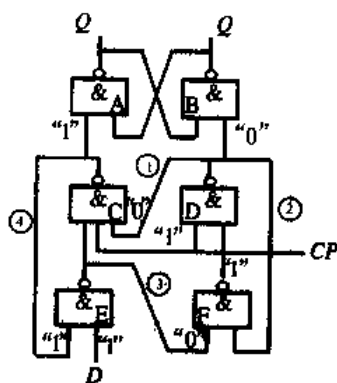


图 4.4 维持阻塞 D 触发器

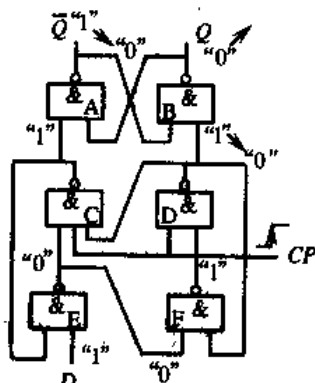


图 4.5 触发器置“1”状态

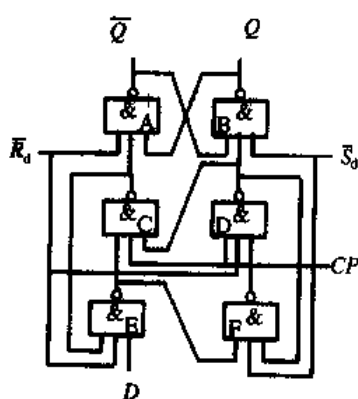


图 4.6 完整的维持阻塞 D 触发器电路图

##### 二、边沿 JK 触发器

边沿 JK 触发器分上升边沿和下降边沿 2 种,它的逻辑符号如图 4.7 所示,CP 端有空



心三角符号的是下降边沿,无空心三角符号的是上升边沿。

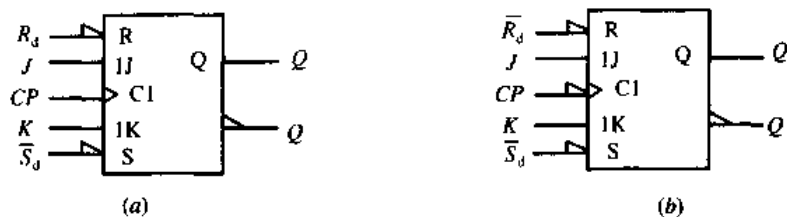


图 4.7 边沿 JK 触发器  
(a) 上升边沿; (b) 下降边沿。

边沿 JK 触发器的特点与维持阻塞 D 触发器差不多,都是边沿时钟触发器,只不过维持阻塞 D 触发器时钟的动作沿是上升沿;而边沿 JK 触发器的时钟动作沿有上升沿和下降沿 2 种。边沿 JK 触发器在动作沿接受数据,随后自动按真值表规定的状态翻转。

### 三、主从 JK 触发器

在集成电路触发器中,还有一种防止空翻的主从电路结构,典型的产品有主从 JK 触发器。主从 JK 触发器中的主触发器是在时钟的上升沿接收数据,在下降沿改变从触发器的状态。这种触发器要求在  $CP = 1$  期间内,不允许数据端的状态发生变化,如果发生变化,有可能使触发器的状态发生差错。正是由于这种缺点,限制了它的使用,因此目前主从 JK 触发器已被边沿 JK 触发器所取代。

### 4.2.5 CMOS 触发器

CMOS 触发器从逻辑功能上看与 TTL 触发器没有什么不同,但 CMOS 触发器不是用 CMOS 门按照 TTL 触发器的电路结构组成的。CMOS 触发器的基本电路结构是 D 触发器, D 触发器是一种由逻辑门和传输门组成的主从电路结构,其他类型的时钟触发器则是在 D 触发器的基础上转换而来的。

现以 CMOS-D 触发器为例说明 CMOS 触发器的特点和工作原理,它的电路如图 4.8 所示。

与非门  $G_1$  和  $G_2$  以及传输门  $TG_2$  在一起构成一个基本 RS 触发器。当传输门  $TG_2$  导

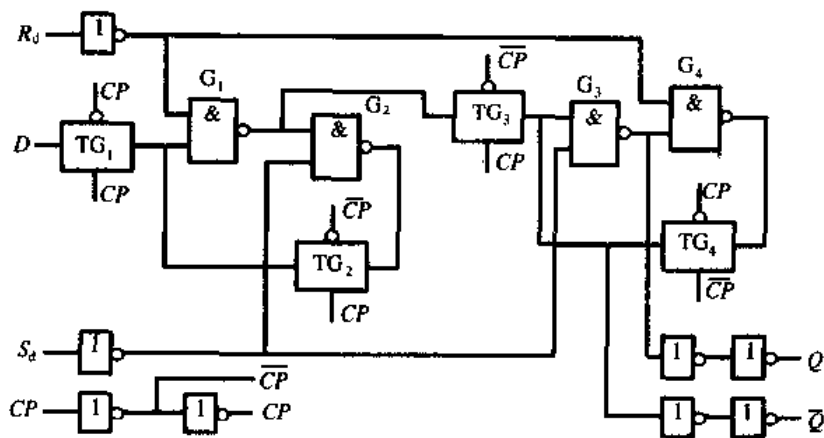


图 4.8 CMOS-D 触发器电路图

通时,锁存数据;当传输门  $TG_2$  关断时,可以接收从传输门  $TG_1$  传输过来的数据。这个基本 RS 触发器称为主触发器。

与非门  $G_3$  和  $G_4$  以及传输门  $TG_4$  在一起构成另一个基本 RS 触发器。当传输门  $TG_4$  导通时,锁存数据;当传输门  $TG_4$  关断时,可以接收从传输门  $TG_3$  传输过来的数据。这个基本 RS 触发器称为从触发器。

触发器电路共有 4 个传输门,除构成基本 RS 触发器用了 2 个外,还有 2 个。 $TG_1$  起连接和阻断接收数据的作用。当  $TG_1$  接通时,主触发器接收数据  $D$ ;当  $TG_1$  关断时,隔离数据对主触发器的影响。 $TG_3$  起沟通和隔离主从触发器的作用,当  $TG_3$  接通时,主触发器将其状态传输给从触发器;当  $TG_3$  关断时,主触发器和从触发器隔离。

4 个传输门由时钟控制其通断,根据连接情况,在  $CP = L$  时, $TG_1$  和  $TG_4$  导通, $TG_2$  和  $TG_3$  关断;当  $CP = H$  时,传输门的通断情况相反。

D 触发器的工作情况如下:

在  $CP = L$  时, $TG_1$  导通, $TG_2$  关断,主触发器解锁,根据真值表接收数据; $TG_3$  关断, $TG_4$  导通,主从触发器隔离,从触发器锁存数据。

在  $CP = H$  时, $TG_2$  导通, $TG_1$  关断,主触发器锁存数据,关断接收数据通道,无空翻。 $TG_3$  导通, $TG_4$  关断,从触发器解锁,主从触发器沟通,从触发器接收主触发器数据,触发器翻转。

此外,该电路还有直接置“0”和直接置“1”端,无论在时钟的高电平期间,还是在时钟的低电平期间,都可以可靠地完成置“0”和置“1”的功能。

#### 4.2.6 555 定时器

##### 一、概述

555 定时器是一种功能强大的模拟数字混合集成电路,其组成电路图如图 4.9 所示。它的功能表如表 4.3 所列。

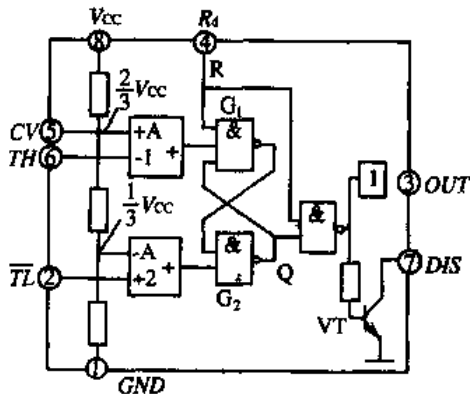


图 4.9 555 定时器电路图

表 4.3 555 定时器功能表

CV	TH	TL	$\bar{R}_d$	OUT	DIS
直流悬空或交流接地	x	x	L	L	导通
	$> \frac{2}{3} V_{CC}$	$> \frac{1}{3} V_{CC}$	H	L	导通
	$< \frac{2}{3} V_{CC}$	$> \frac{1}{3} V_{CC}$	H	保持	保持
	x	$< \frac{1}{3} V_{CC}$	H	H	截止

由电路图和功能表可以得出如下结论:

- (1) 555 定时器有 2 个阈值,分别是  $V_{CC}/3$  和  $2V_{CC}/3$ 。
- (2) 输出端 3 脚和放电端 7 脚的状态一致,输出低电平对应于放电管饱和,在 7 脚外

接上拉电阻时,7脚为低电平。输出高电平对应于放电管截止,在有上拉电阻时,7脚为高电平。

(3) 输出端状态的改变有滞回现象,回差电压为  $V_{CC}/3$ 。

(4) 输出与触发输入反相。

## 二、单稳态触发器

555 定时器构成单稳态触发器如图 4.10 所示,工作波形如图 4.11 所示。该电路的触发信号在 2 脚输入。

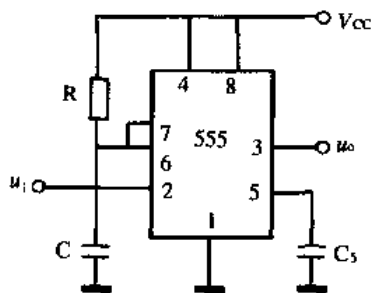


图 4.10 单稳态触发器电路图

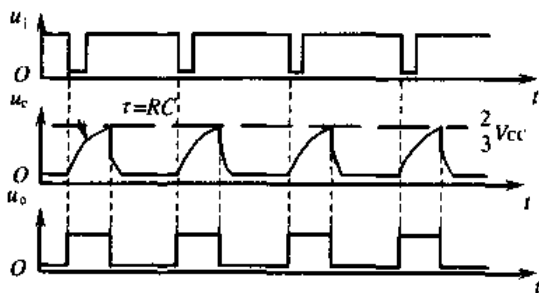


图 4.11 单稳态触发器的波形图

这里有 2 点需要注意:一是触发输入信号的逻辑电平,在无触发时是高电平,必须大于  $2V_{CC}/3$ ,低电平必须小于  $V_{CC}/3$ ,否则触发无效;二是触发信号的低电平宽度要窄,其低电平的宽度应小于暂稳态的时间,否则当暂稳态时间结束时,触发信号依然存在,输出与输入反相。此时单稳态触发器成为一个反相器。

## 三、多谐振荡器

555 定时器构成的多谐振荡器如图 4.12 所示,其工作波形如图 4.13 所示。

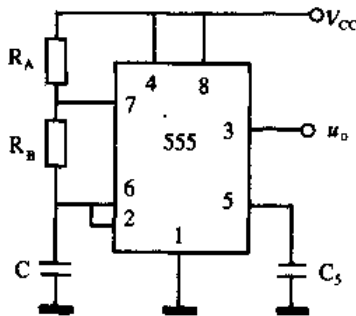


图 4.12 多谐振荡器的电路图

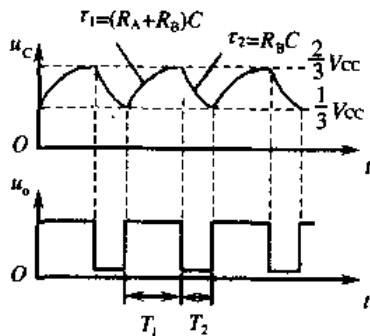


图 4.13 多谐振荡器的波形图

与单稳态触发器比较,555 定时器是利用电容器的充放电来代替外加触发信号的,所以,电容器上的电压信号应该在 2 个阈值之间按指数规律转换。充电回路是  $R_A$ 、 $R_B$  和  $C$ ,此时相当于输入是低电平。输出是高电平;当电容器充电达到  $2V_{CC}/3$  时,即输入达到高电平时,电路的状态发生翻转,输出为低电平,电容器开始放电。当电容器放电达到  $V_{CC}/3$  时,电路的状态又开始翻转。

## 四、施密特触发器

555 定时器构成施密特触发器的电路图如图 4.14 所示,波形图如图 4.15 所示。施密

特触发器的工作原理和多谐振荡器基本一致,无原则不同,只是多谐振荡器靠电容器的充放电控制电路状态的翻转,而施密特触发器靠外加电压信号控制电路状态的翻转。所以在施密特触发器中,外加信号的高电平必须大于  $2V_{CC}/3$ ,低电平必须小于  $V_{CC}/3$ ,否则电路不能翻转。

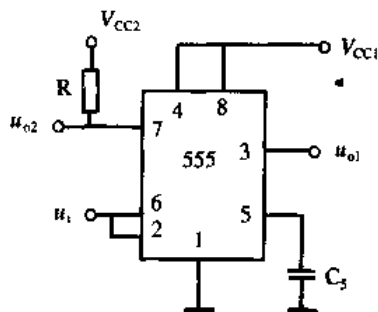


图 4.14 施密特触发器电路图

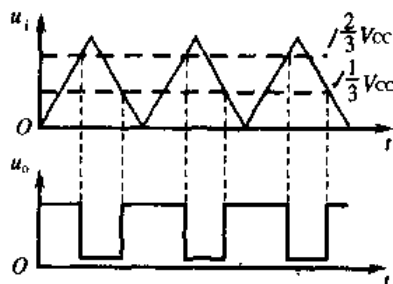


图 4.15 施密特触发器的波形图

由于施密特触发器采用外加信号,因此放电端7脚就空闲了出来。利用7脚加上拉电阻,就可以获得一个与输出端3脚一样的输出波形。如果上拉电阻接的电源电压不同,7脚输出的高电平与3脚输出的高电平在数值上会有所不同。

### 五、压控振荡器

一般的振荡器改变振荡频率,是通过改变谐振回路或选频网络的参数实现的。压控振荡器是通过改变一个控制电压来实现振荡器频率的改变的,因此压控振荡器特别适合于控制电路中。利用555定时器的5脚可以方便地实现这一功能。由于555定时器是一种低价格、通用型的电路,其压控非线性较大,性能较差,因此只能满足一般技术水平的需要。如果需要高的性能指标,可采用专用的压控振荡器芯片。555定时器构成的压控振荡器如图4.16所示,波形如图4.17所示。

555定时器作压控振荡器,其工作原理与多谐振荡器无本质不同。在压控振荡器中,实质上是通过5脚加入一个控制电压  $U_s$ ,  $U_s$  的加入使555定时器的阈值随之改变,从而可以改变多谐振荡器的振荡频率。为了使  $U_s$  的控制作用明显,  $U_s$  应是一个低阻的信号源。因为555定时器内部的阈值是由3个  $5k\Omega$  的电阻分压取得的,所以  $U_s$  的内阻大或串入较大的电阻,压控作用均不明显。

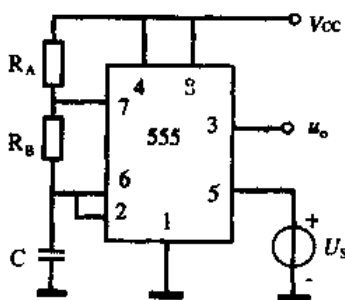


图 4.16 压控振荡器电路图

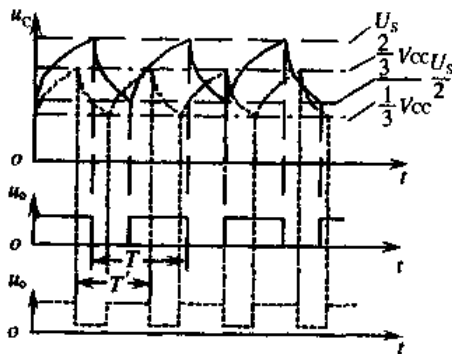


图 4.17 压控振荡器的波形图

### 4.3 例题分析

【例 4.1】 已知由与非门构成的基本 RS 触发器的直接置“0”端和直接置“1”端的输入波形,如图 4.18 所示,试画出触发器  $Q$  端和  $\bar{Q}$  端的波形。



图 4.18 例 4.1 输入波形图

【解】 基本 RS 触发器  $Q$  端和  $\bar{Q}$  端的波形可按真值表确定,要注意的是,当  $\bar{R}_d$  和  $\bar{S}_d$  同时为“0”时, $Q$  端和  $\bar{Q}$  端都等于“1”。 $\bar{R}_d$  和  $\bar{S}_d$  同时撤消,即同时变为“1”时, $Q$  端和  $\bar{Q}$  端的状态不定。答案如图 4.19 所示。图中  $Q$  端和  $\bar{Q}$  端最右侧的虚线表示状态不定。

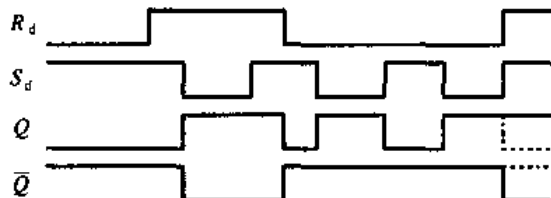


图 4.19 例 4.1 的波形图

【例 4.2】 试画出在图 4.20(a)所示输入波形的作用下,上升和下降边沿 JK 触发器的输出波形。设触发器的初态为“0”。

【解】 答案如图 4.20(b)所示。

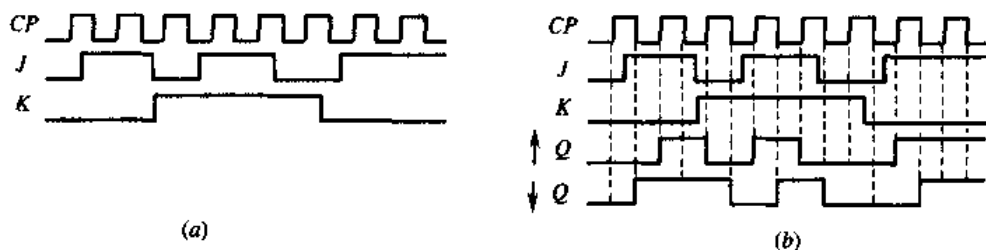


图 4.20 例 4.2 的波形图

(a) 输入波形图; (b) 输出波形图。

【例 4.3】 试画出图 4.21(a)所示电路在给定输入作用下的输出波形。设触发器的初态为“0”。

【解】 此题触发器的同步和异步功能混合在一起,所以解此题时,因异步功能优先于同步功能,应按先异步后同步的顺序去进行,即异步功能不起作用时,才按同步功能考虑。当  $Q_2 = 1$  时,将  $F_1$  清零,  $Q_1 = 0$  后,使  $F_2$  具备置“0”条件,一旦  $CP$  的下降沿来到,  $Q_2 = 0$ 。  $Q_2 = 0$  将解除对  $F_1$  的直接置“0”作用,使  $F_1$  又可以在  $A$  的下降沿来到时翻转。该电路具有检测  $A$  信号下降沿的作用,每来 1 个  $A$  信号的下降沿,从  $Q_2$  输出 1 个高电平,宽度等于时钟周期。输出波形如图 4.21(b)所示。

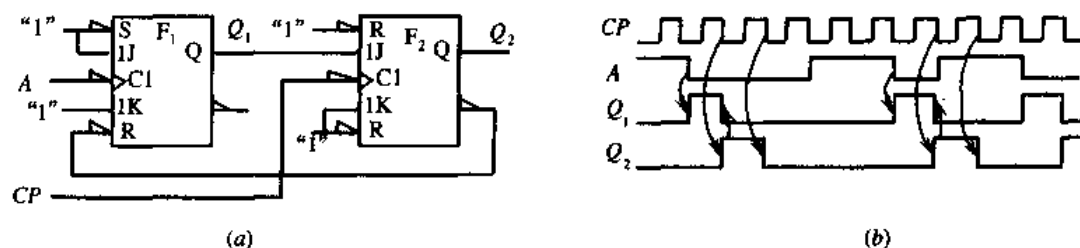


图 4.21 例 4.3 的电路图和波形图

(a) 电路图; (b) 波形图。

【例 4.4】试画出图 4.22(a) 所示电路在给定输入时钟作用下的输出波形。设触发器的初态为“0”。

【解】解此题不宜先假设触发器  $Q$  端是某一个状态,而后在时钟的作用下一步一步向下推。应该先确定 JK 触发器是何种功能的触发器,根据电路图可以由特性方程式导出为 T 触发器。于是可以确定每来 1 个时钟的下降沿,触发器就翻转 1 次。从输出端  $Y$ 、 $Z$  获得的是所谓的双向时钟,在电子电路中是一种很有用的时钟。具体输出波形如图 4.22(b) 所示。

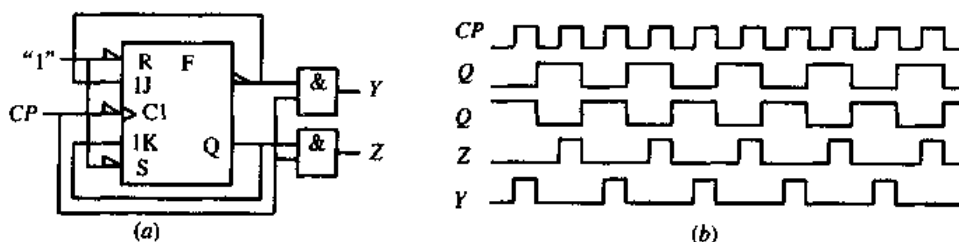


图 4.22 例 4.4 的电路图和波形图

(a) 电路图; (b) 波形图。

【例 4.5】试将 D 触发器转换为 T 触发器。

【解】T 触发器当  $T=0$  时,具有保持功能;当  $T=1$  时,具有翻转功能。将 D 触发器接成 T 触发器,按图 4.23 接线即可实现 T 触发器的功能。

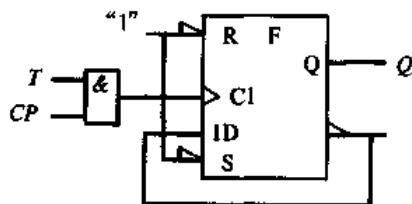


图 4.23 D 触发器转换为 T 触发器

【例 4.6】试画出图 4.24(a) 所示电路在给定输入(图 4.24(b))下的  $Q$  端波形,触发器初态为“0”。

【解】根据电路图的接线,JK 触发器的 J 端和 K 端的状态相反,所以,JK 触发器只有置“0”和置“1”功能。当  $D=1$  时,触发器置“1”;当  $D=0$  时,触发器置“0”。注意触发器是上升沿动作,并且时钟端还接有一个反相器,所以,对于时钟而言,相当于下降沿动作。 $Q$  端波形如图 4.25 所示。

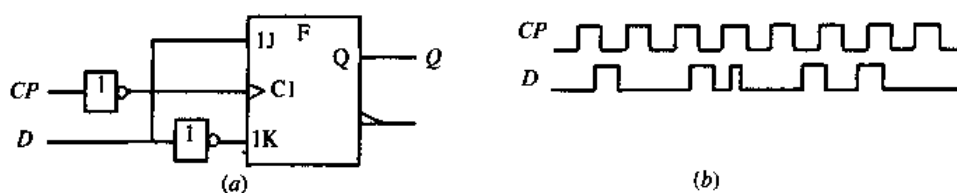
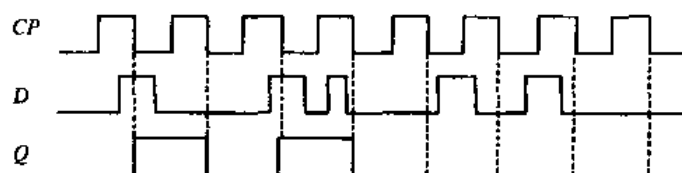


图 4.24 例 4.6 的电路图和波形图

(a) 电路图; (b) 波形图。

图 4.25 例 4.6  $Q$  的波形图

**【例 4.7】** 电路和输入信号如图 4.26(a)、(b)所示,试画出输出端  $Q_0$  和  $Q_1$  的电压波形。设各触发器初态为“0”。

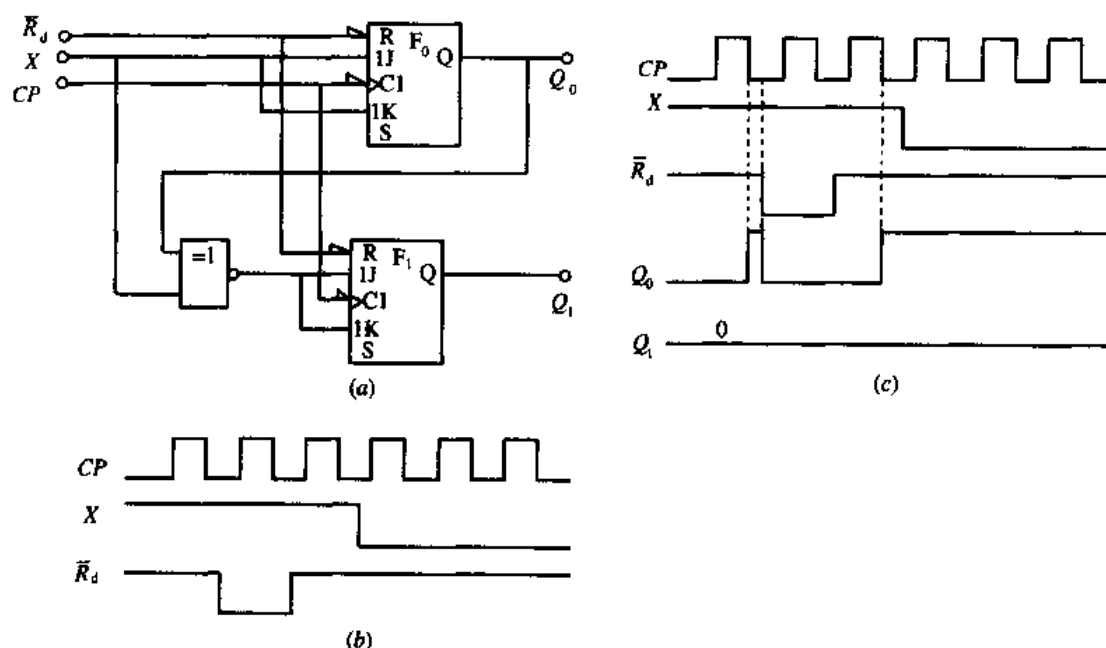


图 4.26 例 4.7 的电路图和波形图

(a) 电路图; (b) 输入波形图; (c) 电压波形图。

**【解】** 本例是一个同步时序逻辑电路,其中  $CP_0 = CP_1 = CP$ ,  $J_0 = K_0 = X$ ,  $J_1 = K_1 = Q_0 \odot X$ 。当  $\bar{R}_d = 0$  时,  $Q_0 = Q_1 = 0$ 。

根据上述分析,画出  $Q_0$ 、 $Q_1$  的电压波形如图 4.26(c)所示。

**【例 4.8】** 由边沿 JK 触发器和维持阻塞 D 触发器组成的逻辑电路如图 4.27(a)所示,试画出在时钟信号  $CP_0$ 、 $CP_1$  作用下  $Q_0$ 、 $Q_1$ 、 $Q_2$  端的波形。设触发器的初态为“0”。

**【解】** 由图 4.27(a)可知,本例电路中各触发器的时钟信号不同,因而各触发器都在

各自的时钟脉冲信号的作用下不断地改变输出状态。又因为  $\bar{Q}_2$  (反馈) 接到  $F_1$  的  $\bar{R}_d$  端, 所以当  $\bar{Q}_2 = 0$  时,  $F_1$  被置“0”。

根据上述分析, 可画出  $Q_0$ 、 $Q_1$ 、 $Q_2$  端的波形如图 4.27(c) 所示。

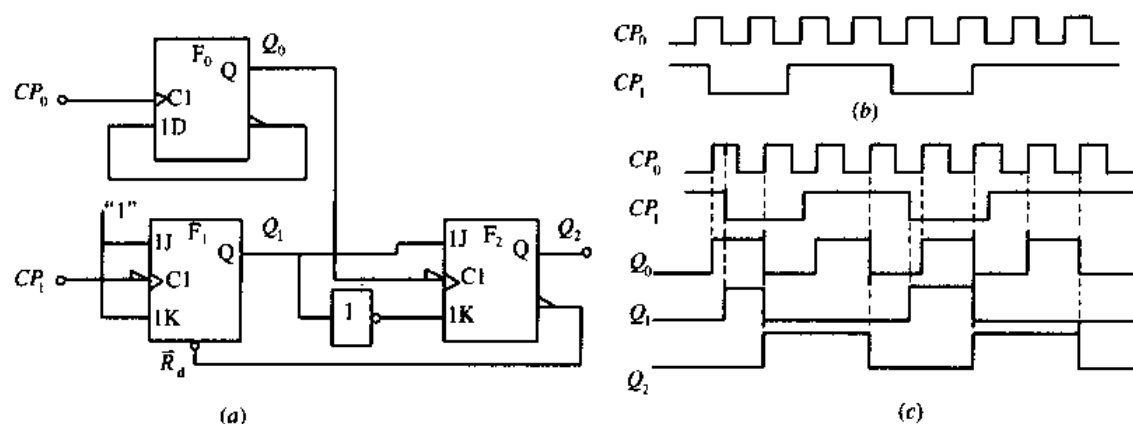


图 4.27 例 4.8 的电路图和波形图  
(a) 电路图; (b) 时钟脉冲图; (c) 波形图。

【例 4.9】 电路及输入  $\bar{R}_d$ 、 $CP$  分别如图 4.28(a)、(b) 所示, 设触发器的初态为“0”。试画出  $Q_0$ 、 $Q_1$ 、 $F_A$ 、 $F_B$ 、 $F_C$  和  $F_D$  的波形。

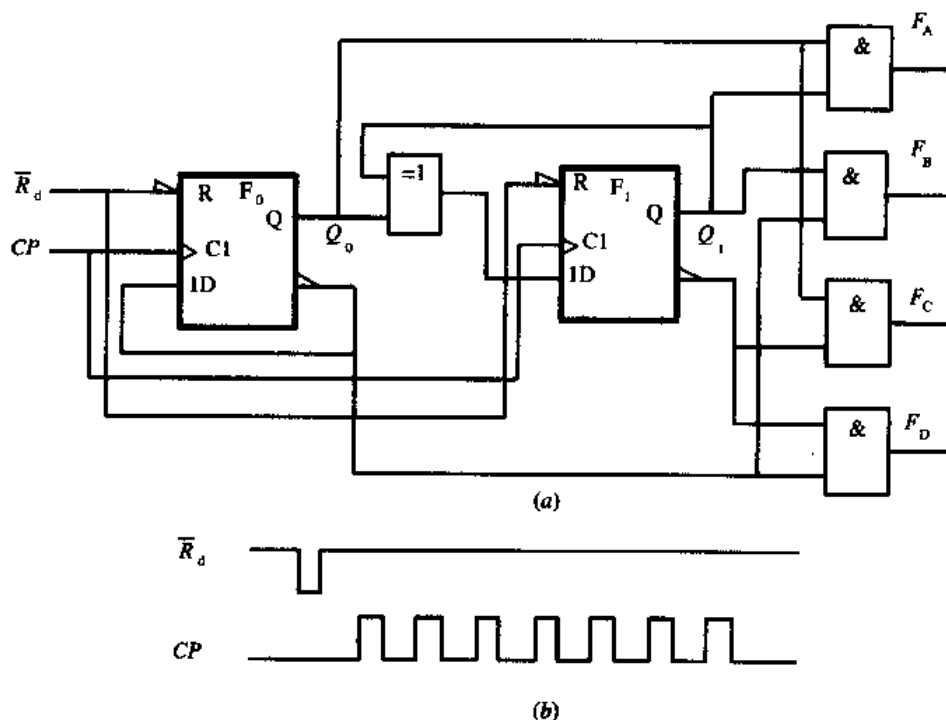


图 4.28 例 4.9 的电路图和输入波形图  
(a) 电路图; (b) 输入波形图。

【解】 由图 4.28(a) 可知, 触发器  $F_0$  接成计数工作方式, 因此是 2 分频电路。触发器  $F_1$  的状态方程为



$$Q_1^{n+1} = Q_1^n \oplus Q_0^n$$

又因为

$$F_A = \bar{Q}_1 \bar{Q}_0$$

$$F_B = Q_1 Q_0$$

$$F_C = Q_1 \bar{Q}_0$$

$$F_D = Q_1 Q_0$$

因此可以画出  $Q_0$ 、 $Q_1$ 、 $F_A$ 、 $F_B$ 、 $F_C$  和  $F_D$  的波形,如图 4.29 所示。

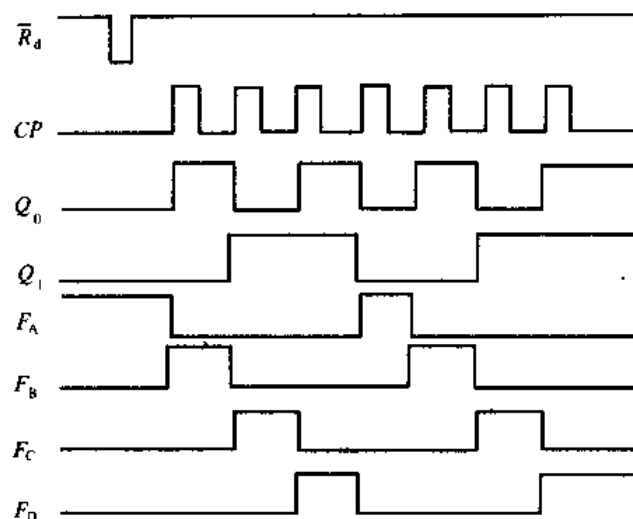


图 4.29 例 4.9 的输出波形图

**【例 4.10】** 说明图 4.30 所示电路的名称。计算电路的暂稳时间  $t_w$ 。根据计算的  $t_w$  值确定哪一个输入触发信号是合理的。

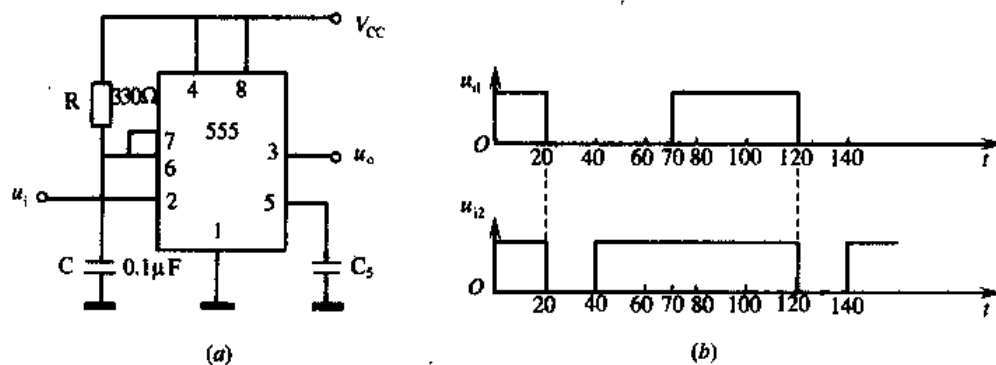


图 4.30 例 4.10 的电路图和输入波形图

(a) 电路图; (b) 输入波形图。

**【解】** 此电路是 555 定时器构成的单稳态触发器。根据图示参数有

$$t_w \approx 1.1RC = 1.1 \times 330\Omega \times 0.1 \times 10^{-6}\text{F} = 36.3\mu\text{s}$$

由此可以确定,第 2 个触发输入符合单稳态触发器对触发信号低电平宽度的要求,即触发信号的低电平宽度要小于暂稳时间。

若采用第 1 个触发信号, 由于它的低电平宽度达  $50\mu\text{s}$ , 超过了  $36.3\mu\text{s}$ 。因此暂稳态结束后, 触发信号仍然存在。此时, 因为触发输入为低电平, 555 定时器的输出应为高电平。当达到  $70\mu\text{s}$  时刻, 触发输入变为高电平, 输出才变为低电平。输出相当于触发输入的反相。

对于第 2 个触发输入, 为单稳态工作状态, 输出脉冲宽度为  $36.3\mu\text{s}$ , 合理。

**【题 4.11】** 试分析图 4.31 所示电路输出端方波的占空比, 当调节电位器时, 占空比如何变化?

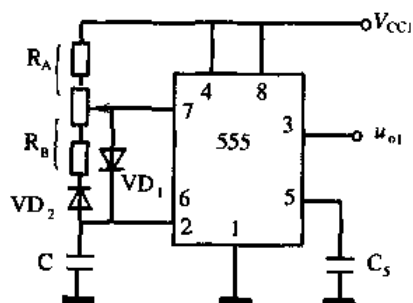


图 4.31 例 4.11 的电路图

**【解】** 该电路因加入了二极管  $VD_1$  和  $VD_2$ , 使电容器的充电和放电回路不同, 可以调节电位器使充电、放电时间常数相同。如果调节电位器使  $R_A = R_B$ , 可以获得 50% 的占空比。

当电位器滑动端上调时, 充电时间常数小于放电时间常数, 输出方波的高电平变窄, 占空比小于 50%; 反之, 占空比大于 50%。

**【例 4.12】** 分析图 4.32 所示电路的工作原理。

**【解】** 根据给定参数, 555 定时器 I 和 II 的振荡周期分别是

$$T_1 = T_{1H} + T_{1L} \approx 0.7(R_{A1} + R_{B1})C_1 + 0.7R_{B1}C_1 = 7.7\text{s} + 7\text{s} = 14.7\text{s}$$

$$T_2 = T_{2H} + T_{2L} \approx 0.7(R_{A2} + R_{B2})C_2 + 0.7R_{B2}C_2 = 0.399\text{ms} + 0.329\text{ms} = 0.724\text{ms}$$

根据电路连线, 只有当  $u_{o1}$  为高电平时, 定时器 II 才可能振荡。所以, 在  $T_{1H} \approx 7.7\text{s}$  的期间内, 555 定时器 II 才能振荡, 振荡频率是  $f = 1/T_2 = 1.37\text{kHz}$ 。

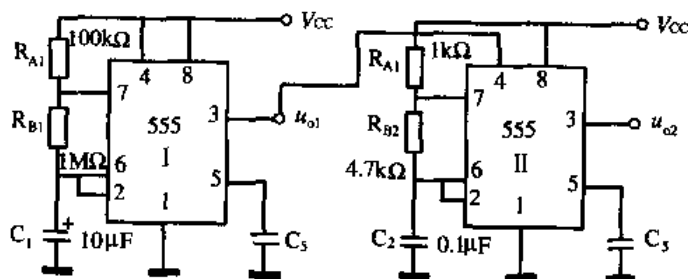


图 4.32 例 4.12 电路图

**【例 4.13】** 由 555 定时器构成的施密特触发器如图 4.33(a) 所示;

(1) 在图 4.33(b) 中画出该电路的电压传输特性曲线;

- (2) 如果输入  $u_i$  为图 4.33(c) 所示的信号, 对应画出输出  $u_o$  的波形;
- (3) 为使电路能识别出  $u_i$  中的第 2 个尖峰, 应采取什么措施?
- (4) 在 555 定时器的哪个管脚能得到与 3 脚一样的信号, 如何接法?

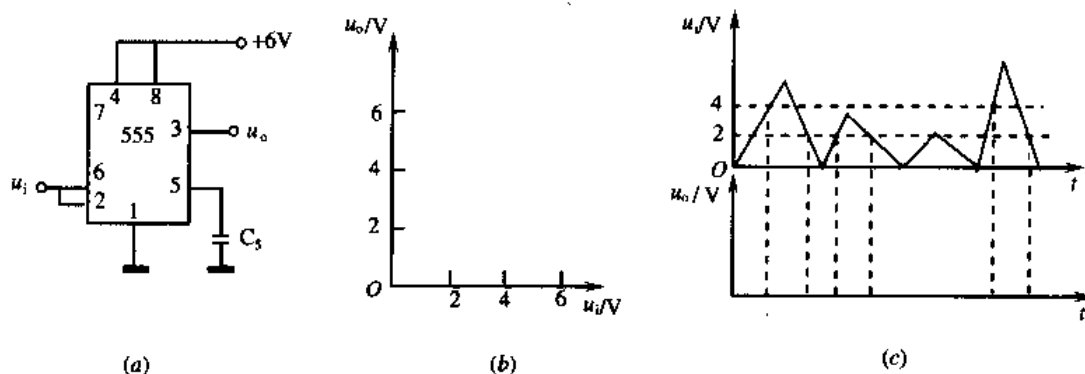


图 4.33 例 4.12 电路图和波形图

【解】

- (1) 该电路的电压传输特性曲线如图 4.34(a) 所示。
- (2)  $u_o$  的波形如图 4.34(b) 所示。

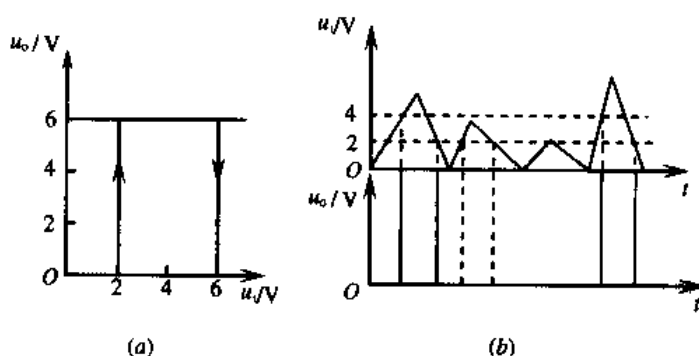


图 4.34 例 4.12 传输特性曲线和输出波形图

(a) 传输特性曲线; (b) 输出波形图。

- (3) 为使电路能识别出  $u_i$  中的第 2 个尖峰, 应降低 555 定时器 5 脚的电压至 3V 左右。
- (4) 在 555 定时器的 7 脚能得到与 3 脚一样的信号, 只需在 7 脚与电源之间接一电阻即可。

## 4.4 自我测试

【题 4.1】 选择与填空:

1. 当基本 RS 触发  $\bar{R}_d$  和  $\bar{S}_d$  端加如图 4.35 所示的波形时, 设初始状态为“0”和“1”2 种情况, 请选择正确的输出  $Q$  的波形。

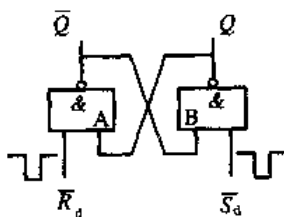
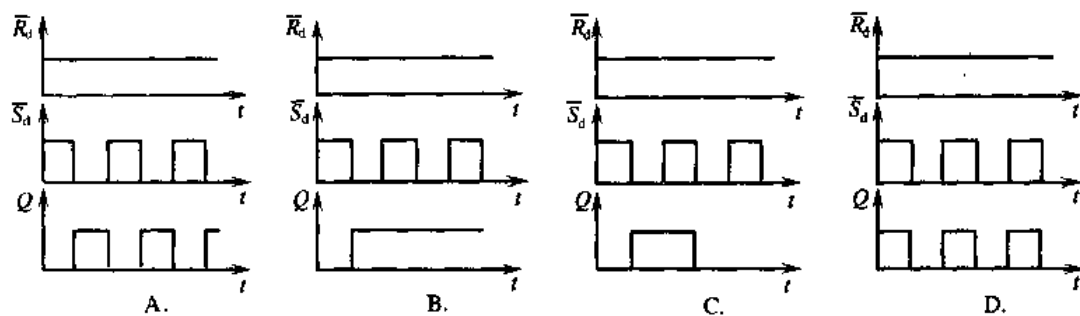
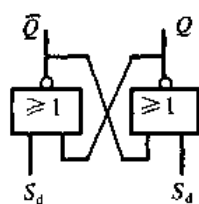


图 4.35 例 4.1 电路图



2. 由 2 个“或非”门组成的基本 RS 触发器如图 4.36 所示, 分析其输出与输入的逻辑关系, 请选择正确的真值表。



$S_d$	$R_d$	$Q$
0	0	保持
0	1	0
1	0	1
1	1	0

$S_d$	$R_d$	$Q$
0	0	保持
0	1	0
1	0	1
1	1	0(不定)

图 4.36 基本 RS 触发器

A.

B.

3. 请选择正确的 JK 触发器真值表。

$J_n$	$K_n$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	$\bar{Q}_n$

A.

$J_n$	$K_n$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

B.

4. 请选择正确的 D、T、T' 触发器真值表。

D 触发器真值表

$D_n$	$Q_{n+1}$
0	0
1	1

T 触发器真值表

$T_n$	$Q_{n+1}$
0	$Q_n$
1	$\bar{Q}_n$

A.

T' 触发器真值表

$Q_n$	$Q_{n+1}$
0	1
1	0

D 触发器真值表

$D_n$	$Q_{n+1}$
0	0
1	1

T 触发器真值表

$T_n$	$Q_{n+1}$
0	$\bar{Q}_n$
1	$Q_n$

T' 触发器真值表

$Q_n$	$Q_{n+1}$
0	1
1	0

B.

D 触发器真值表

$D_n$	$Q_{n+1}$
0	0
1	1

T 触发器真值表

$T_n$	$Q_{n+1}$
0	$Q_n$
1	$\bar{Q}_n$

T' 触发器真值表

$Q_n$	$Q_{n+1}$
0	0
1	1

C.

5. 请选择正确的 JK 触发器特性方程式。

A.  $Q_{n+1} = J_n \bar{Q}_n + \bar{K}_n Q_n$

B.  $Q_{n+1} = \bar{J}_n \bar{Q}_n + K_n Q_n$

C.  $\bar{Q}_{n+1} = \bar{J}_n \bar{Q}_n + K_n Q_n$

D.  $Q_{n+1} = J_n Q_n + K_n \bar{Q}_n$

6. 请选择正确的 RS 触发器特性方程式。

A.  $Q_{n+1} = \bar{S}_n + R_n Q_n$

B.  $Q_{n+1} = S_n + \bar{R}_n Q_n$

C.  $Q_{n+1} = S_n + \bar{R}_n Q_n$  (约束条件为  $R_n S_n = 0$ )

D.  $\bar{Q}_{n+1} = \bar{S}_n + R_n Q_n$

7. 请选择正确的 T 触发器特性方程式。

A.  $Q_{n+1} = \bar{T}_n \bar{Q}_n + T_n Q_n$

B.  $\bar{Q}_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n$

C.  $Q_{n+1} = T_n \bar{Q}_n + \bar{T}_n Q_n$

D.  $\bar{Q}_{n+1} = T_n + \bar{T}_n Q_n$

8. 电路如图 4.37 所示, 请选择在 CP 波形作用下的输出波形(各触发器的初态均为“0”)。

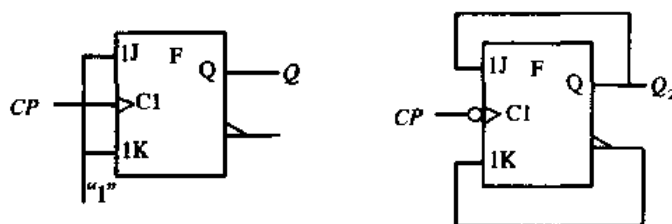
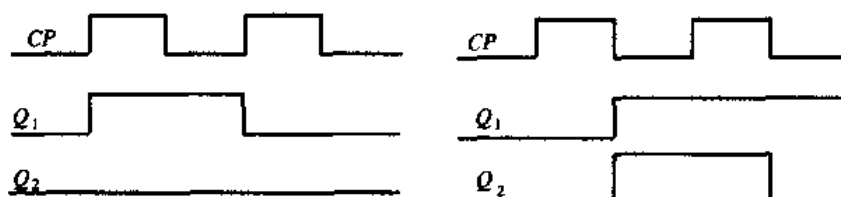


图 4.37 电路图



A.

B.

9. 试写出图 4.38 所示各 TTL 触发器输出的次态函数( $Q^{n+1}$ )。

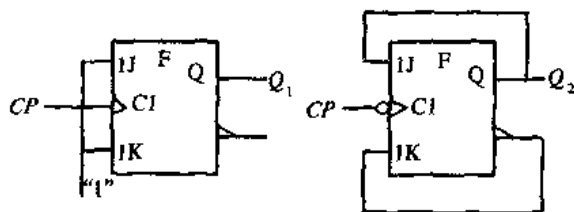


图 4.38 TTL 触发器

- A.  $Q_1^{n+1} = \bar{Q}_1^n, Q_2^{n+1} = Q_2^n$
- B.  $Q_1^{n+1} = Q_1^n, Q_2^{n+1} = Q_2^n$
- C.  $Q_1^{n+1} = \bar{Q}_1^n, Q_2^{n+1} = \bar{Q}_2^n$
- D.  $Q_1^{n+1} = 0$

10. D 触发器构成的电路如图 4.39 所示, 请判断该电路能实现何种触发器的功能。

- A. T 触发器
- B. T' 触发器
- C. JK 触发器
- D. RS 触发器

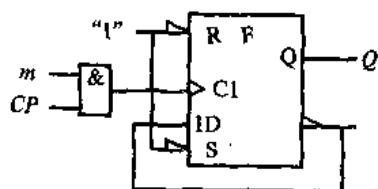


图 4.39 D 触发器电路

11. 由 CMOS 门构成的电路如图 4.40 所示, 请回答  $C=0$ 、 $C=1$  时该电路分别属于组合电路还是时序电路?

- A.  $C=0$  时属于组合电路,  $C=1$  时属于时序电路。
- B.  $C=0$  时属于时序电路,  $C=1$  时属于组合电路。
- C.  $C=0$  时属于组合电路,  $C=1$  时属于组合电路。
- D.  $C=0$  时属于时序电路,  $C=1$  时属于时序电路。

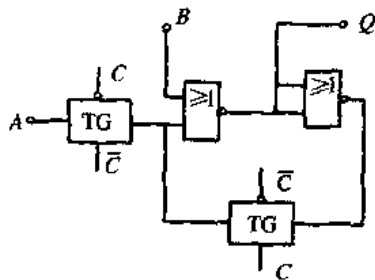
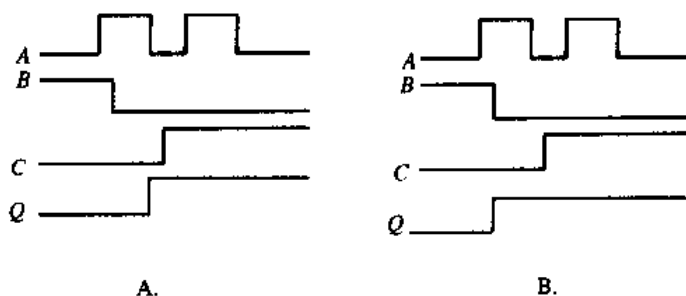


图 4.40 CMOS 门构成的电路

12. 由 CMOS 门构成的电路如图 4.40 所示, 请写出输出  $Q$  (或  $Q_{n+1}$ ) 的表达式。

- A.  $Q = \bar{A}\bar{B}$
- B.  $Q_{n+1} = \bar{B}Q_n$
- C.  $C=0$  时  $Q = \bar{A}\bar{B}$ ,  $C=1$  时  $Q_{n+1} = \bar{B}Q_n$
- D.  $C=1$  时  $Q = \bar{A}\bar{B}$ ,  $C=0$  时  $Q_{n+1} = \bar{B}Q_n$

13. 由 CMOS 门构成的电路如图 4.40 所示, 请选择与输入  $A$ 、 $B$ 、 $C$  波形对应的输出  $Q$



的波形。

14. 电路如图 4.41 所示, 请选择在 CP 波形作用下正确的输出波形(各触发器的初态均“0”)。

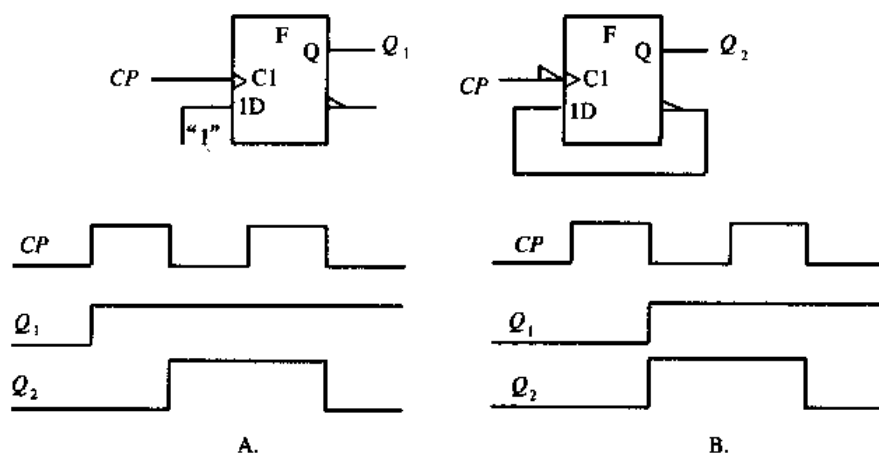
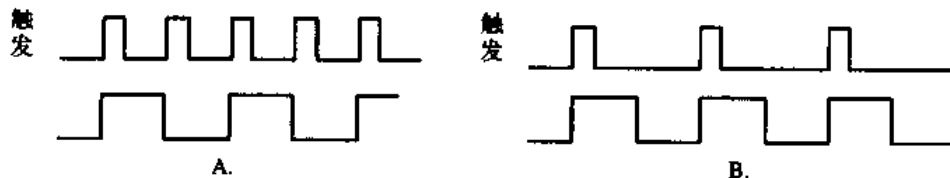


图 4.41 电路图

15. 试写出图 4.41 所示各 TTL 触发器输出的次态函数( $Q^{n+1}$ )。

- A.  $Q_1^{n+1} = 1, Q_2^{n+1} = \bar{Q}_2^n$
- B.  $Q_1^{n+1} = 1, Q_2^{n+1} = Q_2^n$
- C.  $Q_1^{n+1} = 0, Q_2^{n+1} = \bar{Q}_2^n$
- D.  $Q_1^{n+1} = 0, Q_2^{n+1} = \bar{Q}_2^n$

16. 请选择单稳态触发器的波形图。



17. 555 定时器的阈值为\_\_\_\_\_。

- A.  $\frac{1}{3} V_{CC}$
- B.  $\frac{2}{3} V_{CC}$
- C.  $\frac{2}{3} V_{CC}$  和  $\frac{1}{3} V_{CC}$
- D.  $\frac{1}{2} V_{CC}$  和  $V_{CC}$

18. 555 定时器输出端状态的改变有\_\_\_\_\_现象, 回差电压为\_\_\_\_\_。

- A. 滞回现象, 回差电压为  $\frac{1}{3} V_{CC}$
- B. 滞回现象, 回差电压为  $\frac{1}{2} V_{CC}$

- C. 落差现象, 阈值电压为  $\frac{1}{3} V_{CC}$       D. 落差现象, 回差电压为  $\frac{1}{3} V_{CC}$

19. 对于 555 定时器而言, 下列哪种说法正确?

- A. 当  $TH$  高触发端的电平大于  $\frac{2}{3} V_{CC}$ 、 $TL$  低触发端的电平大于  $\frac{1}{3} V_{CC}$  时, 输出 3 脚为低电平。  
 B. 当  $TH$  高触发端 3 脚加入的电平小于  $\frac{2}{3} V_{CC}$ 、 $TL$  低触发端的电平小于  $\frac{2}{3} V_{CC}$  时, 输出 3 脚为高电平。  
 C. 当  $TH$  高触发端的电平大于  $\frac{2}{3} V_{CC}$ 、 $TL$  低触发端的电平大于  $\frac{1}{3} V_{CC}$  时, 输出 3 脚为高电平。  
 D. 当  $TH$  高触发端 3 脚加入的电平小于  $\frac{2}{3} V_{CC}$ 、 $TL$  低触发端的电平小于  $\frac{1}{3} V_{CC}$  时, 输出 3 脚为低电平。

20. 555 定时器构成的多谐振荡器如图 4.42 所示, 其振荡周期为\_\_\_\_\_。

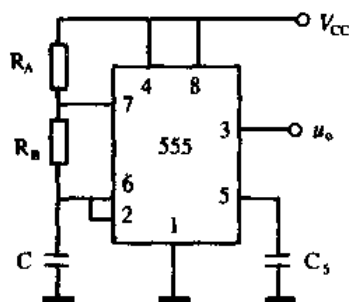


图 4.42

- A.  $T \approx 0.7(R_A + 2R_B)C$   
 B.  $T \approx 0.7(R_A + R_B)C$   
 C.  $T \approx (R_A + 2R_B)C$   
 D.  $T \approx 0.1(R_A + R_B)C$

21. 555 定时器构成的多谐振荡器如图 4.42 所示, 其占空比为\_\_\_\_\_。

- A.  $D = \frac{R_A + R_B}{R_A + 2R_B} \times 100\%$       B.  $D = \frac{2R_A + R_B}{R_A + 2R_B} \times 100\%$   
 C.  $D = \frac{R_A + R_B}{R_A + 3R_B} \times 100\%$       D.  $D = \frac{R_A + 3R_B}{R_A + 2R_B} \times 100\%$

22. 555 定时器构成的压控振荡器, 下列哪种说法是正确的?

- A. 通过改变谐振回路的参数, 改变振荡器的振荡频率。  
 B. 通过改变选频网络的参数, 改变振荡器的振荡频率。  
 C. 通过改变一个控制电压实现对振荡器频率的改变。  
 D. 通过改变电源电压实现对振荡器频率的改变。

【解】

1. B   2. B   3. A   4. A   5. A   6. C   7. C   8. A   9. A   10. B   11. A   12. C  
 13. B   14. A   15. A   16. B   17. C   18. A   19. A   20. A   21. A   22. C



【题 4.2】 试画出图 4.43 所示电路的输出端波形, 设初态为“0”。

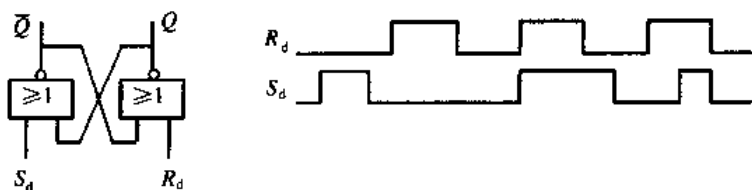


图 4.43 题 4.2 的电路图和输入波形图

【简答】 此题是由或非门构成的 RS 触发器, 工作原理与由与非门构成的基本 RS 触发器一样, 只不过此电路对输入触发信号是高电平有效。画出输出端波形如图 4.44 所示。



图 4.44 题 4.2 的波形图

【题 4.3】 分析图 4.45 所示电路, 列出真值表, 写出特性方程, 说明其逻辑功能。

【简答】

- (1) 特性表。当  $CP = 0$  时, 保持; 当  $CP = 1$  时, 真值表如表 4.4 所列。
- (2) 特性方程为  $Q_{n+1} = D_n$ 。
- (3) 该电路为锁存器(时钟型 D 触发器)。 $CP = 0$  时, 不接收  $D$  的数据;  $CP = 1$  时, 把数据锁存。但该电路有空翻现象。

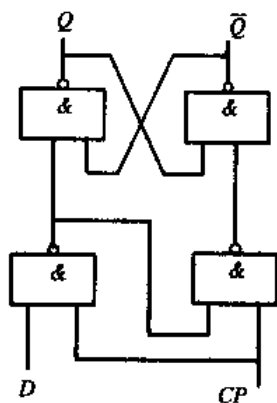


图 4.45 题 4.3 的波形图

表 4.4 真值表

$D$	$Q^n$	$Q^{n+1}$
0	0	0
0	1	0
1	0	1
1	1	1

【题 4.4】 根据特性方程, 外加与非门将 D 触发器转换为 JK 触发器; 若反过来将 JK 触发器转换为 D 触发器, 应如何实现?

【简答】 由  $Q_{n+1} = D_n = J_n \bar{Q}_n + \bar{K}_n Q_n = \overline{J_n \bar{Q}_n \cdot \bar{K}_n Q_n}$ , 得 D 触发器转换为 JK 触发器的逻辑图如图 4.46(a) 所示; 而将 JK 触发器转换为 D 触发器的逻辑图如图 4.46(b) 所示。

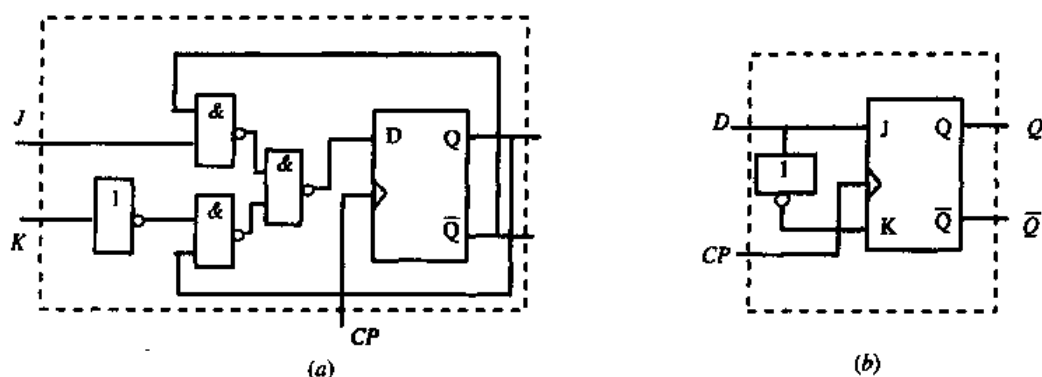


图 4.46 题 4.4 的逻辑图

(a) D 触发器转换为 JK 触发器图; (b) JK 触发器转换为 D 触发器图。

【题 4.5】 试写出图 4.47 所示电路的真值表。

[简答] 真值表如表 4.5 所列。

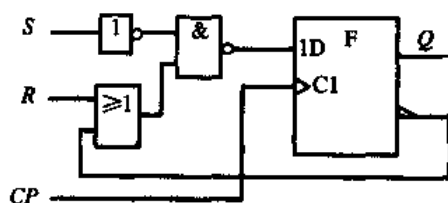


图 4.47 题 4.5 电路图

表 4.5 题 4.4 真值表

$R$	$S$	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	0	0
1	1	1

该触发器克服了 RS 触发器的不定状态。

【题 4.6】 分析并画出图 4.48 所示电路的  $Q$  端和  $\bar{Q}$  的波形。触发器的直接置“0”端和直接置“1”端是高电平有效。已知  $CP$  方波的  $T_{CP} = 100\mu s$ ,  $R = 100k\Omega$ ,  $C = 100pF$ , 反相器的阈值电平(门限电平)  $U_T = 2.5V$ 。

【简答】 此题要考虑触发器的同步功能和异步功能混合在一起的情况, 异步功能的优先级高于同步功能。当  $Q = 0$  时, 触发器给  $C$  充电,  $u_C$  按指数规律上升, 经反相器输出低电平, 以维持触发器的“0”状态。当时钟使触发器置“1”时,  $\bar{Q} = 0$ , 电容器  $C$  经  $R$  放电,  $u_C$  下降, 经  $t_w$  后反相器输出高电平, 对触发器置“0”。具体波形如图 4.49 所示。

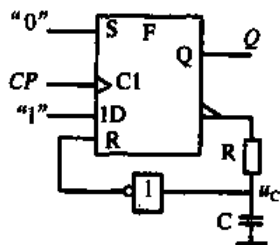


图 4.48 题 4.6 电路图

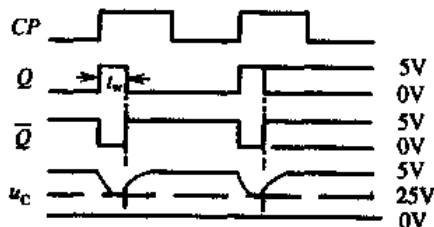


图 4.49 题 4.6 波形图

【题 4.7】 试画出图 4.50 所示电路  $Q$  端的波形, 并分析电路的功能。触发器为主从 JK 触发器, 初态为“0”。

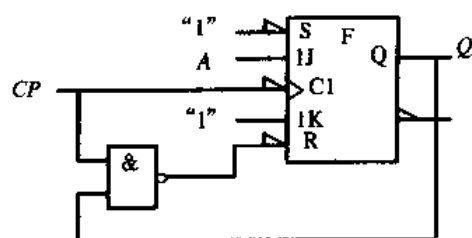


图 4.50 题 4.7 电路图

【简答】在  $CP$  的上升沿来到时,主触发器置“0”,与初态一致,触发器不翻转。当  $A = 1$  时,使 JK 触发器满足  $J = 1, K = 1$  的条件,主触发器置“1”。当时钟的下降沿来到时,触发器置“1”。当时钟的上升沿来到时,  $Q = 1$ ,使与非门输出低电平,对触发器异步置“0”。

该电路对  $CP = 1$  期间  $A$  信号出现的高电平有检测作用,  $A$  信号出现高电平,  $Q$  端将出现一个与  $CP$  低电平等宽的高电平。  $Q$  端波形如图 4.51 所示。

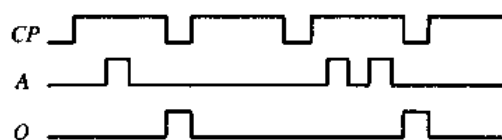


图 4.51 图 4.7 波形图

【题 4.8】时序逻辑电路如图 4.52 所示,触发器为维持阻塞型 D 触发器,初态均为“0”。

- (1) 画出在  $CP$  作用下输出  $Q_1$ 、 $Q_2$  和  $Z$  的波形;
- (2) 分析  $Z$  与  $CP$  的关系。

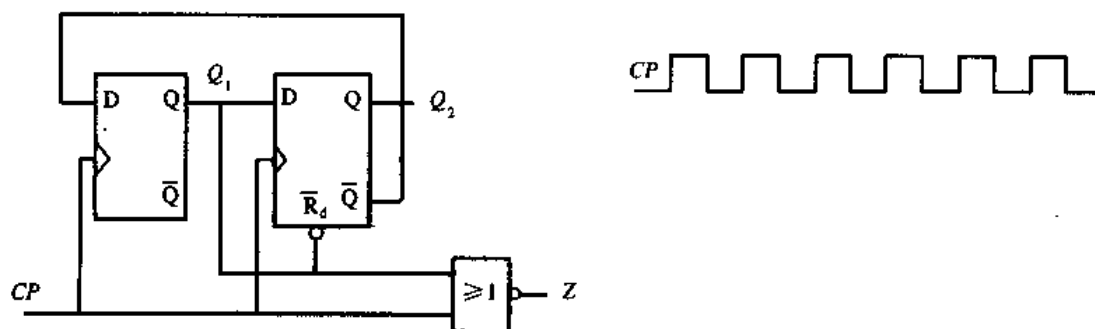


图 4.52 题 4.8 的逻辑电路图

【简答】

- (1) 状态方程为

$$Q_1^{n+1} = D_1 = \bar{Q}_2^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

$$\bar{R}_d = Q_1^n$$

在  $CP$  作用下,输出  $Q_1$ 、 $Q_2$  和  $Z$  的波形如图 4.53 所示。

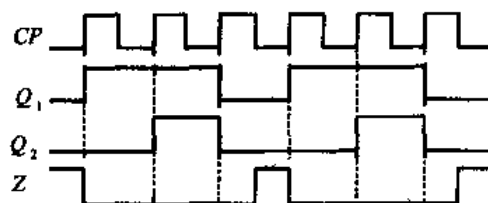


图 4.53 题 4.8 的波形图

(2)  $Z$  对  $CP$  分频。

【题 4.9】 已知电路及  $CP$ 、 $A$  的波形如图 4.54(a) 和 (b) 所示, 设触发器的初态为“0”, 试画出输出端  $B$  和  $C$  的波形。

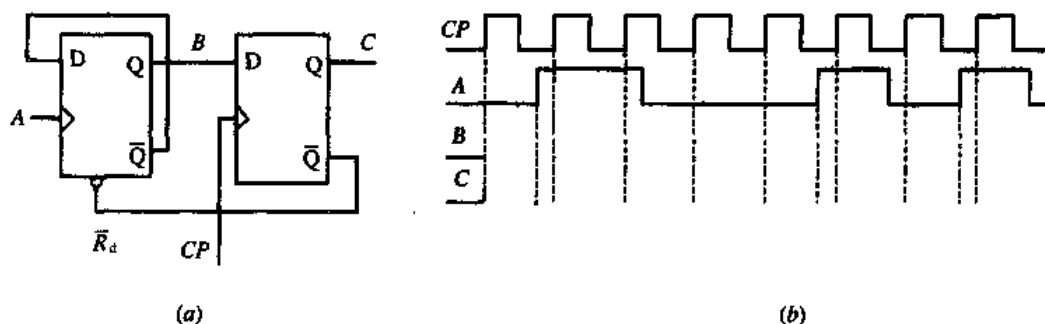


图 4.54 题 4.9 的电路和输入波形图

(a) 电路图; (b) 输入波形图。

【简答】 写出状态方程, 有

$$B = Q_1^{n+1} = D_1 = \bar{Q}_1^n$$

$$C = Q_2^{n+1} = D_2 = Q_1^n$$

$$\bar{R}_d = \bar{Q}_2^n$$

画出在  $CP$  作用下输出  $Q_1$ 、 $Q_2$  和  $Z$  的波形如图 4.55 所示。

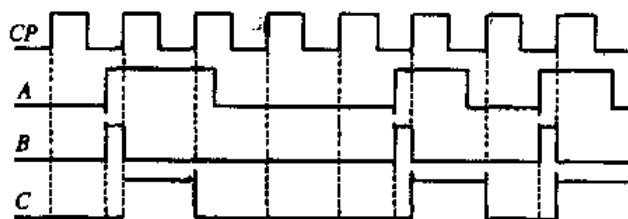


图 4.55 题 4.9 的输出波形图

【题 4.10】 试画出图 4.56(a) 所示电路在图(b)所示输入信号  $CP$ 、 $X$  作用下输出  $Q_1$ 、 $Q_2$  和  $Z$  的波形( $Q_1$ 、 $Q_2$  的初态为“0”)。

【简答】 写出驱动方程, 有

$$J_1 = X \cdot Q_2^n, K_1 = X, J_2 = 1, K_2 = X$$

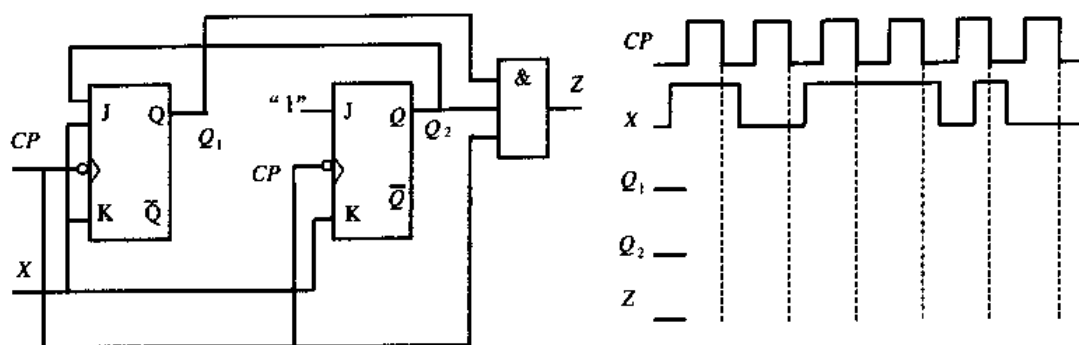


图 4.56 题 4.10 的电路和输入波形图

写出状态方程,有

$$Q_1^{n+1} = XQ_2^n \bar{Q}_1^n + \bar{X}Q_1^n$$

$$Q_2^{n+1} = \bar{Q}_2^n + \bar{X}Q_2^n$$

$$Z = CP \cdot Q_1^n \cdot Q_2^n$$

画出在 CP 作用下输出  $Q_1$ 、 $Q_2$  和 Z 的波形如图 4.57 所示。

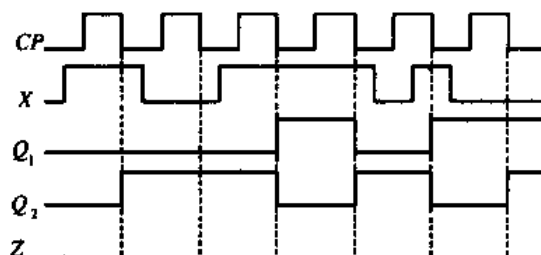


图 4.57 题 4.10 的输出波形图

【题 4.11】 图 4.58 为由 555 定时器和 D 触发器构成的电路,请问:

- (1) 555 定时器构成的是哪种脉冲电路?
- (2) 画出  $u_c$ 、 $u_{o1}$ 、 $u_{o2}$  的波形;
- (3) 计算  $u_{o1}$ 、 $u_{o2}$  的频率;
- (4) 如果在 555 定时器的第 5 脚接入 4V 的电压源,则  $u_{o1}$  的频率将变为多少?

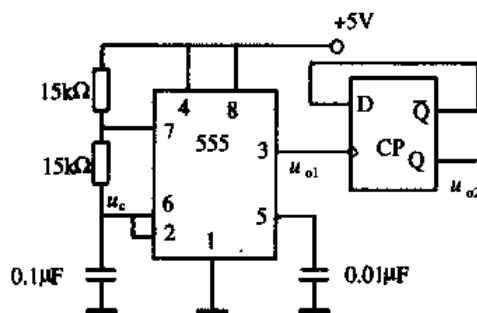


图 4.58 题 4.11 的电路图

[简答]

- (1) 555 定时器构成多谐振荡器。  
 (2)  $u_c$ 、 $u_{o1}$ 、 $u_{o2}$  的波形如图 4.59 所示。

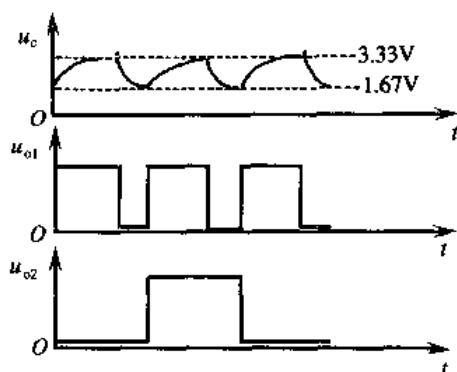


图 4.59  $u_c$ 、 $u_{o1}$ 、 $u_{o2}$  的波形图

- (3)  $u_{o1}$  的频率  $f_1 = \frac{1}{0.7 \times 45 \times 0.1} \approx 316\text{Hz}$ ;  $u_{o2}$  的频率  $f_2 = 158\text{Hz}$ 。  
 (4) 如果在 555 定时器的第 5 脚接入 4V 的电压源, 则  $u_{o1}$  的频率变为

$$f_1 = \frac{1}{1.1 \times 30 \times 0.1 + 0.7 \times 15 \times 0.1} \approx 232\text{Hz}$$

【题 4.12】图 4.60 给出了 A、B、C、D 4 种波形图, A 是已知的输入波形。

- (1) 画出得到波形 B 的电路图, 并说明电路的名称。  
 (2) 画出得到波形 C 的电路图, 并说明电路的名称; 指出哪个元件可以调节  $t_w$ 。  
 (3) 画出得到波形 D 的电路方框图, 并对方框图的功能加以说明。

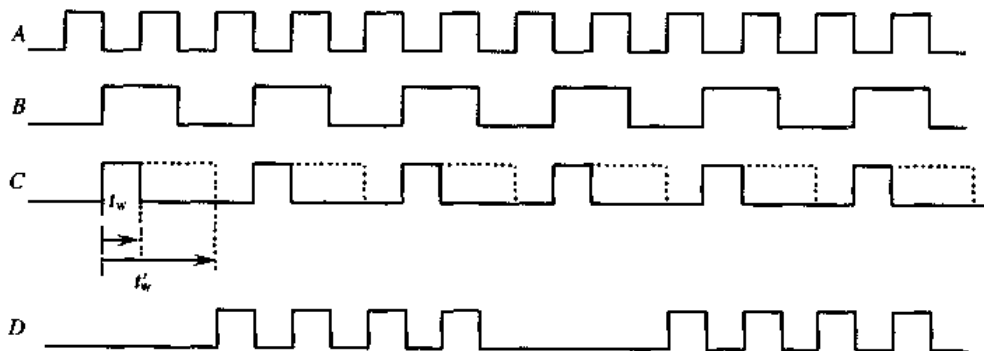


图 4.60 题 4.12 的波形图

[简答]

- (1) 从图 4.60A、B 的波形图可知: B 是对 A 的 2 分频, 而且下降沿触发, 选择 JK 触发器接成 T' 触发器作 2 分频电路, 如图 4.61(a) 所示。  
 (2) 让 A 作输入, C 作输出。采用 555 定时器组成的单稳态触发器即可完成此功能, 具体电路如图 4.61(b) 所示。  
 (3) 让 A 作输入, D 作输出。采用二输入与门, 其中 1 个输入端 X 作为使能端, 具体

电路如图 4.61(c)所示,波形如图 4.61(d)所示。

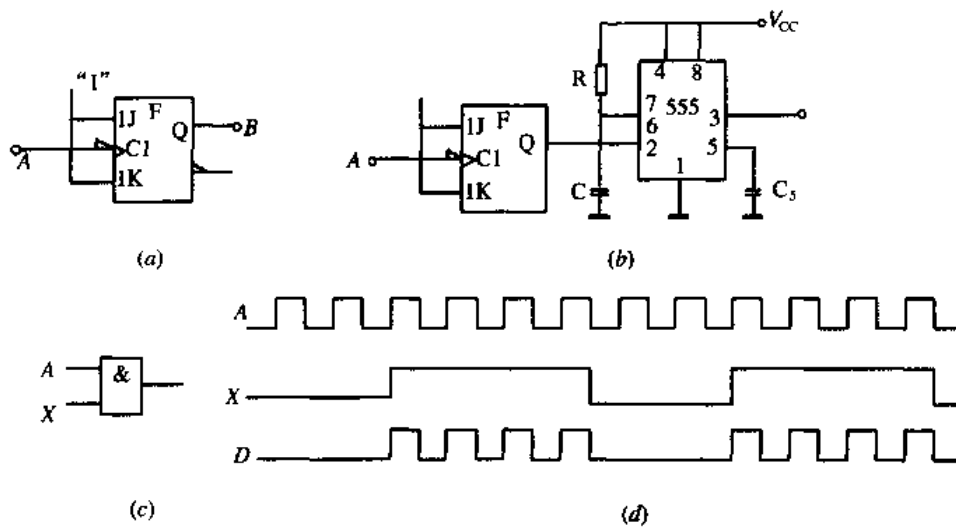


图 4.61 题 4.12 的电路和波形图

## 第5章 时序逻辑电路

### 5.1 学习要点

- (1) 时序逻辑电路的定义。
- (2) 时序逻辑电路的分析和设计。
- (3) 时序逻辑电路的表示方法:状态转换表、状态转换图、状态方程和波形图。
- (4) 寄存器、计数器分析与设计。
- (5) 常用集成时序逻辑器件的逻辑功能及应用。

### 5.2 重点难点

#### 5.2.1 时序逻辑电路的分析

逻辑电路分成组合逻辑电路和时序逻辑电路2种。从电路结构上讲,时序逻辑电路应包括组合逻辑电路和存储电路两大部分,而且从输出到输入之间应有反馈路径。存储电路由触发器组成。时序逻辑电路结构框图如图5.1所示。

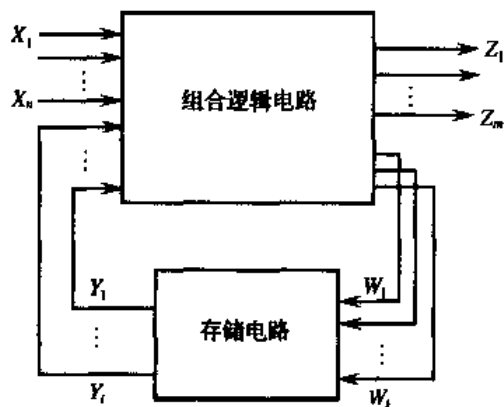


图 5.1 时序逻辑电路结构框图

从逻辑功能上讲,一个时序逻辑电路任一时刻更新后的输出状态(次态),不仅与当时输入变量的状态有关,而且与电路原来所处的状态(原态)有关。

时序逻辑电路按着时钟脉冲  $CP$  的作用方式可分为同步时序逻辑电路和异步时序逻辑电路2种。如果电路中的所有触发器的时钟端都接同一个时钟脉冲源,则是同步时序逻辑电路;如果电路中的所有触发器的时钟端不是都接同一个时钟脉冲源,或者没有时钟,但需要有反馈线,这样的电路就是异步时序逻辑电路。同步时序逻辑电路和异步时序逻辑电路的分析方法不同。本书以同步时序逻辑电路为主。



### 一、同步时序逻辑电路的分析方法

对于一个给定的逻辑功能未知的时序逻辑电路,经过分析可以找出电路的状态转换规律,即可求出电路所能完成的逻辑功能,了解其工作特点,这是分析一个时序逻辑电路要达到的目的。

对同步时序逻辑电路的分析,一般有2种方法。

#### 1. 方法1

(1) 根据给定的逻辑电路图,写出各个触发器的驱动方程和整个电路的输出方程。

(2) 列出状态转换表。一般设触发器的初态为全“0”,通过驱动方程,求出对应的数据端的状态,并确定时钟作用后的新状态。以此新状态为原状态,继续上述过程,直至状态出现循环为止。

(3) 作出状态转换图。

(4) 确定电路的逻辑功能。根据状态转换表和状态转换图,认真分析,确定电路能够完成的逻辑功能。

(5) 检查电路是否具有自启动能力。如果电路有无效状态存在,应将所有的无效状态逐个代入电路的状态方程,计算次态。如果它们都能在时钟脉冲作用下转换到有效时序中去,则说明此电路具有自启动能力,由此可画出完整的状态转换图;如果这些无效状态在时钟脉冲的作用下不能转换到有效时序中去,或产生无效循环,则说明此电路无自启动能力。

#### 2. 方法2

(1) 根据给定的逻辑电路图,写出各个触发器的驱动方程和整个电路的输出方程。

(2) 求状态方程。将各个触发器的驱动方程分别代入相应类型的触发器的特性方程中,即可求得各个触发器的状态方程。

(3) 列出状态转换表。给电路先任意设定一个初态,代入状态方程,计算出次态及输出,然后以此次态作为初态,再次代入状态方程,计算出下一个次态,如此进行下去,直到状态出现循环为止。

(4) 画状态转换图。

(5) 检查电路是否具有自启动能力。

### 二、异步时序逻辑电路的分析

异步时序逻辑电路的分析过程比同步时序逻辑电路的分析过程稍复杂一些,由于各个触发器不是共用同一个时钟信号,因此分析异步时序逻辑电路,不但要写出驱动方程和状态方程,还要写出时钟方程。在列状态转换表时,首先要判断有无时钟信号的动作沿:若有,可由状态方程决定下一个新状态;若无时钟信号的动作沿,触发器状态不变。其他过程与同步时序逻辑电路的分析方法相同。

### 三、时序电路逻辑功能的表示方法

同步时序电路和异步时序电路逻辑功能的表示方法相同,可用状态转换表、状态转换图、状态方程和波形图4种表示方法,这4种表示方法是等价的,也是可以相互转换的。在分析时序逻辑电路时,4种方法不一定都用,到底采用哪几种表示方法,可根据具体要求而定。

## 5.2.2 常用时序逻辑电路

### 一、寄存器

寄存器按功能划分为数码寄存器和移位寄存器两大类。

#### 1. 数码寄存器

数码寄存器用来存放数码,一般具有接收数码、读出数码、保持并清除原有数码等功能。由4个D触发器组成的4位数码寄存器如图5.2所示,触发器为上升沿触发。根据接收数码方式的不同,数码寄存器又可分为双拍接收方式和单拍接收方式2种。所谓双拍接收方式,就是首先对寄存器清零,然后再接收和存放数码;而单拍接收方式,就是在接收数码的同时清除原有的数码。有一些多位数码寄存器还具有三态输出功能。

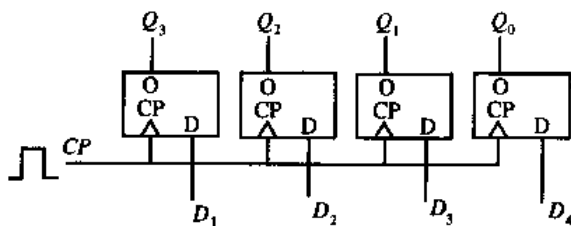


图 5.2 D 触发器构成的单拍工作方式寄存器

#### 2. 移位寄存器

移位寄存器除具有数码寄存器的功能外,还具有数码移位的功能,即在时钟脉冲的作用下,能够把寄存器中存放的数码依次左移或右移。按照所存放数码移位方向的不同,移位寄存器可分为单向(左移或右移)移位寄存器和双向移位寄存器。同时规定向高位移为右移,向低位移位为左移。按照所存放数码的输入、输出方式的不同,移位寄存器又可有串行输入、串行输出、并行输入、并行输出4种方式,它们之间可互相搭配工作。

### 二、计数器

计数器是应用最广泛的一种时序逻辑电路。它也是由各类触发器和一些用于控制的门电路组成。

计数器所记忆的不同状态,可用来表示输入计数器的脉冲个数。计数器不仅可以用来计数,也可用于分频、定时等。计数器可有多种分类方法:

- (1) 按计数的功能可分为加法计数器、减法计数器、可逆计数器;
- (2) 按计数器状态的转换是否与时钟同时发生可分为异步计数器、同步计数器;
- (3) 按计数器进制可分为二进制计数器、十进制计数器、任意进制计数器。

## 5.2.3 时序逻辑电路的设计方法

设计有时又叫做综合,它是时序逻辑电路分析的逆过程,是根据给定的功能要求,通过设计得到一个满足预定要求的时序逻辑电路的过程。

随着集成工艺水平的不断完善和提高,数字集成电路的新器件不断出现,器件的集成度也在不断提高,必然会促进数字系统设计方法不断改进和完善。目前,时序逻辑电路的设计有以下几种方法:

(1) 采用中小规模集成门电路和触发器,设计出符合要求的时序逻辑电路。其设计方法将在本节中介绍。

(2) 采用标准的中大规模集成组件完成时序逻辑电路的设计。其设计方法将在 5.2.4 节中介绍。

(3) 采用可编程逻辑器件 PLD 完成时序逻辑电路的设计。

由于上述 3 种设计方法采用的器件不同,设计方法也有所不同。下面以同步计数器的设计为例,介绍时序逻辑电路设计的一般步骤。

### 1. 状态转换表法设计同步计数器

(1) 确定触发器的级数及类型。按照给定的逻辑命题,确定计数器的状态数,设为  $N$ ,触发器的级数设为  $n$ ,则要求  $2^n \geq N$ 。

(2) 根据逻辑要求,列状态转换表及状态转换条件表。

(3) 卡诺图化简,写出驱动方程。

(4) 画逻辑图。

### 2. 次态卡诺图法设计同步计数器

(1) 根据要求列出状态转换表。

(2) 画次态  $Q^{n+1}$  卡诺图,并求状态方程。

(3) 将状态方程与触发器的特性方程相比较,求出驱动方程。

(4) 画逻辑图。

## 5.2.4 常用集成时序逻辑器件功能及应用

目前生产的集成时序逻辑器件的产品很多,要能正确使用和广泛应用这些器件,首先必须学会查阅有关器件手册和技术资料,弄清所要使用器件的逻辑功能和工作原理。

### 一、同步计数器

可预置的 2-10 进制和 2-16 进制同步加法计数器常用的有 2 对,如表 5.1 所列。这 2 对计数器中序号为偶数者是 2-10 进制,奇数者为 2-16 进制。74LS160 和 74LS161 具有异步清零功能,只要在  $\bar{C}_l$  端加入低电平即可实现清零,无需时钟信号。74LS162 和 74LS163 具有同步清零功能,不但要在  $\bar{C}_l$  端加入低电平,而且需要时钟信号才能实现清零。图 5.3 为 CT74LS161 和 CT74LS162 的逻辑符号图;图 5.4 为 74LS161 的简化符号图。

表 5.1 中规模同步计数器

型 号	计数长度	编 码	置数方式	清零方式
74LS160	2-10 进制	BCD8421 码	同步置数	异步清零
74LS161	2-16 进制	4 位二进制码	同步置数	异步清零
74LS162	2-10 进制	BCD8421 码	同步置数	同步清零
74LS163	2-16 进制	4 位二进制	同步置数	同步清零



表 5.3 74LS162/74LS163 同步加法计数器的功能表

输 入									输 出				说 明
CP	$\bar{C}_t$	$L_D$	P	T	A	B	C	D	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
$\uparrow$	0	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	0	0	0	0	异步清零 送 数
$\uparrow$	1	0	$\phi$	$\phi$	A	B	C	D	D	C	B	A	
$\phi$	1	1	1	$\phi$	$\phi$	$\phi$	$\phi$	$\phi$	保 持				保 持
$\phi$	1	1	$\phi$	1	$\phi$	$\phi$	$\phi$	$\phi$	保 持				
$\uparrow$	1	1	1	1	$\phi$	$\phi$	$\phi$	$\phi$	计 数				同 步 置“0”
$\uparrow$	1	0	$\phi$	$\phi$	0	0	0	0	0	0	0	0	

二、异步计数器

异步计数器常用的有 2-5 分频十进制计数器 74LS90、2-6 分频十二进制计数器 74LS92、2-8 分频十六进制计数器 74LS93 3 种。图 5.5 所示为 74LS90 的逻辑符号图,图 5.6 为其框图,其逻辑功能如表 5.4 所列。表 5.5 是 74LS90 不同接线时对计数器编码的影响。74LS90 的电路结构是由 2 分频和 5 分频 2 部分构成的,再加上置“0”和置“9”电路。2-8 分频异步计数器 74LS93 和 2-6 分频异步计数器 74LS92 的电路结构和逻辑功能与 74LS90 基本相同,只是 74LS93 和 74LS92 无置“9”功能。注意集成计数器中的 DCBA,往往以 D 代表高位,A 代表低位。

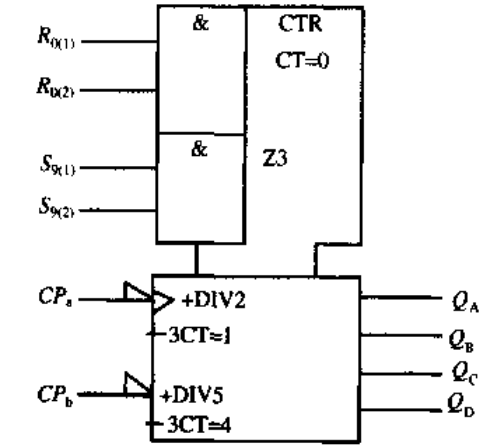


图 5.5 74LS90 异步计数器逻辑符号图

表 5.4 74LS90 异步计数器的功能表

输 入				输 出				说明
$S_9(1)$	$S_9(2)$	$S_0(1)$	$S_0(2)$	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
1	1	0	$\times$	1	0	0	1	置“9”
1	1	$\times$	0	1	0	0	1	置“9”
0	$\times$	1	1	0	0	0	0	置“9”
$\times$	0	1	1	0	0	0	0	置“9”
$\times$	0	0	$\times$	计 数				
$\times$	0	$\times$	0					
0	$\times$	0	$\times$					
0	$\times$	$\times$	0					

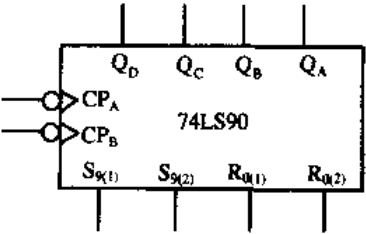


图 5.6 74LS90 框图

表 5.5 74LS90 的不同接线方式

进制 N	输 入		输 出
	$CP_A$	$CP_B$	
2	CP	$\times$	$Q_A$
5	$\times$	CP	$Q_D Q_C Q_B$
10	CP	$Q_A$	$Q_D Q_C Q_B Q_A$

由表 5.4 可知,74LS90 的主要功能如下:

- (1) 时钟由  $CP_A$  输入,  $Q_A$  输出,实现二进制计数,即  $Q_A$  对  $CP_A$  实现 2 分频。
- (2) 时钟由  $CP_B$  输入,由  $Q_D Q_C Q_B$  输出,为五进制加法计数器,其状态转换关系为 0

$\rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0$ , 即  $Q_D$  对  $CP_b$  实现 5 分频。

(3) 时钟由  $CP_a$  输入,  $CP_b$  与  $Q_A$  相连, 由  $Q_D Q_C Q_B Q_A$  输出, 实现十进制计数器, 编码是 BCD8421 码, 即  $Q_D$  对  $CP_a$  实现 10 分频。

(4)  $R_{0(1)}$ 、 $R_{0(2)}$  为置零端,  $R_{0(1)} R_{0(2)} = 1$  时置零;  $S_{9(1)}$ 、 $S_{9(2)}$  为置“9”端, 置“9”条件为  $S_{9(1)} S_{9(2)} = 1$ 。

(5) 通过置零端  $R_{0(1)}$ 、 $R_{0(2)}$  可改变计数长度, 构成 10 以下的任意进制计数器。

### 三、集成计数器采用反馈归零法连接成任意进制计数器

#### 1. 利用清零端 $C_r$ 修改计数进制的方法

如果使用的计数器有直接复位端(也叫做异步清零端), 可采用反馈归零法(也叫做复位法), 修改计数器的计数进制。为了得到任意模数  $M$  的计数器, 在  $M$  个计数脉冲作用下, 将计数器所有的触发器的输出端通过一个与门(或与非门)控制计数器的直接复位端, 使计数器回到全“0”状态, 从而变成了  $M$  进制计数器。下面以异步清除加法计数器为例说明反馈归零法的步骤。

(1) 按照计数器的码制写出模  $M$  的二进制代码, 它的特点是从全“0”开始的一段二进制编码。模  $M$ , 也就是从  $0 \sim (M-1)$ 。

(2) 写出反馈复位  $C_r$  的逻辑表达式, 即译码位的逻辑表达式  $C_r = \prod Q_M \cdot \prod Q_M$  代表计数器计数到  $M$  状态时, 输出为“1”状态的各个触发器  $Q$  端的与逻辑。有时也可有所简化。

(3) 如果计数器的直接复位端  $C_r$  为高电平有效, 则经与门反馈到  $C_r$  端; 如果计数器的直接复位端  $\bar{C}_r$  为低电平有效, 则可经与非门反馈到  $\bar{C}_r$  端。

(4) 画出将集成计数器修改成  $M$  进制的外部连线图。

#### 2. 反馈归零法的特点

用反馈归零法修改后的计数器, 计数器计数到译码位, 即  $M$  状态时, 才会归零, 于是在同一个时钟周期内, 先是  $M$  后是 0。状态  $M$  与全“0”合占 1 个时钟周期, 所以在触发器的  $Q$  端可能会出现瞬间尖峰。这种修改计数周期的方法, 稳定的最大数是  $M-1$ , 计数器是从 0 计数到  $M-1$ , 将集成计数器原有的编码从 0 开始保留一段, 去掉最后的若干个状态。一旦有 1 个触发器从“1”置为“0”, 则译码位的清零作用消失。如果某个触发器动作速度比较慢, 有可能清零失败而不能使全部触发器归零。解决的办法是通过一个基本 RS 触发器, 以保持清零电平, 使触发器全部清零。等到时钟的另外半个周期到来时, 使基本 RS 触发器置“1”, 解除对触发器的强迫置“0”。等到下一个时钟来到时, 计数器进入正常计数状态。

对于异步清零的加法计数器, 译码位  $M$  是不计算在计数器的状态之中的。若计数器更换为同步清零, 例如从 74LS161 更换为 74LS163, 其他都不改变。因为清零功能要时钟参与才能起作用, 所以译码位  $M$  要包括在计数器的状态之中, 即计数器是从  $0 \sim M$ , 而不是到  $M-1$ , 这一点请读者注意。

### 四、集成计数器采用置数法连接成任意进制计数器

如果计数器有并行置数控制端  $\bar{L}_D$  (也叫做同步置数端), 可采用置数法改变计数器的计数进制。置数法有 2 种情况。

### 1. 预置数 $N$ 是固定的情况

同步置数功能要在时钟的参与下才能实现。设预置数为  $N$ , 加到预置端的译码位为  $M$ 。若  $M > N$ , 则计数器的状态转换将从  $N$  到  $M$ , 计数周期为  $M - N + 1$ 。例如采用 2-16 进制加法计数器, 设  $M = 12, N = 3$ , 计数状态为  $3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 12 \rightarrow 3$ 。

若  $M < N$ , 则计数器将从  $N$  开始计数, 直至该计数器的最大数, 然后返 0, 从 0 开始计数至  $M$ , 然后预置到  $N$ , 计数器将跳去  $M$  至  $N$  之间的状态。例如对于采用 2-16 进制加法计数器, 设  $N = 13, M = 3$ , 计数的状态为  $13 \rightarrow 14 \rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 13$ 。

### 2. 预置数非固定的情况

当预置数是不固定的情况, 例如预置数端  $A、B、C$  接固定的“0”、“1”,  $D$  接某个触发器的  $Q$  端, 计数器的工作状态将在计数、预置之间转换。计数时计数器的状态连续变化, 预置时将跳过若干个状态。

## 五、集成计数器采用级联法连接成任意进制计数器

对于计数长度大于最大模数的计数器可用级联法来扩展。所谓级联法就是把 2 个以上的计数器串接起来, 从而得到一个预定的任意进制的计数器。例如, 把一个  $N_1$  进制的计数器和一个  $N_2$  进制的计数器串接起来, 可以构成  $N = N_1 N_2$  进制计数器。但必须注意, 凡是  $N$  为质数进制的计数器, 是无法用级联法来实现的。

## 5.3 例题分析

【例 5.1】用维持阻塞 D 触发器和与非门设计一个 3 位右移寄存器, 用一控制端  $X$  控制, 当  $X = 0$  时能串行输入新数据  $D_1$ , 当  $X = 1$  时具有自循环功能。

【解】根据题意  $D_2 = \bar{X}D_1 + XQ_0 = \bar{X}Q_0 + \bar{X}D_1$ , 很容易画出逻辑图 5.7。

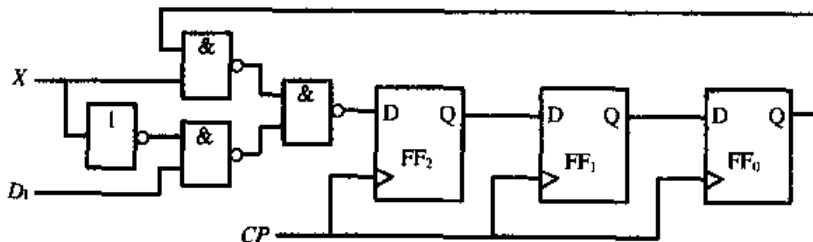


图 5.7 例 5.1 逻辑图

【例 5.2】试简述图 5.8 所示累加型串行加法器的工作原理。

【解】首先将被加数  $A$  和  $B$  分别存入累加器和加数寄存器, 并将进位寄存器 (图中的 D 触发器) 清零, 此时全加器对最低位  $A_0、B_0$  和  $C_{0-1}$  作加法运算, 得到和  $S_0$  及进位  $C_0$ 。当第 1 个  $CP$  脉冲到来时,  $S_0$  被存入累加器,  $C_0$  存入进位寄存器; 全加器对  $A_1、B_1$  和  $C_0$  作加法运算, 得到和  $S_1$  及进位  $C_1$ ……依次类推, 最后将运算结果存入累加器中。

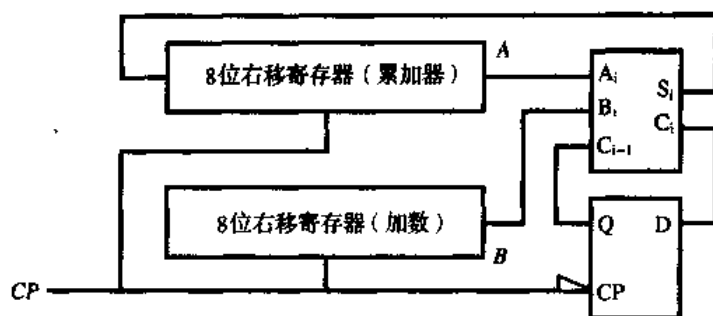


图 5.8 例 5.2 电路图

【例 5.3】 分析图 5.9(a)所示电路,说明电路具有什么功能。根据该电路触发器所具有的功能以及触发器之间触发脉冲级联的特点,试总结异步二进制计数器级联的规律。

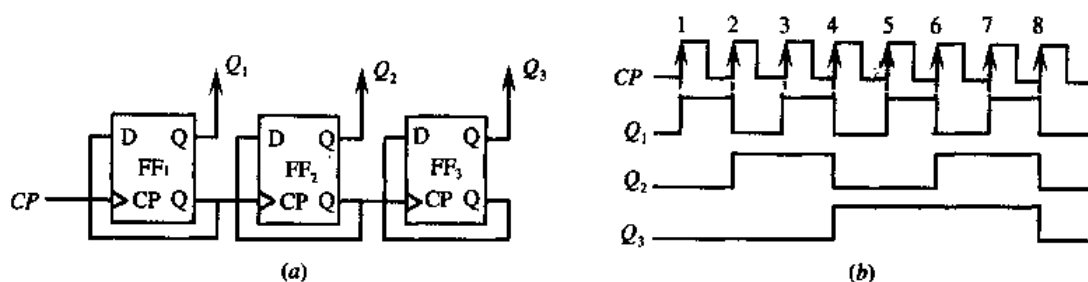


图 5.9 例 5.3 电路图和波形图

(a) 电路图; (b) 波形图。

【解】 由电路图可知,电路由 3 个 D 触发器构成的 T' 触发器组成,外接时钟源与最低位触发器的时钟端相连,高位触发器的 CP 与相邻低位触发器的  $\bar{Q}$  端相连,在时钟的上升沿触发器翻转。由此,可直接得到  $Q_3$ 、 $Q_2$ 、 $Q_1$  的时序关系,如图 5.9(b)所示。此电路是一个八进制加法计数器,也称为 3 位二进制计数器。在时钟 CP 的作用下,000,001...的状态依次出现,当 111 出现后,下个脉冲即第 8 个脉冲到来时,电路又回到了 000 状态。由此可见,每来 8 个脉冲,电路状态的变化循环 1 遍。

不难看出,若将低位触发器的 Q 端作为后一级触发器的触发脉冲,所有的触发器仍接成 T' 触发器,这时电路就变成了一个八进制减法计数器。

若用下降沿触发器来实现,其连接正好与上升沿触发器构成的电路相反。当低位的 Q 端作为后一级触发器的触发脉冲时,电路为加法计数;  $\bar{Q}$  端作为后一级触发器的触发脉冲时,电路为减法计数。

综上所述,异步二进制计数器由 T' 触发器组成,级间连接的规律如表 5.6 所列。

表 5.6 异步二进制计数器的级连

功能 \ 时钟	上升沿	下降沿
	$\bar{Q}_{i-1} \Rightarrow CP_{FF_i}$	$Q_{i-1} \Rightarrow CP_{FF_i}$
加法	$\bar{Q}_{i-1} \Rightarrow CP_{FF_i}$	$Q_{i-1} \Rightarrow CP_{FF_i}$
减法	$Q_{i-1} \Rightarrow CP_{FF_i}$	$\bar{Q}_{i-1} \Rightarrow CP_{FF_i}$



【例 5.4】 分析图 5.10 所示的电路,说明其功能。

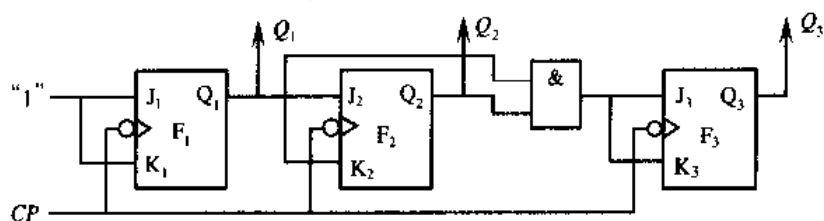


图 5.10 例 5.4 电路图

【解】

(1) 写出驱动方程和状态方程,即

$$J_1 = K_1 = 1, J_2 = K_2 = Q_1^n, J_3 = K_3 = Q_1^n Q_2^n$$

$$Q_1^{n+1} = \overline{Q_1^n}, Q_2^{n+1} = Q_1^n \oplus Q_2^n, Q_3^{n+1} = Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_1^n} Q_2^n Q_3^n$$

(2) 列出  $Q_3 Q_2 Q_1$  的状态转换表,如表 5.7 所列。

表 5.7 状态转换表

CP 的顺序	$Q_3$	$Q_2$	$Q_1$	CP 的顺序	$Q_3$	$Q_2$	$Q_1$
0	0	0	0	5	1	0	1
1	0	0	1	6	1	1	0
2	0	1	0	7	1	1	1
3	0	1	1	8	0	0	0
4	1	0	0				

(3) 该电路为同步八进制加法计数器(或称为 3 位二进制加法计数器)。

【例 5.5】 分析图 5.11 所示计数器电路。

(1) 画出状态转换图,指出是几进制计数器。

(3) 验证该计数器能否自启动,如果不能自启动,请修改电路,使之能自启动。

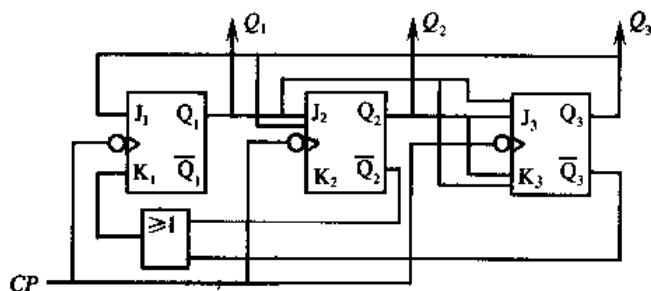


图 5.11 例 5.5 电路图

【解】 电路由 3 个下降沿 JK 触发器构成,均由同一个时钟 CP 触发,所以为同步计数器,其分析步骤如下:

(1) 写出驱动方程。由图 5.11 知

$$J_1 = Q_3, \quad J_2 = Q_1 Q_3, \quad J_3 = Q_1 Q_2$$

$$K_1 = \overline{Q_3} + Q_2, \quad K_2 = \overline{Q_3}, \quad K_3 = Q_1 Q_2$$

(2) 列状态转换表:先任意设电路  $Q_3Q_2Q_1$  的某一状态为初始状态,可得到触发器输入端 J、K 的状态,在时钟 CP 的作用下,可得到一个新的状态;再以此设为电路的原态,求出其次态,直至得到电路所有可能出现的状态的次态。

本例设  $Q_3Q_2Q_1$  的初始状态为 000,在 CP 的触发下,可得到其次态仍为 000。再设初态为 001,求得其次态,依次类推…如表 5.8 所列。

该电路为五进制计数器,不能自启动,可用次态卡诺图的方法,修改 000、001、010 的次态使之进入正常时序,并兼顾驱动方程最简,可将 000、001、010 的次态变为 100,画出次态卡诺图可得到  $J_3$  新的驱动方程,即  $J_3 = 1$ 。而  $K_3$ 、 $J_2$ 、 $K_2$ 、 $J_1$ 、 $K_1$  的驱动方程不变,这样就可以自启动。新的状态转换图如图 5.12 所示。

表 5.8 状态转换及状态转换条件表

$Q_3$	$Q_2$	$Q_1$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$
0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	1
0	0	1	0	0	0	1	0	1
0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	1	1	1
0	0	0	0	0	0	1	1	1
0	1	1	1	1	0	1	0	1
1	0	0	0	0	0	0	1	1
1	0	1	0	0	1	0	1	1
1	1	0	0	0	0	0	1	0
1	1	1	1	1	1	0	1	0

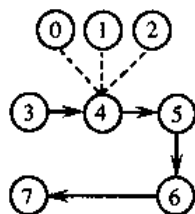


图 5.12 状态转换图

【例 5.6】 分析图 5.13(a)所示逻辑电路的工作过程。要求:

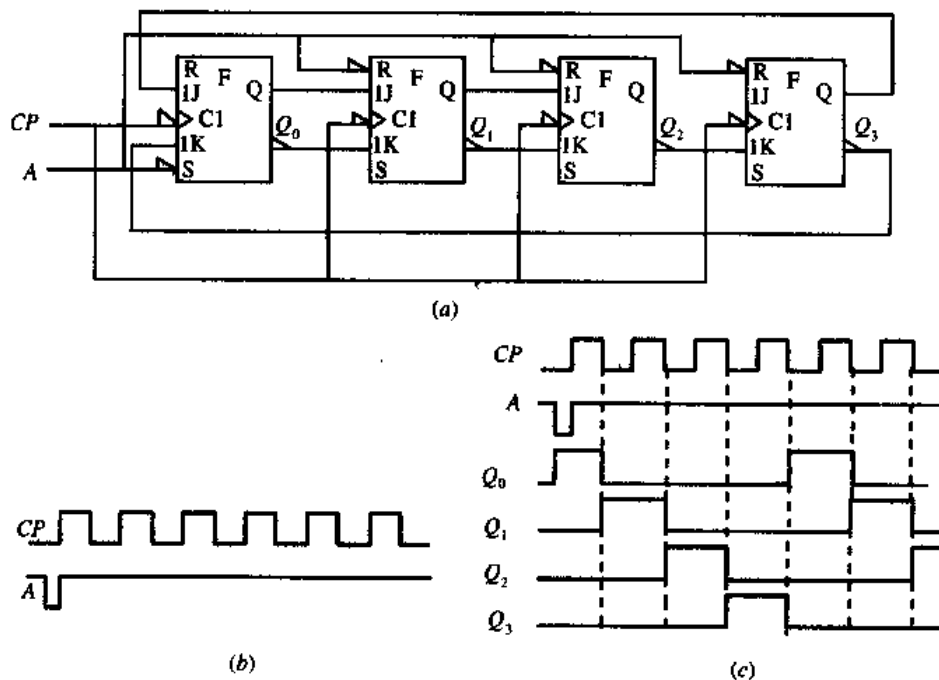


图 5.13 例 5.6 电路图和波形图

(a) 电路图; (b) 输入波形图; (c) 输出波形图。

(1) 在 5.13(b) 中画出对应  $CP$  和输入  $A$  的输出端  $Q_0$ 、 $Q_1$ 、 $Q_2$  和  $Q_3$  的波形。设初态为“0”

(2) 说明电路的逻辑功能。

【解】

(1) 对应  $CP$  和输入  $A$  的输出端  $Q_0$ 、 $Q_1$ 、 $Q_2$  和  $Q_3$  的波形如图 5.13(c) 所示。

(2) 电路的逻辑功能为环形计数器。

【例 5.7】 采用 JK 触发器组成电路, 得到图 5.14 所示的输出波形。

(1) 试问需要几个触发器。

(2) 设计该电路。

(3) 检验该电路能否自启动。

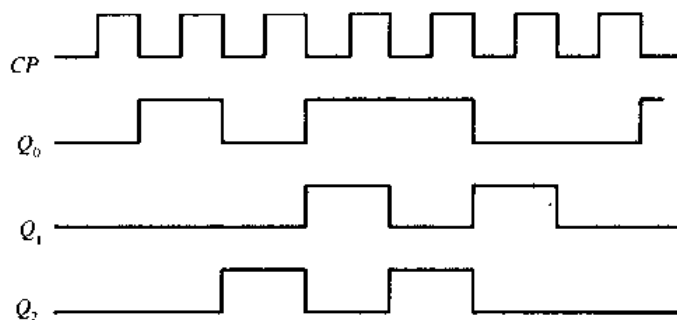


图 5.14 例 5.7 波形图

【解】 根据图 5.14 给出的波形可知, 要设计一个六进制计数器。同步计数器设计的一般步骤如下:

(1) 确定触发器的级数、类型。现要求设计的计数器有效状态为 6 个, 即  $M=6$ , 触发器的数目  $N$  应满足  $2^N \geq M$ , 需用 3 个 JK 触发器。

(2) 画  $Q^{n+1}$  卡诺图。将题意给定的状态及其变化的顺序填入次态卡诺图中, 除给定的 6 个状态外, 还有 2 个状态可作为任意项处理。  $Q^{n+1}$  的卡诺图如图 5.15 所示。

$Q_0^{n+1} Q_1^{n+1} Q_2^{n+1}$		$Q_1^n Q_0^n$			
$Q_2^n$		00	01	11	10
	0	001	100	101	000
1	011	010	×	×	

图 5.15 例 5.7 的卡诺图

(3) 求电路的驱动方程。图 5.15 中  $Q^{n+1}$  的卡诺图是由 3 个卡诺图构成, 由此可得到触发器的状态方程为

$$Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n$$

$$Q_1^{n+1} = Q_2^n \overline{Q_1^n}$$

$$Q_2^{n+1} = Q_0^n \overline{Q_2^n}$$

JK 触发器的特性方程为

$$Q^{n+1} = J_n \bar{Q}^n + \bar{K}_n Q^n$$

将状态方程与 JK 触发器的特性方程比较可得计数器的驱动方程为

$$J_0 = K_0 = \bar{Q}_1^n$$

$$J_1 = Q_2^n$$

$$J_2 = Q_0^n$$

$$K_1 = K_2 = 1$$

(4) 验证电路自启动。根据触发器的驱动方程,再找出 6 个设为无关项状态的次态,检查它们的次态是否能全部进入电路有效状态的循环圈中。若全部能进入,称电路能自启动;只要有 1 个状态的次态不能进入,就称电路为不能自启动。本例中有 2 个无效状态,经检验可以自启动。

【例 5.8】图 5.16 是由 JK 触发器构成的异步 BCD8421 码十进制计数器。

(1) 说明其工作原理。

(2) 将图 5.16(a)中的  $P_1$  和  $P_2$  间的连线断开,接入图 5.16(b)所示的电路,电路性能有什么改进?

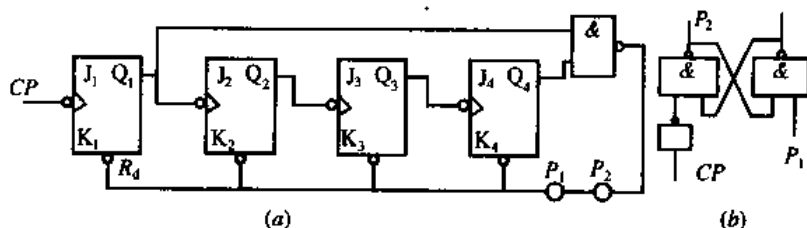


图 5.16 例 5.8 电路图

【解】

(1) 这是一个异步二进制加法计数器利用反馈复位法改变计数长度的例子,由于用  $\bar{R}_d$  端清零,因此是异步清零。十进制计数器可写出反馈函数  $\bar{R}_d = \bar{Q}_4 \cdot Q_1$ 。利用此法可得到计数长度小于 16 的任何进制计数器。

(2) 图中基本 RS 触发器的作用是使清零脉冲作用时间达到时钟信号的低电平宽度,使计数器可靠清零。

【例 5.9】试用集成中规模 4 位二进制计数器 74LS161 采用复位法(异步清零)和置数法(同步置数)分别实现十二进制计数器。

【解】

(1) 用复位法(异步清零)由 12 即 1100 作译码状态,可写出反馈函数  $C_r = \bar{Q}_D \bar{Q}_C$ ,如图 5.17 所示。

(2) 用置数法由  $[11]_{10}$  即 1011 产生置数信号,其反馈函数  $L_D = \bar{Q}_D \bar{Q}_B \bar{Q}_A$ ,所置的数为 0000,这种方法也称为置零法,如图 5.18 所示。

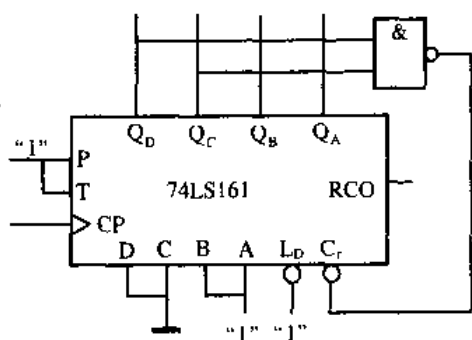


图 5.17 复位法电路图

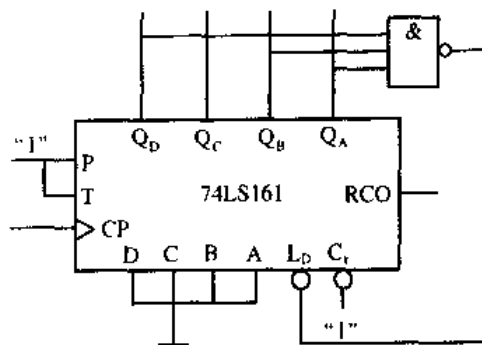


图 5.18 置数法电路图

【例 5.10】由 2 片 74LS161 组成的同步计数器如图 5.19 所示。

(1) 试分析其输出  $Y$  与  $CP$  间频率的关系？

(2) 试用 2 片 74LS161 组成模为 91 的计数器, 要求 2 片间采用异步串联法, 并工作可靠。

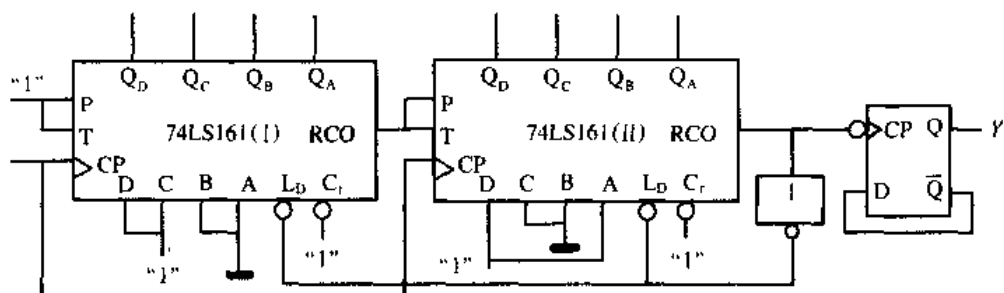


图 5.19 例 5.10 电路图

【解】本例是由 2 片 74LS161 器件和 D 触发器级联组成的计数分频电路。由第 1 片的进位输出对第 2 片使能, 并由第 2 片进位输出求反作为 2 片的置数信号, 分别置入 1100 和 1001。D 触发器组成一个 2 分频电路。

(1) 求电路的分频比及  $Y$  的频率。由电路可知, 只有当第 1 片进位输出为 1, 即计数器输出为 1111 时, 第 2 片才进入计数状态; 而当第 2 片输出为 1111 时, 2 片进入置数状态, 所以得到计数器的状态转换表如表 5.9 所列。

表 5.9 状态转换表

$Q_D$	$Q_C$	$Q_B$	$Q_A(II)$	$Q_D$	$Q_C$	$Q_B$	$Q_A(I)$	$Q_D$	$Q_C$	$Q_B$	$Q_A(II)$	$Q_D$	$Q_C$	$Q_B$	$Q_A(I)$
1	0	0	1	1	1	0	0	1	0	1	1	0	0	0	0
1	0	0	1	1	1	0	1								
1	0	0	1	1	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	1	1								
1	0	1	0	0	0	0	0	1	1	1	1	0	0	0	0
1	0	1	0	0	0	0	1								
								1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1								



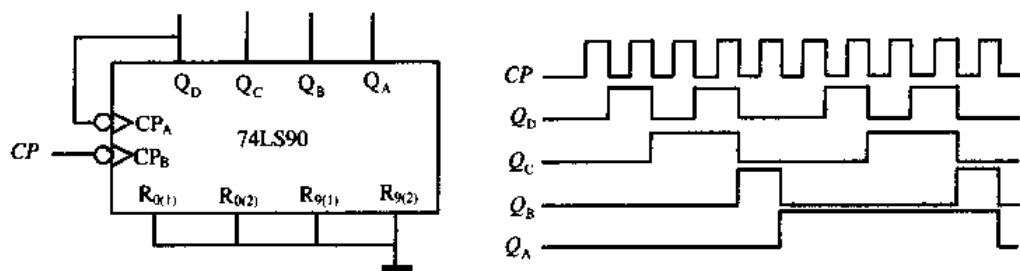


图 5.21 例 5.11 电路图及波形图

【例 5.12】 试用 74LS90 异步 2-5 分频十进制计数器及必要的门电路实现七进制计数器。

【解】 由 74LS90 的功能表可知, 当且仅当  $R_{0(1)} R_{0(2)} = 1$  时复位; 并设有置“9”功能, 当且仅当  $S_{9(1)} S_{9(2)} = 1$  时置“9”(1001), 均为异步控制。本例要求实现  $M=7$  的计数分频, 可用复位法来实现, 即令  $R_{0(1)} R_{0(2)} = Q_C Q_B Q_A$ 。由于是异步清零, 为了能可靠清零, 可采用基本 RS 触发器。电路如图 5.22 所示。

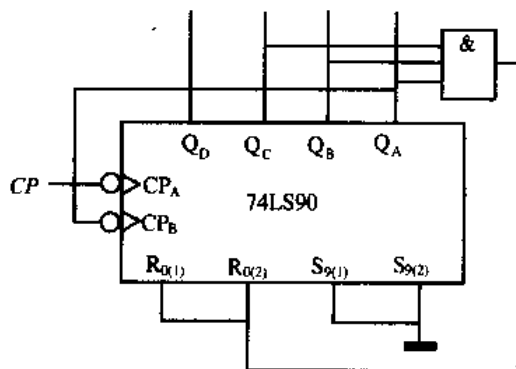


图 5.22 例 5.12 电路图

【例 5.13】 图 5.23 为由集成异步计数器 74LS93 构成的级联电路, 试说明它是多少进制的计数器。

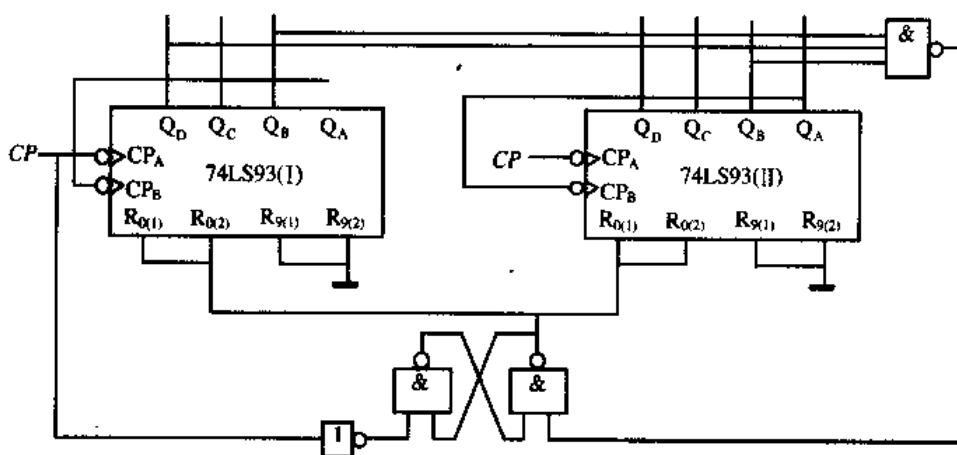


图 5.23 例 5.13 电路图

【解】 由电路图可见,其2片74LS93器件均接成2-8分频十六进制计数器,高位片进位脉冲由低位I输出 $Q_D$ 提供,其反馈函数译码状态高位片II为0010,低位片为1010。因此,计数长度为 $16 \times 2 + 10 = 42$ ,即该电路为四十二进制计数器。

【例 5.14】 图5.24所示电路是由2-5分频十进制计数器74LS90和4位全加器74LS283组成,回答下列问题:

- (1) 计数器74LS90的输出 $Q_D Q_C Q_B Q_A$ 采用的是何种编码?
- (2)  $S_4 S_3 S_2 S_1$ 采用的是何种编码?

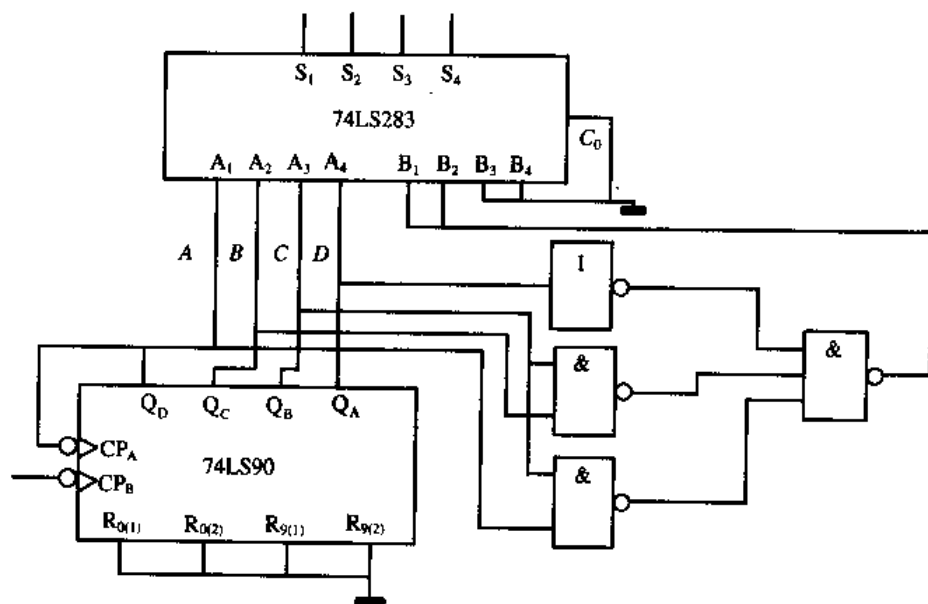


图 5.24 例 5.14 电路图

【解】

(1) 74LS90 是 2-5 分频十进制加法计数器。时钟由  $CP_A$  输入,  $CP_B$  与  $Q_A$  相连, 由  $Q_D Q_C Q_B Q_A$  输出, 实现十进制计数器, 编码是 BCD8421 码。

(2)  $B_2 = B_1 = \overline{D} \cdot \overline{CB} \cdot \overline{CA} = D + CB + CA$ ,  $B_4 = B_3 = 0$ 。

状态转换表如表 5.11 所列。

表 5.11 状态转换表

DCBA	$B_4 B_3 B_2 B_1$	$S_4 S_3 S_2 S_1$
0000	0000	0000
0001	0000	0001
0010	0000	0010
0011	0000	0011
0100	0000	0100
0101	0011	1000
0110	0011	1001
0111	0011	1010
1000	0011	1011
1001	0011	1100



输入  $DCBA$  为 BCD8421 码, 由表可知  $S_4S_3S_2S_1$  为 BCD5421 码。

【例 5.15】 电路如图 5.25 所示, 74LS085 为比较器。当  $A = B$  时,  $P_{(A=B)} = 1$ , 否则  $P_{(A=B)} = 0$ 。试问:

- (1) 简述电路的工作原理。
- (2) 当  $I_4I_3I_2I_1 = 1001$  时, 电路中从  $Q_4Q_3Q_2Q_1$  输出构成几进制计数器?

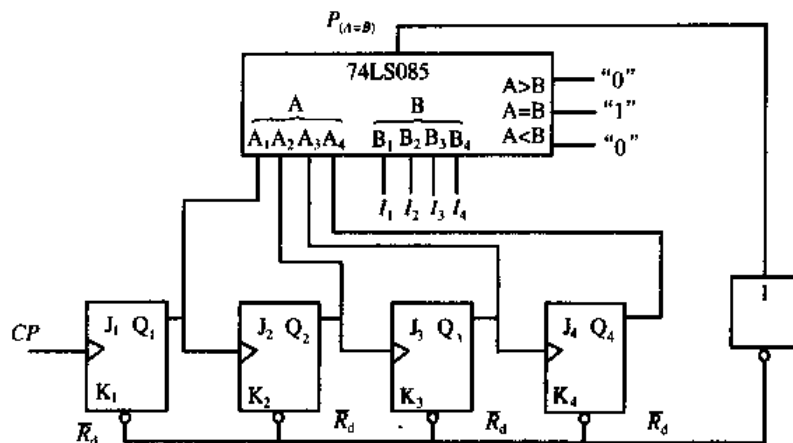


图 5.25 例 5.15 电路图

【解】

(1) 4 个 JK 触发器构成了异步减法计数器。当  $A_4A_3A_2A_1$  与  $B_4B_3B_2B_1$  相等时,  $P_{A=B} = 1, \bar{R}_d = 0$ , 计数器清零; 当  $A_4A_3A_2A_1$  与  $B_4B_3B_2B_1$  不相等时,  $P_{(A=B)} = 0$ 。

(2) 当  $I_4I_3I_2I_1 = 1001$  时,  $A_4A_3A_2A_1$  为 1001 时,  $P_{(A=B)} = 1, \bar{R}_d = 0$ , 计数器清零。此时的状态转换图如图 5.26 所示。

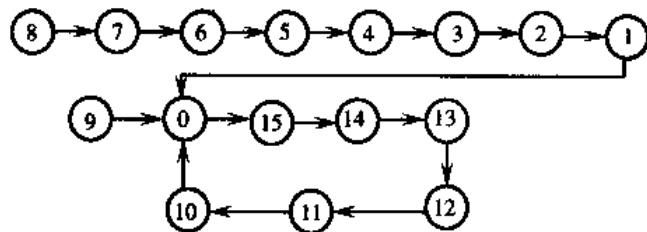


图 5.26 例 5.15 状态转换图

## 5.4 自我测试

【题 5.1】 选择与填空:

1. 对于逻辑电路(组合逻辑电路和时序逻辑电路), 下列哪种说法正确?

- A. 从电路结构上讲, 时序逻辑电路应包括组合逻辑电路和存储电路两大部分, 而且从输出到输入之间应有反馈路径。
- B. 时序电路任一时刻更新后的输出状态(次态)不仅与当时输入变量的状态有关, 而且与电路原来所处的状态(原态)有关。
- C. 电路结构上讲, 组合逻辑电路应包括时序逻辑电路和存储电路两大部分, 而且



- B. 十二进制加法计数器  
C. 十五进制加法计数器  
D. 七进制加法计数器

5. 采用 74LS90 异步 2-5 分频十进制计数器构成的电路如图 5.30 所示, 选择正确答案。

- A. 十进制加法计数器  
B. 十二进制加法计数器  
C. 十五进制加法计数器  
D. 七进制加法计数器

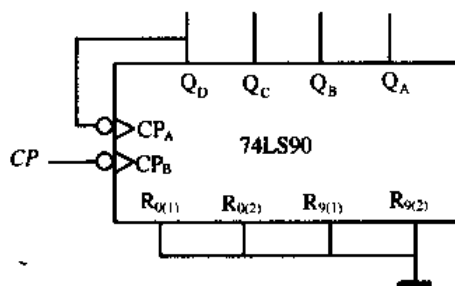


图 5.30 电路图

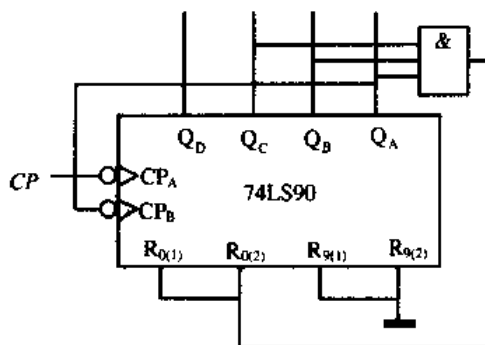


图 5.31 电路图

6. 采用 74LS90 异步 2-5 分频十进制计数器构成的电路如图 5.31 所示, 选择正确答案。

- A. 七进制加法计数器  
B. 十二进制加法计数器  
C. 十五进制加法计数器  
D. 六进制加法计数器
7. 指出下列各种触发器中, 不能组成移位寄存器的触发器。  
A. 基本 RS 触发器  
B. 同步 RS 触发器  
C. 主从 JK 触发器  
D. 维持阻塞 D 触发器
8. 某 512 位串行输入串行输出右移寄存器, 已知时钟频率为 4MHz, 数据从输入端到输出端被延迟多长时间?

- A.  $128\mu\text{s}$   
B.  $256\mu\text{s}$   
C.  $512\mu\text{s}$   
D.  $1024\mu\text{s}$

9. 在二进制异步计数器中, 请将正确的进位端或借位端( $Q$  或  $\bar{Q}$ )填入表 5.12 中。

表 5.12 第 9 题异步计数器功能表

上升沿触发	加法计数器	减法计数器
	由 ____ 端引出进位	由 ____ 端引出借位

- A.  $\bar{Q}, Q$   
B.  $Q, \bar{Q}$

10. 在二进制异步计数器中, 请将正确的进位端或借位端( $Q$  或  $\bar{Q}$ )填入表 5.13 中。

表 5.13 第 10 题异步计数器功能表

下降沿触发	加法计数器	减法计数器
	由 ____ 端引出进位	由 ____ 端引出借位

- A.  $\bar{Q}, Q$   
B.  $Q, \bar{Q}$

【解】

1. A 2. B 3. B 4. C 5. A 6. A 7. A 8. A 9. A 10. B

【题 5.2】由 D 触发器构成的 3 位环扭型计数器电路如图 5.32 所示, 电路不能自启动, 合理修改反馈逻辑, 使电路能自启动。画出修改后的电路及状态转换图。

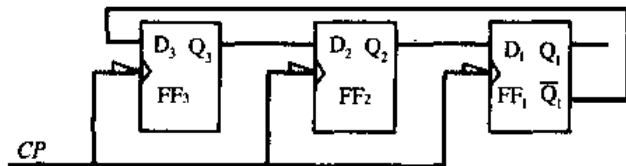


图 5.32 题 5.2 电路图

【简答】对图 5.32 进行分析, 可得到图 5.33 所示的状态转换图, 电路不能自启动。

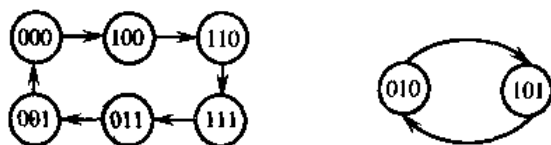


图 5.33 题 5.2 状态转换图

若将无效循环的环打开, 使其中的状态码有 1 个在 CP 作用下能进入到有效状态的循环圈中, 则电路就能够自启动了。本例中修改 101 的下一个状态, 使之变为 110, 则可设计出新的反馈逻辑式, 其具体的设计步骤如下:

(1) 画经过修改次态后电路的  $Q^{n+1}$  的卡诺图。有效循环状态及相应的次态不变, 无效状态 010 的次态不变, 101 的次态修改为 110, 画出的卡诺图如图 5.34 所示。

(2) 化简  $Q^{n+1}$  的卡诺图, 可得出修改后的驱动方程, 分别为

$$D_3 = \overline{Q_1} \overline{Q_2} Q_3, D_2 = Q_3, D_1 = Q_2$$

$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$			$Q_2^n Q_1^n$			
			00	01	11	10
$Q_3^n$	0	100	000	001		
	1	110		011	111	

$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$			$Q_2^n Q_1^n$			
			00	01	11	10
$Q_3^n$	0	100	000	001	101	
	1	110	110	011	111	

图 5.34 题 5.2 卡诺图

(3) 画逻辑图(略)。

(4) 检查电路的自启动情况, 画完整的状态转换图, 如图 5.35 所示。

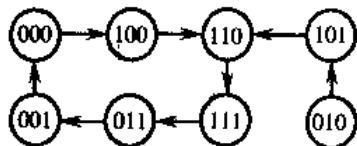


图 5.35 题 5.2 修改后的状态转换图

【题 5.3】电路如图 5.36 所示, 假设初始状态  $Q_2 Q_1 Q_0 = 000$ 。

(1) 试分析由  $FF_1$  和  $FF_0$  构成的是几进制计数器。



(3)  $X=1$  时, 在  $CP$  脉冲作用下的  $Q_1$ 、 $Q_2$  和输出  $Z$  的波形如图 5.39 所示。

表 5.14 状态转换表

$X=0$		$X=1$	
$Q_2$	$Q_1$	$Q_2$	$Q_1$
0	0	0	0
1	1	1	0
1	0	0	1
0	1	0	0
0	0		

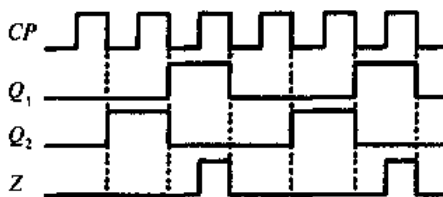


图 5.39 题 5.4 波形图

【题 5.5】 电路如图 5.40 所示, 假设初始状态  $Q_A Q_B Q_C = 000$ 。

- (1) 写出驱动方程, 列出状态转换表, 画出完整的状态转换图。
- (2) 试分析由  $FF_a$ 、 $FF_b$  和  $FF_c$  构成的是几进制的计数器。

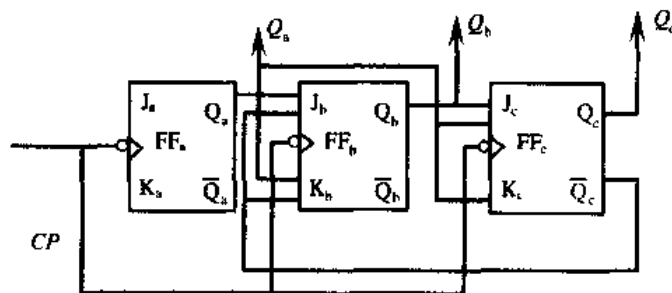


图 5.40 题 5.5 电路图

【简答】

(1) 驱动方程为

$$J_a = K_a = 1$$

$$J_b = K_b = Q_a^n \cdot \overline{Q_c^n}$$

$$J_c = Q_a^n Q_b^n, K_c = Q_a^n$$

状态方程为

$$Q_a^{n+1} = \overline{Q_a^n}$$

$$Q_b^{n+1} = Q_a^n \overline{Q_c^n} Q_a^n + \overline{Q_a^n} \overline{Q_b^n} Q_a^n$$

$$Q_c^{n+1} = Q_a^n Q_b^n Q_c^n + \overline{Q_a^n} Q_c^n$$

状态转换表如表 5.15 所列, 状态转换图如图 5.41 所示。

表 5.15 状态转换表

$CP$	$Q_c^n$	$Q_b^n$	$Q_a^n$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

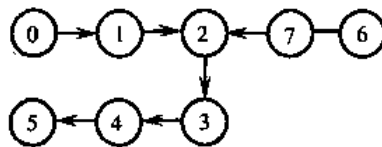


图 5.41 状态转换图

(2) 由  $FF_a$ 、 $FF_b$  和  $FF_c$  构成的是六进制加法计数器。

【题 5.6】分析图 5.42 所示计数器电路,画出完整的状态转换图,说明其功能。

【简答】分析过程略,状态转换图如图 5.43 所示( $Q_1$  为高位),其功能为跳全“0”的 3 位扭环型计数器。

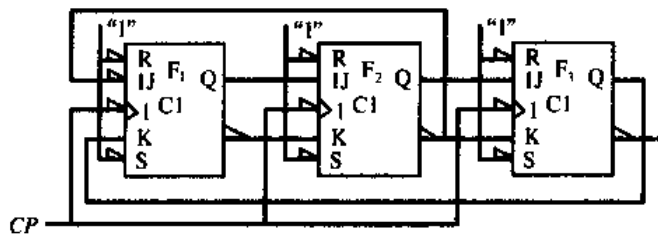


图 5.42 题 5.6 电路图

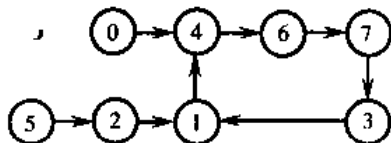


图 5.43 题 5.6 状态转换图

【题 5.7】用 JK 触发器设计一个同步五进制加法计数器。要求写出全部设计过程,并验证自启动。

【简答】

(1) 确定触发器的级数和类型。由于要设计同步五进制( $N=5$ )加法计数器,因此应选用 3 级( $n=3$ ),使得满足  $2^n \geq N$ 。由于 JK 触发器的功能最全,因此选择 JK 触发器实现。

(2) 画次态卡诺图。将题意给定的状态及其变化的顺序填入卡诺图中,除自己给定的 5 个状态外,还有 3 个状态可作为任意项处理。次态卡诺图如图 5.44 所示。

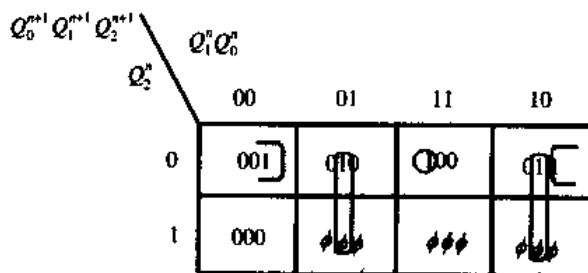


图 5.44 题 5.7 的卡诺图

(3) 求电路的驱动方程。图 5.44 中  $Q^n+1$  的卡诺图是由 3 个卡诺图构成,由此可得到触发器的状态方程为

$$Q_0^{n+1} = \overline{Q_1^n} \overline{Q_2^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_2^n}$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n$$

JK 触发器的特征方程为

$$Q^{n+1} = J_n \overline{Q^n} + \overline{K_n} Q^n$$

将状态方程与 JK 触发器的特征方程比较,可得到计数器的驱动方程,即

$$J_0 = \overline{Q_2^n}$$

$$J_1 = K_1 = Q_0^n$$

$$J_2 = Q_1^n Q_0^n$$

$$K_0 = K_2 = 1$$

(4) 验证电路的自启动。根据求得的各触发器的驱动方程,再找出 3 个设为无关项的状态的次态,检查它们的次态是否能全部进入电路有效状态的循环圈中。经验证该电路能自启动。状态转换图如图 5.45 所示。

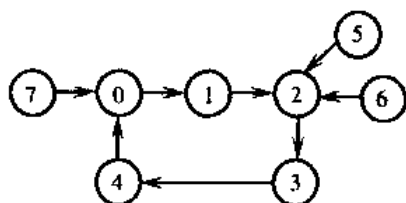


图 5.45 题 5.7 状态转换图

(5) 根据驱动方程,绘制电路图(略)。

【题 5.8】 分析图 5.46 所示由 74LS161 构成的电路。

(1) 画出完整的状态转换图。

(2)  $Q_D$  相对于  $CP$  是几分频,  $Q_D$  的占空比是多少?

【简答】

(1) 状态转换图如图 5.47 所示。

(2)  $Q_D$  相对  $CP$  为 10 分频,  $Q_D$  的占空比是 50%。

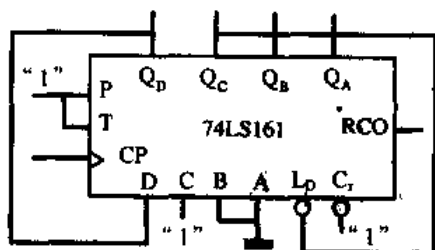


图 5.46 题 5.8 电路图

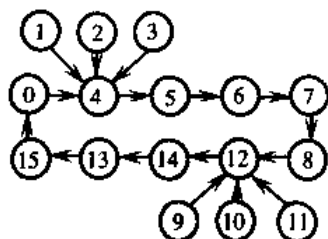


图 5.47 题 5.8 状态转换图

【题 5.9】 中规模 4 位二进制同步加法计数器 74LS161 构成的电路如图 5.48 所示。试列出其状态转换表,画出完整的状态转换图,说明它是几进制计数器? 何种编码?

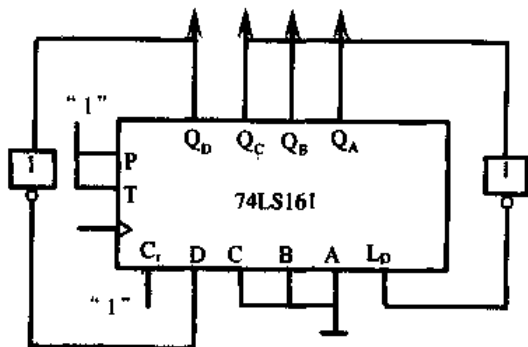


图 5.48 题 5.9 电路图



[简答] 列出状态转换表如表 5.16 所列, 状态转换图如图 5.49 所示。它是十进制的加法计数器, 采用的是 BCD5421 码。

表 5.16 题 5.9 的状态转换表

CP	$Q_4$	$Q_3$	$Q_2$	$Q_1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	0	0	0	0

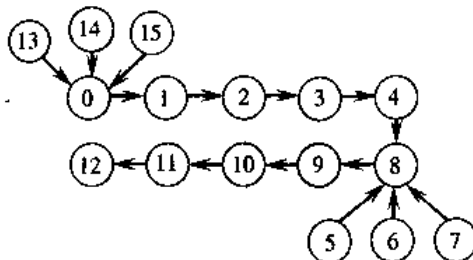


图 5.49 状态转换器

【题 5.10】 分析图 5.50 所示的电路, 说明它们分别是多少进制计数器? 并回答: 若将图(a)中与非门 G 的输出改接至  $C_r$  端, 而令  $L_D = 1$ , 电路变为几进制? 图(b)是何种编码?

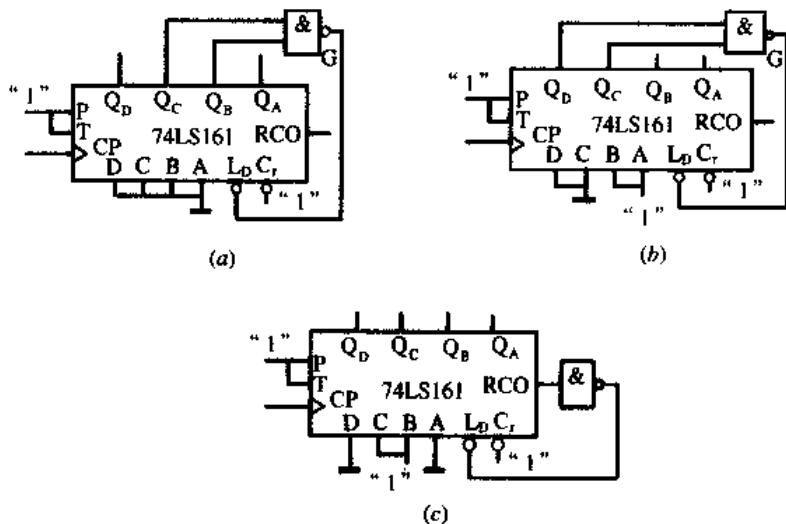


图 5.50 题 5.10 电路图

(a) 七进制计数器; (b) 十进制计数器; (c) 十进制计数器。

[简答]

(1) 图 5.50(a) 是七进制计数器, 图 5.50(b) 是十进制计数器, 图 5.50(c) 是十进制计数器 ( $6 \rightarrow 7 \rightarrow 8 \rightarrow \dots \rightarrow 15 \rightarrow 6$ )。

(2) 将图 5.50(a) 中与非门 G 的输出改接至  $C_r$  端, 而令  $L_D = 1$ , 电路变为六进制。

(3) 图 5.50(b) 电路的输出采用的是余三码。

【题 5.11】 图 5.51 为由集成异步计数器 74LS90、74LS93 构成的电路, 试分别说明它们是多少进制的计数器。

[简答] 图(a)为三进制计数器, 图(b)为四进制计数器, 图(c)为七进制计数器, 图(d)为十二进制计数器, 图(e)为三十七进制计数器。

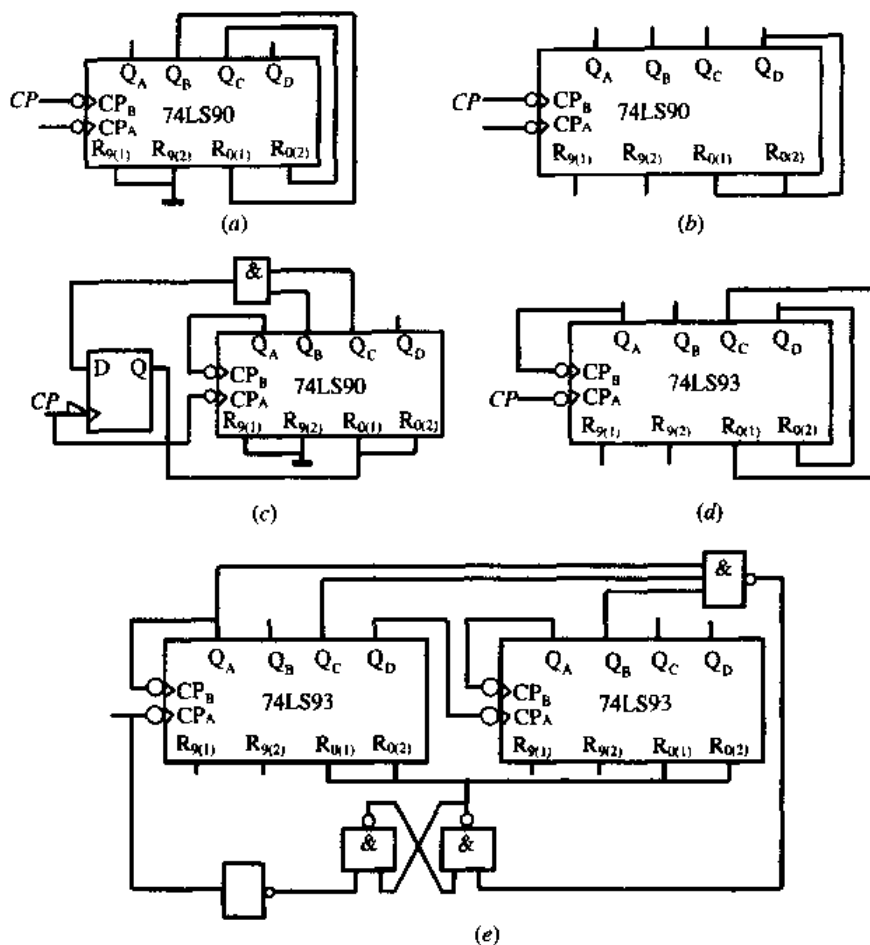


图 5.51 题 5.11 电路图

(a) 三进制计数器; (b) 四进制计数器; (c) 七进制计数器; (d) 十二进制计数器; (e) 三十七进制计数器。

**【题 5.12】** 图 5.52 所示为一个可变进制计数器。其中 74LS138 为 3 线 - 8 线译码器, 当  $S_1 = 1$  且  $S_2 = \bar{S}_3 = 0$  时, 它进行译码操作, 即当  $A_2A_1A_0$  从 000 到 111 变化时,  $\bar{Y}_1 \sim \bar{Y}_7$  依次被选中而输出低电平。T1153 为四选一数据选择器。试问当  $M$ 、 $N$  为不同输入

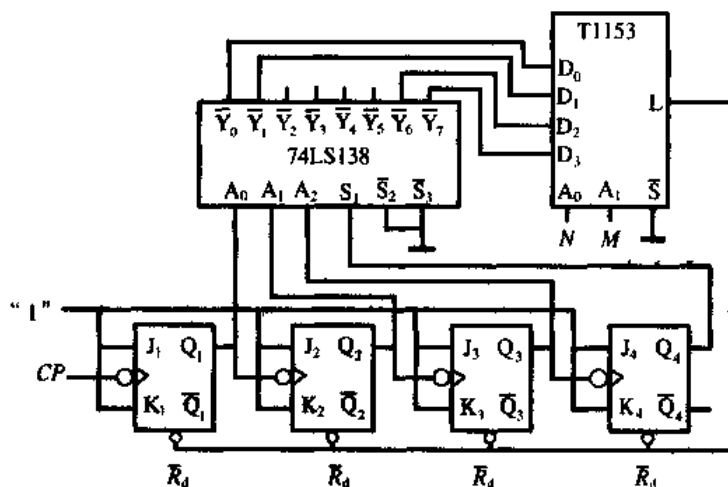


图 5.52 题 5.12 电路图

时,可组成几种不同进制的计数器?分别是几进制?简述理由。

【简答】 当  $MN$  为各种不同输入时,可组成 4 种不同进制的计数器。当  $MN = 00$  时,为八进制计数器;当  $MN = 01$  时,为九进制计数器;当  $MN = 10$  时,为十四进制计数器;当  $MN = 11$  时,为十五进制计数器。

【题 5.13】 设计用于步进电机驱动电路的序列脉冲发生器。步进电机有 A、B、C、D、E 5 相绕组,工作时的导通顺序为 AB—ABC—BC—BCD—CD—CDE—DE—ADE—AE—ABE—AB。

【简答】

(1) 状态转换表如表 5.17 所列。

表 5.17 状态转换表

$CP$	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$Q_E$	$D_A$	$D_B$	$D_C$	$D_D$	$D_E$
0	1	1	0	0	0	1	1	1	0	0
1	1	1	1	0	0	0	1	1	0	0
2	0	1	1	0	0	0	1	1	1	0
3	0	1	1	1	0	0	0	1	1	0
4	0	0	1	1	0	0	0	1	1	1
5	0	0	1	1	1	0	0	0	1	1
6	0	0	0	1	1	1	0	0	1	1
7	1	0	0	1	1	1	0	0	0	1
8	1	0	0	0	1	1	1	0	0	1
9	1	1	0	0	1	1	1	0	0	0
10	1	1	0	0	0	1	1	1	0	0

(2) 此题的驱动方程可以由卡诺图求出,但此题规律性很强,通过观察不难得到。

$$D_A = \bar{Q}_C, D_B = \bar{Q}_D, D_C = \bar{Q}_E, D_D = \bar{Q}_A, D_E = \bar{Q}_B$$

## 第6章 半导体存储器

### 6.1 学习要点

- (1) 只读存储器(ROM)。
- (2) 随机存储器(RAM)。

### 6.2 重点难点

大规模集成电路的种类很多,在本章中只对半导体存储器进行介绍。半导体存储器是由多个存储单元组成,每个单元都能存放1位二进制数“1”或“0”,通常将其存储单元的个数叫做存储容量。半导体存储器分为只读存储器(ROM)和随机存储器(RAM)2种。

#### 6.2.1 只读存储器(ROM)

只读存储器的特点是信息存入以后不能简单随意地修改,即在使用时只能读出信息,不能随意改写信息,按其写入方式,一般分为3种:固定内容ROM、可编程ROM(PROM)和可擦除型的EPROM(EPROM为紫外线擦除,E<sup>2</sup>PROM为电擦除)。

ROM的内容在出厂时已固定,用户无法修改。电路结构主要包括3部分:地址译码器、存储矩阵和输出缓冲器,如图6.1所示。

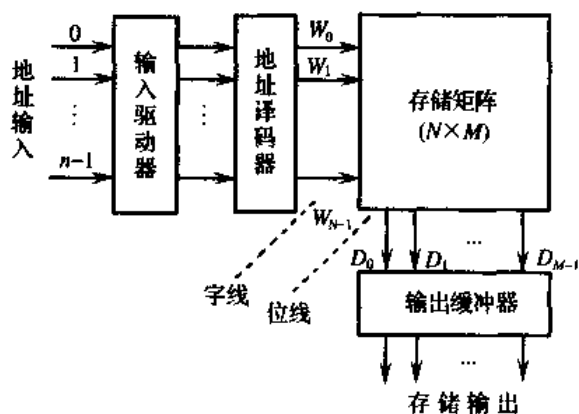


图 6.1 ROM 的结构图

图6.1中地址译码器有 $n$ 个输入,输出 $N$ 条字线( $N=2^n$ ),用 $W_0, W_1, \dots, W_{N-1}$ 表示。存储矩阵有 $M$ 条位线,字线 $\times$ 位线即是存储矩阵的存储容量,用 $N \times M$ 表示。

#### 1. 固定内容ROM

由于固定内容ROM所存储的信息不能修改,断电后信息不消失,所以常用来存储固

定的程序和数据。如在计算机中,用来存放监控、管理等专用程序。

## 2. PROM

PROM 称为可 1 次编程 ROM。这种存储器在出厂时未存入数据信息。单元可视为全“0”或全“1”,用户可按设计要求将所需存入的数码“一次性地写入”,一旦写入后就不能再改变了。

## 3. 可擦除型的 EPROM

为了克服 PROM 只能写入 1 次的缺点,又出现了多次可擦除可编程的存储器,称为 EPROM(Erasable Programmable Read Only Memory)。它是采用一种浮栅雪崩注入 MOS 管 FAMOS(Floating gate Avalanche injection MOS 的缩写)来实现的。擦除的办法有 2 种:用紫外线照射(称 UVEPROM)或加擦除控制电压擦除(称 EEPROM 或  $E^2$ PROM),数据的写入可用编程软件来实现。后者的可靠性及重复改写寿命不如前者,所以前者用得普遍。

## 4. 集成只读存储器

在集成只读存储器中,最常用的是 EPROM,EPROM 有 2716、2732、2764、27128 等型号。存储容量分别为  $2k \times 8$  位、 $4k \times 8$  位、 $8k \times 8$  位、 $16k \times 8$  位(型号 27 后面的数字即为以千字节计的存储容量)。下面以 EPROM2764 为例说明它的 5 种工作方式,如表 6.1 所列。管脚引线如图 6.2 所示,共有 28 个管脚:除电源( $V_{CC}$ )和地(GND)外, $A_{12} \sim A_0$  为地址译码器输入端;数据输出端有 8 位,即它有  $2^{13}$  条字线,8 条位线,存储容量为  $2^{13} \times 8$ ;  $\overline{CE}$  是片选端, $\overline{CE}$  等于高电平时 2764 为高阻,与总线脱离,芯片不工作;  $\overline{PGM}$  为编程脉冲输入线;  $\overline{CE}$  数据输出选通线;  $V_{CC}$  为工作电源,  $V_{CC} = 5V$ ,工作电流为 100mA,维持电流为 50mA;  $V_{PP}$  为编程电源,编程时为 25V,读出时  $V_{PP} = 5V$ ;  $I/O_0 \sim I/O_7$  为 8 位输出线。

EPROM 擦除需紫外光专用设备,约需时间 15min ~ 20min,写入时需要较高的电压,更改存储的数据不太方便。而  $E^2$ PROM 在写数据时不需要较高的电压,用电擦除所需时间也很短(几十毫秒),型号如 2815、2816 和 58064 等。

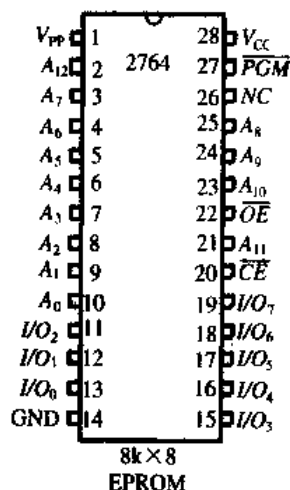


图 6.2 EPROM2764 管脚图

表 6.1 EPROM2764 的工作方式

工作方式	$\overline{CE}(20)$	$\overline{OE}(22)$	$\overline{PGM}(27)$	$V_{PP}(1)$	$V_{CC}(28)$	输出 (11 ~ 13, 15 ~ 19)
读出	$V_{IL}$	$V_{IL}$	$V_{IH}$	$V_{CC}$	$V_{CC}$	DOUT
维持	$V_{IH}$	任意	任意	$V_{CC}$	$V_{CC}$	高阻
编程	$V_{IL}$	$V_{IH}$	$V_{IL}$	$V_{PP}$	$V_{CC}$	DIN
编程检验	$V_{IL}$	$V_{IL}$	$V_{IH}$	$V_{PP}$	$V_{CC}$	DOUT
编程禁止	$V_{IH}$	任意	任意	$V_{PP}$	$V_{CC}$	高阻

### 6.2.2 随机存储器(RAM)

#### 1. RAM 的结构

RAM(Random Access Memory)通常称为随机存储器,它的特点是在工作过程中,数据可以随时写入和读出,使用灵活方便,但所存数据在断电后消失。

RAM 电路由地址译码器、存储矩阵和读/写控制电路组成,如图 6.3 所示。RAM 中的核心是基本存储单元,其结构有 MOS 型和双极型 2 种。按工作原理,又分为静态 RAM(SRAM)和动态 RAM(DRAM)2 种。

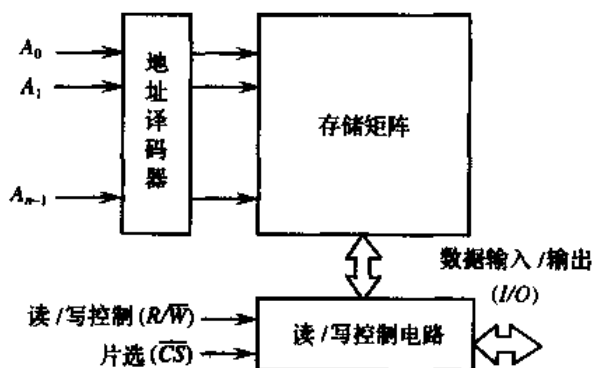


图 6.3 RAM 的结构框图

#### 2. 集成 RAM

集成 RAM 的种类很多。静态 RAM 如 2114(容量为  $1KB \times 4$ )、6116( $2KB \times 8$ )；动态 RAM 如 4116( $16KB \times 1$ )、4164( $64KB \times 1$ )、6264( $8KB \times 8$ )。下面以 MOTOROLA 公司生产的 MCM6264 为例,说明 RAM 的使用情况。图 6.4 为 MCM6264 的管脚图。其中  $A_{12} \sim A_0$  为 13 根地址线( $2^{13} = 8 \times 1024$ , 即  $8KB$ )； $DQ_7 \sim DQ_0$  为 8 位写入/读出数据线； $E_1$ 、 $E_2$  为片选端； $G$ 、 $W$  为读写控制端。表 6.2 为功能表。

存储器在使用过程中如果容量不够,可以进行扩展。用相同型号的存储器进行位数扩展时,将各片对应的地址线、片选端、读写控制端分别接在一起,各片的数据输出端并列使用即可,用 2 片 2114 构成的  $1KB \times 8$  的存储器,如图 6.5 所示。

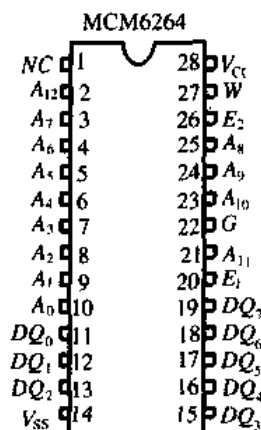


表 6.2 功能表

$E_1$	$E_2$	$G$	$W$	方式	I/O
H	×	×	×	无选择	高阻态
×	L	×	×	无选择	高阻态
L	H	H	H	输出禁止	高阻态
L	H	L	H	读	DO
L	H	×	L	写	DI

图 6.4 MCM6264 管脚图

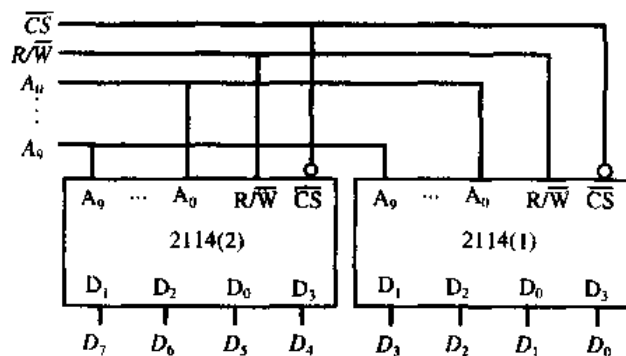


图 6.5 RAM(2114)位数扩展连接图

### 6.3 例题分析

**【例 6.1】** 试设计一个用 ROM 电路实现的比较器,用来比较 2 个 2 位二进制数  $A_1A_0$  和  $B_1B_0$ :当  $A_1A_0 < B_1B_0$  时,  $Y_1(A < B) = 1$ ;当  $A_1A_0 = B_1B_0$  时,  $Y_2(A = B) = 1$ ;当  $A_1A_0 > B_1B_0$  时,  $Y_3(A > B) = 1$ 。

**【解】** 依照题意,输入变量  $A_1A_0B_1B_0$  有 16 种取值关系,按要求列出真值表,如表 6.3 所列。

表 6.3 例 6.1 真值表

$A_1$	$A_0$	$B_1$	$B_0$	$Y_1$	$Y_2$	$Y_3$	$A_1$	$A_0$	$B_1$	$B_0$	$Y_1$	$Y_2$	$Y_3$
0	0	0	0	0	1	0	1	0	0	0	0	0	1
0	0	0	1	1	0	0	1	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0	1	0	1	0	0
0	0	1	1	1	0	0	1	0	1	1	1	0	0
0	1	0	0	0	0	1	1	1	0	0	0	0	1
0	1	0	1	0	1	0	1	1	0	1	0	0	1
0	1	1	0	1	0	0	1	1	1	0	0	0	1
0	1	1	1	1	0	0	1	1	1	1	0	1	0

根据真值表,可写出输出  $Y_1$ 、 $Y_2$ 、 $Y_3$  的逻辑函数式,分别为

$$Y_1 = \sum m(1, 2, 3, 6, 7, 11)$$

$$Y_2 = \sum m(0, 5, 10, 15)$$

$$Y_3 = \sum m(4, 8, 9, 12, 13, 14)$$

由此可直接画出 ROM 的阵列图,如图 6.6 所示。

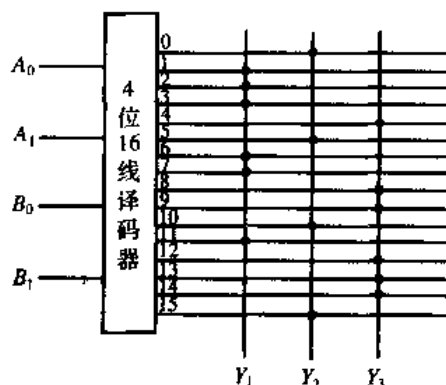


图 6.6 例 6.1 ROM 阵列图

【例 6.2】试用 ROM 设计一个乘法器。已知输入是 2 个 2 位二进制数  $A_1A_0$  和  $B_1B_0$ , 输出是二者的乘积,并用 4 位二进制数表示,即  $Y_3Y_2Y_1Y_0$ 。

【解】依照题意,可列出真值表,如表 6.4 所列。

表 6.4 例 6.2 真值表

$A_1$	$A_0$	$B_1$	$B_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$	$A_1$	$A_0$	$B_1$	$B_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1	0	1	0	0	1	0	0
0	0	1	1	0	0	0	0	1	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1	1	1	0	1	0	0	1	1
0	1	1	0	0	0	1	0	1	1	1	0	0	1	1	0
0	1	1	1	0	0	1	1	1	1	1	1	1	0	0	1

由真值表可列出输出  $Y_0$ 、 $Y_1$ 、 $Y_2$ 、 $Y_3$  的逻辑式,并用最小项和的形式表示出来,即有

$$Y_0 = \sum m(5, 7, 13, 15)$$

$$Y_1 = \sum m(6, 7, 9, 11, 13, 14)$$

$$Y_2 = \sum m(10, 11, 14)$$

$$Y_3 = m_{15}$$

根据上面的表达式可画出 ROM 的阵列图,如图 6.7 所示。



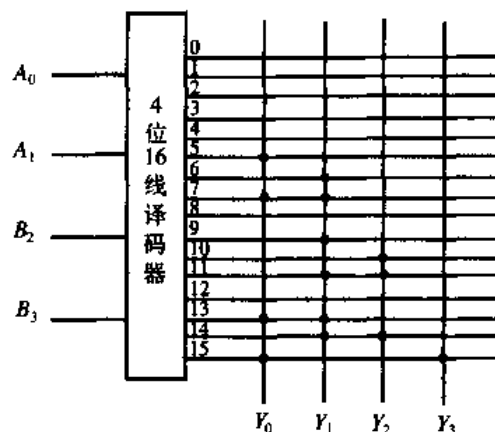


图 6.7 例 6.2 ROM 阵列图

【例 6.3】 已知 ROM 的数据表如表 6.5 所列, 若将地址输入  $A_3, A_2, A_1, A_0$  作为 4 个输入逻辑变量, 将数据输出  $D_3, D_2, D_1, D_0$  作为函数输出, 试写出输出与输入间的标准与或式。

表 6.5 ROM 的数据表

地址输入	数据输出	地址输入	数据输出
$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$	$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$
0000	0001	1000	0010
0001	0010	1001	0100
0010	0010	1010	0100
0011	0100	1011	1000
0100	0010	1100	0100
0101	0100	1101	1000
0110	0100	1110	1000
0111	1000	1111	0001

【解】

$$D_0 = \sum m(0, 15)$$

$$D_1 = \sum m(1, 2, 4, 8)$$

$$D_2 = \sum m(3, 5, 6, 9, 10, 12)$$

$$D_3 = \sum m(7, 11, 13, 14)$$

【例 6.4】 图 6.8 是一个  $16 \times 4$  位的 ROM,  $A_3, A_2, A_1, A_0$  为地址输入,  $D_3, D_2, D_1, D_0$  为数据输出, 试写出输出与输入间的标准与或式。

【解】

$$D_0 = \sum m(0, 5, 10, 15)$$

$$D_1 = \sum m(4, 8, 12)$$

$$D_2 = \sum m(3, 6, 9, 12, 15)$$

$$D_3 = \sum m(2, 4, 6, 8, 10, 12, 14)$$

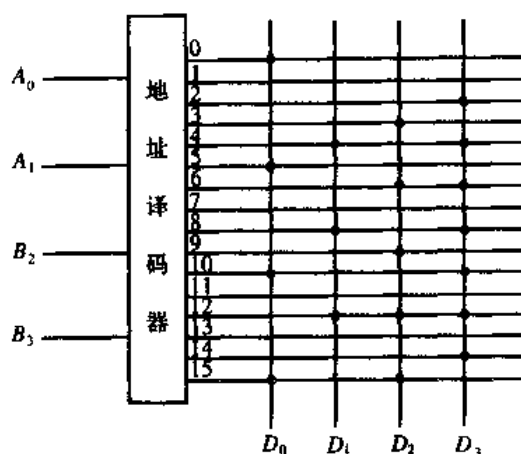


图 6.8 例 6.4 的图

【例 6.5】若用 ROM 实现一组 4 变量的逻辑函数：

$$\begin{cases} F_1 = \bar{B}D + BC + \bar{A}BC \\ F_2 = BC + \bar{A}BC + AB\bar{C} \\ F_3 = CD + BC + \bar{B}D + \bar{A}BC \\ F_4 = A \otimes C + \bar{B}C \end{cases}$$

试问：

- (1) ROM 应有多少个输入、输出端？
- (2) 列出逻辑函数的真值表。
- (3) 画出 ROM 的存储阵列图。

【解】用 ROM 生产一组多输出逻辑函数，逻辑函数的输入逻辑变量为  $A, B, C, D$ 。 $A, B, C, D$  为地址输入， $F_1, F_2, F_3, F_4$  为数据输出。根据逻辑函数式列出 ROM 的真值表，就能画出 ROM 阵列。

(1) 由  $F_1, F_2, F_3, F_4$  的函数式可知，它们共有 4 个输入逻辑变量。所以，若用 ROM 实现，应有 4 个输入端和 4 个输出端。

(2) 把  $A, B, C, D$  作为地址输入变量， $F_1, F_2, F_3, F_4$  作为数据输出，依据各逻辑函数式列出 ROM 数据表如表 6.6 所列。用 ROM 产生组合逻辑函数时，列数据表有 2 种方法：一种是先把各逻辑函数都化成最小项形式，然后填写数据表；另一种方法是向逻辑函数式代入输入变量的所有取值组合，直接计算函数值，再填写数据表。显然，后者较为方便。

(3) 根据表 6.6，将 ROM 的存储矩阵画成简化图，即在字线和位线的交叉点上用小圆点表示存 1，没有小圆点表示存 0。ROM 的存储阵列如图 6.9 所示。

表 6.6 ROM 数据表

地址输入	数据输出
0000	1111
0001	1111
0010	0000
0011	1010
0100	0001
0101	0001
0110	1110
0111	1110
1000	0001
1001	1011
1010	0001
1011	1011
1100	0100
1101	0100
1110	1111
1111	1111

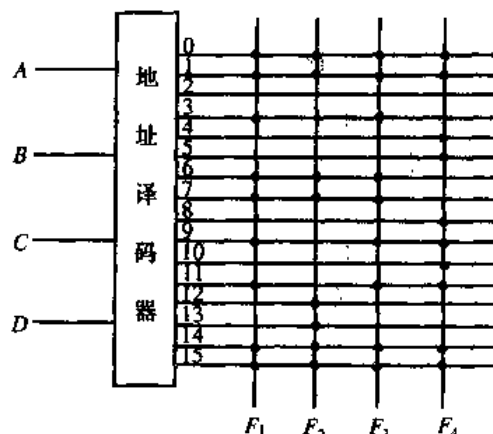
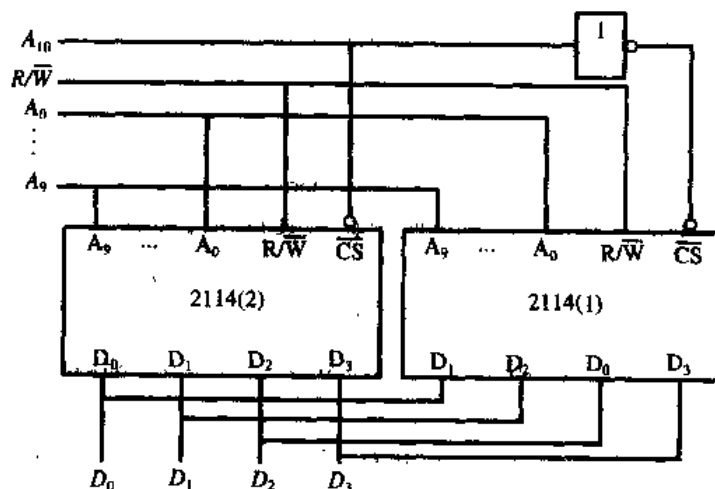


图 6.9 ROM 的存储阵列

【例 6.6】试用 2114 组成  $2048 \times 4$  位的 RAM。

【解】当用位数相同而字数较少的 RAM 芯片组成字数较大的存储器,需要对 RAM 进行字扩展,其连接方式是:选用若干片同样的 RAM 芯片,把各芯片的数据线分别连在一起,作为数据输出端,把各芯片的读/写控制端也分别接在一起作为扩展后存储器的读/写控制端。根据扩展后的字数计算出所需要的地址线,高位地址线通过译码电路产生片选信号,用来选通各芯片,而低位地址线作为各芯片的公用地址线。

本例要求用 2114RAM 芯片组成  $2048 \times 4$  位的存储器,由于 2114 是  $1024 \times 4$  位 RAM,故需要用 2 片 2114 进行字扩展组成  $2048 \times 4$  位存储器。连接方式是:把各片的 4 条 I/O 线分别连在一起作为数据输出端;把各片的 R/W 端连在一起作为读/写控制端。其次,  $1024 \times 4$  位 RAM 芯片具有 10 根地址线 ( $A_0 \sim A_9$ ); 而  $2048 \times 4$  位 RAM 应该有 11 根地址组 ( $A_0 \sim A_{10}$ )。因此,可以把 2 片 RAM 相应的地址输入端分别连接在一起,构成  $2048 \times 4$  位存储器的低 10 位地址线,高位地址线  $A_{10}$  经过反相器形成  $\bar{A}_{10}$ , 接到 2114(1) 的  $\bar{CS}$ 。  $A_{10}$  接到 2114(2) 的  $\bar{CS}$  端。由 2 片 2114 芯片组成的  $2048 \times 4$  位的存储器的连接图如图 6.10 所示。

图 6.10 2114 组成  $2048 \times 4$  位的 RAM 图

## 6.4 自我测试

### 【题 6.1】 选择与填空：

- 磁芯存储器利用\_\_\_\_来存储数据；而半导体存储器利用\_\_\_\_来存储数据。两者相比,前者一般容量较\_\_\_\_;而后者具有速度\_\_\_\_的特点。
  - 正负充磁,器件的开关状态,大,快
  - 器件的开关状态,正负充磁,大,快
  - 正负充磁,器件的开关状态,快,大
  - 正负充磁,器件的开关状态,小,快
- 半导体存储器按功能分有\_\_\_\_和\_\_\_\_2种。
  - EPROM 和 RAM
  - ROM 和 RAM
  - PROM 和 RAM
  - E<sup>2</sup>ROM 和 RAM
- ROM 主要由\_\_\_\_和\_\_\_\_2部分组成。
  - 地址译码器,存储矩阵
  - 地址译码器,触发器
- 信息可随时写入或读出,断电后信息立即全部消失的存储器是\_\_\_\_\_。
  - ROM
  - SRAM
  - DRAM
- 只能读出,不能在线写入,但信息可永久保存的存储器是\_\_\_\_\_。
  - ROM
  - RAM
  - EPROM
- 只能1次写入信息的存储器是\_\_\_\_;可以多次改写存储内容的存储器是\_\_\_\_。
  - ROM
  - PROM
  - EPROM
- \_\_\_\_\_存储器在读/写的同时需要进行数据刷新,\_\_\_\_\_存储器则不存在刷新问题。
  - 静态
  - 动态
- 利用 MOS 管栅极电容对电荷的暂存作用存储信息的为\_\_\_\_\_RAM。
  - 静态
  - 动态
- 有6条地址线和8条数据线的存储器有\_\_\_\_个存储单元。
  - 48
  - 512
  - 1536
- 某 EPROM 有8位数据线、13位地址线,则其存储容量为\_\_\_\_\_。
  - 16KB
  - 8KB
  - 8KB
  - 64KB
- 某 RAM 有8位数据线、13位地址线,则其存储容量为\_\_\_\_\_。
  - 16KB
  - 16KB
  - 8KB
  - 64KB

【解】

1. A 2. B 3. A 4. B 5. A 6. B, C 7. B, A 8. B 9. B 10. B 11. D

【题 6.2】 图 6.11 是  $16 \times 4$  位 ROM,  $A_3, A_2, A_1, A_0$  为地址输入,  $D_3, D_2, D_1, D_0$  为数据输出, 试分别写出  $D_3, D_2, D_1$  和  $D_0$  的逻辑表达式。

[简答]

$$\begin{cases} D_0 = A_0 \\ D_1 = \sum m(3, 6, 9, 12, 15) \\ D_2 = \overline{A_1} \cdot \overline{A_0} \\ D_3 = \sum m(0, 5, 9, 13) \end{cases}$$

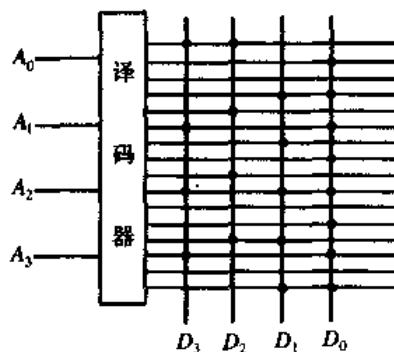


图 6.11 题 6.2 ROM 阵列图

【题 6.3】 由一个 3 位二进制加法计数器和一个 ROM 构成的电路如图 6.12 所示, 要求:

- (1) 将 3 位二进制加法计数器用异步计数器实现;
- (2) 写出输出  $F_1$ 、 $F_2$  和  $F_3$  的表达式;
- (3) 画出  $CP$  作用下  $F_1$ 、 $F_2$  和  $F_3$  的波形(计数器的初态为“0”)。

[简答]

$$\begin{cases} F_1 = \overline{Q_1} \cdot Q_0 + Q_2 \cdot \overline{Q_1} + \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0} \\ F_2 = Q_2 \cdot Q_1 \cdot Q_0 + Q_2 \cdot \overline{Q_1} \cdot Q_0 + Q_2 \cdot Q_1 \cdot \overline{Q_0} \\ F_3 = \overline{Q_1} \cdot \overline{Q_0} \end{cases}$$

- (2) 在  $CP$  作用下,  $F_1$ 、 $F_2$  和  $F_3$  的波形如图 6.13 所示。

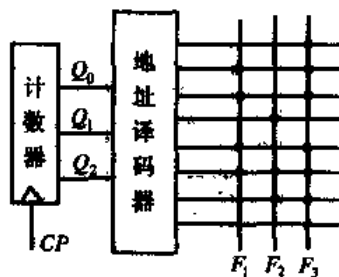


图 6.12 题 6.3 电路图

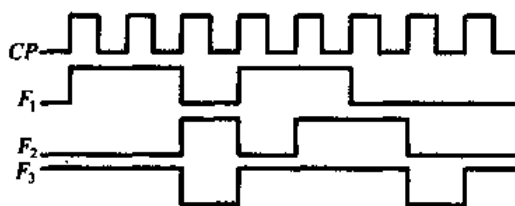


图 6.13 题 6.3 波形图

【题 6.4】 试用 ROM 实现下列组合逻辑函数:

$$F_1 = \overline{A}\overline{B} + A\overline{B}\overline{C} + \overline{A}BC$$

$$F_2 = \overline{A}\overline{B}C + \overline{A}BC + AB$$

【解】 将  $F_1$ 、 $F_2$  化为标准与或式为

$$F_1 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

$$F_2 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + ABC$$

采用 3 位地址码、2 位数据输出的 ROM, 将  $A$ 、 $B$ 、 $C$  3 个变量分别接至地址输入端, 按着逻辑函数要求存入相应数据, 即可在数据输出端  $D_0$ 、 $D_1$  得到  $F_1$  和  $F_2$ , 其 ROM 阵列如图 6.14 所示。

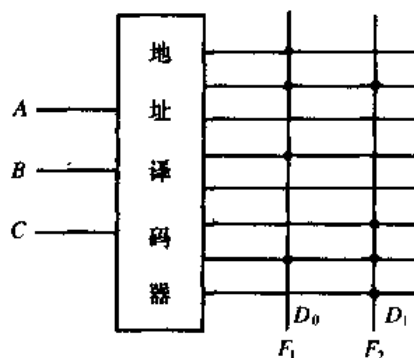


图 6.14 题 6.4 ROM 阵列图

【题 6.5】试用 EPROM 设计一个 BCD 8421 码转换成余三码的代码转换器。已知代码转换真值表如表 6.7 所列, 试画出代码转换阵列图。

【解】这是一个 4 输入、4 输出的组合逻辑电路, 可以用  $16 \times 4$  位的 ROM 来实现。这里, 不必写出输出函数的逻辑式, 直接由真值表画 ROM 的阵列图。先看真值表第 1 行, 在  $Y_0$  和  $Y_1$  列处有“1”, 故在阵列图第 1 行  $Y_2$  列和  $Y_1$  列处各画一个小圆点。再看真值表第 2 行,  $Y_2$  列处有“1”, 故在或阵列第 2 行的  $Y_2$  处画一小圆点(小圆点表示字线和位线交叉处有 NMOS 管)。其余类推, 得 ROM 的阵列图, 如图 6.15 所示。在  $A_3 \sim A_0$  端输入 8421BCD 码, 则在  $Y_3 \sim Y_0$  输出余三循环码。

表 6.7 题 6.5 真值表

BCD8421	余三码
$A_3A_2A_1A_0$	$Y_3Y_2Y_1Y_0$
0000	0011
0001	0100
0010	0101
0011	0110
0100	0111
0101	1000
0110	1001
0111	1010
1000	1011
1001	1100

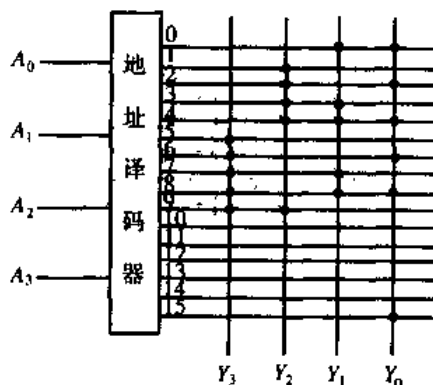


图 6.15 题 6.5 电路图

【题 6.6】试用  $8 \times 4$  位 ROM 存储 3 变量  $A$ 、 $B$ 、 $C$  的逻辑运算: 与非、或非和异或。

(1) 写出 3 种运算的逻辑表达式。

- (2) 列出真值表。  
 (3) 画出 ROM 的存储阵列图形。

【解】

- (1) 与非、或非、异或 3 种逻辑运算的表达式分别为

$$F_3 = \overline{ABC}$$

$$F_2 = \overline{A + B + C}$$

$$F_1 = A \oplus B \oplus C$$

- (2) 真值表如表 6.8 所列。

- (3) ROM 的存储阵列如图 6.16 所示。图中存储 1 的存储单元用“·”表示。

表 6.8 题 6.6 真值表

$A B C$	$F_3 F_2 F_1$
0 0 0	1 1 0
0 0 1	1 0 1
0 1 0	1 0 1
0 1 1	1 0 0
1 0 0	1 0 1
1 0 1	1 0 0
1 1 0	1 0 0
1 1 1	0 0 1

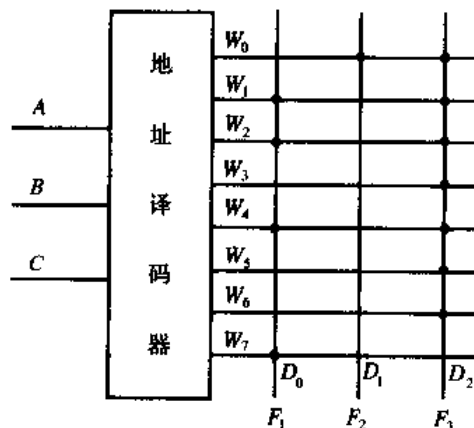


图 6.16 ROM 的存储阵列

【题 6.7】 设计一个判断 4 位二进制数  $A_3 A_2 A_1 A_0$  状态的组合逻辑电路。 $A_3, A_2, A_1, A_0$  作为输入逻辑变量,  $F_3, F_2, F_1, F_0$  作为输出逻辑变量。要求用 ROM 实现  $F_3, F_2, F_1, F_0$ , 画出简化图。

- (1) 当能被 5 整除时, 输出  $F_0 = 1$ , 否则  $F_0 = 0$ 。  
 (2) 当  $A_3 A_2 A_1 A_0$  小于 3 时, 输出  $F_1 = 1$ , 否则  $F_1 = 0$ 。  
 (3) 当  $A_3 A_2 A_1 A_0$  为偶数时, 输出  $F_2 = 1$ , 否则  $F_2 = 0$ 。  
 (4) 当  $A_3 A_2 A_1 A_0$  中有偶数个 1 时, 输出  $F_3 = 1$ , 否则  $F_3 = 0$ 。

【解】

- (1) 列出真值表如表 6.9 所列。

- (2) 由表 6.9 可得

$$F_0 = m_0 + m_5 + m_{10} + m_{15}$$

$$F_1 = m_0 + m_1 + m_2$$

$$F_2 = m_0 + m_2 + m_4 + m_6 + m_8 + m_{10} + m_{12} + m_{14}$$

$$F_3 = m_0 + m_3 + m_5 + m_6 + m_9 + m_{10} + m_{12} + m_{15}$$

- (3) 把  $A_3, A_2, A_1, A_0$  作为地址输入变量,  $F_3, F_2, F_1, F_0$  作为输出变量, 画出 ROM 电路如图 6.17 所示。图中“·”表示存 1。

表 6.9 ROM 的数据表

地址输入	数据输出
$A_3 A_2 A_1 A_0$	$F_3 F_2 F_1 F_0$
0000	0111
0001	0010
0010	0110
0011	1000
0100	0100
0101	1001
0110	1100
0111	0000
1000	0100
1001	1000
1010	1101
1011	0000
1100	1100
1101	0000
1110	0100
1111	1001

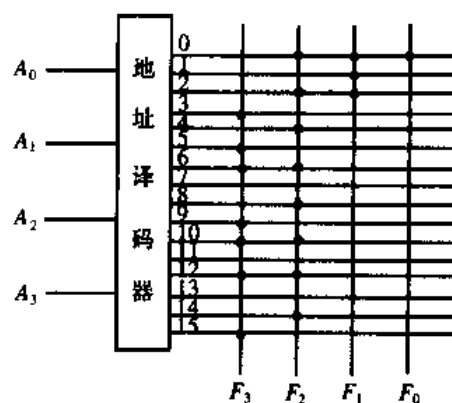


图 6.17 ROM 的存储阵列

应用 ROM 解组合逻辑问题的方法基本相同。首先要根据所给的逻辑问题列出 ROM 的数据表,然后依据数据表画出 ROM 的存储阵列图。由于方法简便,因而 ROM 获得了广泛的应用。



## 第7章 A/D 与 D/A 转换器

### 7.1 学习要点

(1) D/A 转换器组成、倒 T 型电阻网络、集成 D/A 转换器、D/A 转换器的转换精度及转换速度。

(2) A/D 转换器组成、逐次逼近型 A/D 转换器、V-T 型(积分型)A/D 转换器、A/D 转换器的转换精度和转换速度。

### 7.2 重点难点

#### 7.2.1 D/A 转换器

##### 一、D/A 转换器的组成

D/A 转换器利用电阻网络和模拟开关,将多位二进制数  $D$  转换为与之成比例的模拟量。因此,输入应是一个  $n$  位的二进制数,它可以按数字高低展开为

$$D_n = d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0$$

而输出应当是与输入数字量成比例的模拟量  $A$ ,且

$$A = KD_n = K(d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0)$$

式中的  $K$  为转换比例系数。其转换过程是把输入的二进制数中为 1 的每一位代码,按其权的大小,转换成相应的模拟量。然后将各位转换以后的模拟量经求和运算放大器相加,其和便是与被转换数字量成正比的模拟量,从而实现了数模转换。对于一般的 D/A 转换器, $A$  是正比于输入数字量的模拟电压量。D/A 转换一般由以下 3 部分组成:

(1) 开关网络。一般由 CMOS 模拟开关构成。有多少位二进制代码就应有多少个开关。将输入的二进制数码的传输线称为位线,若用低电位表示 0,用参考电源  $U_{\text{REF}}$  表示 1,则开关接通与否受数字量控制。当位线上输入为 0 时,开关输出为 0V;当位线上输入为 1 时,开关输出为  $U_{\text{REF}}$ 。

(2) 电阻网络。表示各条位线权值大小的电路一般采用电阻网络实现。若将各条位线对应转换开关的输出电压值,通过电阻网络转换为电压或电流的大小,即可表示出各条位线的权值。对应高位的电阻网络产生的电压或电流大,低位的电阻网络产生的电压或电流小。

(3) 电压或电流求和及转换电路。一般利用集成运放组成比例求和电路实现。

##### 二、倒 T 型电阻网络 D/A 转换器

倒 T 型电阻网络 D/A 转换器是目前使用最为广泛的一种形式,其电路结构如图 7.1 所示。此电路的特点是:

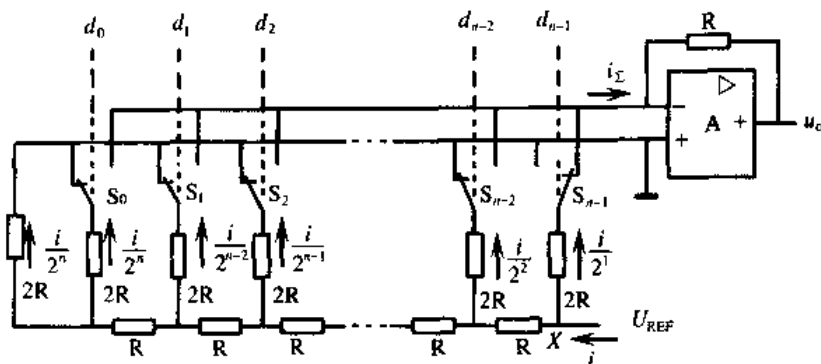


图 7.1 R-2R 倒 T 型电阻网络 D/A 转换电路

(1) 当输入数字信号的任何一位是 1 时, 对应开关便将  $2R$  电阻接到运放反相输入端; 而当其为 0 时, 则将电阻  $2R$  接地。

(2) 当输入数字量某一位为 1, 而其他位为 0 时, 例如对应节点  $X$ , 这一位对应的 T 型电阻网络的节点其左视等效电阻为  $2R$ , 因此在节点  $X$  上通过开关向运放提供的电流是流入这一节点电流的一半, 而相邻节点提供的电流相差均为 2 倍, 故从参考电流源流入电阻网络的总电流  $i = \frac{U_{REF}}{R}$ , 只要  $U_{REF}$  为确定值, 则电流  $i$  为常数。

(3) 如果有多个开关接通, 采用叠加原理可得到输出模拟电压表达式, 即

$$u_o = -\frac{U_{REF}}{2^n} (d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0)$$

(4) 与 T 型译码网络相比, 由于倒 T 型电阻网络 D/A 转换器各支路的电流直接流入运放输入端, 不存在传输时间差, 从而提高了转换速度, 减少了动态过程中输出端可能出现的尖峰脉冲。与权电阻译码网络相比, 电路采用的电阻值仅有 2 种: 串联臂为  $R$ , 并联臂为  $2R$ 。结构简单, 所用的电阻元件较少。

### 三、集成 D/A 转换器 AD7524

AD7524(CB7520) 是 CMOS 单片低功耗 8 位并行 D/A 转换器。采用倒 T 型电阻网络结构。型号中的“AD”表示美国芯片生产公司模拟器件公司的名称。图 7.2 所示为其典型实用电路。

图中供电电压  $V_{DD}$  为  $+5V \sim +15V$ , 可输入 TTL/CMOS 电平。 $D_0 \sim D_7$  为输入数据,  $\overline{CS}$  为片选信号,  $\overline{WR}$  为写入命令,  $U_{REF}$  为参考电源, 可正、可负。 $I_{OUT}$  是模拟电流输出, 一正一负。A 为运算放大器, 将电流输出转换为电压输出, 输出电压的数值可通过外接反馈电阻进行调节。AD7524 的功能表如表 7.1 所列。

当输出电压片选信号  $\overline{CS}$  与写入命令  $\overline{WR}$  为低电平时, AD7524 处于写入状态, 可将  $D_0 \sim D_7$  的数据写入寄存器并转换成模拟电压输出。输出电压与输入数字量的关系为

$$u_o = \pm \frac{U_{REF}}{2^8} (d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0)$$

当参考电压  $U_{REF}$  取负值时, 输出电压为正; 参考电压  $U_{REF}$  取正值时, 输出为负。

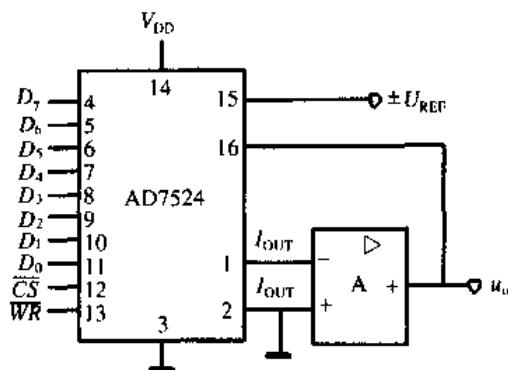


图 7.2 AD7524 典型实用电路

表 7.1 AD7524 功能表

$\overline{CS}$	$\overline{WR}$	功 能
0	0	写入寄存器, 并行输出
0	1	保持
1	0	保持
1	1	保持

#### 四、D/A 转换器的转换精度与转换速度

##### 1. D/A 转换器的转换精度

D/A 转换器的转换精度有 2 种衡量方法: 分辨率和转换误差。

(1) 分辨率用以说明 D/A 转换器在理论上可达到的精度。其定义是, 电路所能分辨的最小输出电压  $U_{LSB}$  (输入的  $n$  位数字代码最低有效位 LSB 为 1, 其余各位都为 0) 与最大输出电压  $U_m$  (此时输入数字代码所有各位全为 1) 之比, 即

$$\text{分辨率} = \frac{U_{LSB}}{U_m} = \frac{\frac{U_{REF}}{2^n}}{\frac{U_{REF}}{2^n} (2^n - 1)} = \frac{1}{2^n - 1}$$

输入数字代码的位数  $n$  越多, 分辨率越小, 分辨能力越高, 例如, 5G7520 10 位 D/A 转换器的分辨率为

$$\frac{1}{2^{10} - 1} = \frac{1}{1023} \approx 0.000978$$

(2) 转换误差用以说明 D/A 转换器实际上能达到的转换精度。转换误差可用输出电压满度值的百分数表示, 也可以用 LSB 的倍数来表示。例如, 转换误差为 0.5LSB, 表示输出模拟电压的绝对误差等于当输入数字量的 LSB = 1 时, 其余各位均为 0 时输出模拟电压的一半。转换误差又分静态误差和动态误差 2 种。产生静态误差的原因是基准电源  $U_{REF}$  的不稳定、运放的零点漂移、模拟开关导通时的内阻和压降及电阻网络中阻值的偏差等; 动态误差则是在转换的动态过程中产生的附加误差。它的产生是由于电路中的分布电容和分布电感使各位的电压信号到达电阻网络输出端的时间不同, 并可在输出端产生干扰信号。

##### 2. D/A 转换器的转换速度

转换速度的衡量方法有 2 种:

(1) 建立时间 ( $t_{set}$ ) 是指在输入数字量各位由全 0 变为全 1 或由全 1 变为全 0 时, 输出电压达到某一规定值 (例如取 0.5LSB 或满度值的 0.01%) 所需要的时间。目前, 在某些集成 D/A 转换器中,  $t_{set} \leq 0.1\mu s$ ; 在内部包含有基准电源和求和运算放大器的集成 D/A 转换器中, 最短的建立时间可达到  $1.5\mu s$ 。

(2) 转换速率 ( $S_R$ ) 是指在大信号工作时, 即输入数字量的各位由全 0 变为全 1 或由

全1变为0时,输出电压  $u_o$  的变化率。D/A 转换器完成1次转换所需的时间应包括建立时间  $t_{set}$  和输出电压  $u_o$  的上升或下降时间。D/A 转换器最大转换时间为

$$T_{TRmax} = t_{set} + U_{omax}/S_R$$

式中  $U_{omax}$  是输出模拟电压的最大值。

## 7.2.2 A/D 转换器

### 一、A/D 转换器的组成

A/D 转换器的功能是将输入的模拟电压转换为与其成比例的数字量输出。一个完整的 A/D 转换过程,必须包括采样、保持、量化、编码4个步骤。

在具体实施时,常把这4个步骤合并进行。例如,采样和保持是利用同一电路连续完成的。量化和编码是在转换过程中同步实现的,而且所用的转换时间又是保持时间的一部分。

#### 1. 采样定理

图 7.3 是某一输入模拟信号经取样后得出的波形。为了保证能从取样信号中将原信号恢复,对于周期信号,必须满足香农采样定理  $f_s \geq 2 f_{imax}$ , 其中  $f_s$  为采样频率,  $f_{imax}$  为信号  $u_i$  中最高次谐波分量的频率。

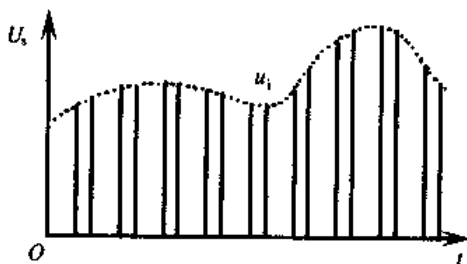


图 7.3 模拟信号采样

#### 2. 采样保持电路

图 7.4 所示为一个实际的采样保持电路 LF198 的电路结构图,图中  $A_1$ 、 $A_2$  是2个运算放大器,  $S$  是模拟开关,  $L$  是控制  $S$  状态的逻辑单元电路。采样时令  $u_L = 1$ ,  $S$  随之闭合。 $A_1$ 、 $A_2$  接成单位增益的电压跟随器,故  $u_o = u'_o = u_i$ 。同时  $u'_o$  通过  $R_2$  对外电容  $C_h$  充电使  $u_{C_h} = u_i$ 。因电压跟随器的输出电阻十分小,故对  $C_h$  充电很快结束。采样结束时,  $u_L = 0$ ,  $S$  断开,由于  $u_{C_h}$  无放电通路,其上电压值基本不变,故使  $u_o$  值得以保持,即将采样所得结果保持下来。图中还有一个由二极管  $VD_1$ 、 $VD_2$  组成的保护电路。在没有  $VD_1$  和  $VD_2$  的情况下,如果在  $S$  再次接通以前  $u_i$  变化了,则  $u'_o$  的变化可能很大,以致于使  $A_1$  的输出进入饱和状态,  $u'_o$  与  $u_i$  不再保持线性关系,并使开关电路承受过高的电压。接入  $VD_1$  和  $VD_2$  以后,当  $u'_o$  比  $u_o$  所保持的电压高出一个二极管的正向压降时,  $VD_1$  将导通,  $u'_o$  被钳位于  $u_i + U_{VD_1}$ 。这里的  $U_{VD_1}$  表示二极管  $VD_1$  的正向导通压降。当  $u'_o$  比  $u_o$  低一个二极管的压降时,  $VD_2$  导通,将  $u'_o$  钳位于  $u_i - U_{VD_2}$ 。  $U_{VD_2}$  为  $VD_2$  的正向压降。在  $S$  接通的情况下,因为  $u'_o \approx u_o$ , 所以  $VD_1$  和  $VD_2$  都不导通,保护电路不起作用。

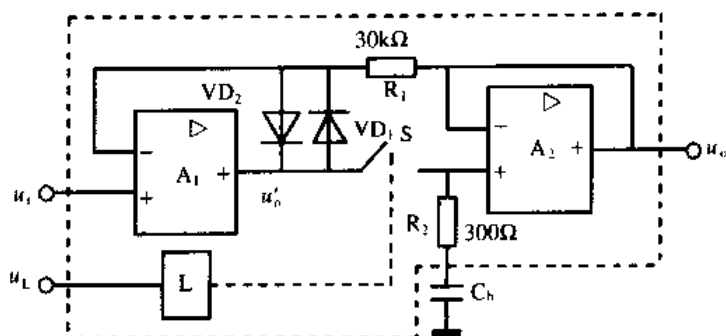


图 7.4 采样保持电路

### 3. 量化与编码

为了使采样得到的离散的模拟量与  $n$  位有限的  $2^n$  个数字量一一对应,还必须选取一个量化单位,将取样后离散的模拟量归并到  $2^n$  个离散电平中的某一个电平上,这样的一个过程称为量化。量化后的值再按数制要求进行编码,以作为转换完成后输出的数字代码。量化和编码是所有 A/D 转换器不可缺少的核心部分之一。

### 二、A/D 转换器的分类

按转换过程,A/D 转换器可大致分为直接型 A/D 转换器和间接型 A/D 转换器 2 种。

直接型 A/D 转换器能把输入的模拟电压直接转换为输出的数字代码,而不需要经过中间变量。常用的电路有并行比较型和计数器型 2 种。

间接型 A/D 转换器是把待转换的输入模拟电压先转换为一个中间变量,例如时间  $T$  或频率  $f$ ,然后再对中间变量量化编码,得出转换结果。

A/D 转换器的大致分类如图 7.5 所示。

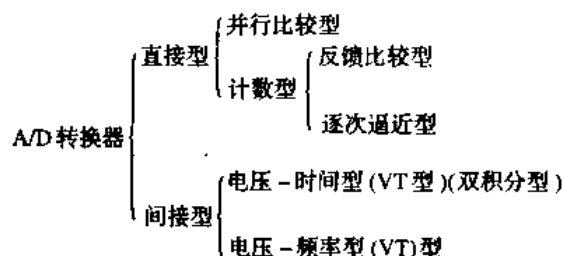


图 7.5 A/D 转换器的分类

### 三、逐次逼近型 A/D 转换器

下面结合图 7.6 的逻辑电路具体说明逐次比较的过程。这是一个输出为 3 位二进制数码的逐次逼近型 A/D 转换器。图中的 C 为电压比较器,当  $u_i \geq U_A$  时,比较器的输出  $U_B = 0$ ;当  $u_i < U_A$  时,  $U_B = 1$ 。3 个触发器  $F_A$ 、 $F_B$  和  $F_C$  组成了 3 位数码寄存器,触发器  $F_1 \sim F_5$  和门电路  $G_1 \sim G_9$  组成控制逻辑电路。

转换开始前先将  $F_A$ 、 $F_B$ 、 $F_C$  置零,同时将  $F_1 \sim F_5$  组成的环型移位寄存器置成  $Q_1 Q_2 Q_3 Q_4 Q_5 = 10000$  状态。

转换控制信号  $U_L$  变成高电平以后,转换开始。第 1 个 CP 脉冲到达后,  $F_A$  被置成“1”,而  $F_B$ 、 $F_C$  被置成“0”。这时寄存器的状态  $Q_A Q_B Q_C = 100$  加到 D/A 转换器的输入端

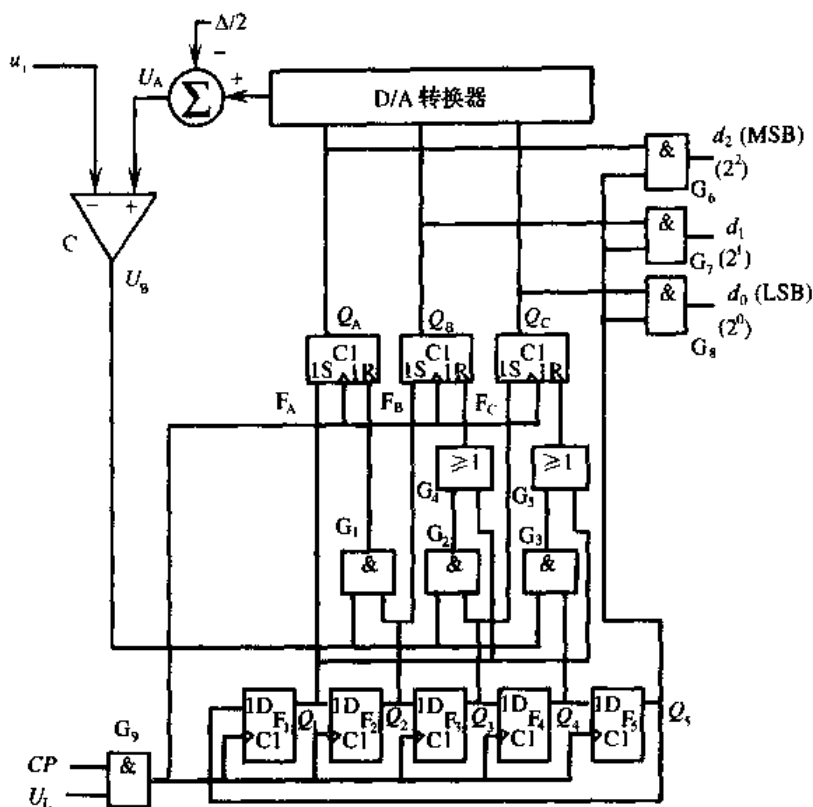


图 7.6 3 位逐次逼近型 A/D 转换器逻辑图

上,并在 D/A 转换器的输出端得到相应的模拟电压  $U_A$  (例如二进制的电压砵码为 400mV)。  $U_A$  和  $u_i$  在比较器中比较,其结果有 2 种:若  $u_i \geq U_A$ ,则  $U_B = 0$ ;若  $u_i < U_A$ ,则  $U_B = 1$ 。同时,移位寄存器右移 1 位,使  $Q_1 Q_2 Q_3 Q_4 Q_5 = 01000$ 。

第 2 个 CP 脉冲到达时  $F_B$  被置成“1”。若原来的  $U_B = 1 (u_i < U_A)$ ,则  $F_A$  被置成“0”,此时电压砵码为 200mV;若原来的  $U_B = 0 (u_i \geq U_A)$ ,则  $F_A$  的“1”状态保留,此时的电压砵码为 600mV。同时移位寄存器右移 1 位,变为 00100 状态。

第 3 个 CP 脉冲到达时  $F_C$  被置成 1。若原来的  $U_B = 1$ ,则  $F_B$  被置成“0”;若原来的  $U_B = 0$ ,则  $F_B$  的“1”状态保留,此时的电压砵码为 100mV 加上原来保留的电压砵码值。同时移位寄存器右移 1 位,变成 00010 状态。

第 4 个 CP 脉冲到达时,根据这时  $U_B$  的状态决定  $F_C$  的“1”是否应当保留。这时  $F_A$ 、 $F_B$ 、 $F_C$  的状态就是所要的转换结果。同时,移位寄存器右移 1 位,变为 00001 状态。由于  $Q_5 = 1$ ,于是  $F_A$ 、 $F_B$ 、 $F_C$  的状态便通过门  $G_6$ 、 $G_7$ 、 $G_8$  送到了输出端。

第 5 个 CP 脉冲到达后,移位寄存器右移 1 位,使得  $Q_1 Q_2 Q_3 Q_4 Q_5 = 10000$ ,返回初始状态。同时,由于  $Q_5 = 0$ ,门  $G_6$ 、 $G_7$ 、 $G_8$  被封锁,转换输出信号随之消失。

所以 D/A 转换器完成 1 次转换的时间为  $(n+1)T_{CP}$ 。

为了减小量化误差,令 D/A 转换器的输出产生  $-\Delta/2$  的偏移量。这里的  $\Delta$  表示 D/A 转换器最低有效位输入 1 所产生的输出模拟电压大小,它也就是模拟电压的量化单位。为使量化误差不大于  $\Delta/2$ ,在划分量化电平等级时应使第 1 个量化电平为  $\Delta/2$ ,而不是  $\Delta$ 。现在与  $u_i$  比较的量化电平每次由 D/A 转移器的输出给出,所以应将 D/A 转换器输出的

所有比较电平同时向负的方向偏移  $\Delta/2$ , 以减小量化误差。

#### 四、双积分型 A/D 转换器

双积分型 A/D 转换器属于间接型 A/D 转换器, 它把待转换的输入模拟电压先转换为一个中间变量, 例如时间  $T$  或频率  $f$ , 然后再对中间变量量化编码, 得出转换结果。因此, 目前使用的间接型 A/D 转换器多属于电压-时间变换型(简称 VT 型)。图 7.7 给出的即是双积分式 A/D 转换器的原理图。

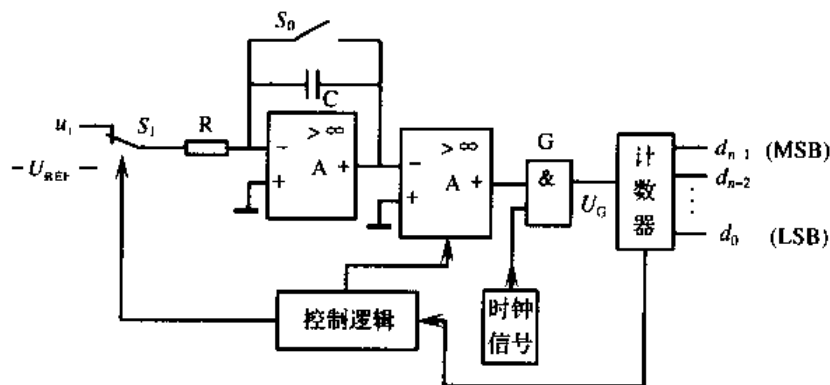


图 7.7 双积分型 A/D 转换器的框图

转换开始前, 先将计数器清零, 并接通  $S_0$  使电容  $C$  完全放电。转换开始, 断开  $S_0$ 。整个转换过程分 2 步进行。

第 1 步, 令开关  $S_1$  置于输入信号  $u_i$  一侧。积分器对  $u_i$  进行固定时间  $T_1$  的积分。积分结束时积分器的输出电压为

$$U_{01} = \frac{1}{C} \int_0^{T_1} \left( -\frac{u_i}{R} \right) dt = -\frac{T_1}{RC} u_i$$

可见积分器的输出与  $u_i$  成正比。这一过程称为转换电路对输入模拟电压的采样过程。

在采样开始时, 逻辑控制电路将计数门打开, 计数器计数。当计数器达到满量程  $N1$ , 此时计数器由全“1”复全“0”, 这个时间正好等于固定的积分时间  $T_1$ 。计数器复“0”时, 同时给出一个溢出脉冲(即进位脉冲)使控制逻辑电路发出信号, 令开关  $S_1$  转换至参考电压  $-U_{REF}$  一侧, 采样阶段结束。

第 2 步, 采样阶段结束时, 一方面因参考电压  $-U_{REF}$  的极性与  $u_i$  相反, 积分器向相反方向积分。同时控制逻辑电路使比较器输出高电平, 作为标频脉冲的时钟, 通过计数门进行计数。经过时间  $T_2$ , 积分器输出电压回升为零, 过零比较器输出低电平, 关闭计数门, 计数器停止计数, 如图 7.8 所示。因此得到

$$\frac{T_2}{RC} U_{REF} = \frac{T_1}{RC} u_i$$

即

$$T_2 = \frac{T_1}{U_{REF}} u_i$$

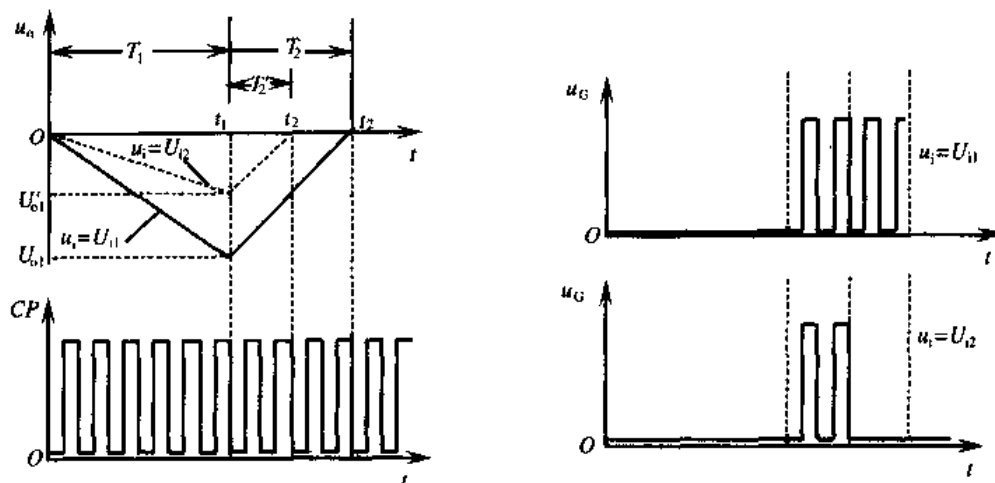


图 7.8 双积分型 A/D 转换器波形图

计数器在  $T_2$  这段时间里对标准频率为  $f_{CP}$  的时钟计数, 计数结果为  $D$ , 由于

$$T_1 = N_1 T_{CP}$$

$$T_2 = DT_{CP}$$

因此计数的脉冲数为

$$D = \frac{T_1}{T_{CP} U_{REF}} u_i = \frac{N_1}{U_{REF}} u_i$$

上式表明, 反向积分时间  $T_2$  与输入模拟电压成正比。计数器在  $T_2$  内对固定频率为  $f_{CP}$  的时钟计数, 计数结果也就是该电路转换输出的数字量, 至此即完成了电压-时间转换。这一过程称为转换电路的比较过程。

双积分型 A/D 转换器若与逐次逼近型 A/D 转换器相比较, 因有积分器的存在, 它的一个突出优点是工作性能比较稳定且抗干扰能力强, 电路结构简单。但其转换速度较慢, 一般 1 次转换的时间在  $1\text{ms} \sim 2\text{ms}$ , 而逐次比较型 A/D 转换器可达到  $1\mu\text{s}$ 。

## 五、A/D 转换器的转换精度与转换速度

### 1. A/D 转换器的转换精度

在单片 A/D 转换器中, 也用分辨率和转换误差来描述转换精度。

分辨率是指引起输出数字量变动 1 个 LSB 时, 输入模拟量的最小变化量, 小于此最小变化量的输入模拟电压的变化, 将不会引起输出数字量的变化。也就是说, A/D 转换器的分辨率, 实际上反映了它对输入模拟量微小变化的分辨能力。显然, 它与输出的二进制数的位数有关, 输出二进制数的位数越多, 分辨率越小, 分辨能力越高。

转换误差通常以相对误差的形式给出, 它表示 A/D 转换器实际输出的数字量与理想输出的数字量之间的差别, 并用最低有效位 LSB 的倍数来表示。

### 2. 转换速度

A/D 转换器常用完成 1 次模拟量到数字量之间的转换所需要的时间来表示转换速度。例如, ADC0801 至 ADC0803 的转换时间为  $110\mu\text{s}$ 。



### 7.3 例题分析

【例 7.1】 对于一个 8 位 D/A 转换器:

(1) 若最小输出电压增量为 0.02V, 试问当输入代码为 01001101 时, 输出电压  $u_o$  为多少伏? 若其分辨率用百分数表示是多少?

(2) 若某一系统中要求 D/A 转换器的精度小于 0.12%, 试问这一 D/A 转换器能否应用?

【解】 依照题意分析:

(1) 8 位 D/A 转换器的最小输出电压增量为 0.02V 时, 输入代码 01001101 所对应的输出电压为

$$u_o = 0.02V \times (2^6 + 2^3 + 2^2 + 2^0) = 1.54V$$

$n$  位 D/A 转换的分辨率为

$$\text{分辨率} = \frac{U_{\text{LSB}}}{U_{\text{m}}} = \frac{-\frac{U_{\text{REF}}}{2^n}}{-\frac{U_{\text{REF}}}{2^n}(2^n - 1)} = \frac{1}{2^n - 1}$$

则 8 位 D/A 转换器的分辨率为

$$\frac{1}{2^8 - 1} \times 100\% = 0.392\%$$

(2) D/A 转换器的转换精度等于转换误差与输出电压满刻度 FSR 之比, 而转换误差等于  $\text{LSB}/2$  所以转换精度等于分辨率/2, 对于本例中 D/A 转换器的精度小于 0.25%, 则其分辨率应小于 0.5%。因此, 这一 8 位 D/A 转换器可满足所设置系统的精度要求。

【例 7.2】 在一个 8 位倒 T 型电阻网络 D/A 转换器中, 若基准电源  $U_{\text{REF}} = 8V$ , 求下列 3 种情况下的输出电压:

- (1) 开关全部接地;
- (2) 开关全部接  $U_{\text{REF}}$ ;
- (3) 输入二进制代码为 10011011。

【解】

(1) 若开关全部接地, 则  $u_o = 0V$ ;

(2) 若开关全部接  $U_{\text{REF}}$ , 则  $u_o$  为

$$u_o = -\frac{U_{\text{REF}}}{2^8} \times (2^8 - 1) = -\frac{8V}{256} \times 255 = -7.97V$$

(3) 若输入的二进制代码为 10011011, 则

$$u_o = -\frac{U_{\text{REF}}}{2^8} \times (2^7 + 2^4 + 2^3 + 2^1 + 2^0) = -\frac{8V}{256} \times 155 = -4.84V$$

【例 7.3】 试分析如图 7.9 所示由 AD7524 芯片组成的 D/A 转换器电路, 求出在输入数字量为 00H、80H、FFH 时输入与输出模拟电压之间的对应关系。

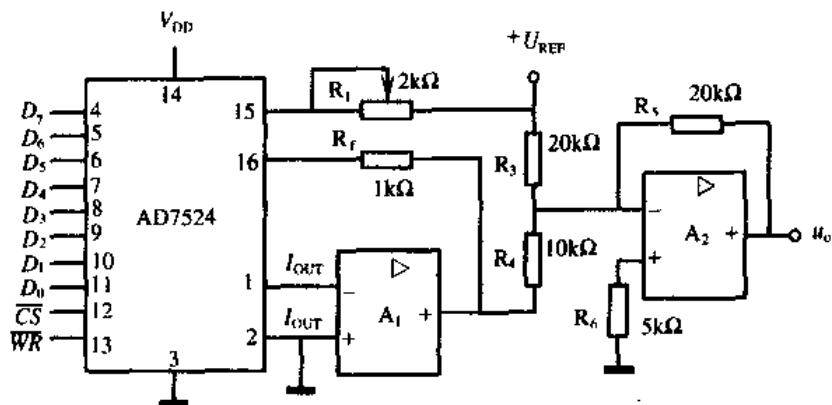


图 7.9 例 7.3 电路图

【解】 本例电路由 AD7524 芯片及运算放大器  $A_1$  组成基本 D/A 转换器,再经过运算放大器  $A_2$  组成的反相比例求和电路输出模拟电压。运算放大器  $A_2$  反相端 2 路信号,一是基准电压  $U_{REF}$ ,另一个是 D/A 转换器的输出电压  $u_{o1}$ ,即

$$u_o = - \left( \frac{R_5}{R_4} U_{o1} + \frac{R_5}{R_3} U_{REF} \right)$$

由于  $U_{o1} = - \frac{U_{REF}}{2^8} \sum_{i=0}^7 D_i \times 2^i$ , 因此运算放大器  $A_2$  的加入,实际上是将基本 D/A 转换器输出电压偏移一个固定数值。调节  $R_3$  之值,可改变这一偏移量的大小,构成双极性输出方式。

依照题意分析,可得出这一 D/A 转换器输出模拟电压的表达式为

$$u_o = - (2u_{o1} + U_{REF})$$

若取  $U_{REF}$  为正,则当输入的数字量为 00H 时,  $u_o = - U_{REF}$ ;

当输入数字量为 80H 时,  $u_o = 0V$ ;

当输入数字量为 FFH 时,  $u_o = + \frac{254}{256} U_{REF}$ 。

【例 7.4】 有一个逐次逼近型 8 位 A/D 转换器,若时钟频率为 250kHz,问:

(1) 完成 1 次转换需要多长时间?

(2) 输入  $u_i$  和 D/A 转换器的输出  $u_o$  的波形如图 7.10 所示,则 A/D 转换器的输出为多少?

(3) 若已知 8 位 D/A 转换器的最高输出电压为 9.945V,当  $u_i = 6.436V$  时,电路的输出状态  $D = Q_7 Q_6 \cdots Q_0$  是什么?

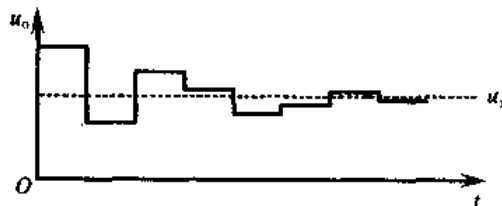


图 7.10 例 7.4 波形图

[解]

(1) 在 A/D 转换过程中,由时序分配器发出脉冲信号。

转换过程如下:  $CP_0$  将第 8 位触发器置“1”,其余各位置“0”,转换过程从此开始。此后,  $CP_1$  除将第 7 位置“1”外,同时作为第 8 位触发器的时钟信号,确定高位的“1”保留还是清除。  $CP_8$  确定最低位即第 1 位触发器的状态。  $CP_9$  使回到初始状态。

$n$  位 D/A 转换器完成 1 次转换一般需要  $n+2$  个时钟周期,所以 8 位 D/A 转换器完成 1 次转换需要 10 个时钟周期。

(2) 从图 7.10 可见,当最高位置“1”,输出的模拟电压  $u_o(5V) > U_i$ ,因此最高位置“0”;次高位置“1”,转换成的模拟电压  $u_o = 2.5V$ 。从图中可见,  $u_o < u_i$ ,该位应保持原置“1”不变,余者类推。得到 A/D 转换器的输出为 01001101。

(3) 已知  $U_{omax} = 9.945V$ , D/A 转换器为 8bit,因此 D/A 转换器最低位为 1(即  $D_0 = 1$ ) 时输出  $u_o$  的值应为

$$u_o \Big|_{D_0=1} = \frac{9.945V}{2^8 - 1} = 0.039V$$

当  $u_i = 6.436V$  时,可求得电路的输出状态为

$$\frac{6.436}{0.039} = (165)_{10} = (101001101)_B$$

【例 7.5】 双积分型 A/D 转换器如图 7.11 所示。

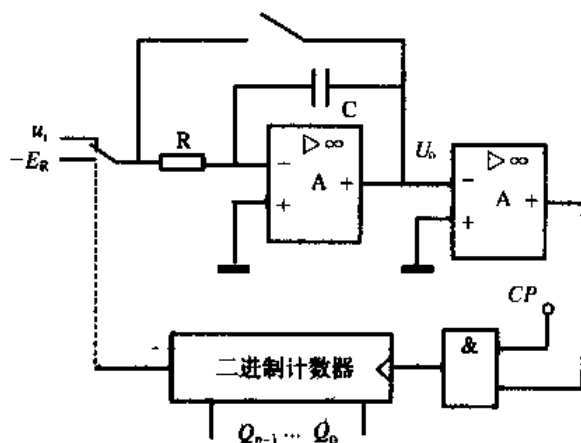


图 7.11 例 7.5 电路图

(1) 若被测电压  $U_{imax} = 2V$ ,要求能分辨的最小电压为  $0.1mV$ ,则二进制计数器的容量应大于多少? 需要多少位二进制计数器?

(2) 若时钟频率  $f_{CP} = 200kHz$ ,则采样时间  $T_1$  等于多少?

(3) 若  $f_{CP} = 200kHz$ ,  $u_i = E_R = 2V$ ,欲使积分器输出电压  $u_o$  的最大值为  $-5V$ ,积分时间常数应为多少?

[解]

(1) 若被检测电压  $U_{imax} = 2V$ ,要求能分辨的最小电压为  $0.1V$ ,则按照

$$\text{分辨率} = \frac{1}{2^n} \text{FSB}$$

有

$$2^n = \frac{\text{FSB}}{\text{分辨率}} = \frac{2 \times 10^3}{0.1} = 20000$$

$$n = 15 \text{ 位}$$

(2) 若时钟频率  $f_{CP} = 200\text{kHz}$ , 即时钟脉冲周期  $T_{CP} = \frac{1}{f_{CP}} = 5\mu\text{s}$ , 则第 1 次积分的时间  $T_1$  应为

$$T_1 = 2^{15} T_{CP} = 2^{15} \times 5\mu\text{s} = 163.84\text{ms}$$

因此, 采样 - 保持时间  $T_H \geq T_1 = 163.84\text{ms}$ 。

(3) 第 1 次积分后, 积分器的输出电压为

$$u_o = \frac{T_1}{RC} u_i$$

因  $T_1 = 2^{15} T_{CP}$ , 并取  $|U_{i\max}| = |U_{REF}|$ , 则有

$$U_{\text{omax}} = \frac{1}{RC} (2^{15} T_{CP}) |U_{REF}|$$

给定  $f_{CP} = 200\text{kHz}$ , 因此积分时间常数为

$$RC = \frac{|U_{REF}|}{U_{\text{omax}}} \times 2^{15} T_{CP} = 65.536\text{ms}$$

【例 7.6】某一 D/A 转换器如图 7.12 所示, 图中当某位数  $D_i = 1$  时, 相应的模拟开关  $S_i$  接参考电压  $U_{REF}$ , 当  $D_i = 0$  时, 应的模拟开关  $S_i$  接地。问:

- (1) 该电路是哪一种 D/A 转换器;
- (2)  $u_o$  与数字量之间的关系式;
- (3) 设  $U_{REF} = 3.6\text{V}$ ,  $R_F = R$ 。当  $D_3 D_2 D_1 D_0 = 0101$  时, 求输出电压  $u_o$  值。

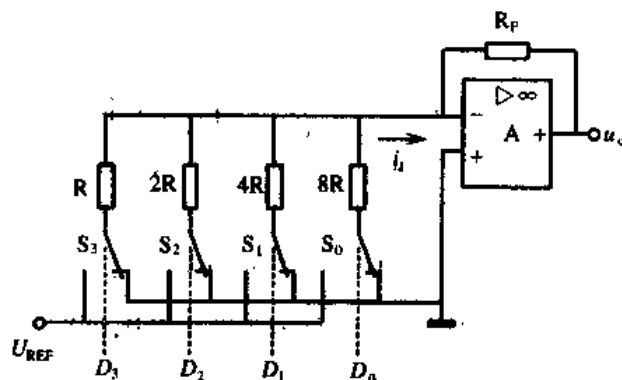


图 7.12 D/A 转换器

【解】

(1) 图 7.12 所示电路是权电阻网络 D/A 转换器。

(2) 由图 7.12 可知

$$i_1 = \frac{U_{REF}}{R} D_3 + \frac{U_{REF}}{2R} D_2 + \frac{U_{REF}}{4R} D_1 + \frac{U_{REF}}{8R} D_0$$

所以

$$u_o = -i_1 R_F =$$

$$-\frac{R_F}{R} U_{REF} \left( D_2 + \frac{1}{2} D_2 + \frac{1}{4} D_1 + \frac{1}{8} D_0 \right) =$$

$$-\frac{R_F}{R} U_{REF} \sum_{i=0}^3 (2^{i-3} D_i)$$

(3) 在  $U_{REF} = 3.6V$ ,  $R_F = R$  的条件下, 当  $D_3 D_2 D_1 D_0 = 0101$  时, 可计算出  $u_o = -2.25V$ 。

【例 7.7】某一 D/A 转换器如图 7.13 所示。当某位数  $D_i = 1$  时, 对应的电子开关  $S_i$  接参考电压  $U_{REF}$ , 当  $D_i = 0$  时,  $S_i$  接地。

(1) 当某位  $D_i = 1$ , 其他位数为 0 时, 求  $u_o$  值。

(2) 当数字量  $D = D_3 D_2 D_1 D_0$  时, 求  $u_o$  值。

(3) 若  $U_{REF} = 8V$ ,  $R_F = 3R$ ,  $D_3 D_2 D_1 D_0 = 0101$  时, 求  $u_o$  值。

(4) 电路的分辨率为多少?

(5) 当某位数  $D_i = 1$ , 其他位数为 0 时, 运算放大器的等效输入电阻为多少?

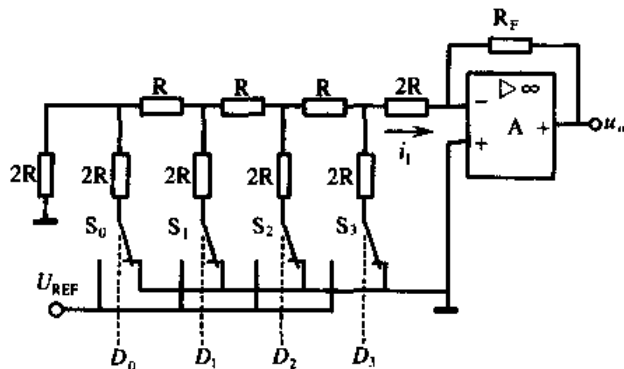


图 7.13 例 7.7 的电路图

【解】

$$(1) u_o = -\frac{R_F}{3R} U_{REF} \times 2^{i-4} (i = 0, 1, 2, 3)。$$

$$(2) u_o = (D_3 2^3 + D_2 2^2 + D_1 2^1 + D_0 2^0) \left( -\frac{R_F U_{REF}}{3R \cdot 2^4} \right)。$$

$$(3) u_o = (4 + 2 + 1) \left( -\frac{3R \cdot 8}{3R \cdot 2^4} \right) = -3.5V。$$

$$(4) \text{分辨率} = \frac{1}{2^4 - 1} \times 100\% \approx 6.7\%。$$

(5) 不管哪一位为 1, 运算放大器的等效输入电阻均为  $3R$ 。

【例 7.8】由集成 DAC5G7520 和集成运算放大器组成的 D/A 转换器电路如图 7.14 所示。已知  $R_F = R$ ,  $U_{REF} = 10V$ 。试求:

(1)  $u_o$  的输出范围;

(2) 当  $D_9 D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0 = (1100000000)_B$  时,  $u_o$  的值是多少?

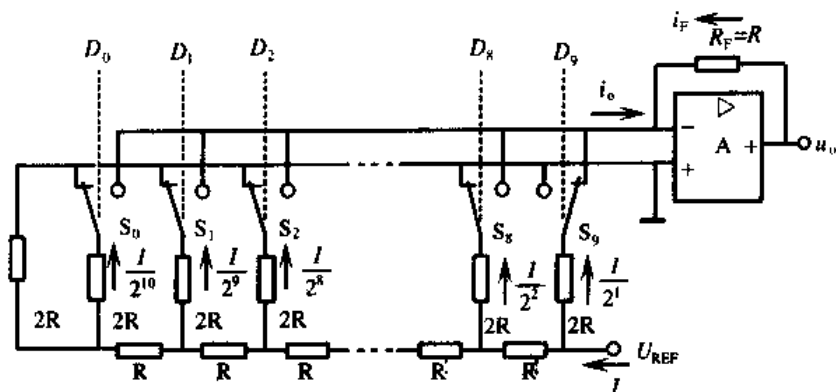


图 7.14 例 7.8 的电路图

【解】 DAC5G7520 采用  $n = 10$  的倒 T 型电阻网络和 CMOS 开关组成, 实现应用时需要外接运算放大器, 而反馈电阻  $R_F$  已集成在 5G7520 片内, 其基准电源需外接 ( $-10V \sim +10V$ ), 模拟开关的电源  $V_{DD}$  也需外接 ( $+5V \sim +15V$ )。输出电流  $i_o$  经模拟开关流出到求和放大器的输入端。

(1) 由图 7.14 可知, 输出电流与各支路电流的关系为

$$i_o = \frac{I}{2} D_9 + \frac{I}{2^2} D_8 + \cdots + \frac{I}{2^9} D_1 + \frac{I}{2^{10}} D_0 =$$

$$\frac{U_{REF}}{2^{10} R} (2^9 D_9 + 2^8 D_8 + \cdots + 2^1 D_1 + 2^0 D_0) =$$

$$\frac{U_{REF}}{2^{10} R} \sum_{i=0}^{n-1} (2^i D_i)$$

因为  $i_o = -i_F$ , 所以输出电压  $u_o$  为

$$u_o = -i_o R_F = \left( -\frac{U_{REF} R_F}{2^{10} R} \right) D$$

又因为  $R_F = R$ , 所以

$$u_o = \left( -\frac{U_{REF}}{2^{10}} \right) D$$

根据题给条件  $U_{REF} = 10V$ , 可以计算出输出  $u_o$  的范围为  $0V \sim -9.99V$ 。

(2) 当  $D = (110000000)_B$  时,  $u_o = \left( -\frac{10}{2^{10}} \right) \times 768 = -7.5V$ 。

【例 7.9】 3 位计数型 A/D 转换器如图 7.15 所示。设  $\Delta = 1V$ , 采用四舍五入量化方式。试问:

- (1) 当  $u_i = 6.2V$  时, 输出端二进制数  $d_2 d_1 d_0$  是多少?
- (2) 问题(1)的转换误差为多少伏?
- (3) 怎样减少电路的转换误差?
- (4) D/A 转换器的最大输出电压是多少?

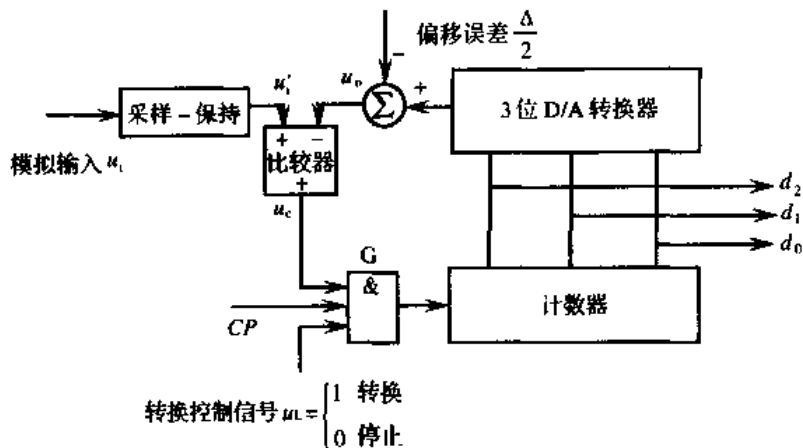


图 7.15 例 7.9 的电路图

【解】 计数型 A/D 转换器也属于直接 A/D 转换器。它由比较器、D/A 转换器和计数器、控制门 G 等部分组成。

转换开始前计数器先清零。转换控制信号  $u_L = 0$ , 计数器不工作。由于此时计数器输出全为 0, 所以, D/A 转换器的输出  $u_o = 0$ 。如果  $u_i'$  为正, 则比较器的输出  $u_c = 1$ 。

当  $u_L = 1$  时, 转换开始, 时钟信号  $CP$  通过门 G, 计数器做加计数。随着计数的进行, D/A 转换器的输出  $u_o$  不断增加, 当  $u_o = u_i'$  时, 比较器的输出  $u_c = 0$ , 封锁门 G, 计数器停止计数。此时计数器的计数值就是转换的结果。根据上述工作原理, 本题解法如下:

(1) 当  $u_i' = 6.2V$  时,  $\Delta = 1V$ , 则  $u_i'/\Delta \approx 6.2/1 = 6.2$  (倍), 即  $u_i' \approx 6.2\Delta$ , 因为尾数  $0.2 < \Delta/2$ , 故舍去, 所以量化电压  $u_i^* = 6\Delta = 6 \times 1 = 6V$ , 故输出的二进制数  $d_2 d_1 d_0 = 110$ 。

(2) 转换误差  $= (1 \times 2^2 + 1 \times 2^1) \times \Delta - 6.2V = -0.2V$ 。

(3) 减少电路的转换误差, 即提高电路的转换精度, 可以采取 2 种措施: 一种是在 D/A 转换器的输出端引入负向偏移电压  $\Delta/2$ , 减少量化误差; 另一种是增加电路中 D/A 转换器输入二进制数的位数, 以提高转换器的分辨率, 减小量化单位。

(4)  $u_{omax} = (1 \times 2^2 + 1 \times 2^1 + 1 \times 2^0)\Delta - \Delta/2 = 6.5V$

【例 7.10】 试分析图 7.16 所示电路的工作原理, 画出输出电压  $u_o$  的波形。

【解】 AD7524 是 8 位 D/A 转换器, 其输入数字量和输出电压间的关系为

$$u_o = \pm \frac{U_{REF}}{2^8} (D_{n-1} \times 2^{n-1} + D_{n-2} \times 2^{n-2} + \cdots + D_1 \times 2^1 + D_0 \times 2^0)$$

2716 为只读存储器, 其输出的信息与输入的地址码间的关系如表 7.2 所列, 74LS161 为 2-16 进制同步加法计数器, 它的输出作为 2716 的地址码, 每输入 1 个时钟脉冲信号, 产生 1 个地址代码, 相应地址中所存的信息就从位线输出, 然后输入到 D/A 转换器中按  $u_o$  公式转换成电压信号。表 7.2 中列出的是 2716 的 16 个地址单元中所存的数据, 其波形如图 7.17 所示。

表 7.2 EPROM2716 存储内容

$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	0	0	0
0	1	1	0	0	0	0	0
0	1	1	1	0	0	1	0
1	0	0	0	0	1	0	0
1	0	0	1	0	1	1	0
1	0	1	0	0	0	0	0
1	0	1	1	0	0	1	0
1	1	0	0	0	1	0	0
1	1	0	1	1	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	0	0	0	0

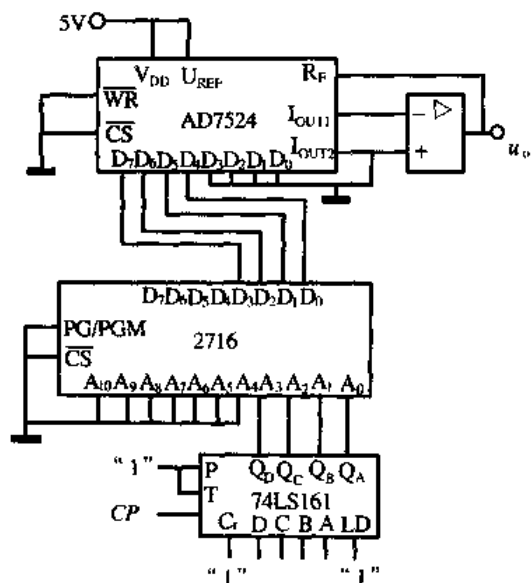


图 7.16 例 7.10 电路图

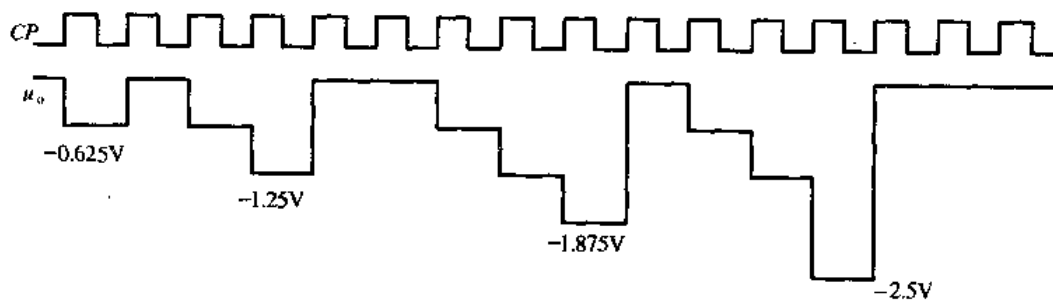


图 7.17 例 7.10 波形图

## 7.4 自我测试

【题 7.1】 选择与填空：

1. 8 位 D/A 转换器当输入数字量只有最高位为高电平时输出电压为 5V, 若只有最低位为高电平, 则输出电压为\_\_\_\_。若输入为 10001000, 则输出电压为\_\_\_\_。

A. 20mV , 5.32V

B. 40mV , 5.32V

C. 40mV , 2.66V

D. 80mV , 2.66V

2. A/D 转换的一般步骤包括\_\_\_\_、\_\_\_\_、\_\_\_\_和\_\_\_\_。

A. 采样, 保持, 量化, 译码

B. 取样, 保持, 量化, 编码

C. 采样, 保持, 量化, 编码

D. 采样, 保持, 数字化, 编码



3. 已知被转换的上限频率为 10kHz, 则 A/D 转换器的采样频率应高于\_\_\_\_。完成 1 次转换所用时间应小于\_\_\_\_。

- A. 40kHz, 50 $\mu$ s
- B. 20kHz, 60 $\mu$ s
- C. 20kHz, 50 $\mu$ s
- D. 40kHz, 80 $\mu$ s

4. 衡量 A/D 转换器性能的 2 个主要指标是\_\_\_\_和\_\_\_\_。

- A. 转换精度, 转换速度
- B. 分辨率, 转换速度

5. 就逐次逼近型和双积分型 2 种 A/D 转换器而言, \_\_\_\_ 抗干扰能力强, \_\_\_\_ 转换速度快。

- A. 双积分型, 逐次逼近型
- B. 逐次逼近型, 双积分型

6. 8 位逐次逼近型 A/D 转换器, 如所加时钟频率为 200kHz, 则完成 1 次转换需要的时间为\_\_\_\_。

- A. 80 $\mu$ s
- B. 60 $\mu$ s
- C. 50 $\mu$ s
- D. 70 $\mu$ s

7.  $3\frac{1}{2}$  位双积分型 A/D 转换器中计数器的容量为\_\_\_\_。

- A. 1999
- B. 2999
- C. 3999
- D. 3000

8. D/A 转换器的转换精度决定于\_\_\_\_。

- A. 分辨率
- B. 转换误差
- C. 分辨率与转换误差

9.  $n$  位 D/A 转换器的分辨率可表示为\_\_\_\_。

- A.  $\frac{1}{2^n - 1}$
- B.  $\frac{1}{2^{n-1}}$
- C.  $\frac{1}{2^n}$

10. 在位数不同的 D/A 转换器中, 分辨率最小的是\_\_\_\_。

- A. 4 位
- B. 8 位
- C. 10 位

11. 下面 D/A 转换器的转换误差最小的是\_\_\_\_。

- A. 1LSB
- B. 0.8LSB
- C. 0.5LSB

12. D/A 转换器产生转换误差的原因有\_\_\_\_。

- A. 参考电压的波动
- B. 运算放大器的零点漂移
- C. 模拟开关导通内阻和导通压降的差异
- D. 电阻网络中电阻阻值的偏差

13. 在下面 3 种类型的 A/D 转换器中, 转换速度最高的是\_\_\_\_; 转换速度最低的是\_\_\_\_; 转换精度最高的是\_\_\_\_; 转换精度最低的是\_\_\_\_; 转换速度与转换精度均较高的是\_\_\_\_。

- A. 并联比较型(并行)A/D 转换器
- B. 双积分型 A/D 转换器
- C. 逐位逼近型 A/D 转换器

14. 逐位逼近型 A/D 转换器的转换速度可表示为完成 1 次转换所需的时间\_\_\_\_。

- A.  $T = nT_{CP}$
- B.  $T = (n + 1)T_{CP}$
- C.  $T = (n + 2)T_{CP}$

15. 某 A/D 转换器有 8 路模拟信号输入, 若 8 路正弦输入信号的频率分别为 1kHz,

..., 8kHz, 则该 A/D 转换器的采样频率  $f_s$  的取值应为\_\_\_\_\_。

- A.  $f_s \leq 1\text{kHz}$     B.  $f_s = 8\text{kHz}$     C.  $f_s \geq 16\text{kHz}$

【解】

1. B    2. C    3. C    4. A    5. A    6. C    7. A    8. C    9. A    10. C    11. C    12. A, B, C, D    13. A, B, B, A, C    14. C    15. C

【题 7.2】 一个 8 位 D/A 转换器的最小输出电压增量为 0.02V, 当输入代码为 11011001 时, 输出电压  $u_o$  为多少伏?

【简答】

$$u_o = 0.02\text{V} \times (2^7 + 2^6 + 2^4 + 2^3 + 2^0) = 0.02\text{V} \times (128 + 64 + 16 + 8 + 1) = 4.34\text{V}$$

【题 7.3】 某一控制系统中, 要求所用 D/A 转换器的精度小于 0.25%, 试问应选用多少位的 D/A 转换器?

【简答】 分辨率 =  $\frac{1}{2^n - 1}$ , 而转换精度 =  $\frac{1}{2} \times$  分辨率, 由  $0.5\% \geq \frac{1}{2^{n-1}}$  得,  $n \geq 8$  位。

【题 7.4】 电路如图 7.18 所示, 当输入信号某位  $D_i$  为 0 时对应的开关  $S_i$  接地;  $D_i = 1$  时,  $S_i$  接基准电压  $U_{\text{REF}}$ 。试问:

- (1)  $U_{\text{REF}} = 10\text{V}$ , 输入信号  $D_4 D_3 D_2 D_1 D_0 = 10011$ , 则输出模拟电压  $u_o$  是多少?  
(2) 电路的分辨率为多少?

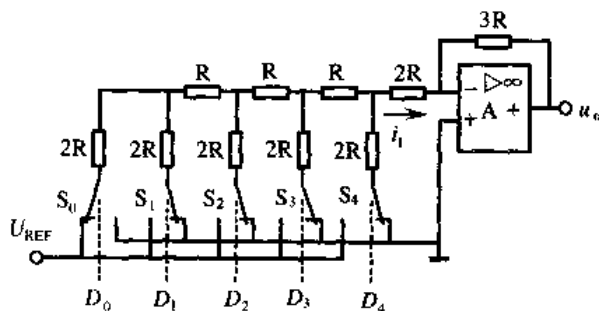


图 7.18 题 7.4 电路图

【简答】

$$(1) u_o = \frac{U_{\text{REF}}}{2^5} \times (2^4 + 2^1 + 2^0) = \frac{10\text{V}}{2^5} \times (2^4 + 2^1 + 2^0) = 0.313\text{V} \times 19 = 5.94\text{V}$$

$$(2) \text{分辨率为 } 5 \text{ 位, 或分辨率} = \frac{1}{2^5 - 1} = 0.0323。$$

【题 7.5】 图 7.19 为一个由 4 位二进制加法计数器、D/A 转换器、电压比较器和控制电路组成的数字式采样电路。若被检测信号为一个三角波, 试说明该电路的工作原理(测量前在  $\bar{R}_d$  端加负脉冲, 使计数器清零)。

【简答】 首先将二进制计数器清零, 使  $u_o = 0\text{V}$ 。加上输入信号 ( $u_i > 0\text{V}$ ), 比较器 A 输出高电平, 打开与门 G, 计数器开始计数,  $u_o$  增加, 同时  $u_i$  亦增加。若  $u_i > u_o$  时, 继续计数, 反之停止计数。但只要  $u_o$  未达到输入信号的峰值, 就会增加, 只有当  $u_o = u_{i\text{max}}$  时, 才会永远关闭门 G, 使之得以保持。

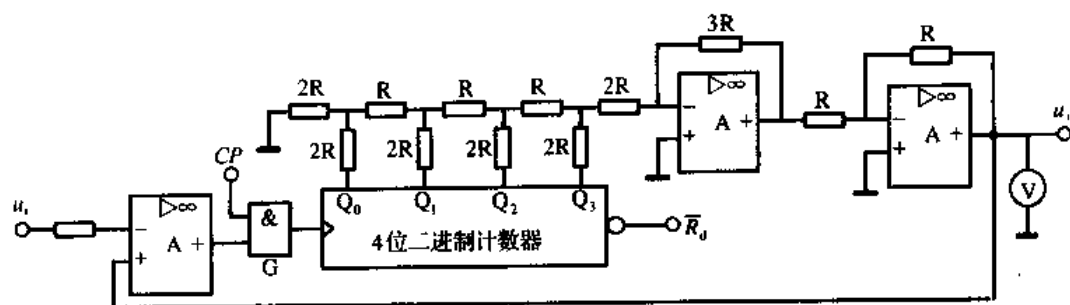


图 7.19 题 7.5 电路图

【题 7.6】 逐次逼近型 A/D 转换器中的 10 位 D/A 转换器的  $U_{omax} = 12.276V$ ,  $CP$  的频率  $f_{CP} = 500kHz$ 。

(1) 若输入  $u_i = 4.32V$ , 则转换后输出状态  $D = Q_9 Q_8 \cdots Q_0$  是什么?

(2) 完成这次转换所需的时间  $T$  为多少?

【简答】

(1) 10 位 D/A 转换器各个位数字量都为 1 时, 输出的电压值  $U_{omax} = 12.276V$ , 所以,  $U_{omax} = K(2^{10} - 1)$ , 即  $K = U_{omax} / (2^{10} - 1)$ ,  $K$  为比例系数, 单位为  $V$ 。

若输入  $u_i = 4.32V$ , 则有  $u_i = K(D_9 2^9 + D_8 2^8 + \cdots + D_0 2^0)$

于是

$$u_i / K = u_i (2^{10} - 1) / U_{omax} = (360)_{10} = (0101101000)_2$$

$$D = 0101101000$$

(2) 1 次转换所需的时间为

$$T = (n + 2) T_{CP} = (10 + 2) T_{CP} = 24\mu s$$

【题 7.7】 已知逐次逼近型 A/D 转换器中 12 位 D/A 转换器的输入  $D_{11} D_{10} \cdots D_0$  是 3 位(分别为个、十、百位)8421BCD 码, D/A 转换器的最大输出电压  $U_{omax}$  为  $12.0V$ 。当输入  $u_i = 7.5V$  时, 电路的输出状态是什么? 完成转换的时间是多少? 设时钟  $CP$  的频率  $f_{CP} = 400kHz$ 。

【简答】

$$D = Q_{11} Q_{10} \cdots Q_0 = 011000100100$$

$$T = (12 + 2) T_{CP} = 35\mu s$$

【题 7.8】 电路如图 7.20 所示。  $U_x$  是输入被测信号,  $U_o$  是 D/A 转换器的输出, 参考

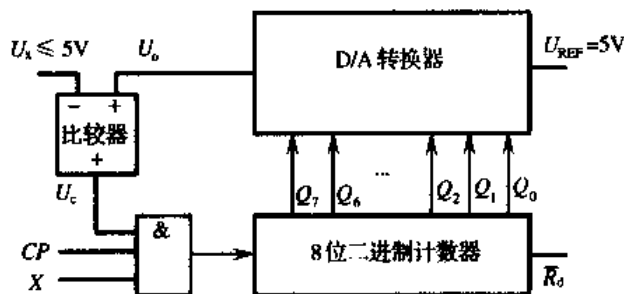


图 7.20 题 7.8 电路图

电压  $U_{\text{REF}} = 5\text{V}$ 。  $U_c$  是比较器的输出,  $X$  是控制信号, D/A 转换器的电路开始工作时, 应先对计数器清零。

请分析电路的工作原理, 回答下列问题:

- (1) 该电路完成什么功能?
- (2)  $X$  是如何起控制作用的? 电路是在  $X = 0$  还是  $X = 1$  时开始工作?
- (3) 比较器的作用是什么?
- (4) 计数器的输出  $Q_7 \sim Q_0$  输出的是数字量还是模拟量? 当比较结束时, 计数器的输出  $Q_7 \sim Q_0$  代表什么?
- (5) 如果 D/A 转换器的最大输出是  $U_o = 5\text{V}$ , 试计算最低有效位 1LSB。

[简答]

- (1) 电路是峰值检测电路。转换结束时,  $U_o$  为输入的最大值。
- (2) 当  $X = 0$ , 与门关闭, 计数器停止工作; 当  $X = 1$  时, 与门打开, 计数器工作。
- (3) 比较器用来比较  $U_o$  和  $U_x$  的大小。当  $U_x < U_o$  时,  $U_c = 1$ ; 当  $U_x > U_o$  时,  $U_c = 0$ 。
- (4) 计数器的输出  $Q_7 \sim Q_0$  输出的是数字量。当比较结束时, 计数器的输出  $Q_7 \sim Q_0$  代表  $U_x$  的数字化结果。
- (5) 如果 D/A 转换器的最大输出是  $U_o = 5\text{V}$ , 最低有效位  $1\text{LSB} = 5\text{V}/2^8 = 20\text{mV}$ 。

## 第8章 试题详解

本章从哈尔滨工业大学硕士研究生入学试题中选择了一部分,介绍给读者,目的是使读者具体地了解题型、试题难度、解题方法。以试题类型的形式给出这些试题,而不是以试卷的形式给出。

考试科目以电子技术基础(含模拟、数字电子技术基础)为主,本书仅限于数字电子技术基础部分。为了反映近年来学校的教学情况,试题基本上是1999年以后的试题,仅供参考。

### 8.1 逻辑函数的化简与变换试题

1. 逻辑函数  $P = A \oplus B \oplus C$ , 写成最小项和的形式应为  $P(A, B, C) = \sum m(\quad)$
2. 逻辑函数  $P = \overline{A \oplus B \oplus C}$ , 写成最小项和的形式应为  $\sum m(\quad)$
3. 根据反演规则, 若  $Y = \overline{AB + C + D + C}$ , 则  $\overline{Y} = \underline{\hspace{2cm}}$ 。
4. 逻辑函数式  $P(A, B, C) = \sum m(3, 5, 6, 7)$ , 化成最简与或式形式为  $\underline{\hspace{2cm}}$ 。

[解]

1.  $P(A, B, C) = \sum m(1, 2, 4, 7)$
2.  $P(A, B, C) = \sum m(0, 3, 5, 6)$
3.  $\overline{Y} = \overline{(AB + C + D)C}$
4.  $P(A, B, C) = AB + AC + BC$

### 8.2 逻辑门试题

#### 一、选择、填空

1. 门电路的扇出系数的表达式  $N = I_{OLmax}/I_{ILmax}$ , 其中  $I_{OLmax}$  是  $\underline{\hspace{2cm}}$ ;  $I_{ILmax}$  是  $\underline{\hspace{2cm}}$ 。
2. 电路如图 8.1 所示, TG 为 CMOS 传输门, G 为 TTL 与非门, 则  $C = 0$  时,  $P = \underline{\hspace{2cm}}$ ;  $C = 1$  时,  $P = \underline{\hspace{2cm}}$ 。
3. 电路如图 8.2 所示, 门电路均为 TTL 门, 则  $P_1 = \underline{\hspace{2cm}}$ ,  $P_2 = \underline{\hspace{2cm}}$ 。
4. 由 TTL 门电路组成的电路如图 8.3 所示, 已知它们的低电平输入电流  $I_{IL} = 0.4\text{mA}$ , 高电平输入电流  $I_{IH} = 20\mu\text{A}$ , 试问: 当  $A = B = 1$  时,  $G_1$  承受的  $\underline{\hspace{2cm}}$  (拉、灌) 电流为  $\underline{\hspace{2cm}}$  (mA、 $\mu\text{A}$ ); 当  $A = B = 0$  时,  $G_1$  承受的  $\underline{\hspace{2cm}}$  (拉、灌) 电流为  $\underline{\hspace{2cm}}$  (mA、 $\mu\text{A}$ )。
5. 图 8.4 中,  $G_1$  为三态门,  $G_2$  为 TTL 与非门, 当  $C = 1$  时:  
(1) 若 B 端悬空, 则万用表的读数近似为 (0V、1.4V、3.6V);

(2) 若  $B$  端改接至  $0.3V$ , 则万用表的读数近似为  $(0V, 0.3V, 1.4V)$ 。

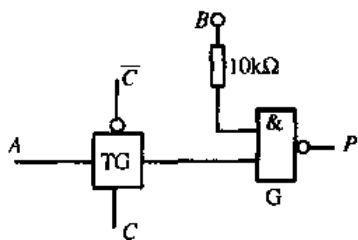


图 8.1 题 2 电路图

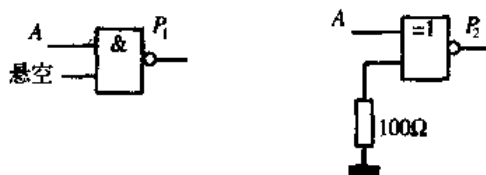


图 8.2 题 3 电路图

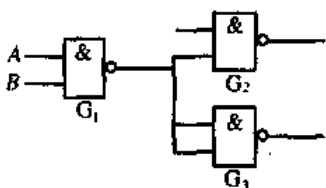


图 8.3 题 4 电路图

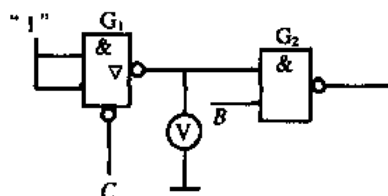


图 8.4 题 5 电路图

6. CMOS 门电路的输入电阻\_\_\_\_\_, 噪声容限\_\_\_\_\_于 TTL 门电路。CMOS 门电路的静态功耗\_\_\_\_\_; 而动态功耗随着工作频率的提高而\_\_\_\_\_。

7. 图 8.5 中  $G_1$  和  $G_2$  为三态门,  $G_3$  为 TTL 或非门。若取  $R = 100k\Omega$ , 则  $F =$  \_\_\_\_\_; 而当  $R = 100\Omega$  时,  $F =$  \_\_\_\_\_。

8. 两输入 TTL 与非门, 当输入均为高电平时, 输出为负载提供\_\_\_\_\_电流; 当输入有 1 个为低电平时, 输出为\_\_\_\_\_ (拉电流、灌电流)。

9. CMOS 门电路与 TTL 门电路相比, 它的静态功耗\_\_\_\_\_, 输入电阻\_\_\_\_\_, 噪声容限\_\_\_\_\_。

10. 使用集电极开路门时, 必须在它的\_\_\_\_\_与\_\_\_\_\_之间接入一个电阻。

11. 由 TTL 门组成的电路如图 8.6 所示, 已知它们的输入短路电流为  $I_{IS} = 1.6mA$ , 高电平输入漏电流  $I_{IH} = 0.04mA$ 。试问: 当  $A = B = 0$  时,  $G_1$  的输出电流为\_\_\_\_\_ (拉电流、灌电流), 其数值为\_\_\_\_\_ (mA);  $A = 1$  时,  $G_1$  的输出电流为\_\_\_\_\_ (拉电流、灌电流), 其数值为\_\_\_\_\_ (mA)。

12. 图 8.7 所示 TTL 门电路中,  $U_{i1}$  悬空时, 电压表的读数为\_\_\_\_\_;  $U_{i1} = 0.2V$  时, 电压表的读数为\_\_\_\_\_。

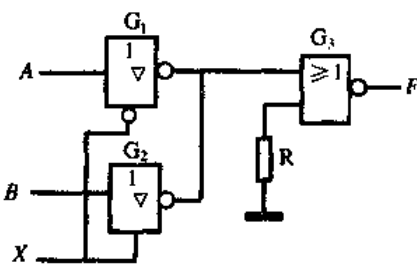


图 8.5 题 7 电路图

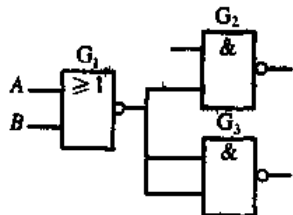


图 8.6 题 11 电路图

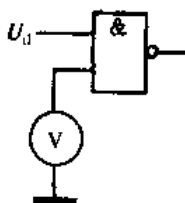


图 8.7 题 12 电路图

13. 在下列门电路中,输出端不可以并联使用的是\_\_\_\_\_。

- A. 具有推挽输出结构的 TTL 门电路      B. 集电极开路门(OC 门)  
C. 三态门      D. CMOS 传输门

14. 数字电路 1、电路 2、电路 3 的输入均为  $u_i$ , 输出分别为  $u_{o1}$ 、 $u_{o2}$ 、 $u_{o3}$ , 它们波形对应关系如图 8.8 所示, 则各电路的名称分别为: 电路 1 \_\_\_\_\_; 电路 2 \_\_\_\_\_; 电路 3 \_\_\_\_\_。

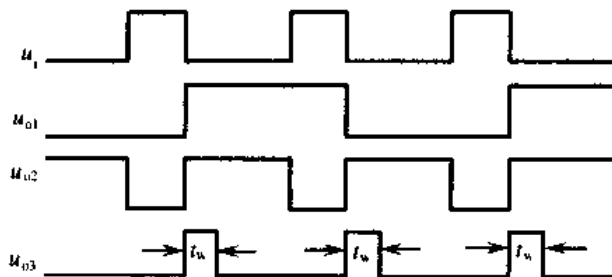


图 8.8 波形图

[解]

1. 输出低电平电流的最大值, 输入低电平电流

2. 0,  $\bar{A}$

3.  $\bar{A}$ ,  $\bar{A}$

4. 灌, 0.8mA, 拉电流,  $60\mu\text{A}$

5. (1)1.4V, (2)0.3V

6. 大, 高, 极低, 增加

7. 0,  $\overline{AX + BX}$

8. 灌电流, 拉电流

9. 低, 大, 高

10. 输出端, 电源

11. 拉电流, 0.12mA, 灌电流, 3.2mA

12. 1.4V, 0.2V

13. A

14. 2 分频, 反相器, 单稳态触发器

## 二、简答

1. 化简逻辑函数  $P = AB + \bar{A}C + \bar{B}C + CD$ , 用与非门实现该逻辑函数。

[解]

$$\begin{aligned}
 P &= AB + \bar{A}C + \bar{B}C + CD = \\
 &AB + \bar{B}C + AC + \bar{A}C + CD = \\
 &AB + \bar{B}C + C + CD = \\
 &AB + \bar{B}C + C = \\
 &AB + C \\
 P &= \overline{\overline{AB + C}} = \overline{\overline{AB} \cdot \bar{C}}
 \end{aligned}$$

逻辑图略。

2. 图 8.9(a)、(b)所示电路均由 TTL 门构成,试写出  $P_1$ 、 $P_2$  的表达式,并在图 8.10 中画出对应输入  $A$ 、 $B$ 、 $C$  的  $P_1$ 、 $P_2$  的波形。

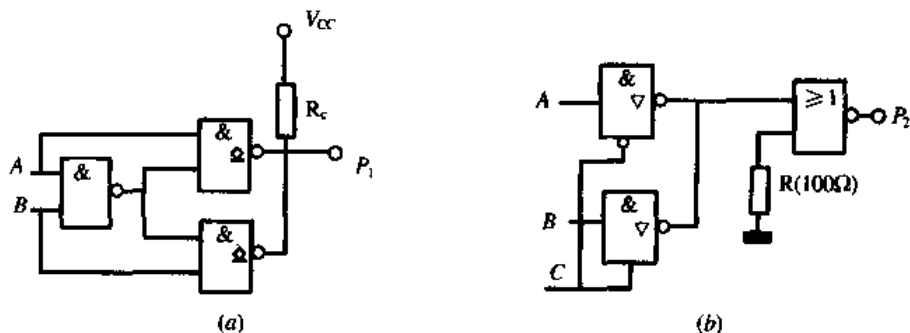


图 8.9 电路图

[解]

$$P_1 = \overline{A}B + AB, P_2 = \overline{A}C + BC$$

对应于输入  $A$ 、 $B$ 、 $C$  的  $P_1$ 、 $P_2$  的波形如图 8.11 所示。

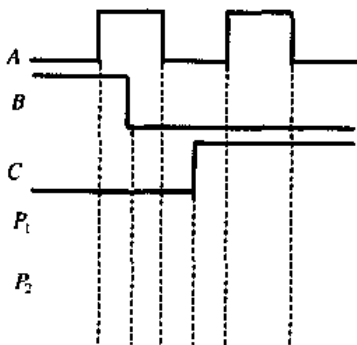


图 8.10 输入波形图

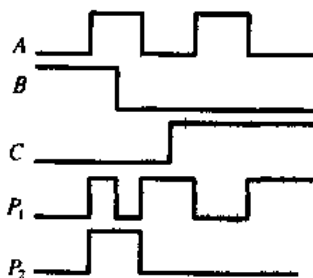


图 8.11 输出波形图

3. 已知某集成 TTL 与非门电路的管脚图,在只有稳压电源和万用表的情况下,如何检查芯片是否损坏。

[解] 接上电源,门电路的各管脚均悬空,用万用表测量其电压,若输入端读数约为 1.4V,输出为 0.2V ~ 0.3V,则芯片是好的;否则,说明已损坏。

4. 把逻辑函数  $P = AB + AC$  写成与或非型表达式,用集电极开路门实现之(允许有反变量输入)。

[解] 将  $P = AB + AC$  填入卡诺图,如图 8.12 所示。化简卡诺图,得

$$\overline{P} = \overline{A} + \overline{B}C$$

$$P = \overline{\overline{A} + \overline{B}C} = \overline{\overline{A}} \cdot \overline{\overline{B}C}$$

用集电极开路门实现之,电路如图 8.13 所示。

5. 有 2 个与非门电路,一个为 TTL 门,一个为 CMOS 门,现为你提供 5V 稳压电源和万用表,请用简单的方法将它们区分开来,并说明依据(已知电源引脚和地线引脚)。

[解] 接上电源和地线,用万用表测量集成电路各管脚电压,TTL 输入脚电压大约为 1.0V ~ 1.4V,输出脚电压 0.2V ~ 0.3V;而 CMOS 门的输入脚约为 0V,输出接近 5V。

6. 图 8.14 中, $G_1$  为 TTL 三态门, $G_2$  为 TTL 与非门。万用表表头的灵敏度为 20kΩ/V,



量程为 5V。试列表说明在  $C=1$ 、 $C=0$  的情况下  $S$  分别接①端、②端、③端、④端时万用表的读数和输出电压。

A	BC			
	00	01	11	10
0				
1		1	1	1

图 8.12 卡诺图

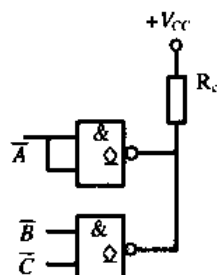
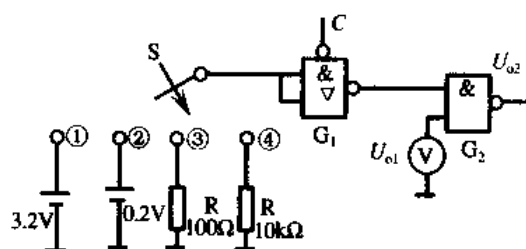
图 8.13 用集电极开路门实现  $P$ 

图 8.14 电路图

[解] 万用表的读数和输出电压如表 8.1 所列。

表 8.1 万用表读数和输出电压

$C$	$S$ 接到①端	$S$ 接到②端	$S$ 接到③端	$S$ 接到④端
1	$U_{o1} = 1.4V$	$U_{o1} = 1.4V$	$U_{o1} = 1.4V$	$U_{o1} = 1.4V$
	$U_{o2} = 0.3V$	$U_{o2} = 0.3V$	$U_{o2} = 0.3V$	$U_{o2} = 0.3V$
0	$U_{o1} = 0.3V$	$U_{o1} = 1.4V$	$U_{o1} = 1.4V$	$U_{o1} = 0.3V$
	$U_{o2} = 3.6V$	$U_{o2} = 0.3V$	$U_{o2} = 0.3V$	$U_{o2} = 3.6V$

7. 电路如图 8.15(a)、(b)所示,试写出输出  $F_1$ 、 $F_2$  的逻辑函数表达式

[解]

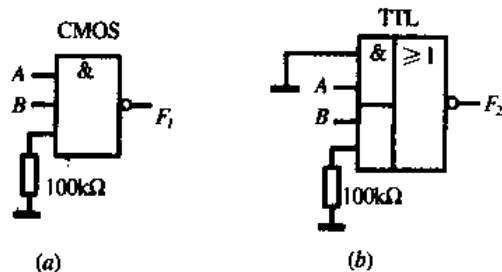


图 8.15 电路图

(a) CMOS 门电路; (b) TTL 门电路。

$$F_1 = 1, F_2 = \bar{B}$$

8. 电路如图 8.16 (a)、(b) 所示, 试写出其逻辑函数的表达式。

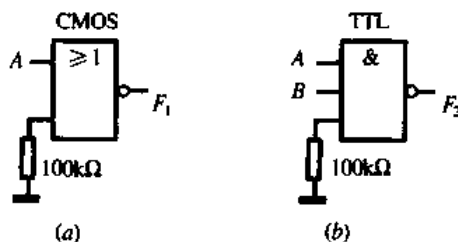


图 8.16 电路图

(a) CMOS 门电路; (b) TTL 门电路。

[解]

$$F_1 = \bar{A}, F_2 = 1$$

9. 由 TTL 异或门构成的电路如图 8.17(a) 所示, 图 8.17(b) 中给出了其输入端 A 的波形(波形①), 波形②、③、④、⑤分别为 4 位同学绘出的输出 Z 的波形, 你认为正确的是哪一个? 简要说明理由。

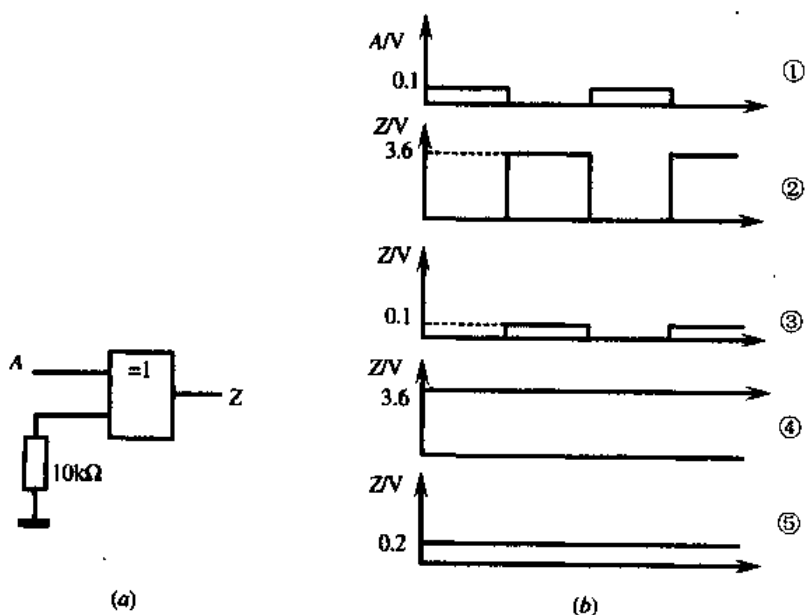


图 8.17 电路图和波形图

(a) 电路图; (b) 波形图。

[解] 波形④是正确的。因为 TTL 门输入端接  $10\text{k}\Omega$  电阻, 相当于接高电平, 所以  $Z = A \oplus 1 = \bar{A}$ 。而输入 A 始终是低电平, 所以输出始终为高电平。

10. 写出图 8.18(a)、(b) 所示电路的输出  $Y_1$ 、 $Y_2$  的表达式(电路中的三极管处于开或关状态)。

[解]

$$Y_1 = \overline{AB \cdot CD} = \overline{AB} + \overline{CD}$$

$$Y_2 = 1$$

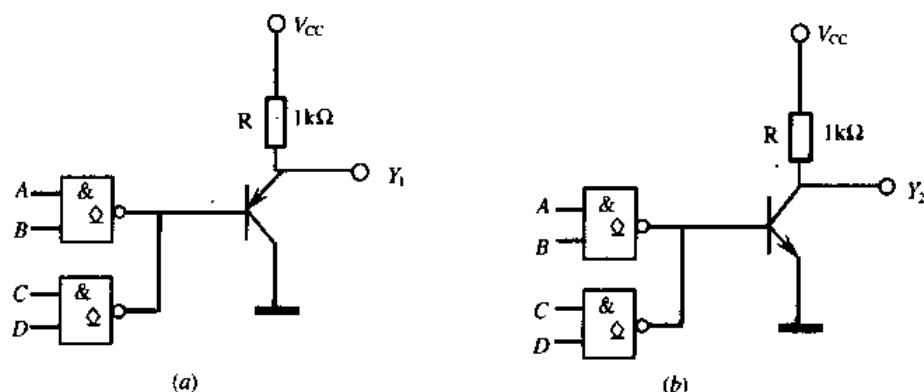


图 8.18 电路图

### 8.3 组合逻辑电路试题

1. 设计一组合数字电路, 输入为 BCD8421 码, 当该数大于 2 小于 7 时, 输出  $Y = 1$ , 否则  $Y = 0$ 。要求列出真值表, 写出  $Y$  的最简表达式。

(1) 用尽量少的与非门实现(输入端不允许有反变量)。

(2) 用八选一数据选择器和必要的门电路实现(数据选择器框图如图 8.19 所示, 输出  $Q$  的表达式为

$$Q = \overline{EN}(\overline{A_2} \overline{A_1} \overline{A_0} D_0 + \overline{A_2} \overline{A_1} A_0 D_1 + \overline{A_2} A_1 \overline{A_0} D_2 + \overline{A_2} A_1 A_0 D_3 + A_2 \overline{A_1} \overline{A_0} D_4 + A_2 \overline{A_1} A_0 D_5 + A_2 A_1 \overline{A_0} D_6 + A_2 A_1 A_0 D_7)$$

[解]

(1) 写出真值表, 采用卡诺图化简, 得

$$Y = \overline{BC} + \overline{BD} + \overline{BCD} = B \oplus (CD) \quad (A \text{ 为高位})$$

采用与非门实现的电路图如图 8.20 所示。

图 8.19 数据选择器框图

(2) 将  $Y$  写成  $A, B, C$  3 变量最小项和的形式, 并将其与  $Q$  的表达式进行比较。令  $A_2 = A, A_1 = B, A_0 = C$ , 得  $EN = 0, D_1 = D, D_2 = 1, D_0 = D_4 = 0, D_3 = \overline{D}, D_5, D_6, D_7$  为任意项。

2. 用卡诺化简逻辑函数  $F(A, B, C, D) = \overline{A} + C + \overline{D} + \overline{A} \overline{B} \overline{C} \overline{D} + \overline{A} \overline{B} C D$ , 约束条件:  $AB + AC = 0$ 。

(1) 用图 8.21 所示的一个与或非门实现之(允许有反变量输入, 不能再增加门和输

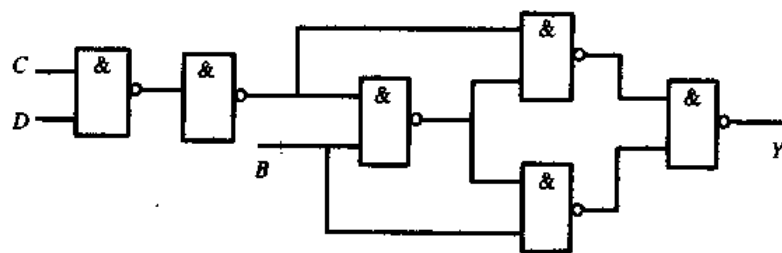


图 8.20 电路图

入端)。

(2) 用八选一数据选择器实现上述函数,八选一数据选择器框图如图 8.22 所示。

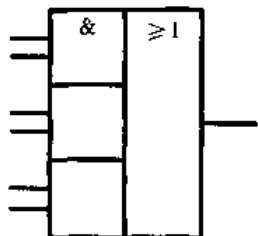


图 8.21 与或非门电路

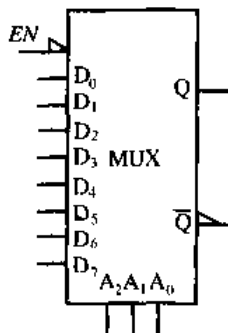


图 8.22 数据选择器框图

[解]

(1) 画出  $F$  的卡诺图,化简得

$$\bar{F} = \bar{A}D + \bar{A}\bar{D} + BC$$

将其化成与或非式为

$$F = \overline{\bar{A}D + \bar{A}\bar{D} + BC}$$

采用与或非门实现,电路图略。

(2) 令  $A_2 = A, A_1 = B, A_0 = C$ , 得  $EN = 0, D_0 = D_1 = D_2 = \bar{D}, D_3 = 0, D_4 = D, D_5, D_6, D_7$  可做任意项处理。

3. 分析图 8.23(a) 所示组合逻辑电路,写出  $F$  的表达式,说明其逻辑功能;然后改用四选一数据选择器实现。数据选择器的框图示于图 8.23(b), 功能如表 8.2 所列。

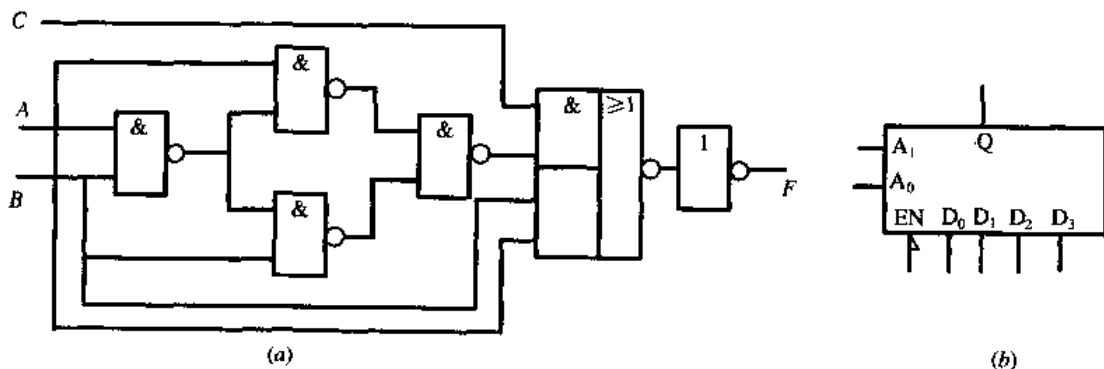


图 8.23 组合逻辑电路和数据选择器框图

(a) 组合逻辑电路图; (b) 数据选择器框图。

[解]  $F$  的表达式为

$$F = (A \oplus B)C + AB = \sum m(3, 5, 6, 7)$$

其逻辑功能为全加器的进位。

写出四选一数据选择器的输出表达式

$$Q = \overline{EN}(\bar{A}_1\bar{A}_0D_0 + \bar{A}_1A_0D_1 + A_1\bar{A}_0D_2 + A_1A_0D_3)$$

对比  $F, Q$  可得

表 8.2 功能表

S	$A_1$	$A_0$	$Q$
1	x	x	0
0	0	0	$D_0$
0	0	1	$D_1$
0	1	0	$D_2$
0	1	1	$D_3$

$$EN = 0, A_1 = A, A_0 = B, D_0 = 0, D_1 = D_2 = C, D_3 = 1$$

用数据选择器实现  $F$  的电路图略。

4. 分析图 8.24 所示电路的逻辑功能, 写出输出  $Y$  的逻辑表达式, 然后改用四选一数据选择器和适当的门电路实现(要求步骤完整)。

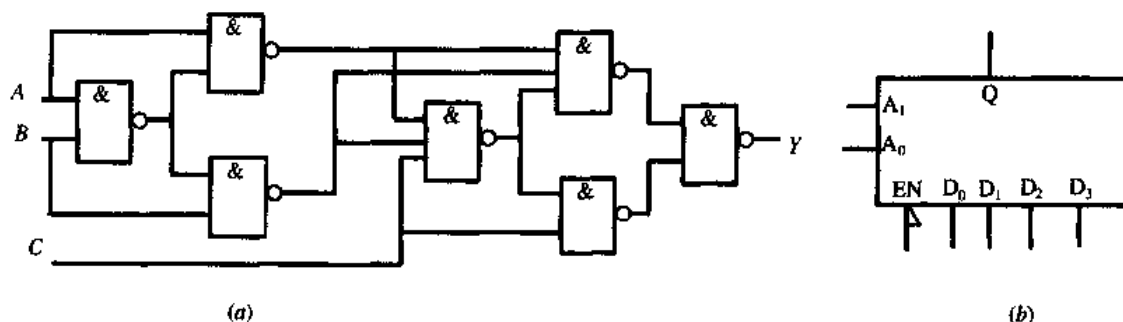


图 8.24 电路图

【解】  $Y$  的表达式为

$$Y = A \oplus B \oplus C = \sum m(0, 3, 5, 6)$$

写出四选一数据选择器的输出表达式(见第 3 章)。将  $Y$  的表达式展成  $A, B$  最小项和的形式。将 2 个表达式对比, 得到

$$EN = 0, A_1 = A, A_0 = B, D_0 = \bar{C}, D_1 = C, D_2 = C, D_3 = \bar{C}$$

用数据选择器实现  $Y$  的电路图略。

5. 图 8.25 是由 74LS138 和与非门构成的电路。

(1) 试写出  $P_1$  和  $P_2$  的表达式, 说明其逻辑功能。

(2) 用图 8.26 所示双四选一数据选择器实现  $P_1$  和  $P_2$ 。

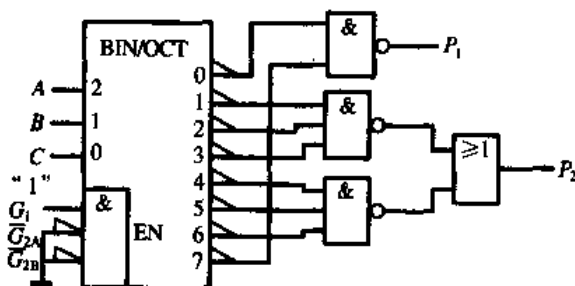


图 8.25 电路图

【解】

(1) 写出  $P_1$  和  $P_2$  的表达式, 并采用卡诺图化简, 得

$$P_1 = \bar{A}\bar{B}\bar{C} + ABC$$

$$P_2 = \bar{A}C + \bar{B}C + \bar{A}\bar{B}$$

或

$$P_2 = \bar{A}C + \bar{B}C + \bar{A}\bar{B}$$

该电路为不一致电路。当  $A = B = C$  时,  $P_1 = 1, P_2 = 0$ ; 当  $A, B, C$  不相等时,  $P_1 = 0, P_2 = 1$ 。

(2) 用双四选一数据选择器实现  $P_1$  和  $P_2$  ( $A$  为高,  $B$  为低), 电路如图 8.27 所示。

$$EN = 0$$

$$P_1: D_0 = \bar{C}, D_1 = D_2 = 0, D_3 = C$$

$$P_2: D_0 = C, D_1 = D_2 = 1, D_3 = \bar{C}$$

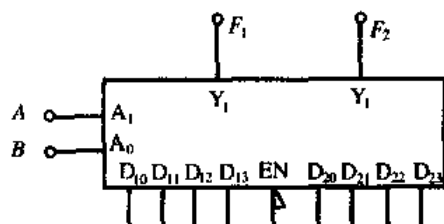


图 8.26 双四选一数据选择器

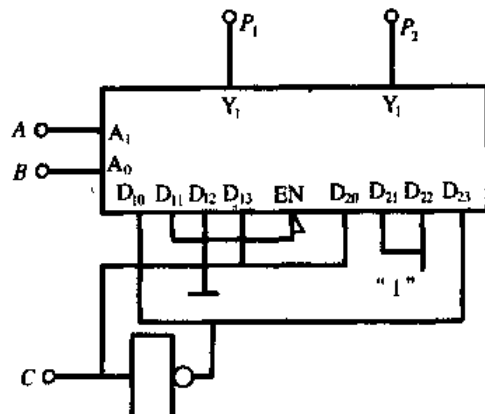


图 8.27 用双四选一数据选择器实现  $P_1$ 、 $P_2$  图

6. 图 8.28(a)所示为双四选一数据选择器构成的组合逻辑电路, 输入变量为  $A$ 、 $B$ 、 $C$ , 输出逻辑函数为  $F_1$ 、 $F_2$ 。

(1) 试写出  $F_1$ 、 $F_2$  逻辑关系式并化简。

(2) 用图 8.28(b)所示 74LS138 译码器和适当的门电路重新实现  $F_1$ 、 $F_2$ 。

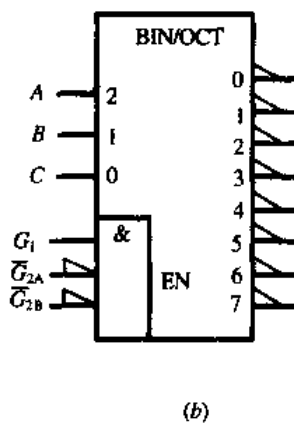
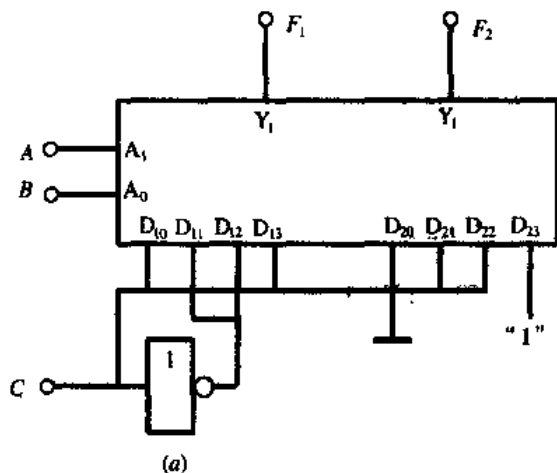


图 8.28 组合逻辑电路和译码器

(a) 组合逻辑电路; (b) 译码器。

【解】

(1)  $F_1$ 、 $F_2$  逻辑式为

$$F_1 = \sum m(1, 2, 4, 7) = A \oplus B \oplus C$$

$$F_2 = \sum m(3, 5, 6, 7) = AB + (A \oplus B)C$$

(2) 74LS138 译码器的输出为最小项的反, 用 74LS138 译码器和适当的门电路实现

$F_1$ 、 $F_2$ , 得图 8.29。

7. 设计用 3 个开关控制 1 个发光二极管的逻辑电路, 要求改变任何一个开关的状态都能控制发光二极管由亮变灭或者由灭变亮

(1) 用异或门实现该逻辑电路。用发光二极管和 NPN 三极管设计一个输出指示电路, 当输出高电平时点亮发光二极管 ( $U_D = 1.8V$ )。设三极管的  $\beta = 50$ , 异或门输出高电平  $U_{OH} = 3.6V$ , 三极管的发射结压降  $U_{BE} = 0.6V$ , 为使发光二极管的工作电流为  $5mA$ , 请合理选择电路参数, 并画出电路图。

(2) 用八选一数据选择器实现该逻辑电路(八选一数据选择器的框图如图 8.30 所示)。

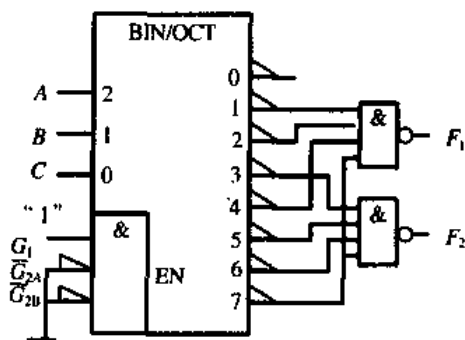


图 8.29 实现  $F_1$ 、 $F_2$  电路图

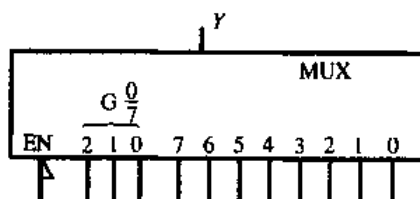


图 8.30 八选一数据选择器框图

[解]

(1) 根据题意知, 输入变量是 3 个开关:  $A$ 、 $B$ 、 $C$ ; 输出变量是 1 个发光二极管  $L$ 。真值表, 如表 8.3 所列, 卡诺图如图 8.31 所示。

表 8.3 真值表

$A$	$B$	$C$	$L$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

	BC	00	01	11	10
A	0	0	1	0	1
	1	1	0	1	0

图 8.31 卡诺图

$$P = \sum m(1, 2, 4, 7) = A \oplus B \oplus C$$

用异或门实现电路, 如图 8.32 所示。电路中的参数计算如下:

$$I_{CS} = \frac{V_{CC} - U_D - U_{CES}}{R'} = \frac{5 - 1.8 - 0.3}{R'} = I_D = 5mA$$

$$R' \approx 580\Omega$$

$$I_{BS} = \frac{I_{CS}}{\beta}$$

$$\frac{3.6V - 0.6V}{R} \times \beta = 5mA$$

$$R \approx 30k\Omega$$

(2) 用八选一数据选择器实现该逻辑电路如图 8.33 所示。

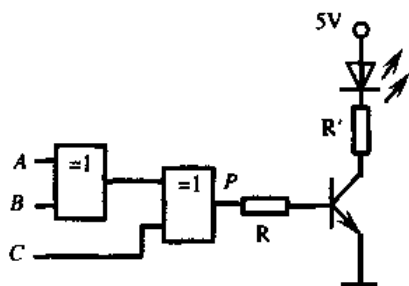


图 8.32 用异或门实现的逻辑电路

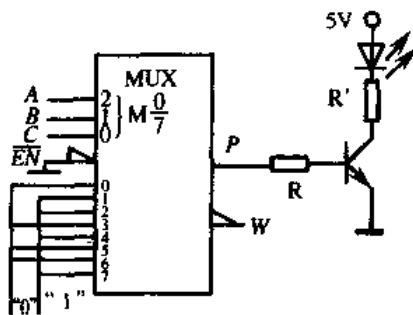


图 8.33 用数据选择器实现的逻辑电路

8. 4 位全加器 74LS283 组成的电路如图 8.34(a)所示,  $D, C, B, A$  为 BCD8421 码, 试写出  $Y$  的表达式。并说明  $D'C'B'A'$  为何种编码? 请用图 8.34(b) 给出的八选一数据选择器实现  $Y$ 。

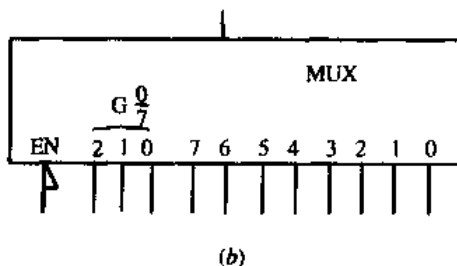
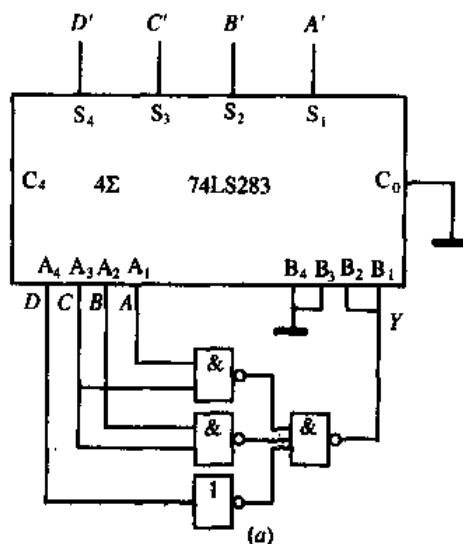


图 8.34 电路图

(a) 4 位全加器 74LS283; (b) 八选一数据选择器。

[解]

$$Y = \overline{D} \cdot \overline{CA} \cdot \overline{CB} = D + CA + CB$$

真值表如表 8.4 所列。由表 8.4 可知: 当  $DCBA$  为 BCD8421 码,  $D'C'B'A'$  为 BCD5421 码。

将  $Y$  的表达式展成 3 变量 ( $D, C, B$ ) 最小项和的形式, 与八选一数据选择器输出表达式进行比较, 得

$$D_0 = D_1 = 0, D_2 = A, D_3 = D_4 = 1, D_5 = D_6 = D_7 = \phi$$

用八选一数据选择器实现的电路如图 8.35 所示。

9. 有一组合逻辑电路, 不知其内部结构, 但测出其输入  $A, B, C$  及输出  $Z$  的波形如图 8.36 所示。请列出真值表, 用卡诺图化简法求出最简与或表达式, 用与非门实现其逻辑功能。

[解] 根据输入  $A, B, C$  及输出  $Z$  的波形, 得真值表, 如表 8.5 所列。采用卡诺图化



简化化简,得最简与或表达式为

$$Z = B + \bar{C}A$$

化成与非与非式,得

$$Z = B + \bar{C}A = \overline{\overline{B + \bar{C}A}} = \overline{\overline{B} \cdot \overline{\bar{C}A}} = \overline{\overline{B} \cdot C \cdot \bar{A}}$$

用与非门实现的电路图略。

表 8.4 真值表

D C B A	D' C' B' A'
0 0 0 0	0 0 0 0
0 0 0 1	0 0 0 1
0 0 1 0	0 0 1 0
0 0 1 1	0 0 1 1
0 1 0 0	0 1 0 0
0 1 0 1	1 0 0 0
0 1 1 0	1 0 0 1
0 1 1 1	1 0 1 0
1 0 0 0	1 0 1 1
1 0 0 1	1 1 0 0
8 4 2 1 码	5 4 2 1 码

BCD8421 + 0000

BCD8421 + 0011

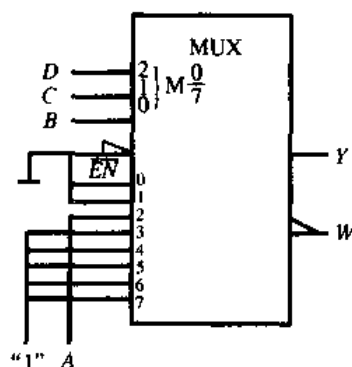


图 8.35 电路图

表 8.5 真值表

A B B	Z
0 0 0	1
0 0 1	0
0 1 0	1
0 1 1	1
1 0 0	0
1 0 1	0
1 1 0	1
1 1 1	1

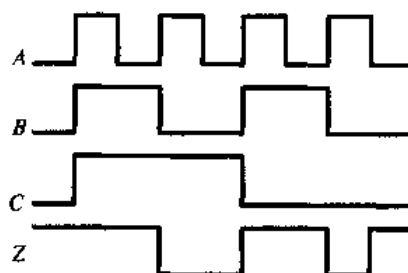


图 8.36 组合逻辑电路图

10. 分析图 8.37 所示逻辑电路,写出输出  $Y_0$ 、 $Y_1$ 、 $Y_2$  和  $Y_3$  的表达式,说明该电路的逻辑功能;在此基础上,用一或非门实现异或逻辑  $Y = A \oplus B$ 。

【解】

$$Y_0 = \bar{A}\bar{B}, Y_1 = \bar{A}B, Y_2 = A\bar{B}, Y_3 = AB$$

列出真值表,可知该电路为 2 变量最小项译码器。

$Y = A \oplus B = \bar{A}B + A\bar{B} = \overline{\bar{A}\bar{B} + AB}$ ,用一或非门实现异或逻辑运算的电路图见如 8.38 所示。

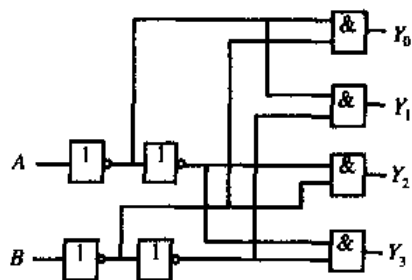


图 8.37 逻辑电路图

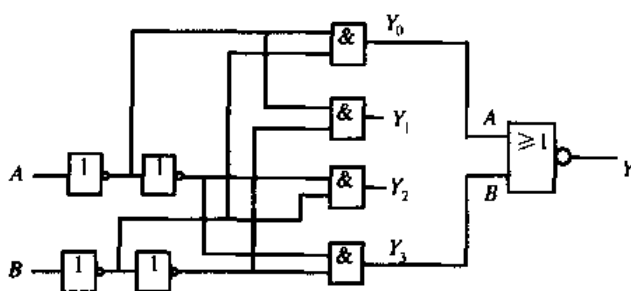


图 8.38 或非门实现异或逻辑功能的电路图

11. 用四选一数据选择器构成的电路如图 8.39 所示。

(1) 分析电路, 求出  $AB = 00, 01, 10$  和  $11$  4 种情况下  $Y$  的最简式。

(2) 将  $Y$  化为形如  $Y(A, B, C) = \sum m_i$  的标准与或式形式。

[解]

(1) 当  $AB = 00, 01, 10$  和  $11$  4 种情况下  $Y$  的最简式如表 8.6 所列。

(2)  $Y$  的标准与或式为

$$Y(A, B, C, D) = \sum m(0, 5, 10, 12, 15)$$

表 8.6 4 种情况下  $Y$  的最简式

$AB$	$Y$	$Y$ 的最简式
00	$D_0$	$Y = D_0 = \bar{C}\bar{D}$
01	$D_1$	$Y = D_1 = \bar{C}D$
10	$D_2$	$Y = D_2 = C\bar{D}$
11	$D_3$	$Y = D_3 = \bar{C}\bar{D} + CD$

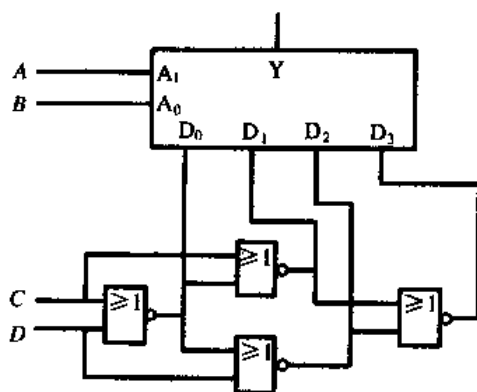


图 8.39 电路图

## 8.4 触发器和定时器试题

1. 图 8.40 所示为由 CMOS 门构成的电路和输入波形图。

(1) 写出当  $C = 0$  时  $Q$  的表达式。

(2) 写出当  $C = 1$  时  $Q$  的表达式。

(3) 在图 8.40 中画出  $Q$  的波形。

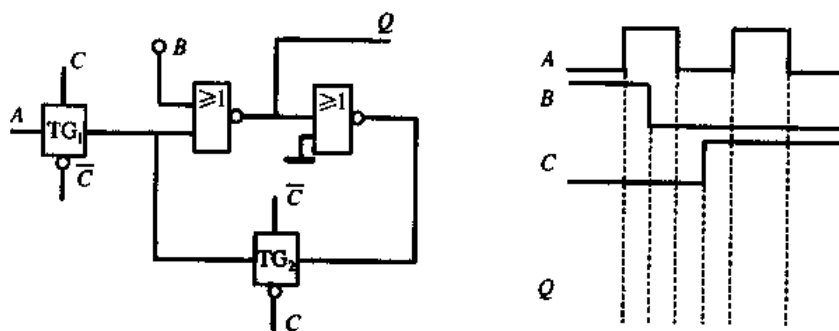


图 8.40 电路图和输入波形图

[解]

(1) 当  $C = 0$  时,  $Q^{n+1} = \bar{B}Q^n$ 。

(2) 当  $C = 1$  时,  $Q = A + \bar{B} = \overline{AB}$ 。

(3)  $Q$  的波形如图 8.41 所示。

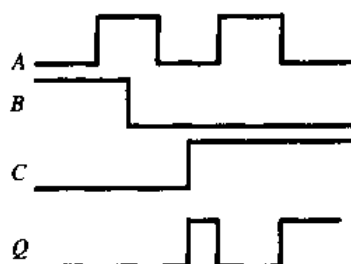


图 8.41 波形图

2. 图 8.42 所示电路中, 输出能实现对时钟信号 2 分频的电路为\_\_\_\_\_。

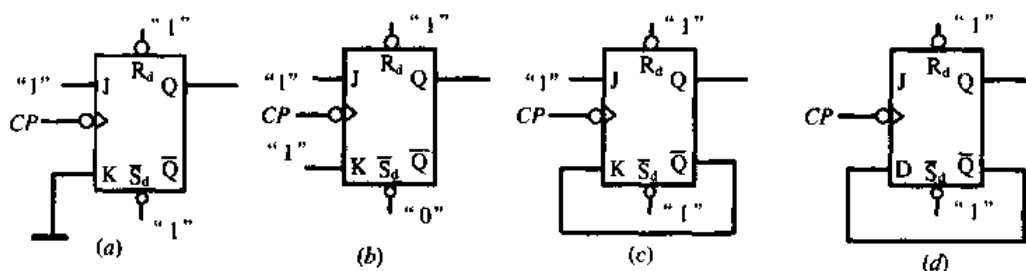


图 8.42 电路图

【解】 (d)

3. 已知电路及 CP、A 的波形如图 8.43 所示, 设触发器的初态为“0”, 试画出  $Q_1$ 、 $Q_2$  以及输出端 Z 的波形。

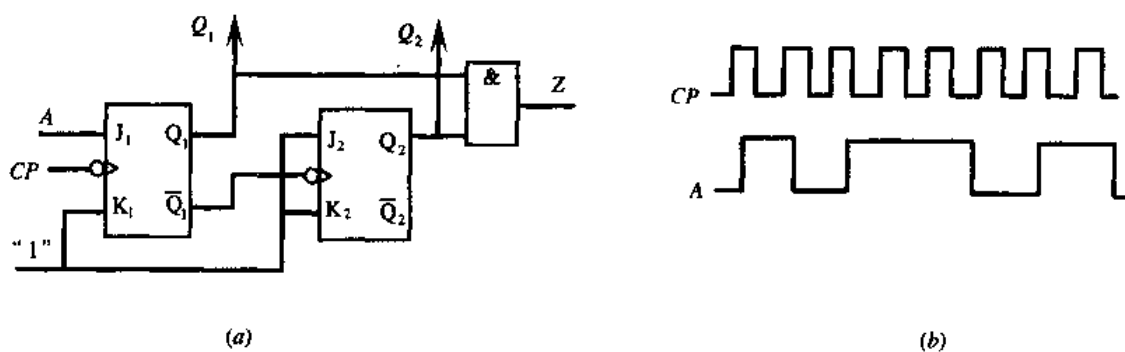


图 8.43 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

【解】

(1) 写出驱动方程

$$J_1 = A, K_1 = 1, J_2 = K_2 = 1$$

(2) 写出状态方程

$$Q_1^{n+1} = A \overline{Q_1^n}, Q_2^{n+2} = A \overline{Q_2^n}$$

(3) 写出输出方程

$$Z = Q_1^{n+1} Q_2^{n+1}$$

(4)  $Q_1$ 、 $Q_2$  以及输出端  $Z$  的波形图略

4. 图 8.44 为由 555 定时器构成的电路, 已知  $R_1 = 3.9\text{k}\Omega$ ,  $R_2 = 3\text{k}\Omega$ ,  $C = 1\mu\text{F}$ 。请问:

(1) 555 定时器构成的是哪种脉冲电路?

(2) 画出  $u_c$ 、 $u_o$  的波形。

(3) 计算  $u_o$  的频率。

[解]

(1) 555 定时器构成的是多谐振荡电路。

(2)  $u_c$ 、 $u_o$  的波形如图 8.45 所示。

$$(3) f = \frac{1}{0.7(R_1 + 2R_2)C} = 143\text{Hz}$$

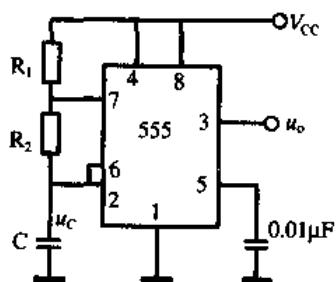


图 8.44 电路图

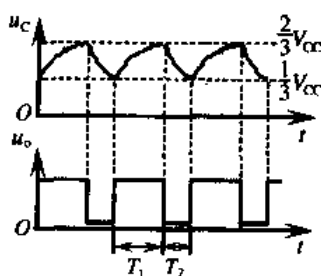


图 8.45 波形图

5. 已知电路及  $CP$ 、 $A$  的波形如图 8.46(a) 和 (b) 所示, 设触发器的初态均为“0”, 试画出输出端  $B$  和  $C$  的波形。

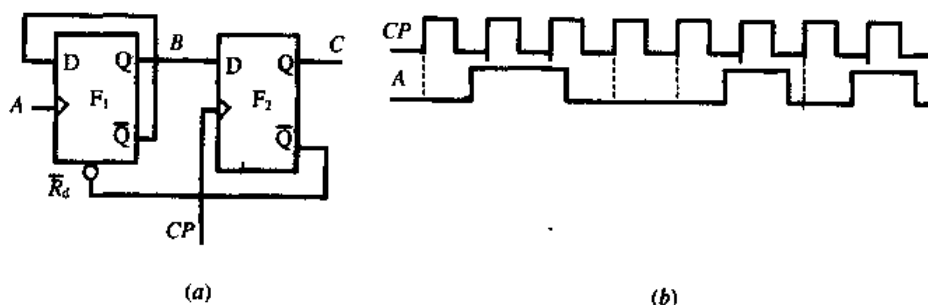


图 8.46 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

[解] 输出端  $B$  和  $C$  的波形如图 8.47 所示。

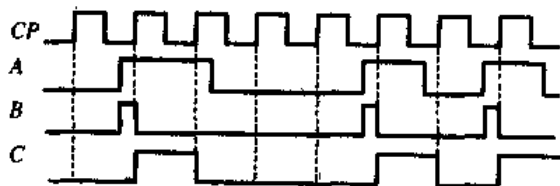


图 8.47 波形图

6. 用 555 定时器组成的电路如图 8.48 所示。已知:  $R_1 = R_2 = 1\text{k}\Omega$ ,  $R_w = 10\text{k}\Omega$ ,  $C = 0.1\mu\text{F}$ ,  $VD_1$ 、 $VD_2$  为理想二极管。

(1) 写出该电路的名称, 画出  $u_c$ 、 $u_o$  的波形。

(2) 求  $u_o$  的频率  $f$ 。

(3) 求占空比  $D$  的变化范围。

[解]

(1) 该电路为多谐振荡器,  $u_c$ 、 $u_o$  的波形如图 8.49 所示。

$$(2) f = \frac{1}{0.7(R_1 + R_2 + R_w)C} = 1190\text{Hz}.$$

$$(3) \text{占空比范围为 } \frac{1}{12} \sim \frac{11}{12}.$$

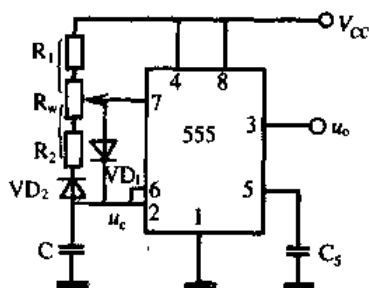


图 8.48 电路图

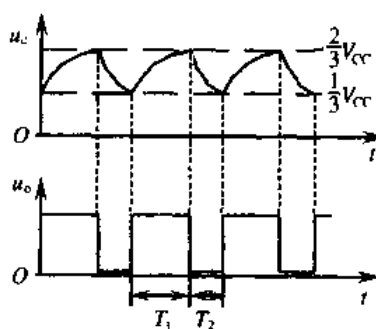
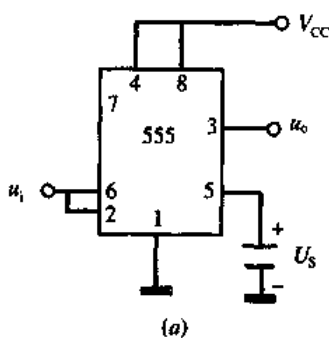


图 8.49 多谐振荡器的波形图

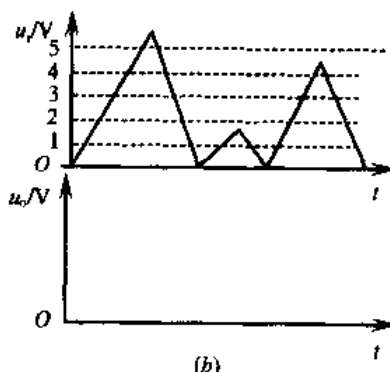
7. 由 555 定时器构成的电路如图 8.50(a) 所示, 其中  $V_{CC} = 5\text{V}$ ,  $U_S \approx 4\text{V}$ 。回答下列问题:

(1) 555 定时器构成的是哪种脉冲电路?

(2) 如果输入  $u_i$  如图 8.50(b) 所示信号, 画出对应  $u_o$  的波形。



(a)



(b)

图 8.50 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

[解]

(1) 555 定时器构成的是施密特触发器。

(2)  $u_o$  的波形如图 8.51 所示。

8. 图 8.52 是由 555 定时器组成的电路, 输入信号  $u_i$  的频率约为 1Hz 左右或更低,  $U_A$  调到 2.5V。

- (1) 当  $u_i$  大于 2.5V 时, 哪个 LED 亮?
- (2) 当  $u_i$  小于多少伏时表示低电平输入, 此时哪个 LED 亮?

[解]

- (1) 当  $u_i > 2.5V$  时 LED<sub>1</sub> 亮, LED<sub>2</sub> 灭。
- (2) 当  $u_i < 1.25V$ , LED<sub>2</sub> 亮。

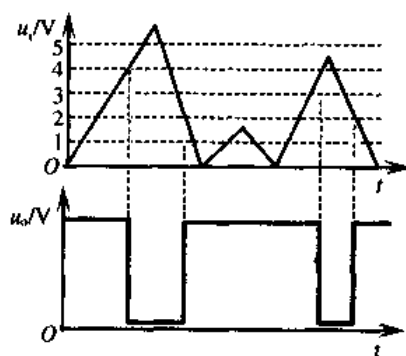


图 8.51 输入、输出波形图

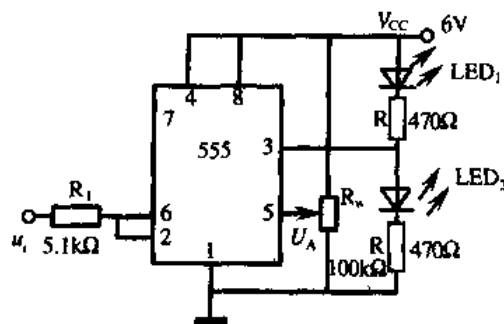


图 8.52 电路图

9. 试写出图 8.53(a) 所示电路  $Q$  的表达式, 并画出在图 8.52(b) 给定信号的作用下  $Q$  的波形, 设触发器的初态为“0”。

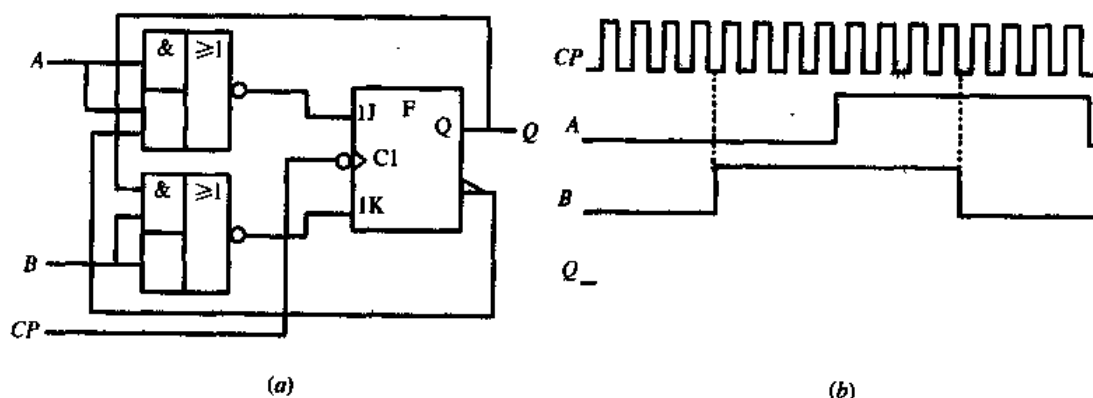


图 8.53 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

[解]

$$Q^{n+1} = \bar{A}\bar{Q}^n + BQ^n$$

在图 8.53(b) 给定信号的作用下,  $Q$  的波形如图 8.54 所示。

10. 说明图 8.55(a) 所示电路的名称, 计算电路的暂稳时间  $t_w$ 。根据计算的  $t_w$  值确定哪一个输入触发信号是合理的, 并在图 8.55(b) 上分别画出这 2 个输入信号作用下的输出波形。

[解] 该电路为单稳态触发器。暂稳时间为

$$t_w \approx 1.1RC = 330\Omega \times 0.1 \times 10^{-6}F = 36.3\mu s$$

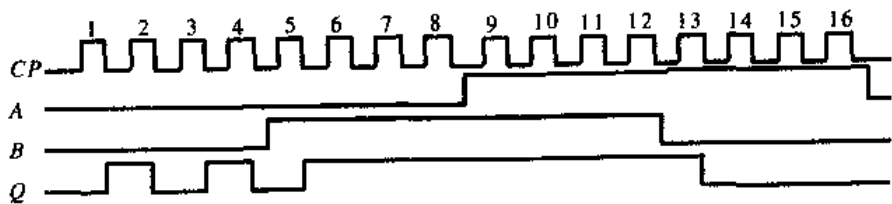
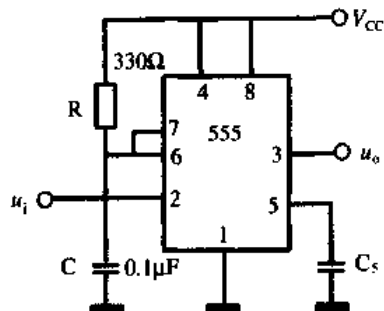
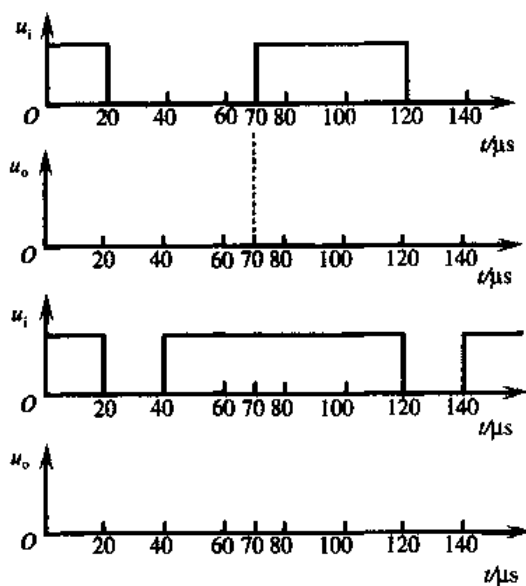


图 8.54 波形图



(a)



(b)

图 8.55 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

第 2 个输入是符合单稳态触发器对触发信号低电平宽度要求的, 即触发信号的低电平宽度要小于暂稳时间。若采用第 1 个触发信号, 由于它的低电平宽度达  $50\mu\text{s}$ , 超过了  $36.3\mu\text{s}$ , 因此暂稳态结束后, 触发信号仍然存在。此时, 因为触发输入为低电平, 所以 555 定时器的输出应为高电平。当达到  $70\mu\text{s}$  时刻, 触发输入变为高电平, 输出才变为低电平。输出相当触发输入的反相。在这 2 个输入信号作用下的输出波形如图 8.56 所示。

11. 试写出图 8.57(a) 电路  $Q$  的表达式, 并画出在图 8.57(b) 给定信号的作用下  $Q$  的电压波形, 设触发器的初态为“0”。

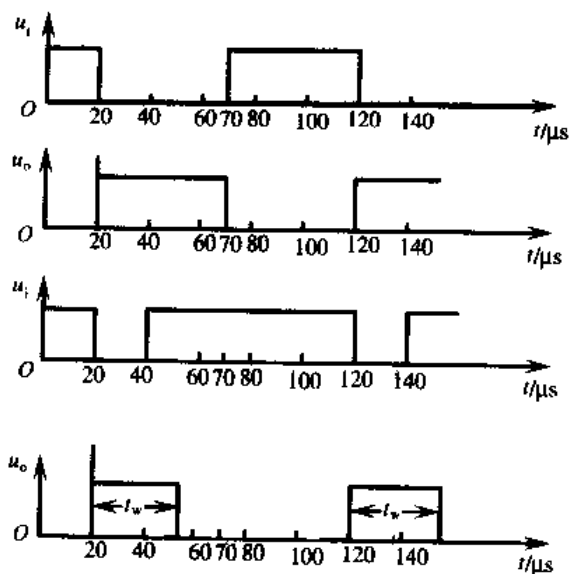


图 8.56 波形图

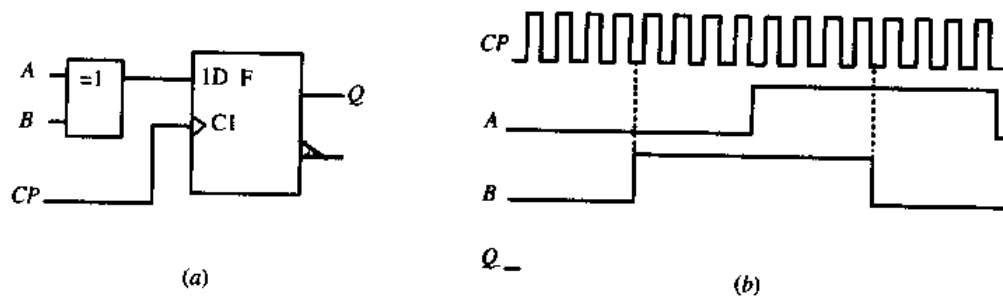


图 8.57 电路图和输入波形图

(a) 电路图; (b) 输入波形图。

[解]

$$Q^{n+1} = D = A \oplus B$$

在图 8.57(b) 给定信号的作用下,  $Q$  的电压波形如图 8.58 所示。

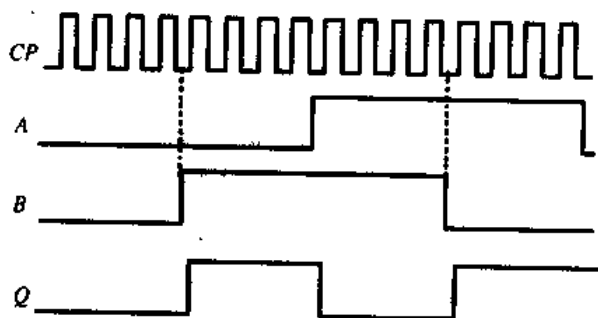


图 8.58 输入、输出波形图

12. 分析图 8.59 所示电路的工作原理, 计算  $u_{o1}$  和  $u_{o2}$  的频率, 定性画出  $u_{o1}$  和  $u_{o2}$  的波形图。



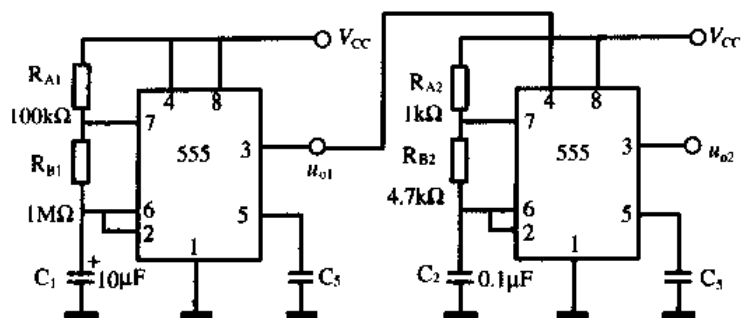


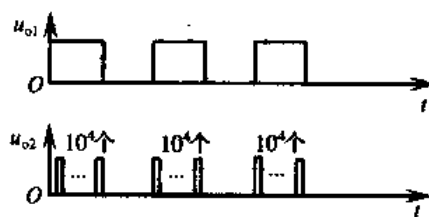
图 8.59 电路图

[解]

$$T_1 = T_{1H} + T_{1L} \approx 0.7(R_{A1} + R_{B1})C_1 + 0.7R_{B1}C_1 = 7.7s + 7s = 14.7s$$

$$T_2 = T_{2H} + T_{2L} \approx 0.7(R_{A2} + R_{B2})C_2 + 0.7R_{B2}C_2 = 0.399ms + 0.329ms = 0.724ms$$

根据电路连线,只有当  $u_{o1}$  为高电平时,定时器 II 才可能振荡。所以,在  $T_{1H} = 7.7s$  的期间内,555 定时器 II 才能振荡,振荡频率是  $f = 1/T_2 = 1.38kHz$ 。画出  $u_{o1}$  和  $u_{o2}$  的波形图如图 8.60 所示。

图 8.60  $u_{o1}$ 、 $u_{o2}$  波形图

13. 图 8.61 为由 555 定时器构成的电子门铃电路。按下开关 S 使门铃 B 鸣响,且抬手后持续一段时间。

- (1) 计算门铃鸣响频率。
- (2) 在电源电压  $V_{CC}$  不变的条件下,要使门铃的鸣响时间延长,可改变电路中哪个元件的参数?
- (3) 电路中电容  $C_2$  和  $C_3$  各起什么作用?

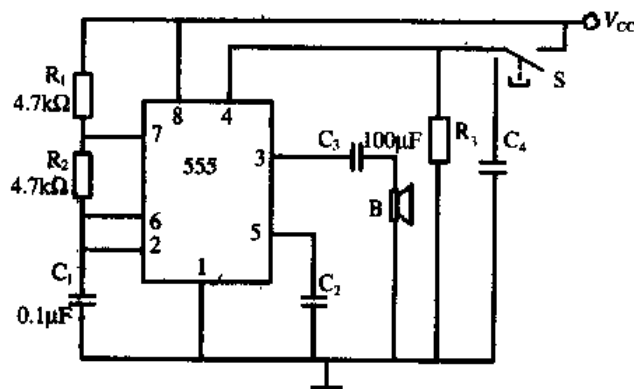


图 8.61 电子门铃电路

[解]

(1) 由  $T = 0.7(R_1 + 2R_2)C_1$  得

$$f = \frac{1}{T} = 100\text{kHz}$$

(2) 增大  $R_3$  或  $C_4$ , 可使门铃的鸣响时间延长。(3) 电路中电容  $C_2$  起滤波作用, 电容  $C_3$  起隔直流、通交流的作用。

## 8.5 时序逻辑电路试题

1. 分析图 8.62 所示电路。

(1) 设  $Q_3Q_2Q_1$  的初态为 011, 画出电路的状态转换表、状态转换图, 说明是几进制计数器。

(2) 验证电路能否自启动, 如不能, 请修改电路, 使之能自启动。

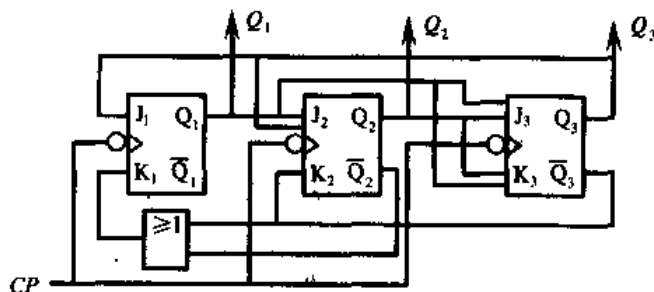


图 8.62 电路图

[解]

(1) 写出驱动方程

$$J_1 = Q_3, K_1 = \overline{Q_2} \cdot \overline{Q_3}$$

$$J_2 = Q_1 \cdot Q_3, K_2 = \overline{Q_3}$$

$$J_3 = K_3 = Q_1 \cdot Q_2$$

把驱动方程代入 JK 触发器的特性方程可得状态方程, 状态转换表如表 8.7 所列, 状态转换图如图 8.63 所示。该电路为同步五进制加法计数器。

表 8.7 状态转换表

CP	$Q_3$	$Q_2$	$Q_1$
0	0	1	1
1	1	0	0
2	1	0	1
3	1	1	0
4	1	1	1
5	0	1	1

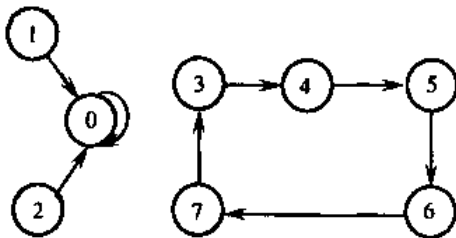


图 8.63 状态转换图

(2) 该电路不能自启动, 只需令  $J_3 = 1$  即可自启动, 过程略。

2. 电路如图 8.64 所示, 其中 74LS93 为 2-8 分频异步 2-16 进制加法计数器, 当  $R_{0(1)} = R_{0(2)} = 1$  时, 将计数器清零, 问:

(1) 由 555 定时器构成的是什么电路? 输出  $u_o$  的频率是多少(图中  $R_A = R_B = 10k\Omega$ ,  $C = 0.1\mu F$ )?

(2) 由 74LS93 构成的是几进制计数器, 画出其完整的状态转换图。

(3) 74LS93 之  $Q_D$  端的输出信号的频率是多少。

(4) 虚线框内电路的名称是什么? 简要说明它所起的作用。

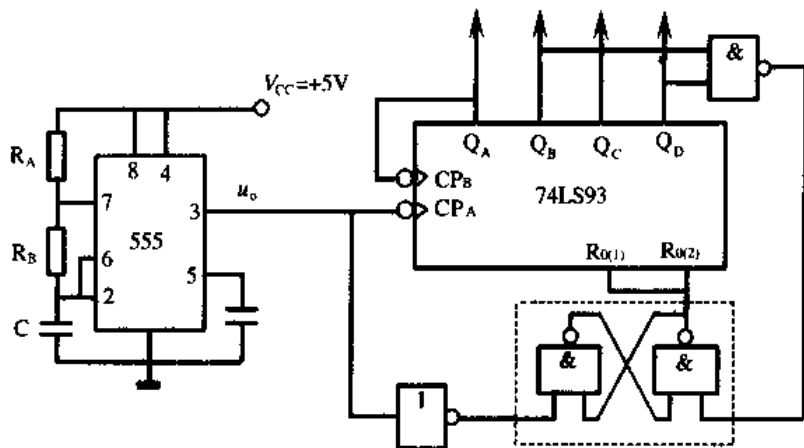


图 8.64 电路图

[解]

(1) 555 定时器构成的电路为多谐振荡器, 输出  $u_o$  的频率为

$$f_o = \frac{1}{0.7(R_A + 2R_B)C} = 476\text{Hz}$$

(2) 由 74LS93 构成的计数器是十进制加法计数器, 完整的状态转换图如图 8.65 所示。

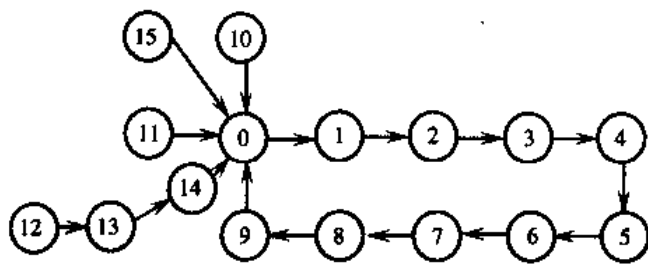


图 8.65 状态转换图

(3)  $f = f_o/10 = 47.6\text{Hz}$ 。

(4) 虚线框内电路是基本 RS 触发器, 其作用是使清零可靠。

3. 电路如图 8.66 所示, 其中  $R_A = R_B = 10k\Omega$ ,  $C = 0.1\mu F$ 。试问:

(1) 在  $U_k$  为高电平期间, 由 555 定时器构成的是什么电路, 其输出  $u_o$  的频率  $f_o = ?$

(2) 分析由 JK 触发器  $FF_1$ 、 $FF_2$ 、 $FF_3$  构成的计数器电路, 要求写出驱动方程和状态方

程,画完整的状态转换图。

(3) 设  $Q_3Q_2Q_1$  初态为 000,  $U_K$  所加正脉冲宽度  $T_w = 6/f_0$ , 脉冲过后  $Q_3Q_2Q_1$  将保持在哪个状态?

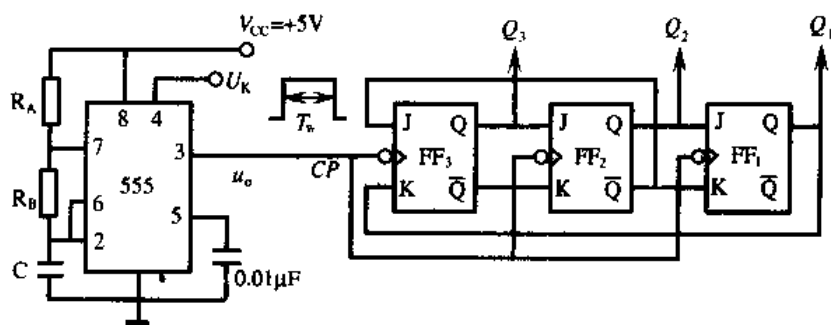


图 8.66 电路图

[解]

(1) 由 555 定时器构成的是多谐振荡器,  $f_0 = \frac{1}{0.7(R_A + 2R_B)C} = 476\text{Hz}$ 。

(2) 驱动方程和状态方程略。完整的状态转换图如图 8.67 所示。

(3) 因为  $T_w = \frac{6}{f_0}$ ,  $f_w = \frac{f_0}{6}$ , 所以脉冲过后  $Q_3Q_2Q_1$  将保持在 100。

4. 图 8.68 为由中规模 4 位二进制同步加法计数器 74LS161 构成的电路, 试画出完整的状态转换图, 说明它是几进制计数器? 何种编码? ( $Q_D$  为高位)

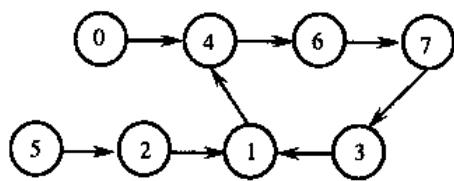


图 8.67 状态转换图

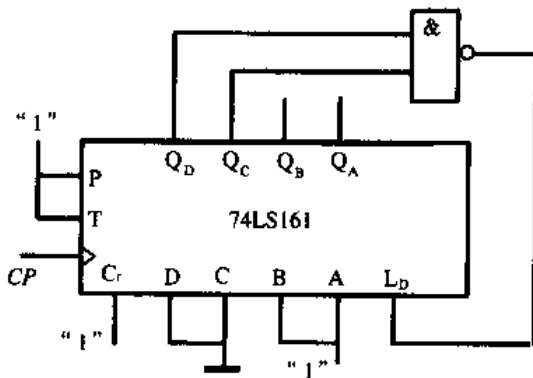


图 8.68 电路图

[解] 该电路组成十进制加法计数器, 余三码, 状态转换图如图 8.69 所示。

5. 用 2-16 进制同步加法计数器 74LS161 实现的计数器如图 8.70 所示, 试分析该电路。

(1) 画出完整的状态转换图。

(2) 画出  $CP$  作用下的  $Q_D$  的波形, 说明是几分频, 占空比为多少?

[解]

(1) 画出完整的状态转换图如图 8.71 所示。

(2)  $Q_D$  对  $CP$  6 分频, 占空比为 50%。

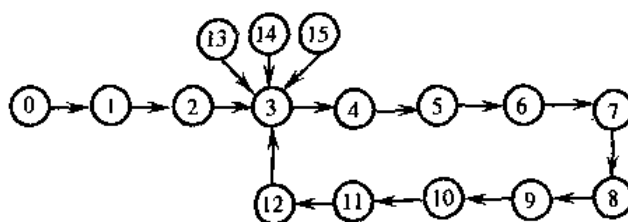


图 8.69 状态转换图

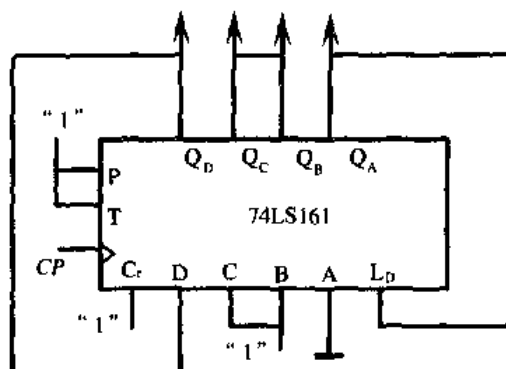


图 8.70 计数器电路

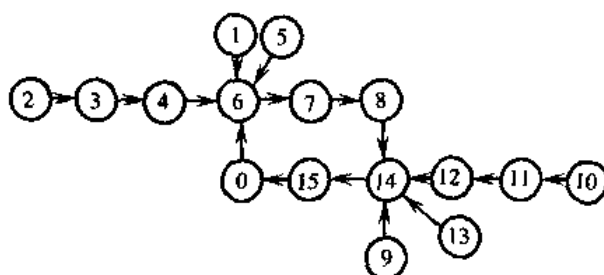


图 8.71 状态转换图

6. 电路如图 8.72 所示, 假设初始状态  $Q_a Q_b Q_c \approx 000$ 。

(1) 写出驱动方程、列出状态转换表、画出完整的状态转换图。

(2) 试分析由  $FF_a$ 、 $FF_b$  和  $FF_c$  构成的是几进制的计数器。

(3) 画出  $CP$  作用下  $Q_a$ 、 $Q_b$ 、 $Q_c$  的波形图。

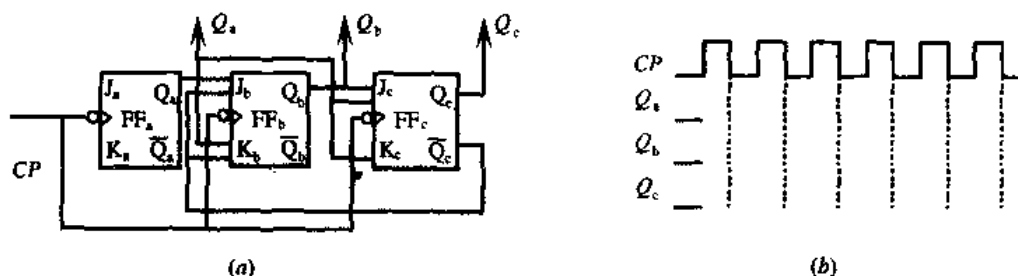


图 8.72 电路图和波形图

(a) 电路图; (b) 波形图。

[解]

(1) 写出驱动方程

$$J_a = K_a = 1$$

$$J_b = K_b = Q_a^n \bar{Q}_c^n$$

$$J_c = Q_b^n Q_a^n \quad K_c = Q_a^n$$

写出状态方程

$$Q_a^{n+1} = \bar{Q}_a^n$$

$$Q_b^{n+1} = Q_a^n \bar{Q}_c^n \bar{Q}_b^n + \overline{Q_a^n \bar{Q}_c^n Q_b^n}$$

$$Q_c^{n+1} = Q_a^n \bar{Q}_c^n Q_b^n + \bar{Q}_a^n Q_c^n$$

状态转换表如表 8.8 所列。完整的状态转换图如图 8.73 所示。

(2) 该电路为同步六进制加法计数器。

(3)  $Q_a$ 、 $Q_b$ 、 $Q_c$  的波形图略。

表 8.8 状态转换表

CP	$Q_c$	$Q_b$	$Q_a$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

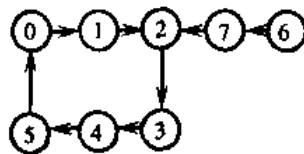
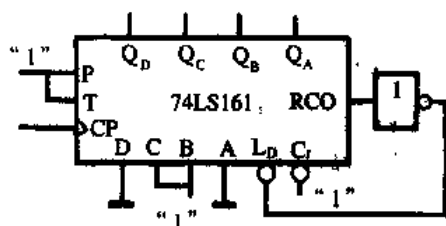
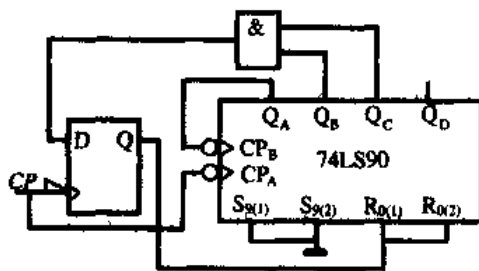


图 8.73 状态转换图

7. 分析图 8.74(a)、(b)所示的电路,说明它们分别是多少进制的计数器? 要求画出完整的状态转换图。



(a)



(b)

图 8.74 电路图

[解] 图 8.74(a)为十进制加法计数器,状态转换图如图 8.75(a)所示;图 8.74(b)为七进制加法计数器,状态转换图如图 8.74(b)所示。

8. 采用 JK 触发器组成电路,得到如图 8.76 所示的输出波形。

(1) 试问需要几个触发器。

(2) 设计该电路。

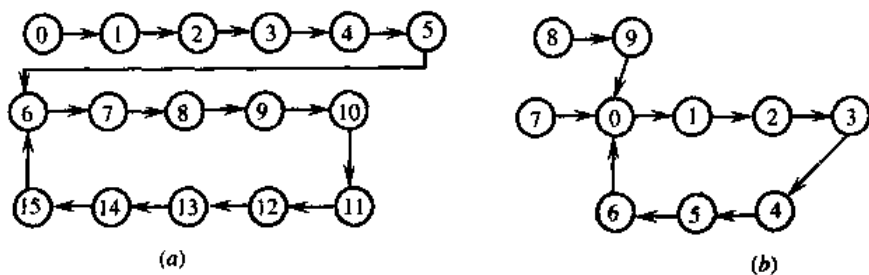


图 8.75 状态转换图

(a) 十进制加法计数器; (b) 七进制加法计数器。

(3) 检验该电路能否自启动。

[解] 根据图 8.76 给出的波形可知,要设计的是一个六进制计数器。

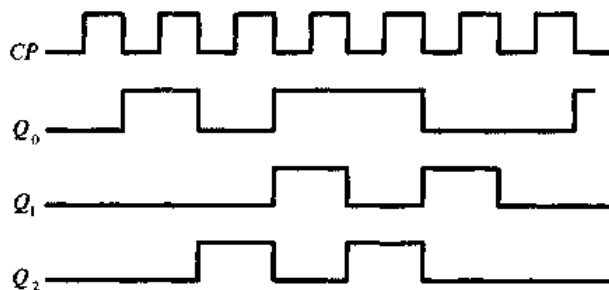
(1) 确定触发器的级数、类型。现要求设计的计数器有效状态为 6 个,即  $M=6$ ,触发器的数目  $N$  应满足  $2^N \geq M$ ,按题意要求需用 3 个 JK 触发器。

图 8.76 波形图

(2)  $Q^{n+1}$  的卡诺图如图 8.77 所示。

$Q_2^{n+1} \quad Q_1^{n+1} \quad Q_0^{n+1}$			$Q_1^n \quad Q_0^n$			
$Q_2^n$			00	01	11	10
0	0	0	001	100	101	000
			011	010	×	×

图 8.77 长诺图

(3) 求电路的驱动方程。 $Q^{n+1}$  的次态卡诺图是由 3 个卡诺图构成,由此可得到触发器的状态方程为

$$Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n$$

$$Q_1^{n+1} = Q_2^n \overline{Q_1^n}$$

$$Q_2^{n+1} = Q_0^n \overline{Q_2^n}$$

JK 触发器的特征方程为

$$Q^{n+1} = J_n \overline{Q^n} + \overline{K_n} Q^n$$

计数器的驱动方程为

$$J_0 = K_0 = \overline{Q_1^1}$$

$$J_1 = Q_2^0$$

$$J_2 = Q_0^0$$

$$K_1 = K_2 = 1$$

(4) 按驱动方程绘制逻辑图略。电路有 2 个无效状态,经检验可以自启动。完整的状态转换图如图 8.78 所示。

9. 分析图 8.79 的电路,说明它们是多少进制计数器?并回答:若将图(a)中与非门 G 的输出改接至  $C_r$  端,而令  $L_D = 1$ ,电路变为几进制?

【解】图(a)是七进制计数器,将图(a)中与非门 G 的输出改接至  $C_r$  端,而令  $L_D = 1$ ,电路变为六进制。图(b)是三进制计数器。

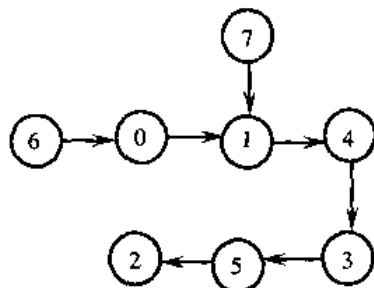
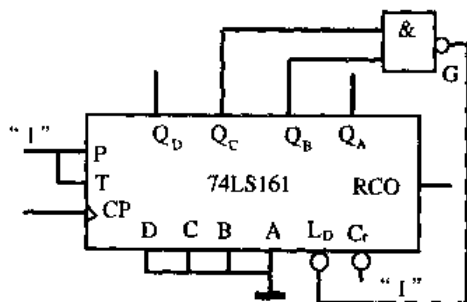
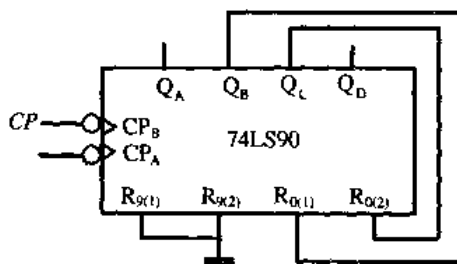


图 8.78 状态转换图



(a)



(b)

图 8.79 电路图

10. 图 8.80 为由 2-8 分频异步 4 位二进制加法计数器 74LS93 ( $R_{0(1)} = R_{0(2)} = 1$  时,计数器清零)和 4 位数码比较器 74LS85 构成的可变进制计数器电路,请问:

(1) 当  $I_3 I_2 I_1 I_0 = 1100$  时,电路为几进制计数器?简要说明理由。画出这种情况下的完整的状态转换图。

(2)  $G_1$  和  $G_2$  构成的是什么电路?能起到什么作用?

【解】

(1) 当  $I_3 I_2 I_1 I_0 = 1100$  时,电路为十二进制加法计数器,这种情况下的完整的状态转换图见图 8.81 所示。

(2)  $G_1$  和  $G_2$  构成的电路是基本 RS 触发器,起延迟半个时钟周期作用,可以使电路可靠清零。

11. 电路如图 8.82 所示,IC<sub>1</sub> 的功能表如表 8.9 所列,回答下列问题:

(1) 分析虚线框 1 内的电路(以  $Q_1$  为高位),写出驱动方程,列出状态转换表,画出完整的状态转换图,说明是几进制计数器。

(2) 画出虚线框 2 内电路在时钟  $CK$  作用下的完整的状态转换图( $Q_D$  为高位)。说明  $Q_D$  对  $CK$  几分频?



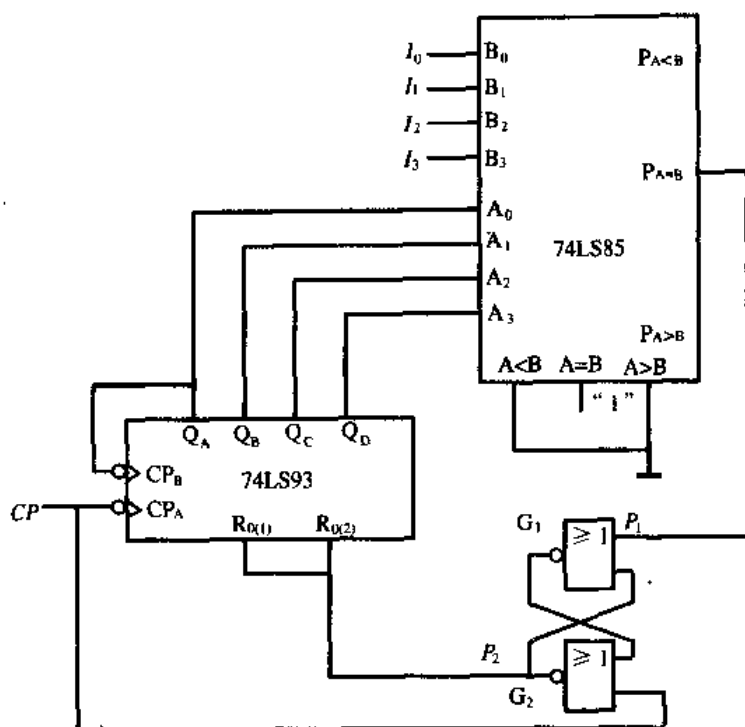


图 8.80 可变进制计数器电路

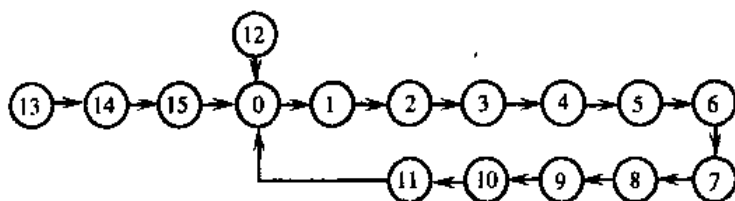


图 8.81 状态转换图

(3) 据  $IC_1$  的功能表, 写出它的名称。

(4) 若时钟脉冲  $CP$  的频率  $f_{CP} = 360\text{kHz}$ , 说明当  $A_1A_0 = 00, 01, 10, 11$  时,  $Q_D$  的频率分别为多少?

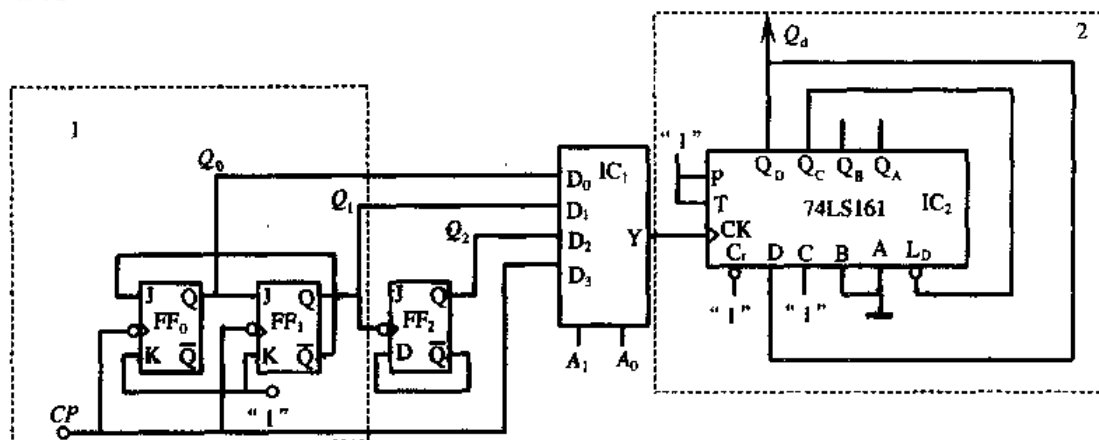


图 8.82 电路图

[解]

(1) 写出驱动方程和状态方程

$$J_0 = \overline{Q_1^a}, J_1 = Q_0^a, K_0 = K_1 = 1$$

$$Q_0^{a+1} = \overline{Q_1^a} Q_0^a, Q_1^{a+1} = \overline{Q_1^a} Q_0^a$$

状态转换表略, 完整的状态转换图如图 8.83 所示, 其为三进制加法计数器。

表 8.9 IC<sub>1</sub> 的功能表

$A_1$	$A_0$	$Y$
0	0	$D_0$
0	1	$D_1$
1	0	$D_2$
1	1	$D_3$

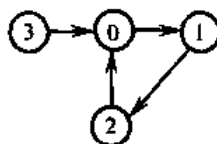


图 8.83 状态转换图

(2) 虚线 2 内电路在时钟 CK 作用下的完整的状态转换图如图 8.84 所示。 $Q_D$  对 CK 10 分频。

(3) 根据 IC<sub>1</sub> 的功能表, 其为四选一数据选择器。

(4) 当  $A_1A_0 = 00, 01$  时,  $Q_D$  的频率为 12kHz; 当  $A_1A_0 = 10$  时,  $Q_D$  的频率为 6kHz; 当  $A_1A_0 = 11$  时,  $Q_D$  的频率为 36kHz。

12. 图 8.85(a) 所示电路由计数器和组合电路两部分组成, 测得在 CP 作用下计数器 3 个输出端 A、B、C 的波形及组合电路的输出端 P 的波形如图 8.85(b) 所示。

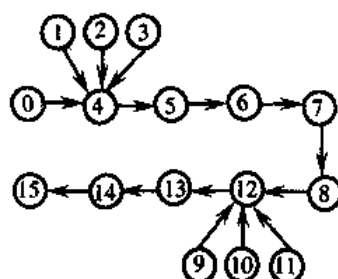


图 8.84 状态转换图

(1) 计数器是几进制的? 属加法计数器还是减法计数器? (以 C 为高位)

(2) 根据波形图 8.85(b) 设计图 8.85(a) 中的组合电路, 实现 P 的功能。列出真值表, 用卡诺图化简法得到最简与或式, 然后用尽量少的与非门实现该电路。

[解]

(1) 计数器是八进制加法计数器。

(2) 真值表如表 8.10 所列。经卡诺图化简得到最简与或式为

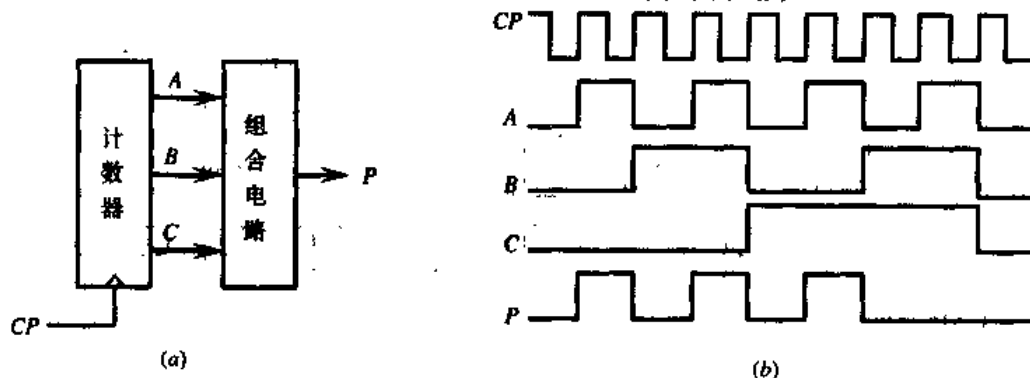


图 8.85 电路图和波形图

(a) 电路图; (b) 波形图。

$$P = A\bar{B} + A\bar{C}$$

将上式化简得到与非与非式,即

$$P = \overline{A\bar{B} + A\bar{C}} =$$

$$A \cdot \overline{BC} =$$

$$\overline{\overline{A \cdot BC}}$$

用 3 个与非门可以实现该电路,电路图略。

13. 电路如图 8.86 所示。

(1) 分析由触发器  $F_1$ 、 $F_2$ 、 $F_3$  构成的计数器 ( $Q_3$  为高位), 写出驱动方程, 列出状态转换表, 画出完整的状态转换图, 说明它是何种性质的计数器?

(2) 555 定时器构成的是哪种脉冲电路?

(3) 时钟  $CP$  的频率为 1kHz, 试计算 555 定时器输出电压  $u_o$  的周期和占空比。(占空比为高电平脉宽占周期的百分比)

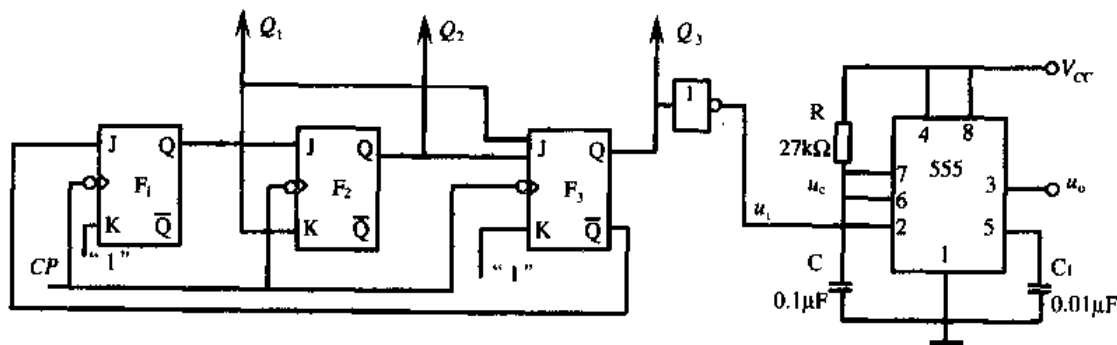


图 8.86 电路图

【解】

(1) 写出驱动方程和状态方程

$$J_1 = \overline{Q_3}, K_1 = 1, J_2 = K_2 = Q_1, J_3 = Q_1 Q_2, K_3 = 1$$

$$Q_1^{n+1} = \overline{Q_3} \overline{Q_1}, Q_2^{n+1} = \overline{Q_1} Q_2 + Q_1 \overline{Q_2}, Q_3^{n+1} = Q_1 Q_2 Q_3$$

状态转换表略, 完整的状态转换图如图 8.87 所示, 它是同步五进制加法计数器。

(2) 555 定时器构成的是单稳态触发器。

$$(3) \quad f = \frac{1\text{kHz}}{5} = 200\text{Hz}, T = 5\text{ms}$$

$$T_1 = \tau = 1.1RC = 3\text{ms}$$

$$D = \frac{T_1}{T} \times 100\% = 60\%$$

14. 图 8.88 所示电路由 2 种集成电路组成,  $IC_1$  的功能如表 8.11 所列,  $IC_2$  为可预置十进制同步加法计数器 74LS160, 功能如表 8.12 所列,  $R_c = Q_D \cdot Q_A \cdot T$  为进位输出。

(1) 根据  $IC_1$  的功能表, 说出它的名称。

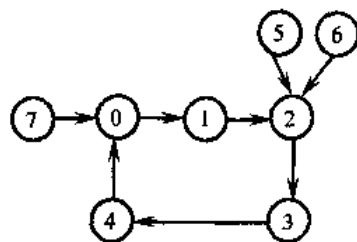


图 8.87 状态转换图

表 8.11 IC<sub>1</sub> 的功能表

输 入								输 出		
$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$B_2$	$B_1$	$B_0$
0	1	1	1	1	1	1	1	1	1	1
x	0	1	1	1	1	1	1	1	1	0
x	x	0	1	1	1	1	1	1	0	1
x	x	x	0	1	1	1	1	1	0	0
x	x	x	x	0	1	1	1	0	1	1
x	x	x	x	x	0	1	1	0	1	0
x	x	x	x	x	x	0	1	0	0	1
x	x	x	x	x	x	x	0	0	0	0

(2) 分析只有  $I_5$  对应的开关接通时,由 74LS160 构成的是几进制计数器,请画出完整的状态转换图。

(3) 若将对应于  $I_4$ 、 $I_5$  的开关同时接通,由 74LS160 构成的是几进制计数器?

(4) 若将对应于  $I_5$ 、 $I_6$  的开关同时接通,由 74LS160 构成的又是几进制计数器?

表 8.12 74LS160 功能表

$C_r$	$L_D$	$CP$	$P$	$T$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	x	x	x	x	0	0	0	0
1	0	↑	x	x	$D$	$C$	$B$	$A$
1	1	↑	$P$	$T=0$	保持			
1	1	↑	1	1	加法计数			

【解】

(1) 根据 IC<sub>1</sub> 的功能表可知 IC<sub>1</sub> 为优先编码器。

(2) 只有  $I_5$  对应的开关接通时,  $B_2B_1B_0 = 010$ , 则  $DCBA = 0101$ , 74LS160 所组成的计数器完整的状态转换图如图 8.89 所示, 其为五进制加法计数器。

(3) 若将对应于  $I_4$ 、 $I_5$  的开关同时接通, 由 74LS160 构成的计数器仍为五进制加法计数器, 状态转换图如图 8.89 所示。

(4) 若将对应于  $I_5$ 、 $I_6$  的开关同时接通,  $I_6$  的优先级高, 此时  $B_2B_1B_0 = 001$ , 则  $DCBA = 0110$ , 74LS160 所组成的计数器为四进制加法计数器。

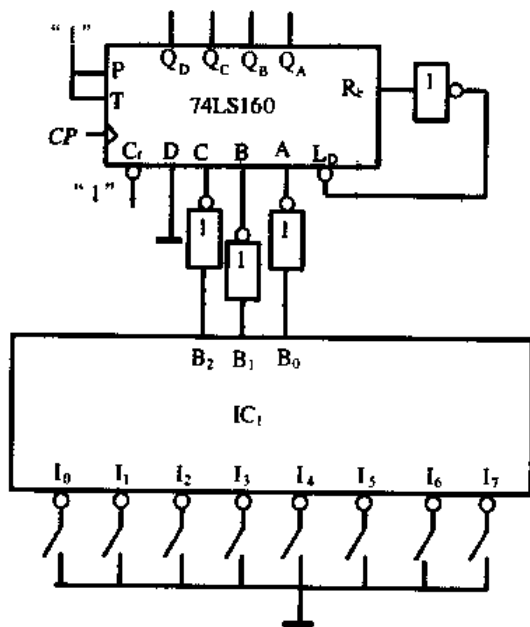


图 8.88 电路图

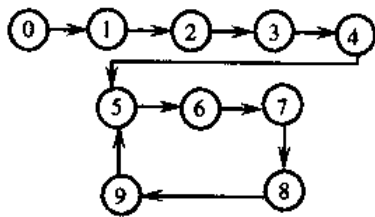


图 8.89 状态转换图

## 8.6 半导体存储器试题

1. 某 EPROM 有 8 位数据线, 13 位地址线, 则其存储容量为\_\_\_\_\_。
2. 关于 EPROM 的叙述, 正确的是\_\_\_\_\_。
  - A. 编程后可用紫外线擦除, 然后重新写入数据
  - B. 可用电信号擦除
  - C. 在单片机系统中常被用做数据存储器
3. 下列存储器中, 哪种或哪几种存储器在掉电后仍能保证所存的数据不丢失?  
\_\_\_\_\_。
  - A. EPROM
  - B. 动态 RAM
  - C. 静态 RAM
  - D. E<sup>2</sup>PROM
4. 存储器有 8 位数据线, 存储容量为 64k 位, 请问它应有多少位地址线。
5. 图 8.90 是一个  $8 \times 2$  位 ROM,  $A_2, A_1, A_0$  为地址输入,  $D_1, D_0$  为数据输出。问:
  - (1) 图中  $U_1$  完成什么功能?
  - (2) 写出  $D_1$  和  $D_0$  的逻辑表达式。
  - (3) 说明整个电路的逻辑功能。

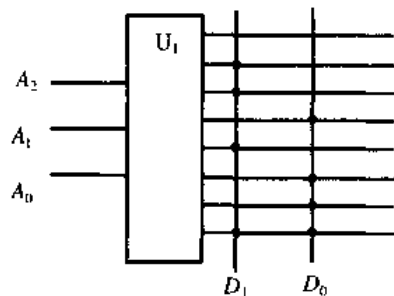


图 8.90  $8 \times 2$  位 ROM

- [解] 1.  $2^{13} \times 8$  位    2. A    3. A, D  
4. 13 条地址线  
5. (1) 地址译码器    (2)  $D_1 = \sum m(1, 2, 4, 7), D_0 = \sum m(3, 5, 6, 7)$     (3) 全加器

## 8.7 A/D 与 D/A 转换器试题

1. 下列 A/D 转换器中, 转换速度最快的是\_\_\_\_\_, 抗干扰能力最强的是\_\_\_\_\_。
  - A. 逐次逼近型
  - B. 并行比较型
  - C. 双积分型
- [解] B, C
2. 8 位 D/A 转换器当输入数字量 10000000 时为 5V。若只有最低位为高电平, 则输出电压为\_\_\_\_\_。若输入为 10001000, 则输出电压为\_\_\_\_\_。
 

[解] 40mV, 5.44V
3. 下列 A/D 转换器速度最慢的是\_\_\_\_\_。
  - A. 逐次逼近型 A/D 转换器
  - B. 双积分型 A/D 转换器
  - C. 并行比较型 A/D 转换器
- [解] B
4. 设被采集信号的最高频率  $f_{\max} = 10\text{kHz}$ , 幅度变化范围为  $0\text{V} \sim 5\text{V}$ , 要求 A/D 转换器的分辨率优于 5mV。你认为从逐次逼近型、双积分型及高速并行的 A/D 转换器中选择哪种最为合理? 为什么? 通过计算说明 A/D 转换器的位数至少应为多少?
 

[解] 应选择逐次逼近型 A/D 转换器。被采集信号的最高频率,  $f_{\max} = 10\text{kHz}$ , 系统采样频率  $f_s \geq 20\text{kHz}$ 。采样频率一般取到 50kHz 左右, 转换时间在  $20\mu\text{s}$  左右, 双积分型 A/D 转换器速度不够, 选高速双积分型 A/D 转换器的成本高。因为  $5\text{V}/5\text{mV} = 1000$ , A/D 转换

的位数  $n$  应满足  $2^n \geq 1000$ , 所以  $n = 10$ 。

5. 图 8.91 中 74LS161 为 2-16 进制加法计数器, 其进位允许端  $R_c = Q_A Q_B Q_C Q_D T$ , AD7524 为 8 位 D/A 转换器, 当  $D_7 = 1$ , 其他各位均为“0”时,  $u_o = -4V$ , 时钟 CP 的频率为 10kHz。

(1) 计数器初态为  $Q_A Q_B Q_C Q_D = 0110$ , 画出计数器 74LS161 的状态转换图。

(2) 计算  $u_o$  的频率及  $|u_o|$  的最大值和最小值。

(3) 保证  $u_o$  频率不变的前提下, 为使  $|u_o|$  的最小值变为 1.5V, 最大值变为 6V, 问应如何改变 74LS161 的接法来实现?

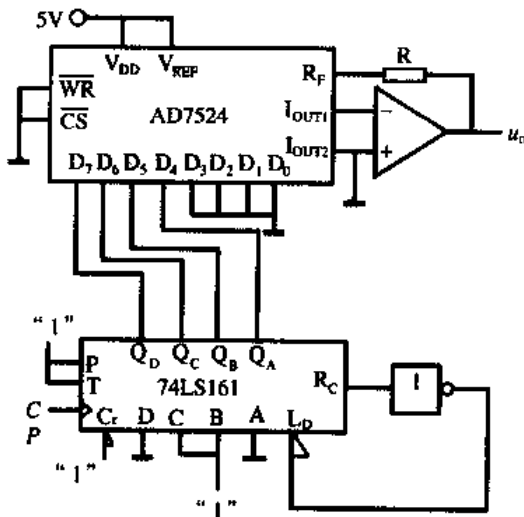


图 8.91 电路图

【解】

(1) 计数器初态为  $Q_A Q_B Q_C Q_D = 0110$ , 计数器 74LS161 的状态转换图如图 8.92 所示。

$$(2) \quad f_o = \frac{10\text{kHz}}{10} = 1\text{kHz}$$

$$|u_o|_{\max} = \left| \frac{-4V}{2^7} (2^7 + 2^6 + 2^5 + 2^4) \right| = 7.5V$$

$$|u_o|_{\min} = \left| \frac{-4V}{2^7} (2^6 + 2^5) \right| = 3V$$

(3) 74LS161 的接法如图 8.93 所示。

$$|u_o|_{\min} = \left| \frac{-4V}{2^7} (2^4 + 2^5) \right| = 1.5V$$

$$|u_o|_{\max} = \left| \frac{-4V}{2^7} x \right| = 6V$$

$$x = 192 = 2^7 + 2^6$$

6. 图 8.94 中 AD7524 为 8 位 D/A 转换器, 其输出  $u_o = -\frac{U_{REF}}{2^8} \sum_{i=0}^7 D_i \cdot 2^i$ 。2716 为 EPROM, 它的起始 16 位地址中所存的数据如表 8.13 所列。74LS161 为可同步预置的 2-16 进制加法计数器。

(1) 画出 74LS161 所构成计数器的完整的状态转换图。

(2) 定量画出 CP 作用下的输出  $u_o$  的波形 (至少画出 16 个时钟周期下的波形)。

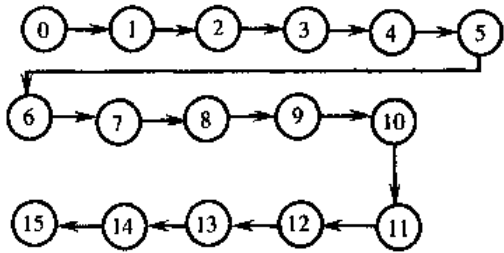


图 8.92 状态转换图

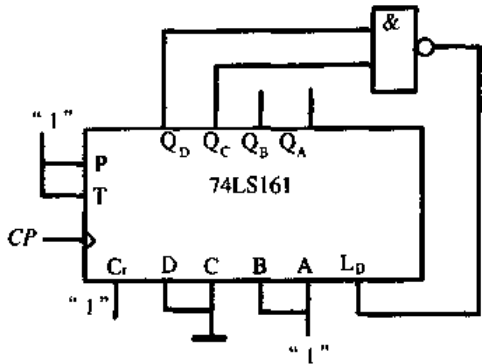


图 8.93 74LS161 的接法

表 8.13 数据表

地 址				数 据			
$A_3$	$A_2$	$A_1$	$A_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	1	0	0	0
0	1	0	1	1	0	0	0
0	1	1	0	0	1	1	0
0	1	1	1	0	1	0	0
1	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	1	0
1	1	0	1	0	1	0	0
1	1	1	0	0	0	1	0
1	1	1	1	0	1	0	0

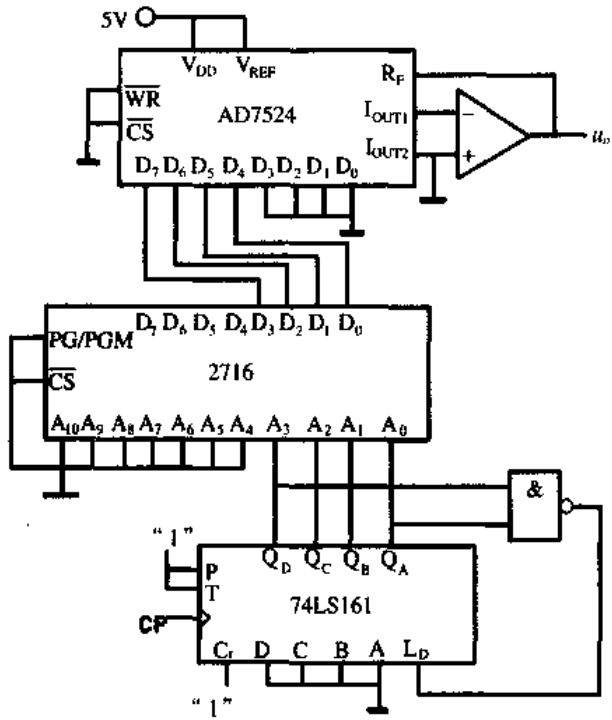


图 8.94 电路图

【解】

(1) 74LS161 所构成计数器的完整的状态转换图如图 8.95 所示。

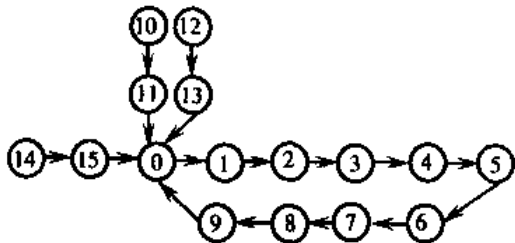


图 8.95 状态转换图

$$(2) u_o = -\frac{U_{REF}}{2^8} (D_{n-1} \times 2^{n-1} + D_{n-2} \times 2^{n-2} + \cdots + D_1 \times 2^1 + D_0 \times 2^0)$$

CP 作用下输出  $u_o$  的波形如图 8.96 所示。

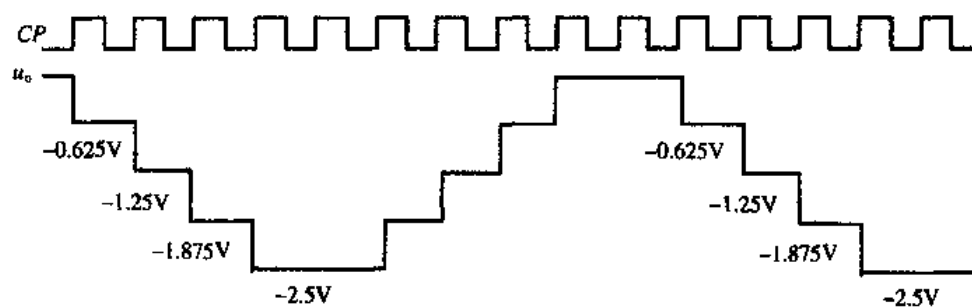


图 8.96 波形图



## 参考文献

- 1 童诗白,华成英主编.模拟电子技术基础.第3版.北京:高等教育出版社,2001
- 2 阎石主编.数字电子技术基础.第4版.北京:高等教育出版社,1999
- 3 康华光主编,陈大钦副主编.电子技术基础:模拟部分.第4版.高等教育出版社,1999
- 4 康华光主编,邹寿彬副主编.电子技术基础:数字部分.第4版.高等教育出版社,1999
- 5 谢嘉奎主编.电子线路:线性部分.第4版.北京:高等教育出版社,1999
- 6 谢嘉奎主编.电子线路:非线性部分.第4版.北京:高等教育出版社,2000
- 7 邓汉馨,郑家龙主编.模拟集成电子技术教程.北京:高等教育出版社,1994
- 8 李士雄,丁康源主编.数字集成电子技术教程.北京:高等教育出版社,1993
- 9 秦曾煌主编.电工学:下册 电子技术.第5版.北京:高等教育出版社,1999
- 10 沈嗣昌主编.数字设计引论.北京:高等教育出版社,2000
- 11 张凤言.电子电路基础.第2版.北京:高等教育出版社,1995
- 12 谢沅清.模拟电子线路:Ⅰ,Ⅱ.成都:电子科技大学出版社,1996
- 13 王毓银主编.数字电路逻辑设计.北京:高等教育出版社,1999
- 14 杨栓科主编.模拟电子技术基础.北京:高等教育出版社,2003
- 15 白中英主编.数字逻辑与数字系统.第2版.北京:科学出版社,1999
- 16 衣承斌,刘京南编.模拟集成电子技术基础.南京:东南大学出版社,1994
- 17 郭维芹主编.模拟电子技术.北京:科学出版社,1993
- 18 蔡惟铮主编.数字电子线路基础.哈尔滨:哈尔滨工业大学出版社,1988
- 19 段尚彬编.运算放大器应用基础.哈尔滨:哈尔滨工业大学出版社,1992
- 20 彭介华主编.电子技术课程设计指导.北京:高等教育出版社,1997
- 21 刘全盛主编.数字电子技术.北京:机械工业出版社,2001
- 22 唐竞新.模拟电子技术基础解题指南.北京:清华大学出版社,1998
- 23 唐竞新.数字电子技术基础解题指南.北京:清华大学出版社,1993
- 24 张畴先主编.模拟电子线路常见题型解析及模拟题.西安:西北工业大学出版社,1998
- 25 蔡惟铮主编,胡晓光,杨春玲副主编.电子技术试题题型精选与答题技巧.哈尔滨:哈尔滨工业大学出版社,2000
- 26 何希才.电子电路学习要点与例题精解.北京:北京航空航天大学出版社,2003
- 27 马积勋,张锡庚.电子技术基础考研精要与典型题解析.西安:西安交通大学出版社,2002
- 28 谢沅清,解月珍.电子电路学习指导与解题指南.北京:北京邮电大学出版社,2000
- 29 龚淑秋,李忠波主编.电子技术试题题型精选汇编.北京:机械工业出版社,2000
- 30 童诗白,何金茂主编.电子技术基础试题汇编(模拟部分).北京:高等教育出版社,1992
- 31 童诗白,何金茂主编.电子技术基础试题汇编(数字部分).北京:高等教育出版社,1991