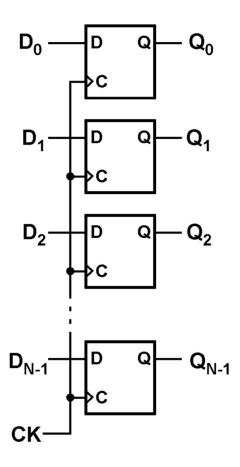
Bloki Sekwencyjne / Synchroniczne

- Rejestry...
- Liczniki...

REJESTRY

- Rejestry stanowią proste bloki pamięciowe, służące do przechowywania danych zerojedynkowych.
- · Zapis i odczyt danych może być szeregowy albo równoległy.
- Zwykle stanowią grupę przerzutników D lub zatrzasków Latch.
- Kasowanie poprzez wpis 00...0.

Rejestr – typowy blok pamięciowy (rejestr równoległy)



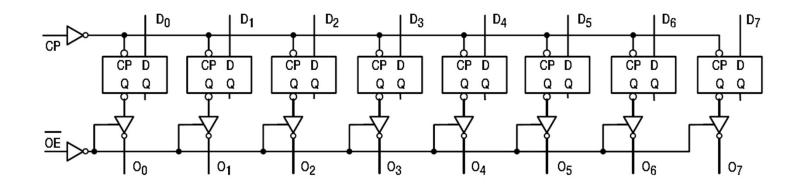
N-bitowy rejestr z wpisem równoległym pod wpływem zbocza narastającego sygnału CK.

Zamiast przerzutników można zastosować bramkowane zatrzaski D (Latch), wówczas wpis jest wykonywany w czasie trwania aktywnego poziomu sygnału CK.

Zwany również równoległo-równoległym.

74374

Osiem przerzutników typu D, z wyjściami trójstanowymi



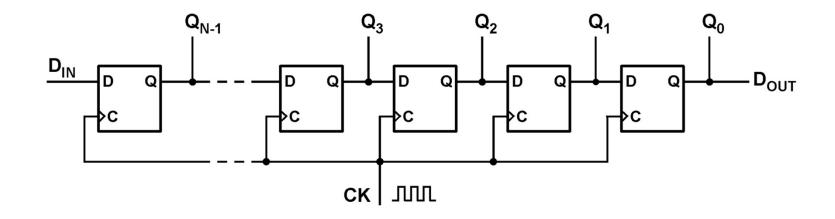
CP – clock pulse

OE – output enable

Rejestr przesuwający (w prawo)

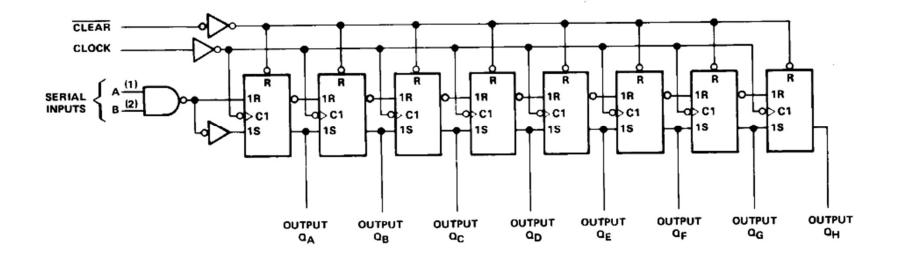
CK	D_IN	Q_7Q_0
0	_	0 0 0 0 0 0 0 0 — stan początkowy rejestru
0/1	1	1000000
0/1	1	1100000
0/1	0	01100000
0/1	0	00110000
0/1	1	10011000
0/1	1	11001100
0/1	0	01100110
0/1	0	00110011
0/1	0	00011001
0/1	0	00001100

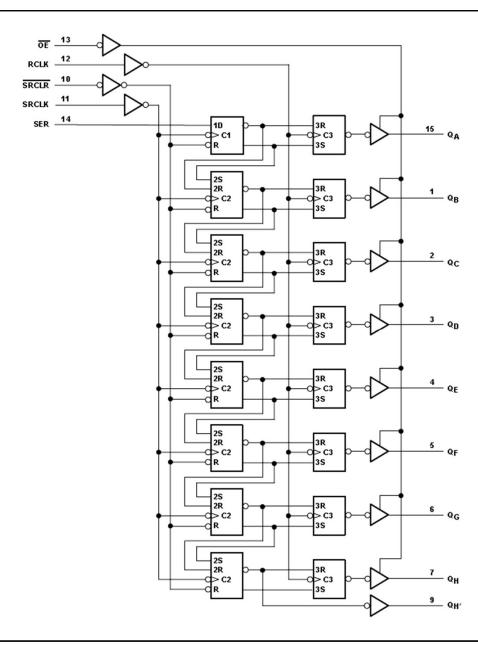
Rejestr przesuwający (w prawo)



szeregowo-szeregowy – wejście D_{IN} , wyjście D_{OUT} szeregowo-równoległy – wejście D_{IN} , wyjścia $Q_{N-1}...Q_0$

Przesuw następuje w chwili pojawienia aktywnego zbocza zegara CK.





LICZNIKI

LICZNIK – blok cyfrowy rejestrujący liczbę impulsów, które pojawiły się na dedykowanym wejściu

Każdy licznik zawierający *n* przerzutników ma pewną liczbę różnych stanów zwaną długością cyklu:

$$m \leq 2^n$$

określającą maksymalną liczbę impulsów, które mogą być zliczone.

Zazwyczaj licznik określa się jako *licznik modulo m*.

Wyjściem licznika Q są wyjścia przerzutników $Q_{n-1}...Q_0$.

Liczniki

Zależnie od kodu liczby Q wyróżnia się liczniki:

- dwójkowe (binarne),
- dziesiętnie (BCD),
- pierścieniowe,
- liczniki Gray'a.

Zależnie od sposobu ustalania się wyjść:

- synchroniczne (równoległe) jednoczesna zmiana stanów, wejścia zegarowe przerzutników są połączone równolegle,
- asynchroniczne (szeregowe) zmiany stanów następują kolejno, wejście zegarowe każdego przerzutnika jest połączone z wyjściem poprzedniego przerzutnika.

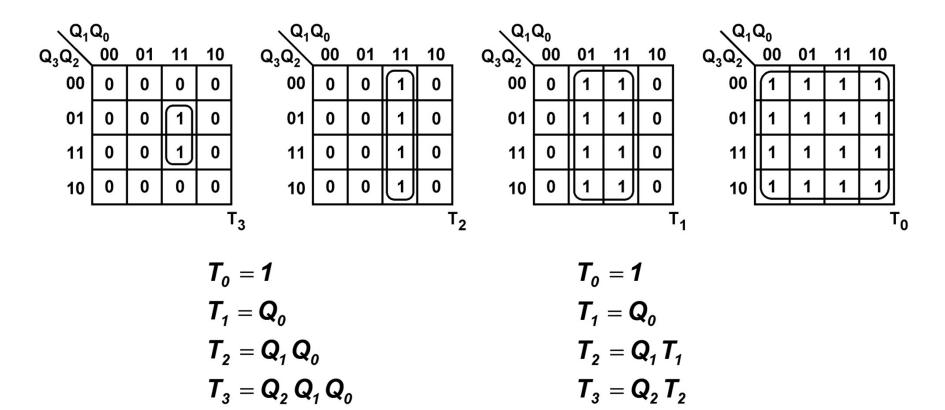
Np. modulo 16 zliczający "w górę", czyli n = 4 bo $2^4 = 16$

mod 16 Q 4/	
-------------	--

$Q_3Q_2Q_1Q_0$	L(Q)
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	10
1011	11
1100	12
1101	13
1110	14
1111	15

$\mathbf{Q}_{1}\mathbf{Q}_{0}$							
Q_3Q_2	00	01	11	10			
00	0001	0010	0100	0011			
01	0101	0110	1000	0111			
11	1101	1110	0000	1111			
10	1001	1010	1100	1011			

Funkcje wzbudzeń dla przerzutników T

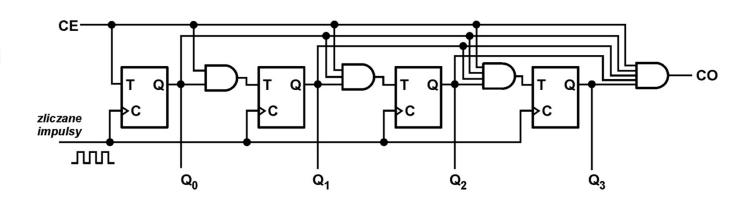


Przeniesienia równoległe

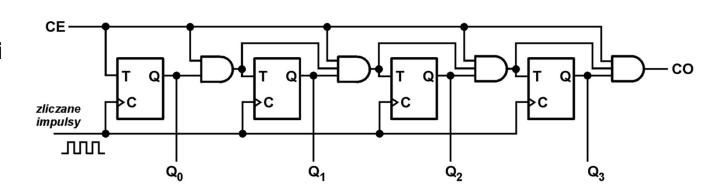
Przeniesienia szeregowe

Licznik z zezwoleniem na liczenie – sygnał *CE* (*Count Enable*) Dodatkowy sygnał przeniesień *CO* (*Carry Out*)

Licznik z przeniesieniami równoległymi

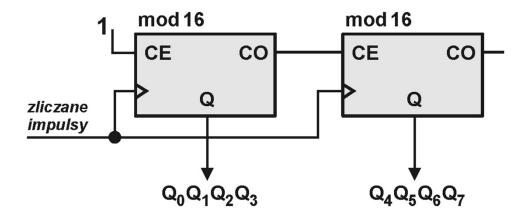


Licznik z przeniesieniami szeregowymi

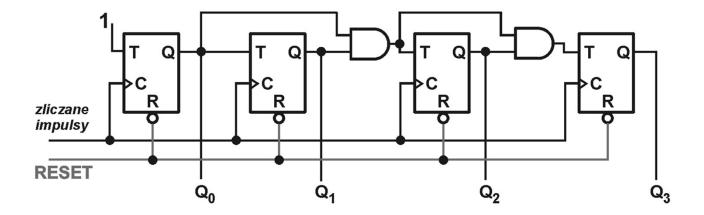


Zwiększenie cyklu liczenia poprzez użycie przeniesień zewnętrznych

Np.: Licznik modulo 256



Przygotowanie licznika do pracy polega na ustawieniu wartości początkowej, np. 000...0 (czyli kasowanie, zerowanie).



Zliczanie "w tył"

W wyniku syntezy otrzymujemy:

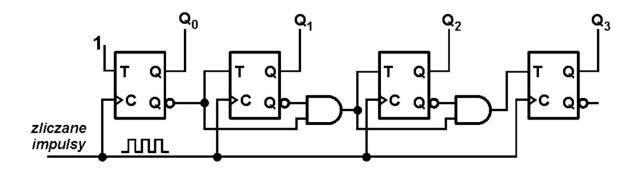
		vv wyniku synt
$Q_3Q_2Q_1Q_0$	L(Q)	
1111	15	
1110	14	Przeniesienia
1101	13	równoległe
1100	12	
1011	11	
1010	10	
1001	9	
1000	8	
0111	7	Przeniesienia
0110	6	szeregowe
0101	5	_
0100	4	
0011	3	
0010	2	
0001	1	
0000	0	

$$egin{aligned} T_1 &= \overline{m{Q}_0} \ T_0 &= m{1} \end{aligned}$$
 $m{T}_3 &= \overline{m{Q}_2} \, m{T}_2 \ m{T}_2 &= \overline{m{Q}_1} \, m{T}_1 \ m{T}_1 &= \overline{m{Q}_0} \ m{T}_0 &= m{1} \end{aligned}$

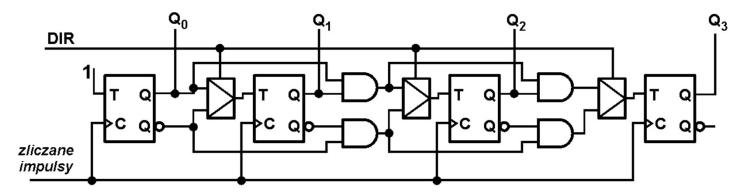
 $T_3 = \overline{Q_2} \, \overline{Q_1} \, \overline{Q_0}$

 $T_2 = \overline{Q_1} \overline{Q_0}$

Licznik z przeniesieniami szeregowymi zliczający "w tył"

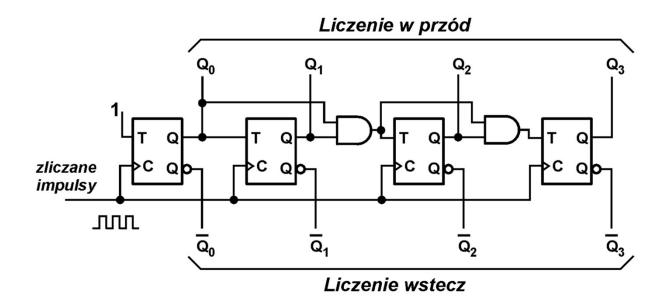


Licznik rewersyjny z przeniesieniami szeregowymi



Licznik rewersyjny...

Liczenie wstecz można uzyskać z zanegowanych wyjść Q, ale dotyczy to tylko liczników dwójkowych.



74160 ...

Rodzina synchronicznych liczników 4-bitowych z wpisem i zezwoleniem...

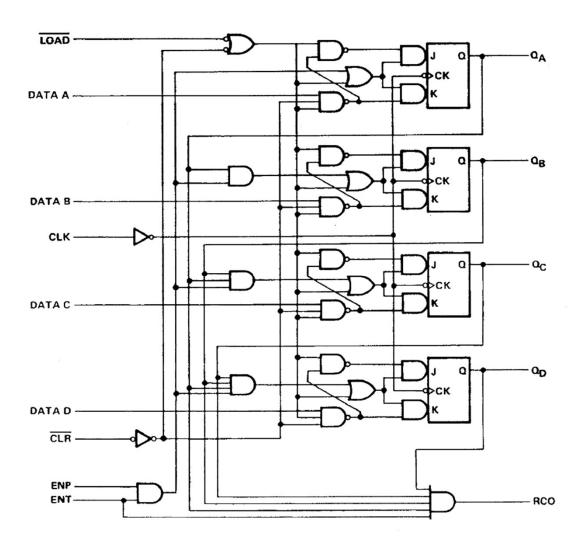
```
160,162 - BCD
```

161, 163 - Binary

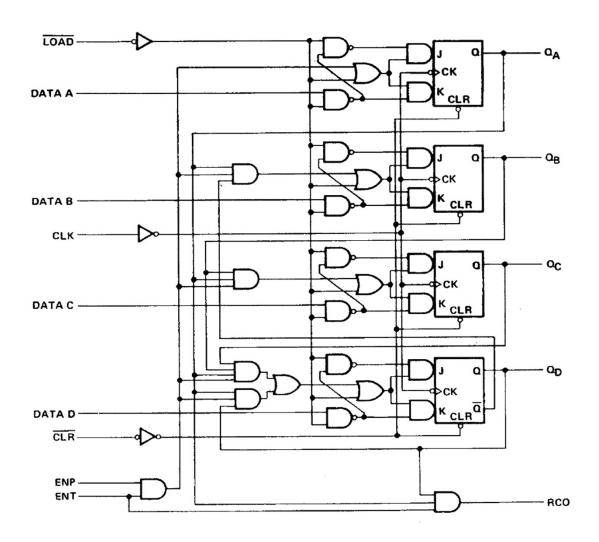
160, **161** – Asynch reset

162, **163** – Synch reset

163 - Binary, Synch reset



160 - BCD, Asynch reset



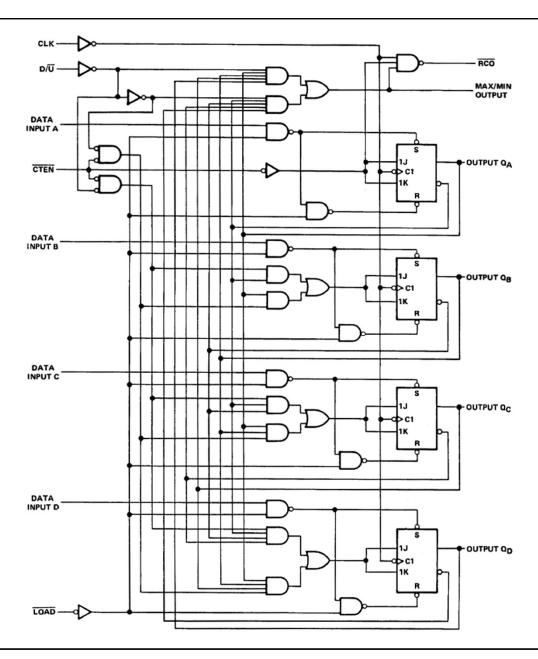
74190, 74191

Rodzinka synchronicznych dwukierunkowych liczników 4-bitowych z wpisem asynchronicznym, zezwoleniem i sygnałem kierunku...

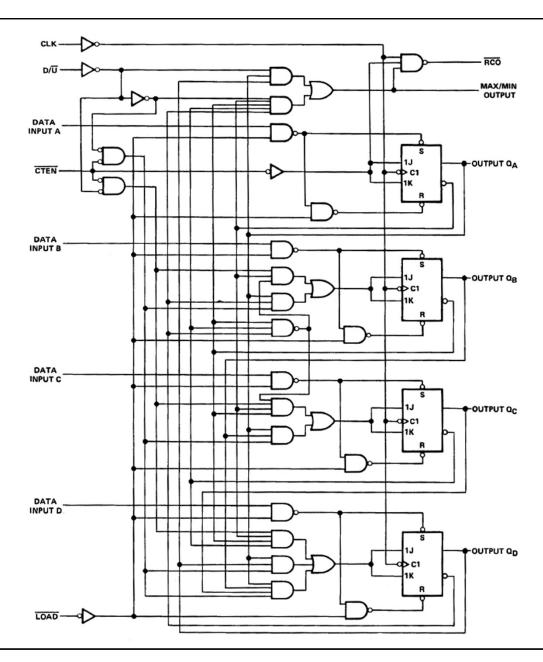
190 - BCD

191 – **Binary**

191 – Binary...



190 - BCD...



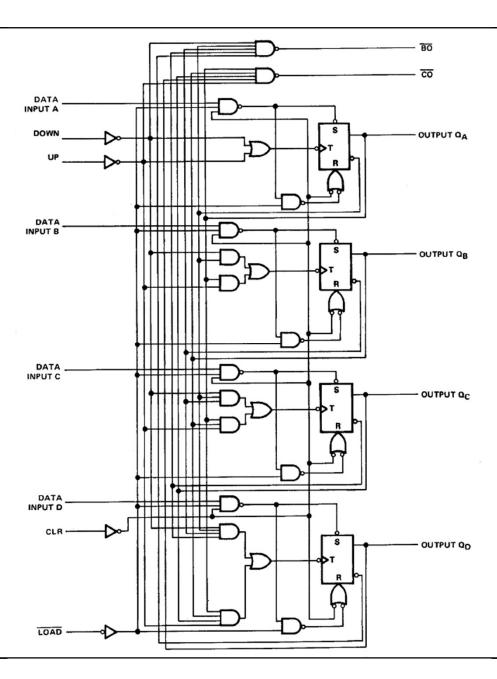
74192, 74193

Rodzina synchronicznych dwukierunkowych liczników 4-bitowych z wpisem asynchronicznym, zezwoleniem, osobnymi wejściami zegarowymi dla kierunku zliczania (CPU, CPD)...

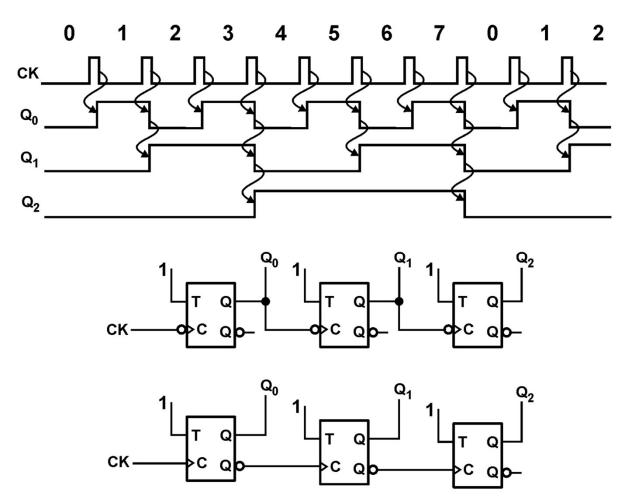
192 - BCD

193 – Binary

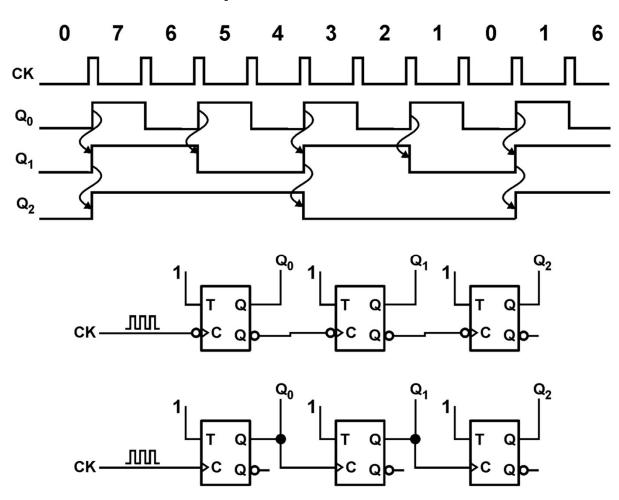
193 – Binary...



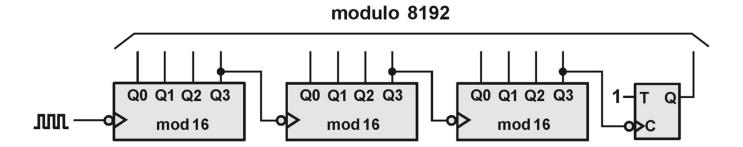
Liczenie w przód , np. modulo 8



Liczenie wstecz, np. modulo 8

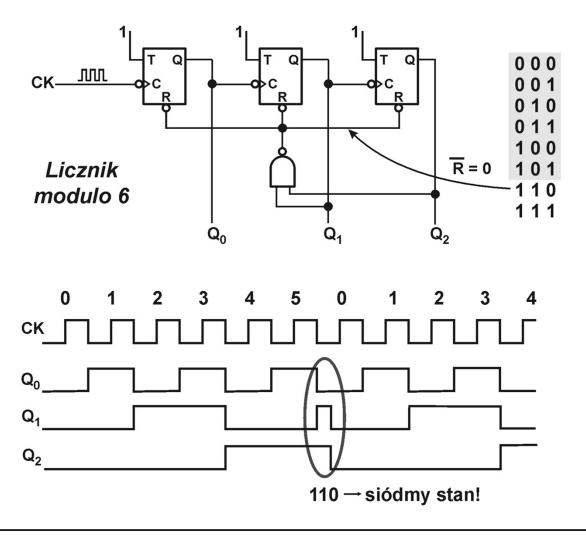


Zwiększenie cyklu liczenia otrzymujemy poprzez dołączenie kolejnych przerzutników oraz liczników.

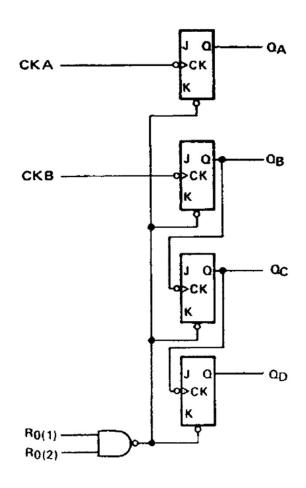


Liczniki – skracanie cyklu liczenia

Asynchroniczne kasowanie – najpopularniejsze ale...



Asynchroniczny licznik 4-bitowy z kasowaniem



7490

Licznik BCD - modulo 10, dekada

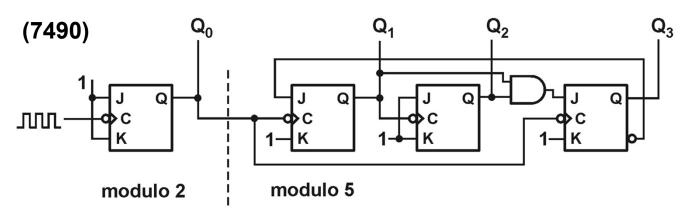
$Q_3Q_2Q_1Q_0$	L(Q)
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9

Szczególny przypadek licznika 4-bitowego wynikający z dziesiętnego systemu liczbowego.

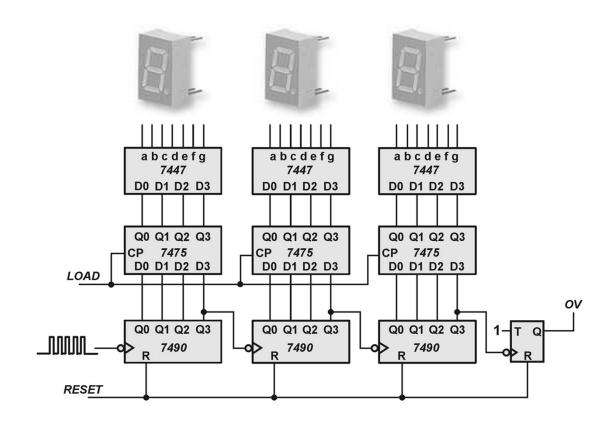
Stosowane są w przyrządach pomiarowych ze wskaźnikami wyniku pomiaru: U, I, f, RLC, itp...

Łączone szeregowo dają liczniki o cyklach: modulo 100, modulo 1000, modulo 1000, ...

Zatem cykl zliczania ma 10^K różnych stanów, gdzie K to liczba liczników BCD.



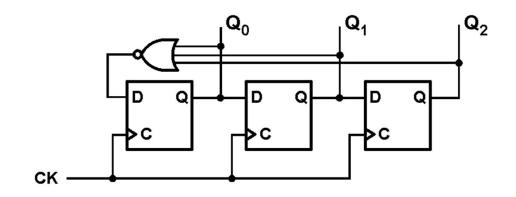
Miernik cyfrowy...

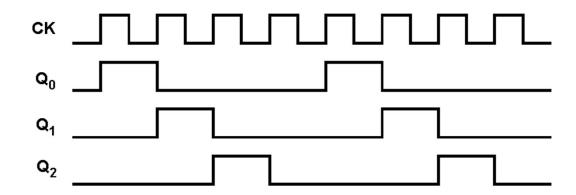


Np. do cyfrowego pomiaru wielkości fizycznych, po konwersji na częstotliwość lub odcinek czasu...

LICZNIKI PIERŚCIENIOWE – 1 z N, krążąca jedynka z korekcją

Np.: N = 3

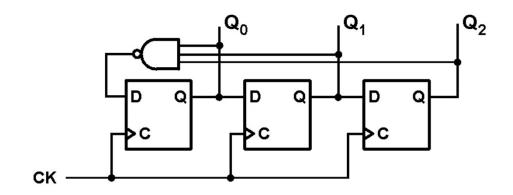


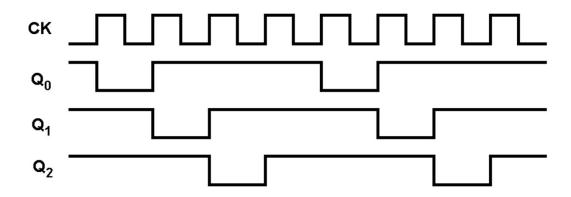


Bramka NOR zapewnia autokorekcję

LICZNIKI PIERŚCIENIOWE – 0 z N, krążące zero z korekcją

Np.: N = 3

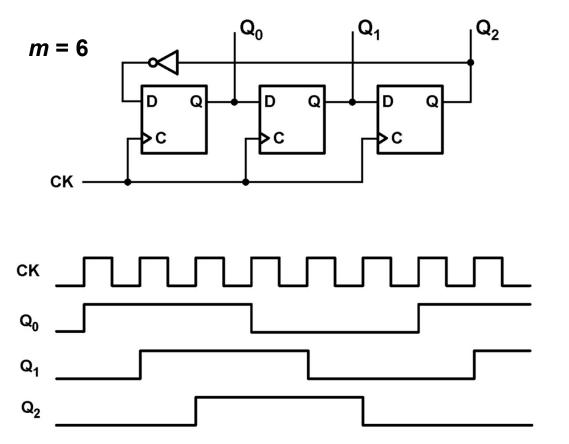




Bramka NAND zapewnia autokorekcję

LICZNIKI PIERŚCIENIOWE – Licznik Johnsona

Długość cyklu liczenia jest równy 2n



Dzielniki częstotliwości

Dzielniki częstotliwości to liczniki, których najbardziej znaczący bit jest wyjściem układu. Częstotliwość wejściowa jest podzielona przez wartość długości cyklu liczenia *m* licznika. Okres sygnału wyjściowego dzielnika jest *m* razy większy od okresu sygnału wejściowego.

$$f_{WY} = \frac{f_{WE}}{m} \quad T_{WY} = mT_{WE}$$

