

## Organizacja i Architektura Komputerów – egzamin końcowy

### I. Zaznacz prawidłową odpowiedź (tylko jedna jest prawidłowa):

1. Procesor Pentium IV jest procesorem superskalarnym. Oznacza to, że:
  - a. Jego potok zawiera przynajmniej 10 etapów
  - b. Jest w stanie jednocześnie wykonywać przynajmniej dwie instrukcje
  - c. Ma dwa poziomy pamięci podręcznej
  - d. Zawiera jednostkę zmiennoprzecinkową
2. Wynik przesunięcia arytmetycznego w prawo o dwa bity ośmiobitowej liczby E0h to:
  - a. -64
  - b. -8
  - c. -4
  - d. -128
3. Kiedy w komputerze klasy RISC chcemy zapisać w rejestrze jednostki zmiennoprzecinkowej liczbę  $7e-300$  w formacie pojedynczej precyzji (gdzie „e” oznacza „ $10^$ ”), zostanie zapisana wartość:
  - a. Zera dodatniego
  - b. Zera ujemnego
  - c. Nieskończoności
  - d. Symbolu NaN
4. Która cecha dotyczy dużej tablicy rejestrów (wykorzystywanej w procesorach RISC):
  - a. przechowuje zmienne globalne przechowywane przez kompilator
  - b. działa na blokach pamięci
  - c. przechowuje ostatnio używane skalary lokalne
  - d. wymiana zawartości odbywa się przy pomocy algorytmu LRU
5. Dostęp do danych w pamięci typu streamer ma charakter:
  - a. sekwencyjny
  - b. bezpośredni
  - c. swobodny
  - d. skojarzeniowy
6. Komputer z 24-bitową szyną adresową jest zdolny do współpracy z pamięcią o pojemności:
  - a. 1 MB
  - b. 16 MB
  - c. 32 MB
  - d. 1 GB
7. Które stwierdzenie dotyczące pamięci jest prawdziwe:
  - a. Większy czas dostępu oznacza większy koszt jednego bitu
  - b. Większa pojemność oznacza większy czas dostępu
  - c. Większy koszt jednego bitu oznacza mniejszą częstotliwość dostępu przez procesor
  - d. Większa pojemność oznacza większy koszt jednego bitu
8. Które stwierdzenie dotyczące jednostki zarządzania pamięcią nie jest prawdziwe:
  - a. Jest integralną częścią mikroprocesora
  - b. Wspomaga stronicowanie
  - c. Umożliwia pracę systemu w trybie chronionym
  - d. Może korzystać z własnej, dedykowanej pamięci podręcznej

9. Instrukcja rotacji w lewo służy do:
- szybkiego mnożenia przez 2
  - szybkiego dzielenia przez 2
  - realizacji tzw. kodów cyklicznych
  - konwersji znaków w kodzie ASCII na inne kody
10. Który typ danych nie jest dostępny dla 32-bitowego systemu wyposażonego w procesor z rodziny x86:
- Podwójne słowo
  - Poczwórne słowo
  - Ośmiokrotne słowo
  - Półsłowo

**II. Zaznacz prawidłową odpowiedź (wiele prawidłowych jest możliwych):**

11. Gdzie może znajdować się adres powrotu z procedury:
- W specjalnym rejestrze
  - Na stosie
  - W specjalnym miejscu w pamięci, na początku procedury
  - W specjalnym pliku
12. W 512-bitowych rejestrach wektorowych w procesorze Intel Core i7 zawarte są w ramach kompatybilności wstecznej rejestry:
- 128-bitowe XMM
  - 64-bitowe YMM
  - 256-bitowe MMX
  - 80-bitowe FPR
13. Urządzenia wejścia-wyjścia:
- Komunikują się z procesorem za pomocą dedykowanej linii sygnałowej przerw
  - Są bezpośrednio podłączone do magistrali systemowej
  - Mogą być programowane przez procesor za pomocą dedykowanych instrukcji maszynowych
  - Mogą być wykorzystywane do komunikacji z innymi systemami komputerowymi.
14. Pamięci podręczne:
- Mogą być współdzielone przez wiele procesorów
  - Mogą pracować z prędkością procesora
  - Mogą być implementowane w postaci dynamicznych pamięci RAM
  - Mogą zawierać mikrorozkazy
15. We współczesnym procesorze ogólnego przeznaczenia występują następujące jednostki wykonawcze:
- Działające na liczbach zespolonych
  - Działające na wektorach liczb rzeczywistych
  - Przetwarzające macierze liczb całkowitych bez znaku
  - Działające na pojedynczych liczbach rzeczywistych
16. Lokalność przestrzenna odniesień jest wykorzystywana:
- poprzez utrzymywanie ostatnio używanych rozkazów i danych w pamięci podręcznej
  - poprzez stosowanie hierarchicznych struktur pamięci podręcznej
  - poprzez posługiwanie się większymi blokami pamięci podręcznej
  - poprzez wbudowanie do pamięci podręcznej bloków wstępnego pobierania

17. Które tryby adresowania wykorzystują rejestry:
  - a. indeksowanie
  - b. operacje na stosie
  - c. adresowanie natychmiastowe
  - d. adresowanie bezpośrednie
18. Jednostka sterująca w procesorze typu RISC:
  - a. Zawiera pamięć sterującą
  - b. Generuje sygnały sterujące zarówno do środka, jak i na zewnątrz procesora
  - c. Jest łatwa do modyfikacji i aktualizacji
  - d. Zawiera dekodery instrukcji
19. Które cechy charakteryzują architekturę Princeton:
  - a. Duża liczba jednostek wykonawczych w procesorze
  - b. Duża liczba etapów w potoku (tzn. powyżej 6)
  - c. Osobna pamięć na program i dane
  - d. Wykorzystanie magistrali systemowej
20. Oryginalna postać prawa Moore'a dotyczyła:
  - a. Zwiększania z czasem skali integracji układów elektronicznych
  - b. Zwiększania z czasem szybkości działania układów elektronicznych
  - c. Zwiększania z czasem rozmiaru pamięci operacyjnych
  - d. Zwiększania z czasem liczby poziomów pamięci podręcznych
21. Zwiększenie dokładności obliczeń na liczbach rzeczywistych obejmuje w IEEE 754:
  - a. Bity zabezpieczenia
  - b. Formaty rozszerzone dla liczb pojedynczej i podwójnej precyzji
  - c. Zaokrąglanie w kierunku NaN
  - d. Zmianę podstawy liczby
22. Które z wymienionych stanowią etapy w potoku współczesnego procesora superskalarnego:
  - a. Przemianowywanie rejestrów
  - b. Pobranie wpisu z pamięci podręcznej śladów
  - c. Zmiana kolejności wykonywania rozkazów
  - d. Pomińnięcie rozkazu
23. Obsługa przerw przez procesor:
  - a. Dotyczy tylko przerw niemaszkalnych
  - b. Jest możliwa po otrzymaniu odpowiedniego sygnału na wejście INTR
  - c. Wykorzystuje tablicę wektorów przerw
  - d. Może wykorzystywać rejestr XER
24. Do kategorii CISC zalicza się następujące komputery:
  - a. Klasy IBM PC
  - b. Wyposażone w procesory typu ARM
  - c. Komputery główne firmy IBM (np. seria S/370)
  - d. Komputery z rodziny Amiga
25. Kompilator:
  - a. tłumaczy kod programu wysokiego poziomu na assembler
  - b. może być wykorzystany do modyfikacji kolejności rozkazów
  - c. może służyć do optymalizacji wykorzystania rejestrów
  - d. zarządza wykorzystaniem pamięci podręcznej
26. Przewidywanie rozgałęzień w architekturze potokowej obejmuje:
  - a. Stopień granulacji adresu
  - b. Przewidywanie zawsze następującego rozgałęzienia
  - c. Przewidywanie rozgałęzienia na podstawie kodu operacji
  - d. Adresowanie stosowe

27. W mikrorozkazach pionowych:
- rozkaz jest zakodowany
  - nie ma adresu mikrorozkazu
  - jednostka sterująca wykorzystuje pamięć sterującą
  - nie wykorzystuje się rozgałęzień
28. Pamięć ROM:
- Jest wykorzystywana do przechowywania programów typu firmware
  - Zawiera dane nieulotne
  - Wykorzystuje bramki z jednym tranzystorem w każdej komórce
  - Wymaga dekodowników linii adresowych.
29. Sprzętowe zarządzanie pamięcią przez procesor:
- Wspomaga stronicowanie i/lub segmentację
  - Obejmuje definiowanie poziomów ochrony poszczególnych segmentów pamięci
  - Służy do generowania adresów wirtualnych na podstawie liniowych
  - Wykorzystuje bufor translacji adresów
30. Słowo stanu programu może zawierać informacje na temat:
- Poziomu uprzywilejowania wejścia-wyjścia
  - Stanu zera
  - Zezwolenia na przerwania
  - Adresowania słowa w nieodpowiednich granicach

### III. Pytania otwarte:

- Jeśli ostatnią operacją w komputerze o słowie 8-bitowym było dodawanie, w którym dwoma argumentami były
  - 104 i 15,
  - 1 i 127to jaka jest wartość następujących flag:  
przeniesienie połówkowe, przepełnienie, znak, parzystość (4 pkt.)
- Wyrazić liczbę -7,03125 w 32-bitowym formacie zmiennopozycyjnym IEEE 754 (3 pkt.)
- Liczba 17A4C7DD jest przechowywana na komputerach odwzorowujących dane na pamięć, odpowiednio, cienko- i grubokońcowo. Pokaż rozmieszczenie poszczególnych bajtów w pamięci przy założeniu, że pierwszym adresem jest adres początku segmentu (2Ah) (3 pkt.)
- Data jest architektura potokowa systemu komputerowego. Obliczyć współczynnik wydajności przetwarzania potokowego (w porównaniu z architekturą bez potoku), jeśli:
  - Przetwarzany jest ciąg 10 instrukcji, zaś potok zawiera 6 etapów
  - Przetwarzany jest ciąg 20 instrukcji, zaś potok zawiera 10 etapów(3 pkt.)
- W systemie ze stronicowaniem strona ma rozmiar 4kB. Program o rozmiarze 34 kB umieszczono w pamięci w sposób ciągły począwszy od ramki nr 2. Określić:
  - jak wygląda tablica stron dla tego programu
  - jak wygląda translacja adresu logicznego na fizyczny, jeśli pobierana jest instrukcja z trzeciej strony, a offset wynosi 24B
  - jaki jest adres fizyczny wygenerowany w punkcie b
  - jaki jest stopień fragmentacji wewnętrznej w tym przypadku (4 pkt.)
- Pamięć podręczna z odwzorowaniem bezpośrednim składa się z 32 wierszy, z których każdy przechowuje 8 słów. Pamięć główna zawiera 4K bloków, również o rozmiarze 8 słów. Jaki format mają adresy pamięci głównej? (3 pkt.)