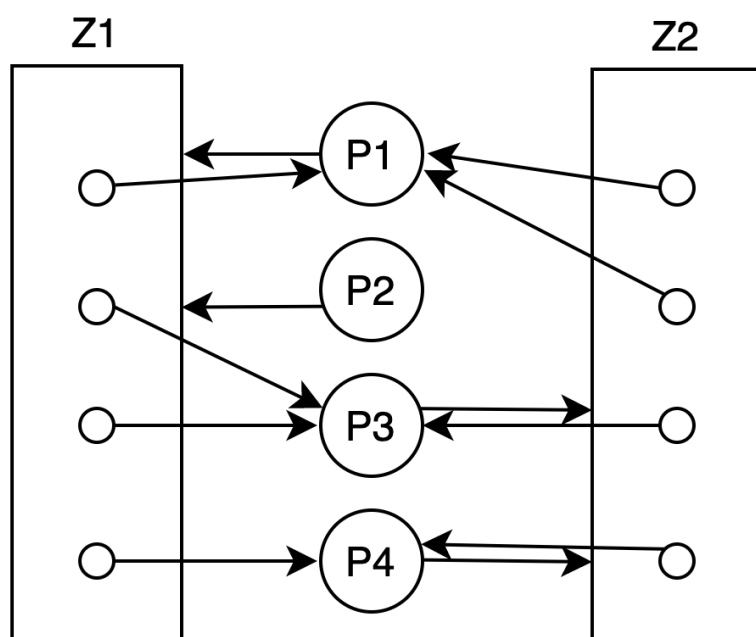
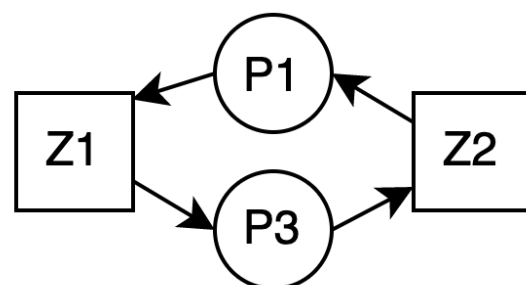


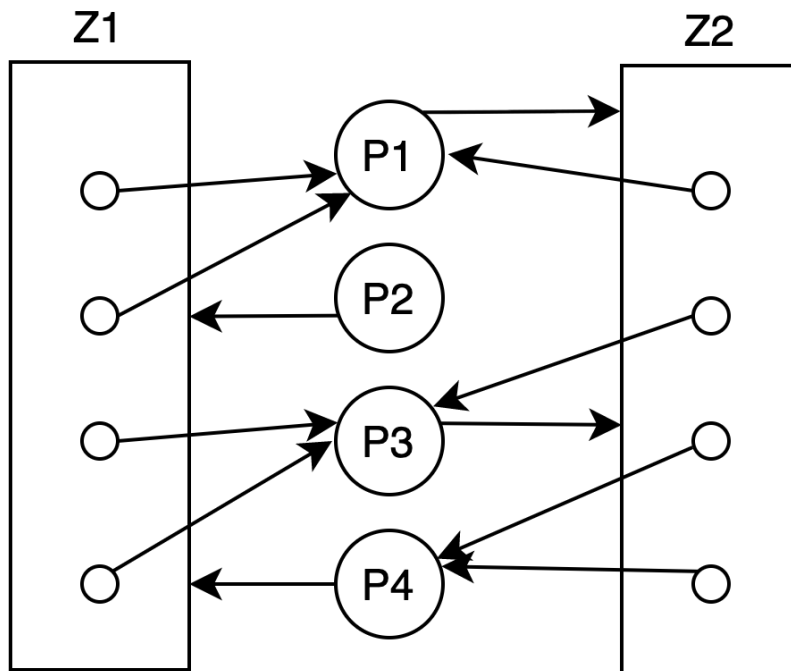
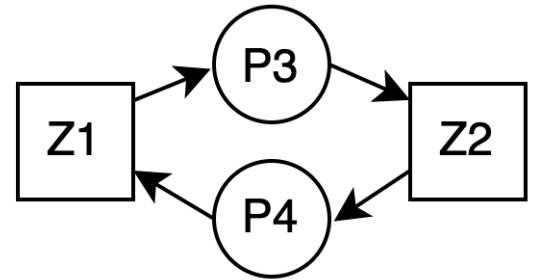
Zakleszczenie 1

Proces P1 nie może się wykonać, bo czeka na 1 egz. Z1.
 Proces P2 nie może się wykonać, bo czeka na 1 egz. Z1.
 Proces P3 nie może się wykonać, bo czeka na 1 egz. Z2.
 Proces P4 nie może się wykonać, bo czeka na 1 egz. Z2.



Zakleszczenie 2

Proces P1 nie może się wykonać, bo czeka na 1 egz. Z1.
Proces P2 nie może się wykonać, bo czeka na 1 egz. Z1.
Proces P3 nie może się wykonać, bo czeka na 1 egz. Z2.
Proces P4 nie może się wykonać, bo czeka na 1 egz. Z1.

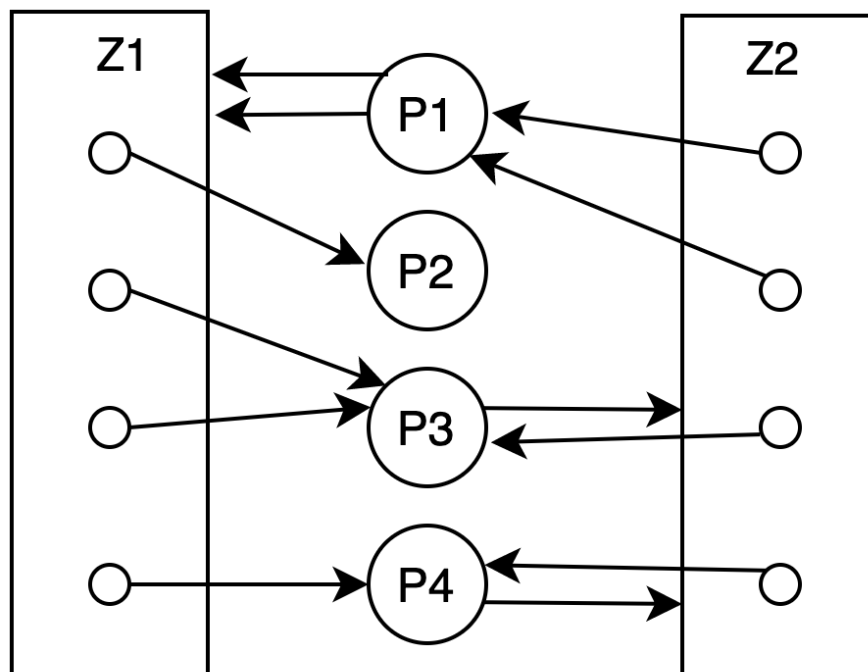


Stan niebezpieczny

Proces P2 wykonuje się i zwalnia jeden egzemplarz Z1.

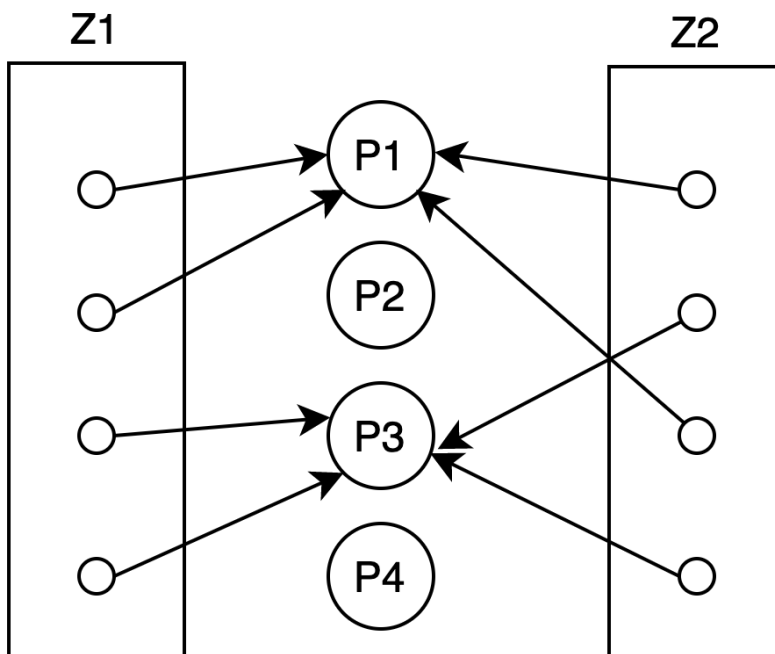
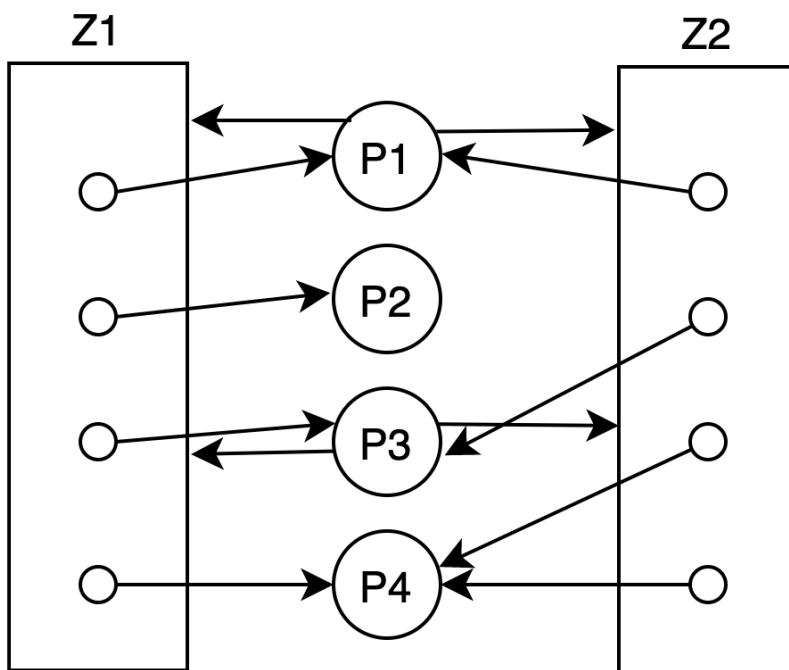
Zwolniony zasób Z1 może wykorzystać proces P1, ale jest to za mało ponieważ potrzebuje dwóch egzemplarzy Z1, więc nie może się wykonać.

Proces P3 oraz P4 czekają na jeden egzemplarz Z2, ale nikt go nie może zwolnić i mamy zakleszczenie.



Ciąg stanów umożliwiający uniknięcie blokady.

1. Proces P2 ma jeden egzemplarz zasobu Z1, więc się wykonuje. Po wykonaniu zwalnia jeden egzemplarz Z1.
2. Proces P4 ma jeden egzemplarz zasobu Z1 oraz dwa egzemplarze zasobu Z2. Po wykonaniu je zwalnia.
3. Proces P1 potrzebuje do wykonania jeszcze jednego egzemplarzu Z1, ale został on zwolniony, więc go dostaje. Proces P1 potrzebuje do wykonania jeszcze jednego egzemplarzu Z2, ale został on zwolniony, więc go dostaje, czyli się wykonuje.
4. Proces P4 potrzebuje do wykonania jeszcze jednego egzemplarzu Z2, ale został on zwolniony, więc go dostaje, czyli się wykonuje. Udało nam się uniknąć zakleszczenia.



Zadanie A

2048 procesorów RISC o szybkości 50 MIPS połączono w sieci Omega z poczwórnymi przełącznikami.

Jakie powinny być czasy przełączników, aby zamówienie do pamięci wróciło do procesora w czasie wykonywania jednej instrukcji?

Odpowiedź proszę uzasadnić.

liczba procesorów: $n = 2048$

liczba przełączników, które zamówienie musi pokonać z procesora do pamięci (liczba stopni przełączających):

$$\log_2 n = \log_2(2048) = \log_2(1024 \cdot 2) = \log_2(1024) + \log_2(2) = 10 + 1 = 11$$

przez ile przełączników musi przejść zamówienie z CPU do RAM i z powrotem:

$$2 \cdot (\text{liczba stopni przełączających}) = 2 \cdot 11 = 22$$

liczba instrukcji na sekundę:

$$50 \text{ MIPS} = 50 \text{ milionów instrukcji na sekundę} = 50 \cdot 10^6 \text{ instrukcji na sekundę}$$

czas trwania jednej instrukcji:

$$50 \cdot 10^6 \text{ instrukcja} \rightarrow 1 \text{ s}$$

$$1 \text{ instrukcja} \rightarrow x \text{ s}$$

$$1 / (50 \cdot 10^6 \text{ instrukcji na sekundę}) = 0.02 \cdot 10^{-6} \text{ s} = 0.02 \text{ us (mikrosekundy)} = 20 \text{ ns}$$

zatem jedno zamówienie ma 20 nanosekund na przejście przez 22 przełączniki, aby zmieścić się w jednej instrukcji

zatem suma opóźnień spowodowanych przez wszystkie 22 przejścia przez przełącznik nie może przekroczyć 20ns

czas przełączenia jednego przełącznika:

$$22 \text{ przełączniki} \rightarrow 20 \text{ ns}$$

$$1 \text{ przełącznik} \rightarrow x \text{ ns}$$

(czas trwania jednej instrukcji) / (przez ile przełączników musi przejść zamówienie z CPU do RAM i z powrotem)

$$20 \text{ ns} / 22 \sim 0.909 \text{ ns} = 909 \text{ ps (pikosekundy)}$$

Szybkość przełączania jednego przełącznika powinna wynosić co najwyżej 909 ps.

Zadanie B

W wieloprocesorze zawierającym 4096 procesorów RISC połączonych w sieci Omega poczwórnymi przełącznikami

zastosowano przełączniki o czasie działania 0,5 ns.

Jak szybkie mogą być procesory, aby zamówienie skierowane do pamięci wróciło do procesora w czasie wykonywania jednej instrukcji?

Wynik proszę podać w liczbie MIPS. Odpowiedź uzasadnić.

liczba procesorów: $n = 4096$

liczba przełączników, które zamówienie musi pokonać z procesora do pamięci (liczba stopni przełączających):

$$\log_2 n = \log_2(4096) = \log_2(1024 * 4) = \log_2(1024) + \log_2(4) = 10 + 2 = 12$$

przez ile przełączników musi przejść zamówienie z CPU do RAM i z powrotem:

$$2 * (\text{liczba stopni przełączających})$$

$$2 * 12 = 24$$

czas przełączenia jednego przełącznika:

$$0.5\text{ns} = 0.5 * 10^{-9}\text{s}$$

ile czasu trwa podróż zamówienia z CPU do RAM i z powrotem:

$$1 \text{ przełącznik} \rightarrow 0.5 * 10^{-9}\text{s}$$

$$24 \text{ przełączniki} \rightarrow x\text{s}$$

(czas trwania jednej instrukcji) * (przez ile przełączników musi przejść zamówienie z CPU do RAM i z powrotem):

$$24 * 0.5\text{ns} = 12\text{ns} = 12 * 10^{-9}\text{s}$$

Minimalny czas trwania jednej instrukcji nie może być mniejszy od czasu trwania podróży zamówienia z CPU do RAM i z powrotem, aby wyeliminować czekanie CPU na powrót zamówienia, ponieważ jeżeli wykona się szybciej to i tak będziemy czekać na CPU.

Maksymalna szybkość jednego procesora:

$$1 \text{ instrukcja} \rightarrow 12 * 10^{-9}\text{s}$$

$$x \text{ instrukcji} \rightarrow 1\text{s}$$

$$1/(\text{czas trwania jednej instrukcji procesora}) = 1/(12 * 10^{-9}\text{s}) \sim 83\,333\,333.3 \text{ instrukcji na sekundę} \sim 83.33 \text{ MIPS}$$

Procesory powinny mieć szybkość co najwyżej 83.33 MIPS. Jeżeli miałyby większą to zamówienie nie zdążyłoby przejść z CPU do RAMu i z powrotem w ramach jednej instrukcji, zatem CPU musiałoby czekać.