

PROGRAMOWALNE UKŁADY CYFROWE

Produkowane masowo, zawierają pewną liczbę bramek i przerzutników zorganizowanych w postaci niepołączonych komórek lub bloków logicznych, programowanie polega na wytyczeniu połączeń wewnętrz układowych pomiędzy komórkami oraz skonfigurowaniu samych komórek w celu uzyskania odpowiedniej funkcji logicznej, przy użyciu programów komputerowych

Rozróżniamy układy programowalne typu:

SPLD – Simple Programmable Logic Device (PLA, PROM, PAL, GAL)

CPLD – Complex Programmable Logic Device

FPGA – Field Programmable Gate Array

PLD – Programmable Logic Device

Spotykane nazwy:

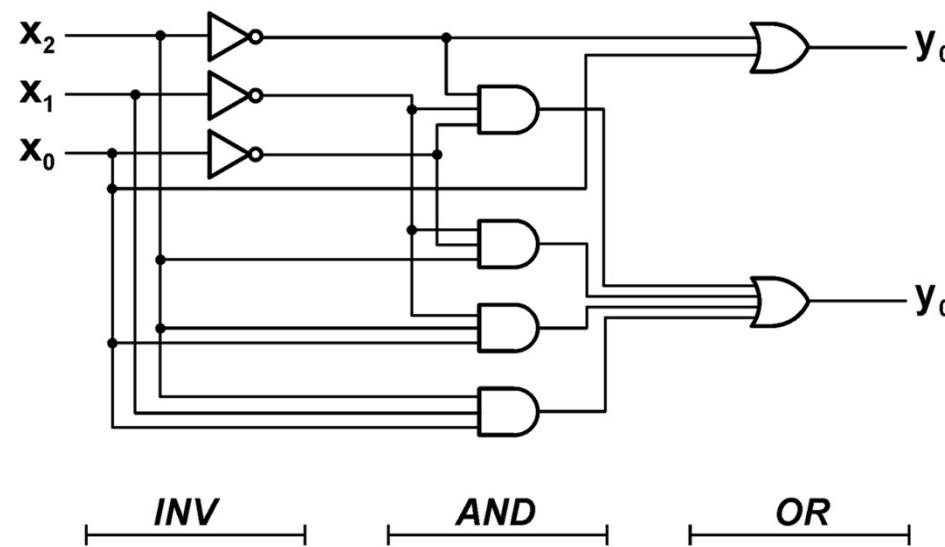
- **Cyfrowe układy programowalne**
- **Układy programowalne**
- **Programowalne układy logiczne**
- **Konfigurowalne struktury logiczne**
- **Układy logiki programowej**

Układy programowalne – idea...

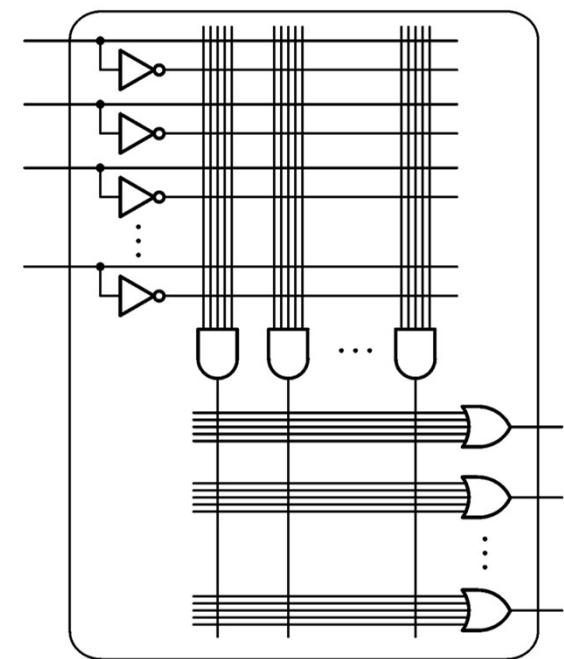
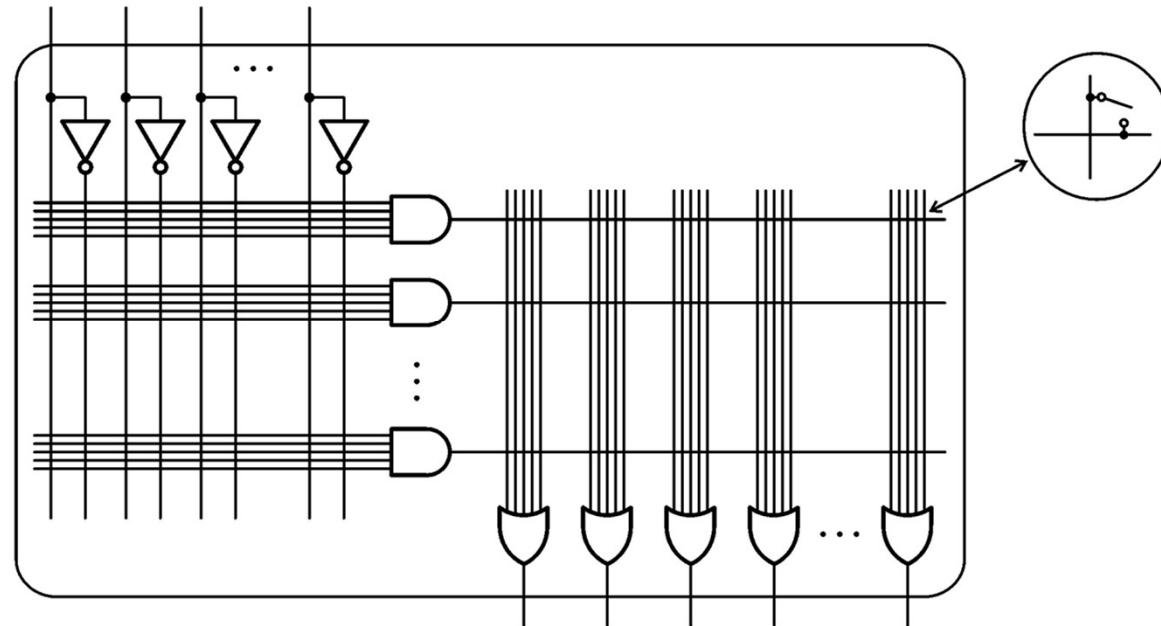
Typowy układ kombinacyjny

$$y_0 = \bar{x}_2 + x_0$$

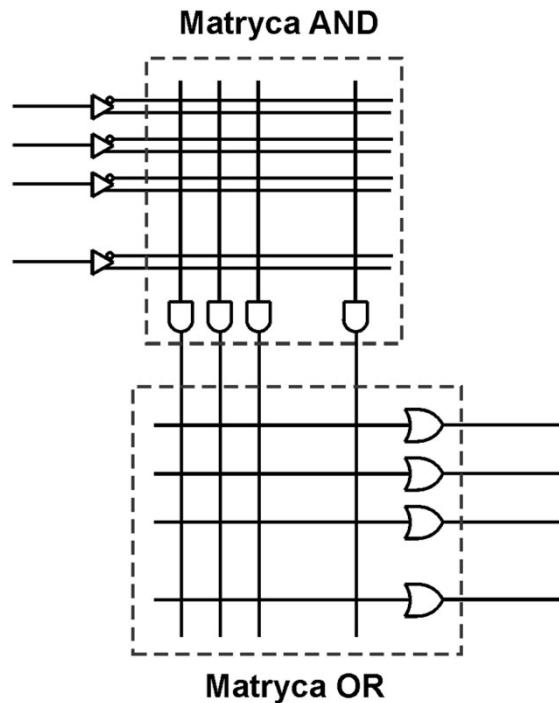
$$y_1 = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 x_0$$



Może dużą liczbę bramek najczęściej używanych w projektach, umieścić w jednym układzie scalonym wraz ze ścieżkami połączeniowymi...

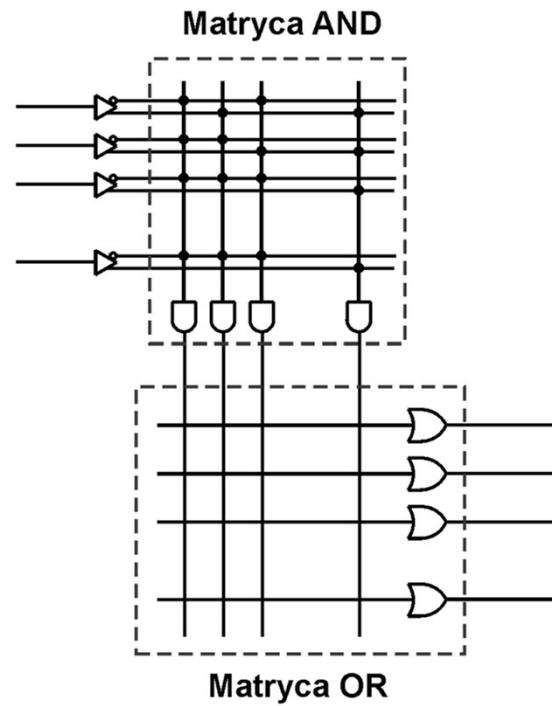


Struktura PLA



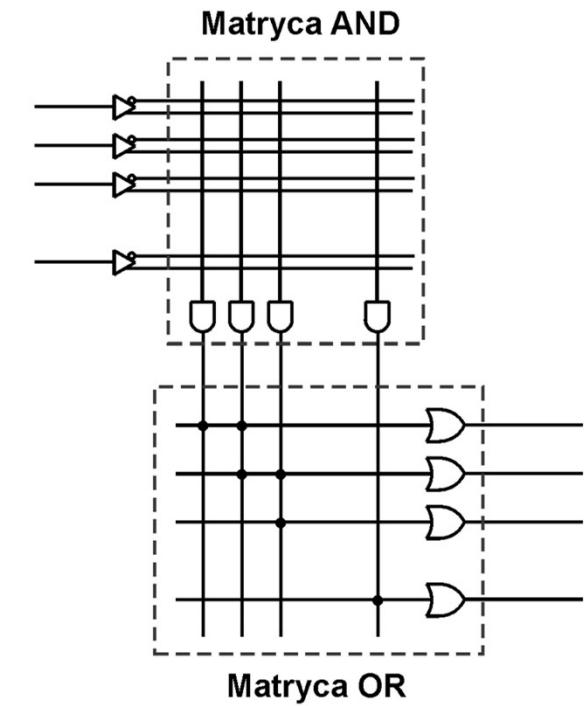
Programmable
Logic Array

Struktura PROM



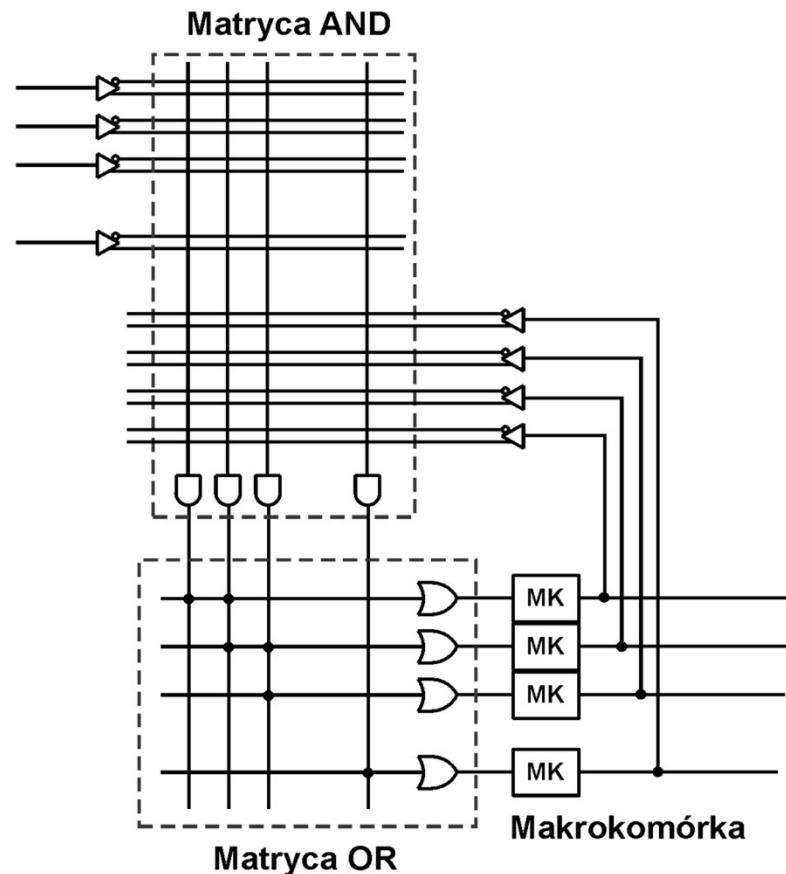
Programmable ROM

Struktura PAL



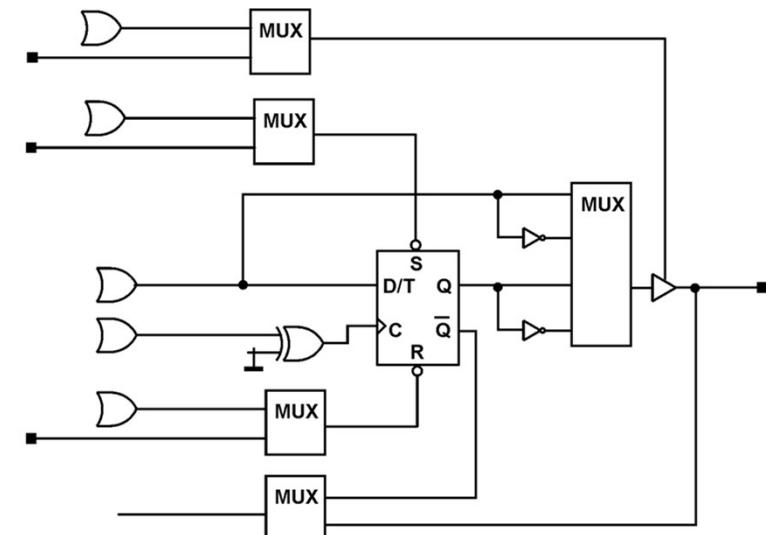
Programmable
Array Logic

Struktura GAL

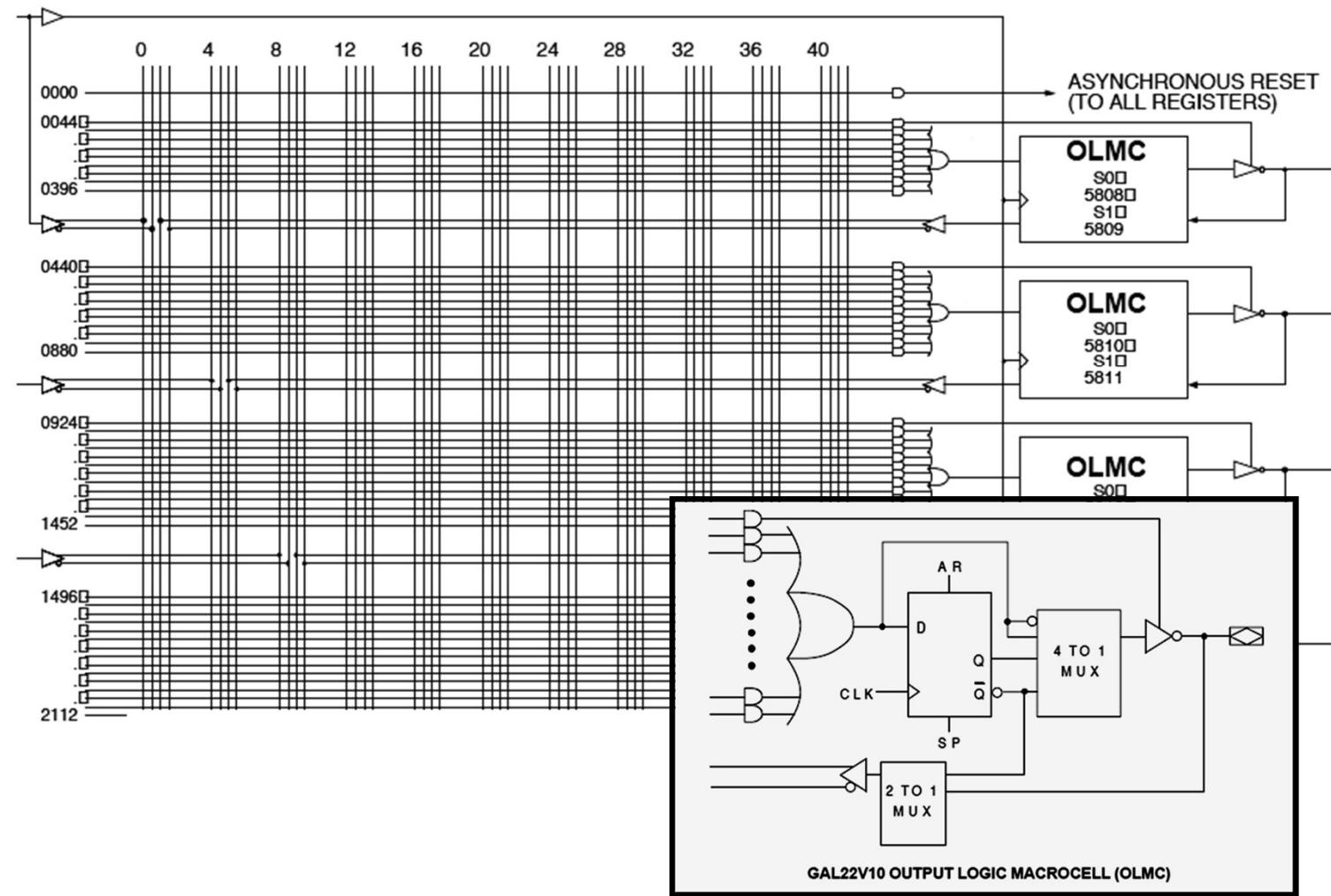


Generic Array Logic

Typowa makrokomórka

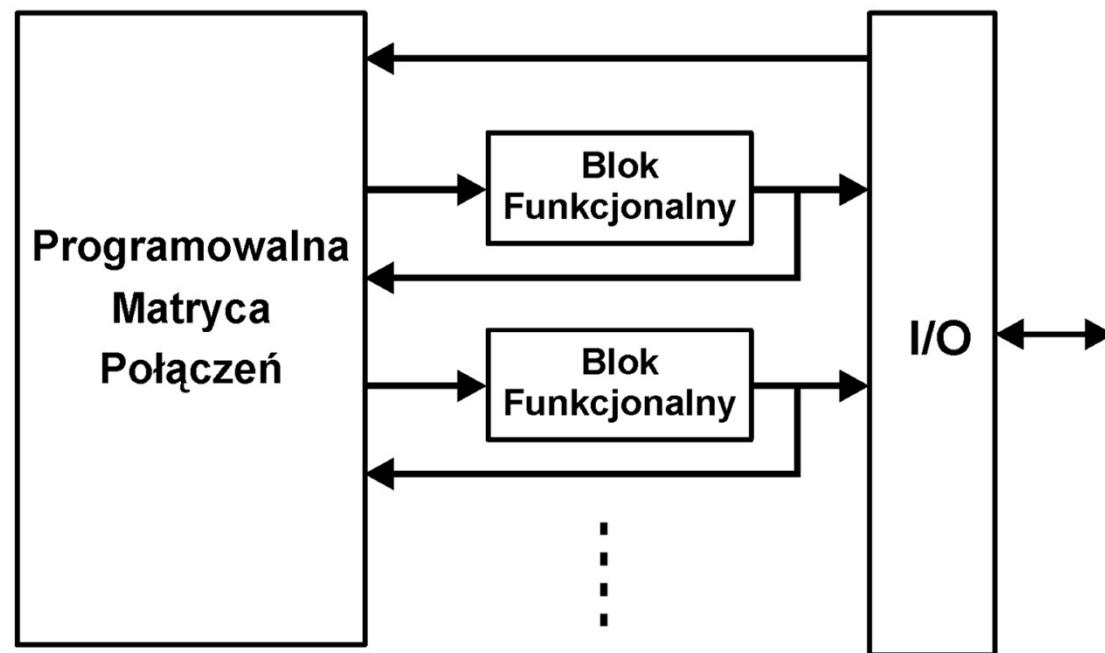


Układy programowalne – GAL22V10 (Lattice)



Układy programowalne – struktura CPLD

Complex Programmable Logic Device



XILINX – XC9500XL, CoolRunner II

INTEL FPGA (ALTERA) – MAX V, MAX 10

Układy programowalne – XC9500XL – CPLD firmy Xilinx

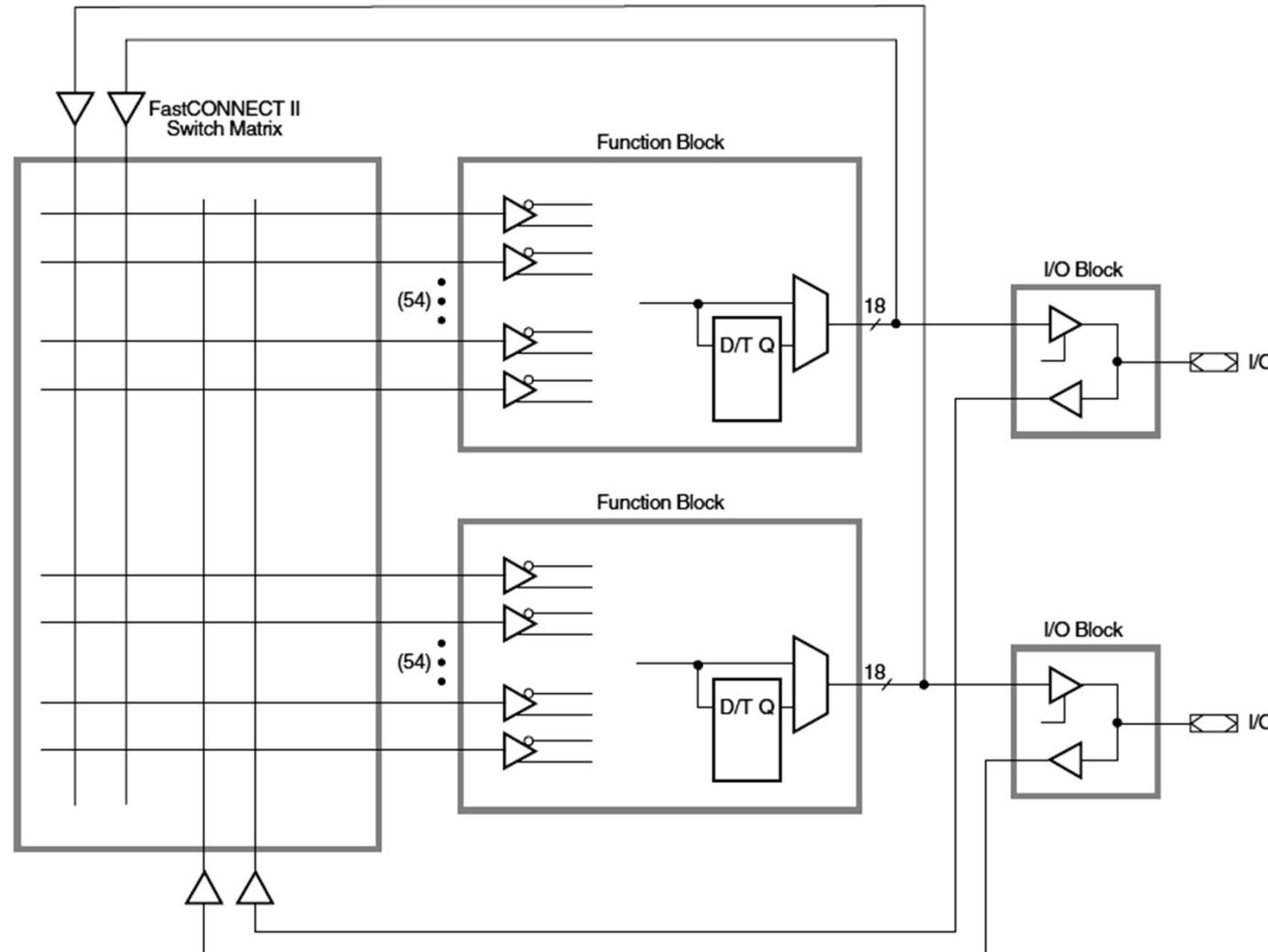
napięcie zasilania 3,3 V

18 makrokomórek w pojedynczym BF

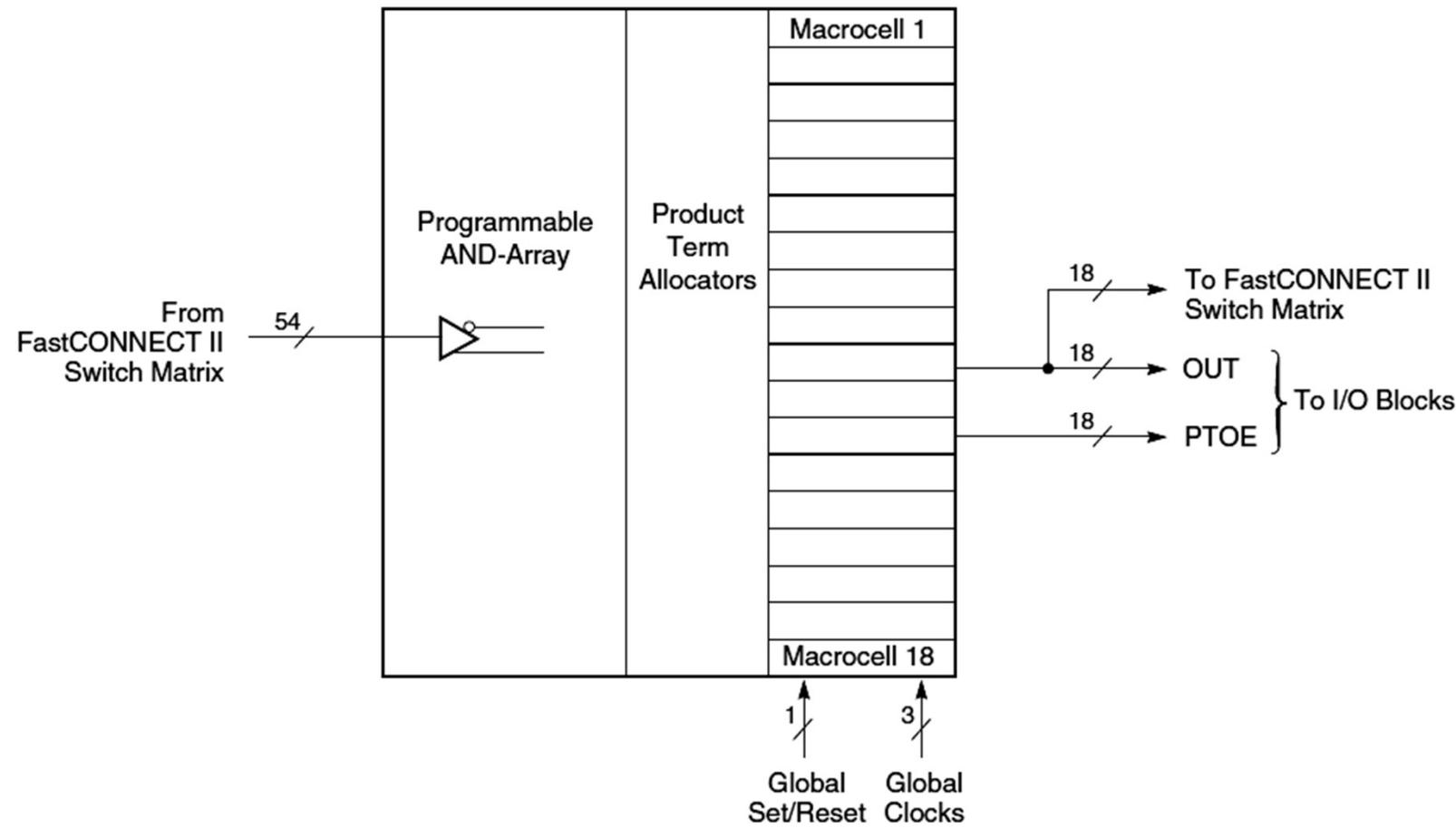
XC9500XL Device Family

| | XC9536XL | XC9572XL | XC95144XL | XC95288XL |
|--------------------|-----------------|-----------------|------------------|------------------|
| Macrocells | 36 | 72 | 144 | 288 |
| Usable Gates | 800 | 1,600 | 3,200 | 6,400 |
| Registers | 36 | 72 | 144 | 288 |
| T_{PD} (ns) | 5 | 5 | 5 | 6 |
| T_{SU} (ns) | 3.7 | 3.7 | 3.7 | 4.0 |
| T_{CO} (ns) | 3.5 | 3.5 | 3.5 | 3.8 |
| f_{SYSTEM} (MHz) | 178 | 178 | 178 | 208 |

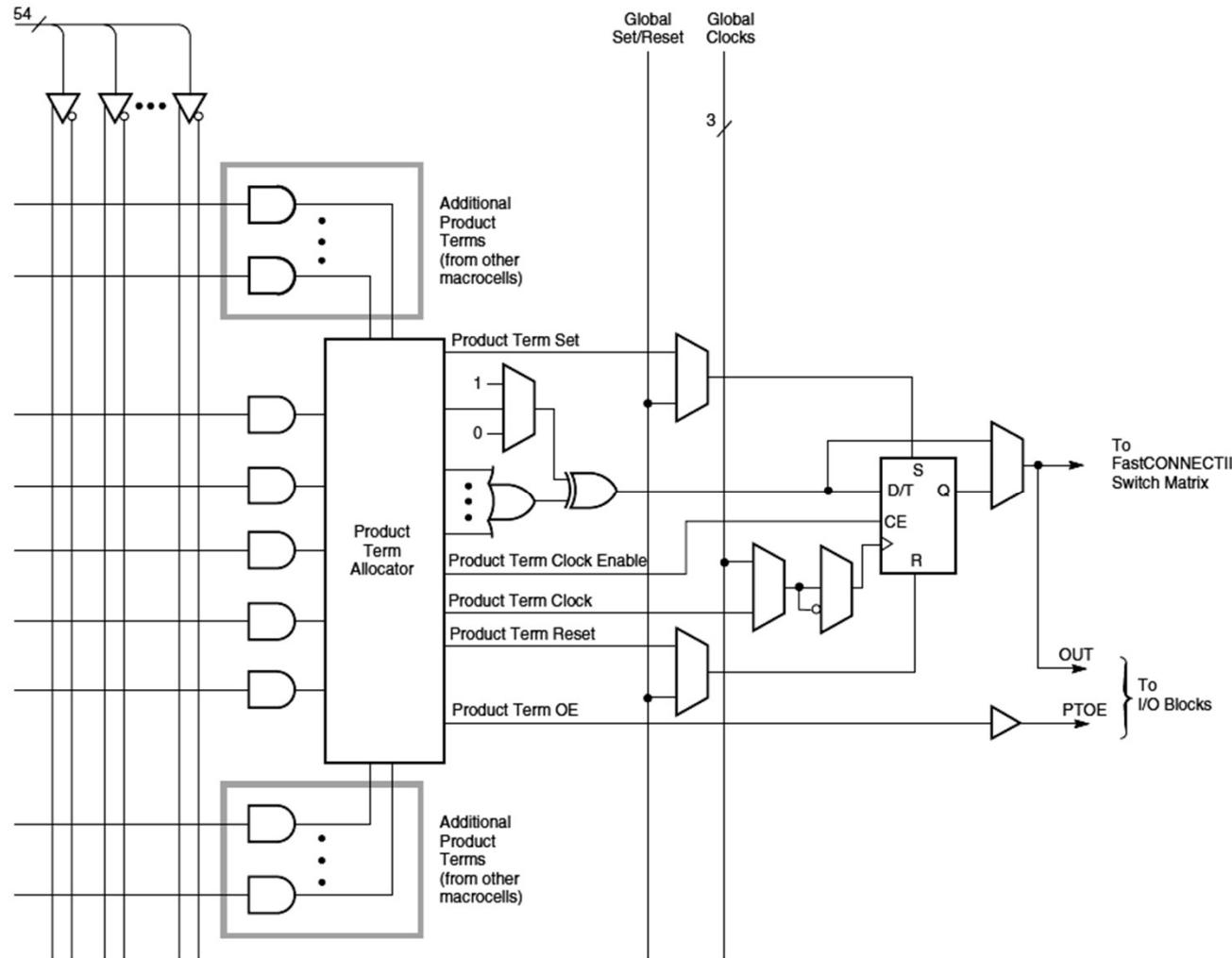
Układy programowalne – architektura XC9500XL



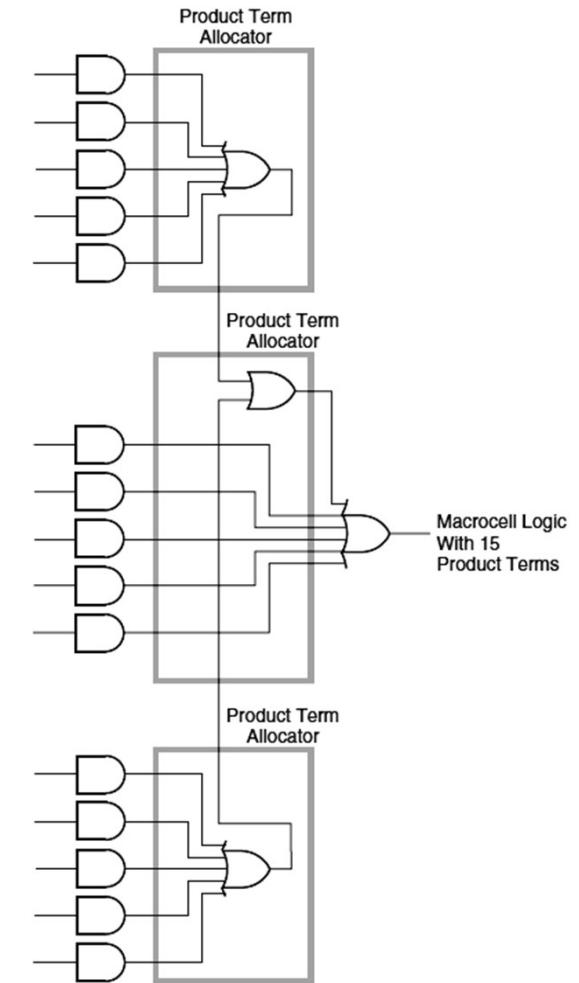
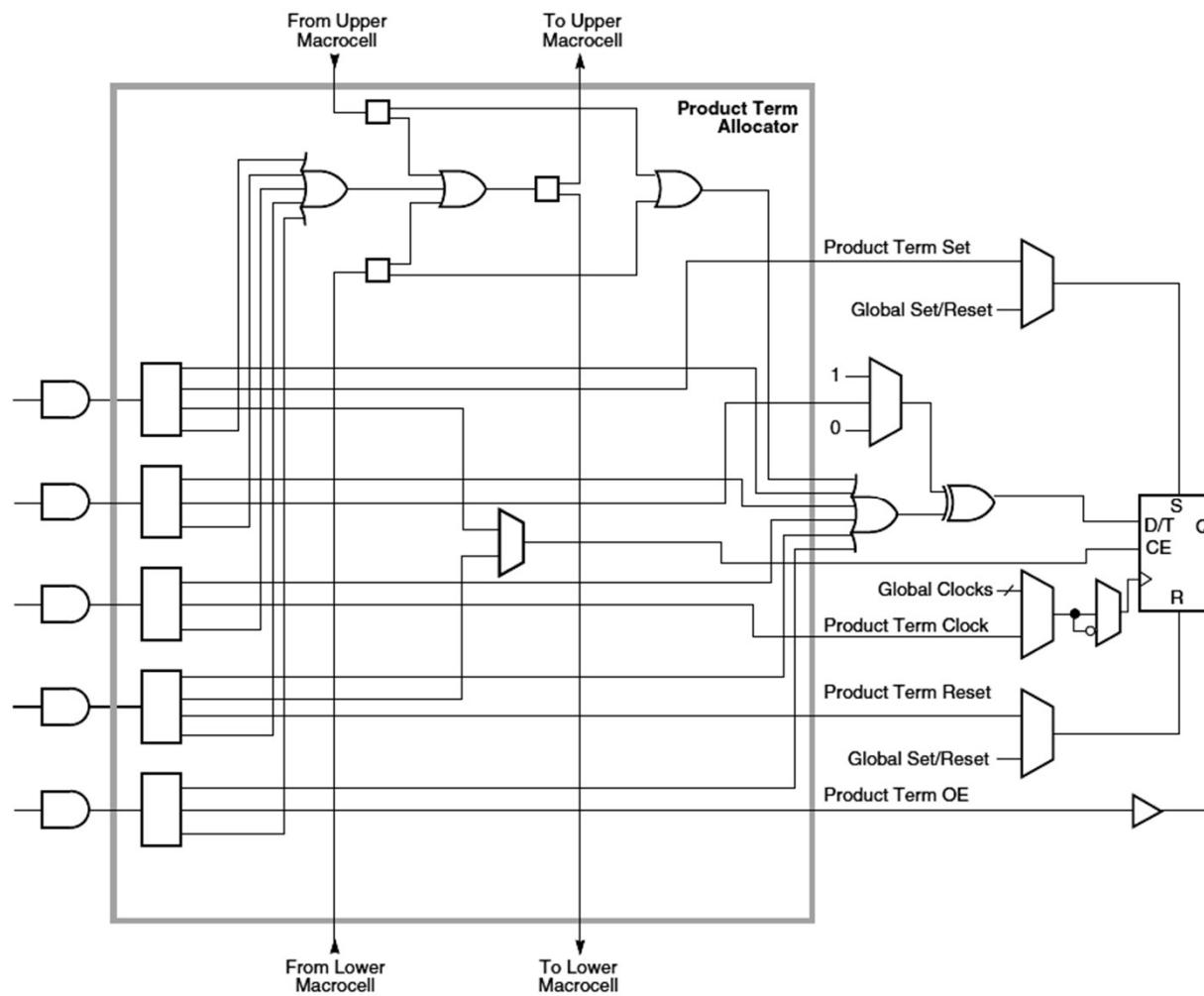
Układy programowalne – blok funkcjonalny XC9500XL



Układy programowalne – makrokomórka XC9500XL

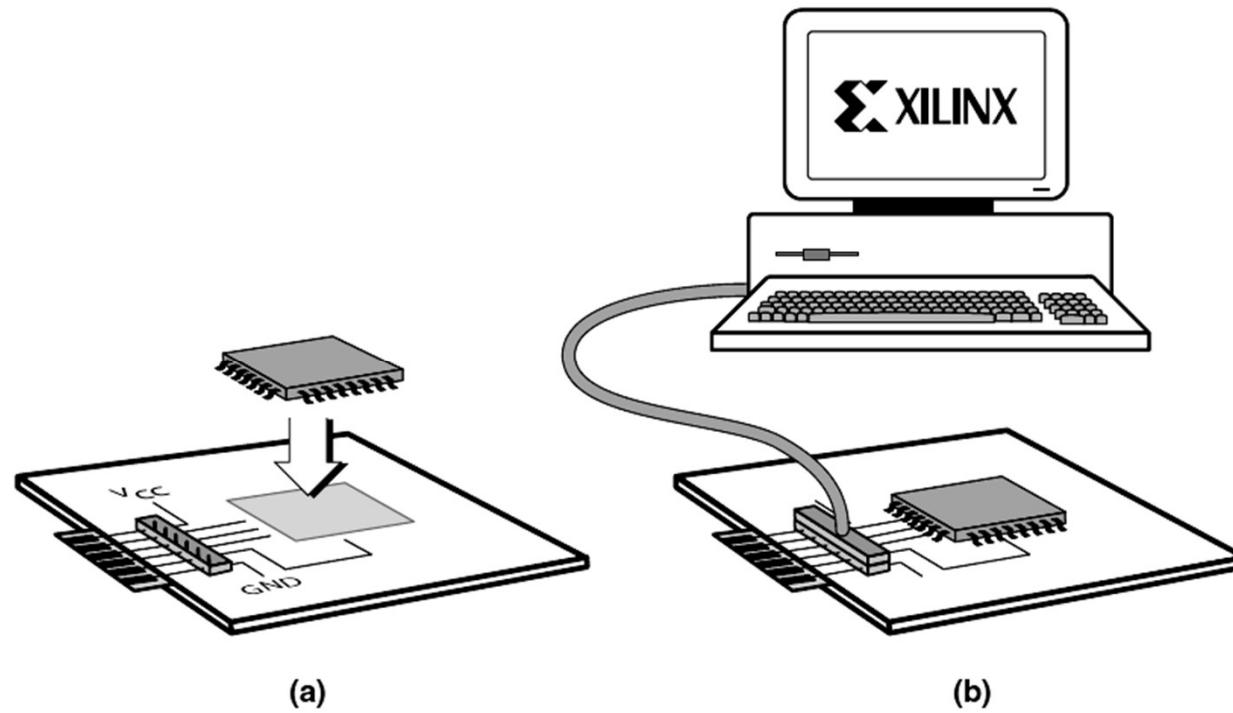


Układy programowalne – alokator termów XC9500XL



Układy programowalne – sposób użycia

- a) lutowanie układu programowalnego
- b) konfigurowanie w gotowym systemie cyfrowym (JTAG)

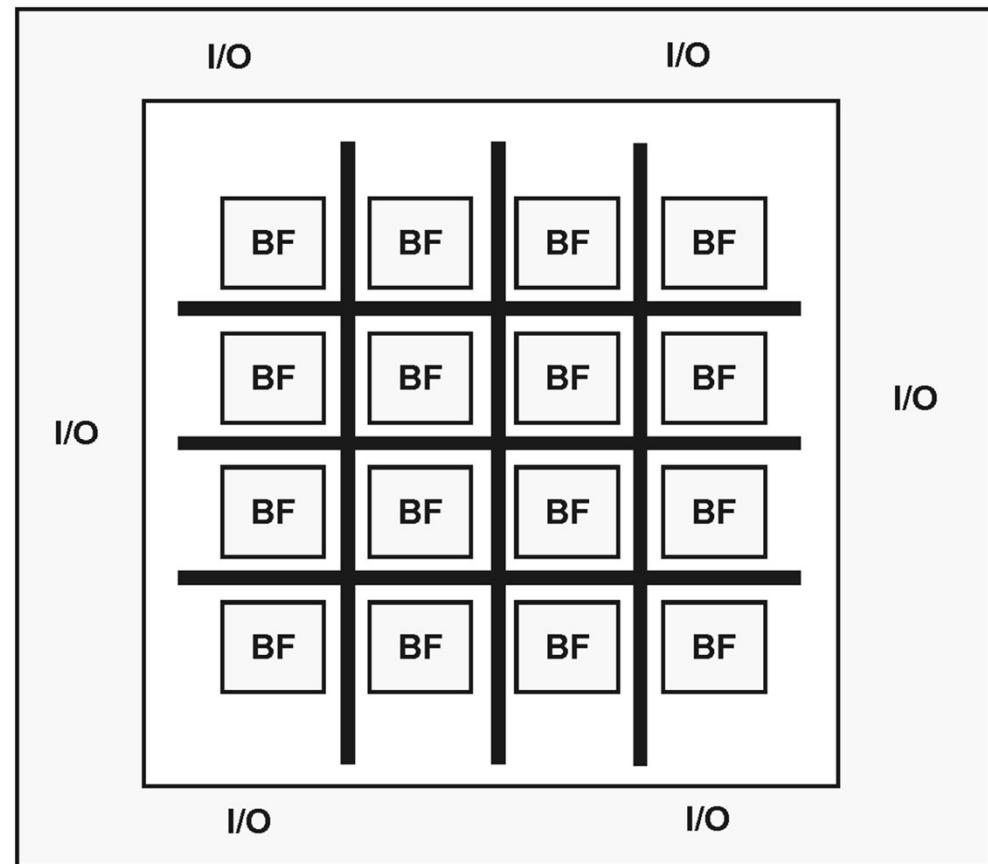


Układy programowalne – FPGA

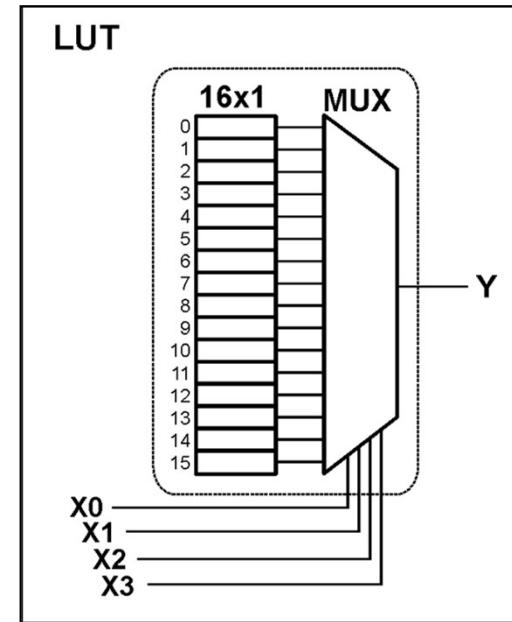
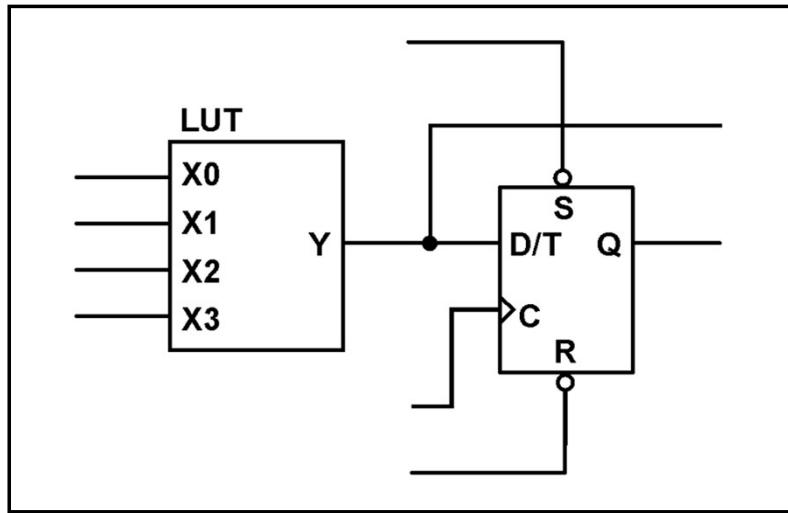
Field Programmable Gate Arrays

XILINX / AMD – Spartan, Artix, Kintex, Virtex

INTEL FPGA (Altera) – Cyclone, Arria, Stratix



FPGA – blok funkcjonalny (naj-naj-najprostsza struktura)



LUT – Look-Up Table, ulotna pamięć statyczna RAM 16x1; zawiera wartości funkcji binarnej układu kombinacyjnego czyli jego tablicę prawdy

SRAM 16x1 – pamięć: 16 komórek 1-bitowych

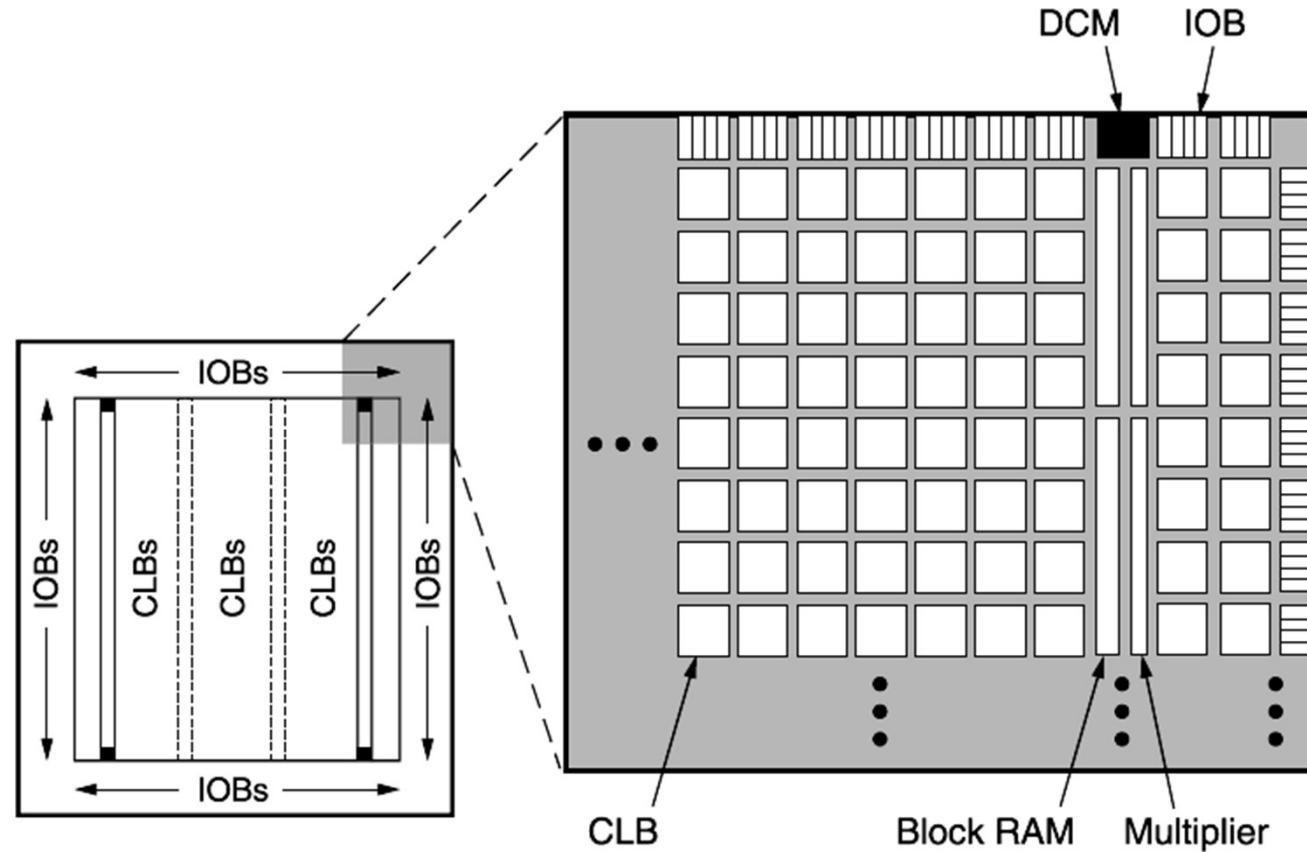
Układy programowalne – Spartan-3 – FPGA firmy Xilinx

| Device | System Gates | Equivalent Logic Cells ⁽¹⁾ | CLB Array (One CLB = Four Slices) | | | Distributed RAM Bits (K=1024) | Block RAM Bits (K=1024) | Dedicated Multipliers | DCMs | Maximum User I/O | Maximum Differential I/O Pairs |
|-------------------------|--------------|---------------------------------------|--------------------------------------|---------|------------|-------------------------------|-------------------------|-----------------------|------|------------------|--------------------------------|
| | | | Rows | Columns | Total CLBs | | | | | | |
| XC3S50 ⁽²⁾ | 50K | 1,728 | 16 | 12 | 192 | 12K | 72K | 4 | 2 | 124 | 56 |
| XC3S200 ⁽²⁾ | 200K | 4,320 | 24 | 20 | 480 | 30K | 216K | 12 | 4 | 173 | 76 |
| XC3S400 ⁽²⁾ | 400K | 8,064 | 32 | 28 | 896 | 56K | 288K | 16 | 4 | 264 | 116 |
| XC3S1000 ⁽²⁾ | 1M | 17,280 | 48 | 40 | 1,920 | 120K | 432K | 24 | 4 | 391 | 175 |
| XC3S1500 | 1.5M | 29,952 | 64 | 52 | 3,328 | 208K | 576K | 32 | 4 | 487 | 221 |
| XC3S2000 | 2M | 46,080 | 80 | 64 | 5,120 | 320K | 720K | 40 | 4 | 565 | 270 |
| XC3S4000 | 4M | 62,208 | 96 | 72 | 6,912 | 432K | 1,728K | 96 | 4 | 633 | 300 |
| XC3S5000 | 5M | 74,880 | 104 | 80 | 8,320 | 520K | 1,872K | 104 | 4 | 633 | 300 |

1. Logic Cell = 4-input Look-Up Table (LUT) plus a 'D' flip-flop.
"Equivalent Logic Cells" equals "Total CLBs" x 8 Logic Cells/CLB x 1.125 effectiveness.

2. These devices are available in Xilinx Automotive

Układy programowalne – struktura Spartan-3

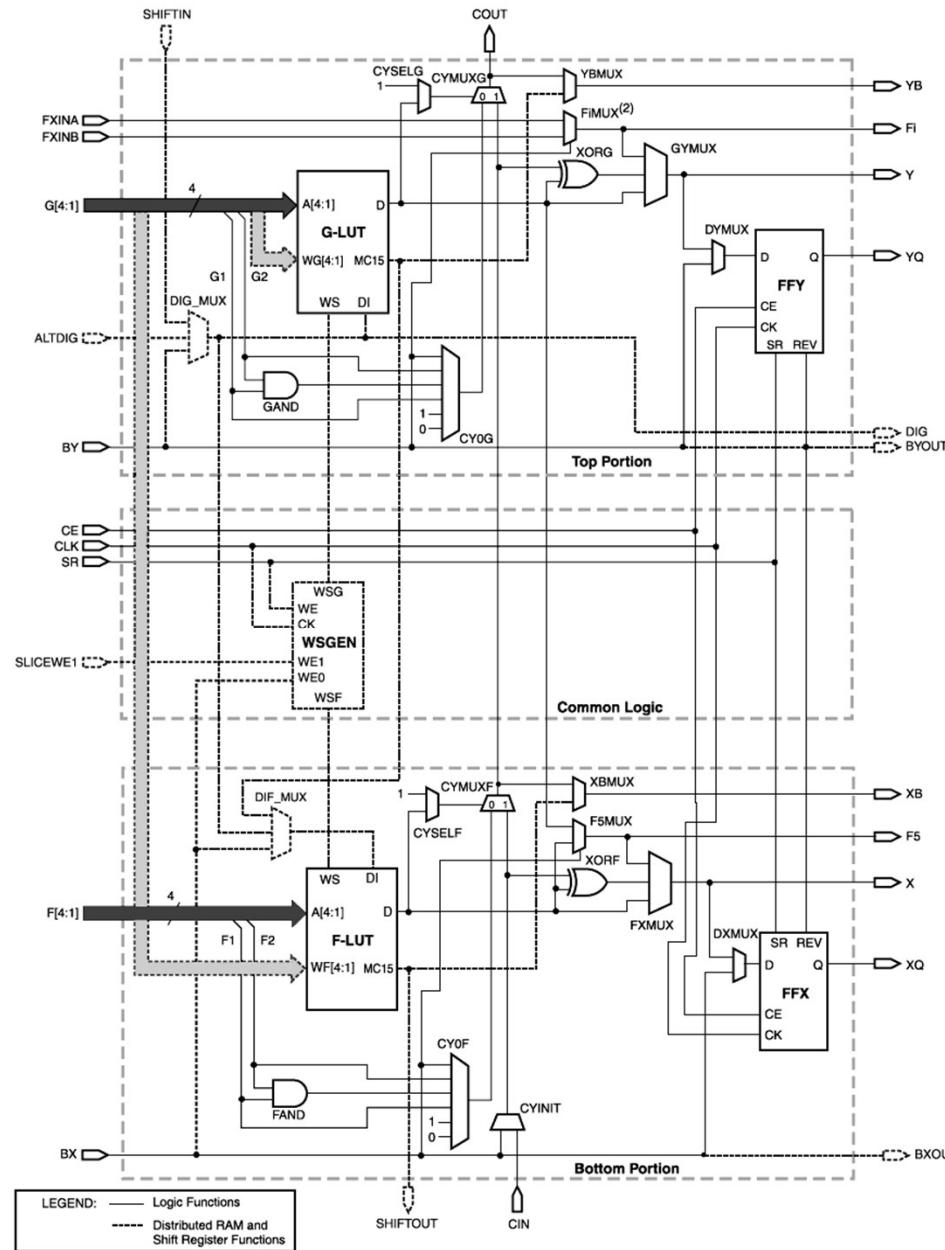


CLB – Configurable Logic Block, cztery komórki SLICE

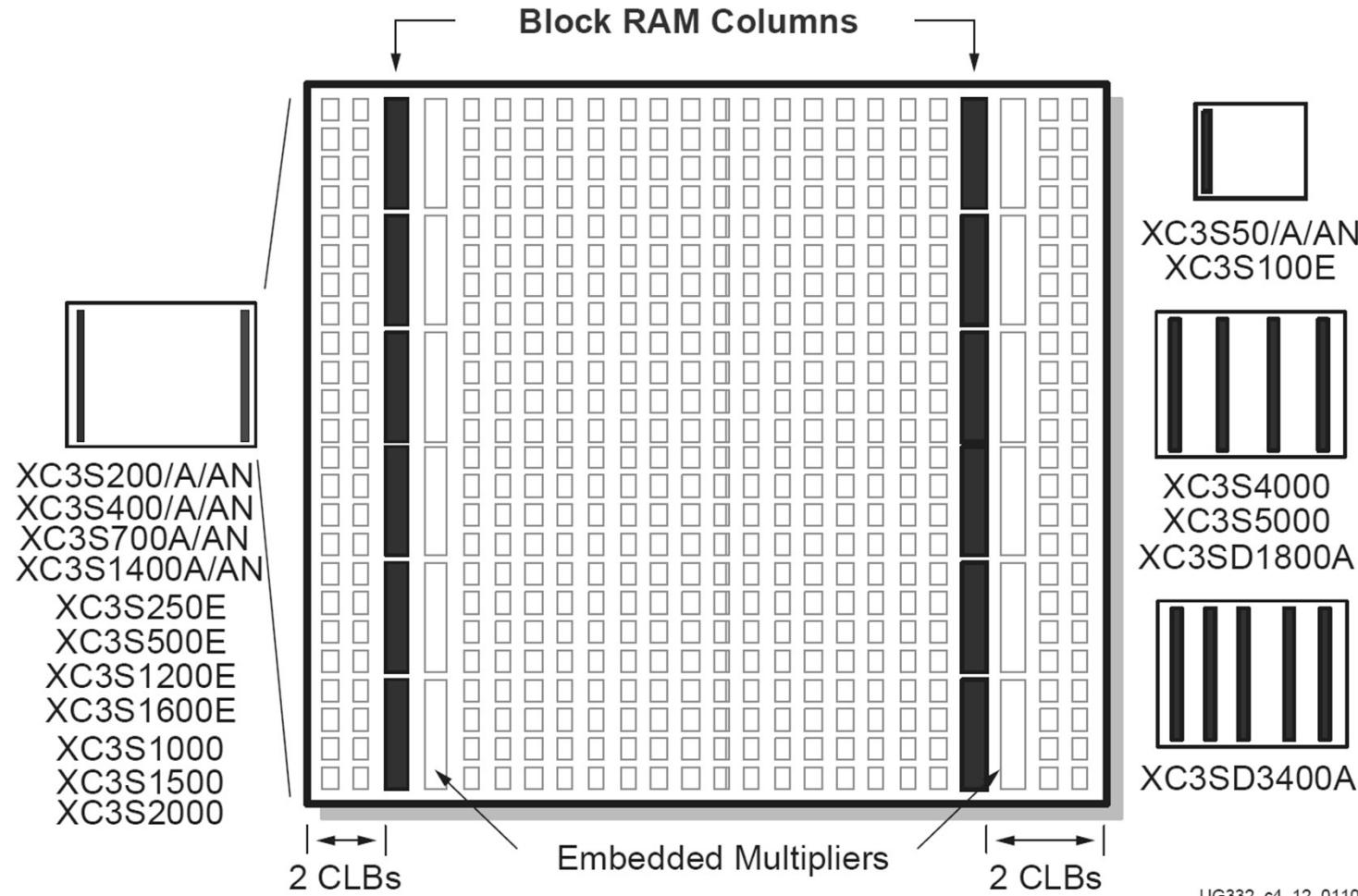
DCM – Digital Clock Manager

Układy programowalne – struktura SLICEM, Spartan-3

LUT – Look-Up Table

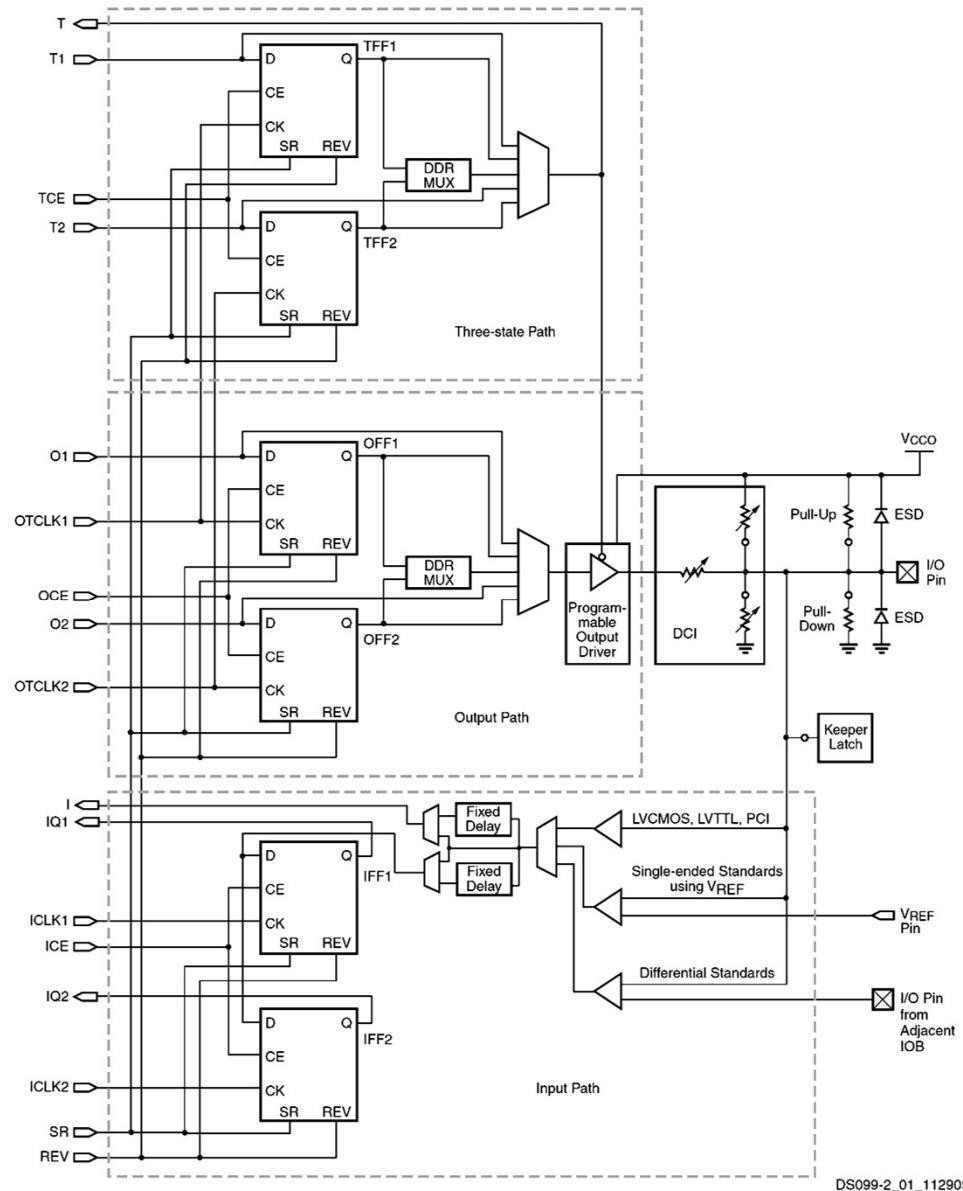


Układy programowalne – BlockRAM, Spartan-3



Układy programowalne

– Block I/O, Spartan-3



Proces projektowania układów cyfrowych w strukturach programowalnych

1. *Projekt funkcjonalny*

(założenia, schemat blokowy, opis słowny działania układu)

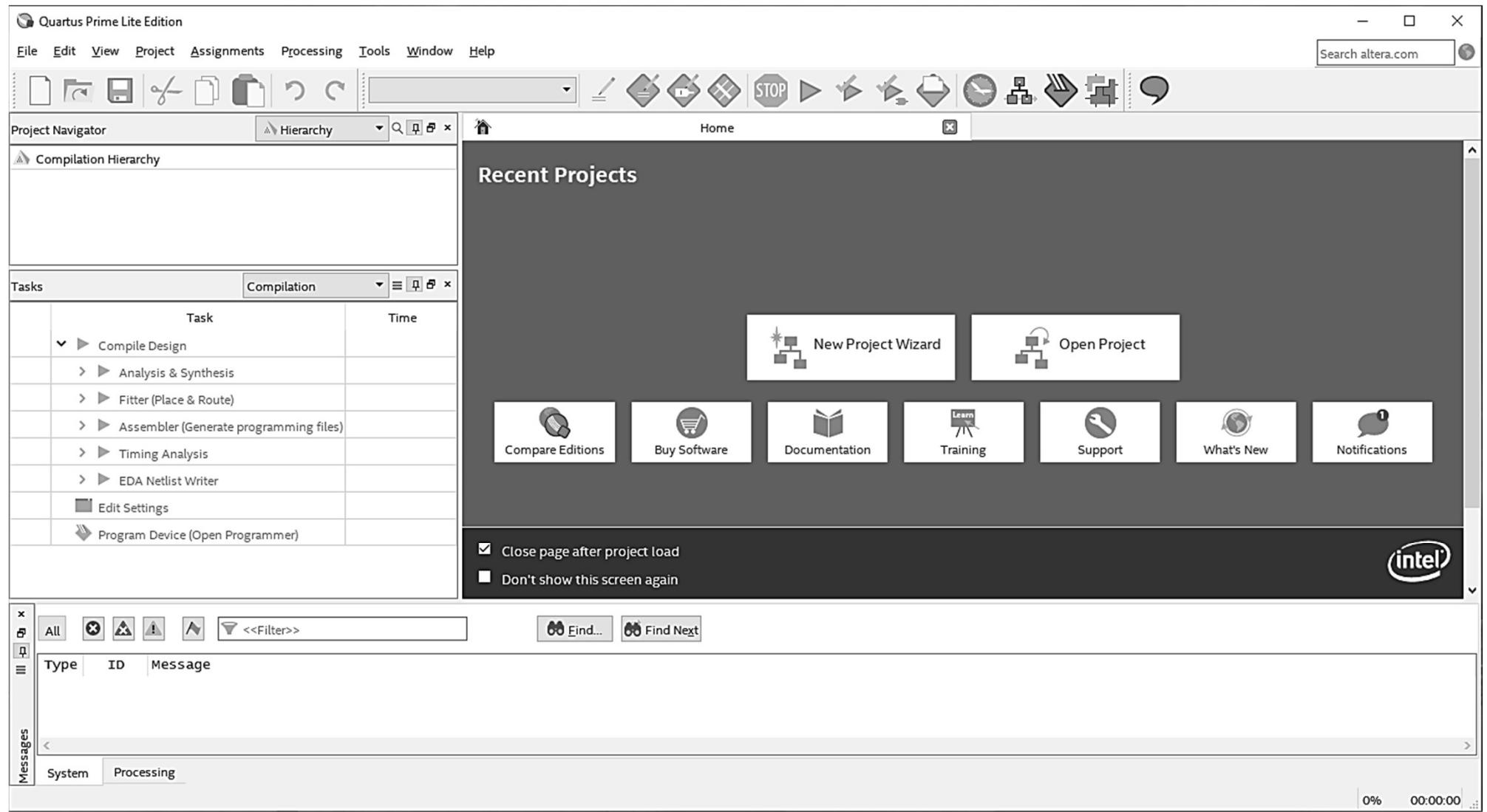
2. *Projekt logiczny*

(pliki .vhd, wybór układu, kompilacja, symulacja logiczna)

3. *Projekt fizyczny*

(synteza logiczna, place & route, symulacja czasowa, konfiguracja układu programowalnego)

System projektowy (Quartus Prime)



Wybór układu programowalnego

New Project Wizard

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: MAX 10 (DA/DF/DC/SA/SC)
Device: MAX 10 DA

Target device

Auto device selected by the Fitter
 Specific device selected in 'Available devices' list
 Other: n/a

Show in 'Available devices' list

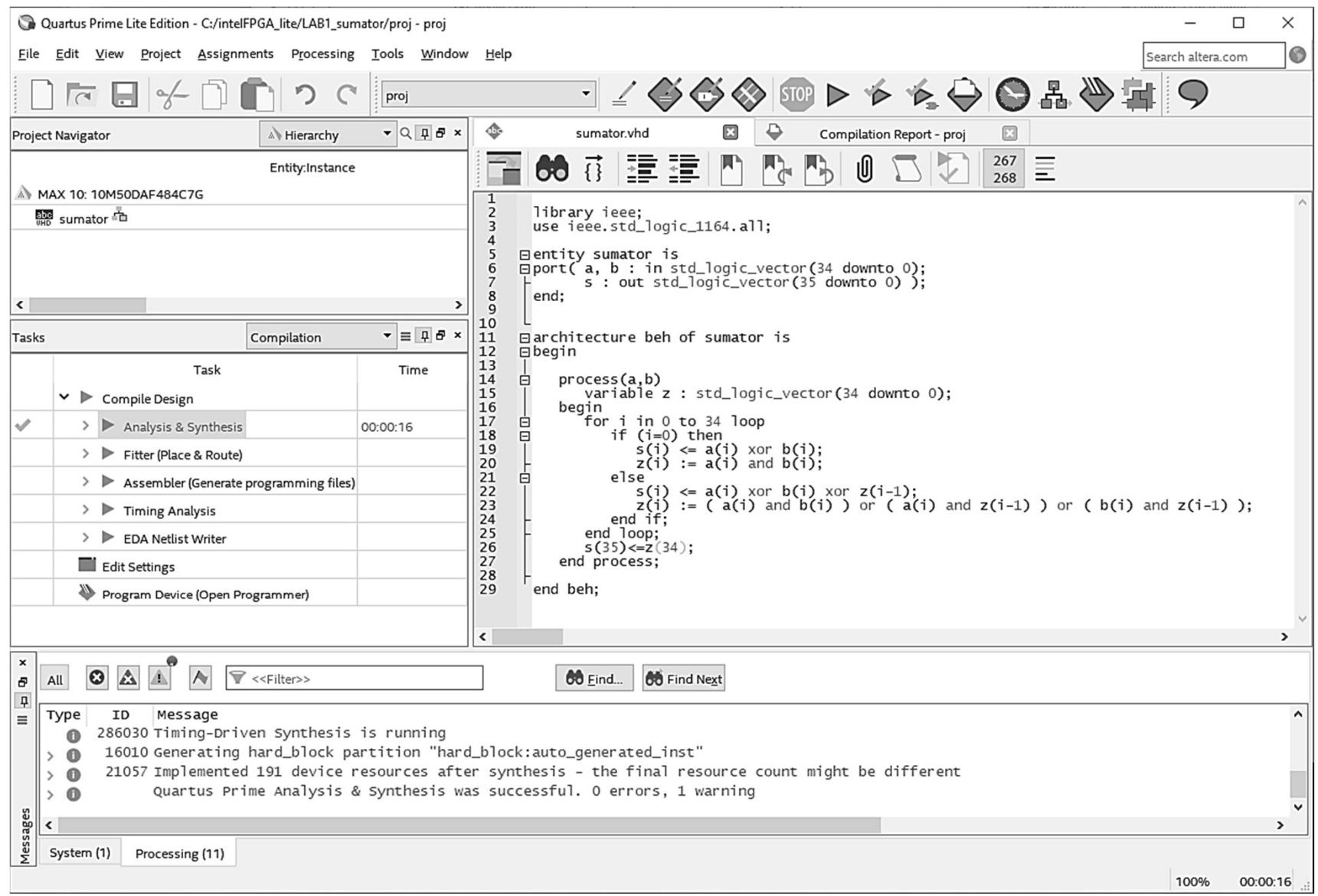
Package: FBGA
Pin count: 484
Core speed grade: 7
Name filter:
 Show advanced devices

Available devices:

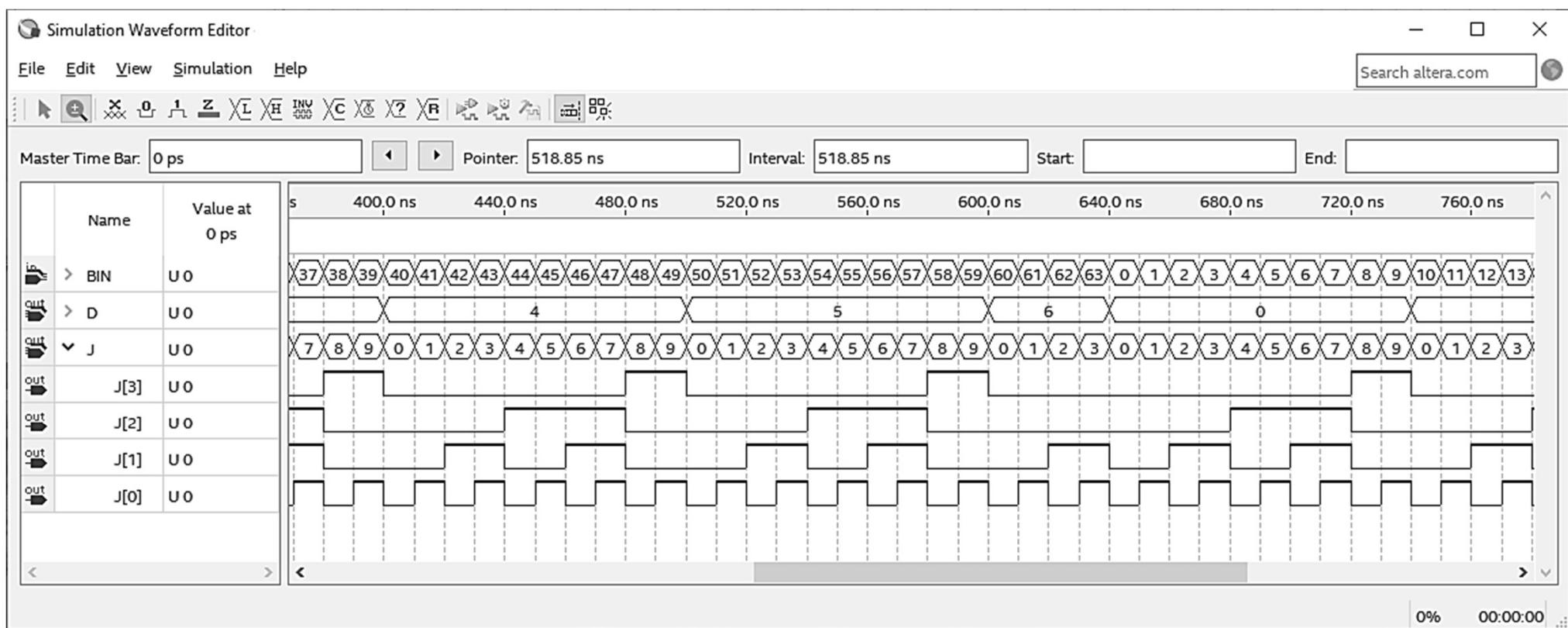
| Name | Core Voltage | LEs | Total I/Os | GPIOs | Memory Bits | Embedded multip |
|----------------|--------------|-------|------------|-------|-------------|-----------------|
| 10M40DAF484I7G | 1.2V | 40368 | 360 | 360 | 1290240 | 250 |
| 10M50DAF484C7G | 1.2V | 49760 | 360 | 360 | 1677312 | 288 |
| 10M50DAF484I7G | 1.2V | 49760 | 360 | 360 | 1677312 | 288 |
| 10M50DAF484I7D | 1.2V | 49760 | 360 | 360 | 1677312 | 288 |

< Back Next > Finish Cancel Help

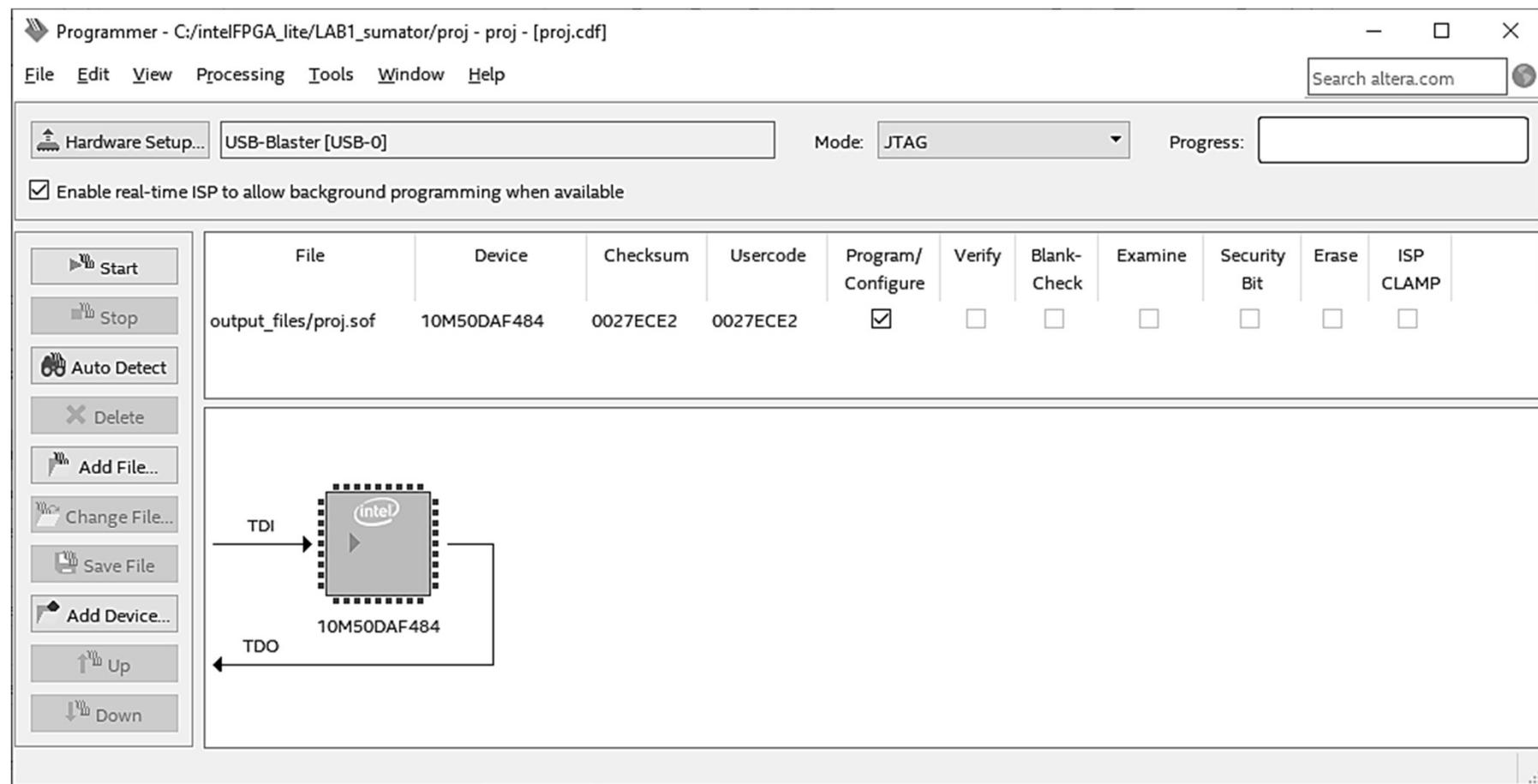
Opis projektu



Symulacja projektu



Programowanie układu scalonego



Sprzęt...

