

TECHNOLOGIA UKŁADÓW CYFROWYCH

**Praktyczna realizacja półprzewodnikowa,
której działanie odpowiada teoretycznemu projektowi
„na papierze” – czyli syntezie logicznej...**

Stanom logicznym 0 i 1 odpowiadają stałe wartości napięć !

Układy Cyfrowe – *rys historyczny*

1948 – tranzystor bipolarny, „Nobel” w 1956: Bardeen, Brattain, Shockley

1958 – Jack Kilby (*Texas Instruments*), pierwszy scalony przerzutnik, elementy łączone złotymi drucikami

1959 – Richard Noice (*Fairchild*), pierwszy planarny cyfrowy układ scalony

1961 – układy RTL (*Texas Instruments, Fairchild*)

1962 – układy DTL (*Fairchild, Signetics*), układy ELC (*Motorola*)
tranzystor MOS i układy MOS (*RCA*)

1963 – układy TTL (*Texas Instruments*)
początki układów CMOS (*Fairchild*)

1968 – seryjna produkcja układów SSI i MSI CMOS (*RCA*),
pamięci dynamiczne LSI CMOS (*Intel*)

1970 – kalkulatory MOS

1971 – mikroprocesor MOS 4004 (*Intel*)

1975 – mikroprocesor CMOS 1801 (*RCA*)

Układy Cyfrowe – wykonanie

UKŁAD SCALONY – jest to fizycznie wykonany układ elektroniczny, którego część lub wszystkie elementy i połączenia pomiędzy nimi są wykonane w jednym procesie technologicznym na powierzchni lub wewnątrz jednego podłoża,

Integrated Device, Integrated Circuit

Układ scalony zamykany jest w obudowie a sygnały doprowadzane są z zewnątrz poprzez końcówki.

Układy unipolarne – tranzystory polowe

Układy bipolarne – tranzystory n-p-n (rzadko p-n-p)

Układy Cyfrowe – *kategorie*

- 1) układy standardowe – produkowane masowo układy o ustalonych funkcjach logicznych,**
- 2) układy programowalne – produkowane masowo układy o programowanych funkcjach logicznych, ustalanych przez projektanta,**
- 3) układy specjalizowane (ASIC – *Application-Specific Integrated Circuits*) – wytwarzane na ustalone zamówienie projektanta, układ zaprojektowany do konkretnego zastosowania.**

Scalone Układy Cyfrowe – *klasy technologiczne*

Podłoże krzemowe (Si)

- 1) TTL (*Transistor-Transistor Logic*)
- 2) ECL (*Emitter-Coupled Logic*)
- 3) CMOS (*Complementary Metal-Oxide-Semiconductor*)
- 4) SiGe (*Silicon-Germanium*)

Scalone Układy Cyfrowe – właściwości

- 1) Szybkość działania**
- 2) Moc strat, napięcie zasilania**
- 3) Niezawodność, odporność na zakłócenia,
kompatybilność łączeniowa, obciążalność**
- 4) Obudowy, dopuszczalna temperatura otoczenia**
- 5) Koszt**

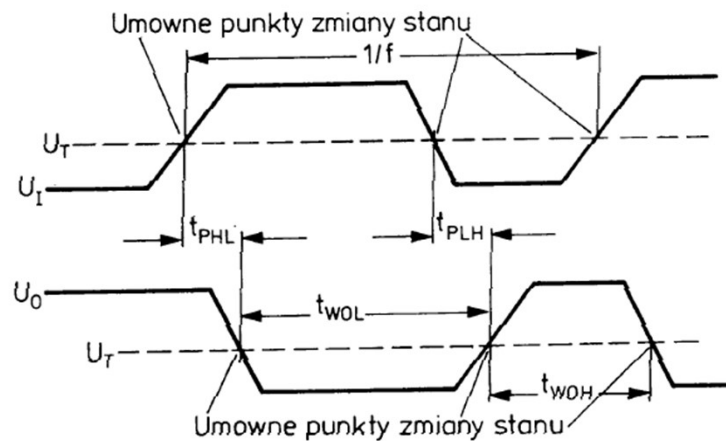
Scalone Układy Cyfrowe – szybkość działania

Czas propagacji (opóźnienia) t_p – odcinek czasu pomiędzy zboczem impulsu wejściowego i zboczem powstałej zmiany stanu na wyjściu.

Mierzy się pomiędzy poziomami napięcia progowego U_T .

Dla układów TTL $U_T = 1,5 \text{ V}$.

Dla układów CMOS $U_T = U_{DD} / 2$ – połowa napięcia zasilania.



Scalone Układy Cyfrowe – *moc strat*

$$P = U_{CC} I_{CC}$$

U_{CC} – napięcie zasilania

I_{CC} – prąd zasilania

Dwie składowe mocy strat:

moc statyczna ($f_{CK} = 0$ Hz)

prąd zasilania I_{CCL} przy $U_O = U_{OL}$ oraz I_{CCH} przy $U_O = U_{OH}$

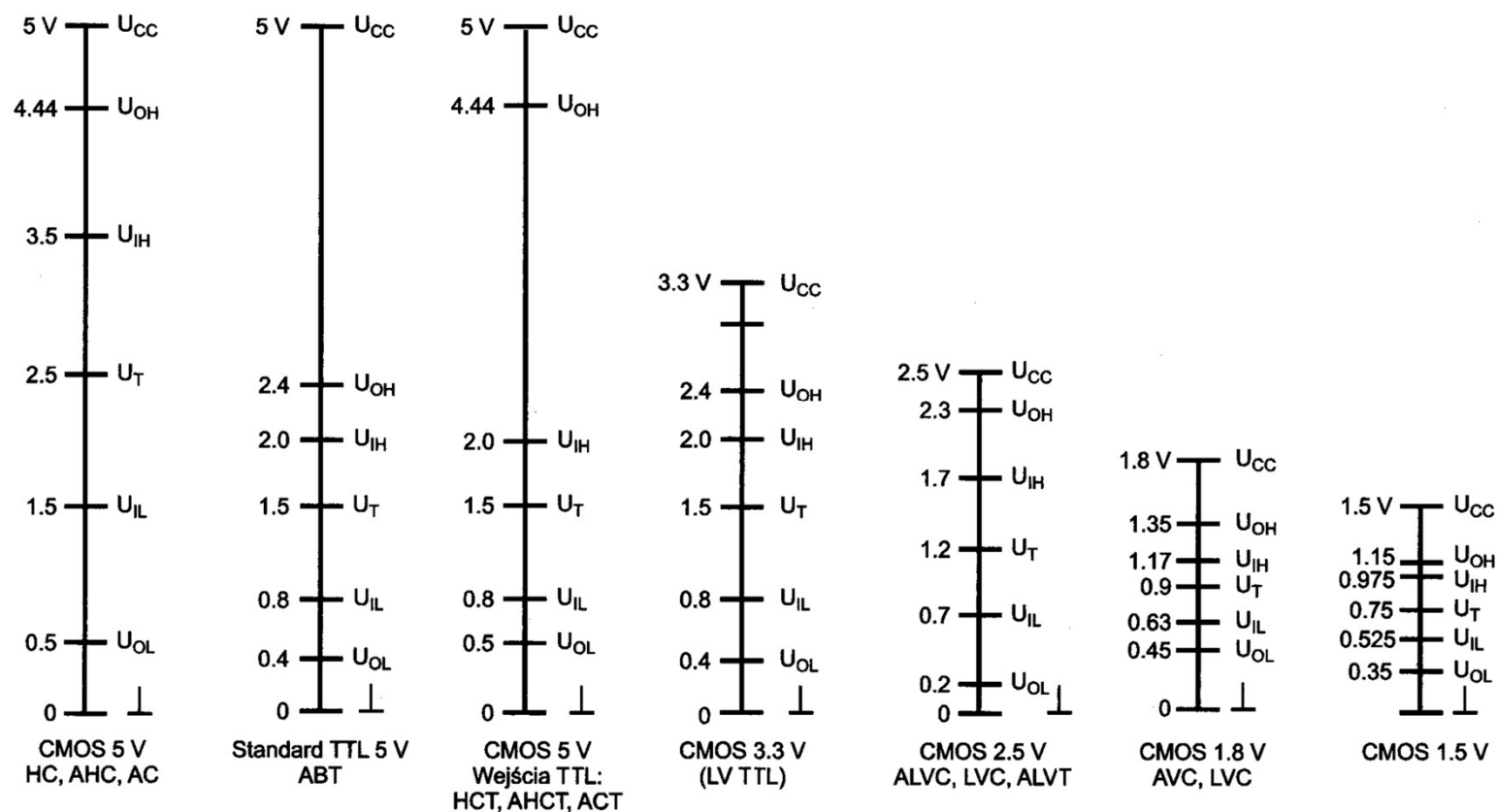
moc dynamiczna ($f_{CK} > 0$ Hz)

$$P = U_{CC} I_{CCsr}(f)$$

Scalone Układy Cyfrowe – zgodność łączeniowa

- 1) muszą być spełnione warunki dotyczące poziomów napięć dla H i L, oraz maksymalnego obciążenia wyjść**
- 2) stosować konwertery napięć poziomów logicznych**
- 3) stosując szybkie układy należy uwzględniać pojemności pasożytnicze linii połączeniowych i dołączonych wejść**
- 4) zasilanie, wspólna masa...**

... zgodność łączeniowa – *poziomy logiczne i ich napięcia*

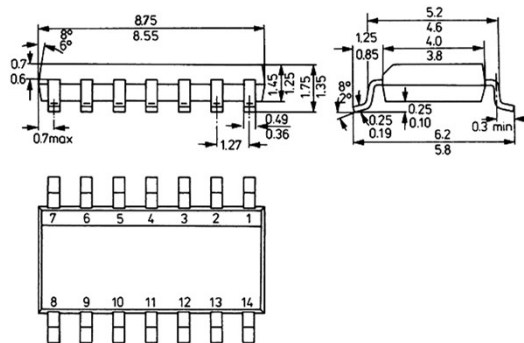


Scalone Układy Cyfrowe – obudowy

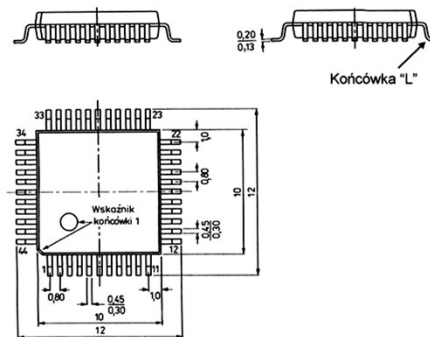
Przeznaczenie:

- 1) ochrona struktury krzemowej przed szkodliwymi wpływami środowiska,
- 2) ochrona przed uszkodzeniami mechanicznymi,
- 3) odprowadzanie ciepła (rozpraszanie),
- 4) ułatwienie montażu poprzez zastosowanie odpowiednich końcówek.

SO – Small Outline



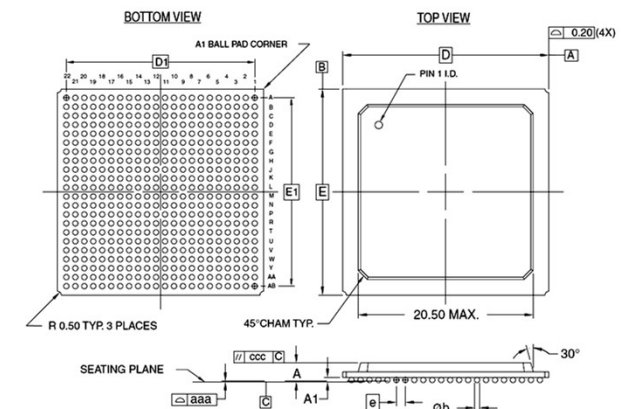
QFP – Quad Flat Package



BGA – Ball Grid Array

XILINX®
PK081 (v1.1) December 15, 2008

Fine-Pitch (FG484/FGG484) BGA Package



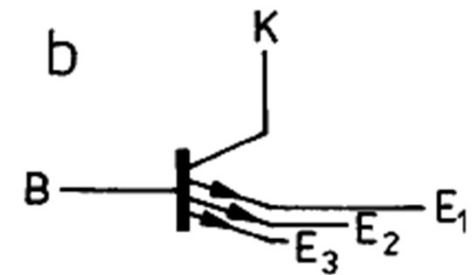
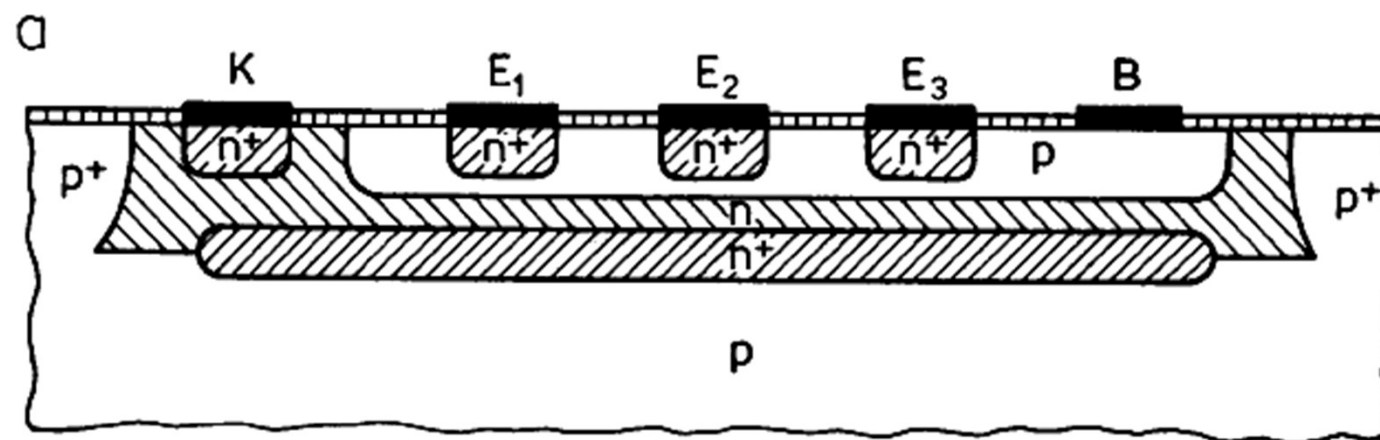
Scalone Układy Cyfrowe – *struktury*

Głównymi elementami aktywnymi są:

- 1) diody ze złączem *p-n*,
- 2) diody ze złączem *metal-półprzewodnik*, czyli diody Schottky'ego,
- 3) tranzystory *n-p-n*
- 4) tranzystory *MOS (NMOS, PMOS)*

Zawarte rysunki zostały zaczerpnięte z książki J. Kalisz „Podstawy elektroniki cyfrowej”, WKŁ

Scalone Układy Cyfrowe – *struktury*



Przykład struktury tranzystora trójemiterowego

a) przekrój, b) symbol elektryczny

Scalone Układy Cyfrowe – *UKŁADY TTL*

TTL – Transistor-Transistor Logic

Najpopularniejsza od lat 60-tych do 80-tych u.w.

Napięcie zasilania $+5V \pm 0,5V$.

Dziś przestarzała technologia zastąpiona przez układy CMOS.

Oznaczenia:

SN74xxx

SN – Solid Network (*Texas Instruments*)

74 – komercyjny zakres temperatur $0...+ 70\text{ }^{\circ}\text{C}$

54 – „wojskowy” zakres temperatur – $55...+ 125\text{ }^{\circ}\text{C}$

kolejne litery – oznaczają rodzinę zależnie od technologii

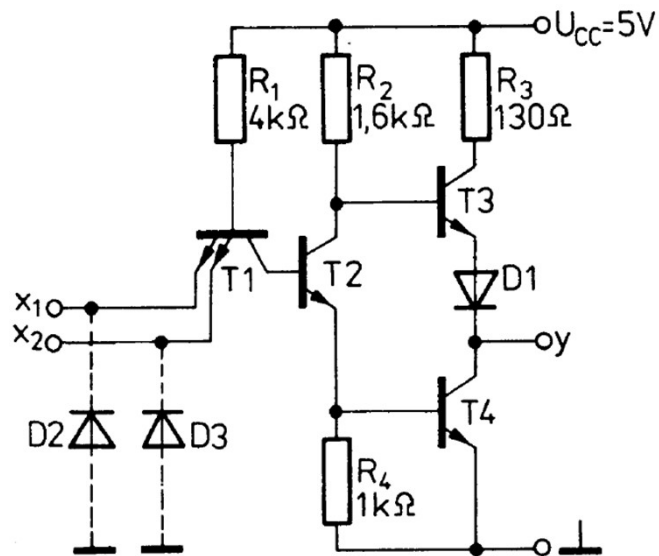
xxx – cyfry oznaczające typ układu, realizowane funkcje logiczne

ZESTAWIENIE ZASADNICZYCH PARAMETRÓW SERII W RODZINIE UKŁADÓW TTL

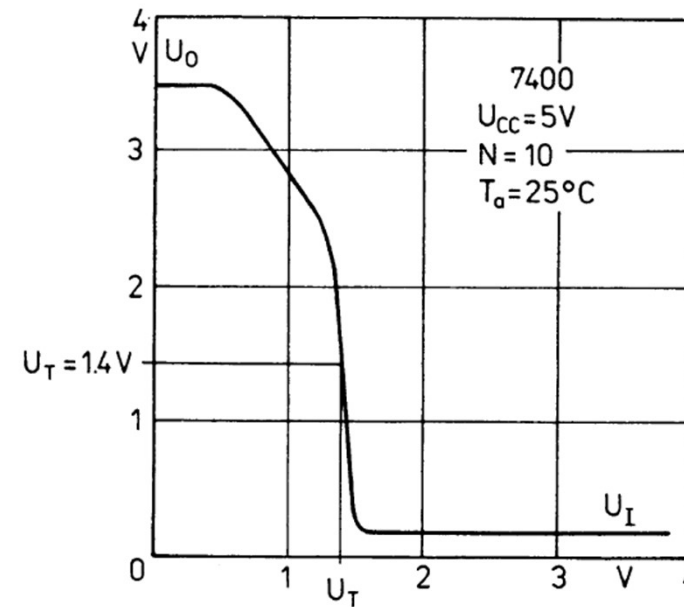
Parametr	Seria	Technologia izolacji złączowej z domieszkowaniem złotem			Technologia izolacji złączowej z diodami Schottky'ego		Technologia izolacji tlenkowej z diodami Schottky'ego		
		Stan- dar- dowa	H szybka (przes- tarzała)	L małej mocy (przes- tarzała)	S Schott- ky'ego	LS Schott- ky'ego małej mocy	F FAST	ALS ulepszo- na LS	AS ulepszo- na S
Czas propagacji $T_{p\text{ typ}}$ (ns) przy $N = 10$		10	6	33	3	9	3.5	5	1.7
Moc strat na bramkę P_{typ} (mW)		10	23	1	19	2	5.5	1	8
Współczynnik dobroci $D_{\text{typ}} = t_{p\text{ typ}} \cdot P_{\text{typ}}$ (pJ)		100	138	33	57	18	19.2	5	13.6
Maksymalna częstotliwość pracy $(f_{\text{max}})_{\text{typ}}$ (MHz)		25	50	3	125	33	150	50	200
Prąd wyjściowy $I_{OH\text{ max}}$ (mA)		0.4	1	0.5	1	0.4	1	0.4	2
Prąd wyjściowy $I_{OL\text{ max}}$ (mA)		16	20	3.6	20	8	20	8	20
Prąd wejściowy $I_{IL\text{ max}}$ (mA)		1.6	2	0.18	2	0.4	0.6	0.2	0.5
Obciążalność N_{max}		10	10	20	10	20	33	40	48

Scalone Układy Cyfrowe – UKŁADY TTL

Podstawowa bramka to NAND



Charakterystyka przejściowa $U_O = f(U_I)$



$$U_{OLmax} = 0,4 \text{ V}$$

$$U_{OHmin} = 2,4 \text{ V}$$

$$U_{ILmax} = 0,8 \text{ V}$$

$$U_{IHmin} = 2 \text{ V}$$

$$M_{Lmin} = 0,4 \text{ V}$$

$$M_{Hmin} = 0,4 \text{ V}$$

Cyfrowe Układy Scalone – ***UKŁADY CMOS***

CMOS – *Complementary MOS*

Utworzone z komplementarnych tranzystorów MOS:

PMOS (z kanałem typu p) i NMOS (z kanałem typu n), normalnie wyłączonych czyli z kanałem indukowanym.

Dziś wiodąca klasa cyfrowych układów scalonych.

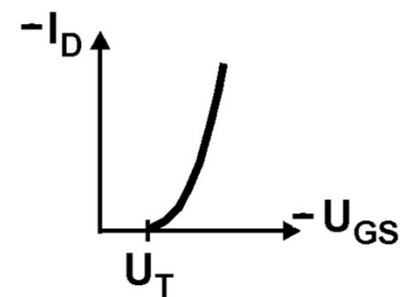
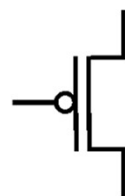
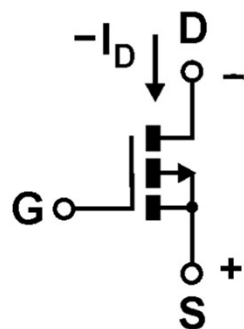
Zalety:

bardzo mała moc strat, możliwość pracy przy obniżonym napięciu zasilania

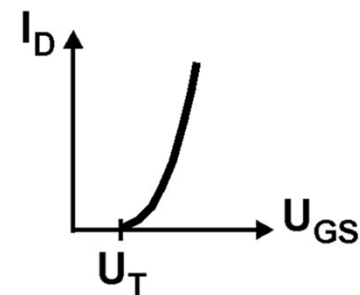
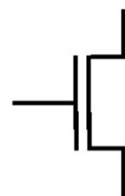
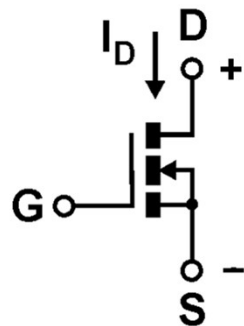
Zawarte rysunki zostały zaczerpnięte z książki J. Kalisz „Podstawy elektroniki cyfrowej”, WKŁ, wyd. 4 i 5

UKŁADY CMOS – tranzystory PMOS i NMOS

kanal P



kanal N



UKŁADY CMOS – klasyczne napięcie zasilania +5 V

PORÓWNANIE PARAMETRÓW UKŁADÓW TTL I CMOS
(WARTOŚCI TYPOWE PRZY $U_{CC} = 5\text{ V}$, $C_L = 50\text{ pF}$ i $T_a = +25^\circ\text{C}$)

Rodzina Parametr	TTL			CMOS			
	LS	ALS	F	4000B	HC	AHC	AC FACT
Napięcie zasilające U_{CC} (V)	$5 \pm 5\%$	$5 \pm 10\%$	$5 \pm 5\%$	3–18	2–6	2–5.5	2–6
Moc strat na bramkę w stanie statycznym P_{typ} (mW)	2	1	5.5	0.001	0.0025	0.0025	0.0025
Czas propagacji $t_{p_{typ}}$ (ns) przy $C_L = 50\text{ pF}$	9	5	3.5	125	8	5.2	5.5
Maksymalna częstotliwość pracy f_{max} (MHz)	33	50	150	4	50	115	160
Prądy wyjściowe (mA): — $I_{OH_{max}}$ przy $U_{OH_{min}}$	0.4	0.4	1	2.1 mA przy 2.5V	4 mA przy 4.5V	8 mA przy 4.5V	24 mA przy 3.8V
$I_{OL_{max}}$ przy $U_{OL_{max}}$	8	8	20	0.44 mA przy 0.4V	4 mA przy 0.4V	8 mA przy 0.4V	24 mA przy 0.4V
Prądy wejściowe (μA): $I_{IH_{max}}$	20	20	20	0.1	1	1	1
$I_{IL_{max}}$	400	200	600	0.1	1	1	1
Margines zakłóceń M_{min} (V)	0.3	0.4	0.3	$0.3 U_{CC}$	0.28 U_{CC} czyli 1.25V przy $U_{CC} = 4.5\text{V}$ oraz 1.4V przy $U_{CC} = 5.0\text{V}$		

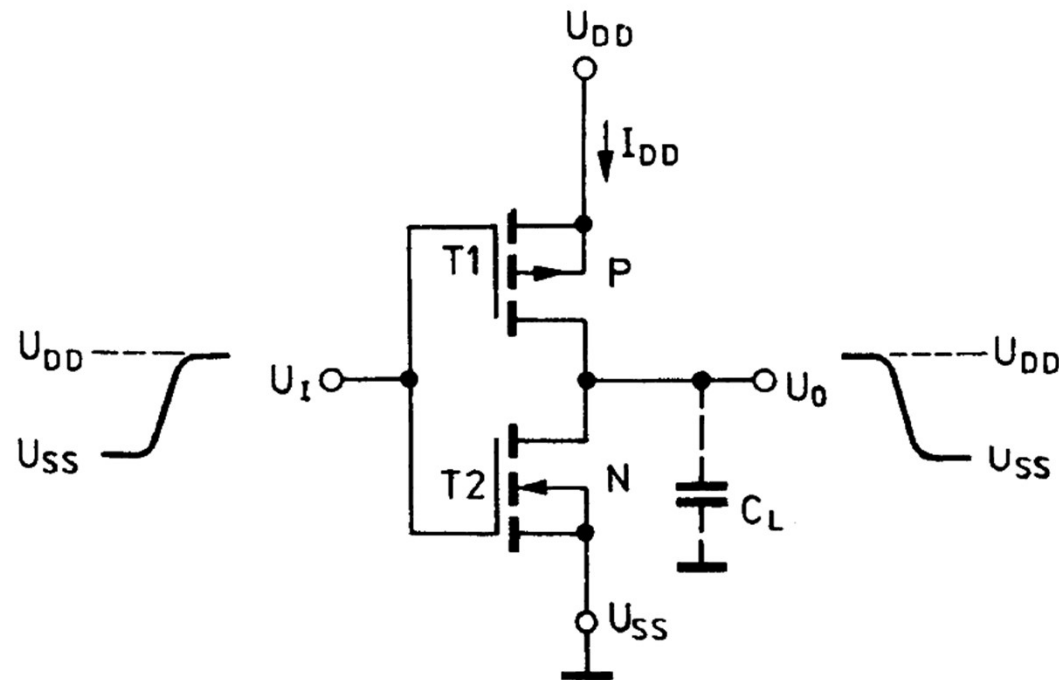
UKŁADY CMOS – obniżone napięcie zasilania 3.3 V, 2.5V, 1.8 V

ZESTAWIENIE PARAMETRÓW UKŁADÓW CMOS Z RODZIN O OBNIŻONYM NAPIĘCIU ZASILANIA
(WARTOŚCI TYPOWE PRZY $T_a = +25^\circ\text{C}$)

Parametr \ Rodzina	LV	LVC	ALVC	AVC	AUC
Napięcie zasilające U_{CC} (V)	1.0–3.6 (3.3 V)	1.2–3.6 (3.3 V)	1.2–3.6 (2.5 V)	1.2–3.3 (2.5 V)	0.8–2.5 (1.8 V)
Czas propagacji $t_{p\text{typ}}$ (ns) przy $C_L = 50$ pF	9	4.6	2.1	1.3	2.0
Maksymalna częstotliwość pracy f_{max} (MHz)	70	250	325	350	
Prądy wyjściowe (mA): $I_{OL\text{max}}/I_{OH\text{max}}$	6/6	24/24	24/24	8/8	8/8
Technologia (μm)	2	0.6	0.45	0.35	

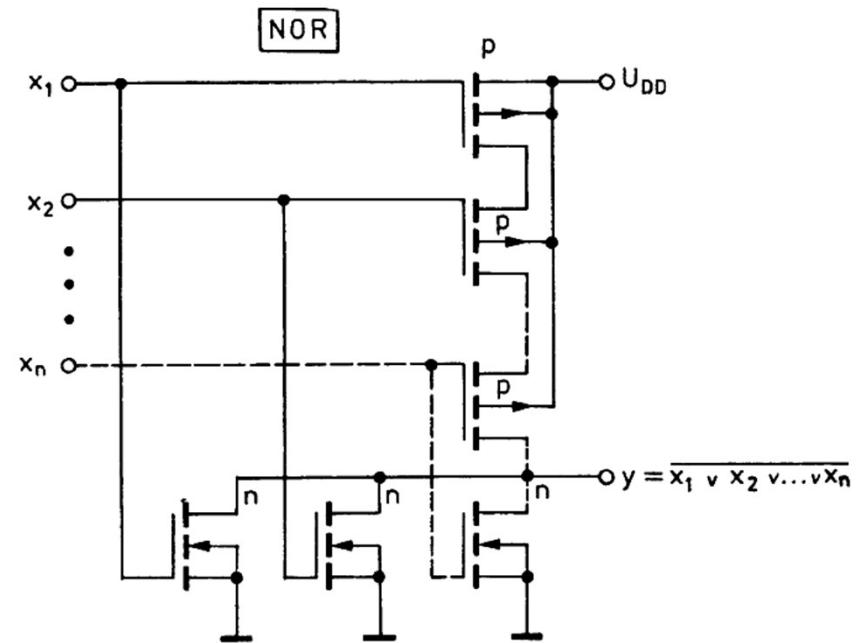
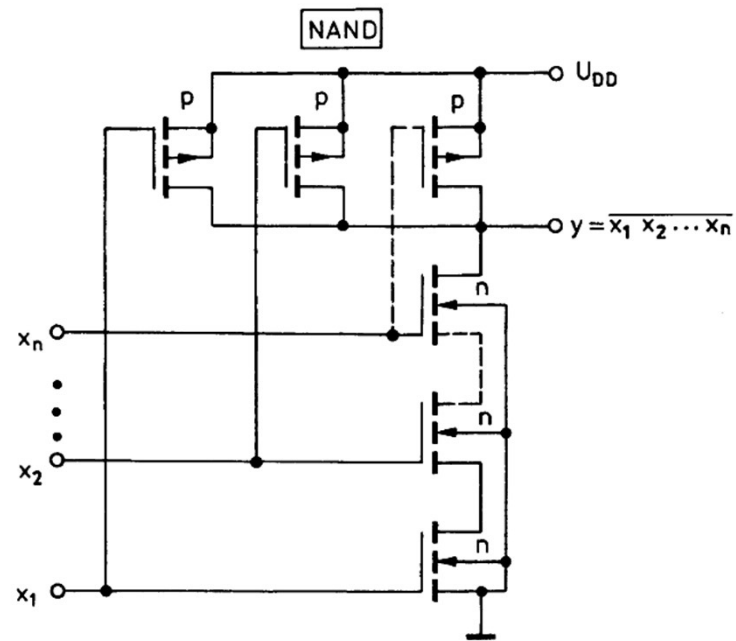
UKŁADY CMOS – struktury

Podstawową strukturą jest inwerter!



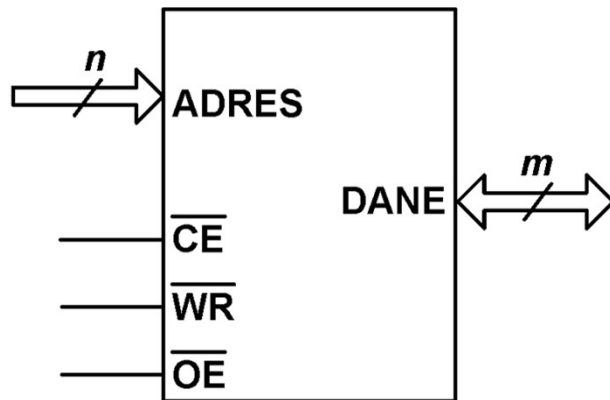
UKŁADY CMOS – struktury

Podstawowe bramki to NAND i NOR!



Zawsze tranzystory PMOS do U_{DD} a NMOS do masy...

BLOKI PAMIĘCIOWE



Pojemność pamięci

$$C = 2^n m$$

Rysunki zostały zaczerpnięte z książki: J. Kalisz „Podstawy elektroniki cyfrowej” WKŁ

Bloki pamięciowe

RAM – *Random-Access Memory* – SRAM, DRAM – pamięć o swobodnym dostępie, pamięć ulotna powszechnie stosowana, szybki zapis i odczyt danych.

Pamięci stałe (nieulotne):

ROM – *Read-Only Memory* – pamięć tylko do odczytu (pamięć stała), zawartość ustalana w czasie produkcji.

PROM – *Programmable ROM* – jednokrotnie programowana pamięć nieulotna, produkowana jako niezaprogramowana, programowana w specjalnym programatorze dołączonym do komputera PC.

Bloki pamięciowe

EPROM – *Erasable PROM* – nieulotna pamięć wielokrotnie kasowana i programowana, kasowanie w specjalnych kasownikach a programowanie w dedykowanych programatorach.

EEPROM – *Electrically Erasable and Programmable ROM* – nieulotna pamięć, której zawartość modyfikowana jest bez użycia odrębnego kasownika i programatora.

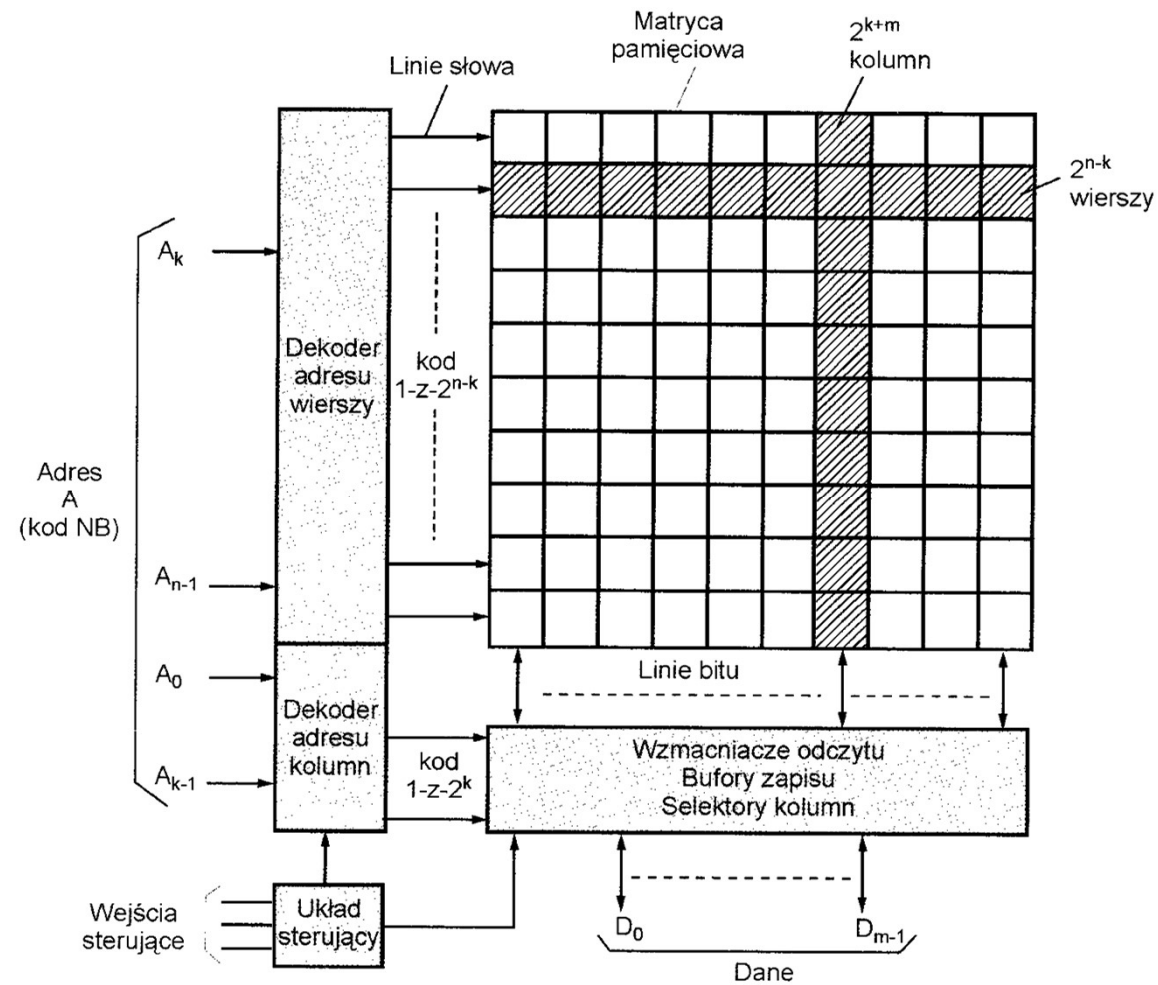
Flash – „*błyskowa*”, „*błyskawiczna*” – pamięć nieulotna, jednoczesne kasowanie całej zawartości, tańsze od EEPROM, dziś powszechnie stosowana w sprzęcie masowego użytku.

Pamięci o swobodnym dostępie – *RAM*

SRAM – *Static RAM* – statyczna pamięć RAM, komórki utworzone przez kilkutranzystorowe zatrzaski SR.

DRAM – *Dynamic RAM* – dynamiczna pamięć RAM, wykonywana w technologii MOS, komórki pamięci mogą zawierać jeden tranzystor, przechowywanie jednego bitu danych polega na przechowywaniu ładunku w kondensatorze scalonym zawartym w komórce pamięci. Ulotność ładunku wymusza periodyczne odświeżanie zawartości, co jest kompensowane małymi rozmiarami komórki zmniejszając koszt tych pamięci w porównaniu z SRAM.

Pamięci o swobodnym dostępie – *RAM*



Pamięci o swobodnym dostępie – *RAM*

Wszystkie komórki bloku pamięciowego tworzą matrycę pamięciową, czyli strukturę prostokątną.

Poziome grupy komórek tworzą wiersze, a pionowe kolumny.

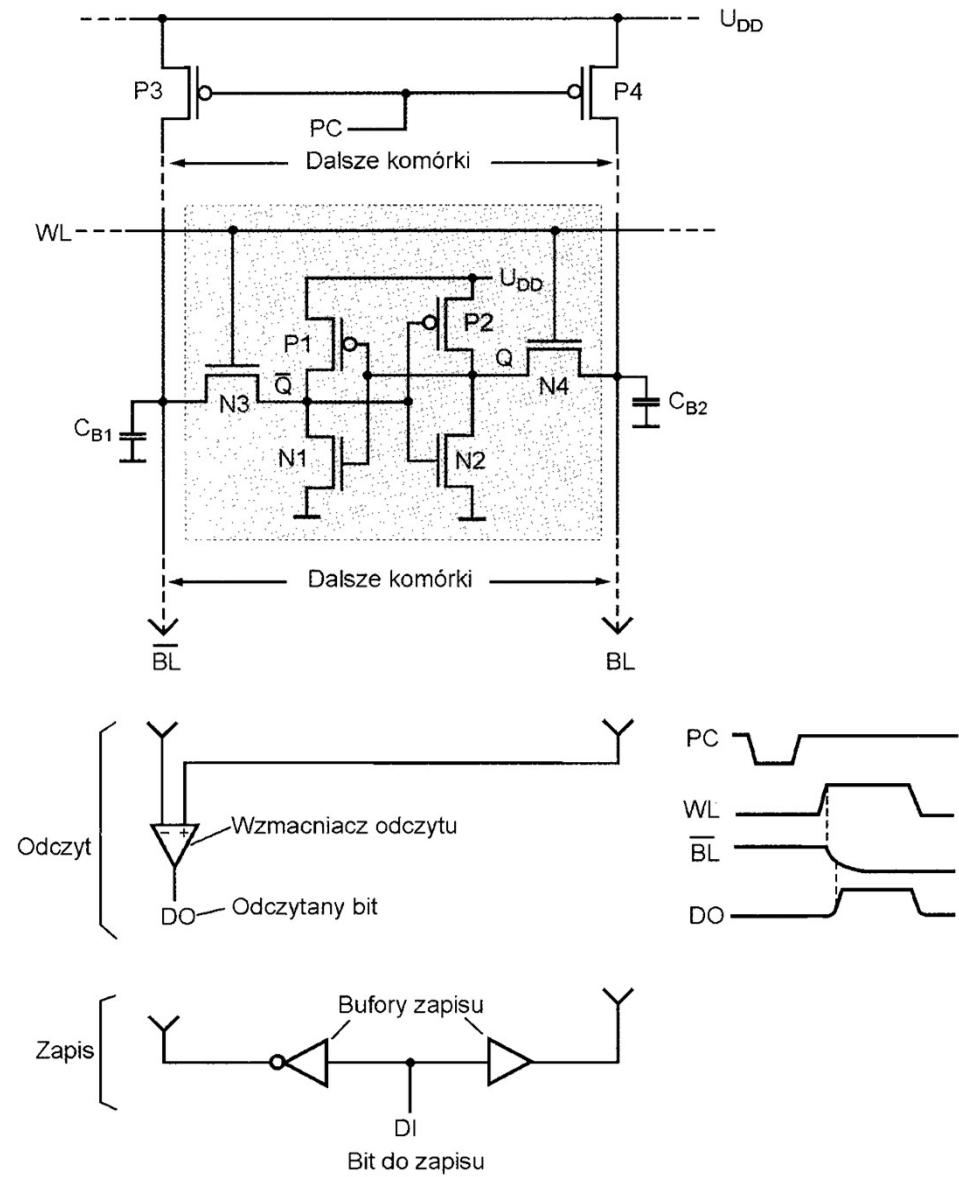
Dostęp do wierszy realizuje się za pomocą linii słowa, a dostęp do kolumn za pomocą linii bitu.

Każde przecięcie wiersza z kolumną wyznacza jedną komórkę pamięci.

W najprostszym przypadku słowem danych może być cały wiersz.

Pamięci statyczne – *SRAM*

Pojedyncza komórka pamięci statycznej CMOS

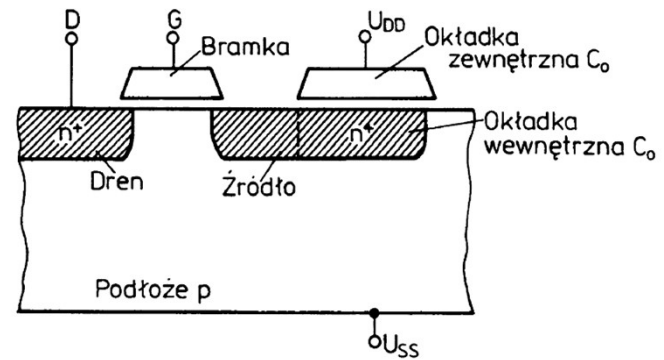
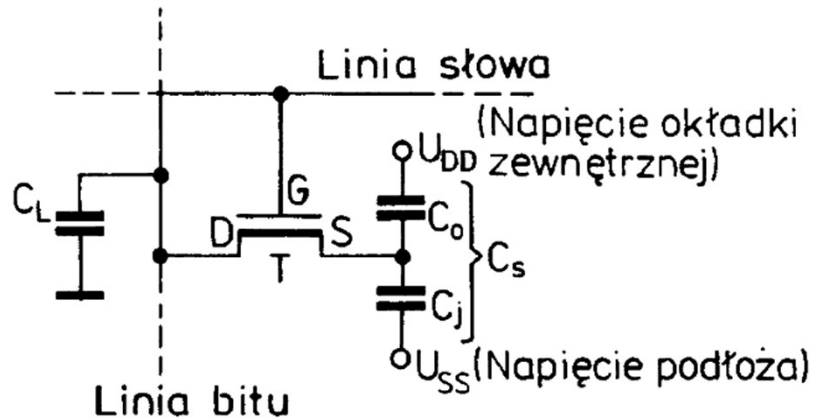


Pamięci dynamiczne – *DRAM*

Bardzo mała komórka pamięci: 1 tranzystor i 1 kondensator (30 fF).

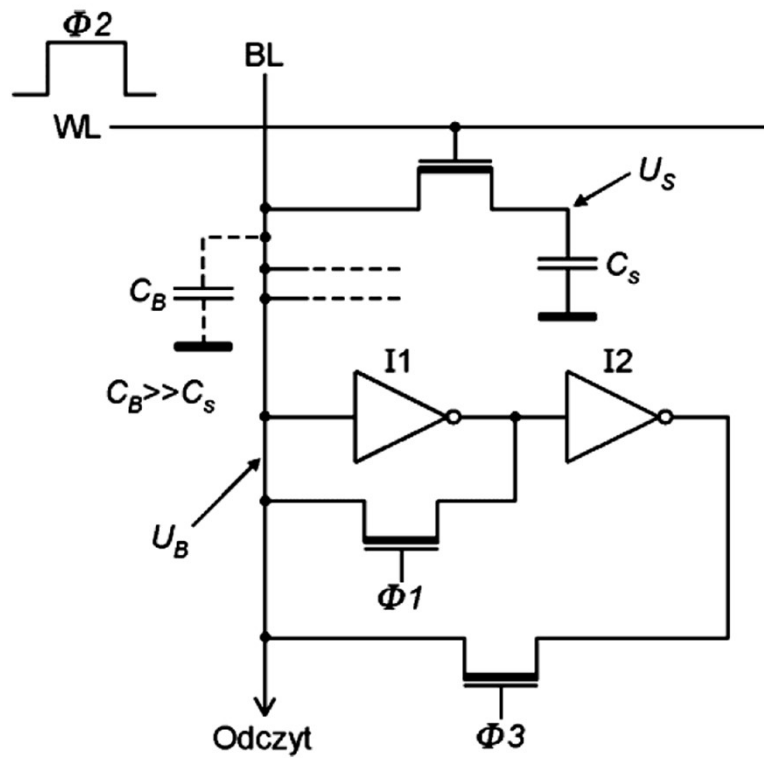
stan 0 – rozładowany kondensator, stan 1 – naładowany kondensator.

Ładunek w komórce wymaga odświeżania co kilkanaście milisekund.

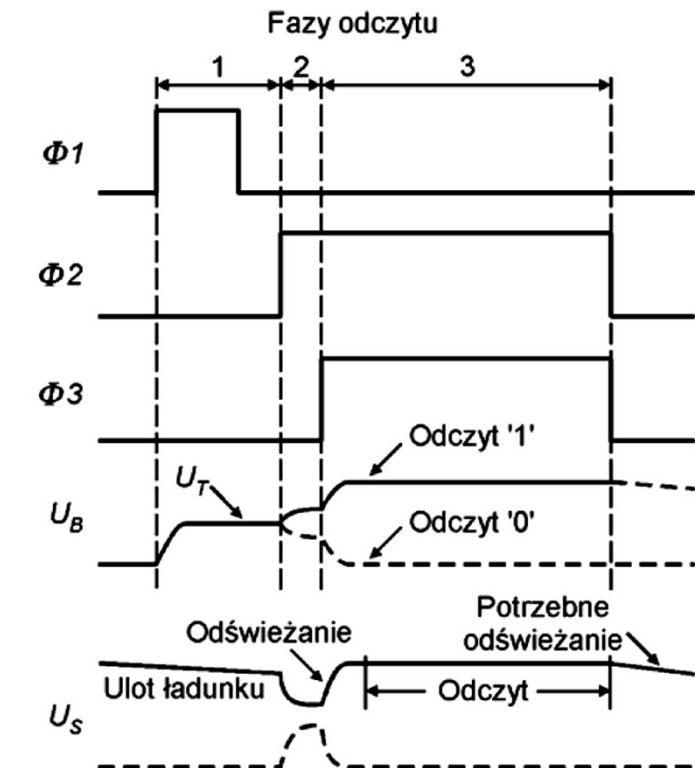


IBM: 1967 – opracowanie, 1968 – patent

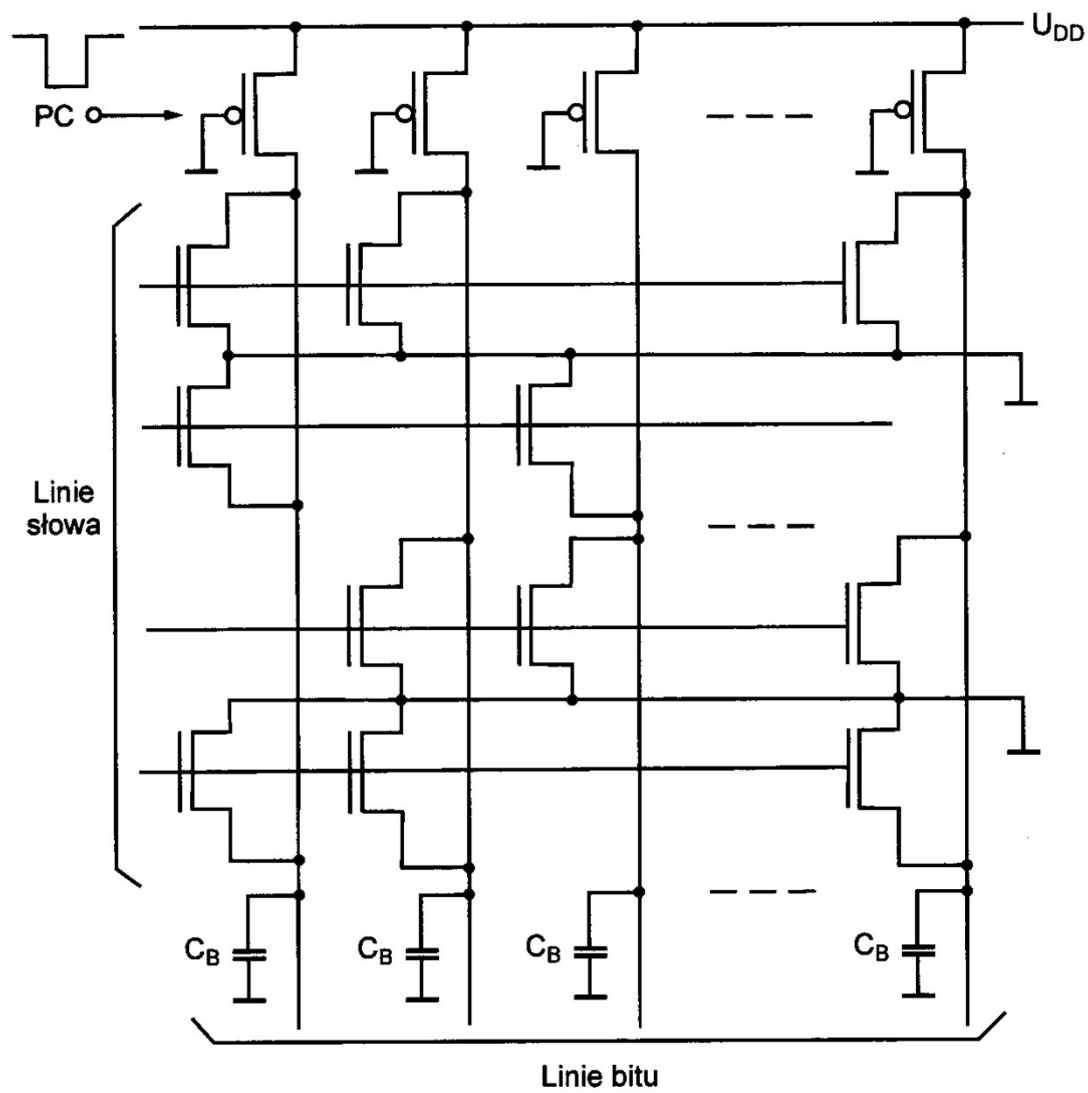
Pamięci dynamiczne – *DRAM*



I1, I2 – wzmacniacze odczytu



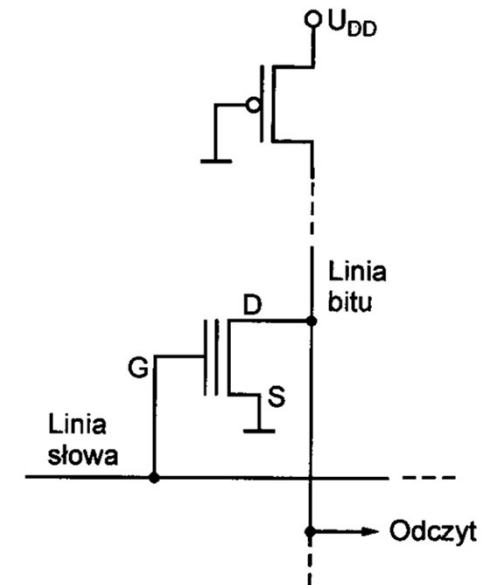
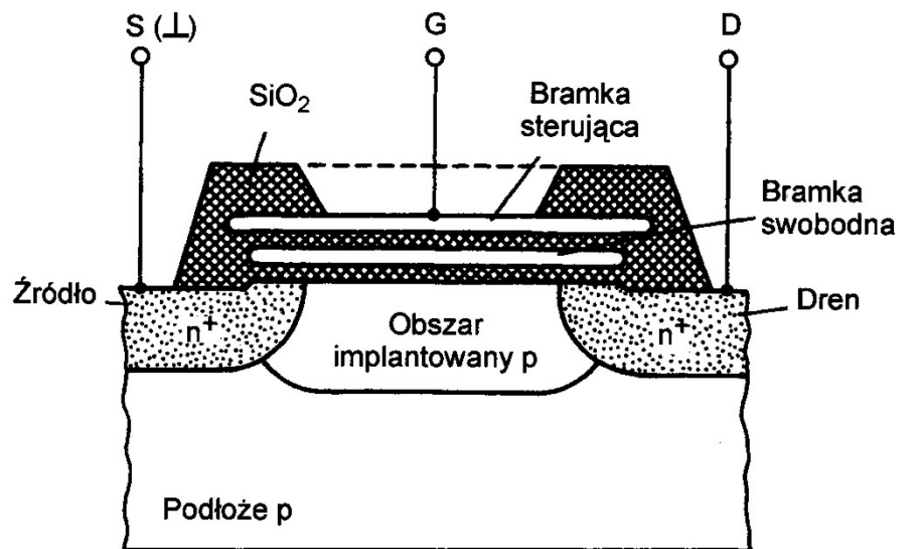
Pamięci stałe – *ROM*



Pamięci stałe – *EPROM*

Struktura komórki FAMOS – *Floating-gate Avalanche-injection MOS*

Struktura z bramką swobodną. Stan logiczny określany przez ładunek swobodnej bramki. Od 100 do 1000 cykli programowania.

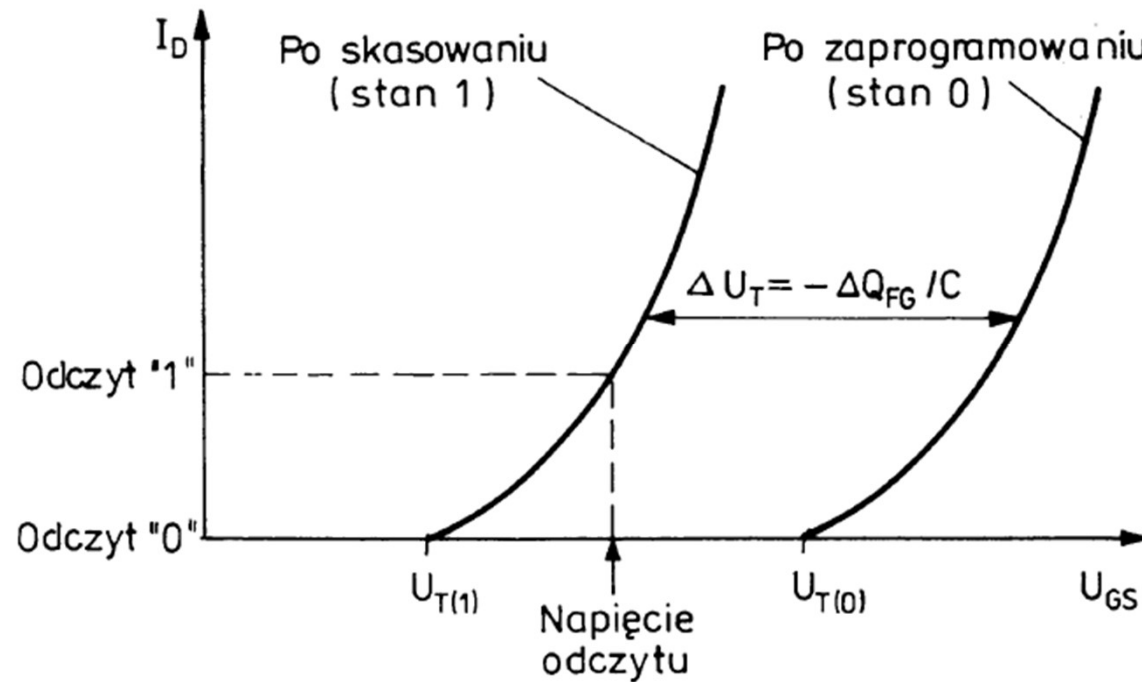


Intel 1974

Pamięci stałe – *EPROM*

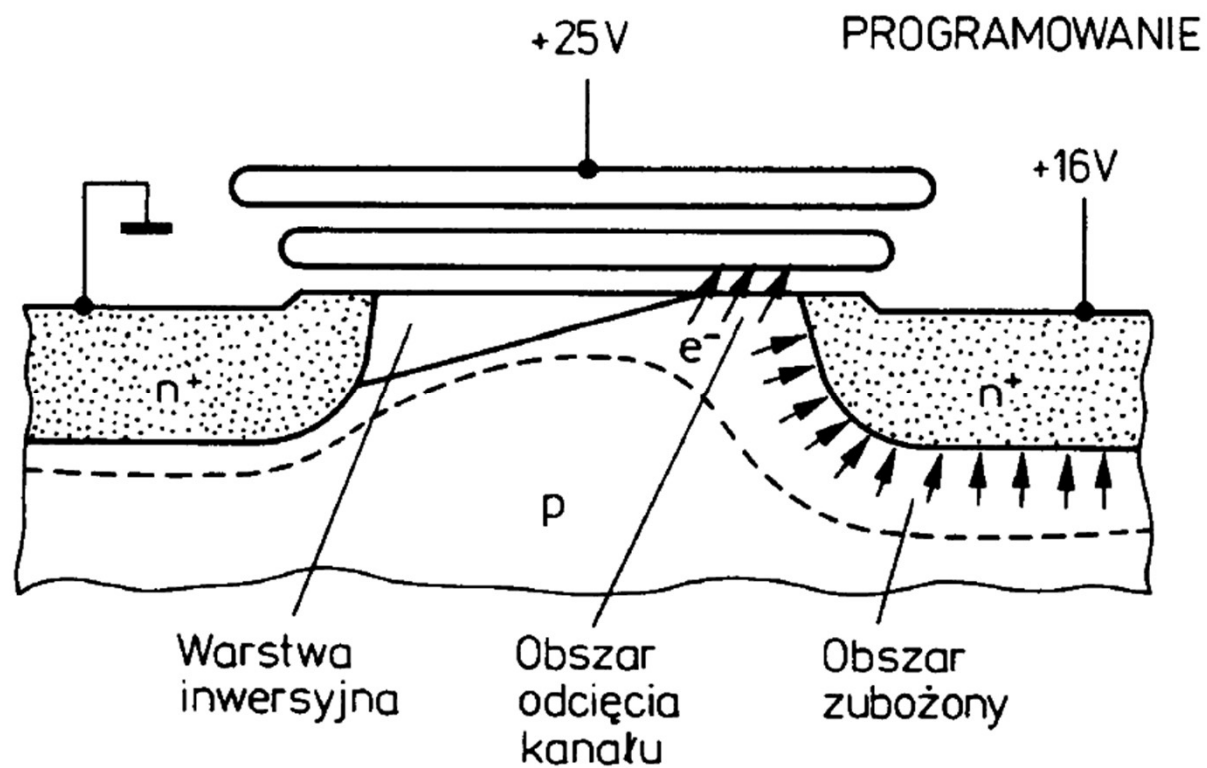
Charakterystyki elektryczne:

efekt przesunięcia napięcia włączenia tranzystora U_T !!!



Pamięci stałe – *EPROM*

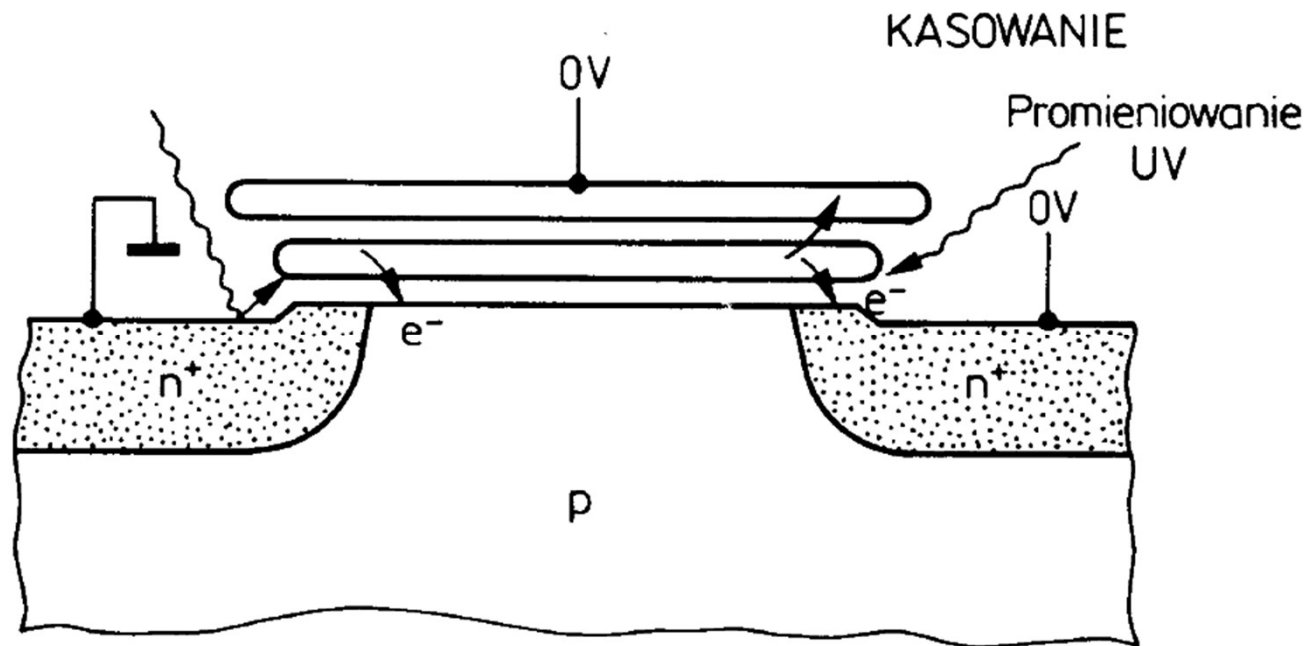
Elektryczne programowanie.



Pamięci stałe – *EPROM*

Kasowanie przez naświetlanie UV poprzez okienko krzemowe. Pochłanianie energii fotonów przez elektrony powoduje ich wyjście do podłoża i bramki sterującej.

Brak okienka – Pamięć OTP – *One Time Programmable*



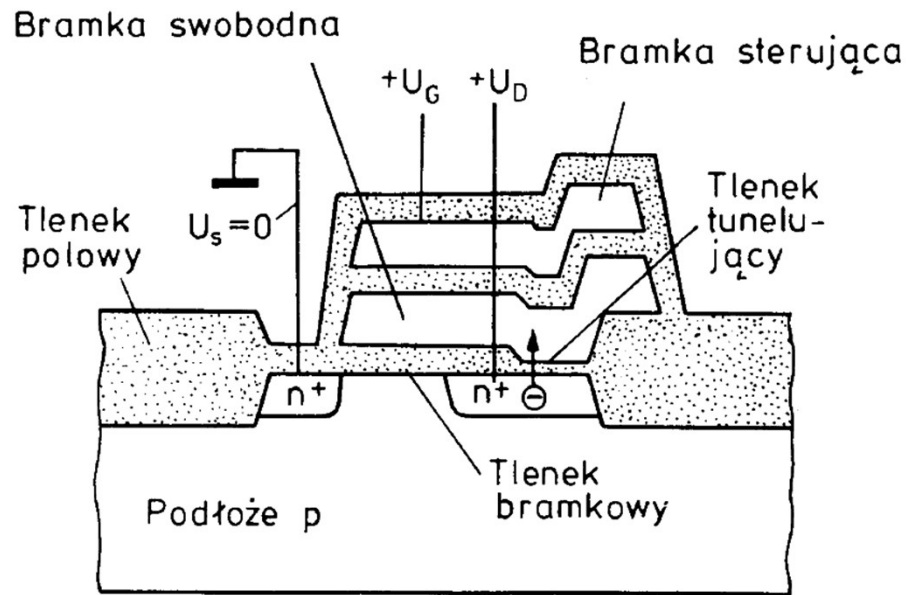
Pamięci stałe – *EEPROM* – Pamięci kasowane elektrycznie!

Struktura FLOTOX – *Floating Gate Tunneling Oxide*

Cienka warstwa tlenkowa ($< 10\text{ nm}$) umożliwia dwukierunkowy przepływ elektronów.

Ładowanie bramki swobodnej: $U_G > 0$, $U_D = 0 \rightarrow U_T = 10\text{ V}$

Rozładowanie bramki swobodnej: $U_G = 0$, $U_D > 0 \rightarrow U_T < 0$



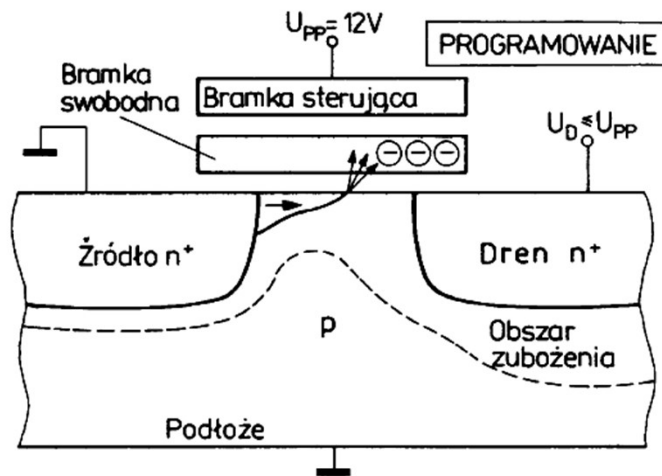
Intel 1980

Pamięci stałe – *Flash*

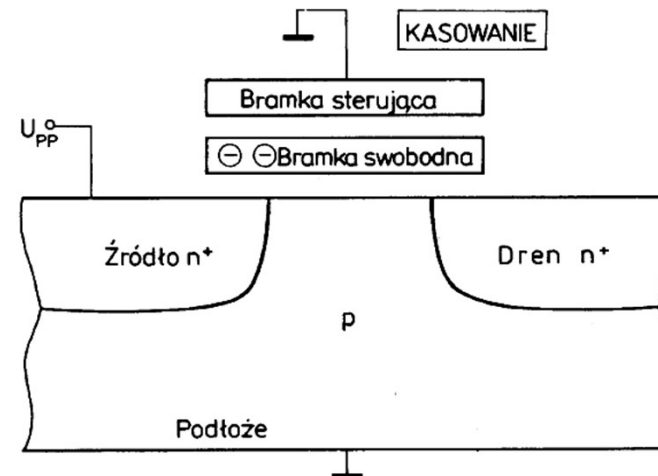
Specyficzna odmiana pamięci EEPROM.

Kasowane w całości lub w dużych blokach w czasie od 1 ms do 1 s w zależności od architektury.

Zamiast dwóch tranzystorów jak w EEPROM to jeden o grubości warstwy tlenku 10 nm na całej długości kanału (ETOX).



Programowanie jak FAMOS

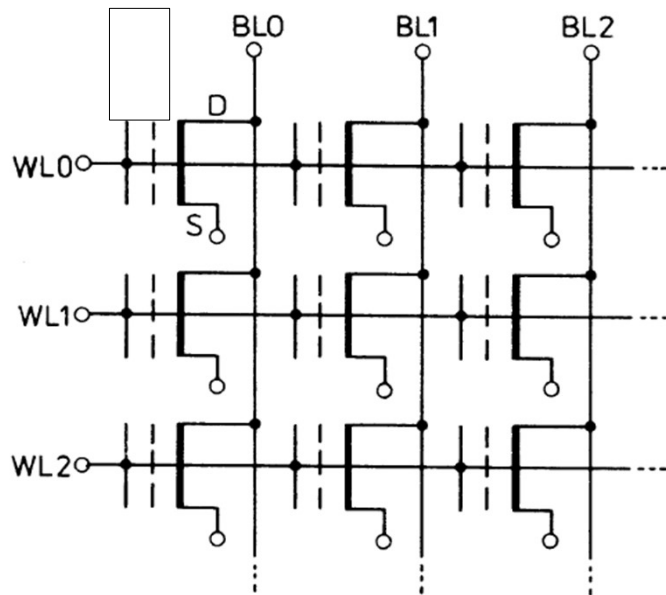


Kasowanie jak FLOTOX

Toshiba 1984

Pamięci stałe – *Flash*

Architektura NOR



W czasie kasowania wszystkie źródła tranzystorów na wspólnym potencjale U_{PP} , co umożliwia kasowanie wszystkich komórek jednocześnie!

Kasowanie trwa do 1 s.

Programowanie – źródła tranzystorów dołączone do masy.

5-krotnie szybszy odczyt niż architektura NAND, zastosowania np. BIOS

Pamięci stałe – *Flash*

Architektura NAND

Kasowanie – linia bitu (BL) +20 V, linie słowa (WL) 0 V, SL1 przewodzi, SL2 nie przewodzi.

Kasowanie wybranych bloków komórek (rozładowywanie kolejnych bramek od góry łańcucha tranzystorów).

Kasowanie trwa około 1..2 ms.

Programowanie – linia bitu 0 V, wybrana linia słowa +20 V, SL1 przewodzi, SL2 nie przewodzi.

Odczyt – SL1 i SL2 przewodzą.

Zastosowania: „flaszki”, MP3-ki, kamery i aparaty cyfrowe, dyski *Flash*

