

Obliczyć adres uwzględniając segmentację pamięci:

standardowa (segmented model): $x = AF = \text{adres_bazowy} + \text{offset}$

tryb adresów rzeczywistych (real-address model) $\text{adres_bazowy} = \text{selektor_segmentu} \times 16 + \text{offset}$

$\text{CPI procesora} = (\text{CPI instr. 1} \times \text{czestosc wyst. instr. 1}) + \dots + (\text{CPI instr. N} \times \text{czestosc wyst. instr. N})$

$\text{Frac_enh} = (\text{CPI instr. 1} \times \text{czestosc wyst. instr.}) / \text{CPI procesora}$

$\text{Speedup_enh} = \text{czestosc wyst. instr.} / \text{nowe czestosc wyst. instr.}$

$\text{Speedup} = 1 / ((1 - \text{Frac_enh}) + (\text{Frac_enh} / \text{Speedup_enh}))$

$\text{Ilosc linijek w cache} = \text{wielkość cache} / \text{wielkosc linijki}$

$\text{Ilosc linijek w pamieci glownej} = \text{wielkość glownej} / \text{wielkość linijki}$

$\text{wielkość glownej} / \text{wielkość cache} = 2^x$ czyli $\text{tag} = x$

$\text{liczba roznych linijek z pamieci operacyjnej odwzorowanych na te sama linijke w cache} = 2^{\text{Tag}}$

ile bitów będzie zajmować kompletna linijka w pamięci cache?

$\text{linijka w cache} = \text{bit ważności (1 bit)} + \text{Tag (x np. 16bit)} + \text{dane (32-bitowe adresy} \rightarrow 32\text{bity)} = 49$

$\text{łączna liczba bitów w cache} = \text{linijka w cache} \times \text{ilość linijek w cache}$

$\text{Lattency} = (\text{ilosc potokow}) \times (\text{najwyzszy stopien potoku} + \text{czas propagacji rejestru})$

$\text{Throughput} = 1000 / (\text{najwyzszy stopien potoku} + \text{czas propagacji rejestru})$

Hazardy: RAW – przekątna w prawo / WAR – przekątna w lewo / WAW – jedna po drugim z lewej

Adresowanie: rejestrowy – dx / natychmiastowy – 300h / pośredni – [bx] / rej. wzgl. – [si+400] / bezpośredni – var1