

Organizacja i Architektura Komputerów
zadania egzaminacyjne

1

--	--	--	--

imię i nazwisko

grupa

data

podpis

1. (5p) Które z podanych niżej cech charakteryzuje architekturę RISC, a które odnoszą się do architektury CISC? Zaznacz w odpowiednich polach literę R dla RISC lub C dla CISC.

- a) obszerna lista instrukcji (duża liczba rozkazów)
- b) duża liczba rejestrów GP
- c) mała liczba instrukcji
- d) stała długość instrukcji (w bajtach)
- e) różnicowana długość instrukcji (w bajtach)

2. (4p) Wykonaj konwersję następujących liczb:

- a) 1284 (dec) = (hex)
- b) -65 (dec) = (U2)
- c) 7D4C (hex) = (NKB)
- d) 10011001 (U2) = (dec)

3. (2p) Podaj zawartość kolejnych czterech komórek (bajtów) pamięci o adresach od 1000h do 1003h przechowujących liczbę 6F457C8Ah zapisaną w systemie *little-endian*:

adres	1000h	<input type="text"/>
adres	1001h	<input type="text"/>
adres	1002h	<input type="text"/>
adres	1003h	<input type="text"/>

4. (6p) Oblicz średnie CPI dla procesora, którego lista instrukcji ma następującą charakterystykę:

- instrukcje arytmetyczne występują z częstością 38%
- CPI instrukcji arytmetycznych = 1
- Instrukcje przesłań występują z częstością 45%
- CPI instrukcji przesłań = 2
- CPI pozostałych instrukcji (innych niż arytmetyczne i przesłania) = 2,4

CPI procesora =

5. (6p) Załóż, że w procesorze o charakterystyce podanej w zad. 4 dokonano ulepszenia, które spowodowały zmniejszenie CPI instrukcji przesłań z 2 do wartości równej 1,4. Oblicz współczynnik wzrostu wydajności procesora spowodowany tym ulepszeniem. Zastosuj prawo Amdahla. Ile wynosi parametr $Frac_{enh}$?

$Frac_{enh}$ =
 $speedup$ =

6. (6p) Rozważ system komputerowy o następującej charakterystyce podsystemu pamięci:

- Pamięć operacyjna jest adresowana 32-bitowo i ma pojemność 2^{32} bajtów
- Pamięć cache ma pojemność 16 KB
- Linijka ma rozmiar 32 bajtów
- Zastosowano odwzorowanie bezpośrednie

Oblicz następujące parametry tego systemu:

- a) liczba bitów znacznika w pamięci cache =
- b) liczba różnych linijków z pamięci operacyjnej odwzorowanych na tę samą linijkę w cache =
- c) łączna liczba bitów w linijce =

7. (6p) Pewien procesor ma 5-stopniowy potok instrukcji. Czasy realizacji zadań w kolejnych stopniach potoku podane w ps są następujące: 60, 50, 80, 70, 70. Na wyjściu każdego stopnia potoku znajduje się rejestr (bufor) o czasie propagacji równym 20 ps. Oblicz czas kompletowania instrukcji w potoku (latency) oraz jego przepustowość (throughput) w GOPS.

latency = ps
throughput = GOPS

8. (4p) Poniżej podano cztery przykładowe sekwencje instrukcji w języku asemblera x86. Zbadaj, czy występują w nich hazardy, a jeśli tak to jakiego typu? Oznacz odpowiednie hazardy skrótnymi RAW, WAR lub WAW. W przypadku braku hazardu postaw znak '-' (minus).

- a) mov cx,[bx]
add ax,cx
- b) mov dx,cx
mov ax,bx
- c) mov bx,67a4h
add bx,cx
- d) mov ax,1075
mov ds,ax

9. (5p) Określ tryby adresowania, których użyto w następujących instrukcjach asemblera x86 do wskazania drugiego z argumentów (source). Zastosuj następujące skróty:

R – rejestrowy
N – natychmiastowy
D – bezpośredni
PR – pośredni rejestrowy
BI – bazowo-indeksowy
RW – rejestrowy względny

- a) mov ax,var1
- b) mov ax,[si+400]
- c) mov ax,dx
- d) mov ax,[bx]
- e) mov ax,300h

10. (6p) Załóżmy, że rejestr segmentu DS procesora Pentium zawiera liczbę 604Ch.

a) określ fizyczny adres użyty do zaadresowania drugiego argumentu w instrukcji:

mov ah,[bx]

jeśli rejestr BX zawiera liczbę 21D7h i jest włączony tryb adresów rzeczywistych x86 (*real-address mode*)

adres fizyczny = h

b) określ fizyczny adres użyty do zaadresowania drugiego argumentu w instrukcji:

mov ah,[30FF4125h]

jeśli deskryptor segmentu wskazywany przez DS w polu adresu bazowego zawiera liczbę 220011A6h i jest włączona standardowa segmentacja.

adres fizyczny = h

ROZWIĄZANIA TESTU PRÓBNEGO:

① obszerna lista int.	\boxed{C}	② $1284_{(dec)} \rightarrow 504_{(hex)}$
obszera lubba rejestrów GP	\boxed{R}	$-65_{(dec)} \rightarrow 10111111_{(U2)}$
mitre lubba instr.	\boxed{R}	$7D4C_{(hex)} \rightarrow 0111\ 1101\ 0100\ 1100$
stale dt. instr.	\boxed{R}	$10011001_{(U2)} \rightarrow 103_{(dec)}$
zapisywana dt. int	\boxed{C}	

③ adres 1000h - 8A		④ antymetyczne: $CPI_a = 1 ; f_a = 38\%$
adres 1001 h - 7C		przesłania: $CPI_p = 2 ; f_p = 45\%$
adres 1002 h - 45		inne: $CPI_i = 2,4 ; f_i = 100 - (38+45) = 17\%$
adres 1003h - 6F		$CPI = 0,38 \cdot 1 + 0,45 \cdot 2 + 0,17 \cdot 2,4 = 1,683$
⑤ dane z 4 ze zmienią:		

$$CPI_p = 1,4$$

$$\text{Speedup}_{\text{enh}} = \frac{2}{1,4} = 1,428$$

$$\text{Speedup}_{\text{overall}} = \frac{1}{(1 - \text{Frac}_{\text{enh}}) + \frac{\text{Frac}_{\text{enh}}}{\text{Speedup}_{\text{enh}}}}$$

PRAWO AMDAHLA

$$100 \text{ inst} \cdot 1,683 = 168,3 \text{ cykle}$$

$$45 \text{ inst} \cdot 2 = 90 \text{ cykle}$$

$$\text{Frac}_{\text{enh}} = \frac{90}{168,3} = 0,534$$

[podawać 3 miejsca po przecinku!]

$$\text{Speedup}_{\text{overall}} = \frac{1}{(1 - 0,534) + \frac{0,534}{1,428}} \approx 1,19$$

$$\text{⑥ Pamięć operacyjna} = 2^{32} \text{ B} \rightarrow 2^{32}/2^5 = 2^{27} \text{ linijek}$$

$$\text{Cache} = 16 \text{ kB} = 2^{14} \text{ B} \rightarrow 2^{14}/2^5 = 2^9 \text{ linijek}$$

$$\text{Linijek} = 32 \text{ B} = 2^5 \text{ B}$$

Odwzorowanie bezpośrednie:

b) $2^{27}/2^9 = 2^{18}$ - tyle linijek przypada na jedno miejsce w pamięci cache

c) znacznik ma 18 bitów

c) $32 \text{ B} + 18 \text{ B} + 16 = 8 \cdot 32 \text{ B} + 18 \text{ B} + 16 = 275 \text{ B}$

②

W pełni asocjacyjny:

a) znacznik: 27 bitów

b) pojemność brutto: $32B + 27b + 1b = 284b$

4 -bitowe pamięć:

liczba podzbiorów cache: $2^3 / 2^2 = 2^1$

c) liczba bitów macierza: 20 bitów

d) pojemność brutto: $32B + 20b + 1b = 277b$

⑦ 60, 50, 80, 70, 70

+ 20 ps

latency = 1st. = 100 ps

$$\text{latency} = 5 \cdot 100 \text{ ps} = 500 \text{ ps}$$

$$\text{throughput} = \frac{1s}{100 \text{ ps}} = 10 \text{ GOPS}$$

⑧

- a) RAW b) - c) WAW d) RAR

⑩

$$DS = 604C h$$

a) adres fizyczny (efektywny) - ADRESY PŁECZYSTE (Real-address mode)

mov ah, [bx]

$bx = 2107h$

$$DS \cdot 16 + \text{offset} = 604C0 h$$

$$+ 2107h$$

625C7h - adres efektywny

b) mov ah, [30FF4125 h]

deszyptor wskazany przez DS \rightarrow 220011A6 h - adres bazowy

220011A6 h

+ 30FF4125 h

52FF52CB - adres efektywny

⑪

a) mov ax, var1 - tryb bezpośredni

b) mov ax, [si + 400] - tryb rejestrowo-wiązany

c) mov ax, dx - tryb rejestrowy

d) mov ax, [bx] - tryb pośredni rejestrowy

e) mov ax, 300h - tryb natychmiastowy

ORGANIZACJA I ARCHITEKTURA KOMPUTERÓW: (ROZWIĄZANIA)

Zadanie 1:

Czas cyklu pewnego procesora jest równy 0,5 ns (pot. nanosekundy). Oblicz jaka częstotliwość ma zegar tego procesora. Wynik podaj w GHz.

$$\text{Czas cyklu} = \frac{1}{\text{częstotliwość zegara}}$$

$$\Leftrightarrow \text{częstotliwość zegara} = \frac{1}{\text{czas cyklu}}$$

$$\text{częstotliwość zegara} = \frac{1}{0,5 \text{ ns}} = \frac{1}{0,5 \cdot 10^{-9} \text{ s}} = \frac{1}{0,5} \cdot 10^9 = 2 \cdot 10^9 \text{ Hz} = \underline{\underline{2 \text{ GHz}}}$$

Zadanie 2:

Wykonaj konwersje następujących liczb:

a) A70D (hex) \rightarrow NKB

Odp. 1010 0111 0000 1101 (NKB)

b) 10011110 (U2) \rightarrow dec

$$\begin{array}{r} \uparrow \\ \text{1, wsec będu} \\ \text{to ilubia ujemna} \end{array} \quad \begin{array}{r} 10011110 \\ - 1 \\ \hline 10011101 \end{array} \quad \begin{array}{r} 10011101 \\ - 1 \\ \hline 01100010 \end{array} \quad \text{NKB}$$

$$1100010 = 2^6 + 2^5 + 2^1 = 64 + 32 + 2 = 98$$

Odp. -98 (dec)

c) 6753 (dec) \rightarrow NKB

dzielenie przez 2	
6753	$1 \cdot 2^0$
3376	$0 \cdot 2^1$
1688	$0 \cdot 2^2$
844	$0 \cdot 2^3$
422	$0 \cdot 2^4$
211	$1 \cdot 2^5$
105	$1 \cdot 2^6$
52	$0 \cdot 2^7$

26	$0 \cdot 2^8$
13	$1 \cdot 2^9$
6	$0 \cdot 2^{10}$
3	$1 \cdot 2^{11}$
1	$1 \cdot 2^{12}$
0	

czyli Odp. 1101001100001

d) $33_{10} \rightarrow 02$

$$33 = 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 \quad \text{NKB}$$

Linie dodatkowe, więc w 02 będzie taki samo jak w NKB

Odp 00100111

Zadanie 3

Pewien procesor potrzebuje do wykonyania instrukcji średnio 1,5 cykla. Po dokonaniu pewnych ulepszeń w architekturze jego pamięci cache parametr ten zmniejszył się do wartości 1,2 cykla. Oblicz współczynnik wzrostu wydajności procesora.

$$\text{Speedup} = \frac{\text{CPU time old}}{\text{CPU time new}} = \frac{1,5 \text{ cykle} \cdot 100\%}{1,2 \text{ cykle} \cdot 100\%} = \frac{15}{12} = 1,25$$

Zadanie 4

Po wykonyaniu badań statycznych okazało się, że dla pewnego procesora operacje całkowitoliniowe (integer) występują z względem częstotliwości równą 32%. CPI instrukcji całkowitoliniowych wynosi 1,8, natomiast CPI pozostałych instrukcji (innych niż całkowitoliniowe) wynosi 2. Po preprojektowaniu ALU wykonywającego operacje całkowitoliniowe udało się zmniejszyć CPI tych operacji do 1,2. Oblicz parametr Freqent oraz współczynnik wzrostu wydajności procesora (speedup). Skorzystaj z prewa Andohla.

$$\text{Integer: } f_i = 32\%, \quad \text{CPI}_i = 1,8 \quad \rightarrow 1,2$$

$$\text{poroztote: } f_p = 100\% - 32\% = 68\%, \quad \text{CPI}_p = 2$$

$$\text{CPI}_{\text{całkowite}} = 0,32 \cdot 1,8 + 0,68 \cdot 2 = 1,936$$

$$\text{Speedup}_{\text{perf}} = \frac{1,8}{1,2} = 1,5$$

$$\left. \begin{array}{l} 100 \text{ instrukcji} \cdot 1,936 = 193,6 \\ 32 \text{ instrukcje} \cdot 1,8 = 57,6 \end{array} \right\} \quad \text{Freqent} = \frac{57,6}{193,6} = 0,298$$

$$\text{Speedup}_{\text{overall}} = \frac{1}{(1 - 0,298) + \frac{0,298}{1,5}} = 1,11$$

Zadanie 5

Pomięć cache w pewnym procesorze ma następujące charakterystyki:

$$\text{hit rate} = 96\%$$

$$\text{hit time} = 1 \text{ cykl}$$

$$\text{miss penalty} = 40 \text{ cykli.}$$

Oblicz ile wynosi średni czas dostępu do pamięci AMAT:

$$\text{miss rate} = 100\% - 96\% = 4\%$$

$$\text{AMAT} = \text{hit rate} \cdot \text{hit time} + \text{miss rate} \cdot \text{miss penalty}$$

$$= 0,96 \cdot 1 + 0,04 \cdot 40 = \underline{\underline{2,56 \text{ cykli.}}}$$

Zadanie 6

Podane poniżej parametry pamięci cache mają wpływ na wydajność procesora. Które 2 tych parametrów trzeba zwiększyć, a które zmniejszyć by poprawić wydajność CPU? Parametry, które w tym celu trzeba zmniejszyć oznacz znakiem minus (-) natomiast parametry, które trzeba zwiększyć oznacz znakiem plus (+)

- a) hit time , b) miss penalty , c) hit rate , d) miss rate

Zadanie 7

Pewien procesor ma 5-stopniowy potok instrukcji. Łączny czas trwania operacji w 5 stopniach wynosi 750 ps, z tego na najdługią stopień przypada 200 ps.

Po przerobieniu procesora, zmniejszono czas pracy poszczególnych stopni w taki sposób, że każdy z nich wykonyuje swoje zadanie w takim samym czasie.

Łączny czas trwania operacji w potoku nie uległ przy tym zmianie i nadal wynosi 750 ps. Oblicz przygotowalność instrukcji w procesorze przed wykonyaniem żadnego mnożenienia czasu pracy stopni (throughput 1) i po mnożeniem (throughput 2)

$$\text{throughput 1} = \frac{1 \text{ s}}{200 \text{ ps}} = \frac{1 \text{ s}}{200 \cdot 10^{-12} \text{ s}} = \frac{1}{200} \cdot 10^{12} = 5 \text{ GOPS}$$

$$\text{throughput 2} = \frac{1 \text{ s}}{150 \text{ ps}} = \frac{1 \text{ s}}{150 \cdot 10^{-12} \text{ s}} = \frac{1}{150} \cdot 10^{12} = 6,67 \text{ GOPS}$$

Zadanie 8

Początkowa zawartość rejestrów procesora Pentium jest następująca: $ax = 34A7h$
 $bx = 2C7Eh$. Podaj zawartość właściwych rejestrów (w kodzie szesnastkowym) po wykonyaniu następujących instrukcji:

- a) $mov dx, 500$ $dx = \boxed{F4} \quad dh = \boxed{01} \quad h$
b) $add ax, bx$ $ax = \boxed{6125} \quad h$ $bx = \boxed{2C7E} \quad h$

Jakich typów adresowania użita w powyższych instrukcjach do dostarczenia drugiego z argumentów? Zaznacz odpowiednie pole znakiem X.

- a) bezpośredni , rejestrowy , natychmiastowy , pośredni
- b) bezpośredni , rejestrowy natychmiastowy pośredni

Adnotacja a)

zamiana liczby 500 na kod szesnastkowy = 33 00, to znaczy 0AF4
 $500 = 1 \cdot 16^2 + F \cdot 16^1 + 4 \cdot 16^0$ czyli 0AF4

Rejestr dl to bity 0-7, a dh 8-15. Zauważ tego, że pentium opisuje się w systemie little-endian, to wartości wpisujemy od końca.

Adnotacja b)

suma $ax + bx$:
$$\begin{array}{r} 111 \\ 34A7 \\ + 2C7E \\ \hline 6125 \end{array}$$

$$29032 = 01 \cdot \frac{1}{2^{16}} + 01 \cdot \frac{1}{2^{15}} = \frac{1}{2^{15}} = 1 \text{ dziesiątek}$$

$$29032 = 01 \cdot \frac{1}{2^{16}} + 01 \cdot \frac{1}{2^{15}} = \frac{1}{2^{15}} = 1 \text{ dziesiątek}$$

ORGANIZACJA I ARCHITEKTURA KOMPUTERÓW (ROZWAŻANIA 2)

Zadanie 1

Wykonaj konwersje następujących liczb:

a) 983 (dec) \rightarrow (hex)

$$983 = 3 \cdot 16^2 + 1 \cdot 16^1 + 7 \cdot 16^0$$

Odp. 3D7 (hex)

b) 01110011 (U2) \rightarrow (dec)

$$0 \cdot 2^7 + 1 \cdot 2^6 + 1 \cdot 2^5 + 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 115$$

c) 8C2A h (hex) \rightarrow NKB

8	C	2	A
1000	1100	0010	1010

Odp. 1000110000101010 (NKB)

d) -77 (dec) \rightarrow (U2)

$$77 = 1 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 \quad \text{NKB}$$

01001101 NKB \rightarrow U2

01001101 = 10110010

$$\begin{array}{r}
 10110010 \\
 + \quad \quad \quad 1 \\
 \hline
 10110011
 \end{array}$$

Odp. 10110011 (U2)

Zadanie 2

Częstotliwość zegara taktującego pewien procesor wynosi $f = 2,4 \text{ GHz}$. Oblicz czas trwania cyklu dla tego procesora. Wynik podaj w nanosekundach (ns).

$$\text{Czas trwania cyklu} = \frac{1}{2,4 \text{ GHz}} = \frac{1}{2,4 \cdot 10^9} \text{ s} = \frac{1}{2,4} \text{ ns} = 0,417 \text{ ns}$$

Zadanie 3

Pewien procesor potrzebuje do wykonyania instrukcji średnio 1,8 cykla. Po dokonaniu pewnych ulepszeń w architekturze jego pamięci cache wzrosło współczynnik wzrostu wydajności procesora równy 1,5. Oblicz ile wynosi CPI dla tego procesora po dokonaniu ulepszeń w pamięci cache.

$$1,5 = \frac{1,8}{\text{CPI}_{\text{nowe}}}$$

$$\text{CPI}_{\text{nowe}} = \frac{1,8}{1,5} = 1,2 \text{ cykle.}$$

Zadanie 4

Po wykonaniu badań statycznych okazało się, że dla pewnego procesora operacje arytmetyczno-logiczne występują z względem częstotliwości 38 %. CPI instrukcji arytmetyczno-logicznych wynosi 1,6 natomiast CPI pozostałych instrukcji (innych niż arytmetyczno-logiczne) wynosi 1,2. Po przeprojektowaniu ALU udało się zmniejszyć CPI instrukcji arytmetyczno-logicznych do 1,4. Oblicz parametr Frac_{enh} oraz wsparczyznik wartości wydajności procesora (speedup). Skorzystaj z prawa Andehle.

$$\text{arytmetyczno-logiczne: } \text{CPI}_{a1} = 1,6 \rightarrow 1,4 \quad f_{a1} = 38\%$$

$$\text{pozostałe: } \text{CPI}_p = 1,2 \quad f_p = 100\% - 38\% = 61\%$$

$$\text{CPI}_{\text{procesor}} = 0,38 \cdot 1,6 + 0,61 \cdot 1,2 = 1,356$$

$$\text{Speedup}_{\text{enh}} = \frac{1,6}{1,4} = 1,143$$

$$100 \text{ instrukcji} \cdot 1,356 = 135,6$$

$$38 \text{ instrukcji} \cdot 1,6 = 62,4$$

$$\underline{\underline{\text{Frac}_{\text{enh}} = 0,460}}$$

$$\text{Speedup} = \frac{1}{(1-0,460) + \frac{0,460}{1,143}} = 1,061$$

Zadanie 5

Podane poniżej parametry pamięci cache mają wpływ na wielkość czasu dostępu do pamięci AMAT. Które z tych parametrów trzeba zwiększyć, a które zmniejszyć, by skrócić czas dostępu do AMAT? Parametry, które w tym celu trzeba zmniejszyć oznacz znakiem minus (-), natomiast parametry, które trzeba zwiększyć oznacz znakiem plus (+).

- a) miss penalty [] , b) hit time [] , c) miss rate [] , d) hit rate []

Zadanie 6

Pamięć cache w pewnym procesorze ma następujące charakterystyki:

hit time = 1 cykl , miss penalty = 50 cykli. Współczynnik trafień (hit rate) jest 48 % ryż wzrost od współczynnika chybień (miss rate). Oblicz, ile wynosi średni czas dostępu do pamięci AMAT.

$$x + 48x = 1 \quad 50x = 1 \quad x = 0,02 \text{ - miss rate, } 0,98 \text{ - hit rate.}$$

$$\text{AMAT} = 1 \cdot 0,98 + 50 \cdot 0,02 = 1,98$$

(Zadanie 7)

Ponikowanie zawartość rejestrów procesora Pentium jest następująca:

$$ax = 36A7h, bx = 2D7Eh.$$

Podej zawartość wskazanych rejestrów (w kodzie szesnastkowym) po wykonyaniu następujących instrukcji:

a) sub ax, 1001h al = A6 h, ah = 26 h

$$\begin{array}{r} 36A7 \\ - 1001 \\ \hline 26 A6 \end{array}$$

b) mov dh, bl dh = 7E, bx = 2D7E h

Jakich trybów adresowania użyto w powyższych instrukcjach do wskazania drugiego z argumentów? Zaznacz odpowiednie pole znakiem X.

a) bezpośredni , rejestrowy , nietypemistowy , pośredni

b) bezpośredni , rejestrowy , nietypemistowy , pośredni (?)

(Zadanie 8)

Procesor ma 6-stopniowy potok instrukcji. Czas trwania operacji w poszczególnych stopniach (wliczając czas potrzebny do buforowania wyniku stopnia w rejestrach) wynosi odpowiednio 100, 150, 150 i 100 ps. Po preprojektowaniu procesora zastosowano potok 5-stopniowy o taktu samym takiym czasie pracy równym 500 ps, ale znowu zauważono, że praca poszczególnych stopni w taki sposób, że każdy z nich wykonyuje swoje zadanie w taktu samym czasie. Oznacza to, że przygotowanie instrukcji w procesorze przed wykonyaniem zatraciło znowu czas pracy stopni (Throughput 1) i po znowu zauważeniu (Throughput 2)

$$\text{Throughput 1} = \frac{1s}{150\text{ps}} = \frac{1}{150 \cdot 10^{-12}} = 6,67 \text{ GOPS}$$

$$\text{Throughput 2} = \frac{1s}{100\text{ps}} = \frac{1}{100 \cdot 10^{-12}} = 10 \text{ GOPS}$$