

Architektura komputerów – egzamin końcowy

I. Zaznacz prawidłową odpowiedź (tylko jedna jest prawidłowa):

1. Czteroetapowe przetwarzanie potoku architektury superskalarnej drugiego stopnia dwóch niezależnych, symetrycznych strumieni o łącznej liczbie 10 instrukcji wymaga:
 - a. 7 cykli procesora
 - b. 8 cykli procesora
 - c. 9 cykli procesora
 - d. 10 cykli procesora
2. Adresowanie pośrednie:
 - a. wymaga dwóch dostępów do pamięci
 - b. jest wykorzystywane w architekturach SMP
 - c. wymaga stałej długości rozkazu
 - d. może być zrealizowane jako adresowanie z rejestrem podstawowym
3. Instrukcje SSSE3:
 - a. są alternatywą dla instrukcji 3DNow!
 - b. występują w najnowszych procesorach Core i7
 - c. wykorzystują 256-bitowe rejestry XMM
 - d. są serwerową wersją instrukcji SSE4 z procesorów przeznaczonych na rynek ogólny
4. Które rozwiązanie nie jest wykorzystywane do obsługi rozgałęzień w architekturach potokowych:
 - a. Bufor pętli
 - b. Zwiłoktrotnione strumienie
 - c. Pobieranie docelowego rozkazu z wyprzedzeniem
 - d. Zapis wielostrefowy
5. Przerwa wydajnościowa:
 - a. Związana jest z architekturami wielordzeniowymi
 - b. Była główną przyczyną rozwoju szybkich dysków magnetycznych
 - c. Określa zależności szybkości między pamięcią i procesorem
 - d. Jest zjawiskiem o charakterze zanikającym
6. Adresowanie pośrednie:
 - a. Wymaga dwóch dostępów do pamięci
 - b. Jest wykorzystywane w architekturach SMP
 - c. Wymaga stałej długości rozkazu
 - d. Może być zrealizowane jako adresowanie z rejestrem podstawowym
7. W architekturze wieloprocessorowej:
 - a. Zapis opóźniony rozwiązuje problem spójności pamięci podręcznych.
 - b. W celu rozwiązania problemu spójności pamięci podręcznych stosuje się dodatkowe rozwiązania sprzętowe
 - c. Połączenie między procesorem a pamięcią musi być realizowane poprzez magistralę.
 - d. Wymagana jest pamięć podręczna przynajmniej drugiego poziomu.
8. Zgodnie z normą IEEE 754 zerowy wykładnik oraz niezerowy ułamek oznaczają:
 - a. Zero dodatnie
 - b. Nie-liczbę (Not-a-Number)
 - c. Liczbę zdenormalizowaną
 - d. Liczbę niezdenormalizowaną

9. Arbitraż rozproszony:
- a. Jest metodą zapewniającą równoległy dostęp do pamięci głównej
 - b. Jest rozwiązaniem programowym problemu synchronizacji
 - c. Ma charakter asynchroniczny
 - d. Odnosi się do dostępu do magistrali
10. System kodowania IRA:
- a. Ma długość 8 bitów
 - b. Służy do zabezpieczania danych w pamięci operacyjnej
 - c. Jest wykorzystywany do komunikacji między procesorem i pamięcią główną
 - d. Jest synonimem dla kodu ASCII

II. Zaznacz prawidłową odpowiedź (wiele prawidłowych jest możliwych):

11. Jednostka zarządzania pamięcią (MMU):
- a. nie występuje w procesorach RISC
 - b. współpracuje z buforem translacji adresów (TLB)
 - c. przyspiesza proces segmentacji i/lub stronicowania
 - d. jest zlokalizowana w koprocesorze
12. Architektura IA-32:
- a. jest rozwinięciem architektury x86
 - b. została wprowadzona przez firmę Intel
 - c. jest traktowana jako architektura CISC
 - d. jest implementowana również przez innych producentów procesorów
13. Pamięć podręczna 1. poziomu:
- a. Znajduje się w rdzeniu procesora
 - b. Jest bezpośrednio połączona z pamięcią 2. poziomu
 - c. Służy do wprowadzania rozkazów i danych bezpośrednio do ALU
 - d. Zawiera rozkazy o stałej długości
14. Następujące przerwy są dopuszczalne w systemie komputerowym:
- a. Związane z uszkodzeniem sprzętu
 - b. programowe
 - c. zegarowe
 - d. związane z urządzeniami wejścia-wyjścia
15. Które procesory są reprezentantami architektury IA-64:
- a. Intel Core i5
 - b. AMD Opteron
 - c. Intel Itanium 2
 - d. Transmeta Crusoe
16. Wywoływanie procedury:
- a. Wykonywane jest z użyciem stosu
 - b. Uniemożliwia wyłączenie procesu
 - c. Wykonywane jest tylko podczas obsługi przerwań
 - d. Wymaga TLB
17. Mnożenie liczb zmiennoprzecinkowych:
- a. Wykorzystuje jednostki zmiennoprzecinkowe
 - b. Jest możliwe bez użycia jednostek zmiennoprzecinkowych
 - c. Jest łatwiejsze w realizacji od dodawania takich liczb
 - d. Wymaga wsparcia systemu operacyjnego

18. Instrukcje maszynowe w architekturze P4:
- a. Są kopiowane z pamięci głównej do pamięci podręcznej L2
 - b. Są tłumaczone na mikroinstrukcje i przechowywane w pamięci podręcznej L1
 - c. Są kopiowane z pamięci głównej do pamięci podręcznej L1
 - d. Mogą mieć zmienianą kolejność wykonania
19. Procesor UltraSPARC:
- a. Jest procesorem RISC
 - b. Nie występuje w wersjach jednordzeniowych
 - c. Jest procesorem 64-bitowym
 - d. Jest reprezentantem architektury NUMA
20. Technologia BluRay:
- a. Zakłada wykorzystywane lasera o długości fali 405 nm
 - b. Pozwala przechować na pojedynczej płycie 100 GB danych
 - c. Umożliwia zapis na płytach czterowarstwowych lub ośmiowarstwowych
 - d. Wymaga użycia nowatorskiego mechanizmu stabilizującego płytę w napędzie
21. Rejestr EAX w procesorze Pentium II:
- a. Pełni funkcję akumulatora
 - b. Może być wykorzystany do przechowywania liczb rzeczywistych
 - c. Jest rejestrem ogólnego przeznaczenia
 - d. Może być wykorzystany jako wskaźnik stosu
22. Magistrala asynchroniczna:
- a. Wymaga użycia zegara taktującego
 - b. Jest szeregową
 - c. Wykorzystuje monitoring szyny sterującej
 - d. Wymusza określoną kolejność zdarzeń
23. Komórka pamięci SRAM:
- a. Zawiera sześć tranzystorów
 - b. Musi być odświeżana w celu utrzymania zawartości
 - c. Ma czas dostępu krótszy niż w przypadku komórki pamięci DRAM
 - d. może być wykorzystana do przechowywania BIOSu
24. Wskaźniki segmentu:
- a. Są widoczne dla programisty
 - b. Są rejestrami adresowymi
 - c. Są wykorzystywane do obsługi stosu
 - d. Wchodzi w skład układu sterowania magistralą systemową
25. Zależności proceduralne:
- a. Mogą powodować opóźnienia w wykonaniu potoku
 - b. Są związane z rozkazami o zmiennej długości
 - c. Nie stanowią problemu w przypadku jednostek jednoprosesorowych
 - d. Są związane z rozkazami skoków
26. Jednostka sterująca:
- a. Może być realizowana w postaci mikroprogramowalnej
 - b. Wykorzystuje kod cyklu rozkazu ICC
 - c. Generuje sygnały sterujące na zewnątrz procesora
 - d. Wymaga wykorzystania zegara taktującego
27. Sprzętowe zarządzanie pamięcią przez procesor:
- a. Wspomaga stronicowanie i/lub segmentację
 - b. Obejmuje definiowanie poziomów ochrony poszczególnych segmentów pamięci
 - c. Służy do generowania adresów wirtualnych na podstawie liniowych
 - d. Wykorzystuje bufor translacji adresów

28. Architektura hiperpotokowa:
- a. Wymaga wielu jednostek arytmetyczno-logicznych wykonujących rozkazy
 - b. Wymaga podziału cyklu rozkazowego na dużą liczbę etapów
 - c. Wykorzystuje przemianowywanie rejestrów w celu rozwiązywania problemów zależności danych
 - d. Wymaga wydajnej jednostki przewidywania rozgałęzień (BPU)
29. Kość pamięci dynamicznej:
- a. Adresowana jest na podstawie przecięcia adresu wiersza i kolumny
 - b. Wymaga układów odświeżania zawartości
 - c. Jest wykorzystywana jako pamięć operacyjna
 - d. Pracuje z częstotliwością procesora
30. Komputery główne:
- a. Charakteryzują się wielopoziomową pamięcią podręczną
 - b. Wykorzystują strukturę magistrali do komunikacji między procesorami
 - c. Są sterowane przez system operacyjny ogólnego przeznaczenia
 - d. Są przykładem architektury o równoległym przetwarzaniu symetrycznym

III. Pytania otwarte:

1. System komputerowy ma dwa poziomy pamięci: pierwszy (pamięć podręczna) o czasie dostępu 1 ns oraz drugi (pamięć główna) o czasie dostępu 20 ns. Jaki będzie średni czas dostępu do pamięci, jeśli współczynnik trafień wynosi 80 procent? Odpowiedź uzasadnić (3 p.)
2. Wyrazić liczbę -1.015625 w 32-bitowym formacie zmiennopozycyjnym IEEE 754 (3 p.)
3. Krótko opisać zastosowanie oraz przeznaczenie rozkazu NOOP (3 p.)
4. System wieloprocessorowy zawiera 4 jednostki obliczeniowe. Postanowiono zastosować w nim technikę jednoczesnego zapisu, pomimo wykorzystania magistrali. Przedstawić problem związany z taką konfiguracją systemu oraz zaproponować jego rozwiązanie (4 p.)
5. W komórce pamięci znajduje się 8-bitowa liczba -55. Została ona zapisana do zmiennej przechowującej znaki (np. char), zmiennej przechowującej liczby całkowite 16-bitowe, zmiennej przechowującej liczby naturalne 8-bitowe oraz zmiennej przechowującej liczby całkowite 4-bitowe. Jakie wartości będą przechowywać poszczególne zmienne? Odpowiedzi uzasadnić. (4 p.)
6. Pamięć podręczna sekcyjno-skojarzeniowa składa się z 64 wierszy podzielonych na 4-wierszowe sekcje. Pamięć główna zawiera 4K bloków po 128 słów każdy. Jaki format mają adresy pamięci głównej? (3 p.)

Open questions:

1. Describe usage of the stack in the $(a+b)*c/d-e$ operation in the Reverse Polish Notation (3 p.).

31. Transfer unit between the cache memory and RAM is:

- a. word
- b. byte
- c. packet
- d. block

32. Transfer unit between the cache memory and CPU is:

- a. word
- b. byte
- c. packet
- d. block

33. In the direct mapping of the cache memory:

- a. Particular block in RAM is assigned to one row in the cache memory
- b.

34. Rejestr EAX w procesorze Pentium II:

- a. Ma długość 16 bitów
- b. Może być wykorzystywany jako akumulator w celu zachowania kompatybilności wstecznej
- c. Jest rejestrem ogólnego przeznaczenia
- d. Może być używany jako wskaźnik stosu

35. Które zdarzenia powodują podniesienie sygnału przerwania?

- a. Instrukcja skoku
- b. Generacja przerwania przez wewnętrzny zegar
- c. Akcja urządzenia wejścia-wyjścia
- d. Dzielenie przez zero

2. Zaznacz prawidłową odpowiedź (tylko jedna jest prawidłowa):

3. Zaznacz prawidłową odpowiedź (możliwych wiele prawidłowych):

4. Pytania otwarte:

2. Zdefiniuj warstwę pośrednią oprogramowania, wyjaśnij jej przeznaczenie i zastosowanie. Podaj przykład (3 p.)