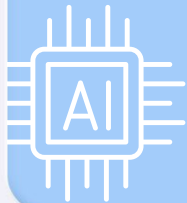




디지털논리회로 [Digital Logic Circuits]

15강.

# 기억장치와 PLD(2)



컴퓨터과학과 강지훈 교수



## 제8장 | 기억장치와 PLD

contents

# 학습 목차

▶ 15 강

### 01 PLD

---

### 02 PLA

- PLA의 내부 구조
  - PLA를 이용한 부울함수 구현
- 

### 03 PAL

- PAL의 내부 구조
- PAL을 이용한 부울함수 구현



## 15강. 기억장치와 PLD(1)

### ➡ 제8장. 기억장치와 PLD

# 8.4 PLD



## 8.4.1 PLD의 구조와 종류

- PLD(Programmable Logic Device)

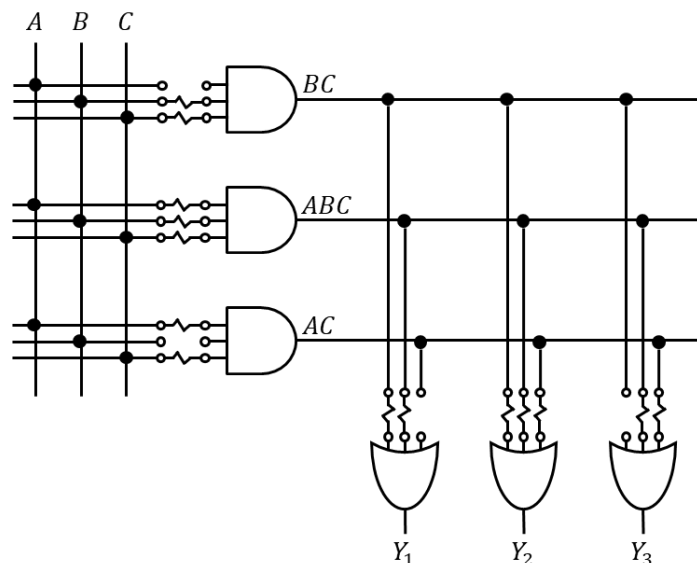
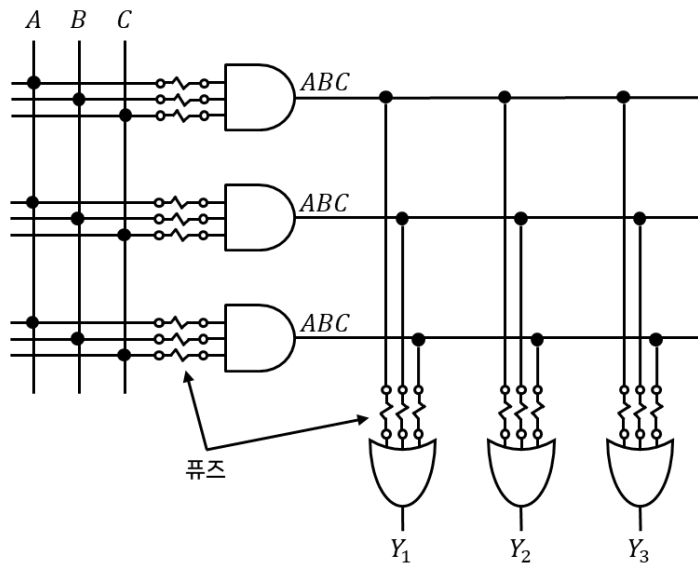
- 프로그래밍이 가능한 전자 퓨즈선으로 연결된 게이트의 배열(array)로 구성된 집적회로
- 디지털 시스템의 설계를 위해 PLD 사용
  - 복잡한 논리회로를 하나의 집적회로로 프로그래밍 할 수 있어서 필요한 소자들의 수와 비용을 절감할 수 있는 장점
- 주로 AND 게이트와 OR 게이트의 배열 구조를 갖는 집적회로
- PLD는 논리요소들이 배열 형태로 되어 있어 배열 형태의 내부 연결선을 프로그래밍할 수 있다.



## 8.4.1 PLD의 구조와 종류



### • PLD의 내부구조(1)



- 전자 퓨즈선의 연결 유무에 의해 AND-OR 연산 즉, 곱의 합 형식의 조합논리회로 구현

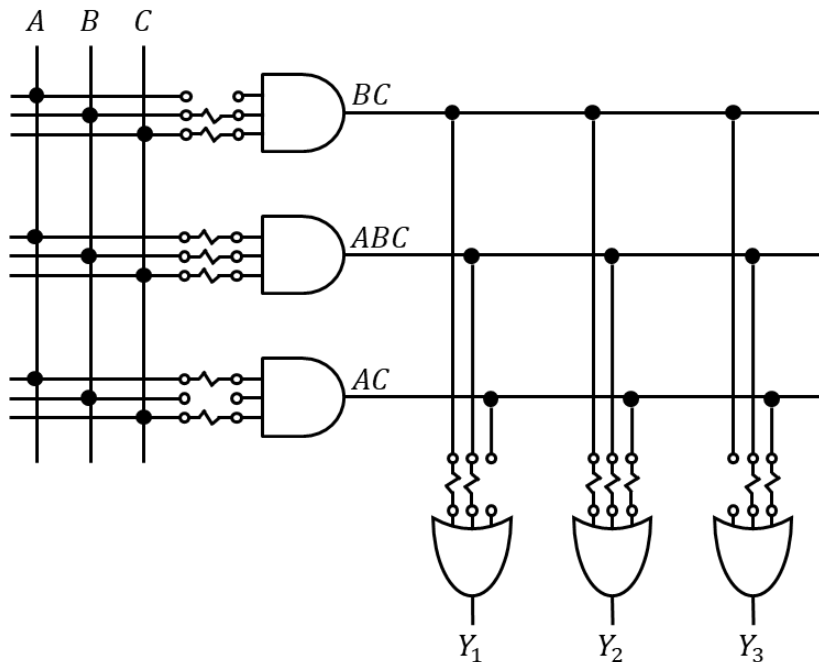


## 8.4.1 PLD의 구조와 종류



### • PLD의 내부구조(2)

#### • 프로그래밍된 AND-OR 게이트 배열



$$Y_1 = BC + ABC$$

$$Y_2 = BC + ABC + AC$$

$$Y_3 = ABC + AC$$

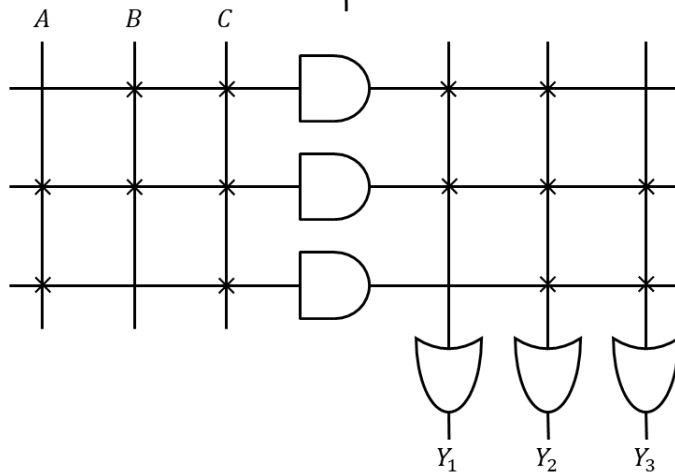
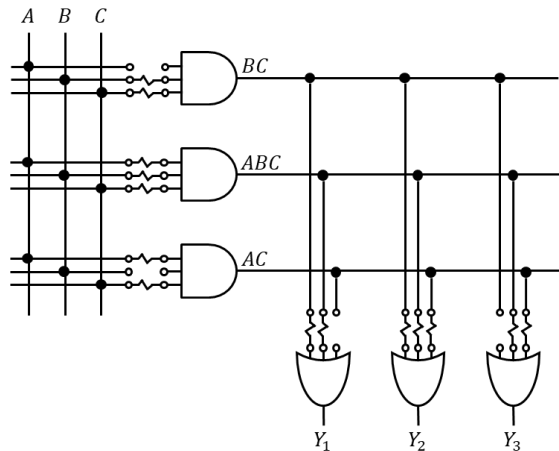
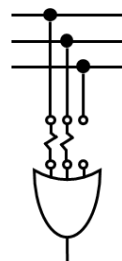
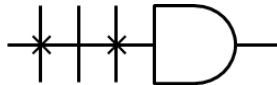
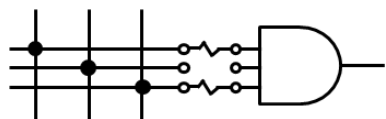


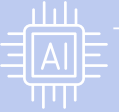
## 8.4.1 PLD의 구조와 종류



### • PLD의 내부구조(3)

#### • AND-OR 배열의 간단한 논리 표현

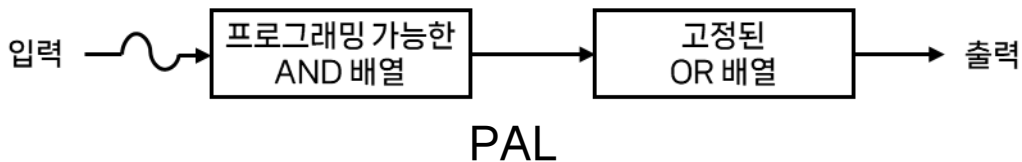
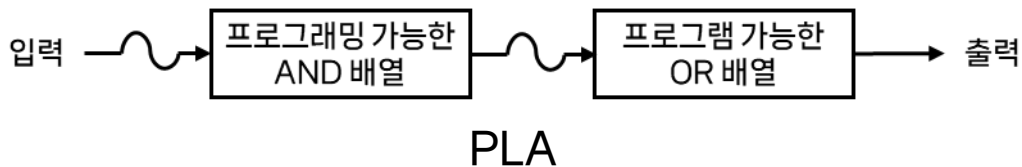
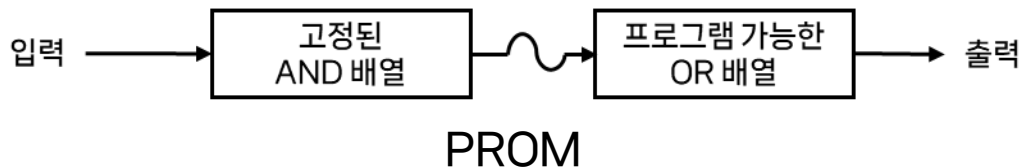




## 8.4.1 PLD의 구조와 종류



### • PLD의 종류







## 8.4.2 PLA의 구조



- **PLA(Programmable Logic Array)**

- **ROM과 같은 기능 수행하며, ROM의 단점을 해소**

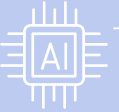
- 10개의 입력과 8개의 출력을 갖는 조합논리회로 설계한다면

- 1,024×8 ROM 필요

- ROM의 크기는 입력의 수에 의해 결정되므로 입력의 수가 많고, 사용되는 word의 수가 적을 때는 많은 기억공간이 낭비

- **그러나 PLA는 모든 입력변수를 디코딩하지 않고, 모든 최소항도 만들지 않음**

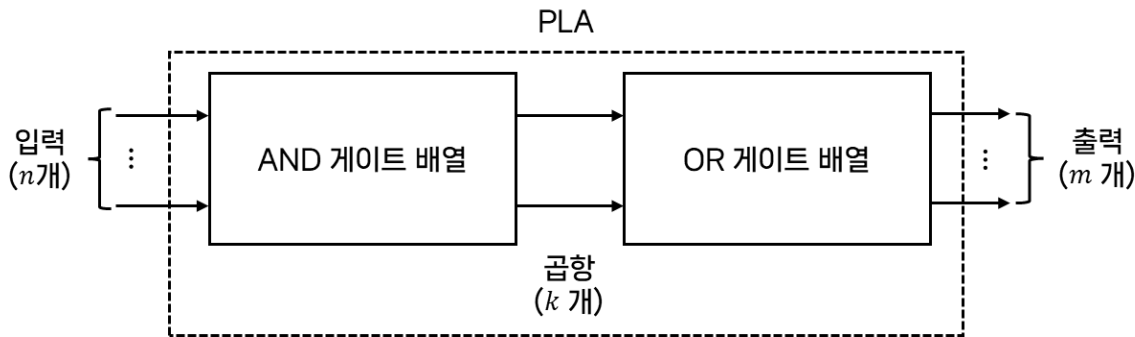
- 가장 융통성이 있는 PLD



## 8.4.2 PLA의 구조



### • PLA의 블록도



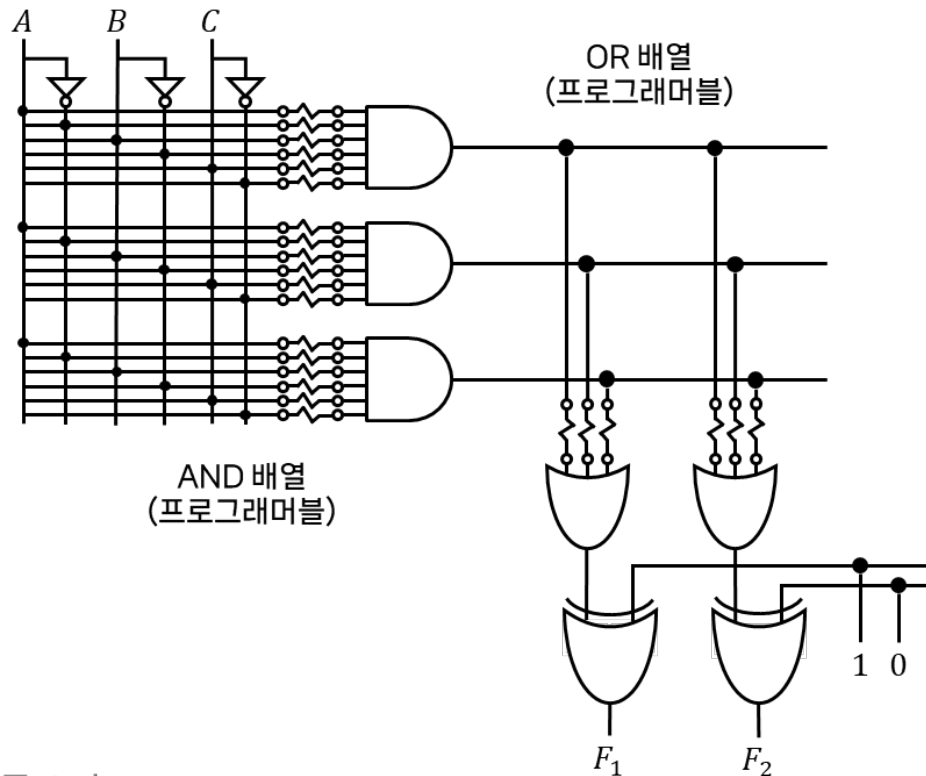
- PLA의 크기는 입력의 수, 곱항의 수, 출력의 수로 결정
- PLA를 이용하여  $n$  개의 변수를 갖는  $m$  개의 부울함수 구현 가능
  - 대표적인 PLA: 16개 입력, 48개 곱항, 8개의 출력



## 8.4.2 PLA의 구조



### • 3입력-3곱항-2출력을 가진 PLA의 내부구조





## 8.4.2 PLA의 구조



- PLA를 이용한 부울함수 구현(1)

- PLA를 이용한 부울함수 구현이란, PLA내부를 구성하는 AND-OR 배열을 프로그래밍하는 것을 의미

- 구현 과정

- 조합논리회로의 논리를 나타내는 PLA 프로그래밍 표를 작성
- 작성된 프로그래밍 표를 사용하여 PLA 제작



## 8.4.2 PLA의 구조

- PLA를 이용한 부울함수 구현(2)

- PLA 프로그래밍 표 작성 과정

- 1) 도표를 이용한 간소화

- PLA는 곱의 합 형태로 함수가 표현됨
    - 한정된 수의 AND 게이트를 갖기 때문에 곱항의 수를 줄여야 함

- 2) 곱항의 수가 최소인 부울함수 선택

- 3) 선택된 곱항을 이용하여 프로그래밍 표 작성



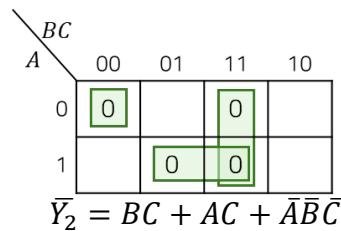
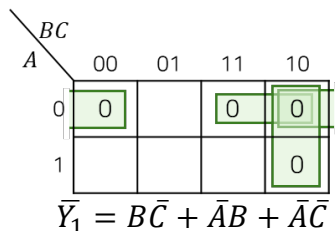
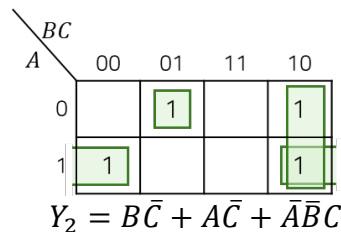
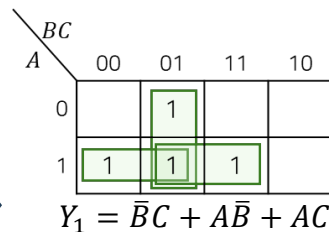
## 8.4.2 PLA의 구조



### • PLA 프로그래밍 표 작성과정 예(1)

#### • 1. 도표를 이용해 간소화

A	B	C	$Y_1$	$Y_2$
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0



- 도표를 이용하여 구해진 부울함수 중에서 곱항의 수가 최소인 부울함수를 선택
- ▶ 정상형태와 보수 형태의 함수 중에 선택할 때는
- ▶ 어떤 것이 더 간단한지
  - ▶ 더 적은 곱항으로 표현되는지
- ▶ 공통으로 사용되는 항이 있는지
  - ▶ 다른 함수에서도 사용되는 공통항이 있는지

$$\bar{Y}_1 = B\bar{C} + \bar{A}B + \bar{A}\bar{C}$$

$$Y_2 = B\bar{C} + A\bar{C} + \bar{A}\bar{B}\bar{C}$$





## 8.4.2 PLA의 구조



### • PLA 프로그래밍 표 작성과정 예(2)

#### • 2. 조합논리회로에 대한 PLA의 프로그래밍 표 작성

$$\bar{Y}_1 = B\bar{C} + \bar{A}B + \bar{A}\bar{C}$$

$$Y_2 = B\bar{C} + A\bar{C} + \bar{A}\bar{B}C$$

곱항	입력			출력	
	A	B	C	$Y_1(C)$	$Y_2(T)$
$B\bar{C}$	-	1	0	1	1
$\bar{A}B$	0	1	-	1	-
$A\bar{C}$	1	-	0	-	1
$\bar{A}\bar{C}$	0	-	0	1	-
$\bar{A}\bar{B}C$	0	0	1	-	1

$Y_1$ 의 보수형

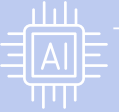
$Y_2$ 의 정상형

필요함

필요 없음

보수가 필요함

- ▶  $B\bar{C}$ 의 입력에서
  - ▶ A는 필요 없고(-)
  - ▶ B와 는 정상형(1)
  - ▶ C의 보수가 필요하며(0)
  - ▶ 출력의 경우  $Y_1(C)$ ,  $Y_2(T)$ 를 구성하는데 필요(1)

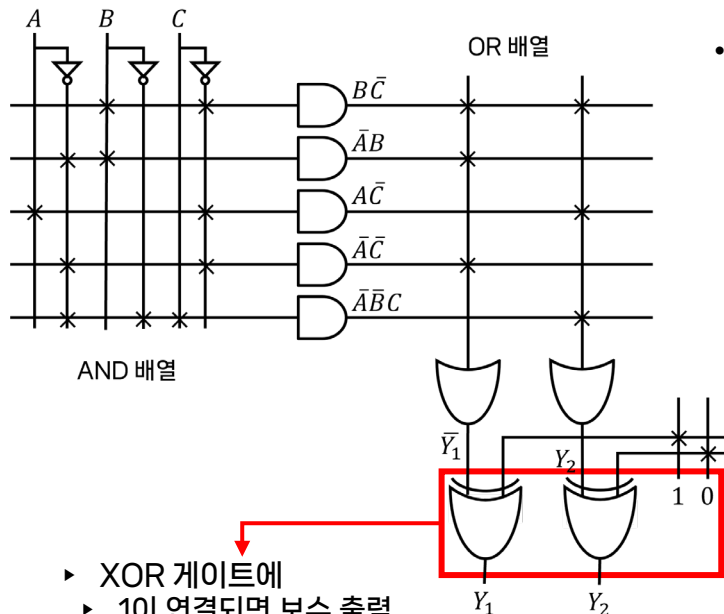


## 8.4.2 PLA의 구조

### • PLA 프로그래밍 표 작성과정 예(3)

#### • PLA의 프로그래밍 표에 의해 작성된 PLA의 내부 구조

곱항	입력			출력	
	A	B	C	$Y_1(C)$	$Y_2(T)$
$B\bar{C}$	-	1	0	1	1
$\bar{A}B$	0	1	-	1	-
$A\bar{C}$	1	-	0	-	1
$\bar{A}\bar{C}$	0	-	0	1	-
$\bar{A}\bar{B}C$	0	0	1	-	1



#### • PLA를 이용한 디지털 시스템 설계 시

- ▶ 프로그래밍 된 PLA의 내부 배열을 보일 필요는 없음
- ▶ 설계에 필요한 논리를 보여줄 수 있는 PLA 프로그래밍 표만 있으면 됨

- ▶ XOR 게이트에
  - ▶ 1이 연결되면 보수 출력
  - ▶ 0이 연결되면 그대로 출력

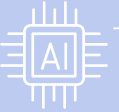




## 8.4.3 PAL의 구조

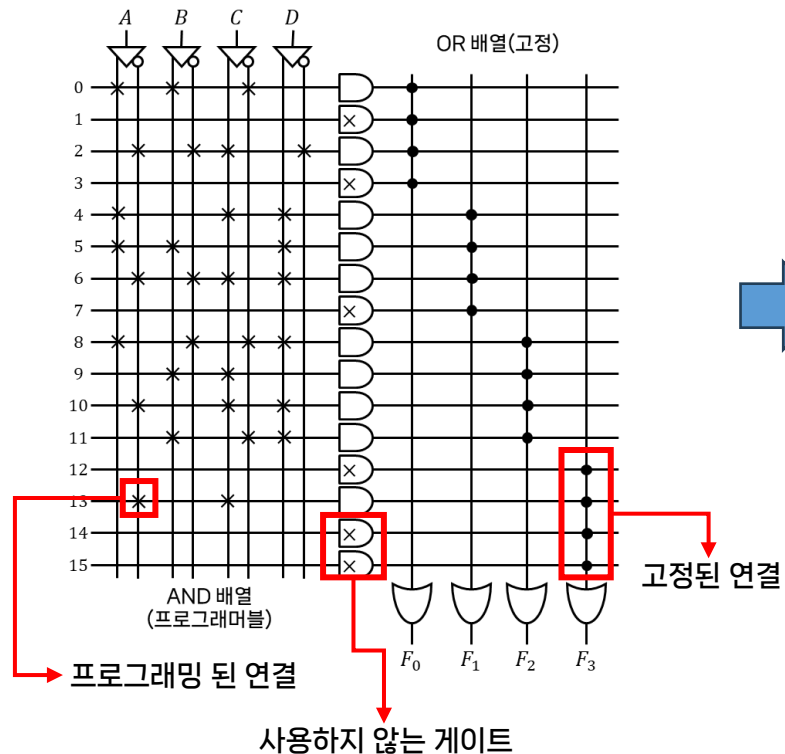


- PAL(Programmable Array Logic)
  - PLA와 유사한 소자
  - AND 게이트 배열만 프로그램 가능(PLA 보다는 제한적)
  - 그러나 값이 싸고, 간단한 논리함수 구현에 효과적
  - 보편적으로 많이 사용
    - 전형적인 PAL : 8 입력, 8 출력의 PAL



## 8.4.3 PAL의 구조

### • 4입력-4출력 PAL의 구조



$$F_0 = ABC\bar{C} + \bar{A}\bar{B}C\bar{D}$$

$$F_1 = ACD + ABD + \bar{A}\bar{B}CD$$

$$F_2 = A\bar{B}\bar{C}D + BC + ACD + B\bar{C}D$$

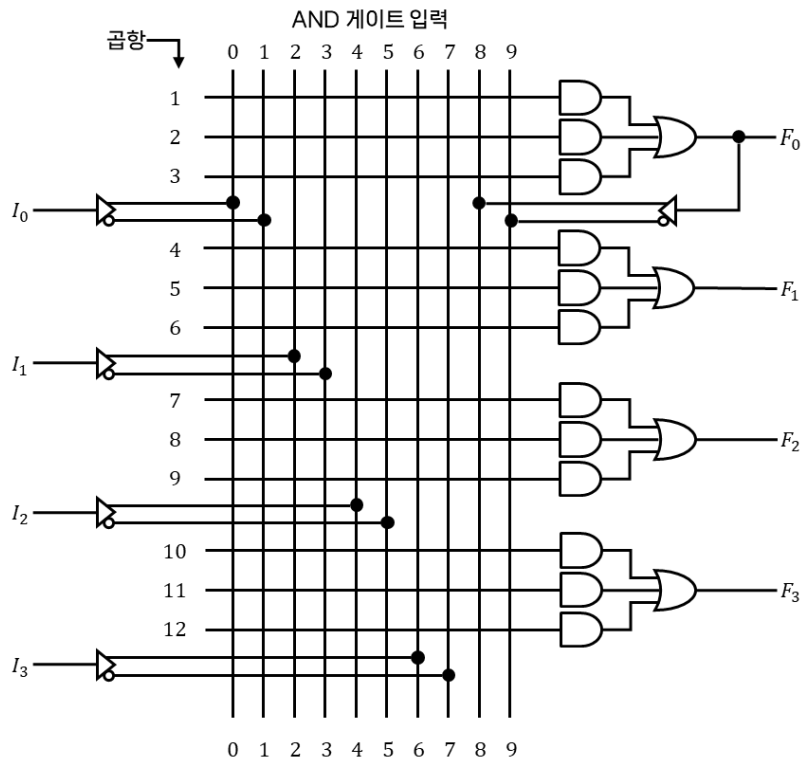
$$F_3 = \bar{A}C$$



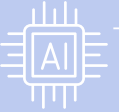
## 8.4.3 PAL의 구조



### • 다른 형태의 4입력-4출력 PAL의 구조( 3 AND-OR 구조 )



- ▶ 3개의 AND-OR 배열이 4개의 부분으로 구성된 형태
- ▶ 3개의 AND 게이트를 이용하여 프로그래밍할 수 있음
- ▶ 각 AND 게이트는 10개의 프로그램이 가능한 입력이 있음
  - ▶  $I_0, \bar{I}_0, I_1, \bar{I}_1, I_2, \bar{I}_2, I_3, \bar{I}_3, F_0, \bar{F}_0$



## 8.4.3 PAL의 구조



### • PAL을 이용한 조합논리회로 설계 예(1)

#### • 부울함수의 간소화

$$W(A, B, C, D) = \Sigma m(9, 12, 13)$$

$$X(A, B, C, D) = \Sigma m(5, 7, 10, 14)$$

$$Y(A, B, C, D) = \Sigma m(3, 9, 10, 12, 13, 14)$$

$$Z(A, B, C, D) = \Sigma m(0, 1, 4, 5, 8, 9, 13)$$

		CD			
		00	01	11	10
AB	00				
	01				
	11	1	1		
	10		1		

$$W = ABC\bar{D} + A\bar{C}D$$

		CD			
		00	01	11	10
AB	00				
	01		1	1	
	11				1
	10				1

$$X = \bar{A}BD + A\bar{C}\bar{D}$$

		CD			
		00	01	11	10
AB	00			1	
	01				
	11	1	1		1
	10		1		1

$$Y = ABC\bar{D} + A\bar{C}D + A\bar{C}\bar{D} + \bar{A}\bar{B}CD$$

		CD			
		00	01	11	10
AB	00	1	1		
	01	1	1		
	11		1		
	10	1	1		

$$Z = \bar{A}\bar{C} + \bar{C}D + \bar{B}\bar{C}$$



## 8.4.3 PAL의 구조



### • PAL을 이용한 조합논리회로 설계 예(2)

#### • 곱항의 수를 최소화

- 3 AND-OR 구조를 이용해서 곱항이 3개만 있어야 함

$$W = AB\bar{C} + A\bar{C}D$$

$$X = \bar{A}BD + AC\bar{D}$$

$$Y = AB\bar{C} + A\bar{C}D + AC\bar{D} + \bar{A}\bar{B}CD$$

$$Z = \bar{A}\bar{C} + \bar{C}D + \bar{B}\bar{C}$$

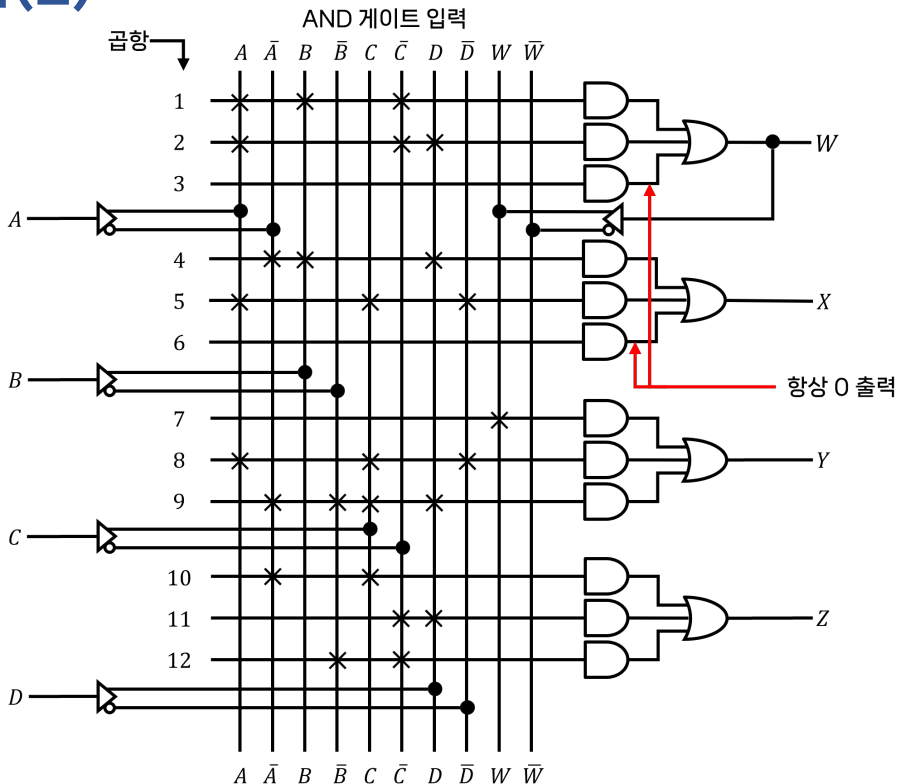


$$W = AB\bar{C} + A\bar{C}D$$

$$X = \bar{A}BD + AC\bar{D}$$

$$Y = W + AC\bar{D} + \bar{A}\bar{B}CD$$

$$Z = \bar{A}\bar{C} + \bar{C}D + \bar{B}\bar{C}$$





# 내용 정리

Summary

Contents



## 15강 | 기억장치와 PLD(2)



디지털 +  
논리회로



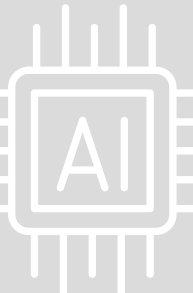
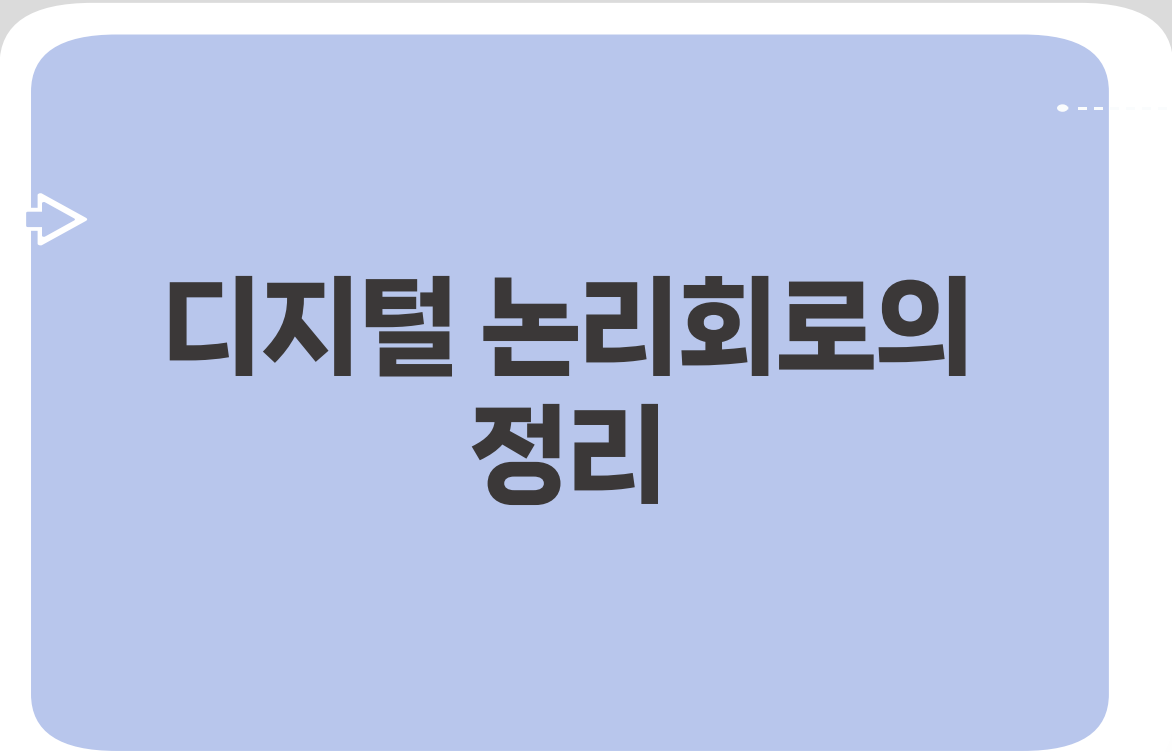
### 01 PLD의 구조와 종류

### 02 PLA

- PLA의 내부 구조
- PLA를 이용한 부울함수 구현

### 03 PAL

- PAL의 내부 구조
- PAL을 이용한 부울함수 구현

An icon of a square chip with 'AI' inside, surrounded by vertical lines representing pins. A dashed line extends downwards from the chip.A large, light blue rounded rectangle with a white border, containing the title text.

# 디지털 논리회로의 정리



1장 컴퓨터와 디지털 논리회로

2장 데이터 표현

3장 논리게이트와 부울대수

4장 부울함수의 간소화 및 구현

5장 조합논리회로

6장 순서논리회로

7장 레지스터와 카운터

8장 기억장치와 PLD





마무리하며

한 학기 동안,  
수고하셨습니다.

컴퓨터과학과 강지훈 교수