



Ministère de l'enseignement supérieur et de la
recherche scientifique
Université de Tunis El Manar
Ecole nationale d'ingénieurs de Tunis
département génie électrique



TP1 Fonctions électroniques : Amplificateur à transistor bipolaire à émetteur commun à un seul étage

Elaboré par

Chaanbi Hassen

Amina Aloui

Khouloud Anizi

Professeur : Mme. Leila Khanfir

Année Universitaire : 2025/2026

Table de matière

Liste des figures	II
Liste des tableaux	III
Chapitre 1: Amplificateur BJT à un seul étage	1
1.1 Travail de préparation	1
1.1.1 Analyse statique	2
1.1.2 Etude dynamique	6

Liste des figures

1.1	Circuit amplificateur à émetteur commun	1
1.2	Simulation output file	3
1.3	Les tensions dans le circuit	4
1.4	Les courants dans le circuit	4
1.5	Résultats de simulation obtenues pour $R_{c1}=1k$	5
1.6	Mesure initiale de V_{E2}	6
1.7	Le gain en total du circuit	7
1.8	Le gain de l'amplificateur	7
1.9	Superposition des deux formes de gain	7
1.10	Analyse temporelle	8
1.11	Le gain $A_v a1$	8
1.12	Simulation de la bande passante à -3 dB de l'amplificateur à BJT	10

Liste des tableaux

Chapitre 1

Amplificateur BJT à un seul étage

Objectif du TP

- Effectuer l'analyse DC d'un amplificateur BJT.
- Effectuer l'analyse petits signaux et déterminer les propriétés d'un amplificateur BJT.
- Effectuer l'analyse fréquentielle d'un amplificateur BJT.
- Simuler le schéma analysé avec PSPICE et vérifier son fonctionnement.

1.1 Travail de préparation

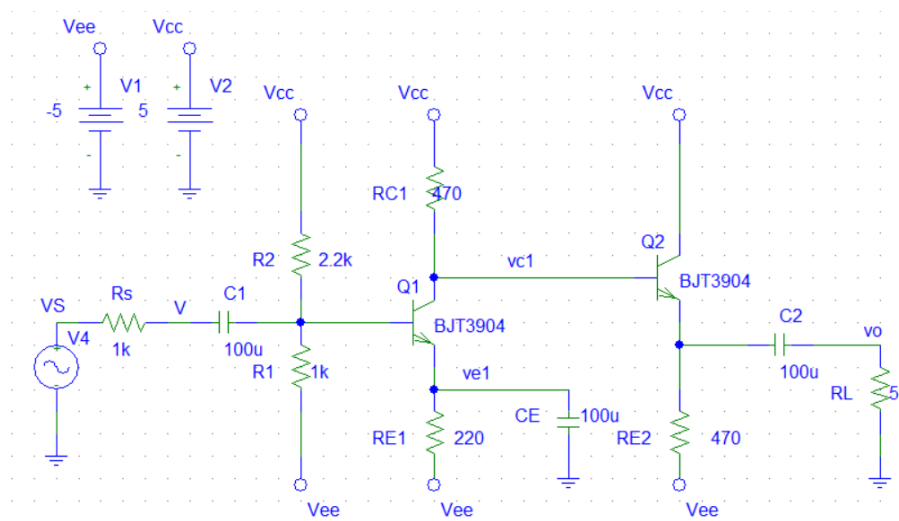


FIGURE 1.1 – Circuit amplificateur à émetteur commun

1.1.1 Analyse statique

(2) Effectuer une analyse DC à la main et trouver le point de fonctionnement des transistors :

(Q1) :

$$I_{E1} = \frac{V_{E1}}{R_{E1}} = \frac{V_B - V_{BE1}}{R_{E1}}$$

$$V_B = R_1 \frac{V_{cc} - V_{EE}}{R_2 + R_1} = 3,125 \text{ V}, \text{ la valeur manuelle de calcul est } V_{BE} = 0.7 \text{ V}$$

$$I_{E1} = 11 \text{ mA}$$

$$\Rightarrow I_{C1} = \frac{\beta}{\beta + 1} I_{E1} = 10.96 \text{ mA}$$

$$V_{CE1} = 2 \cdot V_{cc} - R_{C1} \cdot I_{C1} - R_{E1} \cdot I_{E1} = 2,23 \text{ V}$$

$$\Rightarrow Q_1 = (V_{CE} = 2,23 \text{ V}; I_C = 10,96 \text{ mA})$$

(Q2) :

$$I_{E2} = \frac{V_{CE1} + V_{E1} - V_{BE2}}{R_{E2}} = 8,62 \text{ mA}, I_{C2} = \frac{\beta}{\beta + 1} I_{E2} = 8,59 \text{ mA}$$

$$V_{CE2} = 2 \cdot V_{cc} - R_{E2} \cdot I_{E2} = 5,87 \text{ V}$$

$$\Rightarrow Q_2 = (V_{CE} = 5.87 \text{ V}; I_{C2} = 8.59 \text{ mA})$$

(3) Calculer les paramètres petits signaux du modèle hybride des transistors.

(Q1) :

$$h_{11}^{(1)} = r_{\pi 1} = \frac{\psi}{I_{B1}} = \beta \frac{\psi}{I_{C1}}.$$

$$\psi = 26 \text{ mV}.$$

$$h_{11}^{(1)} = 695.8 \Omega.$$

$$h_{12}^{(1)} = 0.$$

$$h_{21}^{(1)} = \beta = 300.$$

$$h_{22}^{(1)} = +\infty$$

$$gm_1 = \frac{\beta}{r_{\pi 1}} = 431.15 \text{ mS}$$

$$\Rightarrow Q_1 : h_{11}^{(1)} = 695.8 \Omega, h_{12}^{(1)} = 0, h_{21}^{(1)} = \beta = 300, h_{22}^{(1)} = +\infty.$$

(Q2) :

$$h_{11}^{(2)} = r_{\pi 2} = \frac{\psi}{I_{B2}} = \beta \frac{\psi}{I_{C2}}.$$

$$\psi = 26mV.$$

$$h_{11}^{(2)} = 888.38\Omega.$$

$$h_{12}^{(2)} = 0.$$

$$h_{21}^{(2)} = \beta = 300.$$

$$h_{22}^{(2)} = +\infty.$$

$$gm_2 = \beta * r_{\pi 2} = 337.7mS$$

$$\Rightarrow Q_2 : h_{11}^{(2)} = 888.38\Omega, h_{12}^{(2)} = 0, h_{21}^{(2)} = \beta = 300, h_{22}^{(2)} = +\infty.$$

(4) Simuler le circuit et comparer les résultats de simulation aux résultats de calcul trouvés dans les questions 2 et 3 et expliquer les écarts.

NAME	Q_Q2	Q_Q1
MODEL	BJT3904	BJT3904
IB	4.00E-05	4.87E-05
IC	9.00E-03	1.06E-02
VBE	7.35E-01	7.41E-01
VBC	-5.02E+00	-1.89E+00
VCE	5.75E+00	2.63E+00
BETADC	2.25E+02	2.19E+02
GM	3.43E-01	4.03E-01
RPI	6.46E+02	5.31E+02
RX	5.23E+01	5.03E+01
RO	1.41E+04	1.16E+04
CBE	1.87E-10	2.17E-10
CBC	1.58E-12	2.02E-12
CJS	0.00E+00	0.00E+00
BETAAC	2.22E+02	2.14E+02
CBX/CBX2	7.57E-14	9.70E-14
FT/FT2	2.90E+08	2.93E+08

FIGURE 1.2 – Simulation output file

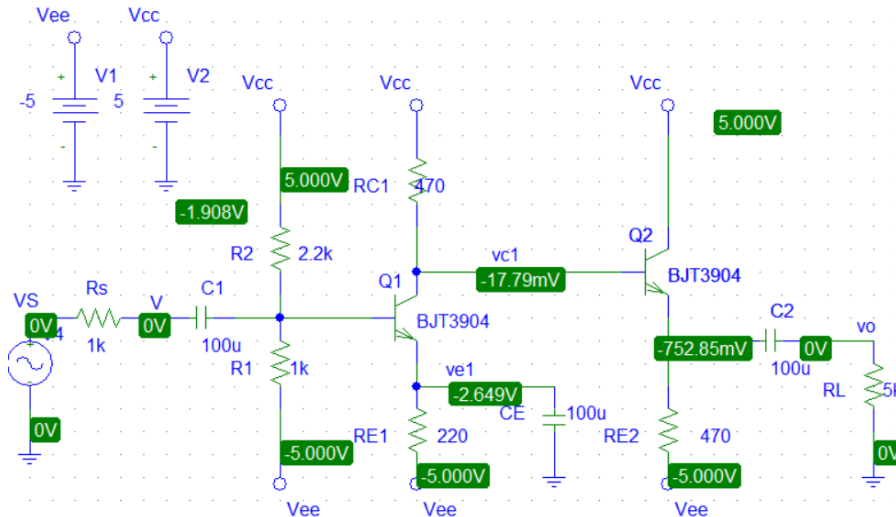


FIGURE 1.3 – Les tensions dans le circuit

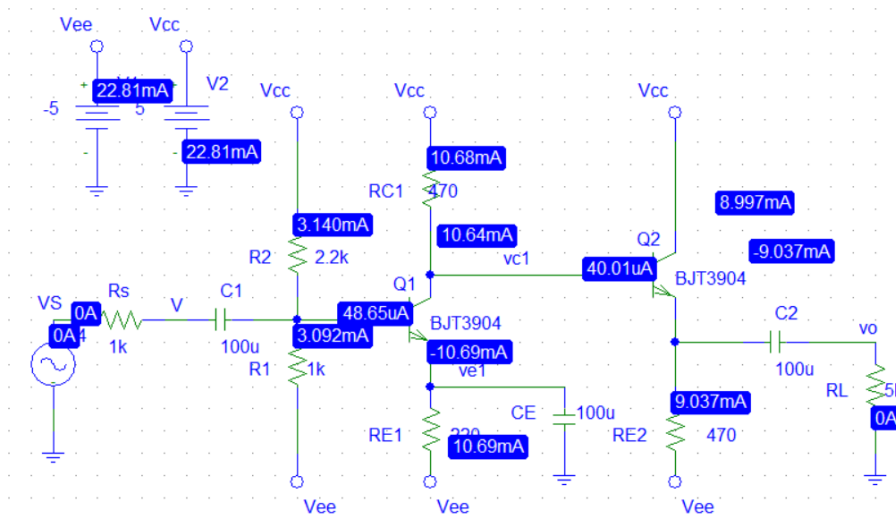


FIGURE 1.4 – Les courants dans le circuit

Explication : Les écarts observés entre l'analyse DC manuelle et la simulation PSpice s'expliquent principalement par la différence de modélisation du transistor. En effet, nos calculs théoriques reposent sur un modèle simplifié avec des paramètres constants ($V_{BE} = 0,7 \text{ V}$, $\beta = 300$, et effet Early négligé $V_A = +\infty$), PSpice utilise un modèle physique complet qui prend en compte la valeur réelle de V_{BE} ($0,741 \text{ V}$), la variation de β avec le point de fonctionnement ($\beta = 219$), l'effet Early via une résistance de sortie finie, ainsi que les résistances parasites internes du composant. Ces différences, bien que modestes en valeur relative, sont cohérentes avec la complexité réelle du transistor et confirment la validité de notre approche manuelle.

(5) Que se passe-t-il si on augmente la résistance R_{C1} à 1 k . Vérifier par simulation.

R_{C1} augmente d'où V_{CE1} , I_{C1} diminue, le courant I_{B1} augmente, ainsi $I_{C2} = \beta \cdot I_{B1}$ augmente, ainsi V_{CE2} l'est aussi. \Rightarrow Avec $R_{C1} = 1 \text{ k}$, le gain de $Q1$ augmente, mais le point

de fonctionnement DC se décale vers des tensions collecteur plus basses, pouvant saturer le transistor si le signal d'entrée est trop grand.

NAME	Q_Q1	Q_Q2
MODEL	BJT3904	BJT3904
IB	6.78E-04	1.19E-05
IC	8.00E-03	2.72E-03
VBE	7.50E-01	7.01E-01
VBC	6.72E-01	-8.01E+00
VCE	7.76E-02	8.71E+00
BETADC	1.18E+01	2.29E+02
GM	3.29E-01	1.07E-01
RPI	6.13E+02	2.18E+03
RX	2.26E+01	6.20E+01
RO	5.97E+01	4.77E+04
CBE	1.88E-10	6.69E-11
CBC	1.48E-10	1.39E-12
CJS	0.00E+00	0.00E+00
BETAAC	2.02E+02	2.33E+02
CBX/CBX2	1.54E-12	6.66E-14
FT/FT2	1.55E+08	2.49E+08

FIGURE 1.5 – Résultats de simulation obtenues pour $R_{c1}=1k$

(6) La tension d'offset d'un amplificateur correspond à la tension de sortie V_{E2} lorsque l'entrée est nulle et que le circuit est en régime statique. Pour la ramener à 0 V, on peut :

- Régler les résistances de polarisation R_{B1} et R_{B2} ;
- Employer un montage symétrique avec miroir de courant ;
- Ajouter un étage correcteur basé sur un amplificateur opérationnel ;
- Installer des résistances trimmer pour un ajustement fin.

(i) Mesure initiale de V_{E2} :

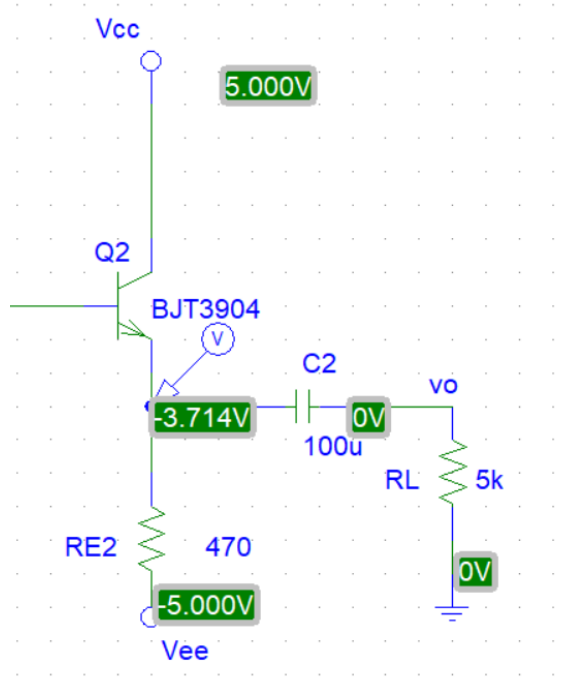


FIGURE 1.6 – Mesure initiale de V_{E2}

1.1.2 Etude dynamique

(7) Effectuer une analyse AC à la main du circuit et déterminer :

(a) le gain en tension de l'amplificateur en 1 ère étage est $A_{va} = \frac{V_o}{V_i}$

$$A_{va} = -g_{m1}(R_{C1} \parallel h_{11}^{(2)}) = -132.5$$

(b) le gain en tension du circuit est le gain effectif :

$$A_{vc} = \frac{V_o}{V_s} = \frac{V_o}{V_i} \cdot \frac{V_i}{V_s} = A_{va} \cdot \frac{Z_i}{Z_i + R_s}$$

$$Z_i = R_B \parallel r_{\pi 1} = 345.8 \Omega$$

$$A_{vc} = -34.04$$

(c) La résistance d'entrée de l'amplificateur :

$$Z_i = R_B \parallel r_{\pi 1} = 345.8 \Omega$$

(d) L'impédance de sortie de l'amplificateur : $R_{out} \approx \left(r_e + \frac{R_B}{\beta + 1} \right) \parallel \frac{r_o}{\beta + 1} \approx 4.7 \Omega$

(8) Réaliser une simulation AC du circuit et comparer les résultats de simulation aux résultats de calcul trouvés dans la question 7 et expliquer les écarts :

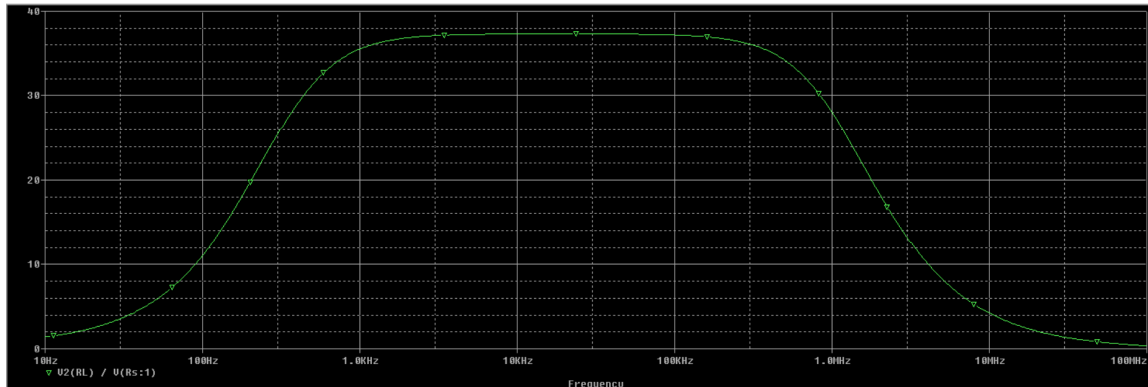


FIGURE 1.7 – Le gain en total du circuit

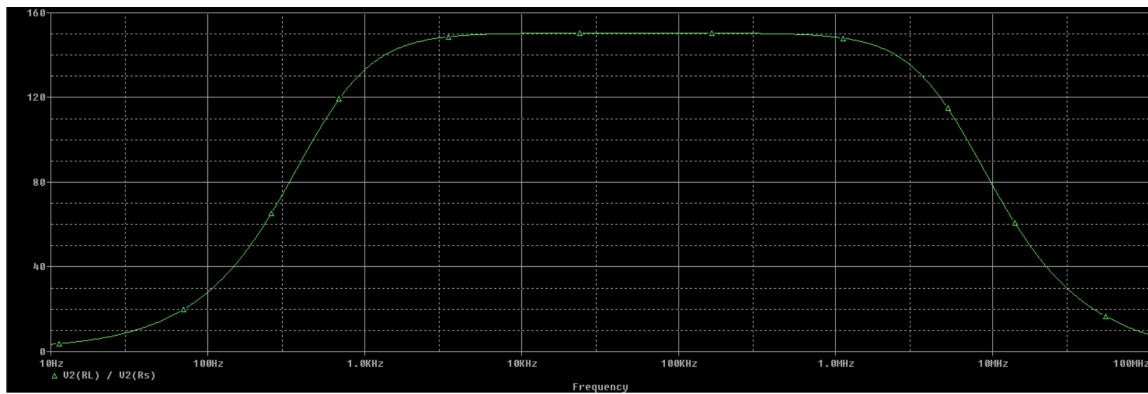


FIGURE 1.8 – Le gain de l'amplificateur

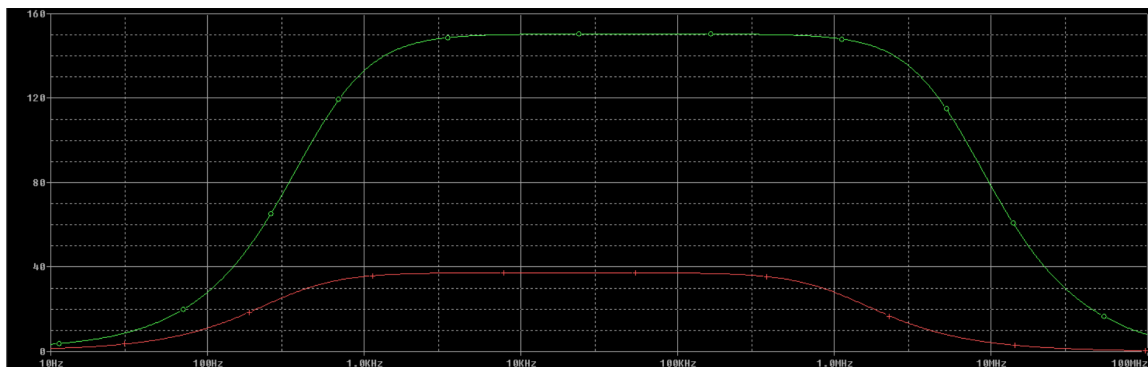


FIGURE 1.9 – Superposition des deux formes de gain

Le modèle petits signaux utilisé dans les calculs manuels suppose un β constant, alors qu'en réalité celui-ci varie entre le régime statique (DC = 219) et dynamique (AC = 214). De plus, la simulation PSpice prend en compte les résistances parasites internes du transistor ($R_X = 50$) et l'effet Early via une résistance de sortie finie ($r_o = 11,6$ k), éléments négligés dans l'analyse théorique. La présence des capacités parasites CBE et

CBC, bien que faibles, influence également la réponse fréquentielle et modifie légèrement les impédances d'entrée et de sortie. Malgré ces écarts, la cohérence générale des résultats valide l'approche analytique tout en soulignant la nécessité de la simulation pour obtenir des prévisions précises.

(9) Simuler le circuit avec une analyse transiente à 1kHz, et dessiner les résultats entre 5ms à 8ms.

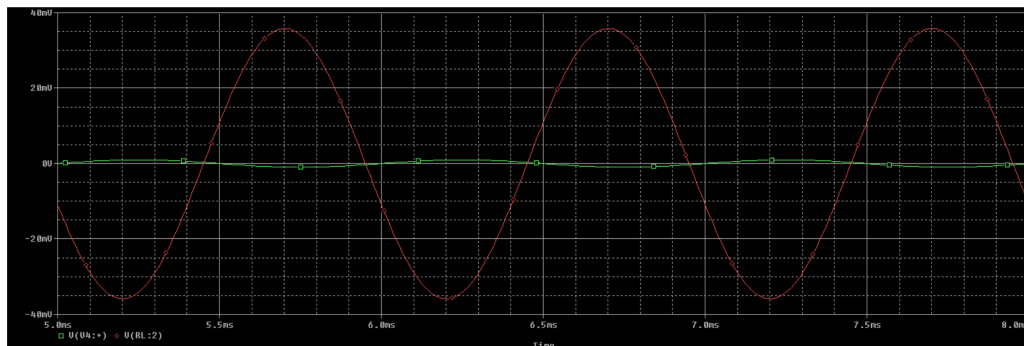


FIGURE 1.10 – Analyse temporelle

(e) le gain en tension de l'amplificateur $A_{vc} = v_o / v_i$:

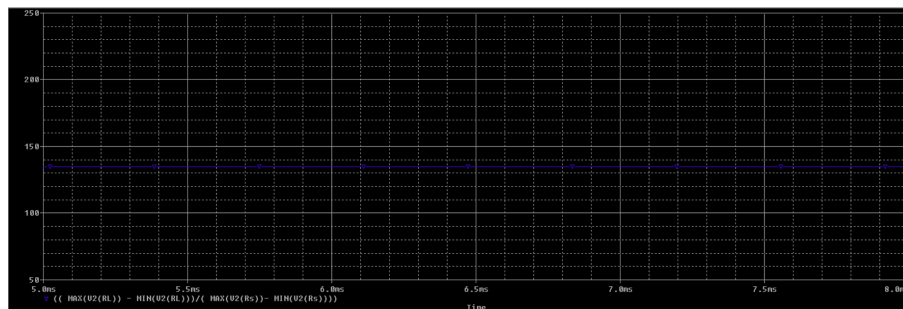


FIGURE 1.11 – Le gain A_{vc}

(10) Calculer les fréquences de coupure basse et haute du circuit.

***Fréquence de coupure basse :**

Les condensateurs influençant sur la fréquence de coupure basse f_{cb} sont :

- **C1, C2** : condensateurs de liaison
- **CE** : condensateur de découplage d'émetteur

D'après le datasheet et en appliquant le théorème de Miller :

(a) f_{cb1} due à C1

$$R_{C1} = R_S + Z_{in} = 1000 + 345.8 = 1345.8$$

$$\tau_1 = C1 \times R_{C1} = 10^{-4} \times 1345.8 = 0.1346s$$

$$f_{cb1} = \frac{1}{2\pi\tau_1} \approx 1.22\text{Hz}$$

(b) f_{cb2} due à C2

$$R_{C2} = R_{out} + R_L \approx 4.7 + 5000 = 5004.7$$

$$\tau_2 = C2 \times R_{C2} = 10^{-4} \times 5004.7 = 0.50047$$

$$f_{cb2} = \frac{1}{2\pi\tau_2} \approx 0.31$$

(c) f_{cbe} due à C_E (découplage R_{E1})

$$\tau_E = C_E \times R_{CE} = 100 \times 10.73 = 0.001073$$

$$f_{CE} = \frac{1}{2\pi\tau_E} \approx 148.4$$

$$f_{CE3} = \frac{1}{2\pi C_E \left[R_E \parallel \frac{R_s \parallel R_B + h_{11}}{\beta + 1} \right]}$$
$$\approx 371.43$$

Fréquence de coupure basse totale :

$$f_{cb} = \max(f_{C1}, f_{C2}, f_{CE3}) \approx 371.43 \text{ Hz}$$

Dominée par le condensateur d'émetteur CE.

***Fréquence de coupure haute :**

On applique le théorème de Miller :

$$C_{c1} = (1 - A_{va}) \cdot C_{BC} = 534 \mu\text{F}$$

$$f_{ch1} = \frac{1}{2\pi R_L C_{c1}} = 231.8 \text{ KHz}$$

$$C_{c2} = C_{ibo} = 8 \text{ pF}$$

$$f_{ch2} = \frac{1}{2\pi R_L C_{c2}} = 0.99 \text{ MHz} \approx 1 \text{ MHz}$$

$$f_{ch} = \min(f_{ch1}, f_{ch2}) = 227 \text{ KHz}$$

La figure ci-après montre le lieux des fréquences de coupures basses et hautes montrées par la simulation Pspice.

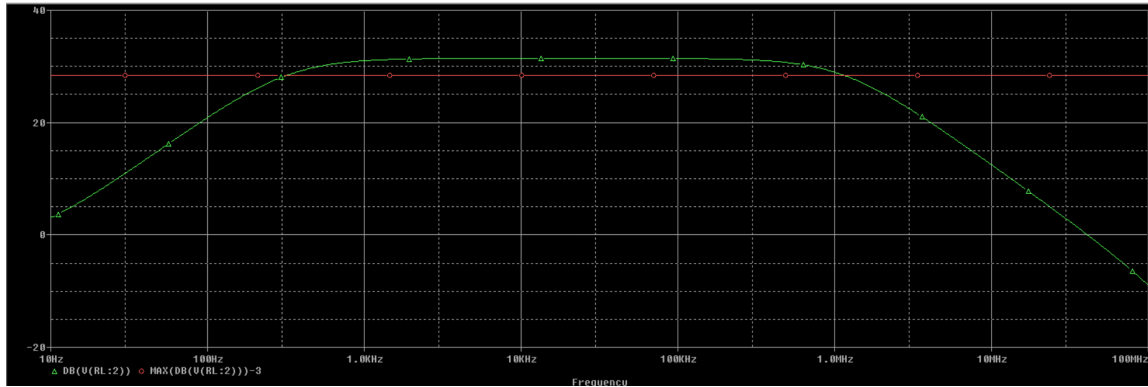


FIGURE 1.12 – Simulation de la bande passante à -3 dB de l'amplificateur à BJT

(11) Simuler le circuit et comparer les résultats de simulation aux résultats de calcul. La fréquence de coupure haute d'un amplificateur à transistors est principalement limitée par l'effet Miller, qui amplifie la capacité de contre-réaction C_μ vue de l'entrée : $C_{in} = C_\pi + C_\mu(1 + g_m R'_L)$. La constante de temps résultante $\tau_H \approx R_{eq} \cdot C_{in}$ donne $f_H \approx 1/(2\pi\tau_H)$. Pour le basse fréquence, le condensateur d'émetteur C_E impose le pôle dominant via la résistance vue $R_{eq,E} \approx R_E \parallel (R'_s + r_\pi)/(\beta + 1)$, d'où $f_L \approx 1/(2\pi R_{eq,E} C_E)$. Les légères différences avec SPICE proviennent des modèles complets, des capacités parasites de câblage et des interactions entre étages non prises en compte dans le calcul à la main.