

# Introduction à l'architecture RISC-V

## 1. Présentation de l'architecture RISC-V

L'architecture RISC-V est une architecture de jeu d'instructions (ISA) développée à l'Université de Berkeley en 2010. Son objectif est de fournir une architecture ouverte, simple, modulaire et extensible qui puisse être utilisée pour des applications allant des microcontrôleurs aux supercalculateurs. RISC-V vise à démocratiser l'accès à l'architecture matérielle en offrant une alternative libre aux architectures propriétaires telles que x86 ou ARM.

Les caractéristiques principales de RISC-V sont :

- Une architecture RISC (Reduced Instruction Set Computing) simple avec un nombre limité d'instructions.
- Un format d'instructions fixe de 32 bits, avec des extensions pour 16, 64, 128 bits.
- Un jeu d'instructions de base minimaliste, extensible par des instructions optionnelles.
- Une conception modulaire facilitant l'implémentation pour différentes tailles et performances de processeurs.

## 2. Formats des instructions RISC-V

Les instructions RISC-V sont codées sur différents formats selon leur type :

- Format R : instructions avec trois registres (ex : opérations arithmétiques).
- Format I : instructions avec un registre source, un registre destination et une valeur immédiate (ex : chargement, opérations immédiates).
- Format S : instructions de stockage mémoire, avec deux registres et une valeur immédiate pour l'adresse.
- Format B : instructions conditionnelles de branchement.
- Format U : instructions avec un grand immédiat utilisé pour le calcul d'adresses.
- Format J : instructions de saut avec adresse relative.

## 3. Comparaison avec d'autres architectures

RISC-V se distingue des architectures classiques comme x86 (CISC) ou ARM (RISC propriétaire) par son ouverture et sa simplicité :

- x86 est une architecture complexe (CISC) avec un grand nombre d'instructions variées et une rétrocompatibilité lourde.
- ARM est une architecture RISC très utilisée dans les appareils mobiles, mais propriétaire.
- RISC-V offre un standard ouvert et modulaire, facilitant la recherche, l'éducation et le développement de processeurs personnalisés.

