

Systèmes à microprocesseurs

Chapitre 2 : Présentation du Microcontrôleur Intel 8051

J.ZAIDOUNI

Université Mohammed Premier

ENSA Oujda, 2017/2018

Sommaire

1 Introduction

- Structure générale d'un ordinateur et micro-contrôleur
- famille MCS 51

2 Organisation du 8051

- Organisation de la mémoire
- Organisation de la mémoire RAM interne

3 Registres spéciaux SFR (21 registres)

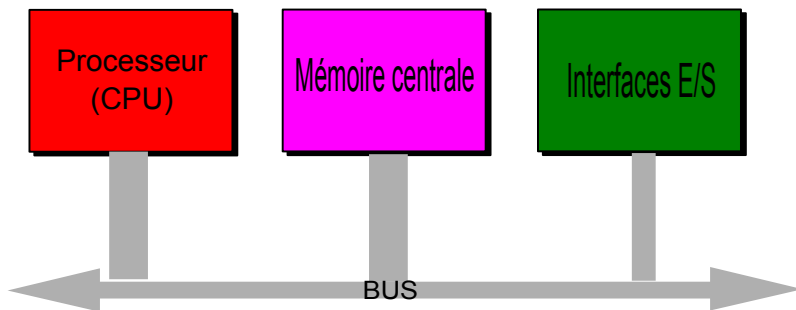
- Registres de travail (10 registres)
- Ports d'E/S : P0, P1, P2 et P3 (4 registres)
- Port série (2 registres)
- Timers (6 registres pour 8051)
- Interruptions (2 registres)
- Pointeurs d'adressage (3 registres) et Configuration générale (2 registres)

4 Interfaçage avec des mémoires externes

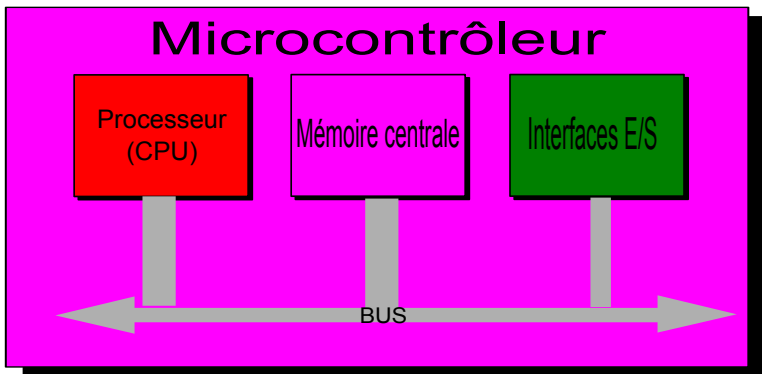
Introduction

- Un microprocesseur ne contient (general purpose microprocessors) :
 - ni RAM
 - ni ROM
 - ni Unités d'entrées/sorties (I/O Ports)
- Microcontrôleur contient :
 - CPU (microprocesseur)
 - RAM
 - ROM
 - Unités d'entrées/sorties (I/O ports)
 - Timers
 - CAN et d'autres périphériques

Structure générale d'un ordinateur



Structure générale d'un micro-contrôleur



Historique

- Fin 1979, INTEL commercialise la famille de microcontrôleurs MCS 51 qui correspond au départ à trois types de microcontrôleurs ; le 8051 (à mémoire ROM), le 8751 (à mémoire EPROM : Erasable Programmable ROM) et le 8031 (ROMLESS).
- Le succès de la famille 8051 a amené la fabrication de ce microcontrôleur et de ses dérivées par de nombreux constructeurs de CI : PHILIPS, DALLAS, ATMEL, SIEMENS ...
- Le 8051 et ses produits dérivés reste le microcontrôleur 8 bits le plus vendu dans le monde.
- On s'intéresse à l'architecture du 8051 car elle est commune à tous les microcontrôleurs de la famille.

Applications dans les systèmes embarqués

- PDA
- console de jeux
- calculatrice
- télévision
- téléphone portable
- distributeur automatique d'argent
- robotique
- lecteur carte à puce, code barre
- automobile
- instrumentation
- imprimante laser
- etc ...

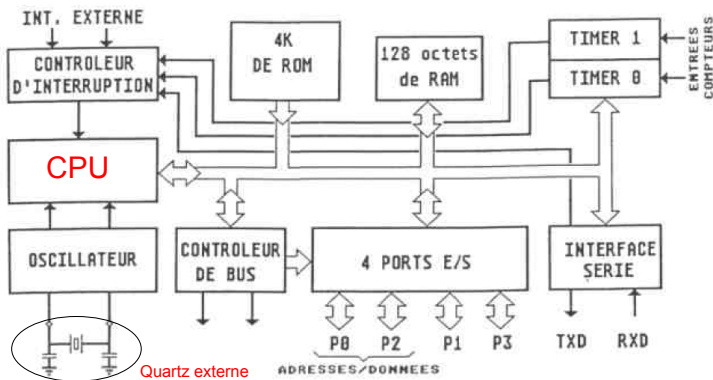
Caractéristiques principales de la famille MCS 51

DEVICE	mémoire de programme	RAM de données	vitesse	ports d'E/S	timers/ compteurs	UART
8031	ROMLESS	128 o	12 MHz	4 x 8 bits	2	1
8051	4K ROM	128 o	12 MHz	4 x 8 bits	2	1
8751	4K EPROM	128 o	12 MHz	4 x 8 bits	2	1
8032	ROMLESS	256 o	12 MHz	4 x 8 bits	3	1
8052	8 K ROM	256 o	16 MHz	4 x 8 bits	3	1
8752	8 K EPROM	256 o	20 MHz	4 x 8 bits	3	1

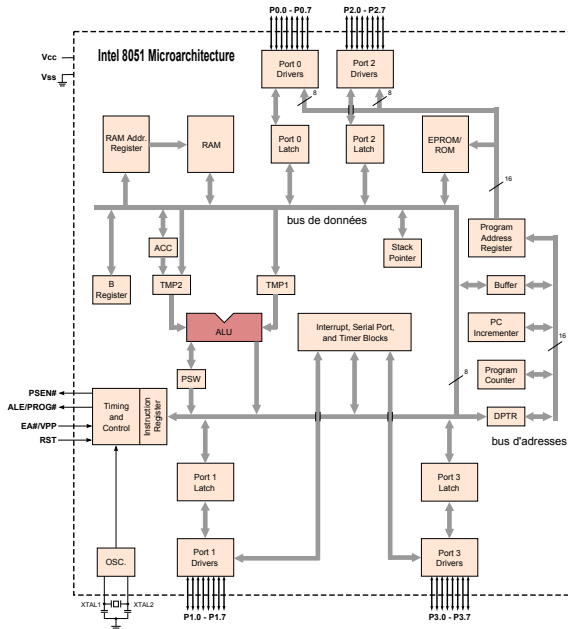
Caractéristiques principales du 8051

- 1 CPU à 8 bits (Bus de données sur 8 bits)
- 32 entrées/sorties bidirectionnelles qui peuvent être adressées individuellement réparties en 4 ports : P0, P1, P2, P3.
- 128 octets de RAM interne à utilisation générale
- 21 registres spécialisés
- 1 port série en full duplex (une entrée RXD pour la réception et une sortie TXD pour l'émission)
- 5 sources d'interruptions avec 2 niveaux de priorité
- 2 Compteurs/Timers sur 16 bits T0 et T1 fonctionnant suivant 4 modes
- 1 oscillateur interne nécessitant un quartz externe : la fréquence d'oscillation maximale admise est de 12 MHz
- Espace adressable de 64 Koctets de mémoire de données
- Espace adressable de 64 Koctets de mémoire de programme

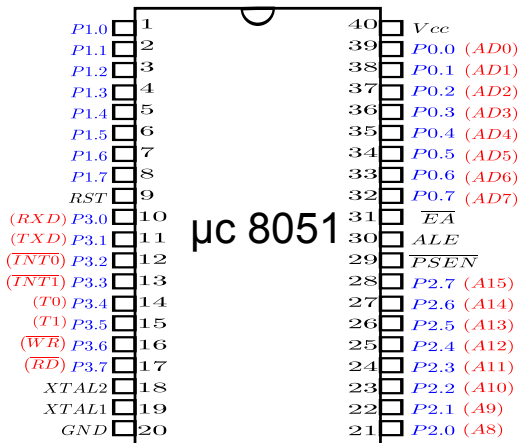
Architecture simplifiée du 8051



Architecture détaillée du 8051



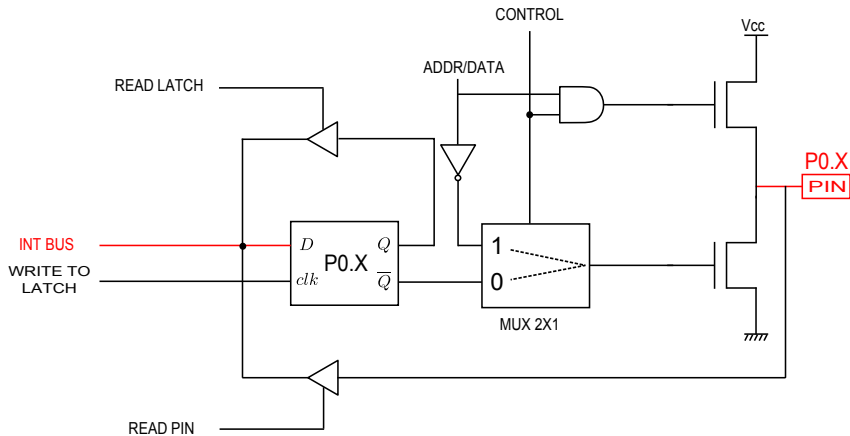
Le circuit 8051



Brochage du 8051, les ports E/S : Port P0

- Le Port P0 est un port bidirectionnel sur 8 pins (ou pattes) (8 bits) à sorties drain ouverts (besoin de résistances de pull-up externes)
- Il a deux utilité :
 - 1 Utilité générale : les pins configurées soit en entrées soit en sorties .
 - 2 Utilité secondaire : multiplexage entre bus de données et bus d'adresses :
 - Soit il transporte les 8 bits du bus de données (D7 à D0)
 - Soit il transporte l'octet bas (les 8 bits inférieurs) du bus d'adresses (A7 à A0) permettant d'accéder à une mémoire externe de type RAM de données ou ROM de programme.

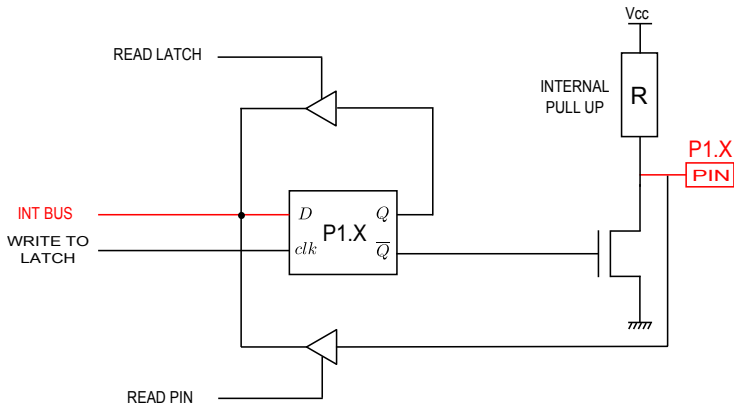
Port 0



Brochage du 8051, les ports E/S : Port P1

- Le Port P1 est un port bidirectionnel sur 8 pins (ou pattes) (8 bits) avec résistances de pull-up internes.
- Il a une seule utilité : **Utilité générale** : les pins configurées soit en entrées soit en sorties .
- **Remarque** : pour le 8052 il possède les fonctions secondaires :
 - P1.0 utilisée comme horloge externe pour le Timer 2,
 - P1.1 utilisée comme entrée de control du Timer 2,

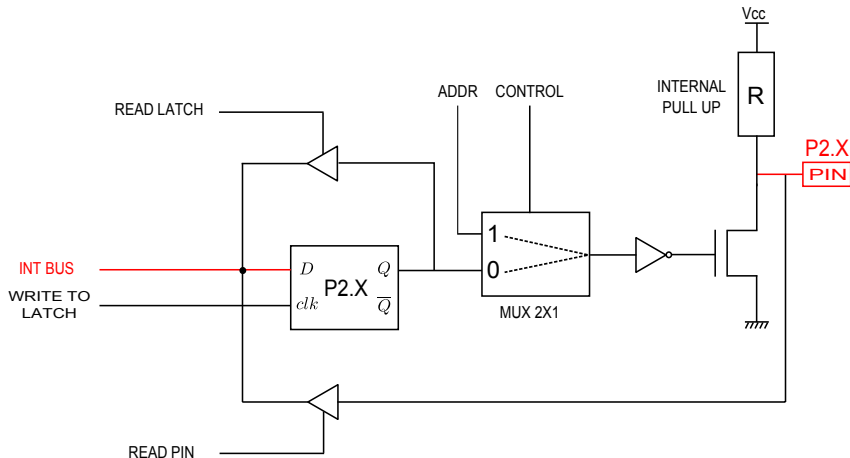
Port 1



Brochage du 8051, les ports E/S : Port P2

- Le Port P2 est un port bidirectionnel sur 8 pins (ou pattes) (8 bits) avec des résistances de pull-up internes
- Il a deux utilité :
 - 1 Utilité générale : les pins configurées soit en entrées soit en sorties .
 - 2 Utilité secondaire : il transporte l'octet haut (les 8 bits supérieurs) du bus d'adresses (A15 à A8)

Port 2



Brochage du 8051, les ports E/S : Port P3

- Le Port P3 est un port bidirectionnel sur 8 pins (ou pattes) (8 bits) avec des résistances de pull-up internes
- Il a deux utilités :
 - 1 Utilité générale : les pins configurées soit en entrées soit en sorties .
 - 2 Utilités secondaires :
 - P3.0 = RxD : Entrée de l'interface série
 - P3.1 = TxD : Sortie de l'interface série
 - P3.2 = /INT0 : entrée d'interruption 0
 - P3.3 = /INT1 : entrée d'interruption 1
 - P3.4 = T0 : entrée horloge du timer 0 (C/T0=1, B6 du TMOD)
 - P3.5 = T1 : entrée horloge du timer 1 (C/T0=1, B6 du TMOD)
 - P3.6 = /WR : sortie écriture de la mémoire externe
 - P3.7 = /RD : sortie lecture de la mémoire externe

Port 3

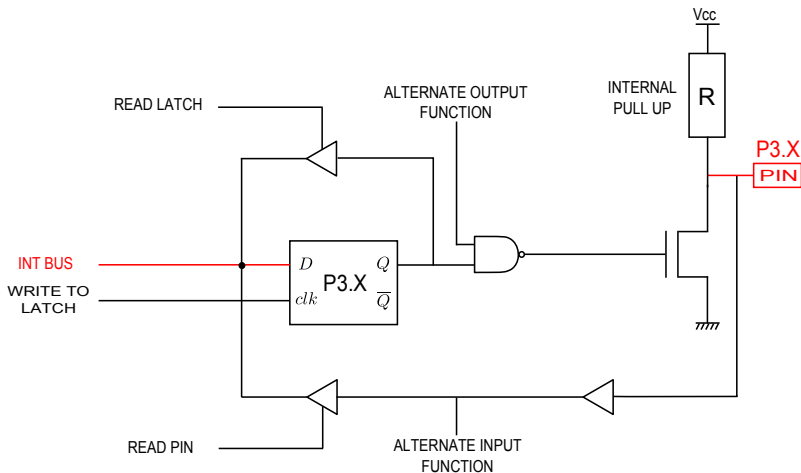
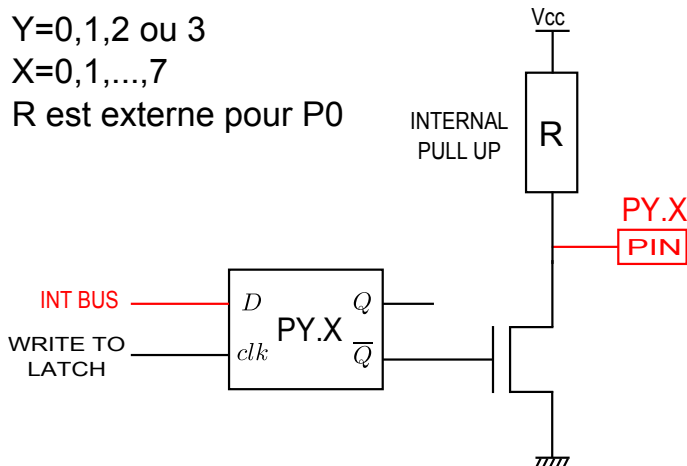


Schéma simplifié

$Y=0,1,2 \text{ ou } 3$

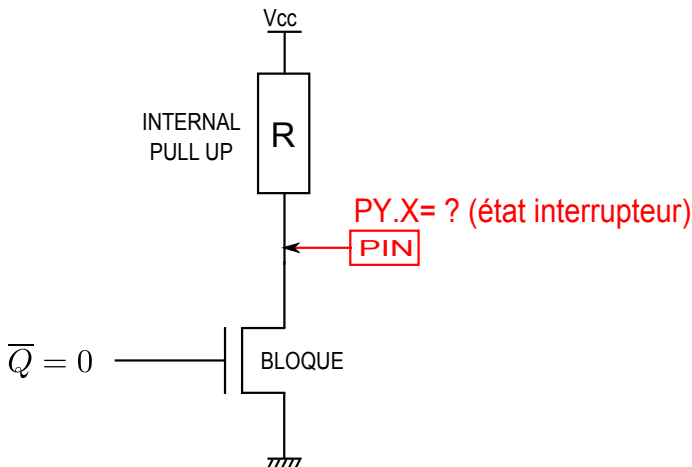
$X=0,1,\dots,7$

R est externe pour P0



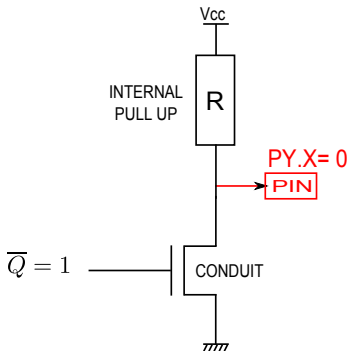
Configuration en entrée

$Q=1$, PY.X ---- Entrée

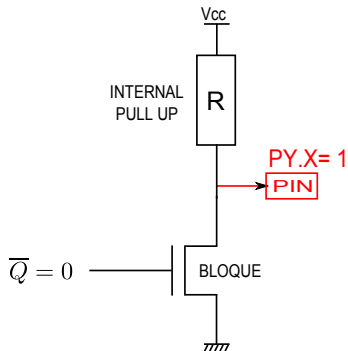


Configuration en sortie

$Q=0$, PY.X ---- Sortie



$Q=1$, PY.X ---- Sortie



Brochage du 8051, les autre E/S

- Entrée **/EA** : (**External Access**) si **/EA=0** les instructions sont recherchées dans la **mémoire programme externe**.
- Entrée **RST** : (**RESET**) **Entrée d'initialisation** . Un état haut pendant deux cycles machines sur cette broche entraîne une initialisation du microcontrôleur (exp : **PC=0**).
- Sortie **/PSEN** : (**Programm Store ENable**) passe à 0 lorsque le micro va rechercher une instruction en **mémoire programme externe**.
- Sortie **ALE** : (**Adress Latch Enable**) prévue pour commander le port P0.
 - **ALE = 1**, P0 transporte l'octet bas du **bus d'adresses** (A7 à A0)
 - **ALE = 0**, P0 transporte l'octet du **bus de données** (D7 à D0)
- Entrées XTAL1 et XTAL2 : Placer le quartz entre ces deux broches.

Organisation de la mémoire

- Les microcontrôleurs de la famille 8051 manipulent plusieurs types de mémoire

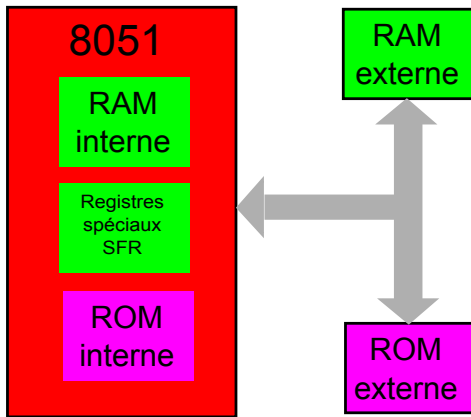
1 La mémoire interne (on chip memory) :

- une mémoire de données de type RAM et de registres spéciaux (SFR : Special Function Registers)
- une mémoire programme qui est en général une ROM ou de préférence une EEPROM : **Electrically Erasable Programmable ROM**)

2 La mémoire externe (off chip memory) :

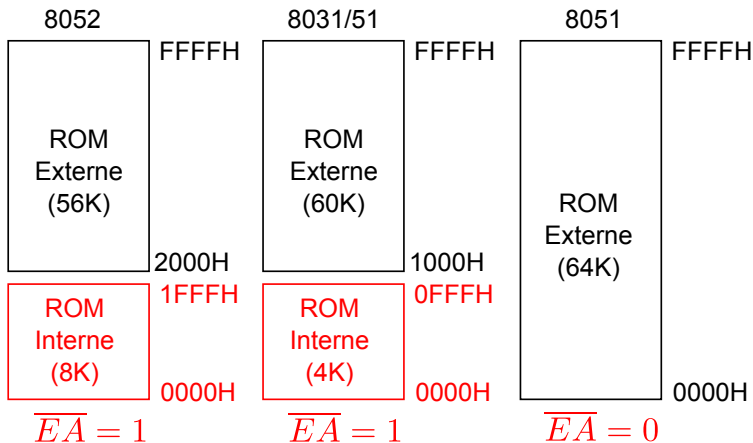
- Une (ou des) mémoire de données de type RAM.
- Une (ou des) mémoire programme de type ROM (en général de type EEPROM).

Organisation de la mémoire



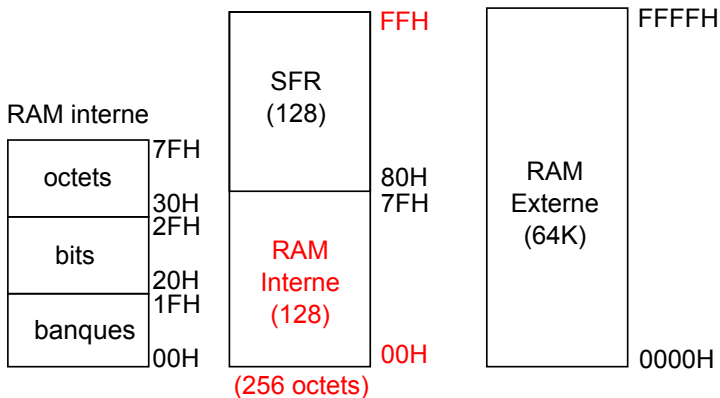
Organisation de la mémoire

ESPACE PROGRAMME



Organisation de la mémoire

ESPACE DONNEES



RAM interne : 128 octets : Adresses de 00H à 7FH

Registre PSW

										RS1		RS0		RESET
00	R0	R1	R2	R3	R4	R5	R6	R7	07	Bank 0	0	0		
08	R0	R1	R2	R3	R4	R5	R6	R7	0F	Bank 1	0	1		
10	R0	R1	R2	R3	R4	R5	R6	R7	17	Bank 2	1	0		
18	R0	R1	R2	R3	R4	R5	R6	R7	1F	Bank 3	1	1		
20	Zone de 16 octets									27				
28	adressable bits par bits									2F				
30	Zone de 80 octets pour les donnes utilisateur sans fonctions spciales particulieres									37				
38										3F				
40										47				
48										4F				
50										57				
58										5F				
60										67				
68										6F				
70										77				
78										7F				

Organisation de la mémoire RAM interne

- RAM interne : mémoire de données (128 octets) et Adresses de 00H à 7FH
- Organisée en 3 zones
- **Zone1 (32 octets, 00H - 1FH) : Les banks de registres**
 - **32 premier octets** répartis en **8 registres** R_0 à R_7 dans un bank (une banque) i ($i=0$ à 3)
 - **les 8 registres** R_0 à R_7 se sont des registres de travail appelés aussi **registres universels**.
 - Pour choisir (**activer**) un bank, il faut **positionner** les deux bits 4 et 3 (mise à 1) (**RS1, RS0**) du registre d'état PSW (RS1=PSW.4 et RS0=PSW.3).
 - L'adressage direct par octet est valable

Exemple : sélection de Bank

- `MOV R5,#34H` ; R5=34H Adresse de R5=05H ou
`MOV 05H,#34H` ; avec bank 0 est active (Adressage direct)
- `MOV PSW,#00001000B` ; sélection bank1
- `MOV R5,#0A4H` ; R5=A4H Adresse de R5=0DH ou
`MOV 0DH,#0A4H` ; avec bank 1 est active
- `MOV PSW,#00011000B` ; sélection bank3
- `MOV R5,#11H` ; R5=11H Adresse de R5=1DH ou
`MOV 1DH,#11H` ; avec bank 3 est active
- `CLR PSW.4` ; RS1=0 sélection bank0
- `CLR PSW.3` ; et RS0=0
- `MOV R5,#0AAH` ou R5=AAH
`MOV 05H,#0AAH` ; avec bank 0 est active

Organisation de la mémoire RAM interne

- **Zone 2 (16 octets, 20H - 2FH) zone adressable par bits**
 - Les 16 octets suivants constituent une zone adressable bit par bit.
 - L'adressage direct par octet reste valable
 - La zone contient 128 bits adressables de 00H à 7FH (0 à 127).
 - Exemple : positionner à 1 le LSB de la position mémoire 22H, on peut écrire :
 - **SETB 10H** ou **ORL 22H,#01H**;
- **Zone 3 (80 octets, 30H - 7FH) : zone d'utilité générale**
 - **Zone de 80 octets** pour les données utilisateur sans fonctions spéciales particulières
 - L'adressage direct des données est **seulement** par octet
 - Exemple : **MOV 30H,#55H**; [30H]=55H

Organisation de la mémoire RAM interne

Adr	b7	b6	b5	b4	b3	b2	b1	b0
20h	07	06	05	04	03	02	01	00
21h	0F	0E	0D	0C	0B	0A	09	08
22h	17	16	15	14	13	12	11	10
23h	1F	1E	1D	1C	1B	1A	19	18
24h	27	26	25	24	23	22	21	20
25h	2F	2E	2D	2C	2B	2A	29	28
26h	37	36	35	34	33	32	31	30
27h	3F	3E	3D	3C	3B	3A	39	38
28h	47	46	45	44	43	42	41	40
29h	4F	4E	4D	4C	4B	4A	49	48
2Ah	57	56	55	54	53	52	51	50
2Bh	5F	5E	5D	5C	5B	5A	59	58
2Ch	67	66	65	64	63	62	61	60
2Dh	6F	6E	6D	6C	6B	6A	69	68
2Eh	77	76	75	74	73	72	71	70
2Fh	7F	7E	7D	7C	7B	7A	79	78

Pile

- Pile une zone mémoire de la RAM interne où le processeur stocke des informations temporaires (exp : appel des sous-programmes).
- A la mise sous tension (RESET), le processeur place **le début de la pile à l'adresse 07H**
- Pointeur de la Pile de taille 8 bits (Stack Pointer) **SP=07H**
- Ce qui signifie que l'écriture dans **la pile commencera à l'adresse 08H.**
- Le pointeur SP peut prendre des valeurs entre **00H** et **7FH** (**RAM interne**)
- Dans le cas où l'on désire utiliser les banks de registres, il est préférable de placer la pile dans un autre endroit en changeant la valeur de SP **à partir de 20H.**
- Exemple : Pile placée à l'adresse 60H : **MOV SP,#60H**

Registres spéciaux SFR (21 registres)

- Le 8051 possède **21 registres spéciaux** (SFR, Special Function Registers)
- Ils sont nécessaires au fonctionnement et à la **configuration** du microcontrôleur
- On y trouve aussi des registres pour accéder aux ports d'E/S et aux timers.
- Les registres sont accessibles comme des positions mémoire sauf que leurs adresses se situent **dans l'espace 80H – FFH**.
- **Certains SFR sont adressables bit par bit** marqués par (X).

Registres spéciaux SFR

80	P0 X	SP	DPL	DPH				PCON	87
88	TCON X	TMOD	TL0	TL1	TH0	TH1			8F
90	P1 X								97
98	SCON X	SBUF							9F
A0	P2 X								A7
A8	IE X								AF
B0	P3 X								B7
B8	IP X								BF
C0									C7
C8	T2CON X			RCAP2L	RCAP2H	TL2	TH2		CF
D0	PSW X								D7
D8									DF
E0	ACC X								E7
E8									EF
F0	B X								F7
F8									FF

Registres spéciaux SFR

Symbole	Fonction	Adr.	Adresse au niveau du bit								Etat initial
X P0	Port P0	80h	87	86	85	84	83	82	81	80	11111111
			AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	
SP	Pointeur de pile	81h									00000111
DPL	poids faible de DPTR	82h									00000000
DPH	Poids fort de DPTR	83h									00000000
PCON	Mode de consommation	87h	-----	--	--	--	----	----	---	----	0xxxxxxx
			SMOD	--	--	--	GF1	GF0	PD	IDL	
X TCON	Contrôle de T0 et T1	88h	8F	8E	8D	8C	8B	8A	89	88	00000000
			TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
TMOD	Modes pour T0 et T1	89h	-----	----	----	----	-----	----	----	----	00000000
			GATE	C/T	M1	M0	GATE	C/T	M1	M0	
TL0	poids faible du T0	8Ah									00000000
TL1	poids faible du T1	8Bh									00000000
TH0	Poids fort du Timer 0	8Ch									00000000
TH1	Poids fort du Timer 1	8Dh									00000000
X P1	Port P1	90h	97	96	95	94	93	92	91	90	11111111
			---	---	---	---	---	---	T2EX*	T2*	
X SCON	Contrôle du port série	98h	9F	9E	9D	9C	9B	9A	99	98	00000000
			SM0	SM1	SM2	REN	TB8	RB8	TI	RI	
SBUF	Données du port série	99h									00000000
X P2	Port P2	A0h	A7	A6	A5	A4	A3	A2	A1	A0	11111111
			A15	A14	A13	A12	A11	A10	A9	A8	

Registres spéciaux SFR

X IE	Validation des int.	A8h	AF	AE	AD	AC	AB	AA	A9	A8	0x000000
			EA	---	ET2	ES	ET1	EX1	ET0	EX0	
X P3	Port P3	B0h	B7	B6	B5	B4	B3	B2	B1	B0	11111111
			RD	WR	T1	T0	INT1	INT0	TxD	RxD	
X IP	priorité des interruptions	B8h	BF	BE	BD	BC	BB	BA	B9	B8	xx000000
			---	---	PT2	PS	PT1	PX1	PT0	PX0	
XT2CON*	Contrôle de T2	C8h	CF	CE	CD	CC	CB	CA	C9	C8	00000000
			TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	
RCAP2L*	Capture/rech du T2(bas)	CBh									00000000
RCAP2H*	Capture/rech du T2 (haut)	CCh									00000000
TL2*	poids faible du Timer 2	CDh									00000000
TH2*	Poids fort du Timer 2	CEh									00000000
X PSW	registre d'état et sélection de <i>bank</i>	D0h	D7	D6	D5	D4	D3	D2	D1	D0	00000000
			CY	AC	F0	RS1	RS0	OV	---	P	
X ACC	Accumulateur A	E0h	E7	E6	E5	E4	E3	E2	E1	E0	00000000
X B	Usage général Obligatoire pour mul. et div.	F0h	F7	F6	F5	F4	F3	F2	F1	F0	00000000

Registres de travail (10 registres)

■ 10 Registres de travail (usage général) :

■ A : Accumulateur

- Il est référencé par ACC sur le tableau
- Dans les instructions on le désigne par A

■ B : Accumulateur auxiliaire

- Il est utilisé tout particulièrement pour l'exécution des multiplications et divisions.
- Mais il peut être considéré aussi comme un registre quelconque.

■ R0 à R7 : Registres à usage général (Zone1 (32 octets, de 00H à 1FH) : Les banks de registres)

Registres A et B

Registre ACC (E0H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	E7	E6	E5	E4	E3	E2	E1	E0
Signal	-	-	-	-	-	-	-	-

Registre B (F0H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	F7	F6	F5	F4	F3	F2	F1	F0
Signal	-	-	-	-	-	-	-	-

└ Registres spéciaux SFR (21 registres)

└ Ports d'E/S : P0, P1, P2 et P3 (4 registres)

Ports d'E/S : P0, P1, P2 et P3 (4 registres)

Registre P0 (80H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	87	86	85	84	83	82	81	80
Signal	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0

Registre P1 (90H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	97	96	95	94	93	92	91	90
Signal	-	-	-	-	-	-	T2EX*	T2*

└ Registres spéciaux SFR (21 registres)

└ Ports d'E/S : P0, P1, P2 et P3 (4 registres)

Ports d'E/S : P0, P1, P2 et P3 (4 registres)

Registre P2 (A0H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	D0
Adresse bit en Héxa	A7	A6	A5	A4	A3	A2	A1	A0
Signal	A15	A14	A13	A12	A11	A10	A9	A8

Registre P3 (B0H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héxa	B7	B6	B5	B4	B3	B2	B1	B0
Signal	\overline{RD}	\overline{WR}	T1	T0	$\overline{INT1}$	$\overline{INT0}$	TxD	RxD

Port série (2 registres)

- Port série (2 registres) :
 - **SCON (98H) : Serial Control**, Configuration du port série
 - **SBUF (99H) : Serial Buffer**, Lecture/Ecriture dans le port série (non adressable par bit)

Registre SCON (98H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	9F	9E	9D	9C	9B	9A	99	98
Signal	SM0	SM1	SM2	REN	TB8	RB8	TI	RI

Timers (6 registres pour 8051)

- Timers (6 registres pour 8051) :
 - TCON (88H) : Configuration des Timers 0 et 1 (contient aussi certains bits relatifs à l'utilisation des interruptions externes)
 - T2CON (C8H) (8052) : Configuration du Timer 2
 - TMOD (89H) : Configuration des modes de fonctionnement des Timers
 - TH0 (8CH) : Octet haut de TIMER0
 - TL0 (8AH) : Octet bas de TIMER0
 - TH1 (8DH) : Octet haut de TIMER1
 - TL1 (8BH) : Octet bas de TIMER1
 - TH2 (CEH) (8052) : Octet haut de TIMER2
 - TL2 (CDH) (8052) : Octet bas de TIMER2
 - RCAP2H (CCH) et RCAP2L (CBH) (8052) : Partie haute et basse du registre de capture qui permet sous certaine condition de faire une recopie du timer 2.

Timers (6 registres pour 8051)

- **TCON : Timer Control (88H)** pour les timers 0 et 1

Registre TCON (88H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	8F	8E	8D	8C	8B	8A	89	88
Signal	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

└ Registres spéciaux SFR (21 registres)

└ Timers (6 registres pour 8051)

Timers (6 registres pour 8051)

- **TMOD : Timer mode (89H)** : mode de fonctionnement des timers T0 et T1 (non adressable par bit)

Registre TMOD (89H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	-	-	-	-	-	-	-	-
Signal	GATE	C/T	M1	M0	GATE	C/T	M1	M0

- **TL0, TH0 (8AH, 8CH)** Partie basse et haute du registre double qui permet d'accéder au Timer T0
- **TL1, TH1 (8BH, 8DH)** Partie basse et haute du registre double qui permet d'accéder au Timer T1

Interruptions (2 registres)

- Interruptions (2 registres) : IE et IP
- **IE : Interrupt Enable (A8h), Validation d'interruption**
- Ce registre permet la **validation ou l'interdiction des interruptions.**
- **Les premiers 6 bits** permettent de **valider** les interruptions **individuellement**
- **Le 8ème bit** permet une **validation globale** de toutes les interruptions.

Registre IE (A8H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	AF	AE	AD	AC	AB	AA	A9	A8
Signal	EA	-	ET2	ES	ET1	EX1	ET0	EX0

Interruptions (2 registres)

- **IP : Interrupt Priority (B8h), Priorité des interruptions**
- Ce registre permet de définir la **priorité relative pour chaque source d'interruption**.
- Une interruption peut avoir **deux niveaux** de priorité, **basse (0) et Haute (1)**.
- Une interruption ne peut être interrompue que par une interruption **de priorité supérieure**.

Registre IP (B8H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	BF	BE	BD	BC	BB	BA	B9	B8
Signal	-	-	PT2	PS	PT1	PX1	PT0	PX0

Pointeurs d'adressage et Configuration générale

- **Pointeurs d'adressage** (3 registres) :
 - **DPH (83H)** : Octet haut du registre **DPTR** (adressage mémoire externe)
 - **DPL (82H)** : Octet bas du registre **DPTR** (adressage mémoire externe)
 - **SP (81H)** : **Stack Pointer**, Pointeur de pile : Lors d'un reset le pointeur est initialisé à **07H**, et par conséquent la pile débute à l'adresse 08H. L'utilisateur peut changer la valeur de SP pour placer la pile dans une autre zone de la RAM interne,
- **Configuration générale** (2 registres) :
 - **PCON** : **Power Control (87H)**, Contrôle de consommation
 - **PSW** : **Program Status Word (D0h)**, Registre d'état, sélection de bank

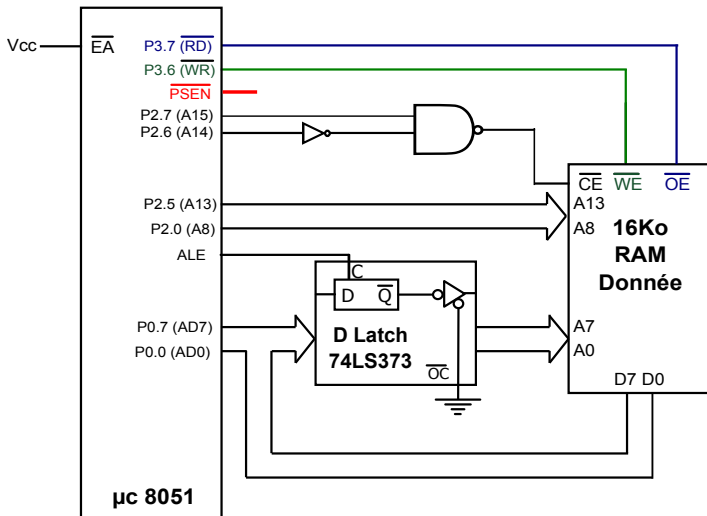
Pointeurs d'adressage et Configuration générale

- **PSW** est un registre d'état qui contient les drapeaux positionnés après les instruction ainsi que les bits de sélection de banks

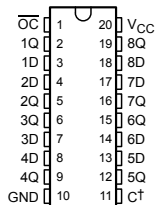
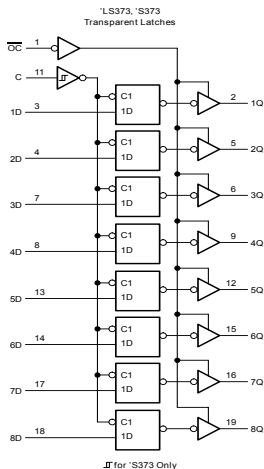
Registre PSW (D0H)								
Indice du bit	B7	B6	B5	B4	B3	B2	B1	B0
Adresse bit en Héra	D7	D6	D5	D4	D3	D2	D1	D0
Signal	CY	AC	FO	RS1	RS0	OV	-	P

- **P** : **parité de l'accumulateur** = 1 si le nombre de 1 dans l'accu est impair (odd)
- **OV** : **Overflow**
- **RS0, RS1** : pour **sélectionner un bank** de registres
- **FO** : **drapeau à usage général**
- **AC** : **Carry auxiliaire** pour les calculs en BCD
- **CY** : **Carry**

Interfaçage avec des mémoires externes (exemple 1)



Circuit D-Latches : 74LS373 (Extrait de son Data Sheet)



† C for 'LS373 and 'S373; CLK for 'LS374 and 'S374

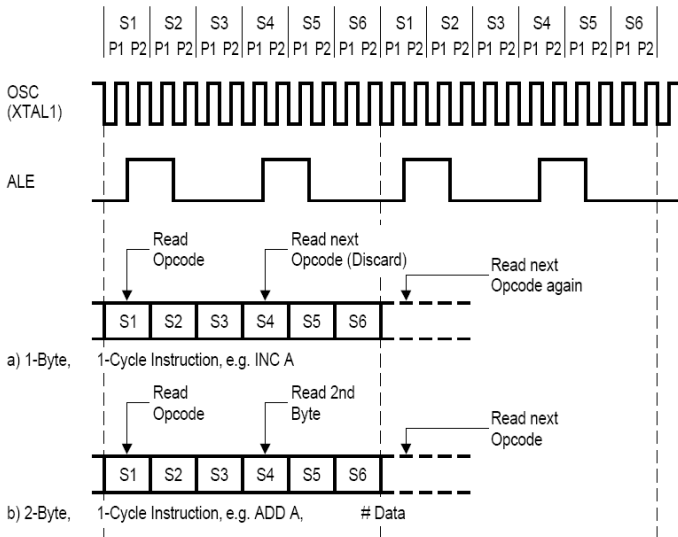
Function Table

'LS373, 'S373
(each latch)

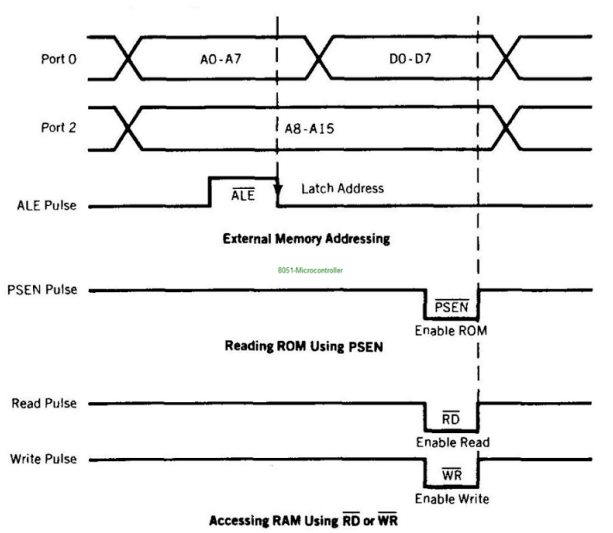
INPUTS			OUTPUT Q
OC	C	D	
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

74LS373 D Latch

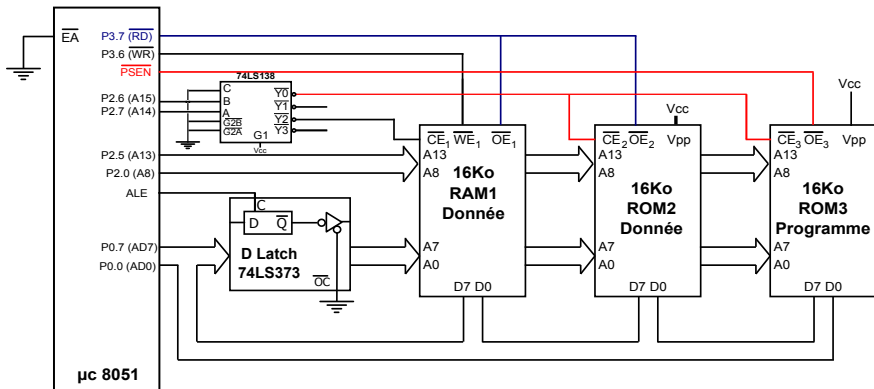
Chronogrammes du Clock et ALE



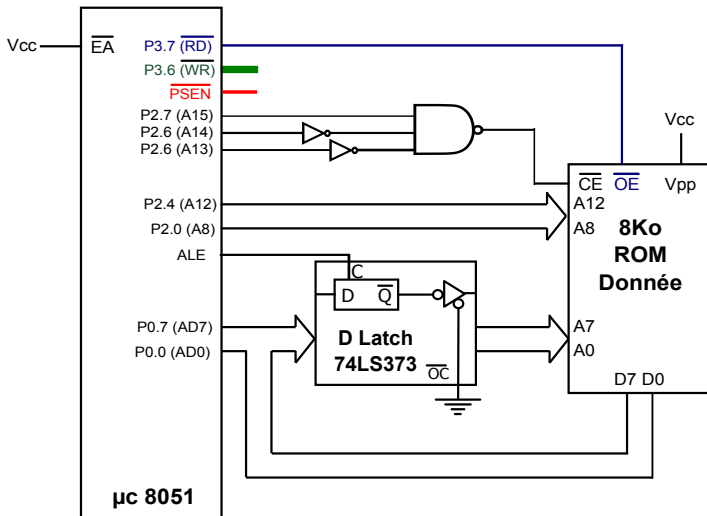
Chronogrammes de lecture/écriture des mémoires externes



Interfaçage avec des mémoires externes (exemple 2)



Interfaçage avec des mémoires externes (exemple 3)



Interfaçage avec des mémoires externes (exemple 4)

