

复旦大学计算机科学技术学院

2016-2017 第一学期《数字逻辑与部件设计》期末练习卷答案

共 9 页

课程代码: COMP130002.02 考试形式: ☐ 闭卷 ☒ 开卷 2016 年 12 月
(本试卷答卷时间为 120 分钟, 答案必须写在试卷上, 做在草稿纸上无效)

专业_____学号_____姓名_____成绩_____

题号	一	二	三	四	五	六	七	八	九	十	总分
得分											

一、填空题 (15 分)

1. 将十进制数 $(43.375)_{10}$ 用二进制数表示为 $(101011.011)_2$, 用八进制数表示为 $(53.3)_8$ 。
2. 带符号位二进制数 $(-1101)_2$ 的原码为 11101 , 反码为 10010 , 补码为 10011 。
3. 格雷码的特点为 相邻的两个代码之间只有一位发生变化, $(49)_{10}$ 用 8421 BCD 码表示为 $(01001001)_{8421BCD}$ 。
4. $2K \times 4$ 位 RAM 字线为 2048 根, 位线为 4 根, 地址数有 11 个, 要组成 $8K \times 8$ 位的存储器需要 $2K \times 4$ 位 RAM 芯片需要 8 片。
5. 有一个逻辑表达式 $Y = A + BC$, 其反演式为 $Y' = A'(B' + C')$, 对偶式为 $Y_d = A(B + C)$ 。

(装订线内不要答题)

二、单选题 (20 分)

- 下列逻辑等式, 不正确的是 B。
A. $A + AB = A$ B. $A + A'B = B$
C. $AB + AB' = A$ D. $A(A + B) = A$
- 把逻辑函数式 $Y = AB'C + A' + B + C'$ 化成最简形式, 可得 D。
A. $Y = A' + B$ B. $Y = B + C'$
C. $Y = A' + C'$ D. $Y = 1$
- 下列函数式中, 是最小项之和形式的为: B。
A. $Y(A, B, C) = A + B'C$ B. $Y(A, B, C) = A'B'C' + AB'C + A'BC'$
C. $Y(A, B, C) = ABC + (A'BC')'$ D. $Y(A, B, C) = ACD + A'C'D' + ABD'$
- 在下列电路中, 属于时序逻辑电路的是 C。
A. 编码器 B. 译码器
C. 计数器 D. 数据选择器
- 对于输入输出均为低电平有效的 8 线-3 线优先编码器 74HC148, 已知 $I'_0 \sim I'_7$ 优先级别依次增大, 当它的输出端 $Y'_2 Y'_1 Y'_0 = 010$ 时, 它的输入端 $I'_0 I'_1 I'_2 I'_3 I'_4 I'_5 I'_6 I'_7$ 可能是: B。
A. 10011111 B. 10011**011**
C. 11011001 D. 11111001
- 为了把串行输入的数据转换为并行输出的数据, 可以使用 A。
A. 移位寄存器 B. 寄存器
C. 计数器 D. 存储器
- 随机存取存储器具有 A 功能。
A. 读/写 B. 无读/写 C. 只读 D. 只写

三、化简题 (5 分)

1. 应用卡诺图化简法，把下列逻辑函数化简为最简与或形式

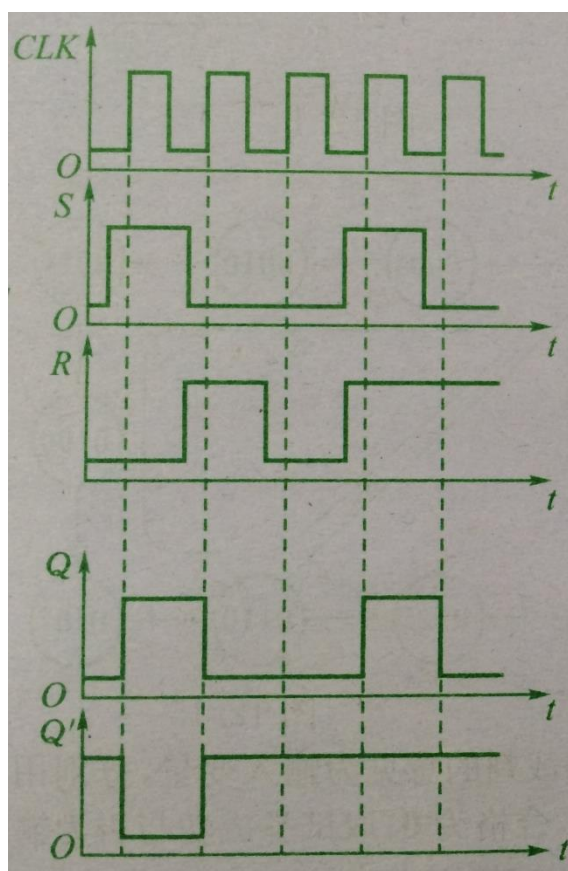
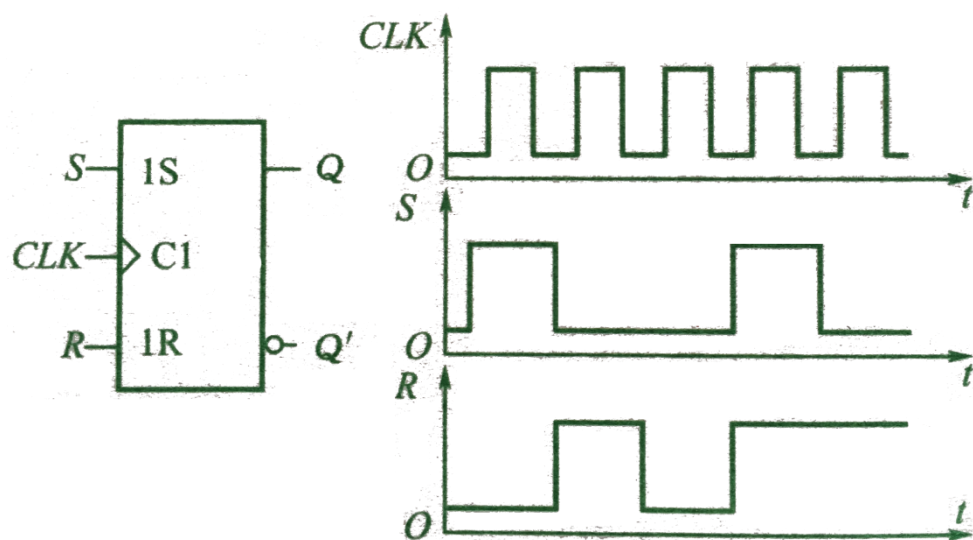
$$Y(A, B, C, D) = \sum m(3, 5, 6, 7, 10) + d(0, 1, 2, 4, 8)$$

解: $Y = A' + B'D'$

CD \ AB	00	01	11	10
00	x	x	1	x
01	1	1	x	x
11	0	0	0	0
10	x	0	0	1

四、 作图题（5 分）

在边沿 SR 触发器中，已知 S、R、CLK 端的电压波形如下图所示，试画出 Q、Q' 端对应的电压波形。设触发器的初始状态为 $Q = 0$ 。



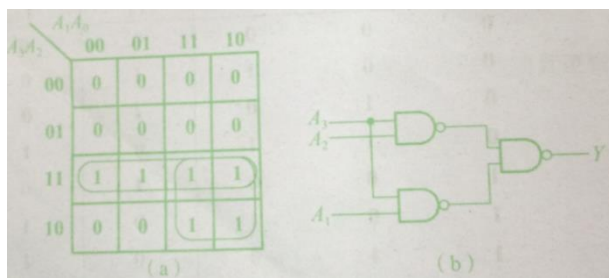
五、（15分）用与非门设计一个组合电路，其输入为4位二进制数，当该数大于或等于10(1010)时，输出为1，否则输出为0。

解：

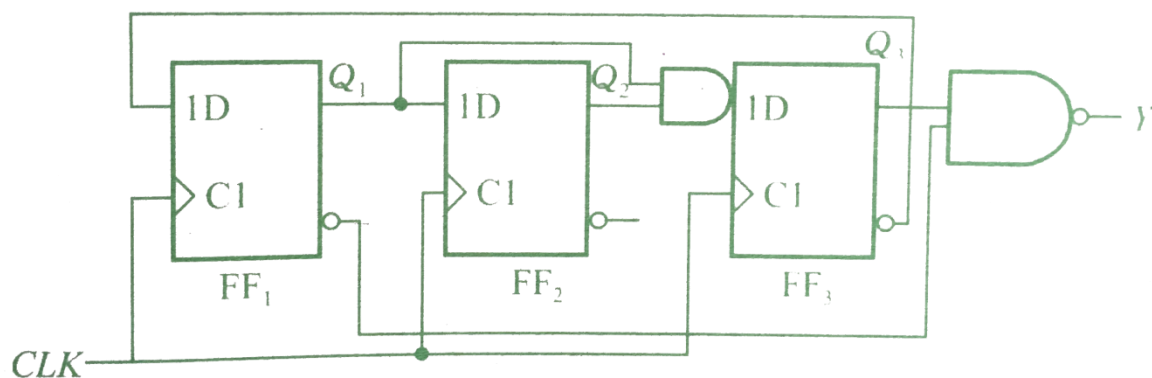
A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$$\text{得到 } Y = A_3A'_2A_1A'_0 + A_3A'_2A_1A_0 + A_3A_2A'_1A'_0 + A_3A_2A'_1A_0 + A_3A_2A_1A'_0 + A_3A_2A_1A_0$$

$$\text{用卡诺图化简后得： } Y = A_3A_2 + A_3A_1 = ((A_3A_2)'(A_3A_1))'$$



六、（15 分）分析下图所示时序电路的逻辑功能，写出电路的输入方程、状态方程和输出方程，画出电路的状态转移图，并说明电路能否自启动。

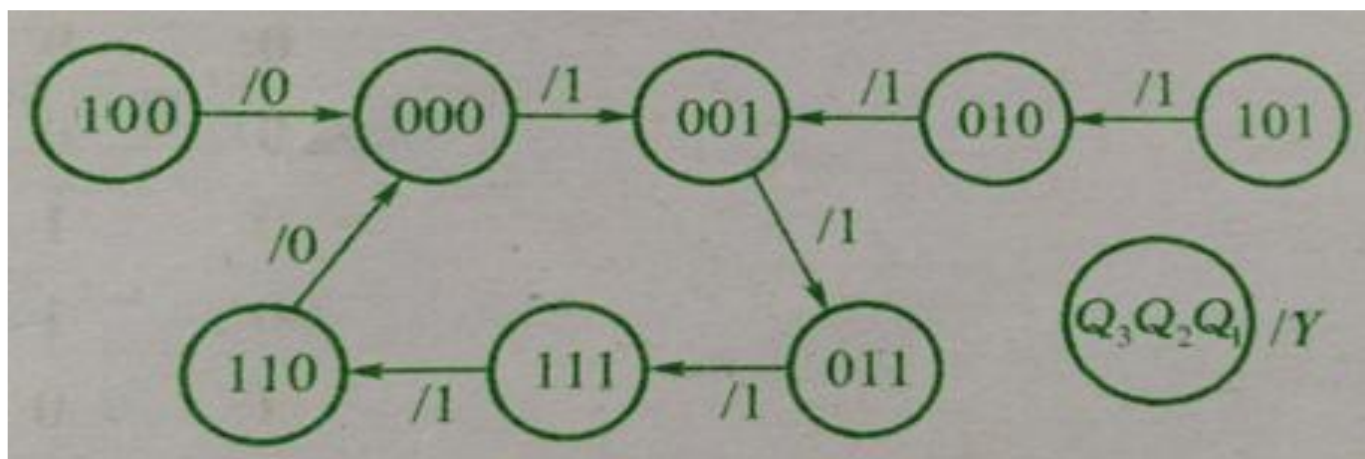


解：

$$\text{输入方程: } \begin{cases} D_1 = Q_3' \\ D_2 = Q_1 \\ D_3 = Q_1 Q_2 \end{cases}$$

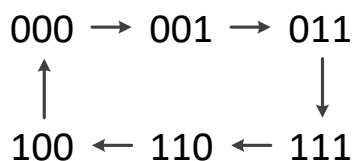
$$\text{状态方程: } \begin{cases} Q_1^* = D_1 = Q_3' \\ Q_2^* = D_2 = Q_1 \\ Q_3^* = D_3 = Q_1 Q_2 \end{cases}$$

$$\text{输出方程: } Y = (Q_1' Q_3)'$$



由状态转换图可知，该电路能够自启动。

七、（15分）试用下降沿触发的边沿 JK 触发器设计一个同步时序电路，其状态转换如下图所示，要求根据分析的方程画出电路逻辑图。



解：根据状态图，画出电路次态 $Q_2^*Q_1^*Q_0^*$ 的卡诺图

$Q_1 \backslash Q_2Q_3$		Q_2Q_3			
		00	01	11	10
Q_1	0	001	011	111	xxx
	1	000	xxx	110	100

将上面的卡诺图分解为 3 个卡诺图，3 个次态化简后得状态方程：

$$Q_2^* = Q_1, \quad Q_1^* = Q_0, \quad Q_0^* = Q_2'$$

根据 JK 触发器的特性方程 $Q^* = JQ' + K'Q$ ，变换次态函数形式

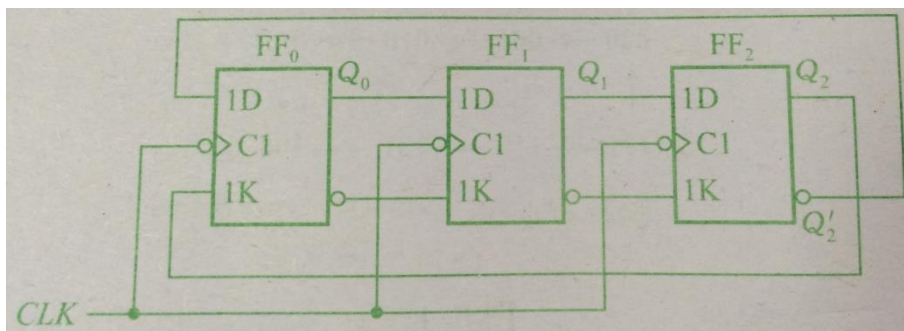
$$Q_2^* = Q_1(Q_2' + Q_2) = Q_1Q_2' + Q_1Q_2$$

$$Q_1^* = Q_0(Q_1' + Q_1) = Q_0Q_1' + Q_0Q_1$$

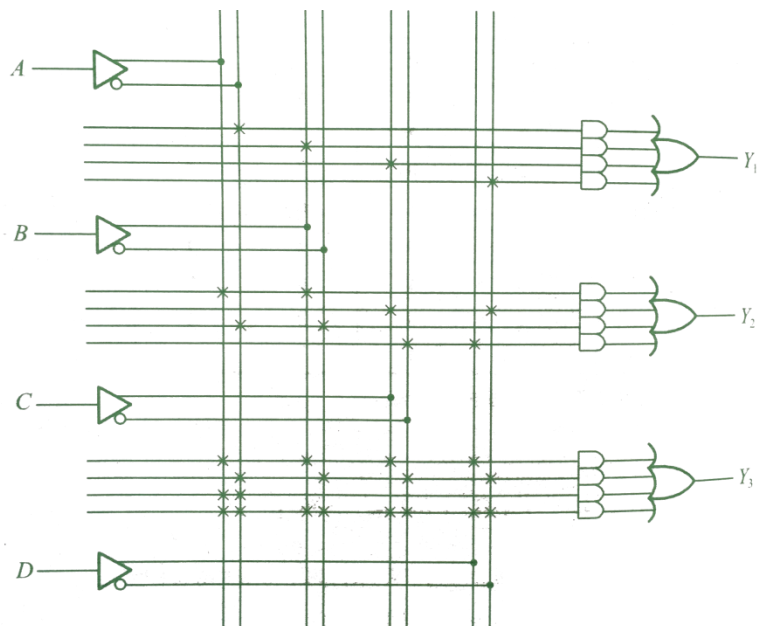
$$Q_0^* = Q_2'(Q_0' + Q_0) = Q_2'Q_0' + Q_2'Q_0$$

对比特性方程，可得驱动方程：

$$J_0 = Q_1, \quad K_0 = Q_1'; \quad J_1 = Q_0, \quad K_1 = Q_0'; \quad J_2 = Q_2', \quad K_2 = Q_2$$



八、（5分）试分析下图的与或逻辑阵列，写出 Y_1 、 Y_2 、 Y_3 与A、B、C、D之间的逻辑函数式。

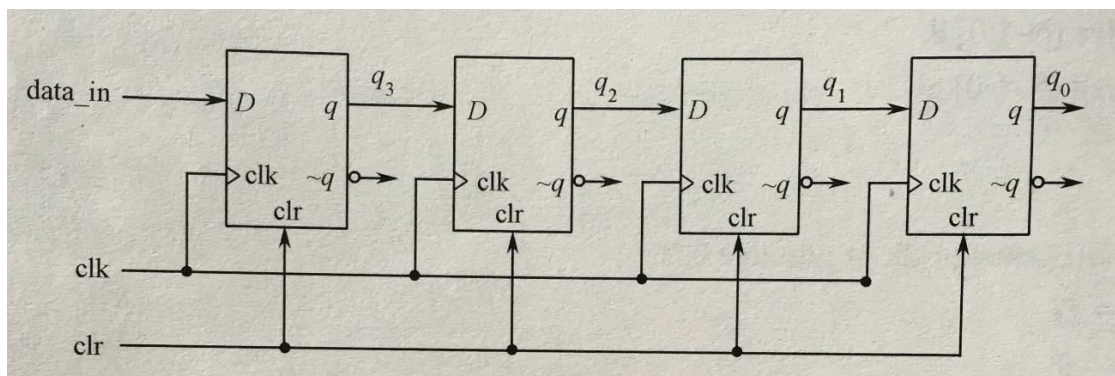


$$Y_1 = A' + B + C + D'$$

$$Y_2 = AB + A'B' + CD' + C'D$$

$$Y_3 = ABCD + A'B'C'D'$$

九、（5 分）编写下图 4 位移位寄存器的 Verilog 程序



```

module ShiftReg(
    input wire clk,
    input wire clr,
    input wire data_in,
    output reg [3:0] q );

    always @(posedge clk, posedge clr)
    begin
        if(clr == 1 )
            q <= 0
        else
            begin
                q[3] <= data_in;
                q[2:0] <= q[3:1];
            end
        end
    end
endmodule
    
```