

## 第 4 章存储系统 习题

### 附录 B

B.1 解:

(a)

$$\begin{aligned}\text{存储器平均访问时间} &= \text{命中率} \times \text{命中时间} + \text{缺失率} \times \text{缺失时间} \\ &= (1-5\%) \times 1 + 5\% \times 105 = 6.2 \text{ 个周期}\end{aligned}$$

(b) 命中率 =  $64\text{Kb}/256\text{Mb} \approx 1/4000 = 0.00025$

$$\text{存储器平均访问时间} = 0.00025 \times 1 + (1-0.00025) \times 105 = 104.974 \text{ 个周期}$$

(c) 当几乎所有的访问都不命中时, 有 cache (104.974 个周期) 比没有 cache (100 个周期) 的存储器平均访问时间长。因此, 如果没有局部性原理, cache 不仅没用, 而且还带来性能损失。

(d) 没有 cache 的存储器平均访问时间为  $T_{\text{off}}$ , 有 cache 的存储器平均访问时间为  $T_{\text{on}}$ , 缺失率为  $m$ ,

$$T_{\text{on}} = (1 - m) (T_{\text{off}} - G) + m (T_{\text{off}} + L)$$

Cache 产生副作用时,  $T_{\text{off}} \leq T_{\text{on}}$

$$\text{即 } T_{\text{off}} \leq (1 - m) (T_{\text{off}} - G) + m (T_{\text{off}} + L) = T_{\text{off}} - (1 - m) G + m L$$

$$m \geq G/(G+L)$$

B.5 解:

**二级存储系统(cache+主存)**

存储器平均访问时间=命中时间+缺失率×缺失代价

$T_A = T_1 + FT_M$  , 其中  $T_M = T_2 + T_B$  , 传送一个信息块所需的时间为  $T_B$ ,  $T_2$  为  $M_2$  的访问时间。

**三级存储系统 (二级 cache+主存):**

存储器平均访问时间=命中时间  $L_1$  + 缺失率  $L_1$  × 缺失代价  $L_1$

= 命中时间  $L_1$  + 缺失率  $L_1$  × (命中时间  $L_2$  + 缺失率  $L_2$  × 缺失代价  $L_2$ )

其中命中时间  $L_2 = T_2 + T_B$

本题中,  $L_1$  的命中时间=0,

$L_2$  的块大小是  $L_1$  块大小的两倍,  $L_1$  缺失时, 调  $L_2$  块的一半进入  $L_1$ 。

**(a) 指令访问**

从  $L_2$  传送 32 个字节到  $L_1$  需要的时间  $= (32 * 8 / 128) * (1 / 0.266) ns = 2 * 3.76 = 7.52 ns$

命中时间  $L_2 = 15 ns + 7.52 ns = 22.52 ns$

从主存传送 64 个字节到  $L_2$  需要的时间

$= (64 * 8 / 128) * (1 / 0.133) ns = 4 * 7.5 = 30 ns$

**缺失代价  $L_2 = (60 ns + 30 ns) + 50\% (60 ns + 30 ns) = 135 ns$**

指令访问的存储器平均访问时间  $= 0 + 2\% [22.52 + (1 - 80\%) * 135] = 0.99 ns$

$0.99 / (1 / 1.1) = 1.09$  CPU 时钟周期

**(b) 数据读取**

从  $L_2$  传送 16 个字节到  $L_1$  需要的时间  $= (16 * 8 / 128) * (1 / 0.266) ns = 1 * 3.76 = 3.76 ns$

命中时间  $L_2 = 15 ns + 3.76 ns = 18.76 ns$

**缺失代价  $L_2 = 135 ns$  ; 同 (a)**

**数据读取**的存储器平均访问时间  $= 0 + 5\% [18.76 + (1 - 80\%) * 135] = 2.288 ns$

$2.288 / (1 / 1.1) = 2.52$  CPU 时钟周期

(c) 数据写入

命中时间  $L_2=L_1$  一个块的数据写入  $L_2$  时间  $=15ns+3.76ns=18.76ns$

由于  $L_2$  采用写回法，如果  $L_2$  不命中，需要从主存中调入一块数据，再进行写入  $L_2$ ，

缺失代价  $L_2=135ns$  ； 同 (a)

数据写入的存储器平均访问时间  $=0+(1-95\%)*[18.76+(1-80%)*135]=2.29ns$

$2.29/(1/1.1)=2.52$  CPU 时钟周期

(d) 存储器访问包括指令访问和数据访问

$$CPI = 0.7 + 1.09 + 20\% \times 2.52 + 5\% \times 2.52 = 2.42$$