

## دانشکده مهندسی کامپیوتر

بسمه تعالی طراحی مدارهای منطقی نیمسال اول ۱۴۰۰ تمرین (۵) مهلت تحویل ۱۴۰۰/۰۹/۱۶



دانشگاه صنعتی امیرکبیر

## نكات مهم:

- هنگام تحویل تمرینات، حتماً نام، نام خانوادگی و شماره دانشجویی خود را قید کنید.
- دانشجویان می توانند در حل تمرینات به صورت دونفره یا چندنفره با هم همفکری و بحث نمایند ولی هر شخص می بایست در نهایت جواب و استدلال خودش را به صورت انفرادی بنویسد و در صورت شباهت جوابهای دو یا چند نفر، تمامی افراد نمره را از دست خواهند داد!
  - تحویل تمرینات فقط به صورت الکترونیکی خواهد بود.
  - در نسخه الکترونیکی، صورت یا شماره سوالها نیز همراه پاسخها در فایل نوشته شود.
- برای تحویل نسخه الکترونیکی، تمرینات را قبل از موعد تحویل در سامانه مودل با فرمت pdf آپلود نمایید.
  - پاسخها و روال حل مسائل را به صورت دقیق و شفاف بیان کنید.
    - از خط خوردگی و نگارش ناخوانا بپرهیزید.
- اگر فکر می کنید سوالی چندین تفسیر دارد، با درنظر گرفتن فرضهای منطقی و بیان شفاف آنها در برگه، اقدام به حل آن نمایید.
  - واحدهای اعداد فراموش نشود!
- دانشجویان عزیز، تمرینات مشخص شده در «بخش اول: سؤالات اختیاری» برای تمرین بیشتر شما در منزل طراحی شده است و نیازی به تحویل جواب آنها نیست.
- برای حل تمرینهای اختیاری به کتاب راث که در سامانه courses به آدرس الله الله به الفتیاری به کتاب راث که در صورت بروز ابهام و سؤال در حل این https://courses.aut.ac.ir قرار دارد مراجعه کنید و در صورت بروز ابهام و سؤال در حل این تمرین ها، در زمان کلاس حل تمرین، به تدریسیار خود مراجعه نمایید.
  - بخش اول: سوالات اختیاری مسائل شماره ۱۸-۱۱،۹-۱۱،۹-۱۹ از کتاب راث



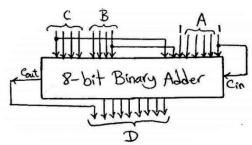
دانشکده مهندسی کامپیوتر

بسمه تعالی طراحی مدارهای منطقی نیمسال اول ۱۴۰۰ تمرین (۵) مهلت تحویل ۱۴۰۰/۰۹/۱۶



دانشگاه صنعتی امیرکبیر

رابطه خروجی D با ۳ ورودی در مدار زیر را بدست آورید.

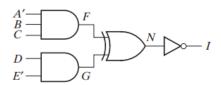


■ بخش دوم: سوالات اصلي

۱. با استفاده از یک مالتی پلکسر ۴ به ۱ و حداقل تعداد گیتهای دیگر، تابع زیر را پیادهسازی کنید.

راهنمایی: سعی کنید ورودیها را هوشمندانه انتخاب کنید تا مجبور نشوید زمان زیادی را صرف امتحان کردن همه حالات ممکن کنید.

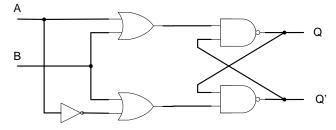
 $F(A,B,C,D) = \Sigma m(2,3,6,9,10,13,15) + \Sigma d(0,12,14)$  (Verilog) بصورت dataflow وریلاگ (Verilog) د مدار زیر را با زبان وریلاگ (Verilog) عملکرد مدار زیر را با زبان وریلاگ



۳. به کمک جمع کننده BCD که در اسلایدها بررسی شد، یک مدار جمع کننده-تفریق کننده طراحی کنید. (۲۰ نمره)

۴. الف) نشان دهید مدار زیر مانند یک لچ عمل می کند.

ب) معادله مشخصه آن را بدست آورید. (۳۰ نمره)





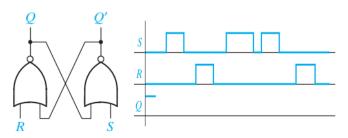
دانشکده مهندسی کامپیوتر

بسمه تعالی طراحی مدارهای منطقی نیمسال اول ۱۴۰۰ تمرین (۵) مهلت تحویل ۱۴۰۰/۰۹/۱۶

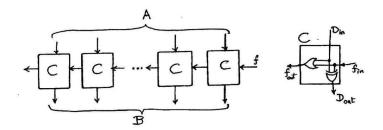


دانشگاه صنعتی امیرکبیر

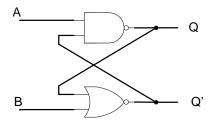
۵. دیاگرام زمانی لچ SR زیر را رسم کنید. فرض کنید Q در ابتدا برابر با یک است. (۲۰ نمره)



- بخش سوم: سوالات امتيازي
- ۶. عملکرد مدار زیر را شرح دهید. (۲۰ نمره)



- ۷. حداکثر با چهار عدد A و چهار عدد HA مداری طراحی کنید که یک عدد ۵-بیتی را در ورودی دریافت نموده و آن را در عدد ثابت ۳۷ ضرب کند. استفاده از هیچ عنصر دیگری غیر از چهار عدد FA و چهار عدد HA مجاز نیست. (۳۰ نمره)
  - ٨. جدول مشخصه مدار زير را بدست آوريد. (۲۰ نمره)



موفق باشيد