



# LPC1100 系列微控制器

---

## 第三章 系统配置

用户手册 Rev1.00

### 广州周立功单片机发展有限公司

地址：广州市天河北路 689 号光大银行大厦 12 楼 F4

网址：<http://www.zlgmcu.com>

## 销售与服务网络（一）

### 广州周立功单片机发展有限公司

地址：广州市天河北路 689 号光大银行大厦 12 楼 F4

邮编：510630

电话：(020)38730916 38730917 38730972 38730976 38730977

传真：(020)38730925

网址：[www.zlgmcu.com](http://www.zlgmcu.com)



### 广州专卖店

地址：广州市天河区新赛格电子城 203-204 室

电话：(020)87578634 87569917

传真：(020)87578842

### 南京周立功

地址：南京市珠江路 280 号珠江大厦 1501 室

电话：(025) 68123901 68123902

传真：(025) 68123900

### 北京周立功

地址：北京市海淀区知春路 113 号银网中心 A 座  
1207-1208 室（中发电子市场斜对面）

电话：(010)62536178 62536179 82628073

传真：(010)82614433

### 重庆周立功

地址：重庆市石桥铺科园一路二号大西洋国际大厦  
（赛格电子市场）1611 室

电话：(023)68796438 68796439

传真：(023)68796439

### 杭州周立功

地址：杭州市天目山路 217 号江南电子大厦 502 室

电话：(0571)89719480 89719481 89719482

89719483 89719484 89719485

传真：(0571)89719494

### 成都周立功

地址：成都市一环路南二段 1 号数码科技大厦 403 室

电话：(028)85439836 85437446

传真：(028)85437896

### 深圳周立功

地址：深圳市深南中路 2070 号电子科技大厦 C 座 4 楼 D 室

电话：(0755)83781788（5 线）

传真：(0755)83793285

### 武汉周立功

地址：武汉市洪山区广埠屯珞瑜路 158 号 12128 室  
（华中电脑数码市场）

电话：(027)87168497 87168297 87168397

传真：(027)87163755

### 上海周立功

地址：上海市北京东路 668 号科技京城东座 7E 室

电话：(021)53083452 53083453 53083496

传真：(021)53083491

### 西安办事处

地址：西安市长安北路 54 号太平洋大厦 1201 室

电话：(029)87881296 83063000 87881295

传真：(029)87880865

## 销售与服务网络（二）

### 广州致远电子有限公司

地址：广州市天河区车陂路黄洲工业区3栋2楼

邮编：510660

传真：(020)38601859

网址：[www.embedtools.com](http://www.embedtools.com) （嵌入式系统事业部）

[www.embedcontrol.com](http://www.embedcontrol.com) （工控网络事业部）

[www.ecardsys.com](http://www.ecardsys.com) （楼宇自动化事业部）



#### 技术支持：

##### CAN-bus:

电话：(020)22644381 22644382 22644253

邮箱：[can.support@embedcontrol.com](mailto:can.support@embedcontrol.com)

##### MiniARM:

电话：(020)28872684 28267813

邮箱：[miniarm.support@embedtools.com](mailto:miniarm.support@embedtools.com)

#### 无线通讯：

电话：(020) 22644386

邮箱：[wireless@embedcontrol.com](mailto:wireless@embedcontrol.com)

#### 编程器：

电话：(020)22644371

邮箱：[programmer@embedtools.com](mailto:programmer@embedtools.com)

#### ARM 嵌入式系统：

电话：(020) 22644383 22644384

邮箱：[NXPARM@zlgmcu.com](mailto:NXPARM@zlgmcu.com)

#### 销售：

电话：(020)22644249 22644399 22644372 22644261 28872524

28872342 28872349 28872569 28872573 38601786

#### 维修：

电话：(020)22644245

#### iCAN 及数据采集：

电话：(020)28872344 22644373

邮箱：[ican@embedcontrol.com](mailto:ican@embedcontrol.com)

#### 以太网：

电话：(020)22644380 22644385

邮箱：[ethernet.support@embedcontrol.com](mailto:ethernet.support@embedcontrol.com)

#### 串行通讯：

电话：(020)28267800 22644385

邮箱：[serial@embedcontrol.com](mailto:serial@embedcontrol.com)

#### 分析仪器：

电话：(020)22644375

邮箱：[tools@embedtools.com](mailto:tools@embedtools.com)

#### 楼宇自动化：

电话：(020)22644376 22644389 28267806

邮箱：[mjs.support@ecardsys.com](mailto:mjs.support@ecardsys.com)

[mifare.support@zlgmcu.com](mailto:mifare.support@zlgmcu.com)

## 目 录

第 3 章 系统配置 .....	3
3.1 简介 .....	3
3.2 引脚描述 .....	3
3.3 时钟和电源控制 .....	3
3.4 寄存器描述 .....	4
3.4.1 系统存储器重映射寄存器 .....	6
3.4.2 外设复位控制寄存器 .....	6
3.4.3 系统 PLL 控制寄存器 .....	6
3.4.4 系统 PLL 状态寄存器 .....	7
3.4.5 系统振荡器控制检测器 .....	7
3.4.6 看门狗振荡器控制寄存器 .....	7
3.4.7 内部共振晶体控制寄存器 .....	8
3.4.8 系统复位状态寄存器 .....	9
3.4.9 系统 PLL 时钟源选择寄存器 .....	9
3.4.10 系统 PLL 时钟源更新使能寄存器 .....	9
3.4.11 主时钟源选择寄存器 .....	10
3.4.12 主时钟源更新使能寄存器 .....	10
3.4.13 系统 AHB 时钟分频寄存器 .....	10
3.4.14 系统 AHB 时钟控制寄存器 .....	11
3.4.15 SSP0 时钟分频寄存器 .....	12
3.4.16 UART 时钟分频寄存器 .....	13
3.4.17 SSP1 时钟分频寄存器 .....	13
3.4.18 SYSTICK 时钟分频寄存器 .....	13
3.4.19 WDT 时钟源选择寄存器 .....	13
3.4.20 WDT 时钟源更新使能寄存器 .....	14
3.4.21 WDT 时钟分频寄存器 .....	14
3.4.22 CLKOUT 时钟源选择寄存器 .....	14
3.4.23 CLKOUT 时钟源更新使能寄存器 .....	15
3.4.24 CLKOUT 时钟分频寄存器 .....	15
3.4.25 POR 捕获 PIO 状态寄存器 0 .....	15
3.4.26 POR 捕获 PIO 状态寄存器 1 .....	16
3.4.27 BOD 控制寄存器 .....	16
3.4.28 系统节拍定时器校准寄存器 .....	16
3.4.29 起始逻辑边沿控制寄存器 0 .....	17
3.4.30 起始逻辑信号使能寄存器 0 .....	17
3.4.31 起始逻辑复位寄存器 0 .....	17
3.4.32 起始逻辑状态寄存器 0 .....	18
3.4.33 深度睡眠模式配置寄存器 .....	18
3.4.34 唤醒配置寄存器 .....	19
3.4.35 掉电配置寄存器 .....	20
3.4.36 器件 ID 寄存器 .....	21
3.5 复位 .....	21

3.6	Brown-Out Detection .....	22
3.7	电源管理 .....	22
3.7.1	运行模式 .....	23
3.7.2	睡眠模式 .....	23
3.7.3	深度睡眠模式 .....	23
3.7.4	深度掉电模式 .....	24
3.8	深度睡眠模式 .....	24
3.8.1	进入深度睡眠模式 .....	24
3.8.2	关断 12MHz IRC 振荡器 .....	25
3.8.3	起始逻辑 .....	25
3.9	系统 PLL 的功能描述 .....	25
3.9.1	锁定检测器 .....	26
3.9.2	直接输出模式 .....	26
3.9.3	掉电控制 .....	26
3.9.4	操作模式 .....	26
3.9.5	分频率编程 .....	26
3.9.6	频率选择 .....	27
3.10	Flash 存储器的访问 .....	28

## 第3章 系统配置

### 3.1 简介

系统配置模块控制振荡器、电源管理单元和 LPC111x 系列 ARM 的时钟发生功能。该模块还包括为 AHB 访问设置优先级的寄存器，以及一个重映射 Flash、SRAM 和 ROM 存储器区域的寄存器。

### 3.2 引脚描述

系统控制模块的相关引脚如下表所示。

表 3.1 引脚汇总

引脚名	引脚方向	引脚描述
CLKOUT	O	时钟输出引脚
PIO0_0~PIO0_11	I	起始逻辑唤醒引脚端口 0
PIO1_0	I	起始逻辑唤醒引脚端口 1

### 3.3 时钟和电源控制

LPC111x 的时钟产生单元（CGU）如图 3.1 所示。

LPC111x 含有 3 个独立的振荡器：系统振荡器、内部 RC 振荡器（IRC）和看门狗振荡器。应特殊应用的要求，所有振荡器都可以具有多个功能。

复位之后，LPC111x 会根据内部 RC 振荡器的频率运行，直到频率被软件切换。这样，系统就无需根据外部晶体的频率运行，bootloader 代码的运行频率可知。

寄存器 SYSAHBCLKCTRL 控制着各种外设和存储器的系统时钟。UART、SSP0/1 和 SysTick 定时器都有单独的时钟分频器，可以从主时钟衍生出外设所需的时钟频率。

主时钟以及从 IRC、系统振荡器和看门狗振荡器输出的时钟均可以直接在 CLKOUT 引脚上观察到。

有关电源控制的详细描述请参见本章“电源管理”小节。

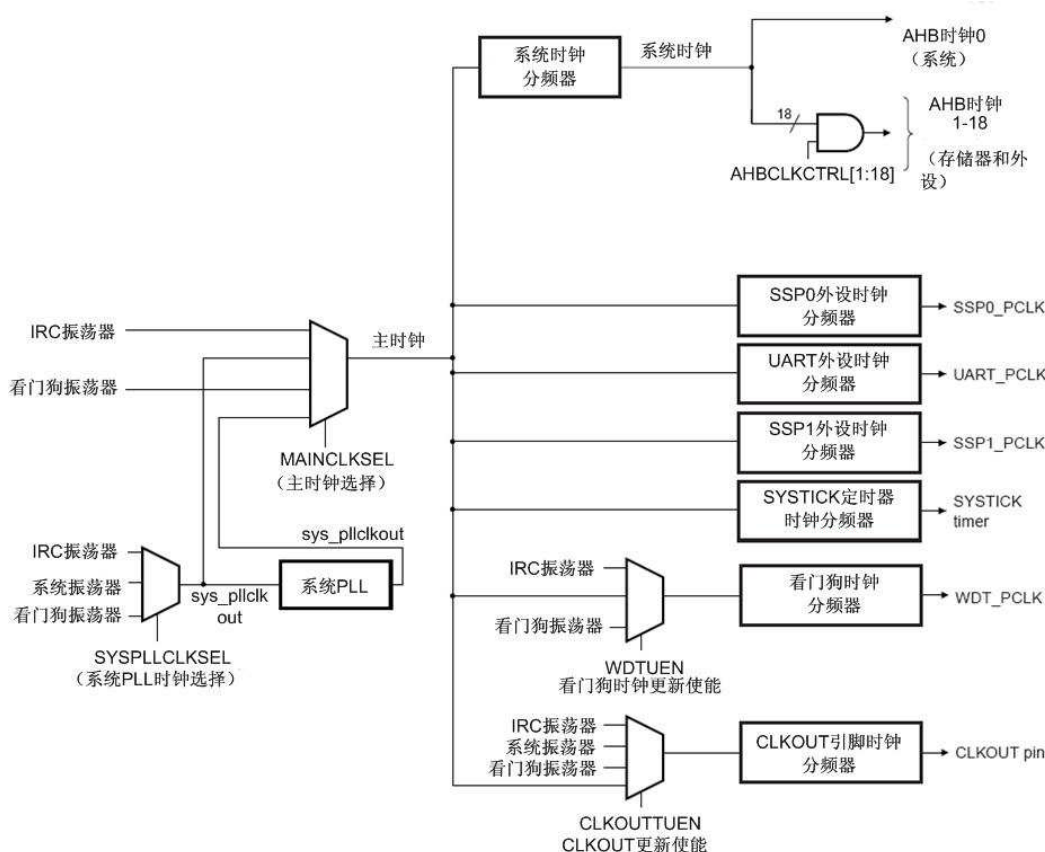


图 3.1 LPC111x 时钟产生单元

### 3.4 寄存器描述

所有寄存器无论大小都按字地址边界排列。寄存器的详情在每种功能的描述中给出。

有关 Flash 访问时序寄存器的描述请参见“Flash 存储器访问”小节，该寄存器可以重新配置。该寄存器不属于系统配置模块。

表 3.2 寄存器总览：系统控制模块（基址 0x4004 8000）

寄存器名	访问	地址偏移	描述	复位值	参考
SYMEMREMAP	R/W	0x000	系统存储器映射	0x000	表 3.3
PRESETCTRL	R/W	0x004	外设复位控制	0x000	表 3.4
SYSPLLCTRL	R/W	0x008	系统 PLL 控制	0x000	表 3.5
SYSPLLSTAT	R	0x00C	系统 PLL 状态	0x000	表 3.6
-	-	0x010-0x01C	保留	-	
SYSOSCCTRL	R/W	0x020	系统振荡器控制	0x000	表 3.7
WDTOSCCTRL	R/W	0x024	看门狗振荡器控制	0x000	表 3.8
IRCCTRL	R/W	0x028	IRC 控制	0x080	表 3.9
-	-	0x02C	保留	-	
SYSRESSTAT	R	0x030	系统复位状态寄存器	0x000	表 3.10
-	-	0x034-0x03C	保留	-	
SYSPLLCLKSEL	R/W	0x040	系统 PLL 时钟源选择	0x000	表 3.11
SYSPLLCLKUEN	R/W	0x044	系统 PLL 时钟源更新使能	0x000	表 3.12

续上表

寄存器名	访问	地址偏移	描述	复位值	参考
-	-	0x048-0x06C	保留	-	
MAINCLKSEL	R/W	0x070	主时钟源的选择	0x000	表 3.13
MAINCLKUEN	R/W	0x074	主时钟源的更新使能	0x000	表 3.14
SYSAHBCLKDIV	R/W	0x078	系统 AHB 时钟分频器	0x001	表 3.15
-	-	0x07C	保留	-	
SYSAHBCLKCTRL	R/W	0x080	系统 AHB 时钟控制	0x01F	表 3.16
-	-	0x084-0x090	保留	-	
SSP0CLKDIV	R/W	0x094	SSP0 时钟分频器	0x000	表 3.17
UARTCLKDIV	R/W	0x098	UART 时钟分频器	0x000	表 3.18
SSP1CLKDIV	R/W	0x09C	SSP1 时钟分频器	0x000	表 3.19
-	-	0x0A0-0x0AC	保留	-	
SYSTICKCLKDIV	R/W	0x0B0	SYSTICK 时钟分频器	0x000	表 3.20
-	-	0x0B4-0x0CC	保留	-	
WDTCLKSEL	R/W	0x0D0	WDT 时钟源选择	0x000	表 3.21
WDTCLKUEN	R/W	0x0D4	WDT 时钟源更新使能	0x000	表 3.22
WDTCLKDIV	R/W	0x0D8	WDT 时钟分频器	0x000	表 3.23
-	-	0x0DC	保留	-	
CLKOUTCLKSEL	R/W	0x0E0	CLKOUT 时钟源选择	0x000	表 3.24
CLKOUTUEN	R/W	0x0E4	CLKOUT 时钟源更新使能	0x000	表 3.25
CLKOUTDIV	R/W	0x0E8	CLKOUT 时钟分频器	0x000	表 3.26
-	-	0x0EC-0x0FC	保留	-	
PIOPORCAP0	R	0x100	POR 捕获 PIO 状态 0	由用户决定	表 3.27
PIOPORCAP1	R	0x104	POR 捕获 PIO 状态 1	由用户决定	表 3.28
-	R	0x108-0x14C	保留	-	
BODCTRL	R/W	0x150	BOD 控制	0x000	表 3.29
-	-	0x154	保留	-	
SYSTCKCAL	R/W	0x158	系统节拍计数器校准	<tbd>	表 3.30
-	-	0x15C-0x1FC	保留	-	
STARTAPRP0	R/W	0x200	静态逻辑边沿控制寄存器 0		表 3.31
STARTERP0	R/W	0x204	静态逻辑信号使能寄存器 0		表 3.32
STARTSRP0CLR	W	0x208	静态逻辑复位寄存器 0	n/a	表 3.33
-	-	0x210-0x22C	保留	-	
STARTSRP0	R	0x20C	静态逻辑状态寄存器 0	n/a	表 3.34
-	-	0x210-0x22C	保留	-	
PDSLEEP_CFG	R/W	0x230	深度睡眠模式的掉电状态	0x000	表 3.35
PDAWAKE_CFG	R/W	0x234	从深度睡眠模式唤醒以后的掉电状态	0x0000 FDF0	表 3.36
PDRUN_CFG	R/W	0x238	使配置寄存器掉电	0x0000 FDF0	表 3.37



续上表

寄存器名	访问	地址偏移	描述	复位值	参考
DEVICE_ID	R	0x3F4	器件 ID	与器件有关	表 3.38

### 3.4.1 系统存储器重映射寄存器

系统存储器重映射寄存器决定了 ARM 中断向量是否从引导 ROM、Flash 或 SRAM 读取。

表 3.3 系统存储器重映射寄存器的位描述（SYSMEMREMAP，地址 0x4004 8000）

位	符号	值	描述	复位值
1:0	MAP	00 01 10 或 11	系统存储器重映射	0x00
			BootLoader 模式。中断向量被重新映射到 BootROM	
			用户 RAM 模式。中断向量被重新映射到静态 ROM	
			用户 Flash 模式。中断向量不会被映射，而且一直位于 Flash	
31:2	-	-	保留	0x00

### 3.4.2 外设复位控制寄存器

软件可以利用该寄存器来复位 SSP 和 I<sup>2</sup>C。向位 SSP0/1\_RST\_N 或 I2C\_RST\_N 写 0 可以复位 SSP0/1 或 I<sup>2</sup>C。写 1 就取消复位。

表 3.4 外设复位控制寄存器的位描述（PRESETCTRL，地址 0x4004 8004）

位	符号	值	描述	复位值
0	SSP0_RST_N	0 1	SSP0 复位控制	0x1
			复位 SSP0	
			SSP0 复位取消	
1	I2C0_RST_N	0 1	I <sup>2</sup> C 复位控制	0x1
			复位 I <sup>2</sup> C	
			I <sup>2</sup> C 复位取消	
2	SSP1_RST_N	0 1	SSP1 复位控制	0x1
			复位 SSP1	
			SSP1 复位取消	
31:3	-	-	保留	0x00

### 3.4.3 系统 PLL 控制寄存器

该寄存器连接并使能系统 PLL、配置 PLL 倍频器和分频值。PLL 可从各种时钟源中接收高达 25MHz（10MHz 起）的输入频率。该输入频率倍频为较高的频率，然后进行分频提供给 CPU、外设和 USB 子系统实际使用的时钟。这个 PLL 可产生 CPU 允许的最大频率。

PLL 操作模式由 DIRECT 和 BYPASS 位的设置决定（表 3.5）。

表 3.5 系统 PLL 控制寄存器 (SYSPLLCTRL, 地址 0x4004 8008) 位描述

位	符号	值	描述	复位值
4:0	MSEL	0000 ... 1111	反馈分频器值。分频值 M 为 MSEL 值+1 除数 M=1 除数 M=32	0000
6:5	PSEL	00 01 10 11	后置分频器速率 P。分频率为 2×P P=1 P=2 P=4 P=8	0x00
7	DIRECT	0 1	直接 CCO 时钟输出控制 时钟信号通过后置分频器 时钟信号直接到输出	0x0
8	BYPASS	0 1	输入时钟旁路控制 CCO 时钟发送到后置分频器 PLL 输入时钟发送到后置分频器	0x0
31:9	-	-	保留	0x00

#### 3.4.4 系统 PLL 状态寄存器

该寄存器是只读寄存器，并提供 PLL 锁定状态。（见“锁定检测器”小节）。

表 3.6 系统 PLL 状态寄存器 (SYSPLLSTAT, 地址 0x4004 800C) 位描述

位	符号	值	描述	复位值
0	LOCK	0 1	PLL 锁定状态 PLL 未锁定 PLL 锁定	0x0
31:1	-	-	保留	0x00

#### 3.4.5 系统振荡器控制检测器

该寄存器配置系统振荡器的频率范围。

表 3.7 系统振荡器控制寄存器 (SYSOSCCTRL, 地址 0x4004 8020) 位描述

位	符号	值	描述	复位值
0	BYPASS	0 1	旁路系统振荡器 振荡器未被旁路 振荡器被旁路。PLL 输入 (sys_osc_clk) 直接由管脚 XTALIN 和 XTALOUT 提供	0x0
1	FREQRANGE	0 1	决定低功耗振荡器的频率范围 1—20MHz 频率范围 15—50MHz 频率范围	0x0
31:2	-	-	保留	0x00

#### 3.4.6 看门狗振荡器控制寄存器

该寄存器配置看门狗振荡器。振荡器分模拟和数字两个部分。模拟部分含有振荡器功能，可以产生一个模拟时钟信号（Fclkana）。数字部分可以将 Fclkana 时钟信号进行分频，产生所需的输出时钟频率 wdt\_osc\_clk。用户也可以利用位 FREQSEL 对 Fclkana 时钟信号进行调节，调节范围为 500KHz 到 3.7MHz 之间。使能数字部分对 Fclkana 时钟信号进行分频可以通过 DIVSEL 位来实现（分频值=2、4.....64）。

看门狗振荡器的输出时钟频率的计算公式如下：

$$\text{wdt\_osc\_clk} = \text{Fclkana} / (2 \times (1 + \text{DIVSEL}))$$

复位值的计算公式如下：

$$\text{wdt\_osc\_clk} = 1.6\text{MHz} / 6 = 270\text{KHz}$$

提示：不管 FREQSET 设置的值是多少，Fclkana 的值都会比表中列出的频率多 25%。

表 3.8 看门狗振荡器控制寄存器（WDTOSCCTRL，地址 0x4004 8024）位描述

位	符号	值	描述	复位值
4:0	DIVSEL	00000 00001 00010 ... 11111	选择将 Fclkana 分频成 wdt_osc_clk 的分频器 2 4 6 ... 64	0x000
8:5	FREQSEL	0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111	选择看门狗振荡器模拟输出频率（Fclkana） 0.5 MHz 0.8 MHz 1.1 MHz 1.4 MHz 1.6 MHz （复位值） 1.8 MHz 2.0 MHz 2.2 MHz 2.4 MHz 2.6 MHz 2.7 MHz 2.9 MHz 3.1 MHz 3.2 MHz 3.4 MHz	0x05
31:9	-	-	保留	0x00

### 3.4.7 内部共振晶体控制寄存器

该寄存器对片内 12MHz 振荡器进行调整。调整值由厂商制定，并在启动时通过引导代码写入。

表 3.9 内部共振晶体控制寄存器（IRCCTRL，地址 0x4004 8028）位描述

位	符号	值	描述	复位值
7:0	TRIM		调整值	0x1000 0000，然后对 Flash 重新编程
31:9	-	-	保留	0x00

### 3.4.8 系统复位状态寄存器

SYSRSTSTAT 寄存器可以给出最近一个复位事件的来源。向该寄存器中的任意一个位写 1 都可以清除对应的位。POR 事件可以将该寄存器中的其他位都清除，但是在 POR 信号取消之后仍有复位信号有效的情况下，比如 EXTRST 信号，该位就被清除。

表 3.10 系统复位状态寄存器（SYSRSTSTAT，地址 0x4004 8030）位描述

位	符号	值	描述	复位值
0	POR	0 1	POR 复位状态 POR 清除 POR 有效	0x0
1	EXTRST	0 1	外部管脚 $\overline{\text{RESET}}$ 的状态 $\overline{\text{RESET}}$ 使能 $\overline{\text{RESET}}$ 禁能	0x0
2	WDT	0 1	看门狗复位的状态 WDT 复位使能 WDT 复位禁能	0x0
3	BOD	0 1	掉电检测复位的状态 BOD 复位使能 BOD 复位禁能	0x0
4	SYSRST	0 1	系统复位的状态 系统复位使能 系统复位禁能	0x0
31:5	-	-	保留	0x00

### 3.4.9 系统 PLL 时钟源选择寄存器

该寄存器为系统 PLL 选择时钟源。SYSPLLCLKUEN 寄存器（见小节“系统 PLL 时钟源更新使能寄存器”）要想生效必须先向寄存器写 0 再写 1。

表 3.11 系统 PLL 时钟源选择寄存器（SYSPLLCLKSEL，地址 0x4004 8040）位描述

位	符号	值	描述	复位值
1:0	SEL	00 01 10 11	系统 PLL 时钟源 IRC 振荡器 系统振荡器 WDT 振荡器 保留	00
31:2	-	-	保留	0x00

### 3.4.10 系统 PLL 时钟源更新使能寄存器

该寄存器可以更新系统 PLL 的时钟源，新的输入时钟源由 SYSPLLCLKSEL 寄存器决定。为了使更新有效，必须先向寄存器 SYSPLLUEN 写 0 然后再写 1。

表 3.12 系统 PLL 时钟源更新使能寄存器（SYSPLLUEN，地址 0x4004 8044）位描述

位	符号	值	描述	复位值
0	ENA	0	使能系统 PLL 时钟源更新	0x0
		1	时钟源不变	
		1	更新时钟源	
31:1	-	-	保留	0x00

### 3.4.11 主时钟源选择寄存器

该寄存器选择主系统时钟，这个时钟可以是系统 PLL 的输入时钟，也可以是它的输出时钟（sys\_pllclkout），或者直接从看门狗或 IRC 振荡器输出。主系统时钟可以为内核、外设以及存储器计时。

MAINCLKSEL 寄存器（见“主时钟源更新使能寄存器”）必须先写 0 再写 1 才能生效。

表 3.13 主时钟源选择寄存器（MAINCLKSEL，地址 0x4004 8070）位描述

位	符号	值	描述	复位值
1:0	SEL	00	主时钟的时钟源	0x00
		01	IRC 振荡器	
		10	输入时钟到系统 PLL	
		11	WDT 振荡器	
31:2	-	-	系统 PLL 时钟输出	0x00
31:2	-	-	保留	0x00

### 3.4.12 主时钟源更新使能寄存器

该寄存器更新主时钟的时钟源，新的输入时钟源由 MAINCLKSEL 寄存器来决定。为了使更新有效，必须先向寄存器 MAINCLKUEN 写 0 然后再写 1。

表 3.14 主时钟源更新使能寄存器（MAINCLKUEN，地址 0x4004 8074）位描述

位	符号	值	描述	复位值
0	ENA	0	使能主时钟源更新	0
		1	时钟源不变	
		1	更新时钟源	
31:1	-	-	保留	0x00

### 3.4.13 系统 AHB 时钟分频寄存器

该寄存器对主时钟进行分频，并向内核、存储器和外设提供 sys\_ahb\_clk。将 DIV 设为 0x0 就可以把系统时钟彻底关闭。

表 3.15 系统 AHB 时钟分频寄存器 (SYSAHBCLKDIV, 地址 0x4004 8078) 位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 ... 255	系统 AHB 时钟分频器值 门 用 1 除 ... 用 255 整除	0x01
31:8	-	-	保留	0x00

### 3.4.14 系统 AHB 时钟控制寄存器

AHBCLKCTRL 寄存器控制系统和外设寄存器接口时钟的使能。系统时(sys\_ahb\_clk[0], AHBCLKCTRL 寄存器的位 0) 为 AHB 到 APB 桥、AHB 矩阵、ARM Cortex-M0、Syscon 块和 PMU 提供时钟, 不可以禁止。

表 3.16 系统 AHB 时钟控制寄存器 (AHBCLKCTRL, 地址 0x4004 8080) 位描述

位	符号	值	描述	复位值
0	SYS	0 1	为 AHB 到 APB 桥、AHB 矩阵、Cortex-M3 FCLK 和 HCLK、SysCon 和 PMU 使能时钟。该位是只读位 保留 使能	1
1	ROM	0 1	使能 ROM 的时钟 禁能 使能	1
2	RAM	0 1	使能 RAM 的时钟 禁能 使能	1
3	FLASH1	0 1	使能 Flash1 的时钟 禁能 使能	1
4	FLASH2	0 1	使能 Flash2 的时钟 禁能 使能	1
5	I <sup>2</sup> C	0 1	使能 I <sup>2</sup> C 的时钟 禁能 使能	0
6	GPIO	0 1	使能 GPIO 的时钟 禁能 使能	0
7	CT16B0	0 1	使能 16 位计数器/定时器 0 的时钟 禁能 使能	0

续上表

位	符号	值	描述	复位值
8	CT16B1	0 1	使能 16 位计数器/定时器 1 的时钟 禁能 使能	0
9	CT32B0	0 1	使能 32 位计数器/定时器 0 的时钟 禁能 使能	0
10	CT32B1	0 1	使能 32 位计数器/定时器 1 的时钟 禁能 使能	0
11	SSP0	0 1	使能 SSP0 的时钟 禁能 使能	0
12	UART	0 1	使能 UART 的时钟。注意：使能 UART 时钟之前必须将 UART 管脚配置好 禁能 使能	0
13	ADC	0 1	使能 ADC 的时钟 禁能 使能	0
14	-		保留	0
15	WDT	0 1	使能 WDT 的时钟 禁能 使能	0
16	IOCON	0 1	使能 IO 配置块的时钟 禁能 使能	0
17	-		保留	0
18	SSP1	0 1	使能 SSP1 的时钟 禁能 使能	0
31:19	-	-	保留	0x00

### 3.4.15 SSP0 时钟分频寄存器

该寄存器配置 SSP0 外设时钟 SSP0\_PCLK。将 DIV 设为 0x0 就可以彻底关闭该时钟。

表 3.17 SSP0 时钟分频寄存器（SSP0CLKDIV，地址 0x4004 8094）位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 到 255	SSP0_PCLK 时钟分频器值 禁能 SSP0_PCLK 用 1 除 ... 用 255 除	0x00

续上表

位	符号	值	描述	复位值
31:8	-	-	保留	0x00

### 3.4.16 UART 时钟分频寄存器

该寄存器配置 UART 外设时钟 UART\_PCLK。将 DIV 设为 0x0 就可以彻底关闭该时钟。

提示：使能 UART 时钟之前必须将 UART 管脚配置好。

表 3.18 UART 时钟分频寄存器（UARTCLKDIV，地址 0x4004 8098）位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 到 255	UART_PCLK 时钟分频器值 禁能 UART_PCLK 用 1 除 ... 用 255 除	0x00
31:8	-	-	保留	0x00

### 3.4.17 SSP1 时钟分频寄存器

该寄存器配置 SSP1 外设时钟 SSP1\_PCLK。将 DIV 设为 0x0 就可以彻底关闭该时钟。

表 3.19 SSP1 时钟分频寄存器（SSP1CLKDIV，地址 0x4004 809C）位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 到 255	SSP1_PCLK 时钟分频器值 禁能 SSP1_PCLK 用 1 除 ... 用 255 除	0x00
31:8	-	-	保留	0x00

### 3.4.18 SYSTICK 时钟分频寄存器

该寄存器配置 SysTick 外设时钟。将 DIV 设为 0x0 就可以彻底关闭该时钟。

表 3.20 SYSTICK 时钟分频寄存器（SYSTICKCLKDIV，地址 0x4004 80B0）位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 到 255	SYSTICK 时钟分频器值 禁能 SYSTICK 定时器时钟 用 1 除 ... 用 255 除	0x00
31:8	-	-	保留	0x00

### 3.4.19 WDT 时钟源选择寄存器

该寄存器为看门狗定时器选择时钟源。WDTCLKSEL 寄存器必须先写 0 再写 1 才能生效。



表 3.21 WDT 时钟源选择寄存器 (WDTCLKSEL, 地址 0x4004 80D0) 位描述

位	符号	值	描述	复位值
1:0	SEL	00	WDT 时钟源	0x00
		01	IRC 振荡器	
		10	主时钟	
		11	看门狗振荡器	
		保留		
31:2	-	-	保留	0x00

### 3.4.20 WDT 时钟源更新使能寄存器

该寄存器更新看门狗定时器的时钟源, 新的输入时钟由寄存器 ADTCLKSEL 来选择。为了使更新生效, 必须先向该寄存器写 0 再写 1。

表 3.22 WDT 时钟源更新使能寄存器 (WDTUEN, 地址 0x4004 80D4) 位描述

位	符号	值	描述	复位值
0	ENA	0	使能 WDT 时钟源更新	
		1	不改变时钟源	
		更新时钟源		
31:1	-	-	保留	0x00

### 3.4.21 WDT 时钟分频寄存器

该寄存器可以设置看门狗时钟 wdt\_clk 的分频值。

表 3.23 WDT 时钟分频寄存器 (WDTCLKDIV, 地址 0x4004 80D8) 位描述

位	符号	值	描述	复位值
7:0	DIV	0	WDT 时钟分频器值	0x00
		1	门	
		到	用 1 除	
		...	...	
		255	用 255 除	
31:8	-	-	保留	0x00

### 3.4.22 CLKOUT 时钟源选择寄存器

该寄存器把 clkout\_clk 信号配置为 CLKOUT 管脚的输出。三个振荡器和主时钟都可以选为 clkout\_clk 时钟。

必须先向 CLKOUTCLKSEL 写 0 再写 1 新的时钟源才能生效。

表 3.24 CLKOUT 时钟源选择寄存器（CLKOUTCLKSEL，地址 0x4004 80E0）位描述

位	符号	值	描述	复位值
1:0	SEL	00 01 10 11	CLKOUT 时钟源 IRC 振荡器 系统振荡器 看门狗振荡器 主时钟	0x00
31:2	-	-	保留	0x00

### 3.4.23 CLKOUT 时钟源更新使能寄存器

该寄存器更新 CLKOUT 管脚的时钟源，新的输入时钟由寄存器 CLKOUTCLKSEL 来选择。为了使更新生效，必须先向 CLKOUTUEN 寄存器写 0 再写 1。

3.25 CLKOUT 时钟源更新使能寄存器（CLKOUTUEN，地址 0x4004 80E4）位描述

位	符号	值	描述	复位值
0	ENA	0 1	使能 CLKOUT 时钟源更新 不改变时钟源 更新时钟源	0x0
31:1	-	-	保留	0x00

### 3.4.24 CLKOUT 时钟分频寄存器

该寄存器为 CLKOUT 管脚上的 clkout\_clk 信号确定分频值。

表 3.26 CLKOUT 时钟分频寄存器（CLKOUTCLKDIV，地址 0x4004 80E8）位描述

位	符号	值	描述	复位值
7:0	DIV	0 1 到 255	时钟分频器值 门 用 1 除 ... 用 255 除	0x00
31:8	-	-	保留	0x00

### 3.4.25 POR 捕获 PIO 状态寄存器 0

PIOPORCAP0 寄存器在上电复位时捕获端口 0、1、2（管脚 PIO2\_0 到 PIO2\_7）上的 GPIO 管脚状态（高电平或低电平）。每一位代表一个 GPIO 管脚的复位状态。该寄存器是只读状态寄存器。

表 3.27 POR 捕获 PIO 状态寄存器 0（PIOPORCAP0，地址 0x4004 8100）位描述

位	符号	描述	复位值
0	CAPPIO0_0	原始复位状态输入 PIO0_0	依赖于用户执行
1	CAPPIO0_1	原始复位状态输入 PIO0_1	依赖于用户执行
11:2	CAPPIO0_11 到 CAPPIO0_2	原始复位状态输入 PIO0_11 到 PIO0_2	依赖于用户执行
23:12	CAPPIO1_11 到 CAPPIO1_0	原始复位状态输入 PIO1_11 到 PIO1_0	依赖于用户执行
31:24	CAPPIO2_7 到 CAPPIO2_0	原始复位状态输入 PIO2_7 到 PIO2_0	依赖于用户执行

### 3.4.26 POR 捕获 PIO 状态寄存器 1

PIOPORCAP1 寄存器捕获在上电复位时端口 2（管脚 PIO2\_8 到 PIO2\_11）和端口 3 上的 GPIO 管脚状态（高电平或低电平）。每一位代表一个 GPIO 管脚的复位状态。该寄存器是只读状态寄存器。

表 3.28 POR 捕获 PIO 状态寄存器 1（PIOPORCAP1，地址 0x4004 8104）位描述

位	符号	描述	复位值
0	CAPPIO2_8	原始复位状态输入 PIO2_8	依赖于用户执行
1	CAPPIO2_9	原始复位状态输入 PIO2_9	依赖于用户执行
2	CAPPIO2_10	原始复位状态输入 PIO2_10	依赖于用户执行
3	CAPPIO2_11	原始复位状态输入 PIO2_11	依赖于用户执行
4	CAPPIO3_0	原始复位状态输入 PIO3_0	依赖于用户执行
5	CAPPIO3_1	原始复位状态输入 PIO3_1	依赖于用户执行
6	CAPPIO3_2	原始复位状态输入 PIO3_2	依赖于用户执行
7	CAPPIO3_3	原始复位状态输入 PIO3_3	依赖于用户执行
8	CAPPIO3_4	原始复位状态输入 PIO3_4	依赖于用户执行
9	CAPPIO3_5	原始复位状态输入 PIO3_5	依赖于用户执行
31:10	-	保留	-

### 3.4.27 BOD 控制寄存器

BOD 控制寄存器可以用来选择向 NVIC 发送 BOD 中断时所需的 4 个电压阈值。但只有一个电压阈值可以引起复位。

表 3.29 BOD 控制寄存器（BODCTRL，地址 0x4004 8150）位描述

位	符号	值	描述	复位值
1:0	BODRSTLEV	00 01-11	BOD 复位电平 能引起复位的阈值电压为 1.49V；能使复位无效的 阈值电压为 1.64V 保留	0x00
3:2	BODINTVAL	00 01 10	BOD 中断电平 能引起中断的阈值电压为 1.69V；能使中断无效的 阈值电压为 1.84V 能引起中断的阈值电压为 2.29V；能使中断无效的 阈值电压为 2.44V 能引起中断的阈值电压为 2.59V；能使中断无效的	0x00
3:2	BODINTVAL	11	的阈值电压为 2.74V 能引起中断的阈值电压为 2.87V；能使中断无效的 阈值电压为 2.98V	0x00
4	BODRSTENA	0 1	BOD 复位使能 禁止复位功能 使能复位功能	0x0
31:5	-	-	保留	0x00

### 3.4.28 系统节拍定时器校准寄存器

表 3.30 系统节拍定时器校准计数器（SYSTCKCAL，地址 0x4004 8158）位描述

位	符号	值	描述	复位值
25:0	CAL		系统节拍校准值	待定
31:26	-	-	保留	0x00

### 3.4.29 起始逻辑边沿控制寄存器 0

STARTAPRP0 寄存器控制端口 0（PIO0\_0 到 PIO\_11）和端口 1（PIO1\_0 到 PIO1\_11）的起始逻辑输入。该寄存器为起始逻辑选择对应 PIO 输入的下降沿或上升沿来分别产生下降或上升时钟沿（见“起始逻辑”章节）。

STARTAPRP0 寄存器的每一位控制一个端口输入，并连接到 NVIC 中的一个唤醒中断。STARTAPRP0 寄存器中的位 0 对应中断 0，位 1 对应中断 1 等，最多有 13 个中断。

表 3.31 起始逻辑边沿控制寄存器 0（STARTAPRP0，地址 0x4004 8200）位描述

位	符号	值	描述	复位值
11:0	APRPIO0_11 到 APRPIO0_0	0	起始逻辑输入 PIO0_11 到 PIO0_0 的边沿选择 下降沿	0x0
		1	上升沿	
12	APRPIO1_0	0	起始逻辑输入 PIO1_0 的边沿选择 下降沿	0x0
		1	上升沿	
31:13	-	-	保留	0x0

### 3.4.30 起始逻辑信号使能寄存器 0

STARTERP0 寄存器使能或禁止起始逻辑中的起始信号。位的分配与表 3.31 相同。

表 3.32 起始逻辑信号使能寄存器 0（STARTERP0，地址 0x4004 8204）位描述

位	符号	值	描述	复位值
11:0	ERPIO0_11 到 ERPIO0_0	0	使能起始逻辑输入 PIO0_11 到 PIO0_0 的起始信号 禁能	0x0
		1	使能	
12	ERPIO1_0	0	使能起始逻辑输入 PIO1_0 的起始信号 禁能	0x0
		1	使能	
31:13	-	-	保留	0x0

### 3.4.31 始逻辑复位寄存器 0

在 STARTRSRP0CLR 寄存器内对一个位写 1 则复位起始逻辑信号。位的分配与表 3.31 相同。为了记录起始信号，启动逻辑会利用输入信号产生一个时钟边沿来实现。时钟边沿（上升沿或下降沿）可以设置从深度睡眠模式唤醒的中断。所以，启动逻辑的状态必须在它使用之前清除。

表 3.33 起始逻辑复位寄存器 0 (STARTSRP0CLR, 地址为 0x4004 8208) 位描述

位	符号	值	描述	复位值
11:0	RSRPIO0_11 到 RSRPIO0_0	0 1	起始逻辑输入 PIO0_11 到 PIO0_0 的起始信号复位 - 写: 复位起始信号	n/a
12	RSRPIO1_0	0 1	起始逻辑输入 PIO1_0 的起始信号复位 - 写: 复位起始信号	n/a
31:13	-	-	保留	n/a

### 3.4.32 起始逻辑状态寄存器 0

该寄存器反映了使能起始信号的状态。位的分配与表 3.31 相同。每一位（使能的话）都能反映起始逻辑的状态，比如说可以反映已知管脚是不是已经接收到了唤醒信号。

表 3.34 起始逻辑状态寄存器 0 (STARTSRP0, 地址 0x4004 820C) 位描述

位	符号	值	描述	复位值
11:0	SRPIO0_11 到 SRPIO0_0	0 1	起始逻辑输入 PIO0_11 到 PIO0_0 的起始信号状态 没有收到起始信号 起始信号挂起	n/a
12	SRPIO1_0	0 1	起始逻辑输入 PIO1_0 的起始信号状态 没有收到起始信号 起始信号挂起	n/a
31:13	-	-	保留	n/a

### 3.4.33 深度睡眠模式配置寄存器

当 ARM 检测到芯片处于深度睡眠模式时，就可以编辑该寄存器从而表示芯片要进入的状态。当进入睡眠模式时，PDSLEEPCFG 寄存器的值将会自动下载到 PDRUNCFG 寄存器。

表 3.35 深度睡眠配置寄存器 (PDSLEEPCFG, 地址 0x4004 8230) 位描述

位	符号	值	描述	复位值
0	IRCOUT_PD	1 0	深度睡眠模式下的 IRC 振荡器输出掉电控制 掉电 上电	0
1	IRC_PD	1 0	深度睡眠模式下的 IRC 振荡器掉电控制 掉电 上电	0
2	FLASH_PD	1 0	深度睡眠模式下的 Flash 掉电控制 掉电 上电	0
3	BOD_PD	1 0	深度睡眠模式下的 BOD 掉电控制 掉电 上电	0

续上表

位	符号	值	描述	复位值
4	ADC_PD	1 0	深度睡眠模式下的 ADC 掉电控制 掉电 上电	0
5	SYSOSC_PD	1 0	深度睡眠模式下的系统振荡器掉电控制 掉电 上电	0
6	WDT_PD	1 0	深度睡眠模式下的 WDT 掉电控制 掉电 上电	0
7	SYSPLL_PD	1 0	深度睡眠模式下的系统 PLL 掉电控制 掉电 上电	0
8	-	-	保留	0
9	-	1	保留。在深度睡眠模式下该位必须为 1	0
10	-	-	保留	0
11	-	1	保留。在深度睡眠模式下该位必须为 1	0
31:12	-	-	保留	0

### 3.4.34 唤醒配置寄存器

当从深度睡眠模式中唤醒时，该寄存器中的位可被编程来表示芯片将要进入的状态。

表 3.36 唤醒配置寄存器（PDAWAKECFG，地址 0x4004 8234）位描述

位	符号	值	描述	复位值
0	IRCOUT_PD	1 0	IRC 振荡器输出唤醒配置 掉电 上电	0
1	IRC_PD	1 0	IRC 振荡器掉电唤醒配置 掉电 上电	0
2	FLASH_PD	1 0	Flash 唤醒配置 掉电 上电	0
3	BOD_PD	1 0	BOD 唤醒配置 掉电 上电	0
4	ADC_PD	1 0	ADC 唤醒配置 掉电 上电	1
5	SYSOSC_PD	1 0	系统振荡器唤醒配置 掉电 上电	1

续上表

位	符号	值	描述	复位值
6	WDT_PD	1 0	WDT 唤醒配置 掉电 上电	1
7	SYSPLL_PD	1 0	系统 PLL 唤醒配置 掉电 上电	1
8	-	-	保留	待定
9	-	1	保留。在深度睡眠模式下该位必须为 1	0
10	-	-	保留	待定
11	-	1	保留。在深度睡眠模式下该位必须为 1	0
15:12	-	-	保留	0
31:16	-	-	保留	0

### 3.4.35 掉电配置寄存器

PDRUNCFG 寄存器中的位控制各种模拟块的掉电信号。芯片运行时的任何时刻都可以写入该寄存器，而这个写操作将会立即生效，IRC 的掉电信号除外。

为了避免在 IRC 掉电时产生干扰，IRC 时钟在 clean point 自动关断。因此对于 IRC，在掉电状态生效之前可能会有一个延时。

表 3.37 掉电配置寄存器（PDRUNCFG，地址 0x4004 8238）位描述

位	符号	值	描述	复位值
0	IRCOUT_PD	1 0	IRC 振荡器输出掉电 掉电 上电	0
1	IRC_PD	1 0	IRC 振荡器掉电 掉电 上电	0
2	FLASH_PD <sup>[1]</sup>	1 0	Flash 掉电 掉电 上电	0
3	BOD_PD	1 0	BOD 掉电 掉电 上电	0
4	ADC_PD	1 0	ADC 掉电 掉电 上电	1
5	SYSOSC_PD	1 0	系统振荡器掉电 掉电 上电	1
6	WDT_PD	1 0	WDT 掉电 掉电 上电	1

续上表

位	符号	值	描述	复位值
7	SYSPLL_PD	1 0	系统 PLL 掉电 掉电 上电	1
8	-	-	保留	待定
9	-	1	保留。在深度睡眠模式下该位必须为 1	0
10	-	-	保留	待定
11	-	1	保留。在深度睡眠模式下该位必须为 1	0
15:12	-	-	保留	0
31:16	-	-	保留	0

注 1: 从深度睡眠模式中唤醒的 Flash 上电序列需要 100  $\mu$ s。注意不需要在这种情况下初始化 Flash。

如果 Flash 掉电, 用户必须在继续 Flash 操作之前等待这个时期。复位后的上电要花稍微多的时间来进行 Flash 初始化。

### 3.4.36 器件 ID 寄存器

器件 ID 寄存器为只读寄存器, 存有所有 LPC111x 系列器件的 ID。该寄存器只能通过 ISP/IAP 命令读取 (见“读取器件 ID 号”和“读 UID”)。

表 3.38 器件 ID 寄存器 (DEVICE\_ID, 地址 0x4004 83F4) 位描述

位	符号	值	描述	复位值
31:0	DEVICE_ID		LPC111x 系列器件的 ID	由器件而定
		0x0416 502B	for LPC1111FHN33/101	
		0x0416 502B	for LPC1111FHN33/201	
		0x0425 502B	for LPC1112FHN33/101	
		0x0425 502B	for LPC1112FHN33/201	
		0x0434 502B	for LPC1113FHN33/201	
		0x0434 102B	for LPC1113FHN33/301	
		0x0434 102B	for LPC1113FBD48/301	
		0x0444 502B	for LPC1114FHN33/201	
		0x0444 102B	for LPC1114FHN33/301	
		0x0444 102B	for LPC1114FBD48/301	
		0x0444 102B	for LPC1114FA44/301	

## 3.5 复位

LPC111x 上有 4 个复位源:  $\overline{\text{RESET}}$  管脚、看门狗复位、上电复位 (POR) 和 Brown Out Detect (BOD)。除了这 4 个复位源以外还有一个软复位。

$\overline{\text{RESET}}$  管脚为施密特触发式输入管脚。芯片复位可以由任意一个复位源引起, 只要工作电压达到规定值, 就会启动 IRC (可引起复位) 来保持芯片复位状态, 直到外部复位无效为止, 同时振荡器运行, Flash 控制器完成初始化。

当 Cortex-M0 CPU 外部复位源 (POR、BOD 复位、外部复位和看门狗复位) 有效时, IRC 启动。IRC 启动最多 6 $\mu$ s 以后, IRC 就会输出稳定的时钟信号。

第 1: ROM 中的引导代码启动。引导代码的作用就是执行引导任务也可以转到 Flash;



第 2: Flash 上电。Falsh 大约需要 100 $\mu$ s 的时间上电。之后 Falsh 进行初始化, 初始化需要大约 250 个时钟周期。

当内部复位移除时, 处理器就在地址 0 处运行, 这里是最先从引导模块映射来的复位向量。这时, 所有处理器和外部寄存器已初始化, 预先值也设定好了。

### 3.6 Brown-Out Detection

LPC111x 系列器件设有 4 个电平值来监控  $V_{DD(3V3)}$  管脚上的电压。当  $V_{DD(3V3)}$  管脚上的电压低于任何一个选定的电平值时, BOD 就会向 NVIC 发出一个中断信号。该信号可以使能一个能引起 CPU 中断的中断; 如果不能, 软件就会通过读取专门的状态寄存器来监控该信号。其他电平值还可以用于芯片强制复位的产生。

### 3.7 电源管理

LPC111x 系列器件支持多种电源控制方式。在器件运行时, 用户可以根据实际运行情况对器件中各模块的电源和时钟进行合理的控制, 从而优化整个系统的功耗。

此外, 器件还有 3 种特殊的节能模式: 睡眠模式、深度睡眠模式和深度掉电模式。电源管理模块可以控制器件所进入的模式, 即睡眠模式或深度掉电模式。如果器件进入睡眠模式, ARM 内核时钟停止, 外设仍继续运行。如果进入深度睡眠模式, 用户可以配置哪个 Flash 和振荡器继续上电或要掉电。

CPU 的时钟速率也可以通过改变时钟源、重置 PLL 值和/或改变系统时钟分频值来调整。这样的话就使得处理器速率和处理器所消耗的功率达到平衡, 满足应用的需求。

器件运行时用户可以对片内的外设进行单独控制, 把应用中不需要用到的外设关闭, 避免不必要的动态功耗, 从而更好地降低系统的功耗。为了方便进行电源控制, 外设 (UART、SSP、ARM 跟踪时钟、SysTick 定时器、看门狗定时器和 USB) 都有自己的时钟分频器。

提示: 器件处于节能模式的时候不能进行调试。

表 3.39 LPC111x 电源和时钟控制选项

电源控制		电源/时钟控制功能	应用的模式
电源控制			
PDRUNCFG	表 3.37	控制模拟模块的电源 (振荡器、PLL、ADC、Flash 和 BOD)。在运行模式下可以通过该寄存器来改变电源的配置 提示: 为了确保在运行模式下能正常运行该寄存器的第九位必须为 0	运行模式
PDSLEEPCFG	表 3.35	选择在深度睡眠模式中停止的模拟模块。当器件进入深度睡眠模式时该寄存器中的内容会自动加载到 PDRUNCFG 中 提示: 为了降低深度睡眠模式中的功耗该寄存器中的第九位必须为 1	深度睡眠模式
PDAWAKECFG	表 3.36	选择从深度睡眠模式唤醒后需要上电的模拟模块。当器件离开深度睡眠模式以后该寄存器中的内容就会自动加载到 PDRUNCFG 中 提示: 为了确保在运行模式下能正常运行该寄存器的第九位必须为 0	运行模式

续上表

电源控制		电源/时钟控制功能	应用的模式
时钟控制			
AHBCLKCTRL	表 3.15	控制 ARM Cortex-M0 CPU、存储器以及 APB 外设的时钟	运行模式
SYSAHBCLKDIV	表 3.14	禁能或配置系统时钟	运行模式
SSP0CLKDIV	表 3.16	禁能或配置 SSP0 外设时钟	运行模式
UARTCLKDIV	表 3.17	禁能或配置 UART 外设时钟	运行模式
SSP1CLKDIV	表 3.18	禁能或配置 SSP1 外设时钟	运行模式
WDTCLKDIV	表 3.22	禁能或配置看门狗定时器时钟	运行模式
CLKOUTDIV	表 3.25	禁能或配置 CLKOUT 管脚上的时钟	运行模式
掉电模式的控制 (PMU)			
PCON		控制器件所进入的掉电模式	睡眠/深度睡眠/掉电模式

### 3.7.1 运行模式

在运行模式下，ARM Cortex-M3 内核、存储器和外设都由系统时钟来计时。寄存器 AHBCLKCTRL 负责选择要运行的存储器和外设。系统时钟的频率由寄存器 AHBCLKDIV 来决定。

选定的外设 (UART、SSP、ARM 跟踪时钟、USB、WDT 和 SysTick 定时器) 除了有系统时钟计时以外，还有单独的外设时钟和它们自己的时钟分频器。外设时钟可以通过时钟分频寄存器来关闭。

各模拟模块 (PLL、振荡器、ADC、USB PHY、BOD 电路和闪存模块) 的电源可以通过寄存器 PDRUNCFG 来单独控制。

提示：在运行模式下寄存器 PDRUNCFG 中的第九位必须为 0。

### 3.7.2 睡眠模式

在睡眠模式下，ARM Cortex-M3 内核时钟停止。在复位或中断出现之前都不能执行指令。

进入睡眠模式的步骤如下：

第 1 步：向 ARM Cortex-M0 SCR 寄存器中的位 SLEEPDEEP 写 0；

第 2 步：通过使用 ARM Cortex-M3 等待中断 (WFI) 指令进入睡眠模式。

当中断到达处理器时自动退出睡眠模式。

在睡眠模式下外设的功能继续进行，并可能产生中断使处理器重新运行。睡眠模式不使用处理器自身的动态电源，存储器系统和相关控制器和内部总线。

处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，管脚的逻辑电平也会保留。

### 3.7.3 深度睡眠模式

在深度睡眠模式 (见“深度睡眠模式”)，芯片处于睡眠模式，系统时钟停止，PDSLEEPCFG 选择的模拟模块也掉电。在进入睡眠模式时，用户可以配置哪个模块掉电，以及哪个模块可以从深度睡眠模式中唤醒时运行。

进入深度睡眠模式的步骤如下：

第 1 步：通过 PDSLEEPCFG 寄存器（表 3.35）选择在深度睡眠模式下要掉电的模拟模块（振荡器、PLL、ADC、闪存和 BOD）。PDSLEEPCFG 中的第九位必须为 1；

第 2 步：通过 PDAWAKECFG 寄存器（表 3.36）选择从深度睡眠模式唤醒后要上电的模拟模块。PDAWAKECFG 中的第九位必须为 0；

第 3 步：向 ARM Cortex-M0 SCR 寄存器写 1；

第 4 步：通过使用 ARM WFI 指令进入深度睡眠模式。

LPC111x 可以不通过中断直接通过监控起始逻辑（见“起始逻辑”）的输入从深度睡眠模式中唤醒。大部分的 GPIO 管脚都可以用作起始逻辑的输入管脚。起始逻辑不需要任何时钟信号，而且从深度睡眠模式唤醒后也不会产生中断。

在深度睡眠模式期间，处理器的状态和寄存器、外设寄存器以及内部 SRAM 的值都保留，而且管脚的逻辑电平也不变。

深度睡眠的优点在于可以使时钟产生模块（例如振荡器和 PLL）掉电，这样深度睡眠模式所消耗的动态功耗就比一般的睡眠模式消耗的要少得多。另外，在深度睡眠模式中 Flash 可以掉电，这样静态漏电流就会减少。但消耗的 Flash 存储器唤醒时间就更多。

### 3.7.4 深度掉电模式

在深度掉电模式下，整个芯片的电源和时钟都关闭（通过 WAKEUP 管脚）。

进入深度掉电模式的步骤如下：

第 1 步：设置 PCON 寄存器中的 DPDEN 位；

第 2 步：向 ARM Cortex-M0 SCR 寄存器中的 SLEEPDEEP 位写 1；

第 3 步：确保 IRC 上电，可以通过将寄存器 PDRUNCFG 中的 IRCOUT\_PD 和 IRC\_PD 位都设为 0 来实现；

第 4 步：通过使用 ARM WFI 指令进入深度掉电模式。

给 WAKEUP 管脚一个脉冲信号就可以使 LPC111x 从深度掉电模式中唤醒。在深度掉电模式期间，SRAM 中的内容会被保留。但是器件可以将数据保存在 4 个通用寄存器中。

## 3.8 深度睡眠模式

在深度睡眠模式中，ARM 内核的时钟关断（LPC111x 系列 ARM 处于睡眠状态），另外各种模拟模块可以选为掉电。深度睡眠模式的进入由深度睡眠 negotiator（这是 ARM Cortex-M3 内核的一部分）和深度睡眠有限状态机来控制。从深度睡眠模式的唤醒进程由起始逻辑启动。在唤醒后，模拟块的电源状态由 PDAWAKECFG 寄存器确定。

### 3.8.1 进入深度睡眠模式

深度睡眠 negotiator 使 LPC111x 系列 ARM 保持进入深度睡眠模式直到 ARM Cortex-M0 内核应答睡眠保持的请求。在保持时间内，ARM 内核仍然可以退出掉电序列。而且 ARM 内核可以选择在睡眠模式时不保持这个请求（例如，如果在调试时有这样的要求），这样深度睡眠的请求也是无效的。

深度睡眠有限状态机确保在进入深度睡眠模式时忽略起始逻辑的唤醒信号。这样能保证在短时间内不进入深度睡眠模式，因为频繁进入模式将在掉电信号上产生干扰。

一旦检测到 LPC111x 系列 ARM 深度睡眠请求，Syscon 模块对内核掉电，PDRUNCFG 寄存器将下载 PDSLEEPCFG 值，并且选择的模拟块将在子序列时钟边沿掉电。在下一个 30

ns 的延时之后, LPC111x 系列 ARM 处于深度睡眠模式, 并且能够接受来自起始逻辑的起始信号进行唤醒。

注：如果 IRC 选择为掉电，则深度睡眠有限状态机将等待一个信号，声明在 30ns 的延时之前已经安全关断 IRC（见“关断 12MHz IRC 振荡器”）。

### 3.8.2 关断 12MHz IRC 振荡器

IRC 采用了一种机制确保 12 MHz 振荡器在不产生干扰的情况下关断。一旦该振荡器关断（在两个 12MHz 时钟周期内），将会有有一个应答信号发送到 Syscon 模块。

注：IRC 是 LPC111x 系列 ARM 中唯一可以无干扰关断的振荡器。因此建议用户在芯片进入深度睡眠模式之前将时钟源切换为 12MHz 的 IRC - 除非在深度睡眠模式中 IRC 振荡器选择为供电电源。

### 3.8.3 起始逻辑

在起始逻辑向 ARM 内核发送一个中断时退出深度睡眠模式。所有的 PIO 端口（除了 PIO3\_4 和 PIO3\_5）输入都连接到起始逻辑并作为唤醒管脚。用户必须对起始逻辑寄存器的每一个输入进行编程，为对应的唤醒事件设置合适的边沿极性。另外，必须在 NVIC 中使能对应每个输入的中断。NVIC 中的 0 到 39 对应于 40 个 PIO 管脚（见“起始逻辑边沿控制寄存器 0”）。

起始逻辑不要求时钟运行，因为在使能时它用 PIO 输入信号来产生时钟边沿。因此在使用前必须清除起始逻辑信号（见表 3.33）。

起始逻辑也可以用于普通的激活模式（例如不是睡眠或深度睡眠模式），使用 **LPC111x** 系列 **ARM** 输入管脚提供向量中断。

### 3.9 系统 PLL 的功能描述

LPC111x 利用系统 PLL 来为 ARM 内核以及外设提供时钟信号。

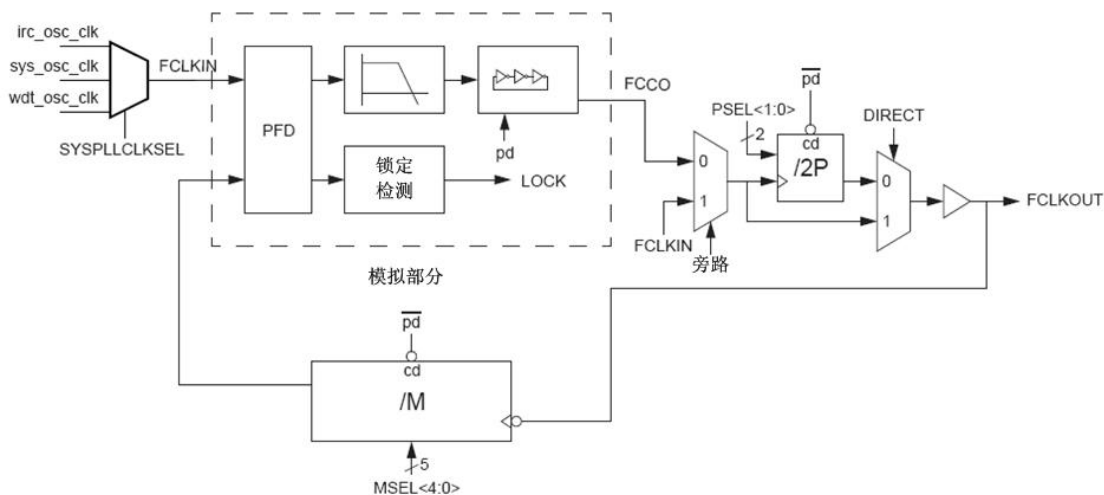


图 3.2 系统 PLL 方框图

PLL 的方框图如图 3.2 所示。输入频率的范围为 10MHz 到 25MHz。输入时钟直接馈送到相位频率检测器。该模块会比较输入的相位和频率，并在相位和/或频率不匹配时产生一个控制信号。环形滤波器过滤掉这些控制信号并驱动当前控制的振荡器，从而产生主时钟以及可选的两个额外相位。CCO 的频率范围为 156MHz 到 320MHz。这些时钟通过可编程的后置分频器除以  $2 \times P$ ，以产生输出时钟；或者直接发送到输出。然后主输出时钟通过可编

程的反馈分频器除以  $M$ ，以产生反馈时钟。当 PLL 锁定到输入时钟时发出信号时，相位频率检测器的输出信号也由锁定检测器监控。

### 3.9.1 锁定检测器

锁定检测器测量输入和反馈时钟上升沿之间的相位差异。只有在超过 8 个连续输入时钟周期这个差别都小于“锁定标准”时，锁定输出才从低电平转换到高电平。若有一个大的相位差别则立即复位计数器，并造成锁定信号下降（如果为高电平）。要求连续 8 个相位测量都低于一个指定数字能保证锁定检测器不锁定，直到输入和反馈时钟的相位和频率都排列好。这样便能防止错误的锁定显示，从而保证无干扰的锁定信号。

### 3.9.2 直接输出模式

在普通操作模式中（DIRECT 位设为 0），根据 PSEL 位的值，CCO 时钟由 2、4、8 或 16 分频，得到一个占空比为 50% 的输出时钟。如果需要更高的输出频率，CCO 时钟可以通过设置“1”直接发送到输出。由于 CCO 无法直接产生占空比为 50% 的占空比时钟，在这种模式下的输出时钟占空比可以偏离 50%。

### 3.9.3 掉电控制

为了减少在不需要 PLL 时钟时的功耗，器件引入了掉电模式。该模式通过设置 SYS\_PLL\_PD（或 USB\_PLL\_PD）位到其中一个掉电配置寄存器（表 3.37）。在这种模式下，将会关断内部电流参考，振荡器和相位频率检测器停止，分频器进入一个复位状态。在掉电模式下，锁定输出将会降低，表示 PLL 未锁定。当通过设置 SYS\_PLL\_PD（或 USB\_PLL\_PD）位为 0 结束掉电模式时，PLL 恢复其普通操作，并且一旦输入时钟重新获得锁定，锁定信号就变高电平。

### 3.9.4 操作模式

表 3.40 PLL 操作模式

模式	描述	PD 位	BYPASS 位	直接位
1	普通模式	0	0	0
2	直接 CCO 模式	0	0	0
3	掉电模式	1	0	x
4	旁路模式 <sup>[1]</sup>	x	1	0
5	直接旁路模式 <sup>[1]</sup>	x	1	1

注 1: PLL 的模拟部分自动掉电。

### 3.9.5 分频率编程

#### 后置分频器

后置分频器的分频率由 PSEL 位控制。分频率为 PSEL 位选择的 P 值的两倍，如表 3.5 所示。这样能确保输出时钟的占空比为 50%。

#### 反馈分频器

反馈分频器的分频率由 MSEL 位控制。PLL 输出时钟和输入时钟之间的分频率等于 MSEL 位十进制数值加 1，见表 3.5。

#### 改变分频器值



不推荐在 PLL 运行时改变分频器比率。因为这样没法将 MSEL 和 PSEL 值同步到分频器，计数器也会读到未定义的值，进而造成不必要的干扰或输出时钟频率下降。建议在改变分频器设置时使 PLL 掉电，调整分频器设置，然后再让 PLL 重新启动。

### 3.9.6 频率选择

有关计算频率的等式都会用到下列参数（见图 3.1）。

表 3.41 PLL 频率参数

参数	系统 PLL
FCLKIN	从 SYSPLLCLKSEL 多路复用器输出的 sys_pllclkkin 的频率（系统 PLL 的输入时钟）。请参见“系统 PLL 时钟源选择寄存器”小节
FCCO	CCO 的频率，范围在 156MHz 到 320MHz 之间
FCLKOUT	sys_pllclkout 的频率
P	系统 PLL 的后置分频比率；由 SYSPLLCTRL 中的位 PSEL 来设置（见“系统 PLL 控制寄存器”小节）
M	系统 PLL 的反馈分频比率；由 SYSPLLCTRL 中的位 MSEL 来设置（见“系统 PLL 控制寄存器”小节）

#### ● 模式 1（普通模式）

在这种模式下使能后置分频器，占空比时钟为 50%，频率关系如下：

$$F_{\text{clkout}} = M \times F_{\text{clkkin}} = (\text{FCCO}) / (2 \times P) \quad (1)$$

为了选择合适的 M 和 P 值，推荐如下步骤：

第 1 步：指定输入时钟频率  $F_{\text{clkkin}}$ ；

第 2 步：计算 M 值以获得所需的输出频率  $F_{\text{clkout}}$ ， $M = F_{\text{clkout}} / F_{\text{clkkin}}$ ；

第 3 步：找出一个值使得  $\text{FCCO} = 2 \times P \times F_{\text{clkout}}$ ；

第 4 步：检查所有的频率和分频器值是否符合表 3.5 的限定。

#### ● 模式 2（直接 CCO 模式）

在该模式下旁路后置分频器，并且 CCO 时钟直接发送到输出，结果如下频率等式：

$$F_{\text{clkout}} = M \times F_{\text{clkkin}} = \text{FCCO} \quad (2)$$

要选择合适的 M 和 P 值，推荐如下步骤：

第 1 步：指定输入时钟频率  $F_{\text{clkkin}}$ 。

第 2 步：计算 M 值以获得所需的输出频率  $F_{\text{clkout}}$ ， $M = F_{\text{clkout}} / F_{\text{clkkin}}$ 。

第 3 步：检查所有的频率和分频器值是否符合表 3.5 的限定。

注意：虽然不使用后置分频器，但是系统仍在这种模式下运行。为了使电流功耗降到最低，建议将 PSEL 位设为‘00’。这样将设置后置分频器进行二分频，使电流达到最低。

#### ● 模式 3（掉电模式）

在这种模式下，内部电流参考关闭，振荡器和相位频率检测器将停止，分频器进入复位状态。在掉电模式中，锁定输出为低电平，表示 PLL 未锁定。当掉电模式通过将 **pd** 设为低电平而结束时，PLL 恢复普通操作，并且一旦输入时钟重新锁定，将使锁定信号为高电平。

● 模式 4（旁路模式）

$$F_{\text{clkout}} = F_{\text{clkcin}} / (2 \times P) \quad (3)$$

当  $M > 1$  时

$$F_{\text{divo}} = F_{\text{clkout}} / M \quad (4)$$

由于反馈分频器的特殊结构，divo 输出不是反馈时钟，只有一个信号屏蔽反馈分频器的输出时钟来产生实际的反馈时钟。当  $M$  设为 1 时，divo 输出信号为 ‘1’。

● 模式 5（直接旁路模式）

在该模式下，模拟部分处于掉电状态，后置分频器被禁止，并且输入时钟直接发送到输出。该模式可用于在反馈分频器上执行功能测试和/或扫描测试。在这种模式下，反馈时钟输出的频率由下式给出：

当  $M > 1$  时

$$F_{\text{divo}} = F_{\text{clkcin}} / M \quad (5)$$

### 3.10 Flash 存储器的访问

由于系统时钟频率的不同，访问 Flash 存储器的时间也有所不同，访问时间保存在寄存器 FLASHCFG 中（寄存器地址为 0x4003 C010）。

提示：如果该寄存器中的设置错误那么就会引起 Flash 存储器的错误操作。

表 3.42 Flash 配置寄存器的位描述（FLASHCFG，地址 0x4003 C010）

位	符号	值	描述	复位值
1:0	FLASHTIM		Flash 存储器的访问时间。FLASHTIM+1 等于访问 Flash 所需的系统时钟周期的个数	10
		00	1 个系统时钟的 Flash 访问时间(当系统时钟频率最大为 20MHz 的时候)	
		01	1 个系统时钟的 Flash 访问时间(当系统时钟频率最大为 40MHz 的时候)	
		10	3 个系统时钟的 Flash 访问时间(当系统时钟频率最大为 50MHz 的时候)	
		11	保留	
31:2	-	-	保留。用户软件不能更改这些位的值。31:2 位必须准确地回读	待定