

微嵌第四章习题参考答案

4.2 举例说明何为分时复用。

往往一些功能简单的单片机(如51单片机)的地址总线和数据总线是复用的, 这样可以用较少的信号线完成数据传输的功能, 有利于节省布线空间, 降低成本。

4.4 某计算机系统的地址总线宽度是13位, 其数据总线宽度是11位, 在不采用总线分时复用的情形下, 请计算该计算机的最大存储器空间寻址范围。

$$2^{13} * 11 = 90.1\text{Kb}$$

4.8 计算机系统什么情况下需要总线仲裁 (arbitration) ?

在多总线主设备的环境中, 当多个主设备同时提出总线请求时, 需要判定哪个主设备能优先使用总线, 这时需要总线仲裁, 合理地控制和管理系统中多个主设备地总线请求, 以避免冲突。

4.13 异步总线有哪些可能的握手方式?

不互锁方式、半互锁方式和全互锁方式。

4.15 周期分裂式总线操作时序有哪些特点? 适用于什么样的场景?

特点: 将一个总线周期分解为两个分离的子周期: 寻址子周期、数据传送子周期。在寻址子周期, 主模块发送地址、命令及有关信息, 经总线传输, 由相关从模块接受下来, 立即和总线断开。随即总线可以被其他主模块使用。待从模块准备好数据后, 启动数据传输子周期, 从模块申请总线, 请求主模块接收数据。

适用于需要增大总线使用效率以及有多个主模块的系统。

4.19 为什么AMBA总线中没有定义电气特性和机械特性?

AMBA总线是片内总线, 是一种与工艺无关的片上协议, 所以无需指明通信实体间硬件连接接口的机械特点。电气特性取决于设计时选择的生产工艺。

4.21 简述AHB总线的流水线机制。

单个数据传输过程:

- ①主机在地址阶段把地址信息A驱动到了地址总线上
- ②而从机时下一个时钟周期时钟的上升沿通过采样获取这些地址和控制信息
- ③随后的下一个时钟周期时钟的上升沿通过采样数据总线HWDATA[31:0]获取数据。

整个过程中地址信息的更新和数据的更新在节拍上是错开的, 在当前AHB传输地址阶段的地址信息实际上是上一次AHB传输最后一个时钟周期就已经驱动到HADDR[31:0]上了, 而本此AHB传输的数据更新至HRDATA[31:0]之后, 只能在下一次的AHB传输开始第一个时钟周期才能被读取。这种地址信息和数据信息交叠的操作方式, 被称作流水线机制。

4.22 简析AHB中SPLIT操作的优点。

避免了二级流水线操作里从机因为某种原因不能响应造成的流水线中断影响总体性能。使AHB在具有提高总线效率的同时更具灵活性。

4.23 解释图4.23中HREADY信号的作用。

接收端未准备好, 将HREADY信号拉低, 以插入等待周期, 表示当前周期为插入的一个等待周期。

4.25 AHB中突发传输定义了哪些类型? 各自有什么特点?

HBURST[2:0]	类型	类型的描述
000	SINGLE	单次传输 Single transfer
001	INCR	未标识长度的地址递增式传输 Incrementing burst of unspecified length
010	WRAP4	突发长度为 4 的地址循环递增式传输 4-beat wrapping burst
011	INCR4	突发长度为 4 的地址顺序递增式传输 4-beat incrementing burst
100	WRAP8	突发长度为 8 的地址循环递增式传输 8-beat wrapping burst
101	INCR8	突发长度为 8 的地址顺序递增式传输 8-beat incrementing burst
110	WRAP16	突发长度为 16 的地址循环递增式传输 16-beat wrapping burst
111	INCR16	突发长度为 16 的地址顺序递增式传输 16-beat incrementing burst

4.30 PCIe5.0版本中X16的吞吐量63.0 GB/s是如何计算得到的？

$32\text{GT/s} * 128/130 * 16 = 504.12\text{G(bits)/s} = 63.01\text{G(bytes)/s}$

4.35 异步串行通信中的起始位和停止位有什么作用？

起始位所起的作用就是表示字符传送开始；停止位是一个字符数据的结束标志。

4.38 什么是I/O接口？一般接口电路中有哪些端口？

I/O接口：常被称为I/O接口电路或I/O控制器，是为协调微处理器与外设交换信息中速度有较大差异、电平信号不一致、数据格式不同、时序不匹配等方面的不一致，在微处理器与外设之间引入中间接口电路，这部分电路就是I/O接口电路。

端口：数据端口、状态端口、命令/控制端口。

4.40 接口电路的输入需要用缓冲器，而输出需要用锁存器。为什么？

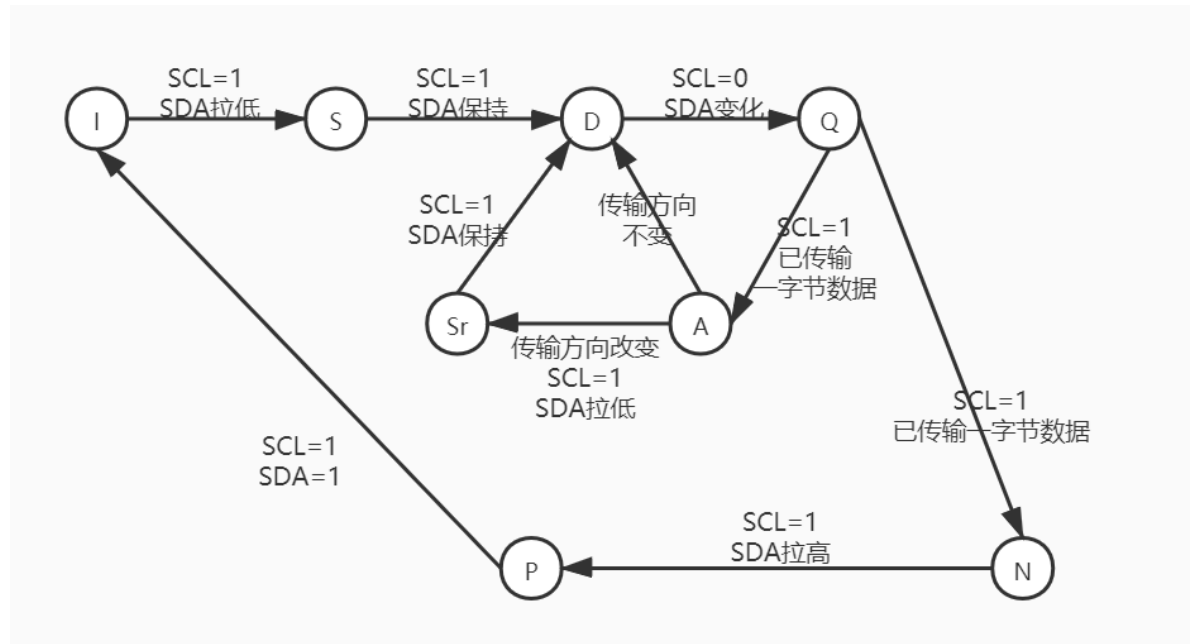
缓冲器：外设数据保持时间相对于CPU的处理时间要长得多，输入数据不能影响系统总线的正常使用。

锁存器：CPU速度很快，而物理外设的速度比较慢，需要电路输出端保持数据。

4.44 分析图4.68所示菊花链电路，某计算机系统有4个中断源，设计基于菊花链的优先级排队电路（画出电路示意图），并指出优先级最高的是哪个中断源。

在图4.68中，假设中断请求信号和中断响应信号都是高电平有效的。CPU送出中断响应信号后，若设备1无中断请求，则与门A1关门，A2开门，中断响应信号继续向下一级传送；若设备2有中断请求，则与门B1开门，中断响应信号送至设备2，同时B2关门，中断响应信号不再向下传送（无论后面的设备是否有中断请求）。依上分析，设备接入菊花链的顺序就确定了设备的中断优先级：越靠近链前端的设备优先级越高。

总线空闲I、启动数据传输S、停止数据传输P、重新启动Sr、数据有效D、等待/ 数据无效Q、应答A、不
应答N



附加题

IBF为输入缓冲器满信号，当其为高电平时表示缓冲区已满，通知输入设备暂时不能再接受新的数据。