1. **什么是DMA方式？其传输过程分几个阶段？简述DMA写的过程？简述DMA读的过程？DMAC有哪两种工作状态，并简述DMA传送的一般过程。**
2. DMA，让存储器和高速外设之间直接交换数据，而无需CPU干预。
3. **申请阶段**：当外设有DMA需求且准备就绪，向DMAC发出DREQ（DMA请求信号）。DMAC收到DMA请求之后，通过CPU的HOLD引脚向CPU发送HRQ（总线请求信号）  
   **响应阶段**：CPU收到HRQ之后，如果允许DMA传输，则会在当前总线周期结束后发出HLDA（DMA响应信号）和I/O读写信号和一个内存写信号。DMAC获得总线控制权后，向外设发出DACK（DMA应答信号），通知可以传输数据  
   **数据传送阶段**：DACK送出地址和控制信号，进行外设与内存间的数据传输  
   **传送结束阶段**：当传输完成之后，DMAC产生结束信号给外设，外设撤销DREQ信号，CPU收回总线控制权
4. 主动工作状态：DMA传输时，DMAC取代CPU获得总线控制权，向存储器和外设发信号  
   被动工作状态：CPU对DMAC的控制
5. **DMA控制器8237的信号线IOW和IOR是单向的还是双向的，为什么？**

双向的。

8259可以作为**从设备**,CPU可以通过地址信号和读/写信号对其操作，这是他们作为**输入信号。**

8259可以作为**主设备**控制系统总线,控制存储器和I/0之间的数据传送,这时地址和读写信号就是**输出信号**。所以上述这些信号是双向的。

1. **I/O端口是什么？简述端口地址编址方式，并说明特点。**

I/O端口是介于主机和外设之间，进行数据传送时可以直接由CPU进行读写的寄存器

**统一编制：**

1. 主存单元与I/O端口一起编址；
2. 根据地址区分访问的是I/O端口还是主存；
3. 系统中可以不设I/O指令。  
    优点：**存储器指令也可用于I/O数据传送**  
    缺点：**端口占用存储器的地址空间**

**独立编址：**

1. 主存单元与I/O端口分开寻址；
2. 设置专门的I/O指令；
3. 指明是访问I/O端口，还是主存单元。

优点：I/O端口不占内存空间，执行速度快  
 缺点：要求CPU有独立的I/O指令，并且CPU访问I/O端口的寻址方式少

1. **串行接口电路的基本任务是什么？**

按照规定好的顺序逐个传输数据位

1. **8086CPU是由哪两个部件组成的，他们各自的功能是什么？**

BIU:负责控制CPU与存储器和I/O读写  
EU:从指令队列中取出指令并执行

1. 状态标志位和控制标志位有何不同？8086/8088的状态标志位和控制标志位有哪些？

不同点：状态标志位在指令执行后受影响，而控制标志位不受指令影响，人为的用指令设置状态

状态标志位：（sopzac）SF OF PF ZF AF CF

控制标志位：TF IF DF

1. **总线周期的含义是什么，由几个时钟周期构成？如果1个CPU的时钟频率是1000MHZ，那么它的一个时钟周期是多少？**

总线周期：CPU通过总线对存储器或I/O端口访问一次所需时间

4个

1\*10-9？

1. **8086/8088系统用的时钟发生器产生哪些信号？**

CLK、RESET、READY

1. **写出AX、BX、CX、DX、SI的隐含用法**

AX：累加器

BX：基址寄存器

CX：计数器

DX：数据寄存器

SI：变址寻址方式的源偏移地址

**10.比较8259A中断控制器的自动结束和非自动结束中断方式的区别？**

答：自动结束方式适用于系统中只有单片8259A，且不会发生嵌套的情形，而非自动中断方式可用于中断嵌套和级联方式。

自动结束方式是通过设置初始化命令字ICW4，使得在第二个INTA周期结束后，8259A自动地将在第一个INTA脉冲到来时设置的ISR中的相应位复位；中断非自动结束方式是直至中断服务程序结束，并发出相应的中断结束命令（EOI）后，才使ISR中的对应位复位，结束中断处理

**11.8259A内部如何实现中断优先权管理的？**

8259A有以下几种中断优先权：

1. 全嵌套方式是8259A默认的工作方式，若没有设置其他工作方式，就为全嵌套方式，此时IR0优先级最高。

2、特殊全嵌套方试是用ICW4设置的，允许响应与当前正在处理的中断程序同级的中断相应

3、优先级自动循环方式由命令字OCW2设置，其中R=1，SL=0，EOI=0，这种方式下，初始的IR0优先级最高，处理后的设备优先级自动降为最低

4、优先级特殊循环方式由OCW2设置，其中R=1,SL=1,EOI=0，这种方式下，由L3L2L1指定初始的最低优先级，处理后的设备优先级自动降为最低

**8259A内部的优先权管理方式：**

通过设置中断屏蔽寄存器IMR,可以屏蔽某些中断请求，从而动态地改变各个请求端的优先级别。经IMR允许进入的多个中断请求，由PR判定最高优先级，由系统首先响应。

8259A相应某个中断请求后，将ISR寄存器对应位置1；如果后序的中断请求级别低于正在相应的中断请求，则新的中断请求不能被响应；反之，若新的中断请求优先级高于正在相应的中断请求，则允许中断嵌套，在中断服务结束时，将ISR中的对应位复位。

**12.简述中断类型号、中断向量地址和中断向量之间的关系。中断向量表的作用是什么？中断向量是什么，它放在那里。**

中断向量地址=中断类型号\*4，中断向量地址是存放中断向量的存储单元地址。

中断向量表将所有中断向量集中存放在一起。

中断向量指中断服务程序的入口地址，存放在中断向量表中，对应地址等于中断类型号乘以4

**13.外设向CPU申请中断，但CPU不给予响应，其原因有哪些？**

CPU当前指令未执行结束；

中断允许位IF=0，CPU关中断

当前外设的中断优先级小于正在执行中的中断程序

**14.INTR和NMI中断的区别**

1、非屏蔽中断（NMI）。（典型的有掉电）由正跳变NMI引入，不受中断标志位IF的控制。当中断发生时，CPU立即响应非屏蔽中断，并自动产生中断类型码

2、可屏蔽中断（INTR）。由高电平有效INTR引入，可屏蔽中断是由用户定义的外部硬件中断，受中断标志位IF的控制。当IF=1时，CPU将响应这一中断请求。该类中断类型码CPU必须通过总线从外设获取，因此CPU必须执行总线周期。

**15.8259可管理多少级中断，最多可扩展到多少级中断系统？若想屏蔽某一中断源的请求，应该怎样处理？**

一片8259可以管理8级中断。

最多可以同时由8片8259级联，扩展到64级中断系统。

可以通过写操作命令字OCW2，使得IMR中相应位置1，从而屏蔽该级中断请求。

**16.描述中断的一般过程，并写出每个阶段主要完成的工作？**

中断过程是指从中断源提出，到中断被CPU响应被处理，并返回到被中断程序的全过程。

1、中断请求：需要中断源向CPU发送中断请求

2、中断判优：由中断优先权判别电路识别中断请求的优先级，当同时有多个中断请求时，按照一定的优先级顺序选择相应中断

3、中断响应：当满足CPU响应中断的条件后，获取相应的中断信息，即中断类型码，并自动保护某些现场信息

4、中断处理：转入中断类型码对应的中断服务程序并执行

1. 中断返回：恢复现场信息，返回被中断的程序

**17.中断处理的过程**

关中断->保护断点->保护现场->转入相应的中断服务程序->恢复现场->开中断->中断返回

18.中断响应过程

CPU收到中断请求后，如果中断开放，且没有其他设备申请DMA传送，则CPU在当前指令结束时响应中断。CPU响应中断前，进行断点及标志保存。通过在响应周期中读取的中断类型号，找到中断源的中断服务程序入口地址，分别将它们装入CS和IP寄存器中，然后进入中断服务程序并开始执行