

北京理工大学《计算机系统结构》期末试卷

一、单项选择题（在下列每小题的四个备选答案中，只有一个答案是正确的，请把你认为是正确的答案填入题后的（ ）内，每小题1分，共10分）

1. 计算机系统多级层次中，从下层到上层，各级相对顺序正确的应当是：（ ）
A. 汇编语言机器级---操作系统机器级---高级语言机器级
B. 微程序机器级---传统机器语言机器---汇编语言机器级
C. 传统机器语言机器级---高级机器语言机器级---汇编语言机器级
D. 汇编语言机器级---应用语言机器级---高级语言机器级
2. 对系统程序员不透明的是：（ ）
A. Cache 存储器 B. 系列机各档不同的数据通路宽度
C. 指令缓冲寄存器 D. 虚拟存储器
3. Pentium 的一个很重要的特点是它具有在硬件上分开的（ ）条整数执行流水线。
A. 1 B. 2 C. 3 D. 4
4. 系列机软件应做到：（ ）
A. 向前兼容，并向上兼容
B. 向后兼容，力争向上兼容
C. 向前兼容，并向下兼容
D. 向后兼容，力争向下兼容
5. 不属于堆栈型替换算法的是（ ）。
A. 近期最少使用法
B. 近期最久未使用法
C. 先进先出替换算法
D. 页面失效法
6. 最能确保提高虚拟存储器访问主存的命中率的改进途径是（ ）。
A. 增大辅存容量
B. 采用 FIFO 替换算法并增大页面
C. 改用 LRU 替换算法并增大页面
D. 改用 LRU 替换算法并增大页面数
7. 在 IEEE754 标准中，浮点数的表示采用双精度格式是（ ）位。
A. 64 B. 32 C. 16 D. 128
8. 静态流水线是指（ ）。
A. 只有一种功能的流水线
B. 功能不能改变的流水线
C. 同时只能完成一种功能的多功能流水线
D. 可同时执行多种功能的流水线
9. ILLIAC IV 是一种：（ ）
A. 流水线处理机 B. 指令重叠处理机
C. 阵列处理机 D. 多处理机
10. 互连网络中网络规模的概念是（ ）。
A. 与结点相连接的边数
B. 网络中结点的个数
C. 两结点之间相连的最少边数
D. 两结点间线的长度

二. 填空题 (每空 1 分, 共 10 分)

1. 计算机组成是计算机系统结构的_____，计算机实现是计算机组成的_____。
 2. 弗林分类法中多倍性指的是在_____部件上处于同一执行阶段的指令或数据的最大可能个数。
 3. Cache 存储器写操作时，只写入 Cache，仅当需要块替换时，才将其写回主存，称这种修改主存块内容的方法为_____法。
 4. 自定义数据表示又分带标识符数据表示和_____两类。
 5. 流水线消除速度瓶颈的方法有_____和瓶颈子过程多套并联两种。
 6. 开发并行性是为了并行处理，并行性又包括_____和并发性二重含义。
 7. 沿时间重叠技术途径发展的异构型多处理机的典型结构代表是_____处理机。
 8. 0~15 共 16 个处理单元用单级 PM2.3 互连网络连接，第 5 号处理单元将连至第_____号处理单元。
 9. 互连函数表示互连网络的出端号和入端号的一一对应关系，其表示方法有输入输出对应表示法、_____、函数表示法。
- | | | | | |
|-------------|-------|-----------|-------|----------|
| 1. 逻辑实现 | 物理实现 | 2. 系统性能瓶颈 | 3. 写回 | 4. 数据描述符 |
| 5. 瓶颈子过程再细分 | 6. 同时 | 7. 流水线 | 8. 13 | |
9. 循环表示法

三. 判断题 (正确的在 () 中写 T, 不正确的除写 F 外, 说明理由, 每题 2 分, 共 4 分)

1. 紧耦合多处理机中，各处理机运行的程序段之间如有先写后读数据相关是不能并行的。()
 2. 采用 LRU 替换的 Cache 存储器，分配给程序的 Cache 容量一定时，块的大小增大，Cache 的命中率将先上升，到一定时候又会逐渐降低。()
1. T
2. F 说明：由于 Cache 容量较大，块的大小受调块时间限制不可能太大，所以，Cache 块数很多，不会发生 Cache 命中率又下降的情况。

四. 简答题 (每题 6 分, 共 12 分)

1. 计算机系统的弗林分类法是按什么来分类的？共分哪几类？解释其含义。

答案：弗林分类法是按指令流、数据流及其多倍性分类的。共分四类。

SISD：指令部件只对一条指令处理，只控制一个操作部件操作。如一般的串行单处理机。

SIMD：由单一指令部件同时控制多个重复设置的处理单元，执行同一指令下不同数据的操作。如阵列处理机。

MISD：多个指令部件对同一数据的各个处理阶段进行操作。这种机器很少见。

MIMD：多个独立或相对独立的处理机分别执行各自的程序、作业或进程。例如多处理机。

2. 简述衡量流水线处理机的性能的技术指标及各自的定义。

答案：(1) 吞吐率：指单位时间内能处理的指令条数或能输出的结果量。吞吐率越高，计算机系统的处理能力越强。

(2) 加速比：指采用流水线方式后的工作速度与等效的顺序串行方式的工作速度之比。

(3) 效率：指流水线中的各功能段的利用率。

3. RISC 计算机设计思想起源主要有哪三个方面？

答案：(1) 20%~80%定律：一个指令系统中大约 20% 的简单指令在程序中经常重复使用，其使用量大约占整个程序的 80%。而 CISC 指令系统中大约 80% 的指令是很少使用的，其使用量只占真个程序量的 20%，且大多数为复杂的指令。

(2) 系统设计中硬件和软件之间折衷：要保持一个系统有较高的性能价格比，单靠增加硬件复杂度是不行的，必须把硬件软件结合起来互相配合，均衡考虑。

(3) VLSI 工艺技术发展：由于 VLSI 技术工艺的迅猛发展，使得在一块芯片上能够集成大量的寄存器，促使系统设计者能使用较快的寄存器-寄存器型指令，从而使指令系统更为精简，控制部件也更加简化，大部分用硬件逻辑实现，指令系统效率高。

五. 设有一个多机系统，有 16 个处理器编号分别为 0, 1, 2, 3.....15，它们采用单级互连网互连，当互连函数分别为如下时，第 11 号处理器和哪一个处理器相连（写出处理器号，并写出具体变换公式）（每个 3 分，共 12 分）

1. $CUBE_2$

2. $PM2_3$

3. $SHUFFLE(SHUFFLE)$

4. $PM2_{+0}$

答：1. $CUBE_2(11) = CUBE_2(1011) = 1111 = 15$

2. $PM2_3(11) = (11 - 2^3) \text{ MOD } 16 = 3$

3. $SHUFFLE(SHUFFLE(11)) = SHUFFLE(SHUFFLE(1011))$
 $SHUFFLE(7) = SHUFFLE(0111) = 14$

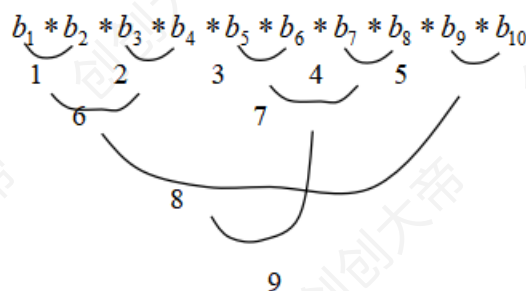
4. $PM2_{+0}(11) = (11 + 2^0) \text{ MOD } 16 = 12$

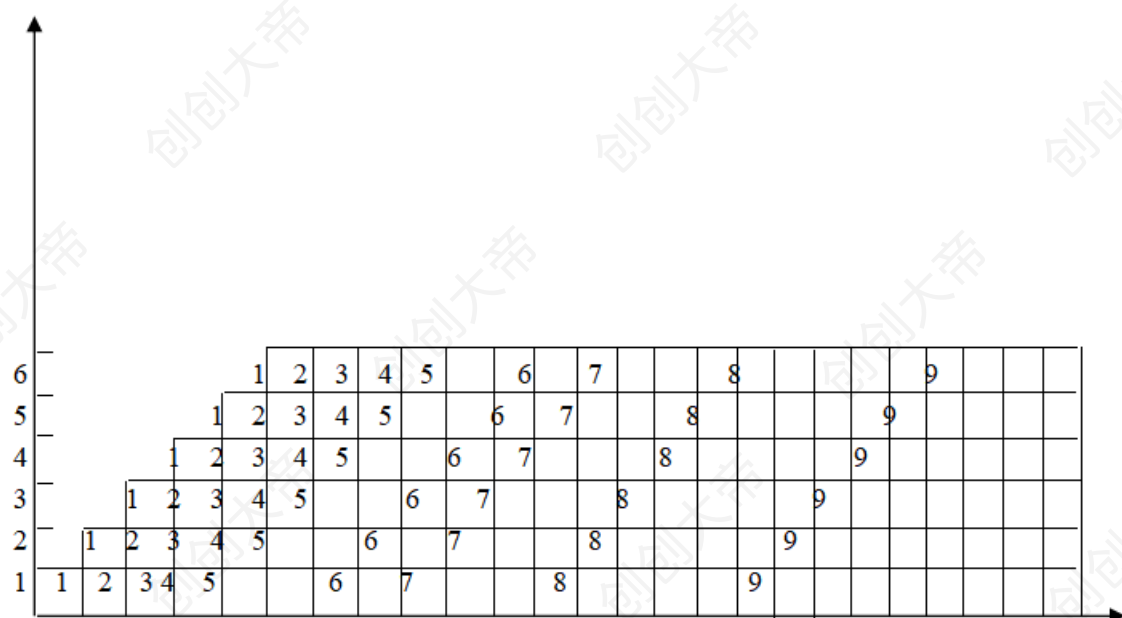
六. 计算机有六段乘法流水线，各段处理时间相同，分别为 50ns，求进行十个数连续相乘时，即

$$b_1 * b_2 * b_3 * b_4 * b_5 * b_6 * b_7 * b_8 * b_9 * b_{10}$$

用时空图法求流水线的吞吐率、效率和加速比。（20 分）

答：





由时空图分析，总共在 25 个 Δt 的时间内流出 9 个结果，则吞吐率为

$$TP = 9 / 25 \Delta t = 9 / (25 \times 50ns) = \frac{9}{1250ns}$$

若不用流水线，由于一次求积需 $6 \times 50ns$ ，产生上述结果需 $9 \times 6 \times 50ns$ ，因此加速比 $Sp = (9 \times 6 \times 50ns) / (25 \times 50ns) = 2.16$ 。

该流水线的效率为

$$\eta = (9 \times 6 \times 50ns) / (6 \times 25 \times 50ns) = 36\%$$

七. 在CRAY-1机上有列指令组，设向量元素为 N ($N=64$)，各功能部件执行时间如下，浮点加为7拍，浮点乘为7拍，打入寄存器及向功能部件传送各需1拍，从存储器读7拍，问

(1) 下列指令组的最佳执行过程是什么，按最佳方案计算全部完成这些运算所需多少节拍？

(2) 若只流水不链接则需多少拍？

(3) 若不流水不链接则需多少拍？

$V2 \leftarrow \text{存储器}$

$V1 \leftarrow V3 + V4$

$V5 \leftarrow V1 \times V2$

$V6 \leftarrow V2 \times V5$

(16 分)

解：(1) 最佳执行过程是 (1) (2) 并行，再与 (3) 链接，与 (4) 串行。需拍数为

$$1 + 7 + 1 + 1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 = 153 \text{ 拍}$$

(2) 只流水不链接需拍数为

$$1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 = 216 \text{ 拍}$$

(3) 不流水不链接需拍数为

$$1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 + 1 + 7 + 1 + 63 = 288 \text{ 拍}$$

八. 画出 0~7 号共 8 个处理器的三级混洗交换网络, 在该图上标出实现将 6 号处理器数据播送给 0~4 号, 同时将 3 号处理器数据播送给其余 3 个处理器时的各有关交换开关的控制状态。(16 分)

解: 0~7 号共 8 个处理器的三级混洗交换网络及其交换开关控制状态设置如下图所示:

