



CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

INGENIERIA EN COMUNICACIONES Y ELECTRONICA

**Seminario de Solución a Problemas de
Programación de Sistemas Reconfigurables**

Ing. Carrion Cortes Jose Mario

**Aguilar Rodriguez Carlos Adolfo
215860049**

Divisor de Frecuencia de FPGA

27 de septiembre del 2016

Divisor de frecuencia en FPGA

Para comenzar realizamos el código en Max plus 2 en VHDL y simulamos para verificar que todo este en orden.

```
Library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity DivisorRelej is port
(
    Relej_in : in std_logic;
    Relej_out :out std_logic
);
end DivisorRelej;

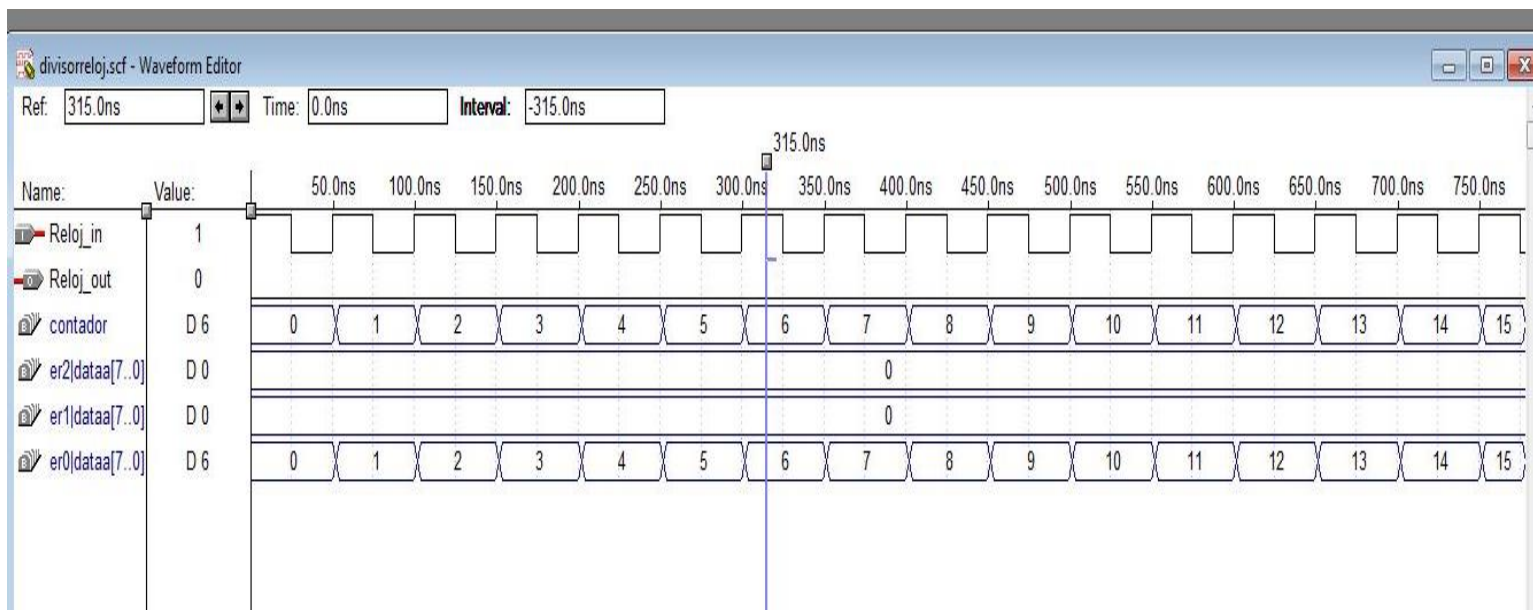
architecture aa of DivisorRelej is
    signal contador: integer range 0 to 25000000;
    signal VectorContador: std_logic_vector(24 downto 0);

begin
    Process (Relej_in, Contador, VectorContador)
    begin

        VectorContador<= conv_std_logic_vector (Contador,25);
        if(Relej_in='1' and Relej_in' event) then
            contador <= contador +1;
            Relej_out <= VectorContador(24);

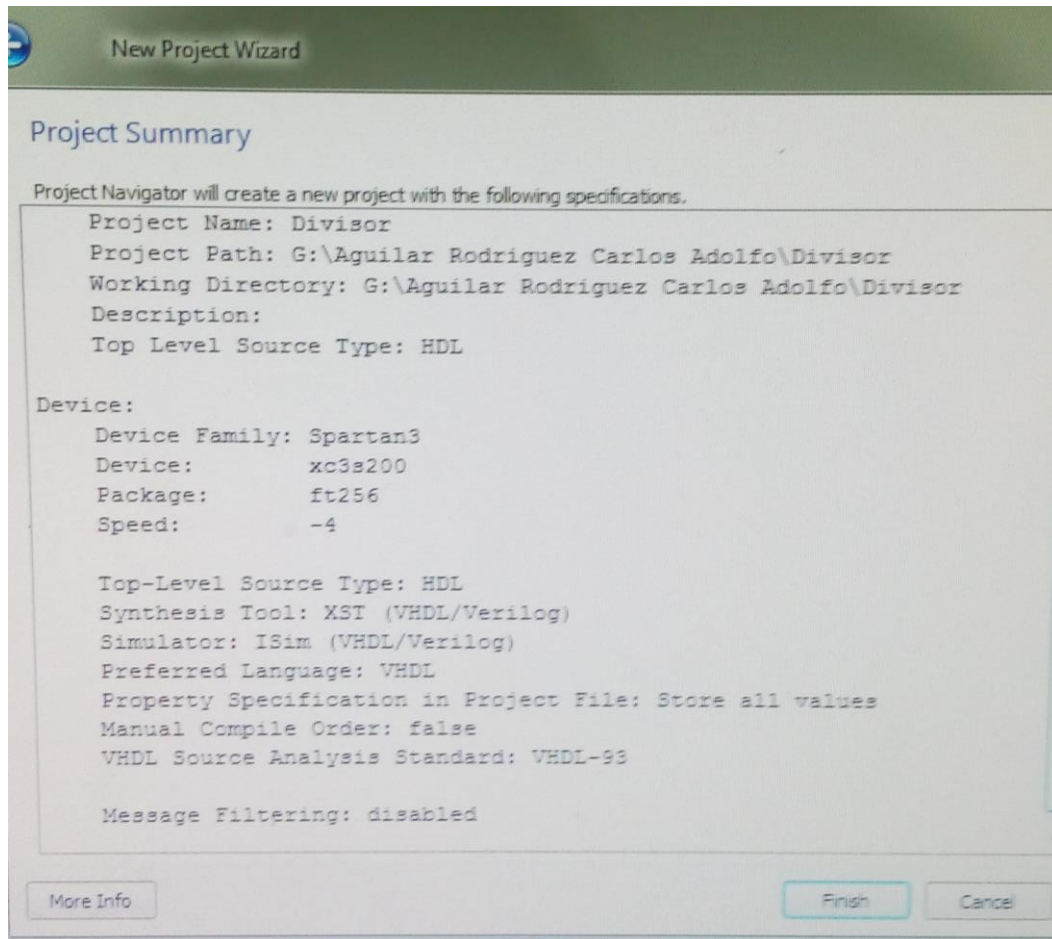
        end if;
    end process;
end aa;
```

SIMULACION EN MAX 2 PLUS



Ahora abrimos Xilinx cerramos el proyecto actual si es que esta abierto alguno cargamos el codigo en el proyecto para programar el FPGA Verificando que se cumplan todos los datos de la siguiente imagen el lenguaje en que se programa, el modelo de FPGA, que coincida el nombre del codigo a programar con el del codigo que realizamos en maxplus 2

Cargamos en el FPGA por medio de xilinx los valores que tendrá el reloj



Si no hay error alguno se abre Adept y en este verificamos que el FPGA sea detectado por el ordenador de no ser asi rectificamos las conexiones del FPGA con el ordenador

Si todo esta bien seleccionamos el FPGA de acuerdo a nuestro modelo y programamos

