



# CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

## INGENIERIA EN COMUNICACIONES Y ELECTRONICA

**Circuitos Digitales 1** 

# Tarea 06 Maquina de Estados Semáforo

Nombre: Aguilar Rodríguez Carlos Adolfo

Código: 215860049

Fecha: 6 de marzo del 2018

Profesor: Chávez Martínez Ehecatl Joel

# **C**ontenido

Marco Teórico (3)
1áquina de 3 estados  (4)
-Diagrama de flujo (4)
-Código vhdl (5)
-Código pat ( 6 )
-Código ioc ( 6 )
-Diagrama Esquemático (7)
-Diagrama caja negra (8)
-Simulación (8)
-Plano real ( 9 )
-Tabla de resultados (10

#### Marco Teórico

Diseñar en VHDL una máquina de estados de dos entradas y tres salidas Las entradas serán asignadas de la siguiente manera: Una entrada será exclusiva del reset, la otra para los pulsos del reloj.

Las salidas serán para los estados de la máquina, en este caso serán los estados del semáforo, siga (verde), preventivo (amarillo), rojo (alto).

Haciendo uso de un process llamado luces y sensible al reset y al reloj comenzaremos a describir el componente.

Se hará uso de dos señales una de ellas será para una variable llamada contador el cual llevara el número de pulsos realizador por el reloj, dependiendo de la cantidad de pulsos detectados y el estado en el que se encuentre la máquina, la maquina cambiara de estado.

La otra señal se encargara de contener el estado actual de la máquina para asignarlo a las salidas.

Para realizar una simulación que pueda apreciarse mejor se hacen uso de periodos cortos para los estados donde el verde durara 6 pulsos de reloj (contando los flancos de subida y de bajada), para el rojo durara 4 pulsos de reloj y para el amarillo durara 2 pulsos de reloj.

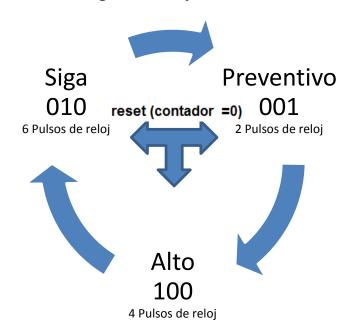
En caso de estar el contador en 0 el estado será llevado a Alto.

El case evaluara el contador para operar con los estados de la máquina y determinar las salidas.

Si en dado caso se detecta un reset el contador se llevara a 0 y el estado cambiara a alto .

Cualquier otro estado será llevado todos a 1 (ON-ALTO).

## Diagrama de flujo semáforo



reset	reloj	Contador	Rojo	Siga	Preventivo
1	No hay pulso	0	-	-	-
1	Hay pulso	0	1	0	0
0	No hay pulso	0	1	0	0
0	Hay 4 Pulsos	4	0	1	0
0	Hay 6 Pulsos	6	0	0	1
0	Hay 2 Pulsos	2	1	0	0
1	Hay pulso	0	1	0	0

Un reset aplicado en cualquier estado será llevado a Alto

#### Código VHDL Maquina de estados semáforo

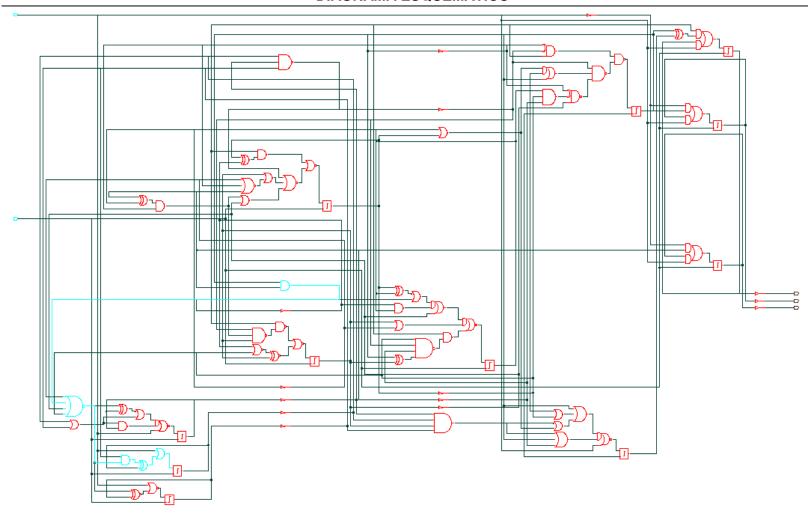
```
- Maquina de estados semaforo
 library ieee;
use ieee.std_logic_1164.all;
 -- Entidad
  entity semaforo is
   port(
      reloj,rst
                             :in std_logic;
      verde,rojo,amarillo :out std_logic);
       end semaforo;
 --Arquitectura
 architecture arql of semaforo is
      --Asiganar estados a la maquina
     type estados is (siga,alto,preventivo);
     signal maquina : estados;
     signal contador: std_logic_vector(5 downto 0);
     luces:process (reloj,rst)
     begin
    if (reloj'event and reloj='1') then
if (rst='1') then
       maquina <=alto;
       contador<=0;
       else
       case maquina is
       when siga =>
             --Valores de la salida
            rojo <= '0';
verde<= '1';
            amarillo<='0';
              -siguiente estado
             if (contador=6)then
             maquina<=preventivo;
             contador <= 0;
             else
      contador <= contador + '1';
end if;
when preventivo =>
            --Valores de la salida
            rojo <='0';
verde<='0';
            amarillo<='1';
             --siguiente estado
            if (contador=2)then
            maquina<=alto;
            contador <= 0;
            else
                contador <= contador + '1';
            end if;
      when alto =>
            --Valores de la salida
            rojo <='1';
verde<='0';
            amarillo<='0';
             --siguiente estado
            if (contador=4)then
            maquina<=siga;
            contador <= 0;
            else
               contador <= contador + '1';
            end if;
      when others =>
            --Valores de la salida
            rojo <='1';
verde<='1';
            amarillo<='1';
             --siquiente estado
            maquina<=alto;
  end case;
  end if;
  end if;
  end process;
  end arq1;
```

## • Codigo ioc

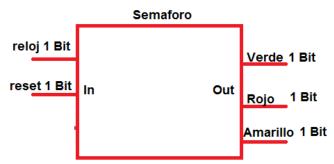
#### Código pat

```
declaracion de puertos
        in reloj
        in rst
                              В;
        out amarillo
                              В;
        out verde
                              В;
        out rojo
                              В;
    -- fin de puertos
    -- fuente de alimentacion
        in vdd B;
        in vss B;
        begin
                                            amarill verde rojo
                          reloj
                                   rst
                                                                      vdd
                                                                                VSS
        <0ns>:
                          0
                                                                                0;
                                                     <+50ns>:
                                                              ?????????????????????????????????????
                                                                                0;
        <+50ns>:
                          0
                                   0
                                                                                0;
        <+50ns>:
                                   0
                                                                                0;
        <+50ns>:
                          0
                                   0
                                                                                0;
        <+50ns>:
                                   0
                                                                                0;
        <+50ns>:
                          0
                                   0
                                                                                0;
        <+50ns>:
                                   0
                                                                                0;
                          0
                                   0
        <+50ns>:
                                                                                0;
                                   0
        <+50ns>:
                                                                                0;
                          0
                                   0
        <+50ns>:
                                                                                0;
                                   0
        <+50ns>:
                          1
                                                                                0;
        <+50ns>:
                          0
                                   0
                                                                                0;
        <+50ns>:
                          1
                                   0
                                                                                0;
        <+50ns>:
                          0
                                   0
                                                                                0;
                                   0
        <+50ns>:
                          1
                                                                                0;
                                            ?*
       <+50ns>:
                         0
                                                                                 Θ;
       <+50ns>:
                                   0
                                                                                 0;
                                                     ?*
       <+50ns>:
                                                                                 0;
                                                     ?*
       <+50ns>:
                                                                                 0;
                                                     <+50ns>:
                                                                                 0;
       <+50ns>:
                                   0
                                                                                 0;
       <+50ns>:
                                                                                 Θ;
       <+50ns>:
                         0
                                   0
                                                                                 0;
       <+50ns>:
                                                                                0;
                         1
                                   0
                                                                                0;
                         0
       <+50ns>:
                                   0
       <+50ns>:
                                   0
                                                                                 0;
                         1
       <+50ns>:
                         0
                                   0
                                                                                0;
       <+50ns>:
                                                                                0;
                         1
                                   0
                         0
       <+50ns>:
                                   0
                                                                                 0;
       <+50ns>:
                                   0
                                                                                 0;
                         1
                                            ?*
?*
?*
?*
?*
       <+50ns>:
                         0
                                   0
                                                                                 0;
       <+50ns>:
                                   0
                         1
                                                                                 Θ;
       <+50ns>:
                         0
                                   0
                                                                                 0;
       <+50ns>:
                                   0
                                                                                 0;
       <+50ns>:
                         0
                                   0
                                                                                 0;
       <+50ns>:
                                   0
                                                                                 0;
                                            ?*
?*
       <+50ns>:
                         0
                                   0
                                                                                 0;
       <+50ns>:
                                   0
                                                                                 0;
end;
```

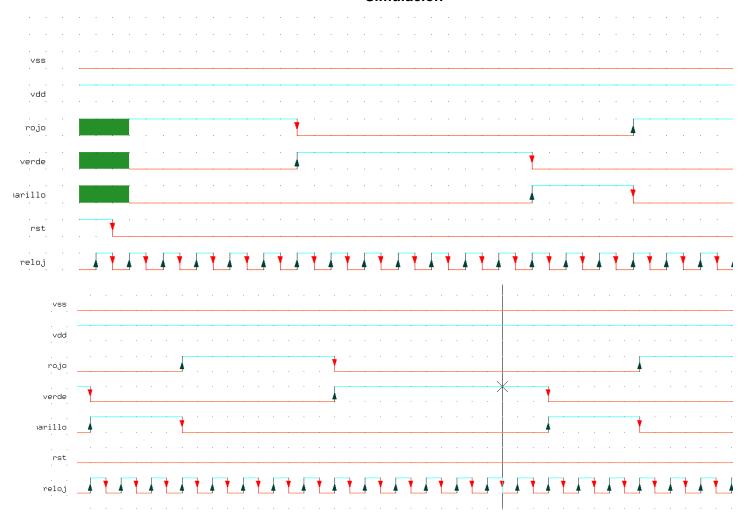
## **DIAGRAMA ESQUEMATICO**



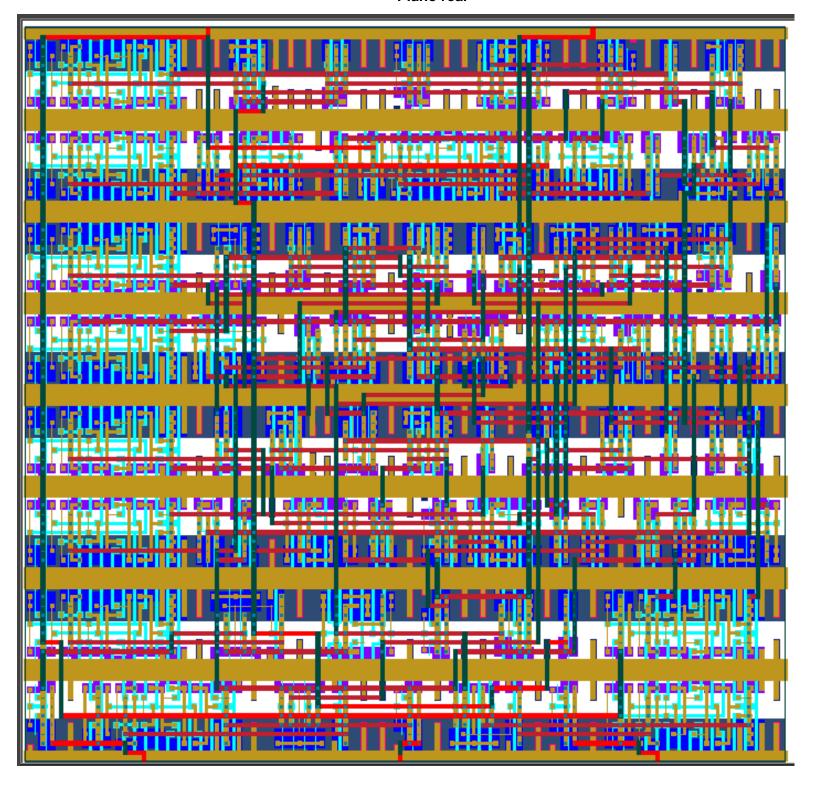
#### Diagrama caja negra



## • Simulación



#### Plano real



#### • Tabla de resultados

Critical path 2472 pico segundos Area  $A = 41700 micrometros^2$ Transistores = 696 Figura= 1,668,160,000