



CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

INGENIERIA EN COMUNICACIONES Y ELECTRONICA

Circuitos Digitales 1

Tarea 03

Multiplicador de 4 bits comportamental en VHDL

Nombre: Aguilar Rodríguez Carlos Adolfo

Código: 215860049

Fecha: 24 de Febrero del 2018

Profesor: Chávez Martínez Ehecatl Joel

Contenido

Marco Teórico	(3)
Multiplicador de 4 bits	(4)
-Código vhdl	(4)
-Código pat	(5)
-Código ioc	(5)
-Diagrama Esquemático	(6)
-Diagrama caja negra	(7)
-Simulación	(7)
-Plano real	(8)
-Tabla de resultados	(9)

- **Marco Teórico**

Diseñar en VHDL un multiplicador de 4 bits con 2 entradas y 1 salida:

Las dos entradas son de 4 bits .

La salida será de 7 bits .

Se hace uso de señales para concatenar los bits de las entradas para realizar la operación bit a bit almacenando el resultado en las señales renglon0, renglon1 renglon2, renglon3 y al después sumar el resultado de cada operación para ser depositado en la salida z

Las operaciones de los bits serán en binario pero en la simulación estarán expresados en hexadecimales

El diseño para el patillaje será el clásico arriba y abajo

- Código VHDL Multiplicador de 4 bits

```
-- multiplicador de 4 bits sintesis comportamental
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity mul4bc is
port(X,Y:in std_logic_vector(3 downto 0);
      Z :out std_logic_vector(7 downto 0));
end mul4bc;

architecture arq1 of mul4bc is
signal renglon0,renglon1,renglon2,renglon3:std_logic_vector(7 downto 0);
begin

renglon0<= ("0000" & X)when Y(0)= '1'else 0;
renglon1<= ("000"  & X & '0')when Y(1)= '1'else 0;
renglon2<= ("00"   & X & "00")when Y(2)= '1'else 0;
renglon3<= ('0'    & X & "000")when Y(3)= '1'else 0;
      z<= renglon0 + renglon1 + renglon2 + renglon3;

end arq1;
```

•

- **Codigo ioc**

```

TOP(
    (IOPIN x(0).0);
    (IOPIN x(1).0);
    (IOPIN x(2).0);
    (IOPIN x(3).0);
    (IOPIN y(0).0);
    (IOPIN y(1).0);
    (IOPIN y(2).0);
    (IOPIN y(3).0);
)

LEFT (
)

RIGHT(
)

BOTTOM(
    (IOPIN z(0).0);
    (IOPIN z(1).0);
    (IOPIN z(2).0);
    (IOPIN z(3).0);
    (IOPIN z(4).0);
    (IOPIN z(5).0);
    (IOPIN z(6).0);
    (IOPIN z(7).0);
)

```

- **Código pat**

```

-- declaracion de puertos
in X    (3 downto 0)B;
in Y    (3 downto 0)B;
out Z   (7 downto 0)B;

-- fin de puertos
-- fuente de alimentacion

in vdd B;
in vss B;

begin

--          X      Y      Z      vdd      vss

<0ns>:      0000    0000    ?*****    1      0;
<+50ns>:    0111    1110    ?*****    1      0;
<+50ns>:    0001    0000    ?*****    1      0;
<+50ns>:    0101    0010    ?*****    1      0;
<+50ns>:    1100    0101    ?*****    1      0;
<+50ns>:    0100    0110    ?*****    1      0;
<+50ns>:    1111    0101    ?*****    1      0;
<+50ns>:    0011    1110    ?*****    1      0;
<+50ns>:    0010    0101    ?*****    1      0;
<+50ns>:    0011    1110    ?*****    1      0;
<+50ns>:    0010    0101    ?*****    1      0;

end;|

```

DIAGRAMA ESQUEMATICO

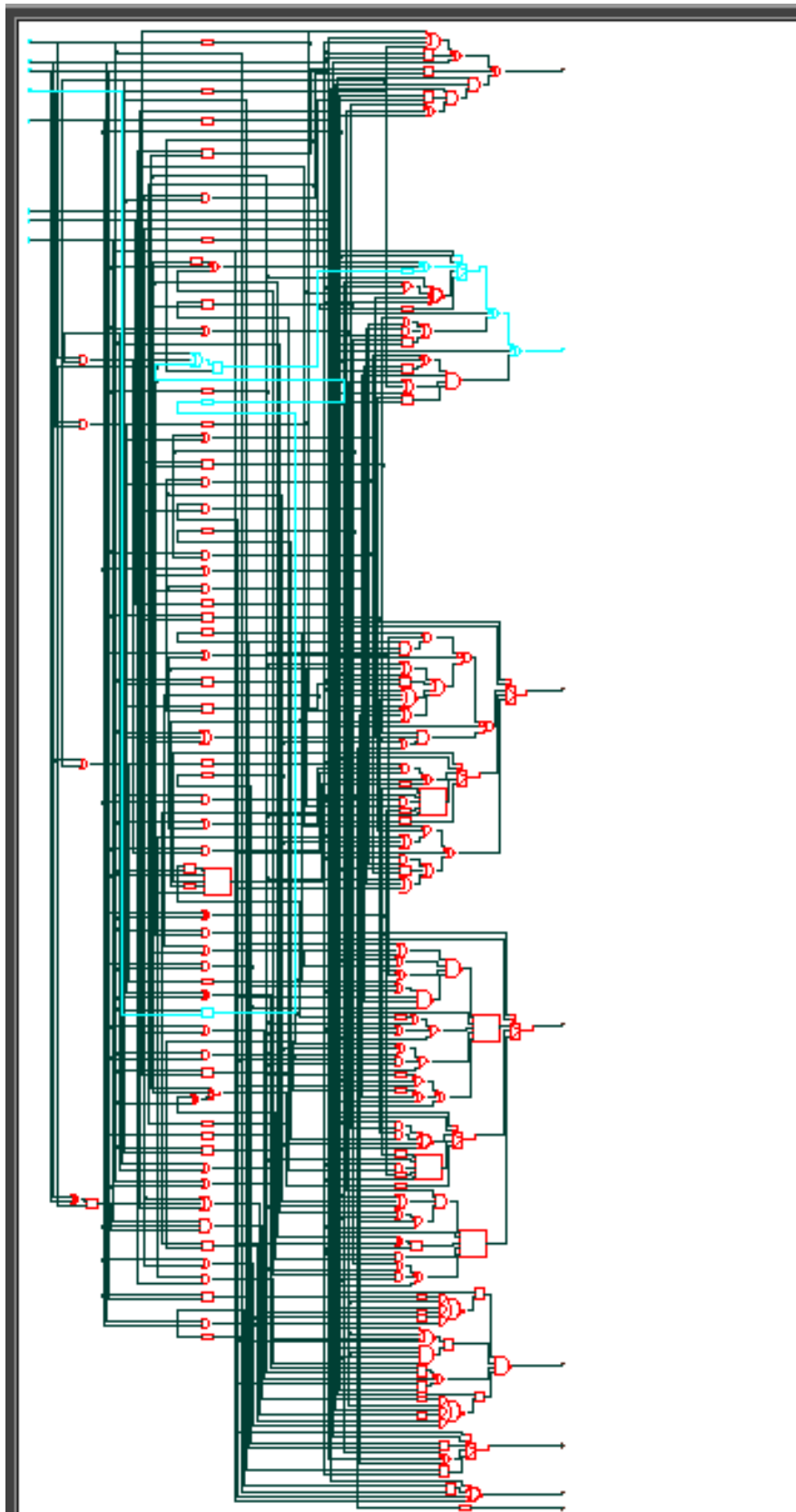
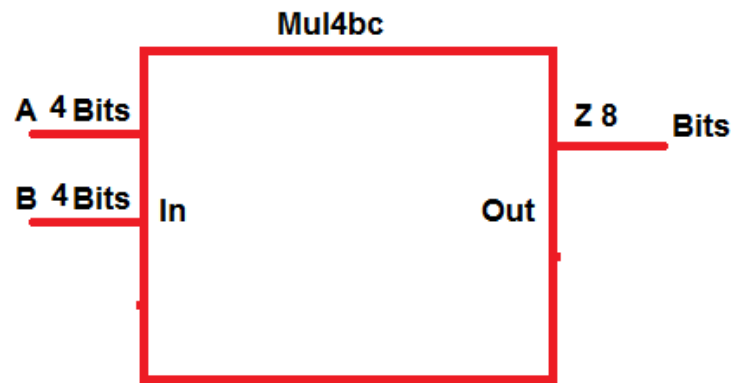
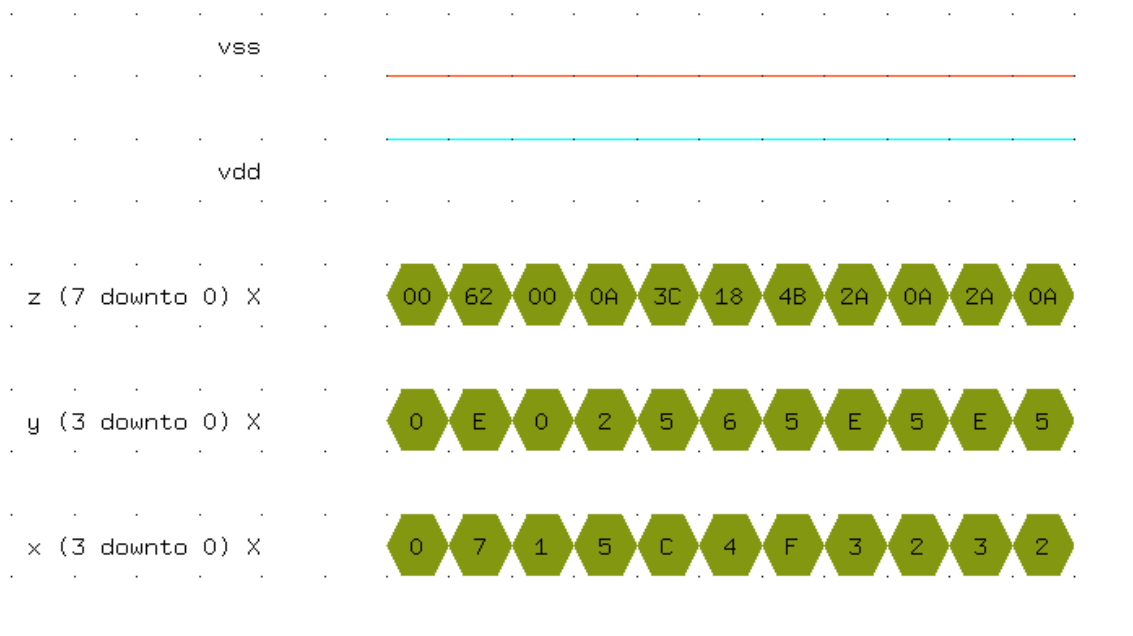


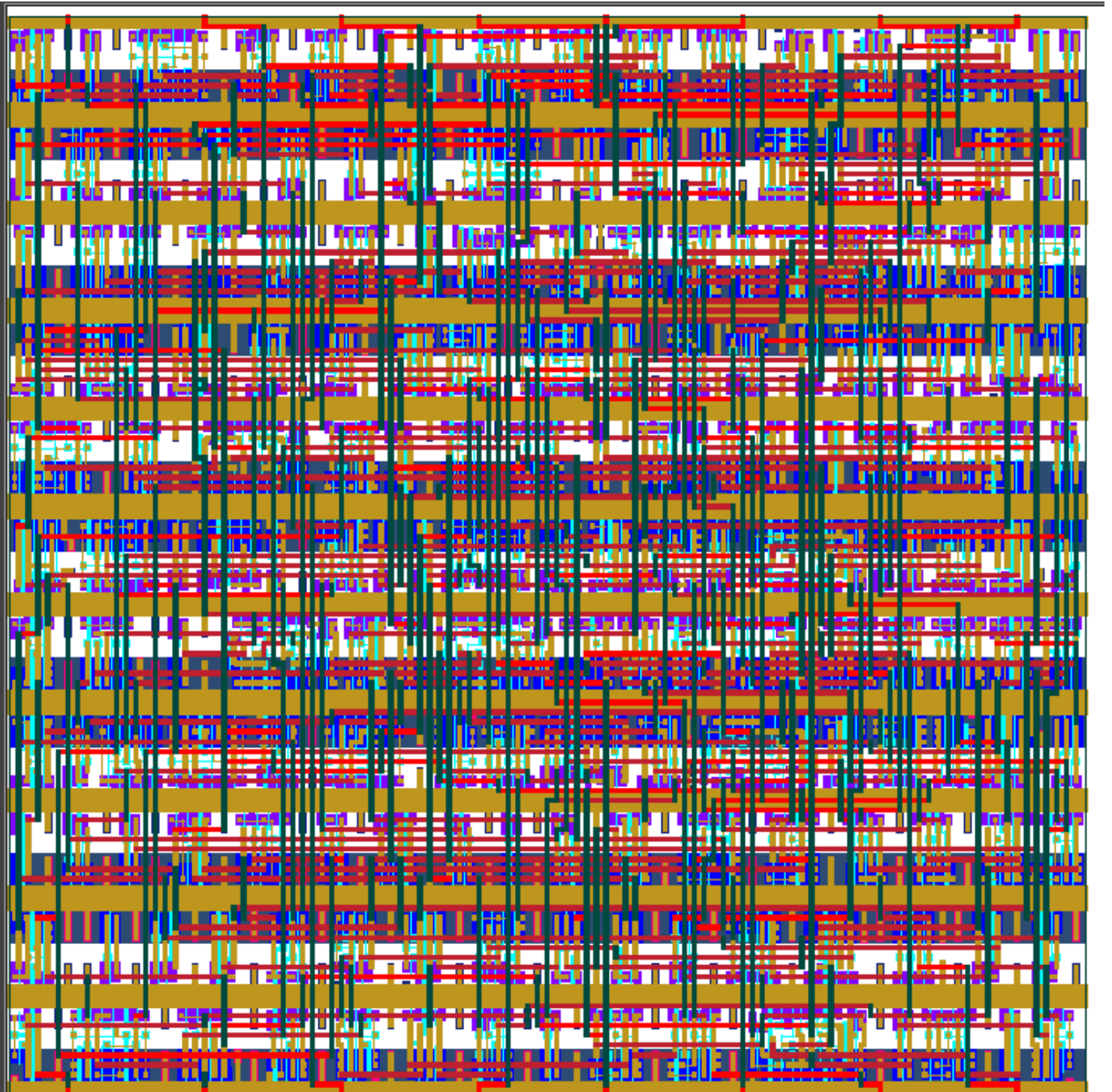
Diagrama caja negra



- Simulación



- Plano real



- **Tabla de resultados**

```

--LOON-----
Area on file 'mul4bc_boog.vst'...248750 lamda² (with over-cell routing)
Area on file 'mul4bc.vst'...253000 lamda² (with over-cell routing)
Critical path (no warranty)...3462 ps from 'x 2' to 'z 6'
-----

--COUGAR-----
      ---> Figure size      : (   -100,   -100 )
                        (  55100,  55100 )
      ---> Build transistors
<--- 1202
-----

```

Critical path 3462 pico segundos
 Area $A = 75,900 \text{ micrometros}^2$
 Transistores =1202
 Figura= 3,036,010,000