



CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

INGENIERIA EN COMUNICACIONES Y ELECTRONICA

Circuitos Digitales 1

Tarea 01

Sumador 4 bits en VHDL

Sumador 6 bits en VHDL

Nombre: Aguilar Rodríguez Carlos Adolfo

Código: 215860049

Fecha: 10 de Febrero del 2018

Profesor: Chávez Martínez Ehecatl Joel

Contenido

Marco Teórico	(2)
Sumador 4 bits	(4)
-Código vhdl	(4)
-Código pat	(4)
-Código ioc	(4)
-Diagrama caja negra	(5)
-Diagrama Esquemático	(5)
-Simulación	(6)
-Plano	(7)
-Tabla de resultados	(8)
Sumador 6 bits	(9)
-Código vhdl	(9)
-Código pat	(9)
-Código ioc	(9)
-Diagrama caja negra	(10)
-Diagrama Esquemático	(10)
-Simulación	(11)
-Plano	(12)
-Tabla de resultados	(13)

- **Marco Teórico**

- Diseñar en VHDL un sumador de 4 bits con 3 entradas y dos salidas:
Dos de las entradas son de 4 bits y una tercera entrada solo de 1 bit
Una de las salidas guardará los 4 bits menos significativos del resultado de la operación

La otra salida será destinada para el bit más significativo en caso de que el resultado de la operación arroje 5 bits.

Para el diseño del sumador de 6 bits en VHDL de tres entradas y dos salidas dos de las entradas serán de 6 bits otra de un bit, en las salidas una de ellas tomará los 6 bits menos significativos y la otra salida el bit más significativo, esto en caso de que el resultado de la operación arroje 7 bits.

- Código VHDL

```
--Viernes 2 de febrero 2018
--Sumador 4 bits

--biblioteca

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

--entidad

entity sum4bc is
port (a,b: in std_logic_vector(3 downto 0);
      cin : in std_logic;
      sum :out std_logic_vector(3 downto 0);
      cout:out std_logic);
end sum4bc;

--arquitectura

architecture arq1 of sum4bc is
signal resultado: std_logic_vector(4 downto 0);
begin
    resultado<=a+b+cin;
    sum<=resultado (3 downto 0);
    cout<=resultado (4);
end arq1;
```

Codigo ioc

```
LEFT (
    (IOPIN a(0).0 );
    (IOPIN a(1).0 );
    (IOPIN a(2).0 );
    (IOPIN a(3).0 );
    (IOPIN b(0).0 );
    (IOPIN b(1).0 );
    (IOPIN b(2).0 );
    (IOPIN b(3).0 );
)
RIGHT (
    (IOPIN cin.0);
    (IOPIN cout.0);
    (IOPIN sum(0).0 );
    (IOPIN sum(1).0 );
    (IOPIN sum(2).0 );
    (IOPIN sum(3).0 );
)
```

- Código pat

```
-- Sumador de 4 bits 2 de febrero 2018
-- Declaracion de puertos sum4bcy

in  a    (3 downto 0) X;
in  b    (3 downto 0) X;
in  cin          B;
out sum (3 downto 0) X;
out cout         B;

-- Fin de puertos entradas y salidas
-- Fuente de alimentacion

in vdd          B;
in vss          B;

begin

--
a      b      cin      sum      cout      vdd      vss

<0ns>:  0      0      0      ?*      ?*      1      0;
<+50ns>: A      A      0      ?*      ?*      1      0;
<+50ns>: A      A      1      ?*      ?*      1      0;
<+50ns>: F      F      1      ?*      ?*      1      0;

end;
```

DIAGRAMA ESQUEMATICO

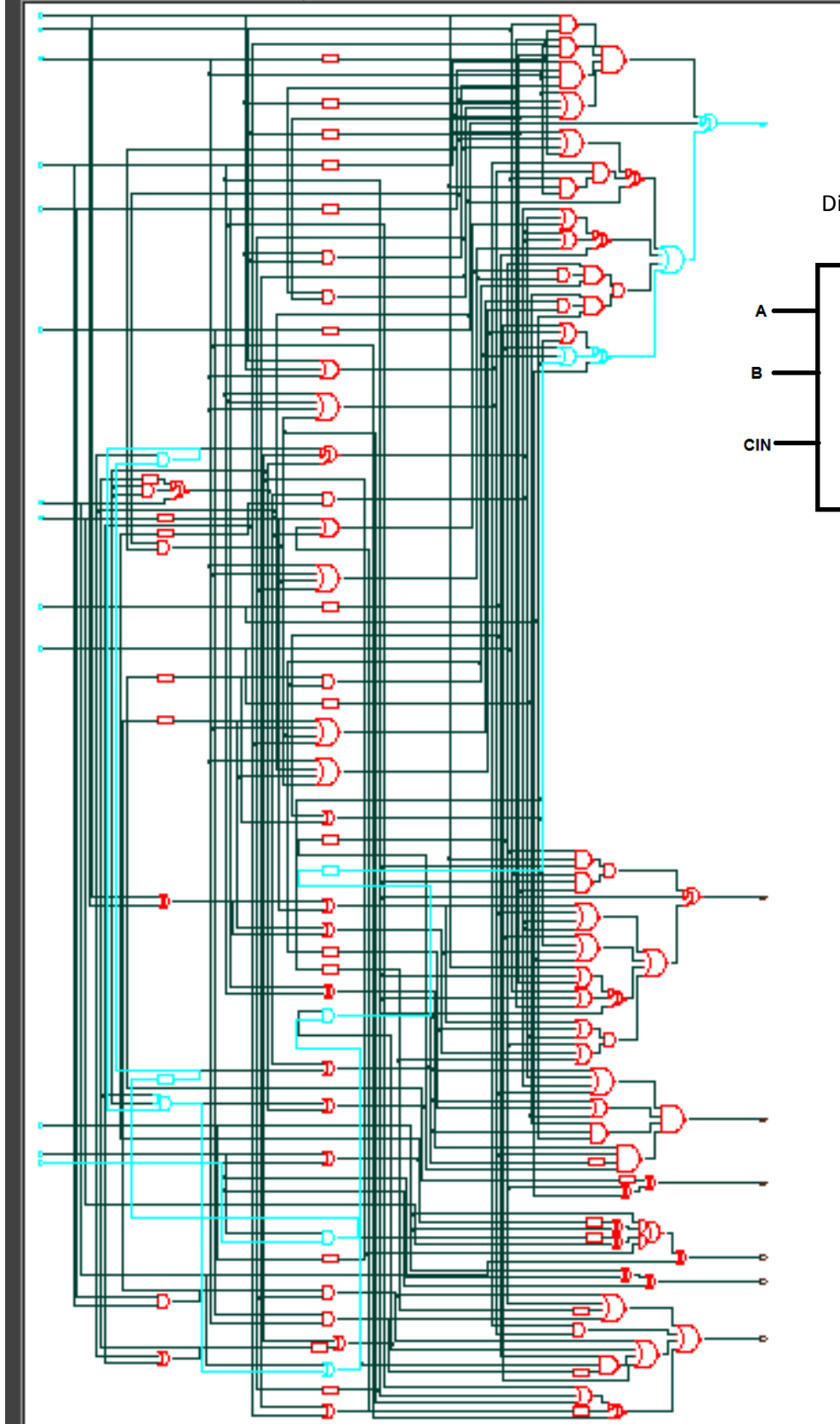
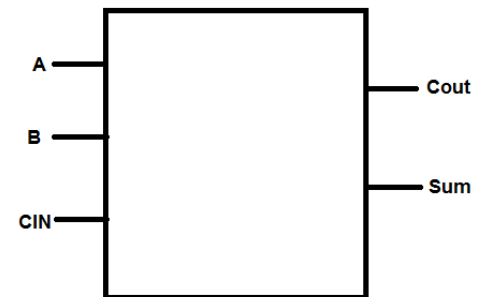
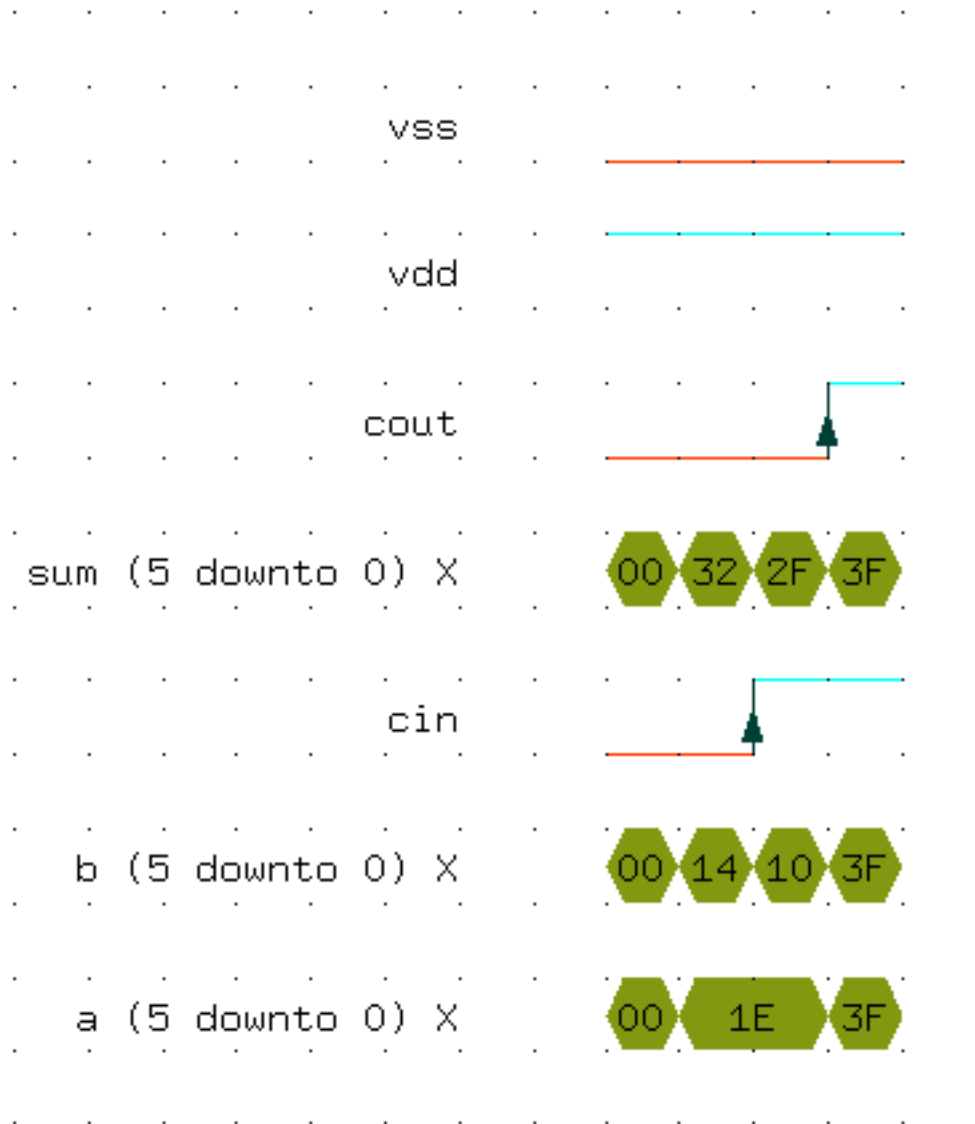


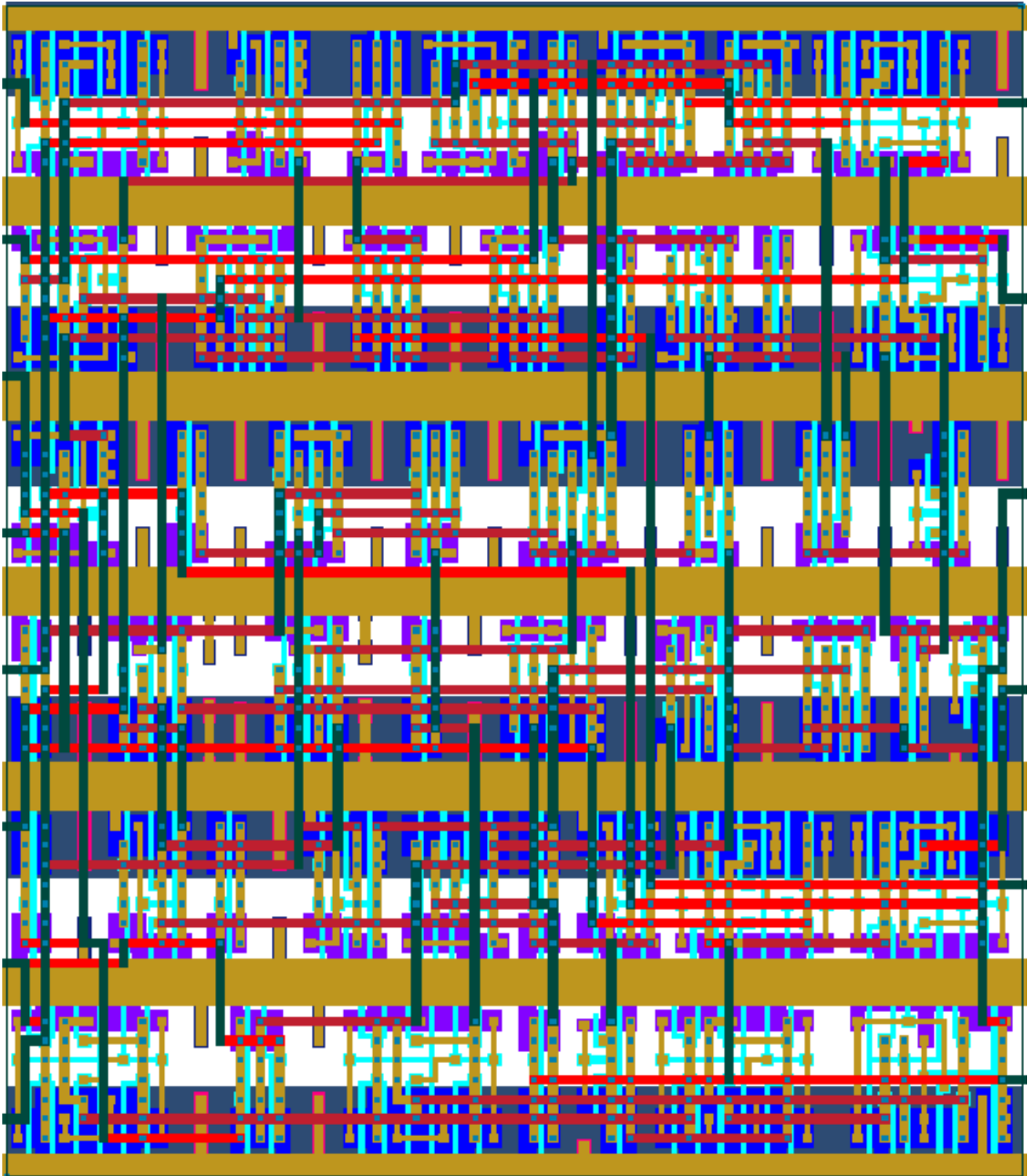
Diagrama caja negra



- Simulación



- Plano real



- **Tabla de resultados**

```

--LOON-----
Area on file 'sum4bc_boog.vst'...62500 lamda² (with over-cell routing)
Area on file 'sum4bc.vst'...65500 lamda² (with over-cell routing)
Critical path (no warranty)...2751 ps from 'a 0' to 'sum 3'
-----

--COUGAR-----
      ---> Figure size      : (   -100,   -100 )
                          (  26100,  30100 )
      ---> Build transistors
      <--- 306
-----

```

Critical path 2751 pico segundos
 Area $A = 19650mn^2$
 Transistores =306
 Figura= 785610000

- Sumador 6 bits

Código VHDL

```
--Viernes 2 de febrero 2018
--Sumador 6 bits

--biblioteca

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

--entidad

entity sum6bc is
port (a,b: in std_logic_vector(5 downto 0);
      cin : in std_logic;
      sum :out std_logic_vector(5 downto 0);
      cout:out std_logic);
end sum6bc;

--arquitectura

architecture arq1 of sum6bc is
signal resultado: std_logic_vector(6 downto 0);
begin
    resultado<=a+b+cin;
    sum<=resultado (5 downto 0);
    cout<=resultado (6);
end arq1;
```

Código ioc

```
LEFT (
    (IOPIN a(0).0 );
    (IOPIN a(1).0 );
    (IOPIN a(2).0 );
    (IOPIN a(3).0 );
    (IOPIN a(4).0 );
    (IOPIN a(5).0 );
    (IOPIN b(0).0 );
    (IOPIN b(1).0 );
    (IOPIN b(2).0 );
    (IOPIN b(3).0 );
)

RIGHT (
    (IOPIN b(4).0 );
    (IOPIN b(5).0 );
    (IOPIN cin.0);
    (IOPIN cout.0);
    (IOPIN sum(0).0 );
    (IOPIN sum(1).0 );
    (IOPIN sum(2).0 );
    (IOPIN sum(3).0 );
    (IOPIN sum(4).0 );
    (IOPIN sum(5).0 );
)
```

Código pat

```
-- Sumador de 6 bits 2 de febrero 2018
-- Declaracion de puertos sum4bc

in a    (5 downto 0) X;
in b    (5 downto 0) X;
in cin  (1)         B;
out sum (5 downto 0) X;
out cout (1)        B;

-- Fin de puertos entradas y salidas
-- Fuente de alimentacion

in vdd  (1)         B;
in vss  (1)         B;

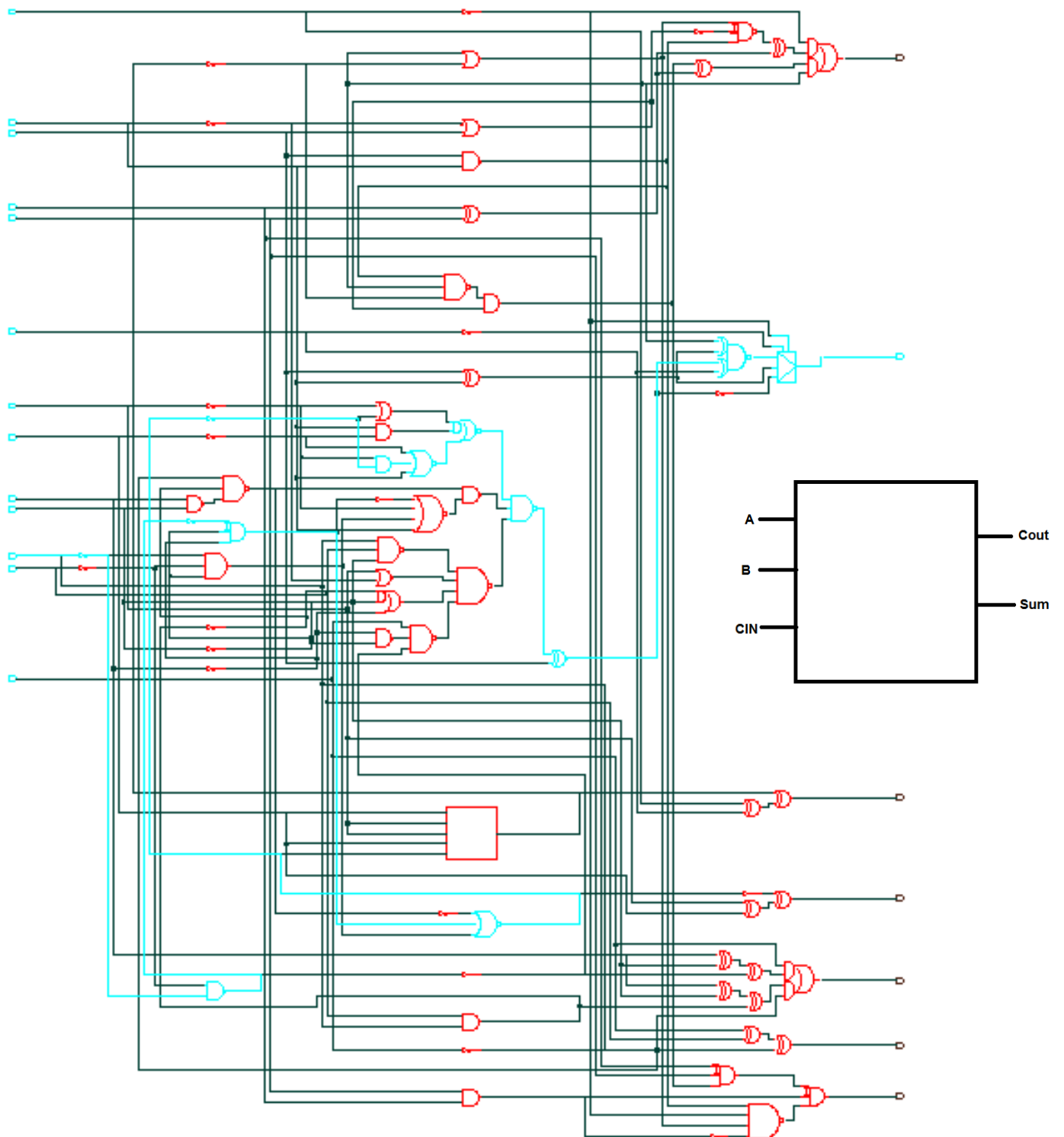
begin

--          a      b      cin      sum      cout      vdd      vss

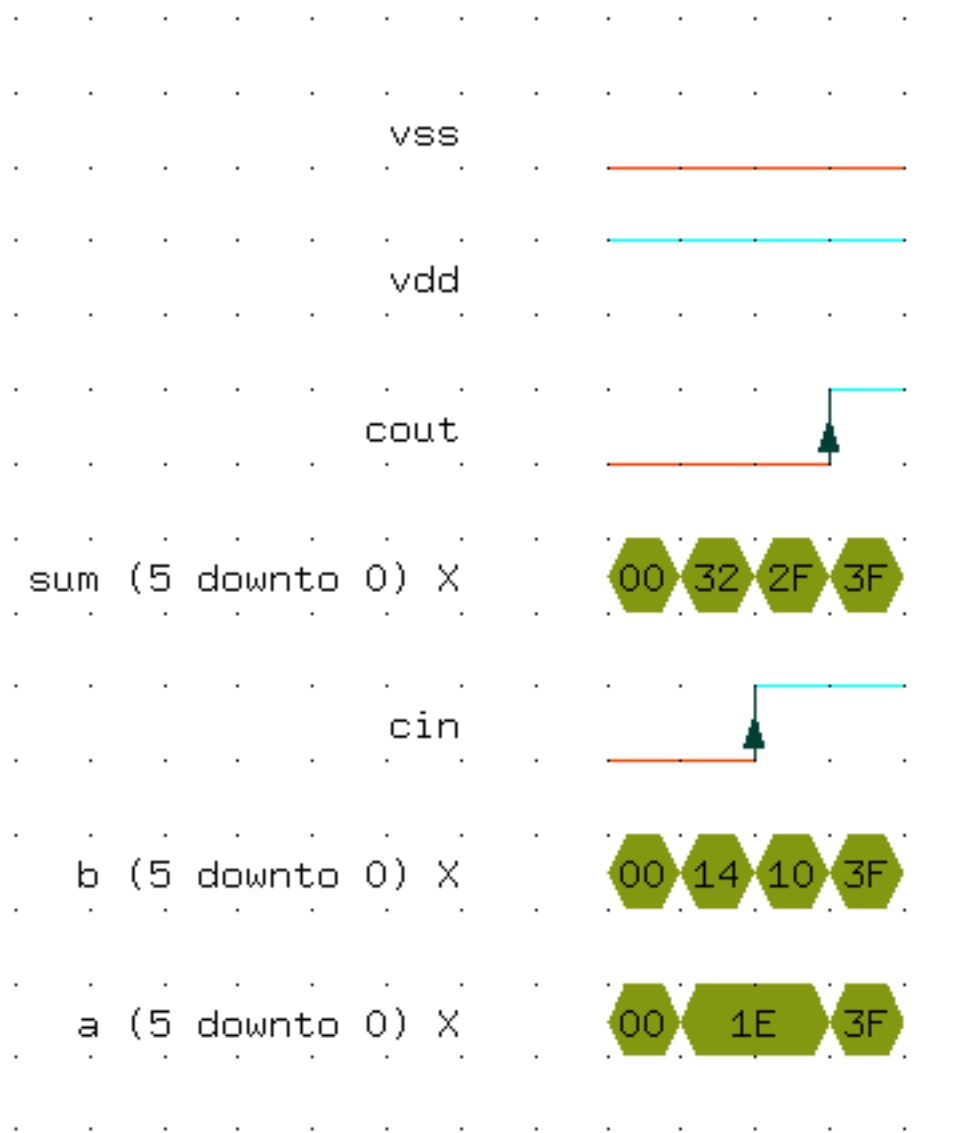
<0ns>:      00      00      0        ?**      ?*        1        0;
<+50ns>:    1E      14      0        ?**      ?*        1        0;
<+50ns>:    1E      10      1        ?**      ?*        1        0;
<+50ns>:    3F      3F      1        ?**      ?*        1        0;

end;
```

DIAGRAMA ESQUEMATICO



Simulacion



Plano

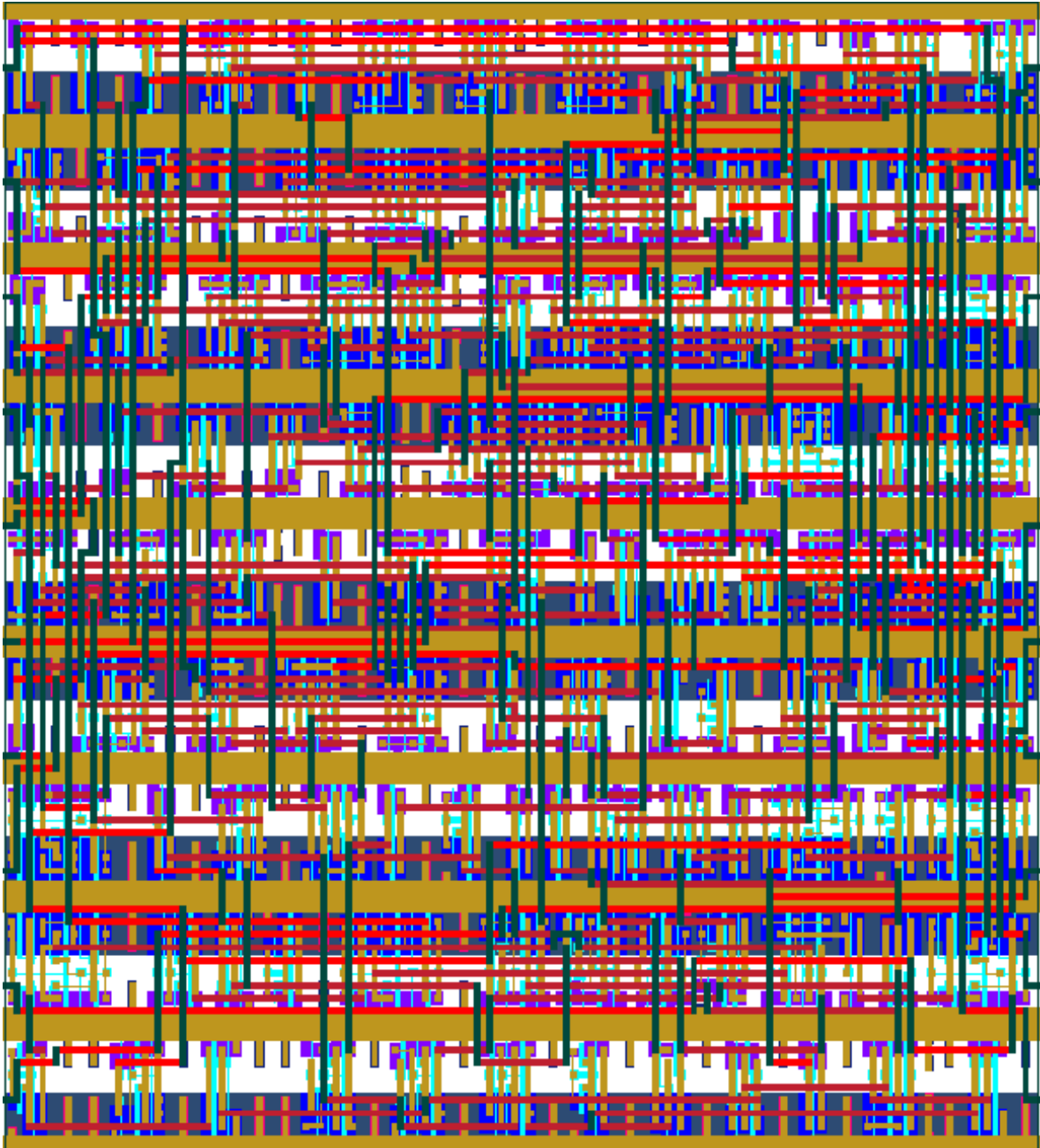


Tabla de resultados

```
--LOON-----Area on file 'sum6bc_boog.vst'...99000 lamda²
(with over-cell routing)Area on file 'sum6bc.vst'...102000 lamda²
(with over-cell routing)Critical path (no warranty)...4091 ps from 'a 0' to 'sum 4'
-----COUGAR-----
---> Figure size : ( -100, -100 ) ( 35100, 35000 ) ---> Build transistors<--- 478-----
|
```

Critical path = 4091 picosegundos
Area = $30600mn^2$
Transistores = 478
Figura = 1228500000