



CENTRO UNIVERSITARIO DE CIENCIAS EXACTAS E INGENIERÍAS

INGENIERIA EN COMUNICACIONES Y ELECTRONICA

Circuitos Digitales 1

Tarea 07

ALU

(Unidad Aritmética Lógica)

Nombre: Aguilar Rodríguez Carlos Adolfo

Código: 215860049

Fecha: 12 de Abril del 2018

Profesor: Chávez Martínez Ehecatl Joel

Contenido

Marco Teórico	(3)
ALU de 3 bits (Unidad Aritmética Lógica)	(4)
-Código vhdl	(4)
-Código pat	(5)
-Código ioc	(5)
-Diagrama Esquemático	(6)
-Diagrama caja negra	(7)
-Simulación	(7)
-Plano real	(8)
-Tabla de resultados	(9)

- **Marco Teórico**

Diseño de una ALU de 3 entradas de 3 bits y una salida de 5 bits de 8 funciones
La ALU es la una de las partes más importante de la electrónica digital se puede encontrar en microcontroladores, procesadores, unidades de control, ejecución, gestión memoria, proceso, circuitos multiplicadores, registros de hardware, solo por mencionar algunos se encarga de generar todo tipo de operación matemática y lógica.

Además compone las FPU Unidad de coma flotante que permite operar números complejos.

El circuito en VHDL describe lo siguiente:

2 de las 3 entradas serán destinadas para el registro de los bits a operar,
Una tercera entrada de 3 bits será la encargada de decidir la operación a aplicar a las entradas A y B (de 3 bits)

Las operaciones a aplicar son las siguientes:

000-Suma

001-Resta

010-Multiplicación

011-Compuerta AND

100-Compuerta OR

101-Compuerta XOR

110-Compuerta A Negada

111-Compuerta B Negada

Se hace uso de señales para crear registros los cuales almacenaran los bits a operar dependiendo el valor de s

En el caso de la multiplicación se hace una concatenación para posteriormente sumar los resultados de cada concatenación.

Se hace uso de una salida de 6 bits para la salida de la multiplicación.

Entrada	Entrada	Entrada	Instruccion	Salida
A	B	S	Operación	Resultado
111 o 7	100 o 4	Sin asignar	Suma	0B o 1011
111 o 7	100 o 4	000	Resta	03 o 011
111 o 7	100 o 4	001	Multiplicación	1C o 11100
111 o 7	100 o 4	010	AND	04 o 0100
111 o 7	100 o 4	011	OR	07 o 0111
111 o 7	100 o 4	100	XOR	03 o 011
111 o 7	100 o 4	101	NOTA	00
111 o 7	100 o 4	111	NOTB	03 o 011

- Código VHDL

```
--Aguilar Rodriguez Carlos Adolfo 215860049
--Circuitos Digitales Chavez Martinez Ehecatl Joel
--Unidad Aritmetica logica de 3 Bits, Dos entradas Una salida
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
--Entidad de la ALU
entity alu3b7 is
port (
A,B : in std_logic_vector(2 downto 0);
S   : in std_logic_vector(2 downto 0);
resultado : out std_logic_vector(5 downto 0));
end alu3b7;
--Arquitectura de la ALU
architecture arq1 of alu3b7 is
signal regsuma,regresta,regmulti,regand,regor,regxor,regnota,regnotb,
renglon0,renglon1,renglon2 : std_logic_vector(5 downto 0);
begin
--Declaracion de registros para el ALU
regsuma <= ("000" & A) + ("000" & B);
regresta <= ("000" & A) - ("000" & B);
renglon0 <= ("000" & A)          when B(0)='1' else 0;
renglon1 <= ("00"  & A & '0')    when B(1)='1' else 0;
renglon2 <= ('0'   & A & "00")   when B(2)='1' else 0;
regmulti <= renglon0 + renglon1 + renglon2;
regand   <= ("000" & A)AND("000" & B);
regor    <= ("000" & A) OR("000" & B);
regxor   <= ("000" & A)XOR("000" & B);
regnota  <= "000" & NOT (A);
regnotb  <= "000" & NOT (B);
resultado <= regsuma  when s=0 else
              regresta when s=1 else
              regmulti when s=2 else
              regand   when s=3 else
              regor    when s=4 else
              regxor   when s=5 else
              regnota  when s=6 else
              regnotb;
end arq1;
```

- Código ioc

```

TOP(
  (IOPIN a(0).0);
  (IOPIN a(1).0);
  (IOPIN a(2).0);
  (IOPIN b(0).0);
  (IOPIN b(1).0);
  (IOPIN b(2).0);
  (IOPIN s(0).0);
  (IOPIN s(1).0);
)
LEFT(
)
RIGHT(
)
BOTTOM(
  (IOPIN resultado(0).0);
  (IOPIN resultado(1).0);
  (IOPIN resultado(2).0);
  (IOPIN resultado(3).0);
  (IOPIN resultado(4).0);
  (IOPIN resultado(5).0);
)

```

- Código pat

```

-- declaracion de puertos
in A      (2 downto 0)X;
in B      (2 downto 0)X;
in S      (2 downto 0)X;
out resultado (5 downto 0)X;

-- fin de puertos
-- fuente de alimentacion

in vdd B;
in vss B;

begin

  --

```

--	A	B	S	resultado	vdd	vss
<0ns>:	7	4	0	?**	1	0;
<+50ns>:	7	4	1	?**	1	0;
<+50ns>:	7	4	2	?**	1	0;
<+50ns>:	7	4	3	?**	1	0;
<+50ns>:	7	4	4	?**	1	0;
<+50ns>:	7	4	5	?**	1	0;
<+50ns>:	7	4	6	?**	1	0;
<+50ns>:	7	4	7	?**	1	0;

```

end;

```

DIAGRAMA ESQUEMATICO

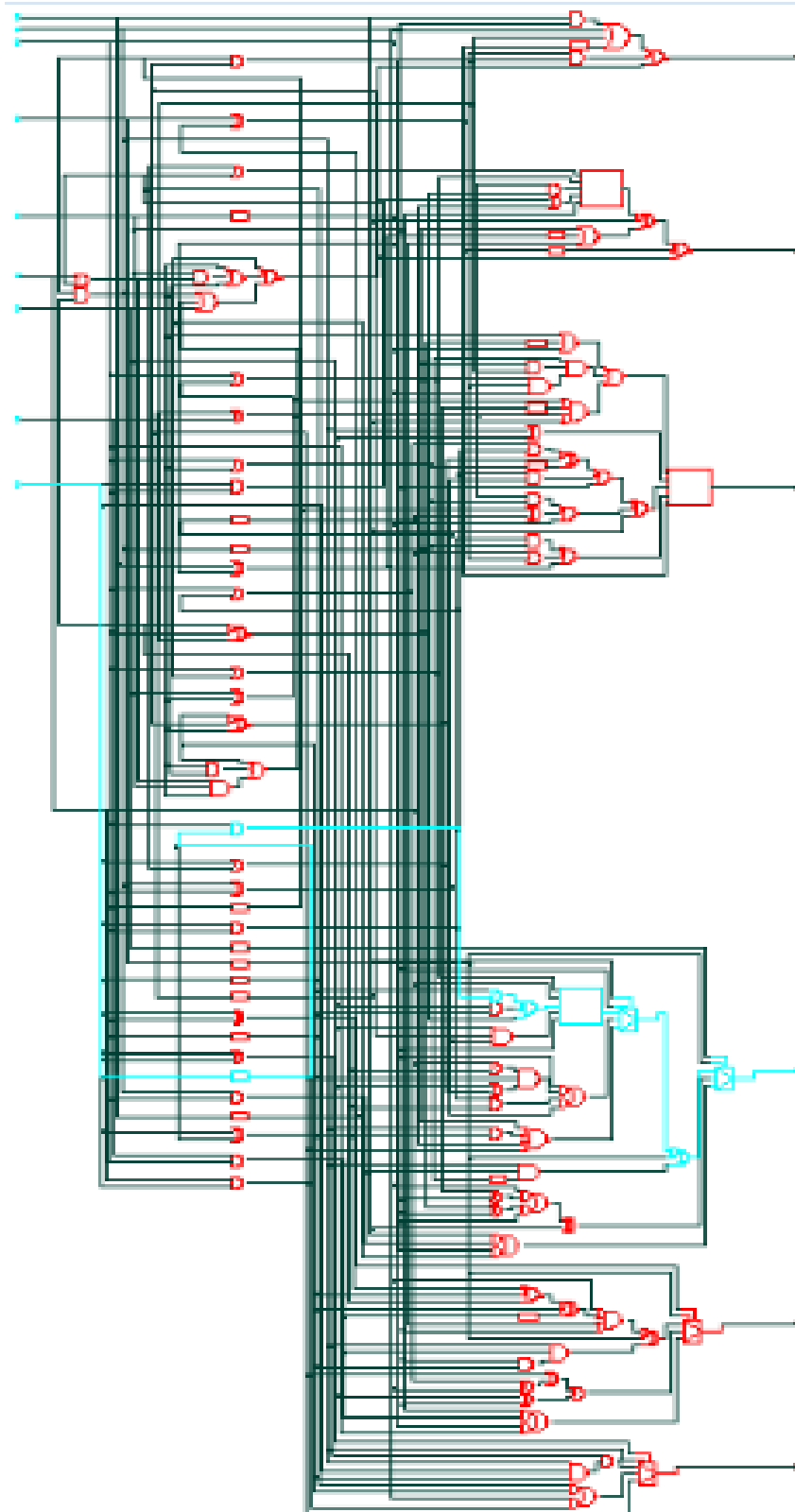
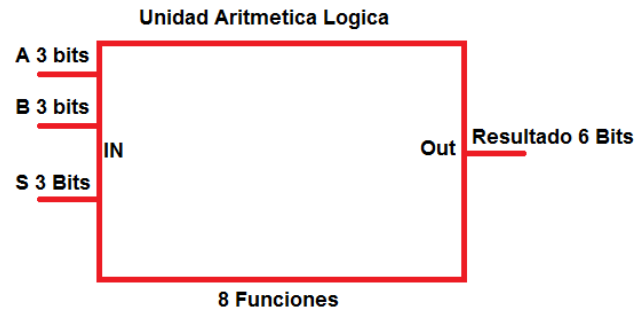
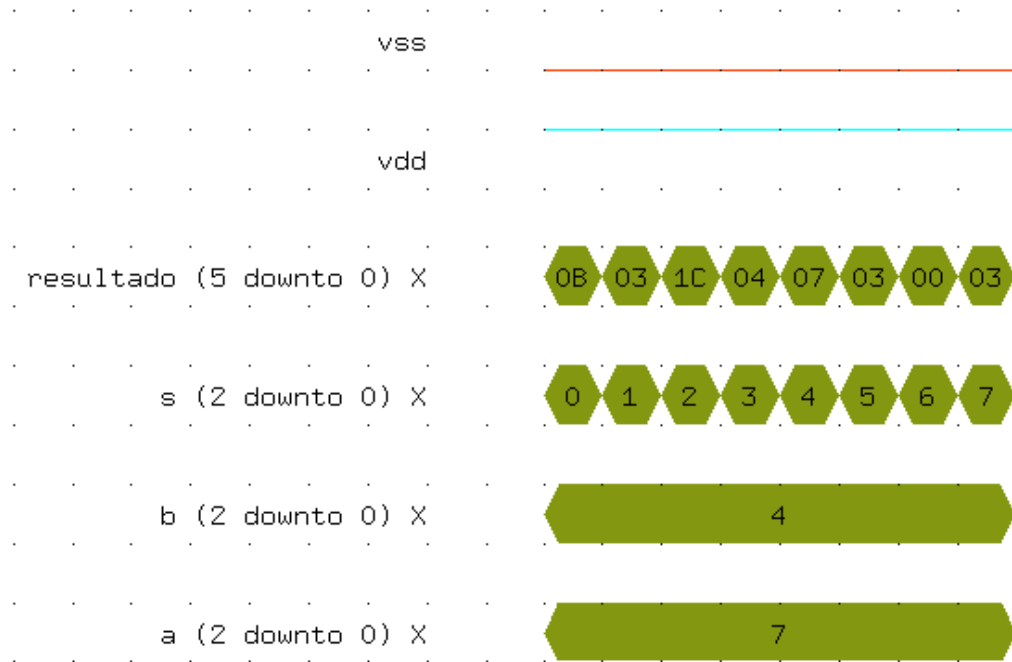


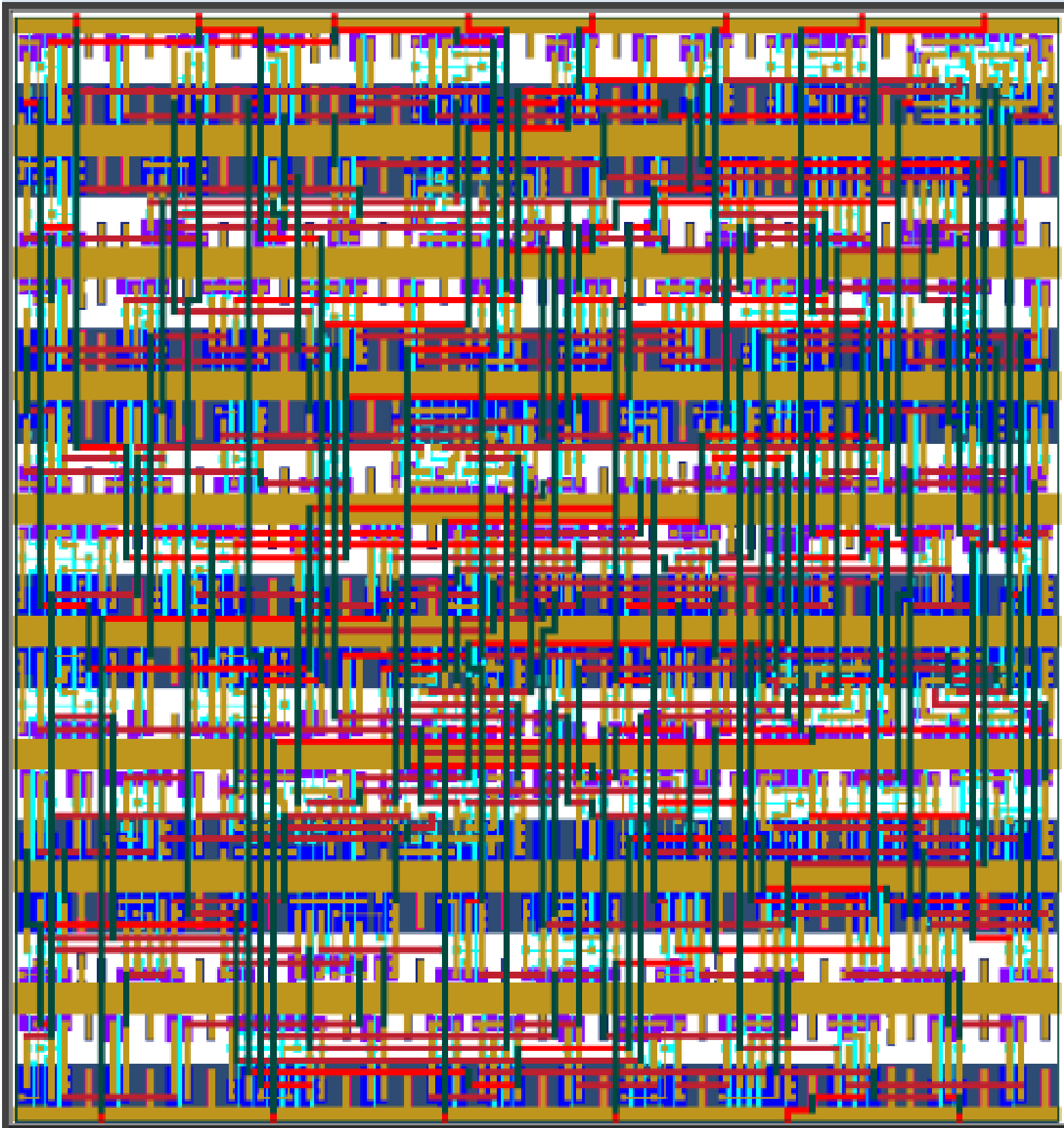
Diagrama caja negra



- **Simulación**



- Plano real



- **Tabla de resultados**

```

|--LOON-----
Area on file 'alu3b7_boog.vst'...158750 lamda² (with over-cell routing)
Area on file 'alu3b7.vst'...158750 lamda² (with over-cell routing)
Critical path (no warranty)...3109 ps from 'a 1' to 'resultado 2'
-----

--COUGAR-----
      ---> Figure size      : (   -100,   -100 )
                          (  42600,  45100 )
      ---> Build transistors
      <--- 768
-----

```

Critical path 3109 pico segundos
 Area $A = 47625 \text{ micrometros}^2$
 Transistores =768
 Figura= 1.921.260.000