



河海大学
HOHAI UNIVERSITY

计算机与信息学院

存 储 器 系 统

吕 鑫

河海大学计算机与信息学院

lvxin.gs@163.com; lvxin@hhu.edu.cn

微机系统的经典结构

目前各种微机系统采用的基本上是计算机的经典结构——**冯•诺依曼结构**。结构特点是：

- 硬件上由运算器、控制器、存储器、输入设备和输出设备五大部分组成；
- 数据和程序以二进制代码的形式不加区别地存放在存储器中，存放位置由地址指定，地址码也为二进制形式；
- 控制器根据存放在存储器中的指令序列，即程序来工作，并由一个程序计数器控制指令的执行。控制器具有判断能力，能根据计算结果选择不同的动作流程。

微机系统的经典结构

微机系统在硬件上由运算器、控制器、存储器、输入和输出设备几大部分组成。而各部分间又是通过数据、地址和控制三条总线相连，故这种系统结构也称为三总线结构。

微处理器

存储器

I/O接口

总线

常见的存储设备



5.1 概述

主要内容

- 存储器系统及其主要技术指标
- 半导体存储器的分类及特点
- 两类半导体存储器的主要区别

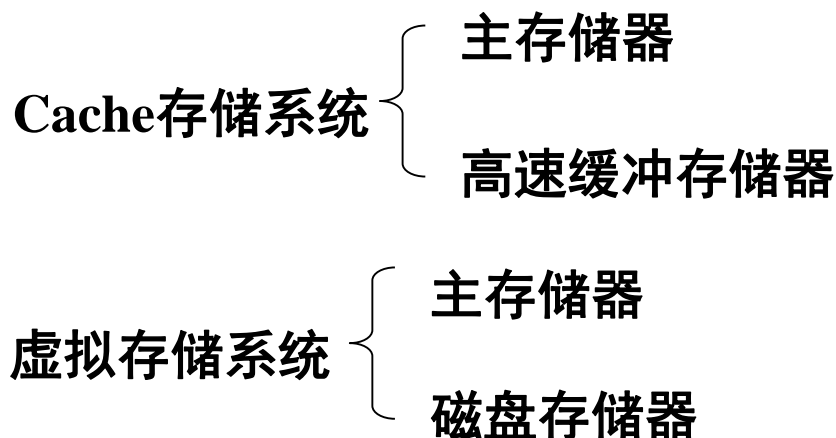
5.1.1 存储器系统的一般概念

- 将两个或两个以上速度、容量和价格各不相同的存储器用硬件、软件或软硬件相结合的方式连接起来——构成存储器系统
- 系统的速度接近最快的存储器，容量接近最大的存储器。

5.1.1 存储器系统的一般概念

1. 微机中的存储器系统

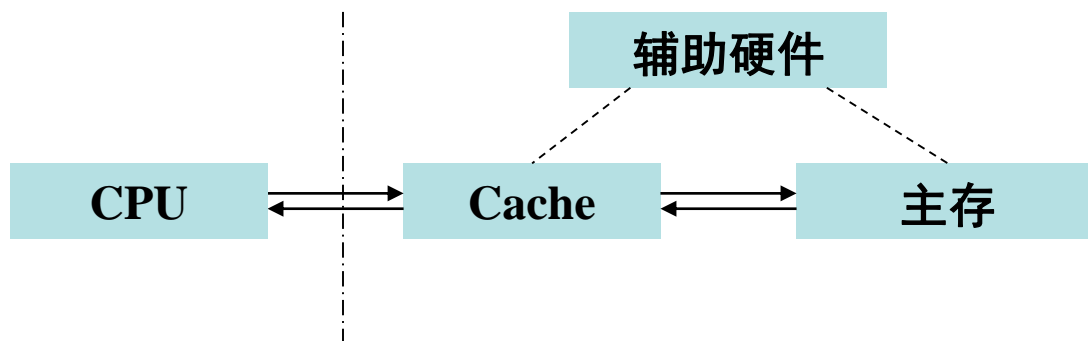
在一般计算机中主要有两种存储系统



5.1.1 存储器系统的一般概念

(1) Cache存储系统

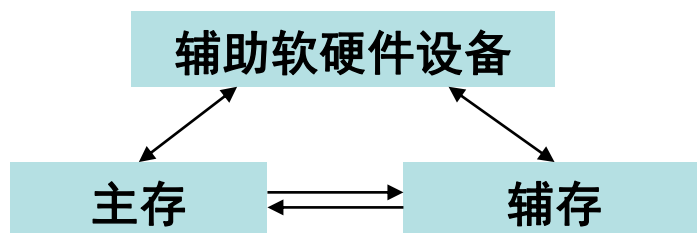
- 目标：提高存取速度
- Cache是集成在CPU内部的，Cache的存取周期为零点几个纳秒，存储容量在几十KB至几十MB之间，价格较高。
- 由硬件实现，对程序员是透明的。



5.1.1 存储器系统的一般概念

(2) 虚拟存储系统

- 目标：扩大存储容量
- 用软硬件结合的方法进行管理，对主存、辅存统一编址，形成一个很大的地址空间，称为虚拟地址空间。
- 对应用程序员是透明的



5.1.1 存储器系统的主要性能指标

2. 存储系统的主要性能指标

- 存储容量 (S) (字节、千字节、兆字节等)
- 存取时间 (T) (与系统命中率有关)
- 单位容量平均价格 (C)

5.1.1 存储器系统的主要性能指标

1) 存储容量 (S)

- 例如：有两种存储器M1和M2，它们组成一个存储系统，容量、速度、价格分别为S1、T1、C1和S2、T2、C2，则
- Cache存储系统：M2是主存，则 $S=S2$
- 虚拟存储系统：S比S2大的多

5.1.1 存储器系统的主要性能指标

2) 存取时间 (T) (与系统命中率有关)

- 例如：有两种存储器 M_1 和 M_2 ，它们组成一个存储系统，访问次数及存取时间分别为 N_1 、 T_1 和 N_2 、 T_2

- 命中率 (H)：从速度较快的那个存储器中访问到数据的概率

$$H = \frac{N_1}{N_1 + N_2}$$

- 存取时间 $T = H \times T_1 + (1-H) \times T_2$

- 访问效率 (e)

$$e = \frac{T_1}{T}$$

$$e = \frac{T_1}{H \times T_1 + (1-H) \times T_2} = \frac{1}{H + (1-H) \times \frac{T_2}{T_1}} = f\left(H, \frac{T_2}{T_1}\right)$$

5.1.1 存储器系统的主要性能指标

3) 单位容量的平均价格 (C)

- 例如：有两种存储器M1和M2，它们组成一个存储系统，容量、速度、价格分别为S1、T1、C1和S2、T2、C2
- 单位容量平均价格为：

$$C = \frac{C1 \times S1 + C2 \times S2}{S1 + S2}$$

5.1.2 半导体存储器及其分类

1. 半导体存储器

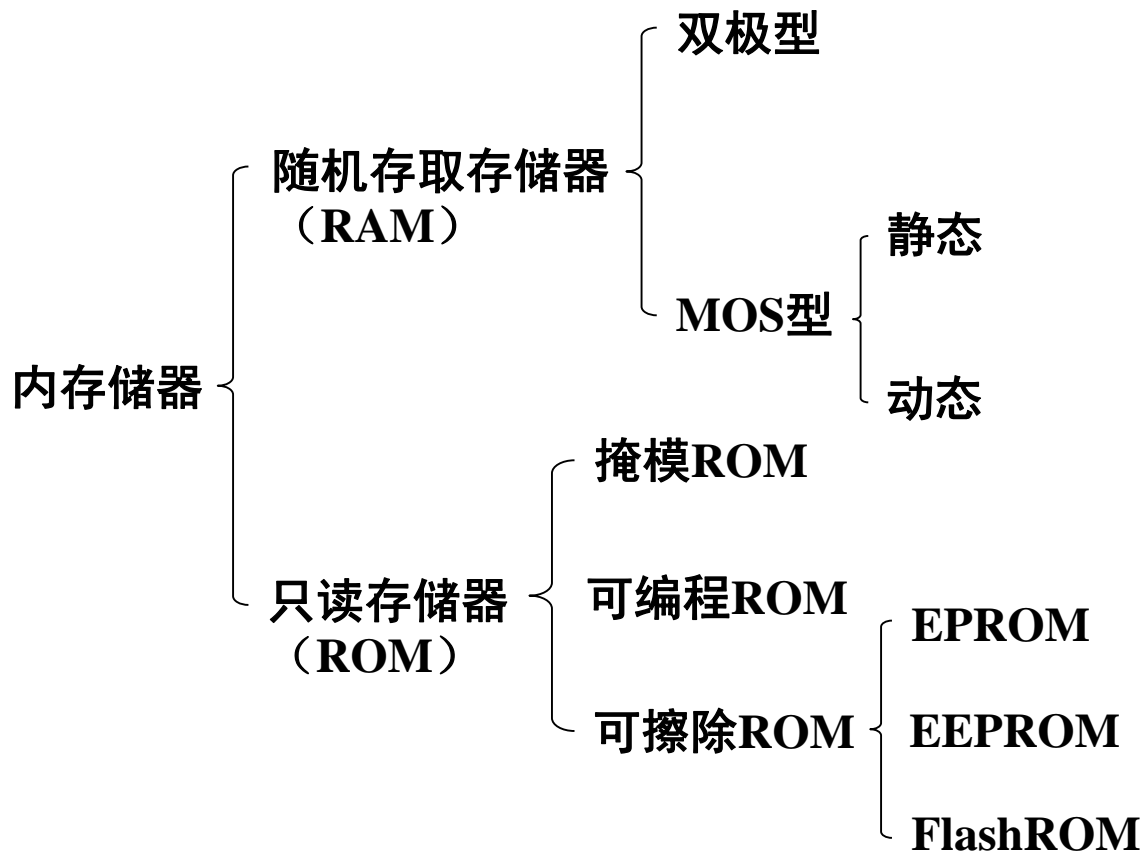
- 存储元

- ◆ 半导体存储器由能够表示二进制数“0”和“1”的、具有记忆功能的半导体器件组成。
- ◆ 能存放一位二进制数的半导体器件称为一个存储元
- ◆ 若干存储元构成一个存储单元

- 存储元——存储单元——存储器
- 存储器的存储容量 = 存储器中存储单元的总数

5.1.2 半导体存储器及其分类

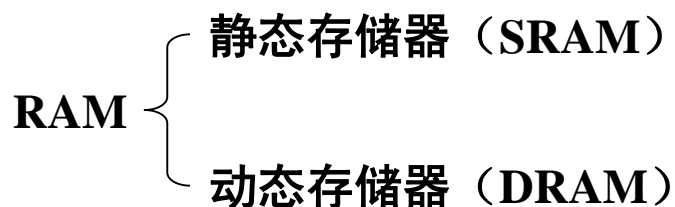
2. 半导体存储器的分类



5.1.2 半导体存储器及其分类

1) 随机存取存储器 (RAM)

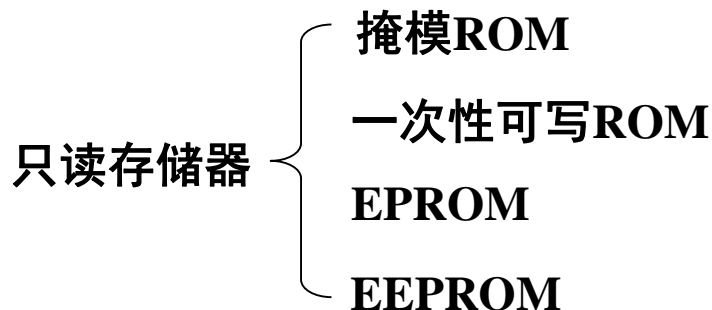
- 主要特点：可以随机进行读写，掉电后信息会丢失
- 用途：用来存放当前运行的程序、各种输入/输出数据、中间运算结果及退栈等。



5.1.2 半导体存储器及其分类

2) 只读存储器 (ROM)

- 主要特点：掉电后不会丢失所存储的内容，可随机进行读操作，但不能写入或只能有条件编程写入
- 用途：常用于存放一些相对不变的数据（如BIOS等）



5.1.3 半导体存储器的主要性能指标

1. 存储容量

- 存储单元个数 × 每个存储单元的位数

2. 存取时间和存取周期

- 存取时间：实现一次读/写所需要的时间
- 存取周期：连续启动两次独立的存储器操作所需间隔的最小时间

3. 可靠性

- 存储器的可靠性用MTBF平均故障间隔时间来衡量
- MTBF：两次读写错误之间的间隔时间
- 存储器常采用纠错编码技术延长MTBF提高可靠性

4. 功耗

- 目前发展趋势是向低功耗发展，提高系统稳定性

5.2 随机存取存储器RAM

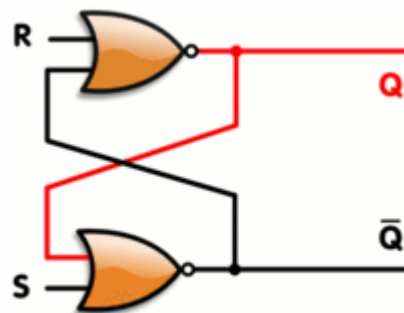
- RAM（Random Access Memory）意指随机存储器，其工作特点是：在微机系统中，可以随机地对其中的各个存储单元进行读/写操作。
- 读写存储器分为静态RAM（SRAM）与动态RAM（DRAM）两种

掌握：

- SRAM与DRAM的主要特点
- 几种常用存储器芯片及其与系统的链接
- 存储器扩展技术

5.2.1 静态随机存取存储器SRAM

- SRAM的特点
 - 存储元由6个MOS管组成的双稳态电路构成，存储信息稳定
 - 典型SRAM芯片6242
 - 主要引脚功能
 - 工作时序
 - 与系统的连接使用

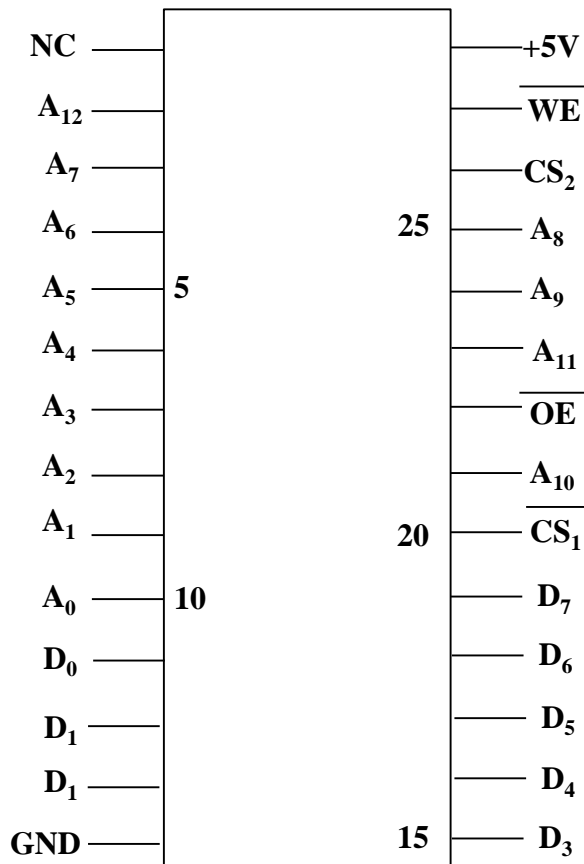


5.2.1 静态随机存取存储器SRAM

1. 6264存储芯片的引脚及其功能

引脚含义

- $A_0 \sim A_{12}$: 13位地址信号线
- $D_0 \sim D_7$: 8根双向数据线
- \overline{WE} : 写允许信号
- \overline{OE} : 输出允许信号
- $\overline{CS_1}$ 、 CS_2 : 片选信号
- V_{CC} : +5V电源
- GND: 接地端
- NC: 空端



5.2.1 静态随机存取存储器SRAM

- 6264芯片4个主要控制信号的功能表

表 5-1 6264 真值表

\overline{WE}	$\overline{CS_1}$	CS_2	\overline{OE}	$D_0 \sim D_7$
0	0	1	×	写入
1	0	1	0	读出
×	0	0	×	三态 (高阻)
×	1	1	×	
×	1	0	×	

5.2.1 静态随机存取存储器SRAM

2. 6264存储芯片的工作过程

➤ 写入操作

- ◆ 在地址线A0~A12上加载要操作的存储单元地址
- ◆ 使能片选信号CS1和CS2
- ◆ 在写入使能引脚WE上加载低电平
- ◆ 在D0~D7上加上要写入的数据

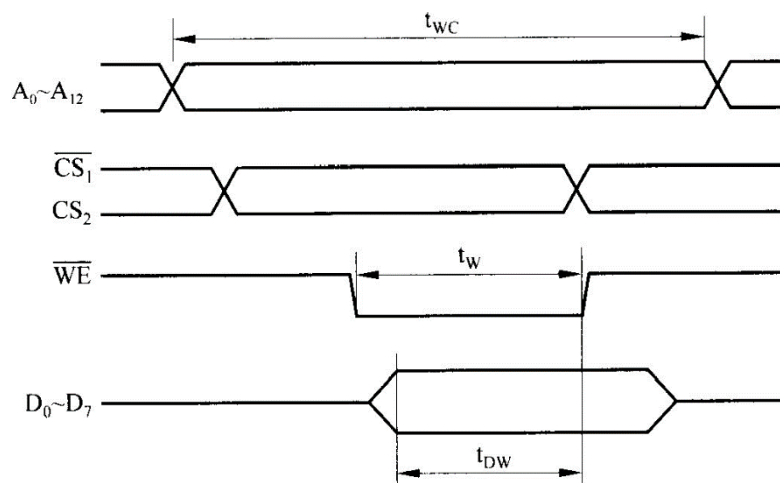


图 5-5 SRAM 6264 写操作时序图

5.2.1 静态随机存取存储器SRAM

➤ 读出操作

- ◆ 在地址线A0~A12上加载要操作的存储单元地址
- ◆ 使能片选信号/CS1和CS2
- ◆ 在写入使能引脚/WE上加载高电平，使读出使能/OE低电平
- ◆ 此时存储单元的数据就被输出到D0~D7引脚上

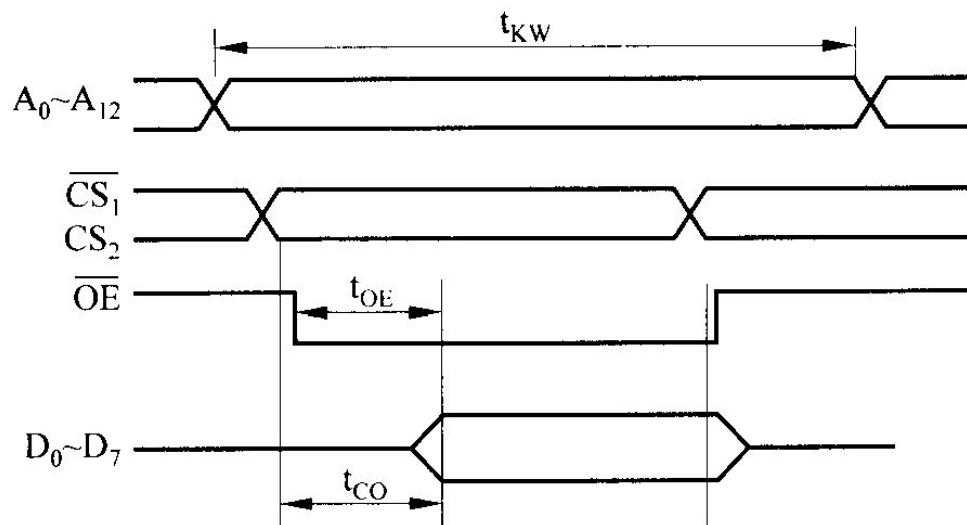


图 5-6 SRAM 6264 读操作时序图

5.2.1 静态随机存取存储器SRAM

3. SRAM芯片的应用

➤ 地址译码

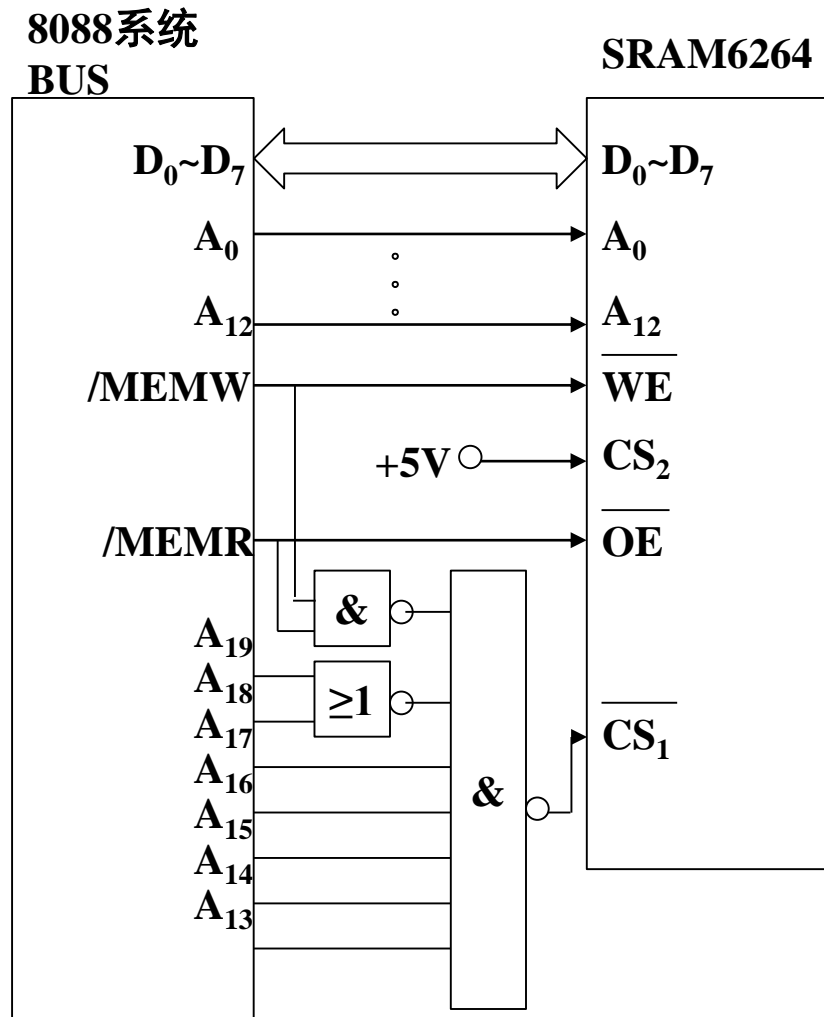
- ◆ 译码：将一组输入信号转换为一个确定的输出
- ◆ 将高位地址信号通过一组电路（译码器）转换为一个确定的输出信号并将其连接到存储器芯片的片选端，使该芯片被选中。

➤ 实现片选及地址空间选择的方式

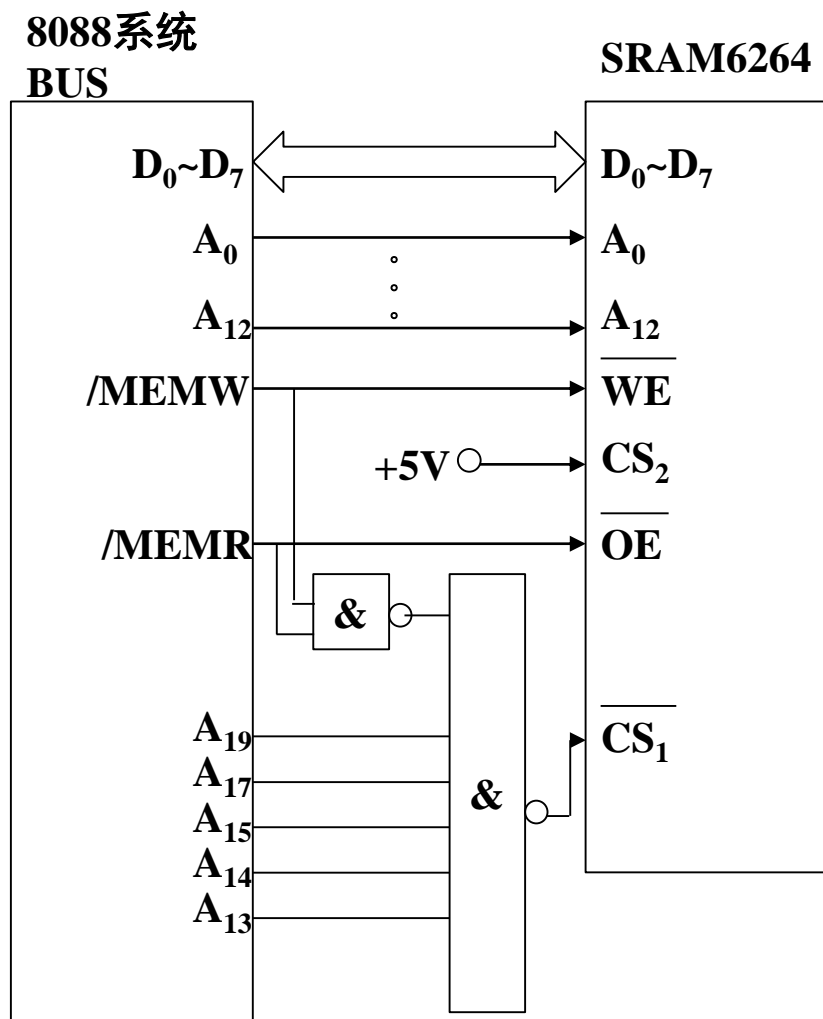
- ◆ （1）全地址译码 —— CPU的全部地址线A0~A19都参与寻址，因此对应于存储器芯片中的任意单元在整个内存空间都有唯一确定的地址

5.2.1 静态随机存取存储器SRAM

6264芯片与系统的连接



5.2.1 静态随机存取存储器SRAM



◆ (2) 部分地址译码

✓ 如果A16和A18不参与译码，则6264的地址范围为

AE000H – AFFFFH

BE000H – BFFFFH

EE000H – EFFFFH

FE000H – FFFFFH

✓ 有四段不连续的8K内存段，那么一个容量为8K的存储器就占了四个8K的存储空间，这种连接减少了地址线的选择，但造成了CPU内存空间的重叠，即对于这四个内存段进行操作的时候，实际上都是对6264的相同位置进行操作。

5.2.1 静态随机存取存储器SRAM

- ◆ (3) 利用专用电路构成译码电路
 - ✓ 利用专门译码芯片：例如3-8译码器74138等，这种方法是最简便的译码方式
 - ✓ 利用数字比较器芯片，这种方式适合于地址译码发生改变的情况下，利用比较器可以方便的改动译码方式
 - ✓ 利用逻辑器件构成译码器；用PLD或者FPGA等可编程逻辑器件构成译码器，这种方式是用于大型数字电路中的定制译码器的设计，可以根据需要灵活的进行译码方式的修改。

5.2.1 静态随机存取存储器SRAM

➤ 静态RAM的应用举例图5-11， 5-12

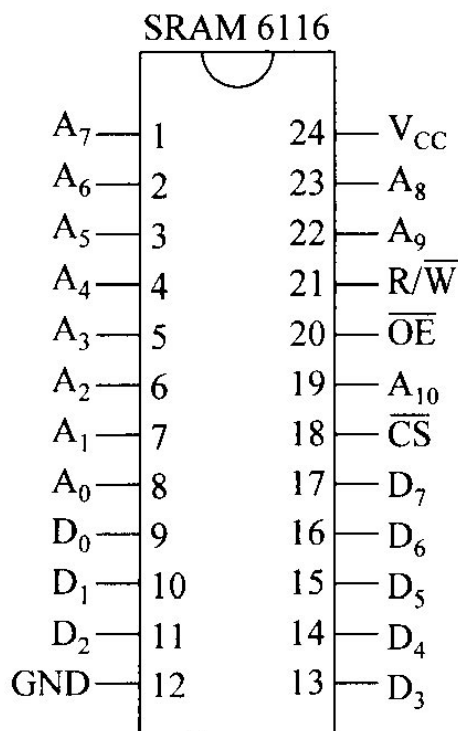


图 5-11 SRAM 6116 外部引线图

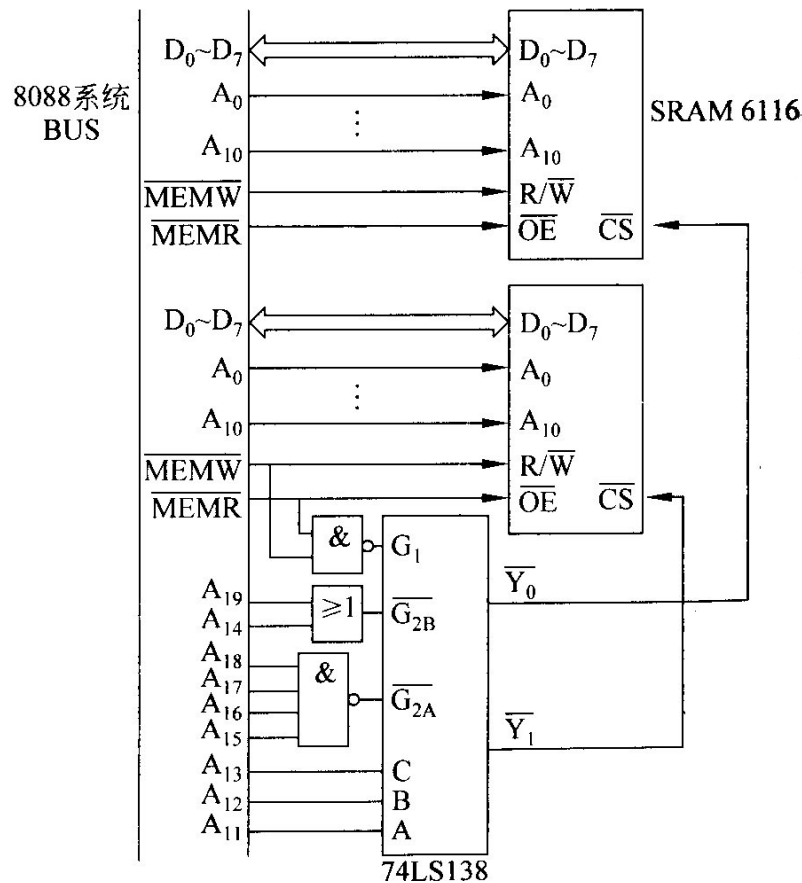


图 5-12 SRAM 6116 的应用连接图

And...

Thank you

