

5.4 高速缓存（Cache）

- Cache的基本概念

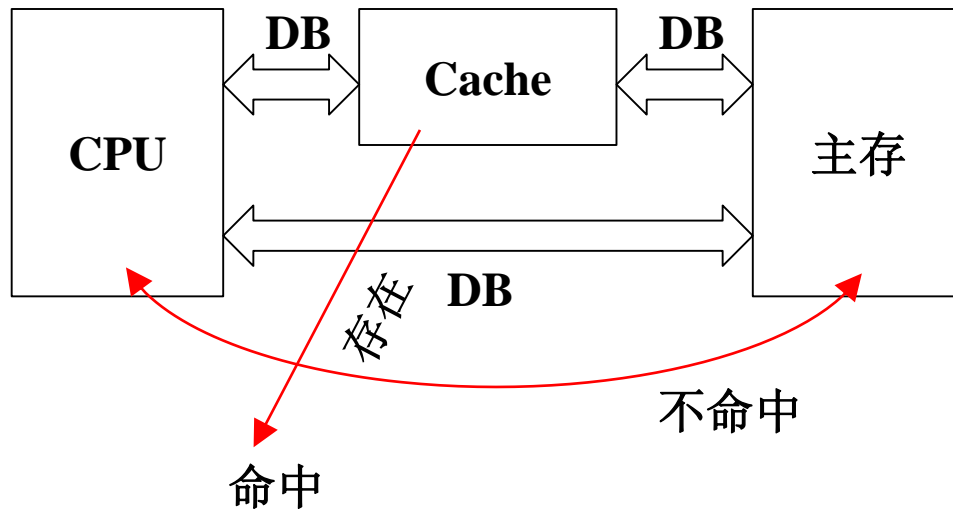
- 设置Cache的理由

- ◆ CPU与主存之间在执行速度上存在较大差异
 - ◆ 高速存储器芯片的价格较高

5.4.1 Cache的工作原理

■ 基于程序和数据访问的局部性

- 时间局部性：最近的访问项可能在不久的将来再次被访问
- 空间局部性：一个进行所访问的各项，其地址彼此很接近



■ Cache的命中率

- 访问内存时，CPU首先访问Cache，找到则“命中”，否则为“不命中”。
- 命中率影响系统的平均存取速度

Cache存储器系统的平均存取速度=

$\text{Cache存取速度} \times \text{命中率} + \text{RAM存取速度} \times \text{不命中率}$

- Cache与内存的空间比一般为：1：128

5.4.2 Cache的读写操作

读操作 { 贯穿读出式
旁路读出式

写操作 { 写穿式
回写式

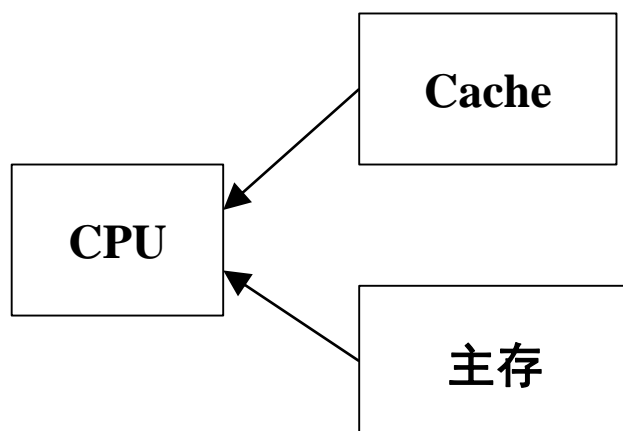
■ 1. 贯穿读出式

- CPU对主存的所有数据请求都首先送到Cache，在Cache中查找。
- 若命中，切断CPU对主存的请求，并将数据送出；
- 如果不命中，则将数据请求传给主存。



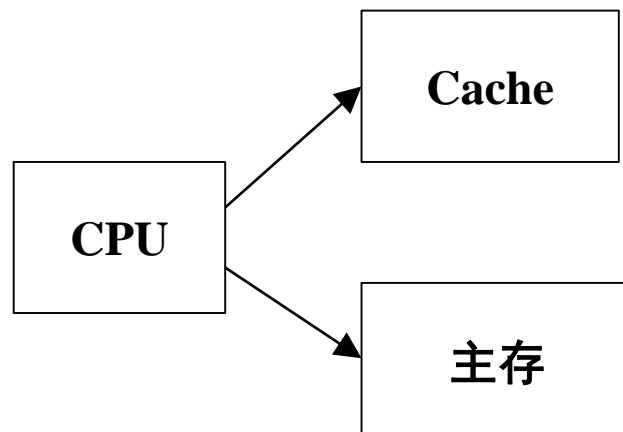
■ 2. 旁路读出式

- CPU向Cache和主存同时发出数据请求。
- 命中，则Cache将数据回送给CPU，并同时中断CPU对主存的请求；
- 若不命中，则Cache不做任何动作，由CPU直接访问主存



■ 3. 写穿式

- 向CPU发出的写信号送Cache的同时也写入主存



■ 4. 回写式（写更新）

- 数据一般只写到Cache，当Cache中的数据被再次更新时，将原更新的数据写入主存相应单元，并接受新的数据。



5.4.3 Cache与贮存的存取一致性

- 对Cache的管理全部是由硬件实现的，在Cache存储器系统中，存储器的编址方式与主存储器是完全一致的。
- Cache中存放的内容应该是主存的部分副本。

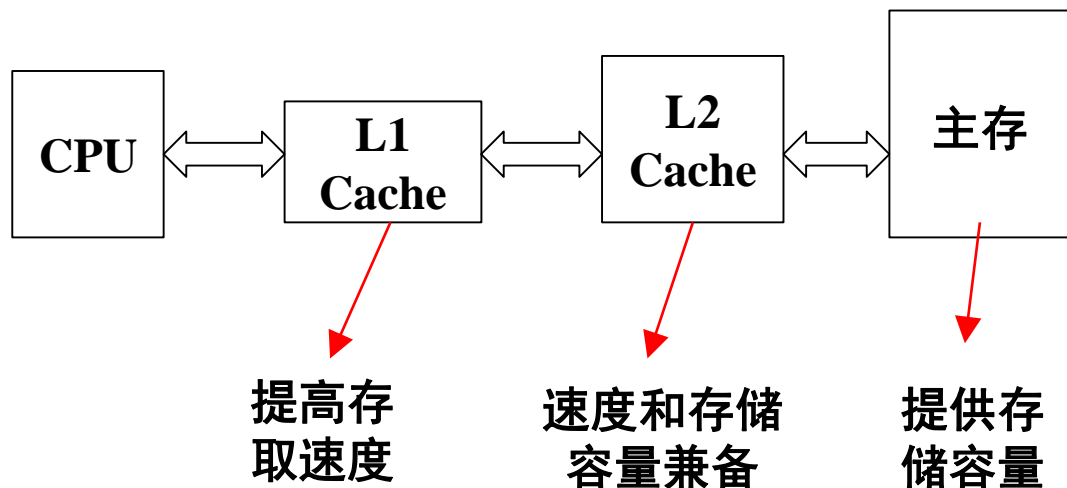
5.4.4 Cache的分级体系结构

■ 一级Cache：容量一般为8KB~64KB

- 一级Cache集成在CPU片内。L1 Cache分为指令Cache和数据Cache。使指令和数据的访问互不影响。指令Cache用于存放预取的指令。数据Cache中存放指令的操作数。

■ 二级Cache：容量一般为128KB~2MB

- 在Pentium II之后的微处理器芯片上都配置了二级Cache，其工作频率与CPU内核的频率相同。



5.4.4 Cache的分级体系结构

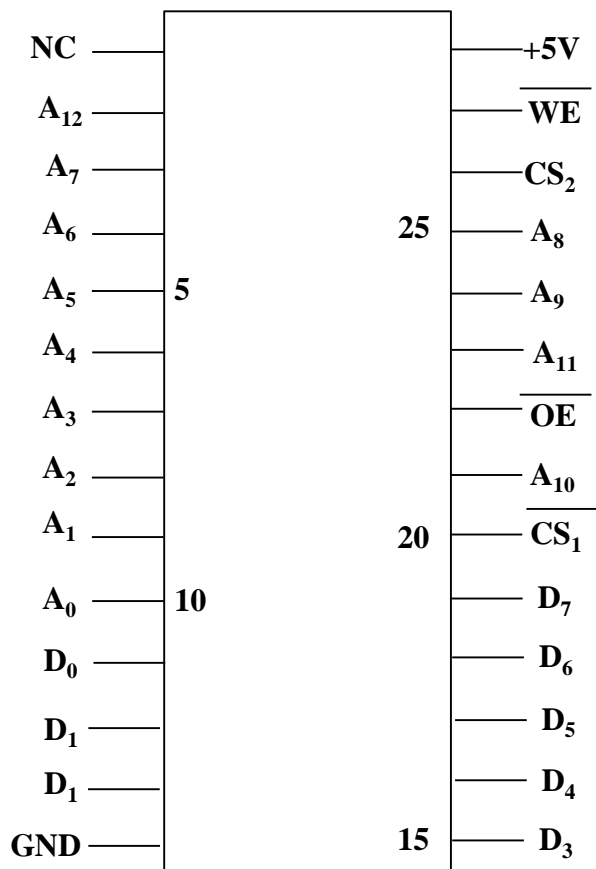
型号	步 进	核心线程	主频	加速频 率	二级缓 存	三级缓 存	TDP	插槽	DMI总 线	内存支持
					标准电压					
Core i7-8 60	B1	四核心八 线程	2.8GH z	3.46G Hz	4×256 KB	8MB	95W	LGA 1156	2.5GT/s	DDR3-1333 双通道
Core i7-8 70	B1	四核心八 线程	2.93G Hz	3.6GH z	4×256 KB	8MB	95W	LGA 1156	2.5GT/s	DDR3-1333 双通道
Core i7-8 75K	B1	四核心八 线程	2.93G Hz	3.6GH z	4×256 KB	8MB	95W	LGA 1156	2.5GT/s	DDR3-1333 双通道
Core i7-8 80	B1	四核心八 线程	3.06G Hz	3.73G Hz	4×256 KB	8MB	95W	LGA 1156	2.5GT/s	DDR3-1333 双通道
					低电压					
Core i7-8 60S	B1	四核心八 线程	2.53G Hz	3.46G Hz	4×256 KB	8MB	82W	LGA 1156	2.5GT/s	DDR3-1333 双通道
Core i7-8 70S	B1	四核心八 线程	2.66G Hz	3.6GH z	4×256 KB	8MB	82W	LGA 1156	2.5GT/s	DDR3-1333 双通道

5.4.4 Cache的分级体系结构

型号	步 进	核心线程	主频	加速频 率	二级缓 存	三级缓 存	TDP	插槽	QPI总 线	内存支持
Core i7-9 70	B1	六核心十二 线程	3.2GH z	3.46GH z	6×256K B	12MB	130W	LGA 1366	4.8GT/s	DDR3-1066 三通道
Core i7-9 80	B1	六核心十二 线程	3.33G Hz	3.6GHz	6×256K B	12MB	130W	LGA 1366	4.8GT/s	DDR3-1066 三通道
Core i7-9 80X	B1	六核心十二 线程	3.33G Hz	3.6GHz	6×256K B	12MB	130W	LGA 1366	6.4GT/s	DDR3-1066 三通道
Core i7-9 90X	B1	六核心十二 线程	3.46G Hz	3.73GH z	6×256K B	12MB	130W	LGA 1366	6.4GT/s	DDR3-1066 三通道

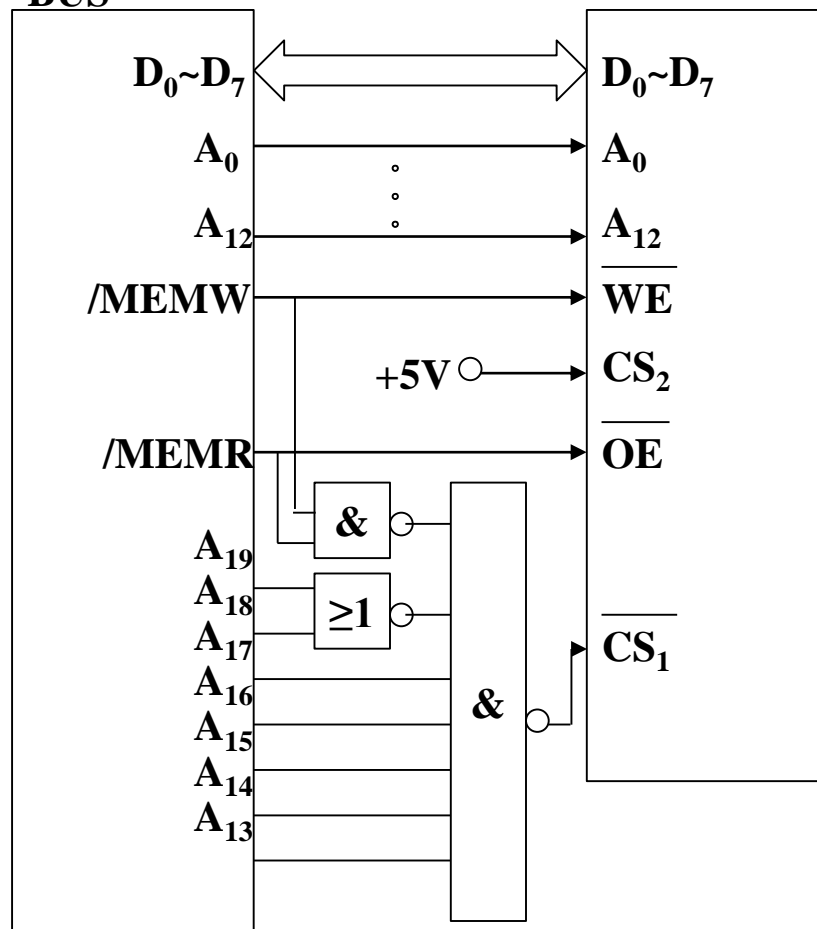
常见的存储设备





6264

**8088系统
BUS**



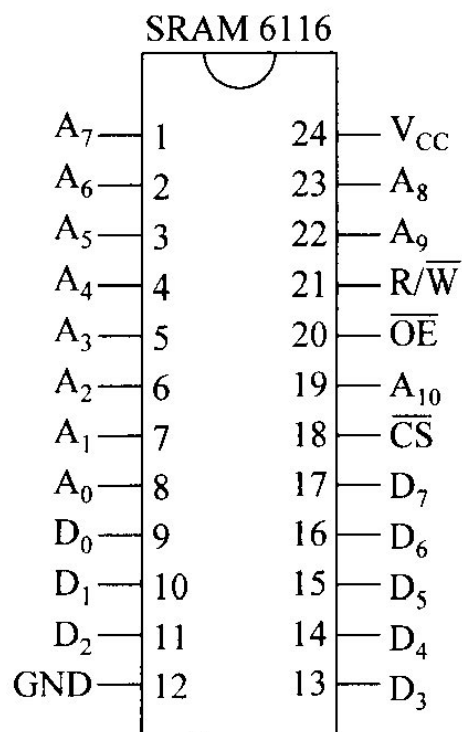


图 5-11 SRAM 6116 外部引线图

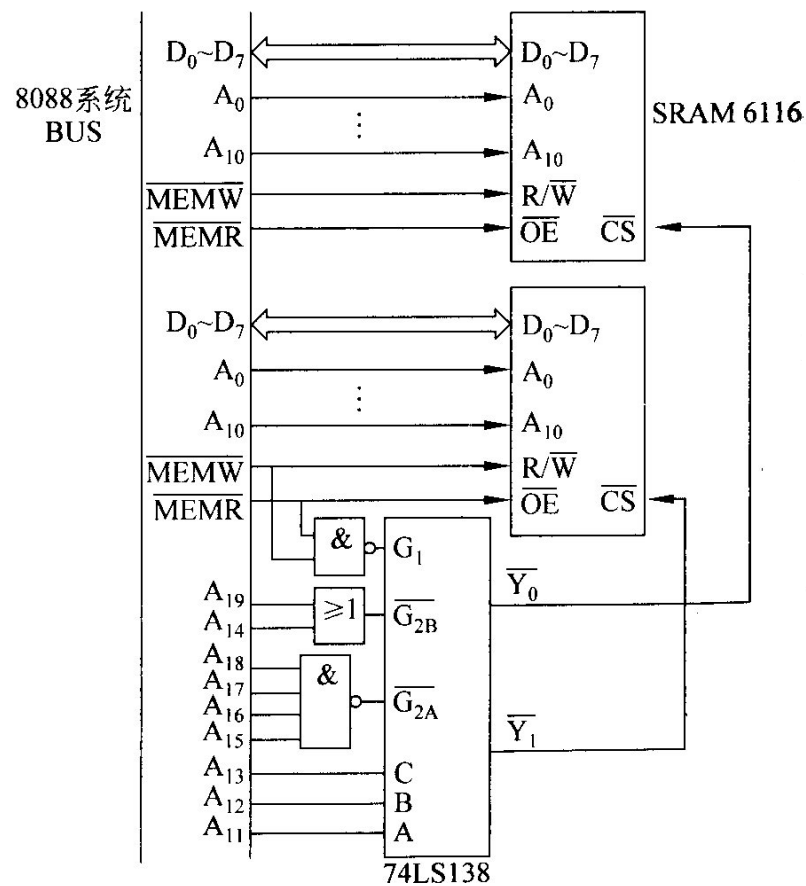
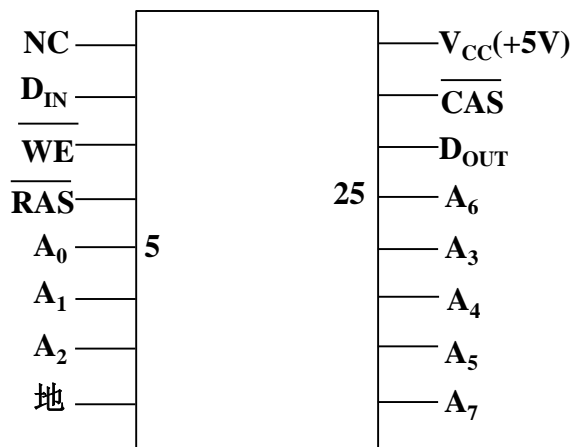


图 5-12 SRAM 6116 的应用连接图



2164A

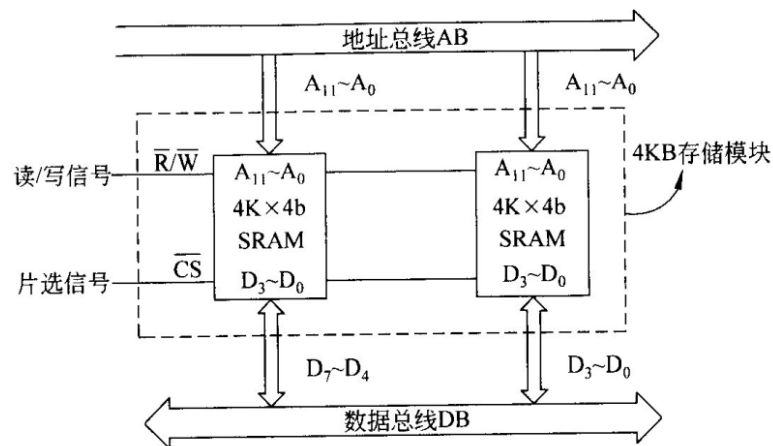


图 5-19 用 4K×4b 的 SRAM 芯片进行位扩展以构成容量为 4KB 的存储器

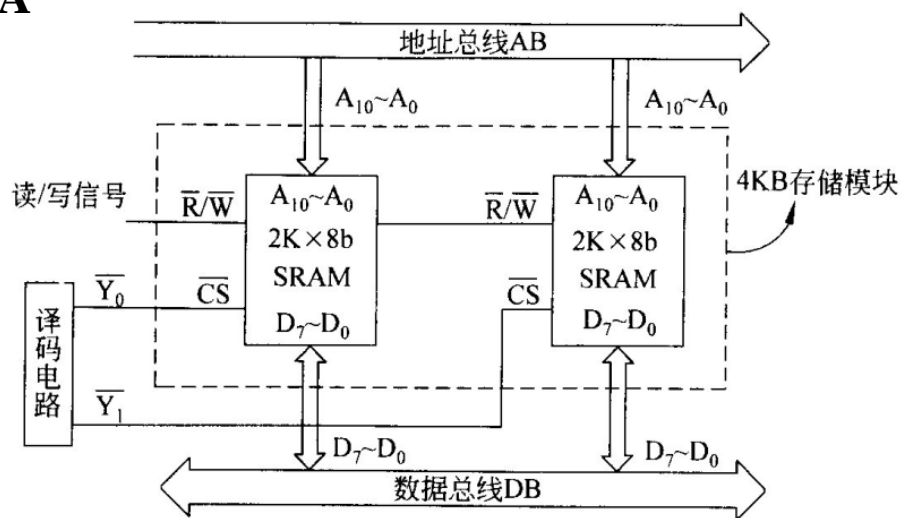


图 5-21 字扩展连接示意图

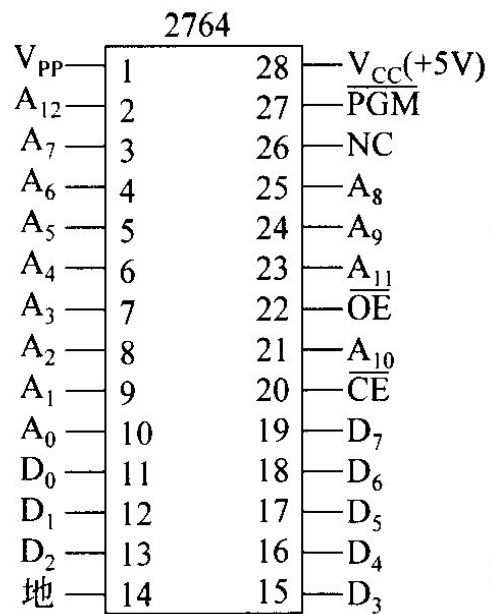


图 5-24 EPROM 2764 引线图

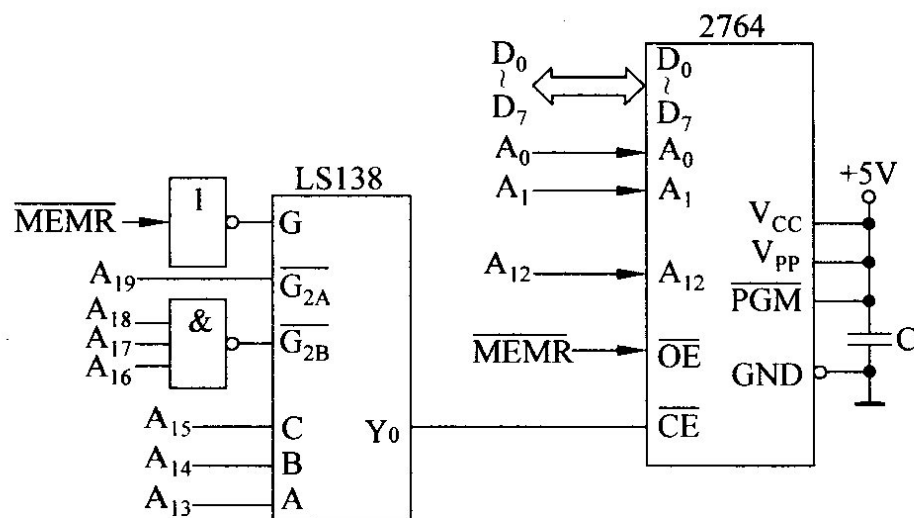


图 5-26 2764 与 8088 系统的连接图

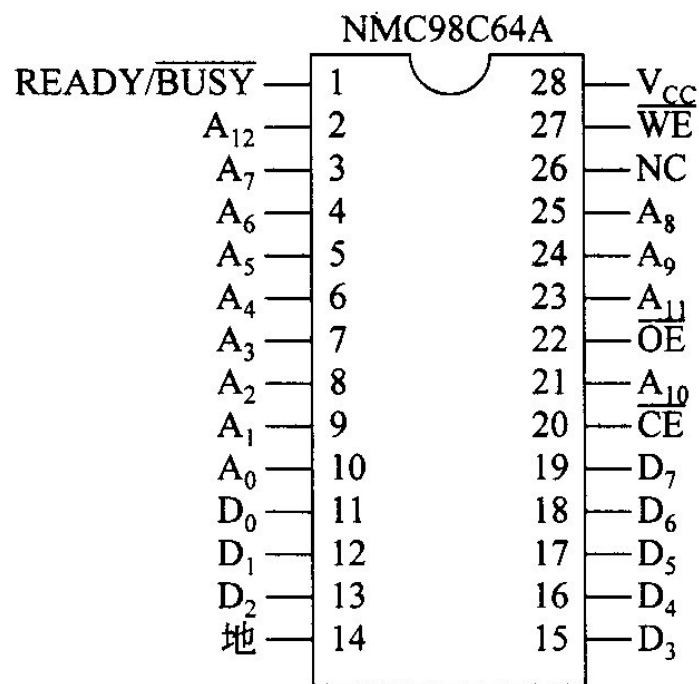


图 5-29 NMC98C64A 引线图

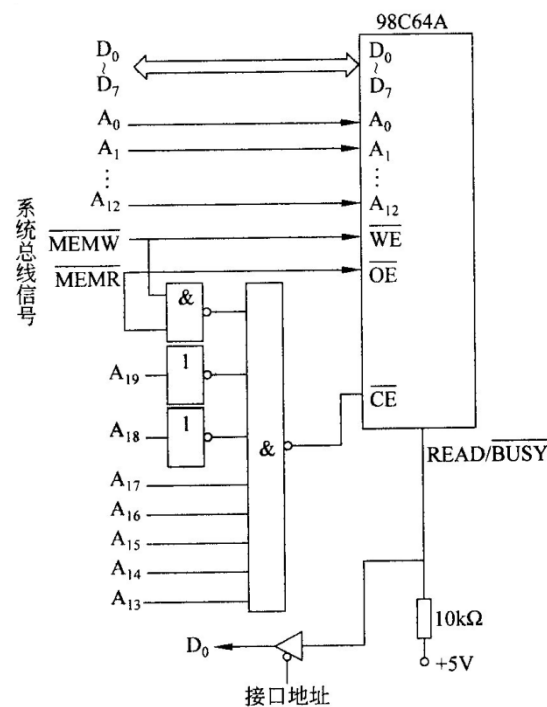


图 5-31 98C64A 与系统的连接

5.5 半导体存储器设计举例

- 例5-8，利用图5-43所示的SRAM8256存储器芯片（容量为256K*8b）构成1MB的存储器。芯片各引线含义为：A0~A17，地址线；D0~D7，数据线；/WE，写允许信号线；/OE，读出允许信号线；/CS，片选信号。

0000 0000 0000 0000 00 ~ 1111 1111 1111 1111 11

1000 0000 0000 0000 000 ~ 1111 1111 1111 1111 111

1000 0000 0000 0000 0000 ~ 1011 1111 1111 1111 1111

1100 0000 0000 0000 0000 ~ 1111 1111 1111 1111 1111

- 例5-9，某8088系统使用EPROM2764和SRAM6264芯片组成16KB内存。
其中：ROM地址范围为FE000H~FFFFFH，RAM地址范围为F0000H~F1FFFH。要求利用74LS138译码器设计译码电路，实现16KB存储器与系统的连接。

1111 1110 0000 0000 0000 ~ 1111 1111 1111 1111 1111

1111 0000 0000 0000 0000 ~ 1111 0001 1111 1111 1111

- **例5-10， 分别利用SRAM6264芯片和EEPROM98C64A芯片构造32KB的数据存储器即32KB的程序存储器， 并将程序存储器各单元的初值置为FFH**