

Αρχιτεκτονική Διατάξη #9

1) Ανάκληση

T₀ MAR ← PC, Z ← PC+1
T₁ MDR ← M[MAR], PC ← Z
T₂ IR ← MDR[OPCODE], F ← 1

2) LDA

T₃: MAR ← MDR[Address]
T₄: MDR ← M[MAR]
T₅: ACC ← MDR, IF (IEN=0) THEN F ← 0
ELSE G ← 1

IEN ← INTERRUPT
ENABLE

3) STA

T₃: MAR ← MDR[Address]
T₄: MDR ← ACC
T₅: M[MAR] ← MDR, IF...

7) RET

T₃ MAR ← SP, Z ← SP+1
T₄ MDR ← M[MAR] SP ← Z
T₅ PC ← MDR, IF...

4) INC

T₃: Z ← ACC+1
T₄: ACC ← Z, IF...

8) Κυκλος διακοπής

T₀ Z ← SP-1 δεν είναι αυτόλη
για αυτό γράφουμε T₀

T₁ SP ← Z, MAR ← Z

T₂ MDR ← PC

T₃ M[MAR] ← MDR

T₄ MAR ← Z

T₅ MDR ← M[MAR]

T₆ PC ← MDR

F ← 0, G ← 0

IEN ← 0

5) AND

T₃ MAR ← MDR[Address]
T₄ MDR ← M[MAR]
T₅ Z ← ACC
T₆ ACC ← Z, IF...

6) JSR

T₃ Z ← SP-1
T₄ SP ← Z, MAR ← Z[Address]
T₅ Z ← MDR
T₆ MDR ← PC
T₇ M[MAR] ← MDR, IF...

Notes:

F=0 (Ανάκληση)

F=1 (Εκκένωση)

C=0 (Κανονική λειτουργία)

G=1 (διακοπή)

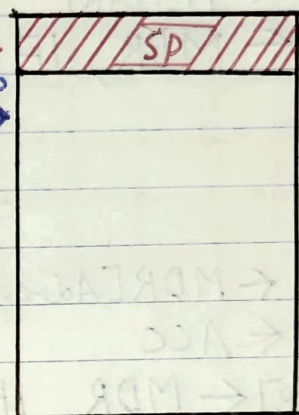
IEN=1 (CPU δέχεται διακοπή)

To IF παύει να ελέγχει
ίδιο με το IF στο 2

- 1) Όταν τελειώσει η ανάκληση $F \leftarrow 1$ για να αρχίσει η εκτέλεση (ήταν 0) (Τα της ανάκλησης)
- 2) Αν δεν έρθει σήμα διακοπής, έχουμε κανονική λειτουργία της CPU
 $F \leftarrow 0$. Στο σύστημα μας, το σήμα διακοπής μπορεί να σταλεί στο τέλος της εκτέλεσης. Αρα πάμε να ανακαλέσουμε την επόμενη εντολή.
 Αν έρθει διακοπή (IEN=1) τότε $G=1$
 • Διακοπή σημαίνει σταμάτω την λειτουργία της CPU

8) Κύκλος διακοπής

- Τ0: μειώνω το SP *αρά παω εδώ* →
- Τ1: MAR παίρνει την διεύθυνση από τον SP
- Τ2: Ο MDR παίρνει την τιμή του PC και
- Τ3: την γράφει στην κορυφή της σελίδας



- Ως το Τ4 είναι το 1^ο κομμάτι του κύκλου μετά την ενέργεια που θα γίνει κατά την διακοπή.

- Στο Τ5 ο MDR διαβάζει τον PC στο Τ6: $PC \leftarrow Z$

- Στο Τ6 ο PC λαμβάνει πίσω την τιμή που είχε πριν την διακοπή για να συνεχίσει η λειτουργία της CPU

$F \leftarrow 0$ (ανάκληση επόμενης εντολής)

$G \leftarrow 0$ (κανονική λειτουργία) (IEN $\leftarrow 1$) στο Τ6 $PC \leftarrow Z$

- 1) Σχεδίαση σημάτων α) με πύλες (προκατασκευασμένος)
- β) με μνήμη (μικρο-προγραμματιζόμενος)

2) Παραγωγή σημάτων χρονισμού

- 1) Πως κάθε καταχωρητής γνωρίζει αν θα γράφει ή θα διαβάσει και σε ποιον χρόνο;

- 2) Πως παραγονται τα σήματα χρονισμού;

Εστω ότι ένα σύστημα εκτελεί τις εντολές που παράγονται, στην ανάκληση και κύκλο διακοπής. Να σχεδιάσει το σήμα MARin το οποίο παράγει η μονάδα ελέγχου για να "διατάξει" τον MAR να διαβάσει τις καταχωρητές χρονικές σειρές

- 1) Χωρίζα το κομμάτι που αφορά τον κύκλο διακοπής
- 2) Χωρίζα δουλεύεται την ανάκληση
- 3) Χωρίζα τις εντολές

2 σήματα 1η για αχάνωση
006 για εχγραφή

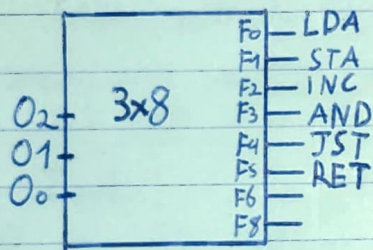
Ο MAR έχει μόνο 1η γιατί
διαβάσει από τον εσωτερικό διάλο

Παρατήρηση: Ενδιαφερομασται για εσωτερικές
επικοινωνίες είσε έχουμε έναν διάλο είσε
περισσότερους. Η επικοινωνία με τη μνήμη δεν
καθορίζεται από αυτά τα σήματα
στους εσωτερικούς δίδυλους

Π.χ. στο κύκλο διακοπής: $SPOUT = 1$ στο χρόνο T_0 (γράφε στο
διάλο)
 $SP1h = 1$ στο χρόνο T_1 (διαβάσε από
τον διάλο)

Διαβάζει όταν $MAR \leftarrow$ στην εντολή

OPCODE



Έχουμε 6 εντολές επομένως χρειαζόμαστε
ένα DEC 3x8. ο οποίος αποκωδικοποιεί
τα bit του OPCODE ($O_2 O_1 O_0$) και
θέτει τιμή 1 σε 1 σήμα εξόδου, δείχνοντάς
την εκτελούμενη εντολή

• DEC είναι $N \times 2^n$ όπου N είναι κατάλληλη τιμή για να
αποκωδικοποιηθούν όλες οι εντολές

Αν OPCODE: 000 τότε LDA=1 και τα άλλα 0

OPCODE									
O_2	O_1	O_0	LDA	STA	INC	AND	JSR	RET	
0	0	0	1						
0	0	1		1					
0	1	0			1				
0	1	1				1			
1	0	0					1		
1	0	1							1

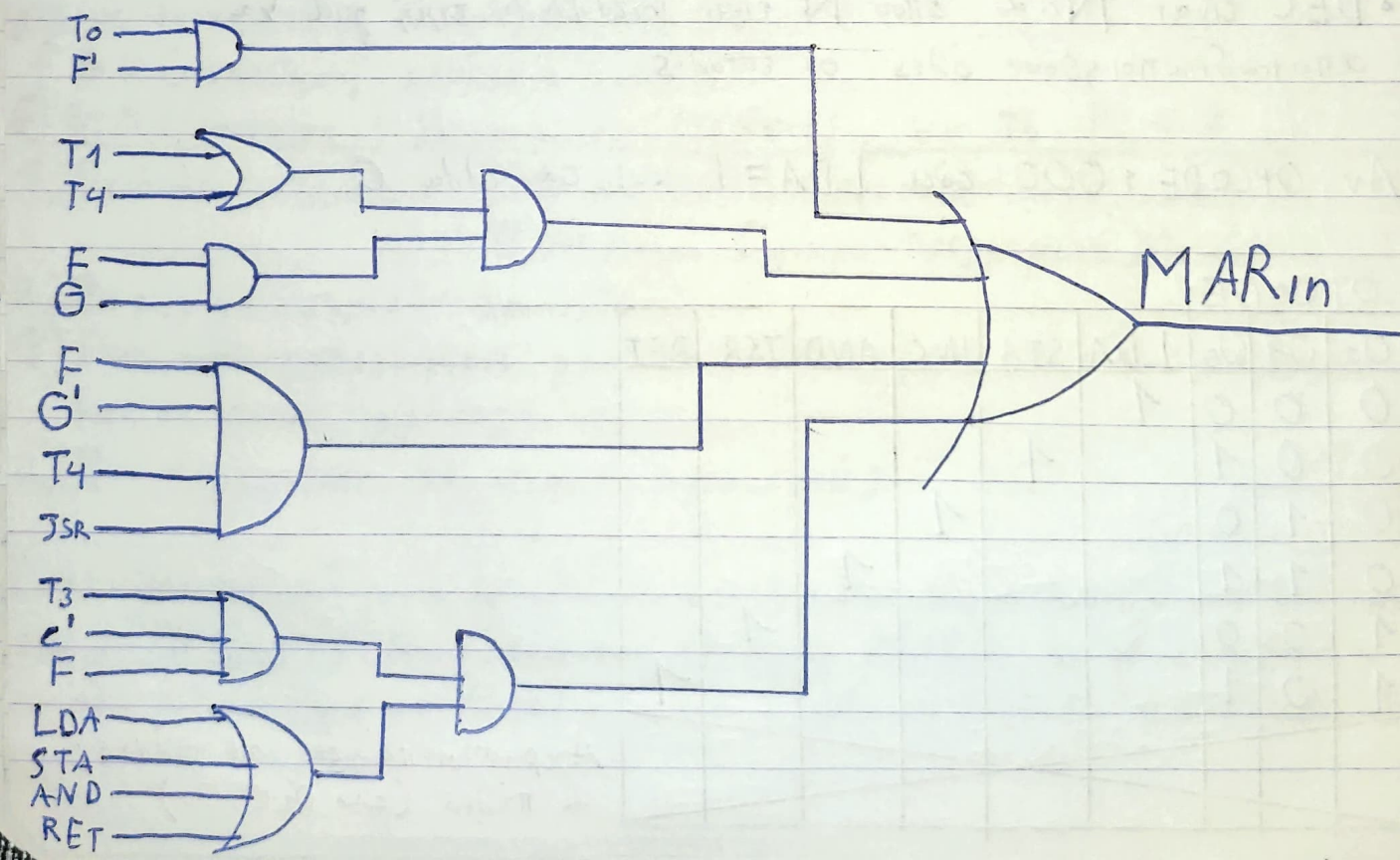
Αχρησιμοποίητες οι άλλες
2 πηγές (του $O_2 O_1 O_0$)

- Κύκλος διακοπής: Ο MAR διαβάζει όταν ο χρόνος είναι (T1 ή T4) (και $G=1$ και το $F=1$) διοτι βρίσκόμεσσε στην φάση της εκτέλεσης
- Διακοπή σημαίνει: 1) το $G=1$ και το $F \leftarrow 1$ αφού υπάρχει διακοπή το $F \leftarrow 0$ (IF IEN=0 THEN $F \leftarrow 0$). Το κομμάτι $G=1$ και $F=1$ ισχύει για κάθε εντολή

Το MAR διαβάζει σε χρόνο T0 και $F=0$. Η Ανάκληση δεν μηδέκεται με το σήμα διακοπής G γιατι το G λαμβάνει τιμή στην εκτέλεση.
 • Εκτέλεση κανονική λειτουργία το $G=0$ και $F=1$

T1 ή T4 και <u>F=1 και G=1</u>	Διακοπή (σταθερο στην διακοπή)
T0 και <u>F=0</u>	Ανάκληση (σταθερο στην ανάκληση)
F1 και <u>G=0</u>	Εισαγωγή (σταθερο στην εισαγωγή)

MAR: Av T3=1 και LDA=1
 Av T3=1 και STA=1
 Av T3=1 και AND=1
 Av T4=1 και JSR=1
 Av T₃=1 και RET=1



1) Αν βρισκόμαστε στον χρόνο T_0 και στην ανάκληση ($F=0$) το σήμα η πύλη (1) δίνει την έξοδο 1 ενώ οι 1,2,3,4 δίνουν 0. $MAR_{in}=1$ δηλαδή ο MAR θα διαβάσει από τον δίκτυο. Τι θα διαβάσει; Την ίδια χρονική στιγμή θα είναι $PC_{out}=1$

2) Αν είμαστε στον χρόνο T_1 ή T_4 και $F=G=1$ τότε η πύλη (2) έχει έξοδο 1. Οι πύλες 1,3,4 είναι 0 και $MAR_{in}=1$. Στο T_1 το $Z_{out}=1$ και στο χρόνο T_4 πάλι $Z_{out}=1$

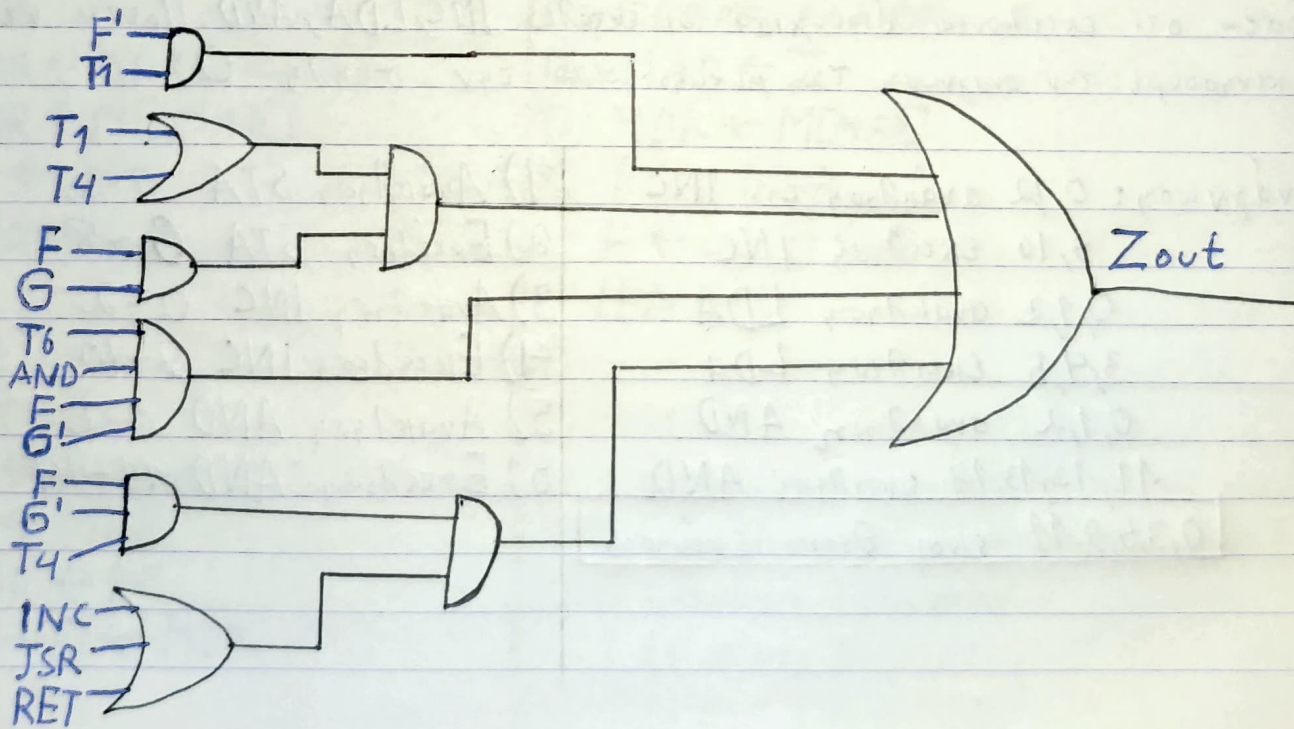
3) Αν έχουμε εκτέλεση $F=1, G=0$ τότε ομαδοποιούμε τους χρόνους που διαβάζει ο MAR.

- Αν $T_4=1$ και $JSR=1$, τότε η πύλη 3 δίνει έξοδο 1 και η πύλη 4 δίνει 0.
- Αν $T_3=1$ τότε αν $LDA=1$ ή $STA=1$ ή $AND=1$ ή $RET=1$ τότε η πύλη 4 δίνει έξοδο 1

■ Τα T είναι ένα κάθε φορά 100 με μονάδα δεν δίνεται να είναι π.χ. $T_4=1$ και $T_1=1$

Σχεδίαση σήματος Z_{out} .

- Ανάκληση: $F=0$ και $T_1=1$. Στον χρόνο T_1 ο Z πρέπει να γραφεί στον δίκτυο
- Λογική σχέση $F'T_1$
- Διακοπή: $F=1$ και $G=1, T_1$ or T_4 . $(T_1+T_4) \cdot (FG)$
- Εκτέλεση: T_4 και INC / T_6 και AND T_4 και JSR T_4 και RET



	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14
MAR _{in}	1			1			1					1			
Z _{in}	1									1				1	
Z _{out}		1									1				1
MDR _{in}		1			1			1					1		
MDR _{out}				1		1	1		1					1	1
Acc _{in}						1					1				
Acc _{out}								1		1				1	
SP _{in}															
SP _{out}															
PC _{in}		1													
PC _{out}	1														
IR _{in}			1												
	Ανάκληση			LDA			STA			INC		AND			

• Στην Διεύθυνση 0 αποθηκεύονται τα σήματα του βήματος Το της ανάκλησης Προκατασκευασμένος έλεγχος σχεδιάζουμε με πύλες μόνο τα σήματα που αναφέρονται σε εσωτερική επικοινωνία. Όταν ο MDR πρέπει να διαβάσει ή να γράψει στη μνήμη λαμβάνει ξεχωριστό σήμα και αυτό δεν μπλέκεται με την υλοποίηση των MDR_{in}/MDR_{out}.

• Έστω ότι εκτελούνται διαδοχικά οι εντολές INC, LDA, AND. Πρέπει να ξεκινήσουμε την ανάγνωση της μνήμης από την σελίδα 0

Ανάγνωση: 0,1,2 ανάκληση της INC

9,10 εκτέλεση INC

0,1,2 ανάκληση LDA

3,4,5 εκτέλεση LDA

0,1,2 ανάκληση AND

11,12,13,14 εκτέλεση AND

0,3,6,9,11 είναι θέσεις εκίνησης

1) Ανάκληση STA 0-2

2) Εκτέλεση STA 6-8

3) Ανάκληση INC 0-2

4) Εκτέλεση INC 9-10

5) Ανάκληση AND 0-2

6) Εκτέλεση AND 11-14