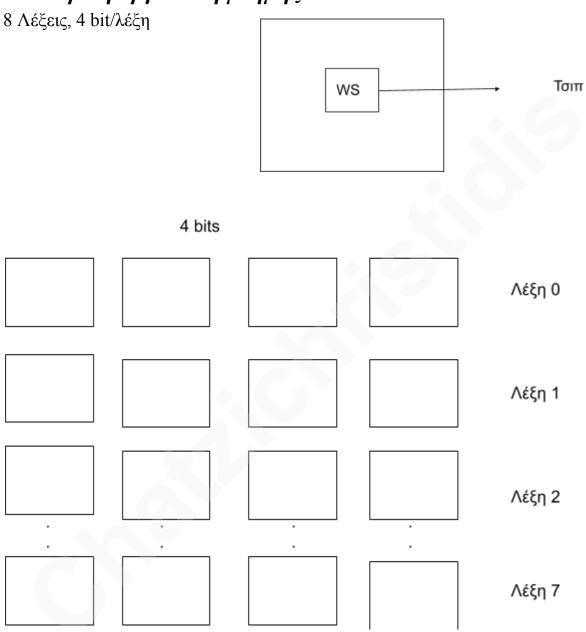
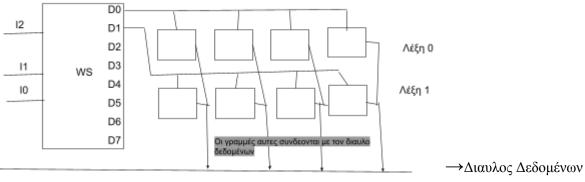
Αρχιτεκτονική Διαλεξη 4

Εσωτερική οργάνωση μνήμης:





 $\Sigma \eta \mu \alpha \ R/w$ κανει R η W

συνδέεται με όλα τα κυτταρα και τους λεει να

Καθενα απο τα σήματα D0-D7 (τα σήματα εξόδου του WS) επιτρέπει την λειτουργεία των κυττάρων της αντίστοιχης λέξης

D0:επιτρέπει τα κύτταρα της λεξης 0

D1:επιτρέπει τα κύτταρα της λεξης 1

D2: επιτρέπει τα κύτταρα της λεξης 2

D3:επιτρέπει τα κύτταρα της λεξης 3

D4: επιτρέπει τα κύτταρα της λεξης 4

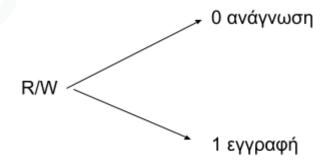
D5:επιτρέπει τα κύτταρα της λεξης 5

D6:επιτρέπει τα κύτταρα της λεξης 6

D7:επιτρέπει τα κύτταρα της λεξης 7

Οι λέξεις της μνήμης χρησιμοποιουνται με 2 τροπους:

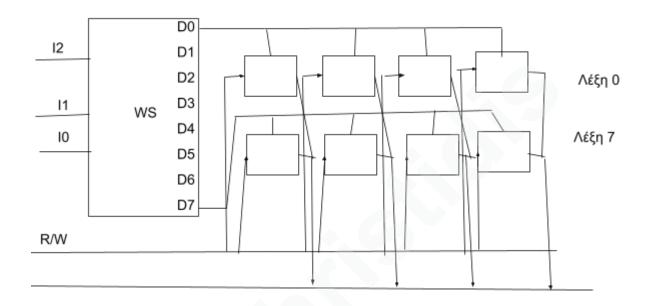
- 1) Ανάγνωση, τα δεδομένα της λέξης δίνονται στην CPU
- 2) Εγγραφή, η CPU δίνει δεδομένα στη λέξη



Εστω το σήμα R/W=0 αρα ανάγνωση Εστω οτι επιλέχθηκε η λέξη 1

Τα κύτταρα της λεξης 1 βγάζουν τα δεδομένα τους (1bit) στην αντιστοιχη γραμμή εξόδου για να κατευθυνθουν προς το δίαυλο δεδομένων

Αυτο λεγεται *ΑΝΑΓΝΩΣΗ* διαβαζει δηλαδή η CPU απο την μνήμη

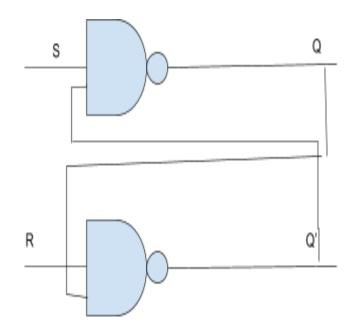


Το σήμα R/W=1 (εγγραφή) Έστω ότι επιλέγετε η λέξη 7 και τα δεδομένα που πρέπει να γραφτούν είναι 1100 τα δεδομένα μέσω του διαύλου περνάνε στις γραμμές εισοδου (συμβολικά 🗷) Και επειδή έχει επιλεχθεί η λέξη 7 γράφονται στα κύτταρα της λέξης 7 (1 bit/λέξη)

Memory Cells:Κάθενα αποθηκεύει 1 bit μνήμη.Η κατασκευή βασίζεται σε ένα συνδυαστικό κύκλωμα με ανατροφοδότηση από τις εξόδους προς τις εισόδους αυτό το κύκλωμα λέγεται μανδαλωτης (latch)

Η Αρχή λειτουργίας του λέει ότι έχει Δύο εξόδους όπου πρέπει να είναι συμπληρωματική π.χ. Q,Q'

Τρόπος λειτουργίας Latch



	S	R	Q	Q'
1.	0	0	1	1
2.	0	1	1	0
3.	1	0		
4.	1	1		

Πρέπει να διασφαλίσουμε ότι το SR δεν μας οδηγούν σε ανεπιθυμητή κατάσταση να είναι δηλαδή (S=0, R=0)Η διάταξη μας να είναι τέτοια ώστε αυτό να μη συμβεί

Αν S=0,R=1 τότε η πύλη 1 θα δώσει έξοδο 1 ότι και να ήταν πριν τα Q,Q'. Άρα Q θα γίνει ένα και στη συνέχεια η πύλη δύο θα δώσει έξοδο 0 0 \rightarrow Q'=0

Αν S=1,R=0 Θα συμβεί το ανάποδο Με την ίδια λογική όπως στην προηγούμενη περίπτωση

Aν S=1,R=1 τότε.

Η επόμενη κατάσταση εξαρτάται από τα Q,Q'

Παιρνουμε περιπτώσεις

4.1) Q=0, Q'=1

Η πύλη 2 θα έχει μια είσοδο = 0 άρα Q'=1 και επειδή S=1 η πύλη 1 θα δώσει εξοδο 0 \mathbf{Q} =0, \mathbf{Q} '=1 ίδια κατάσταση

4.2) Q=1, Q'=0

Η πύλη 1 θα έχει μια είσοδο = 0 άρα Q=1 και επειδή Q=1 η πύλη 2 θα δώσει εξοδο 0 \mathbf{Q} =1, \mathbf{Q} '=0 ίδια κατάσταση