

Αρχιτεκτονική Διαλεξη 2

Cascading (Το είδαμε και στην Διαλεξη 1)

2ο Παράδειγμα Cascading

Να καταλάβω αυτό Όστε να καταλάβω την RAM.

- Να σχεδιάσετε έναν αποκωδικοποιητή 5x32 Με αποκωδικοποιητές 2x4 και 3x8 Και να δείξετε πώς χρησιμοποιούνται τα bit εισόδου για να αποκωδικοποιηθεί (να βγει) η εξόδος $(17)_{10}$

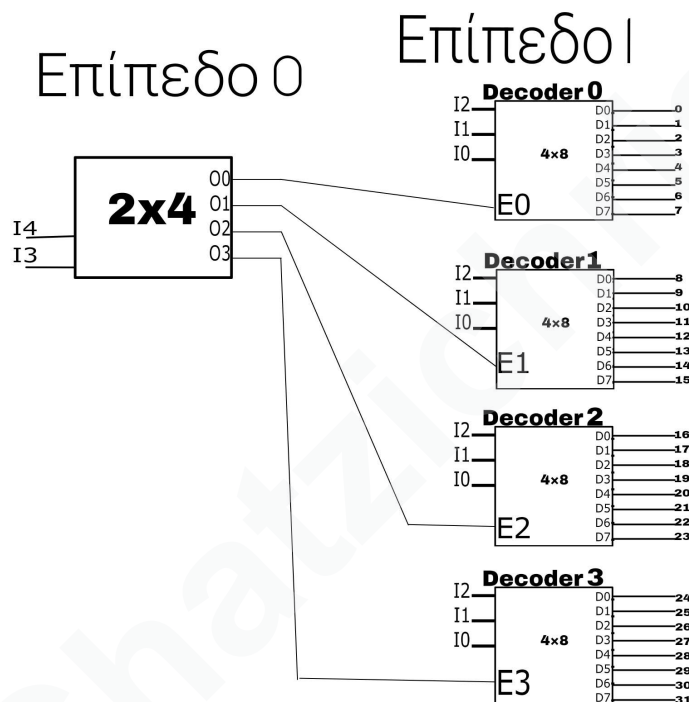
Ένας αποκωδικοποιητής με $N=5$ εισόδους έχοντας ως εργαλεία αποκωδικοποιητες με $M=2$ εισόδους και $L=3$

$N=M+L \Rightarrow 2$ επίπεδα (Αφού είναι δύο οι όροι που αθροίζονται ΑΡΑ 2 τα επίπεδα αποκωδικοποιήσεις)

2 επίπεδα : 1) 2x4 (Επίπεδο 0)

2) 3x8 (Επίπεδο 1)

Με σχηματικό διάγραμμα:



εξόδου έχει :

Αποκωδικοποιητης	Λειτουργεί όταν:
0	$E_0=1$ ($O_0=1$)
1	$E_1=1$ ($O_1=1$)
2	$E_2=1$ ($O_2=1$)
3	$E_3=1$ ($O_3=1$)

Καθενα απο τα 32 σήματα

- 1) Μία τοπική διεύθυνσή εντός του DEC(στο παραδειγμα D0-D7)
- 2) Μια καθολική διεύθυνση(στο παράδειγμα 1-32)

Η 17 που ψάχνουμε είναι τοπικά η έξοδο 1 του Dec 2

Γενικές Καθολικές	Dec	Θέση
7	0	D7
15	1	D7
23	2	D7
31	3	D7

Τώρα αφού βρήκαμε την έξοδο θα δείξουμε τι γίνεται στην διεύθυνση
17=10001

17=	I4	I3	I2	I1	I0
	1	0	0	0	1

Επειδή I4I3= 10 θα είναι O2=1 άρα E2=1

Επιλέγεται Dec2

Επειδή I2I1I0=001 επιλέγεται έξοδος D1

Επιλέχθηκε η έξοδος D1 του Dec 2

Αν ήταν πρώτα Dec 3x8 και μετά 2x4 θα ήταν:

I4I3I2=100=4 άρα DEC 4 } Decoder 4 Εξοδος 1

I1I0=01=1 άρα 1 }

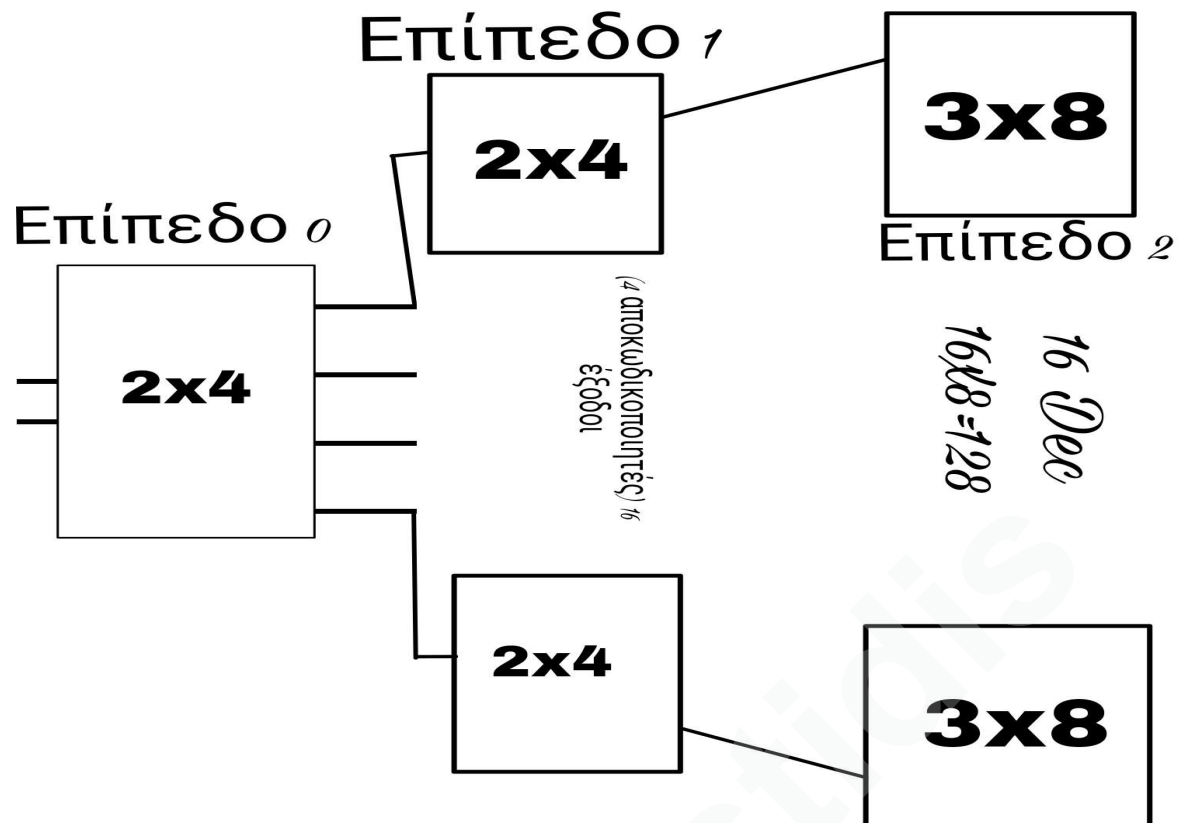
3 επίπεδα αποκωδικοποίησης

Θέλω Dec 7×128 με αποκωδικοποιητές 2×4 και 3×8

$N=7$

$M=2 \rightarrow N=M+M+L$ αρα 3 επιπεδα

$L=3$



Επιπεδο 0: Ενα Decoder 2×4 αρα 4 εξοδοι καθεμία απο τις οποίες είναι enable σε ενα Dec του επιπεδου 1. Αρα το επιπεδο 1 έχει 4 Dec τύπου 2×4 . Αυτό σημαίνει ότι το επίπεδο 1 παράγει $4 \times 4 = 16$ εξόδους 16 enable προς το επιπεδο 2. Αρα το επίπεδο 2 16 Dec 3×8 δηλαδή $16 \times 8 = 128$ εξόδους.

Πως ανακλύεται μια διευθυνση;

Bit επιπεδου : I6I5I4I3I2I1I0

IaI6I5. επιλέγουν Dec στο επίπεδο 1

IaI6I5I4I3: επιλέγουν Dec στο επίπεδο 2

I2I1I0: επιλέγουν το τελικό σήμα εξόδου

Παράδειγμα :

Η CPU ζητάει την διευθυνση 125 (μνήμη με 128 εξόδους)

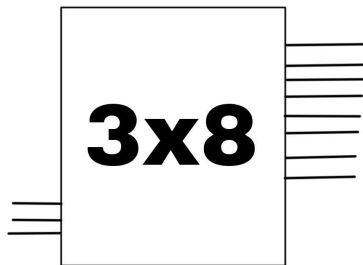
I6I5I4I3I2I1I0

$125_{10} : 1111101$

	I6	i5	I4	I3	I2	I1	I0
125_{10}	1	1	1	1	1	0	1

Αρα αφού το 127 είναι το τελευταίο το 125 είναι το τρίτο από το τέλος

$I6I5=11=3$ Αρα επιλέγεται ο Dec 3 στο Επίπεδο 1



$I4I3=11=3$ επιλέγεται ο αποκωδικοποιητής 3 ανάμεσα στους 4 αποκωδικοποιητές που ελέγχονται από τον Dec που επιλεχθηκε στο επίπεδο 1

$I6I5I4I3=1111=15$ άρα ο Dec 15 του Επιπέδου 2 ή ο 3 επιλέγεται από τον Dec 3 του επιπέδου 1

Ο 3 με την σειρά του επιλέγει τον Dec 3 στο επίπεδο 2 (τοπικά)

$I2I1I0=101=5$

Ο επιλεγμένος Dec του επιπέδου 2 επιλέγει το σήμα

5 ή το 125

τοπικά το και καθολικά το 125

101 τοπικά και 1111101 καθολικά

Το σήμα 5 του Dec 15

Ο Dec 15 είναι τοπικά ο Dec 3 που επιλεχθηκε από τον Dec 3 του επιπέδου 1

Παράδειγμα για εξάσκηση

CPU ζητάει 31 διεύθυνση

0011111

I6I5=(00)=> Dec 1 επιπεδου 1

I6I5I4I3=0011 => Dec 3 επιπεδου 2

I2I1I0=111=> 7 εξοδος του επιπεδου 2 του Dec 3 επιπέδου 2

Πολυπλέκτης, Πολυπλεξία : Είναι η διαδικασία με την οποία πολλές είσοδοι βγαίνουν σε μία μόνο έξοδο. Κάθε φορά μια απο τις εισόδους αυτές θα αποτελέσει την έξοδο.

Πολυπλέκτης $2^N \times 1$ (4x1, N=2)

Είσοδοι Έξοδος (8x1, N=3)

(16x1, N=4) έχει κρυμμένο ένα αποκωδ. $N \times 2^N$

Mux ↓ 4x1 έχει 4 εισόδους 1 έξοδο και 1 Dec 2x4

Πολυπλέκτες

Θα φτιάξουμε πολυπλέκτη 4x1

1) Κάνω ενα πίνακα αληθείας.

Είσοδοι				Γραμμες Επιλογες		F(εξοδοι)
I3	I2	I1	I0	S1	S0	
Δεν μας ενδιαφέρει τι τιμή έχουν				0	0	F=I0
				0	1	F=I1
				1	0	F=I2
				1	1	F=I3

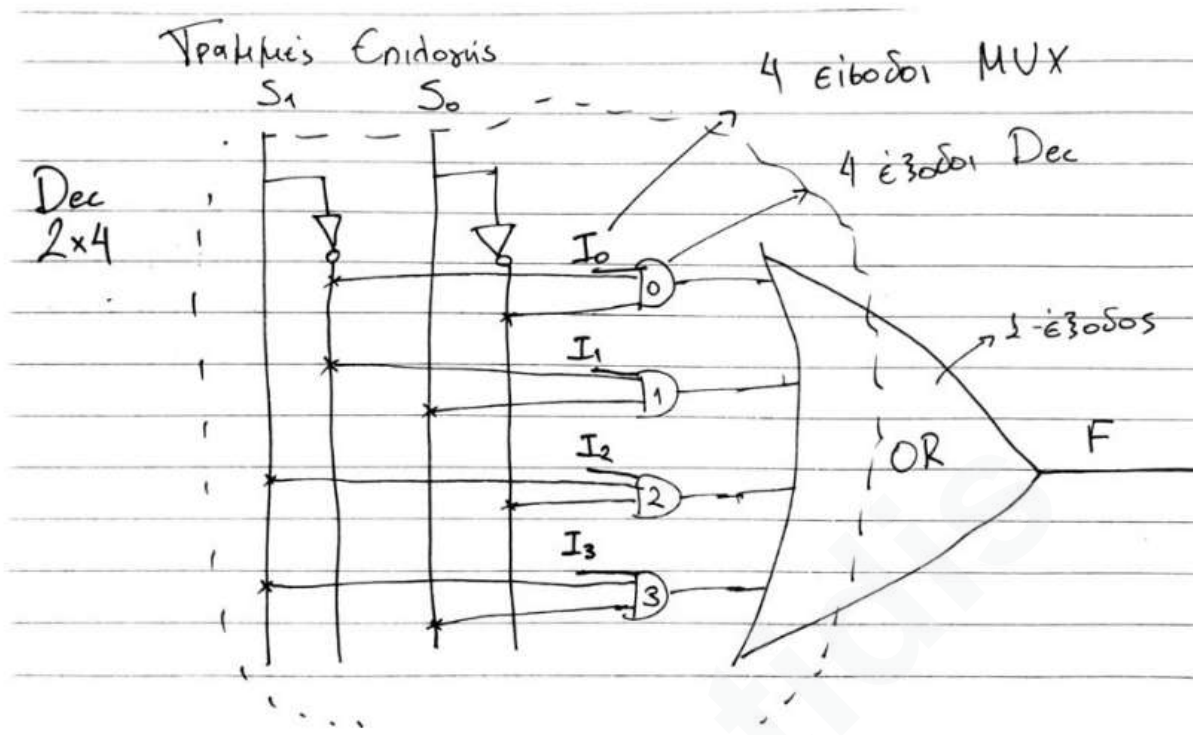
Οι γραμμες επιλογής αποκωδικοποιουν την είσοδο που θα βγει στην έξοδο.

Θα χρειαστούμε αποκωδικοποιητη 2x4

πολυπλέκτη 4x1

πολυπλέκτη 8x1 πολυπλέκτης 16x1
 αποκωδικοποιητή 3x8 αποκωδικ. 4x16

Σχεδιαση πολυπλέκτη 4x1



Οι είσοδοι του MUX(4) είναι τόσες όσες οι έξοδοι του Dec(4)

Απο το παραπάνω σχήμα και βγάλω την OR και I0-I3 έχω Dec 2x4
 Έστω $S_1=0, S_0=0$

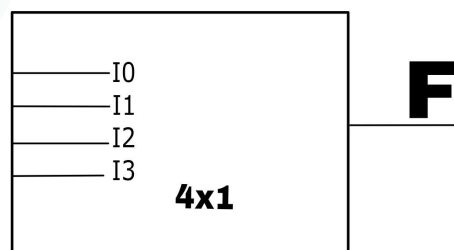
Η πύλη 0 θα έχει 2 σήματα ίσα με 1 και 3 είσοδο I0 οι πύλες 1,2,3 έχουν σίγουρα μια είσοδος 0

ΑΡΑ οι πύλες 1-3 έχουν έξοδο 0

Η πύλη 0 έχει έξοδο I1.I0=1 τελικά $F_0=I_0$

Έφαρμογές: Λογικές συναρτήσεις, πάνω σε πλακέτα (FPGA)

σχ. Διαγρ πολυπλέκτες 4x1



Γρ. επι(είναι οι είσοδοι του αποκωδικοποιητη) καθορίζουν ποια απο τις εισόδους θα διαμορφώσει την τελική έξοδο

Να υλοποιήσετε ένα πλήρη αθροιστή με κατάλληλο πλήθος πολυπλέκτων 4×1 , όπου τα σήματα A,B συνδεόνται με τις γραμμές επιλόγης και το Cin με τις γρ. εισόδου.

Πλήρης Αθροιστής:

Πίνακας Αληθείας

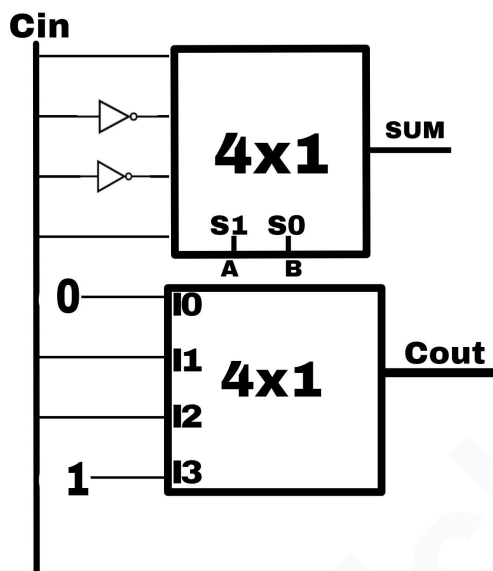
Πλήρης Αθροιστής = 2 εξοδοι

	A	B	Cin	Sum	Cout
--	---	---	-----	-----	------

	0	0	0	0	0
00=I0	0	0	1	1	0
	0	1	0	1	0
01=I1	0	1	1	0	1
	1	0	0	1	0
10=I2	1	0	1	0	1
	1	1	0	0	1
11=I3	1	1	1	1	1

Αφου 2 έξοδοι 2 πολυπλέκτες.

Τα bit που προστιθενται A,B τοποθετούνται στις γρ. επιλογής S1;S2 αντιστοιχα



Τα σήμα Cin θα συνδεθει με τις εισόδους I0-I3 των πολυπλεκτων.

Αν A=B=0 τότε S1=S0=0 και ως έξοδος κάθε πολυπλέκτη επιλέγεται το I0

A=0 κ B=1 τότε S1S0=01 και ως έξοδος κάθε πολυπλέκτη επιλεγεται το I1

A=1 κ B=0 τότε S1=1 S0=0 και ως έξοδος κάθε πολυπλέκτη επιλεγεται το I2

A=B=1 τότε S1S0=11 και ως έξοδος κάθε πολυπλέκτη επιλεγεται το I3

A και B=0 Cin=Sum

A=0 B=1 Cin ≠Sum

Sum=Cin'

$A=1 \ B=0 \ C_{in} \neq Sum$

$Sum = C_{in}'$

$A=B=1 \ C_{in}=sum$ Το c_{in} συνδέεται με τις γρ. εισόδου

Αρα πρέπει να τροφοδοτήσουμε τα I_0 ως I_3 μέσω του C_{in} έτσι ώστε οι έξοδοι να ικανοποιούν τον πίνακα αληθείας τους αθροιστές θέλουμε σχέση μεταξύ C_{in} με Sum και C_{in} με C_{out} (Διαβάζω πίνακα αληθείας για τις σχέσεις)

- 1) Sum : Αν $A=B=0$, $Sum=I_0$ Αν συνδέσω στο I_0 το C_{in} τότε $Sum=C_{in}$
(ισχύει για τις πρώτες 2 γραμμές του πίνακα αλήθειας όπου $A=B=0$)
- 2) Αν $A=0$, $B=1$, $Sum=I_1$ Αν συνδέσω στο I_1 το C_{in} τότε $Sum = C_{in}'$ (Ισχύει για τις επόμενες 2 γραμμές όπου $A=0, B=1$)
- 3) $A=1, B=0 \ SUM=I_2$ Αν συνδέσω στο I_2 το C_{in} τότε $SUM=C_{in}'$ (ισχύει για τις γραμμές αληθείας όπου $A=1, B=0$)
- 4) $A=B=1$, $SUM=I_3$ Συνδέω το I_3 με το C_{in} οπότε $SUM=C_{in}$ (ισχύει για τις 2 τελευταίες γραμμές)