

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Rapport d'APP

Logique Combinatoire
GEN420 & GEN430

Présenté à
Keven Deslandes

Présenté par
Benjamin Chausse – CHAB1704
Shawn Couture – COUS1912

Sherbrooke – 5 juillet 2025

Table des matières

1	Plan de vérification	2
2	Conception de l'UAL	2
2.1	Additionneur à 3 bits	2
2.2	Porte AND à 3 bits	2
2.3	Multiplexeur 2 vers 1	2
2.3.1	Table de vérité et fonctions logiques	2
2.3.2	Dimensionnement relatif des transistors	2
2.3.3	Dimensionnement absolu	2
2.4	Tampon de sortie	2
2.4.1	Dimensionnement des étages	2
3	Mesures	2
3.1	Temps de montée	2
3.2	Délai de propagation	3
A	Shématiques	4
B	Tables de vérité	6

1 Plan de vérification

TODO: Rédiger le plan de vérification.

2 Conception de l’UAL

2.1 Additionneur à 3 bits

Voir schéma en Annexe A. **TODO:** Expliquer brièvement.

2.2 Porte AND à 3 bits

Voir schéma en Annexe A. **TODO:** Expliquer brièvement.

2.3 Multiplexeur 2 vers 1

Voir schéma en Annexe A.

2.3.1 Table de vérité et fonctions logiques

TODO: Ajouter la table de vérité, Y et \bar{Y} .

2.3.2 Dimensionnement relatif des transistors

TODO: Décrire le dimensionnement relatif dans le PUN (pull-up network), le PDN (pull-down) et entre les deux.

2.3.3 Dimensionnement absolu

TODO: Justifier et donner le dimensionnement absolu pour respecter les spécifications.

2.4 Tampon de sortie

Voir schéma en Annexe A.

2.4.1 Dimensionnement des étages

TODO: Indiquer le dimensionnement de chaque étage et justifier (schéma ou tableau).

3 Mesures

3.1 Temps de montée

TODO: Présenter un tableau avec le temps de montée (10%-90%) pour AND, ADD et UAL.

3.2 Délai de propagation

TODO: représenter un tableau avec le délai de propagation pour $\text{cin} \rightarrow \text{cout}$, $\text{a1} \rightarrow \text{o1}$ pour AND et ADD.

A Shématiques

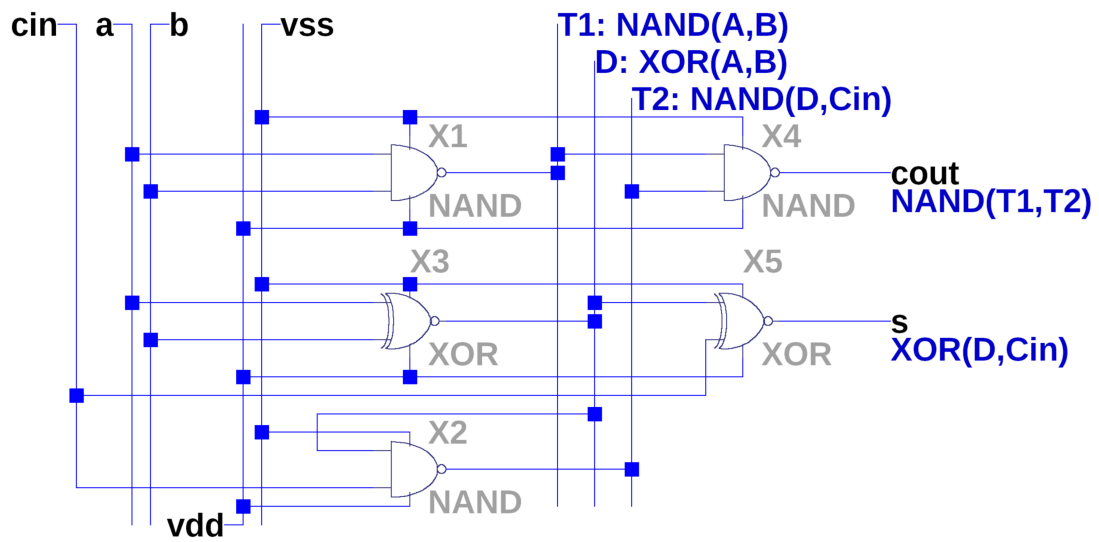


FIGURE A-1 – Additionneur 1 Bit

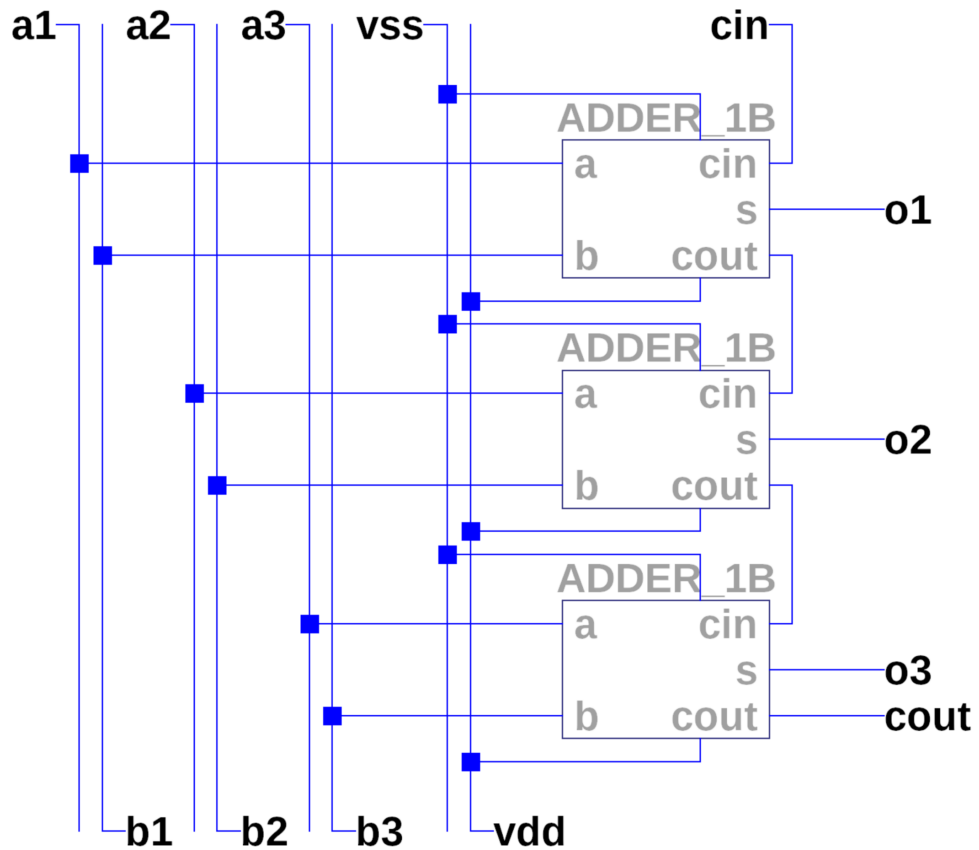


FIGURE A-2 – Additionneur 3 Bits

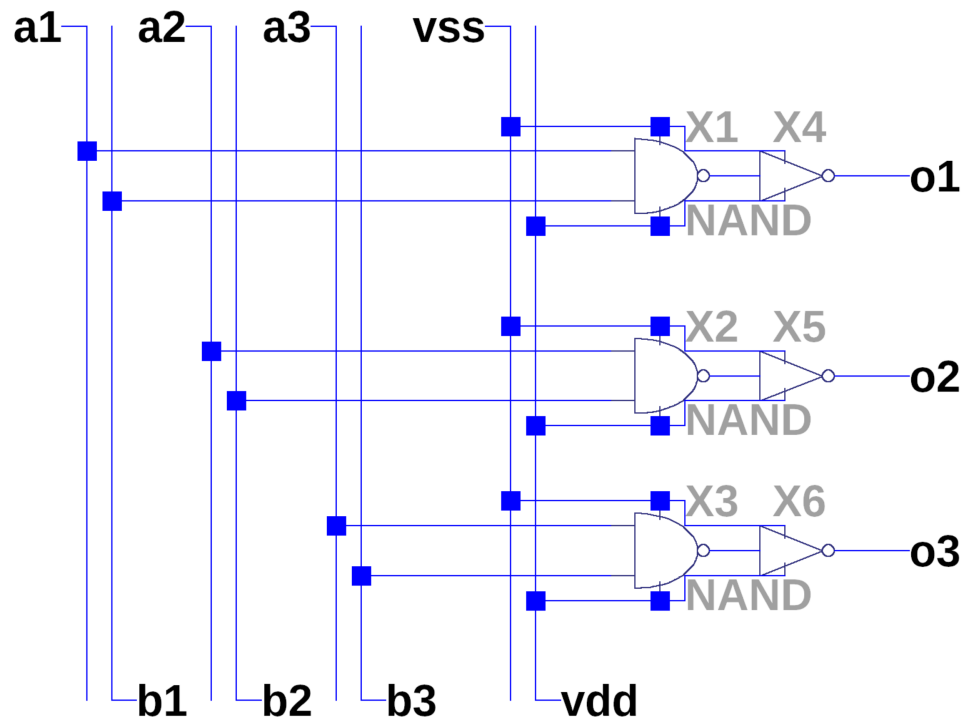


FIGURE A-3 – ET 3 Bits

TODO: Insérer le schéma du tampon de sortie.

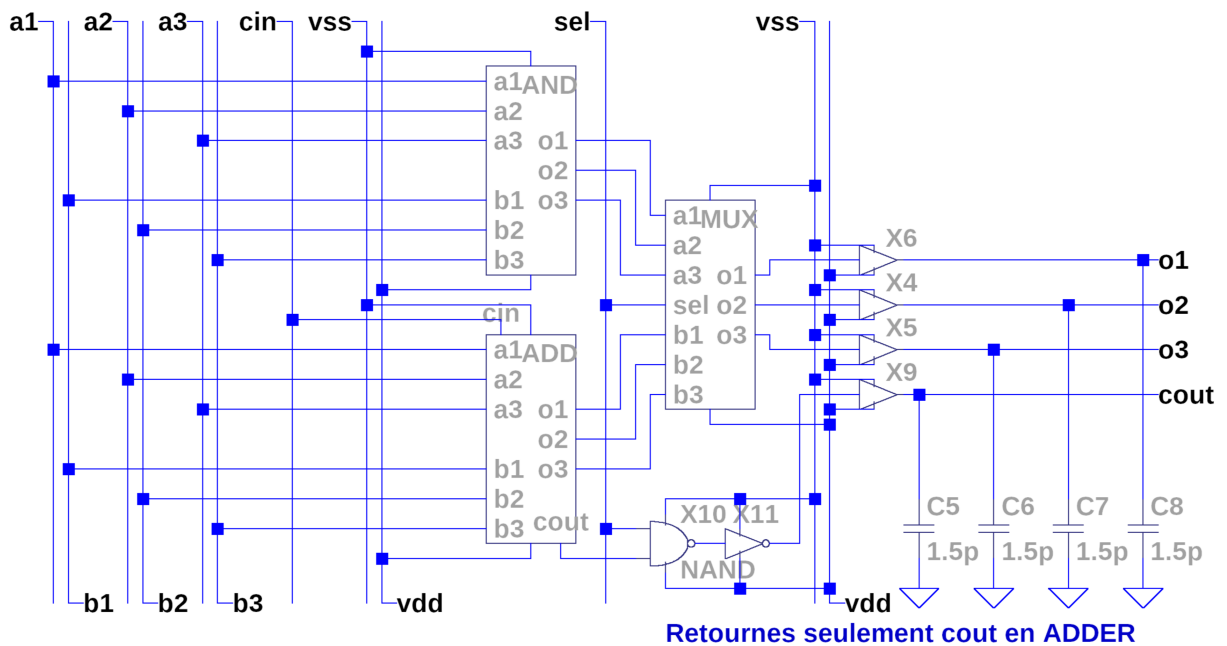


FIGURE A-4 – Unité d'arithmétique logique (UAL)

B Tables de vérité

TODO: Ajouter la table de vérité, la fonction Y (PUN) et la fonction \overline{Y} (PDN).