

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Rapport d'APP

Physique des portes logiques
GIF470

Présenté à
Keven Deslandes

Présenté par
Benjamin Chausse – CHAB1704
Shawn Couture – COUS1912

Sherbrooke – 7 juillet 2025

Table des matières

1	Plan de vérification	2
2	Shématiques diverses	3
2.1	UAL	3
2.2	Additionneur	4
2.3	Opérateur ET	5
3	Conception du Multiplexeur 2 vers 1	6
3.1	Dimensionnement relatif PUN, PDN	6
3.2	Dimensionnement absolue des transistors	6
4	Le tampon de sortie	7
5	Prises de mesures	8
A	Annexes	9

Table des figures

2-1	Unité d'arithmétique logique (UAL)	3
2-2	Additionneur 1 Bit	4
2-3	Additionneur 3 Bits	4
2-4	ET 3 Bits	5
4-1	Tampon de sortie	7
A-1	Multiplexeur de 2 entrées de 1 Bits	9
A-2	Multiplexeur de 2 entrées de 3 Bits	9

Liste des tableaux

1-1	Plan de vérification	2
3-1	Multiplexeur 2 vers 1 Bit	6
5-1	Temps de transition des composantes en montée	8
5-2	Délais de propagation des composantes	8

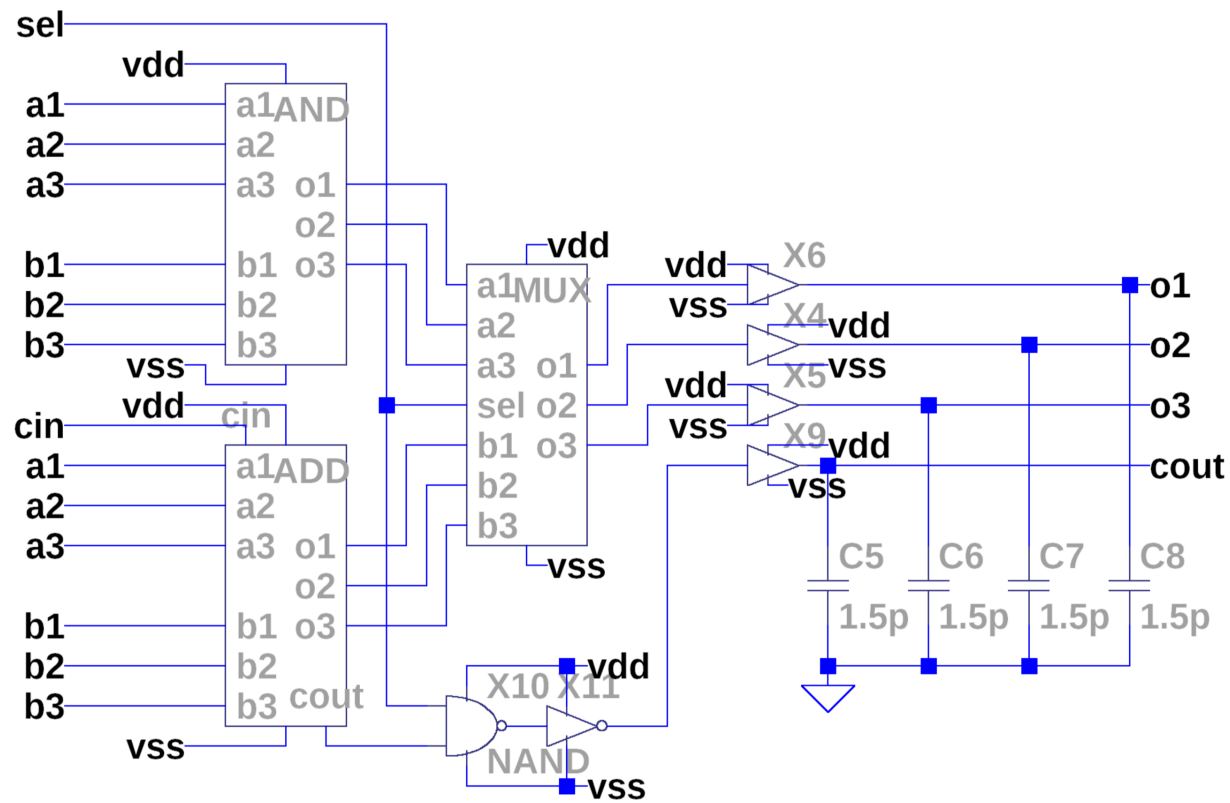
1 Plan de vérification

TABLEAU 1-1 – Plan de vérification

Objectif Ciblé			Test des nouvelles opérations	
#	Test	Action	Résultat Attendu	✓
1	Temps de transition Non-Ou	Exécuter <code>nor_test.asc</code> et ouvrir les logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
2	Temps de transition Non-Ou	Exécuter <code>nor_test.asc</code> et ouvrir les logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
3	Temps de transition Non-Et	Exécuter <code>nand_test.asc</code> et ouvrir ses logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
4	Temps de transition Non-Ou	Exécuter <code>nor_test.asc</code> et ouvrir ses logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
5	Temps de transition Non-Et	Exécuter <code>nand_test.asc</code> et ouvrir ses logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
6	Temps de transition Ou exclusif	Exécuter <code>xor_test.asc</code> et ouvrir ses logs	Le temps de transition <code>transition_up</code> et <code>transition_down</code> sont en bas de 130ps	<input type="checkbox"/>
7	TVm du Non-Et	Exécuter <code>nand_transfer.asc</code> et ouvrir ses logs	Le Vm est proche de VDD/2 (0.9)	<input type="checkbox"/>
8	Vm du Ou exclusif	Exécuter <code>xor_transfer.asc</code> et ouvrir ses logs	Le Vm est proche de VDD/2 (0.9)	<input type="checkbox"/>
9	Temps de propagation	Exécuter <code>pad_buffer_test.asc</code> et ouvrir ses logs	Le temps de propagation est plus rapide que l'autre alternative d'inverseurs.	<input type="checkbox"/>
10	Largeur de transistors	Vérifier les largeurs des transistors	Tout les transistors on une longueur de 180n et une largeur égal ou en haut de 180n	<input type="checkbox"/>
11	Sortie du ET 3 bits	Executer <code>and3b_test.asc</code> et analyser le graphique généré	Les sorties respectent la table de vérité d'une porte ET.	<input type="checkbox"/>
12	Temps de transition du ET 3 bits	Executer <code>and3b_test_transfer.asc</code> et ouvrir les logs	Le temps de transition entre les entrées et les sorties sont d'au plus 200ps	<input type="checkbox"/>
13	Sortie de l'additionneur 3 bits	Executer <code>add3b_test.asc</code> et analyser le graphique généré	Les sorties respectent la table de vérité d'un additionneur 3 bits.	<input type="checkbox"/>
14	Temps de transition du ET 3 bits	Executer <code>add3b_test_transfer.asc</code> et ouvrir les logs	Le temps de transition entre les entrées et les sorties sont d'au plus 200ps	<input type="checkbox"/>

2 Shématiques diverses

2.1 UAL



Retournes seulement cout en ADDER

FIGURE 2-1 – Unité d'arithmétique logique (UAL)

2.2 Additionneur

Pour simplifier la schématique et éviter la redondance, une composante `ADDER_1B` a été créée pour ensuite être utilisée dans l'additionneur 3 Bits.

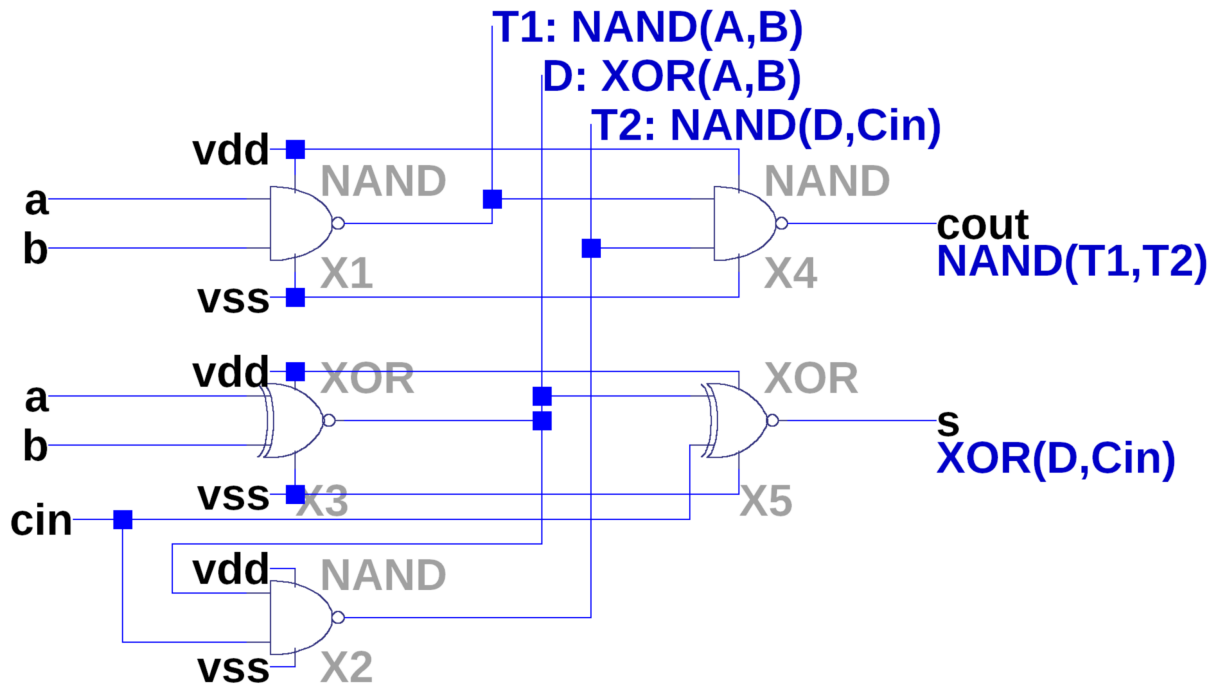


FIGURE 2-2 – Additionneur 1 Bit

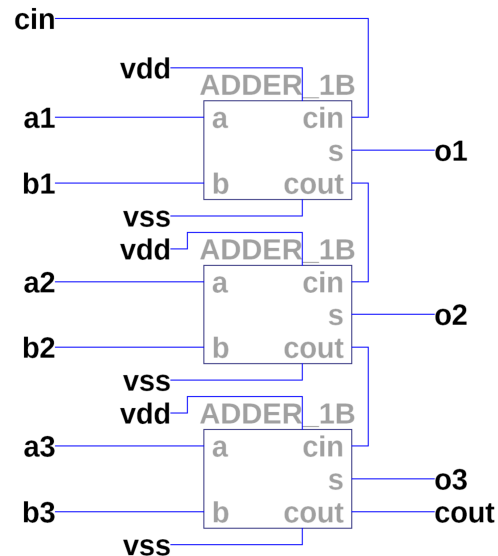


FIGURE 2-3 – Additionneur 3 Bits

2.3 Opérateur ET

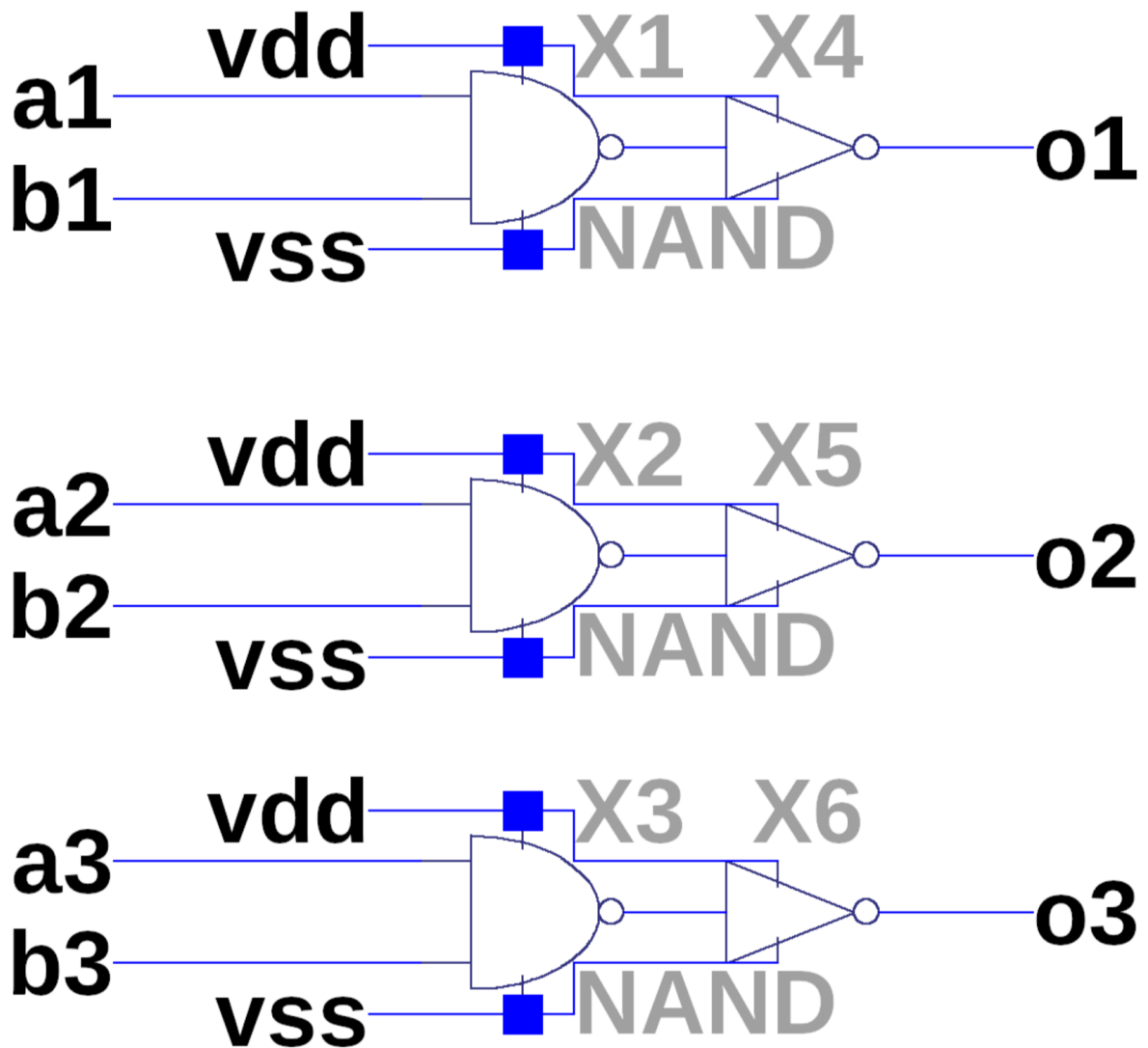


FIGURE 2-4 – ET 3 Bits

3 Conception du Multiplexeur 2 vers 1

Afin de simplifier la résolution de sa table de vérité 3-1, les fils suivant chaque porte logique on été ajoutés commes étapes intermédiaires. Ces fils peuvent être vu dans la figure A-1.

TABLEAU 3-1 – Multiplexeur 2 vers 1 Bit

s_{el}	a	b	T_1 \bar{s}	T_2 (aT_1)	T_3 (bs)	o_{ut} (T_2T_3)
0	0	0	1	1	1	0
0	0	1	1	1	1	0
0	1	0	1	0	1	1
0	1	1	1	0	1	1
1	0	0	0	1	1	0
1	0	1	0	1	0	1
1	1	0	0	1	1	0
1	1	1	0	1	0	1

$$Y = \overline{(T_2T_3)} = o_{ut} \quad (3.1)$$

$$= \overline{([aT_1] \cdot [bs])} \quad (3.2)$$

$$= \overline{([a\bar{s}] \cdot [bs])} \quad (3.3)$$

$$= \overline{[a\bar{s}]} + \overline{[bs]} \quad (3.4)$$

$$Y = a\bar{s} + bs \quad (3.5)$$

$$\bar{Y} = \overline{(a\bar{s} + bs)} \quad (3.6)$$

$$\bar{Y} = \overline{(a\bar{s})} \cdot \overline{(bs)} \quad (3.7)$$

$$\bar{Y} = (\bar{a} + \bar{s}) \cdot (\bar{b} + \bar{s}) \quad (3.8)$$

$$\bar{Y} = (\bar{a} + s) \cdot (\bar{b} + \bar{s}) \quad (3.9)$$

$$(3.10)$$

3.1 Dimmensionnement relatif PUN, PDN

Le dimmensionnement relatif pour PUN et PDN dépend de si les transistors sont en série ou en parallèle à l'intérieur même des portes logiques. Uniquement l'inverseur et des portes non et sont utilisé dans le multiplexeur. Hors, dans l'inverseurs le PUN et le PDN on les mêmes dimmensionnement relatif, tandis que dans les portes non et, le PDN des NMOS ont un facteur multiplicatif de 2 pour que leurs temps de transitions soit similaire au PUN à cause que sont PDN consiste en 2 NMOS en série.

3.2 Dimensionnement absolue des transistors

Le dimmensionnement absolue des largeurs de w_p sur w_n à été trouvé avec l'inverseur. Il s'agissait de trouver des valeurs de marge de bruit (NMH et NML) pour plusieurs valeurs de mp différentes. Éventuellement, la valeur d'environ 2.5 donnait que le NMH et le NML était identique et le Vm était de VDD/2. Ce ratio relatif à été utilisé pour tout les transistors en plus du dimmensionnement relatif. Les MOSFET PMOS sont donc de base 2.5 fois plus parge que les MOSFET NMOS.

4 Le tampon de sortie

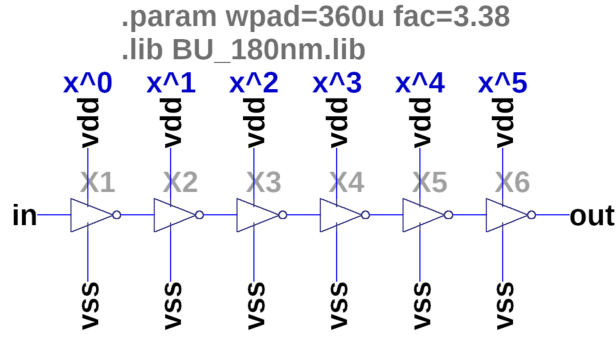


FIGURE 4-1 – Tampon de sortie

$$x^n = \frac{C_L}{C} \quad (4.1)$$

$$x^n = \frac{1.5 \times 10^{-12}}{1 \times 10^{-15}} \quad (4.2)$$

$$x^n = 1500 \quad (4.3)$$

On sait que $x = e$, donc :

$$n = \ln(1500) \approx 7.31 \quad (4.4)$$

On veut un nombre paire pour évité d'inverser le signal. C'est donc soit 8 ou 6. Moins d'inverseur implique un plus petit délai de propagation. Mais plus d'inverseur = plus de facilité. Cependant, on veut minimiser le délai de propagation. Il reste donc à calculer la valeur du facteur x pour les deux valeurs de n et de calculer le plus petit délai de propagation. Donc, pour $n = 6$:

$$x^6 = 1500 \quad (4.5)$$

$$x = 1500^{\frac{1}{6}} \approx 3.38 \quad (4.6)$$

$$(4.7)$$

Pour $n = 8$:

$$x^8 = 1500 \quad (4.8)$$

$$x = 1500^{\frac{1}{8}} \approx 2.49 \quad (4.9)$$

$$(4.10)$$

Après un essai dans LTspice et des mesures avec des curseurs et des directives, 6 inverseurs donne un délai de propagation moindre que 8 inverseurs. On obtient 365 ps au lieu de 406 ps .

5 Prises de mesures

TABLEAU 5-1 – Temps de transition des composantes en montée

Composante	Temps de montée 10%-90% (ps)
AND (&)	83
ADD (+)	100
ALU	95

Les mesures de temps de propagations ont été mesurer à 50% des signaux au lieu du 90% à 10% pris pour les temps de transitions.

TABLEAU 5-2 – Délais de propagation des composantes

Composante	Signal	Bas vers Haut (ps)	Haut vers Bas (ps)
AND (&)	$a_1 \rightarrow o_1$	89	101
ADD (+)	$a_1 \rightarrow o_1$	243	237
ADD (+)	$c_{in} \rightarrow o_1$	555	536

A Annexes

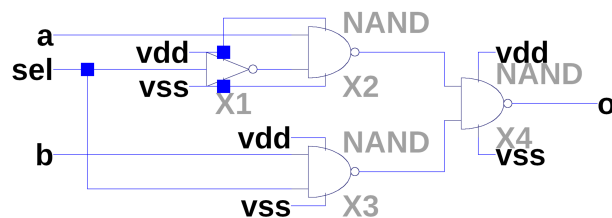


FIGURE A-1 – Multiplexeur de 2 entrées de 1 Bits

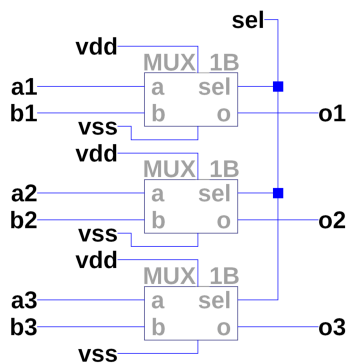


FIGURE A-2 – Multiplexeur de 2 entrées de 3 Bits