

DeepEye1000 硬件设计用户指南

深圳云天励飞技术有限公司

(版权所有，翻版必究)

修改记录

版本	更改理由	变更内容	日期
V1.0	初版	无	2019.4.5
V1.1	电源设计要求变更	更新 CORE 电源设计要求	2019.5.23
V1.2	新增要求	增加 32KIN 管脚不用时的处理要求	2019.11.23

目录

1	原理图设计建议.....	4
1.1	小系统外部电路设计.....	4
1.1.1	时钟电路.....	4
1.1.2	复位电路.....	5
1.1.3	JTAG 电路.....	5
1.1.4	硬件初始化配置电路.....	6
1.1.5	DDR 电路.....	7
1.1.6	SPI FLASH 电路设计.....	9
1.1.7	EMMC 电路设计.....	9
1.2	电源设计建议.....	10
1.2.1	Core 电源设计.....	10
1.2.2	DDR 电源设计.....	10
1.2.3	IO 电源设计.....	10
1.2.4	PLL 电源设计.....	11
1.2.5	USB2.0/3.0 电源设计.....	11
1.2.6	MIPI 电源设计.....	11
1.2.7	上下电时序.....	11
1.2.8	注意事项.....	12
1.3	外围接口设计建议.....	12
1.3.1	USB 接口.....	12
1.3.2	BT1120 接口.....	12
1.3.3	MIPI 接口.....	12
1.3.4	SDIO 接口.....	13
1.3.5	I2C 接口.....	13
1.3.6	SPI 接口.....	13
1.3.7	UART 接口.....	13
1.3.8	EFUSE 接口.....	13
1.3.9	未使用的管脚处理.....	14
2	PCB 设计建议.....	14
2.1	PCB 板层.....	14
2.2	小系统 PCB 设计建议.....	14
2.2.1	电源.....	14
2.2.2	时钟.....	15
2.2.3	DDR 信号设计.....	15
2.3	外围接口 PCB 设计建议.....	16
2.3.1	USB 接口设计.....	16
2.3.2	MIPI 接口设计.....	16
2.3.3	BT1120 接口.....	17
2.3.4	SDIO 接口.....	17

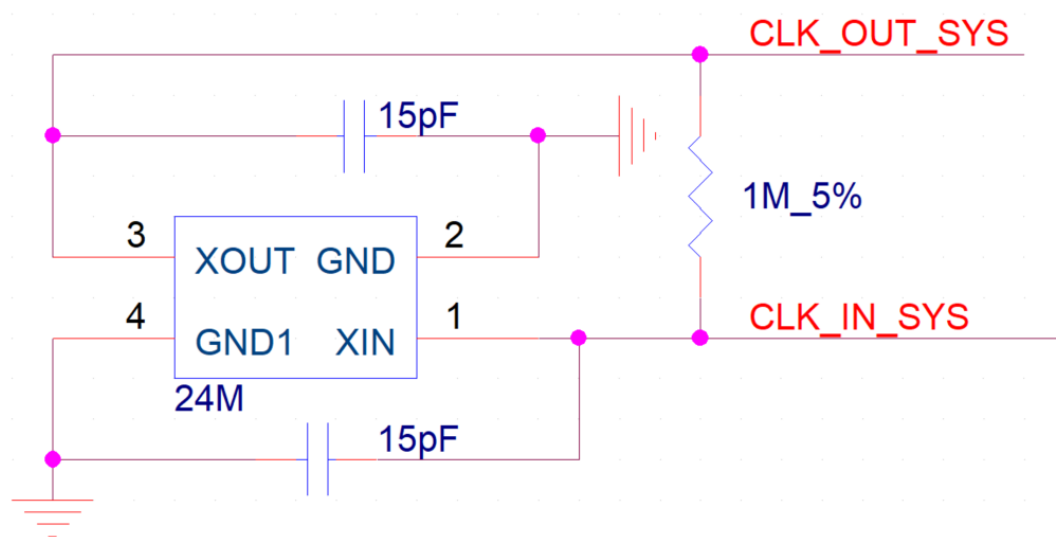
1 原理图设计建议

1.1 小系统外部电路设计

1.1.1 时钟电路

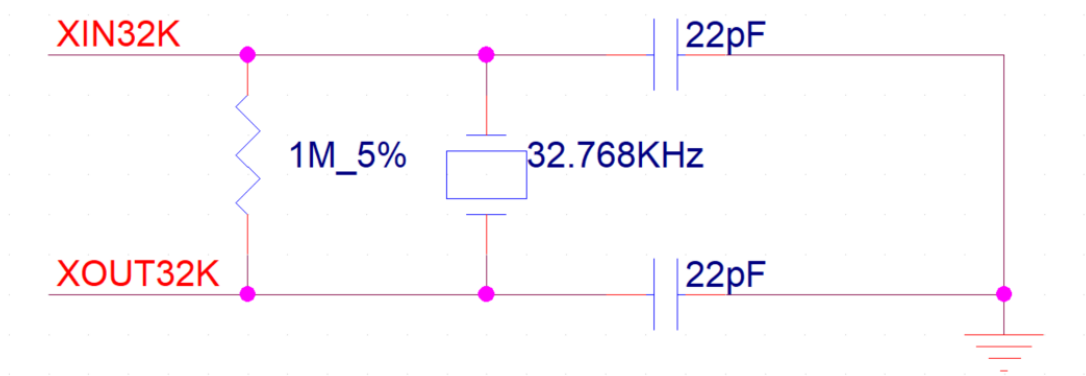
系统时钟可以由 OSC_SEL_SYS 管脚来选择产生方式；

当 OSC_SEL_SYS 管脚为低时，通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。推荐晶体连接方式及器件参数如下图所示（选用的电容需要跟晶体的负载电容匹配）。



当 OSC_SEL_SYS 管脚为高时，可通过外部的时钟电路产生时钟，通过 CLK_IN_SYS 脚输入。

DeepEye1000 集成了内置 RTC，单板需要给 RTC 提供时钟电路，推荐晶振连接方式及器件参数如下图所示（选用的电容需要跟晶体的负载电容匹配）。



RTC 时钟还可以直接由外部的时钟电路产生时钟，通过 XIN32K 脚输入。

注意：XIN32K 脚不能空接处理，需要通过 4.7K 电阻上拉到 1.8V。

1.1.2 复位电路

DeepEye1000 可通过判断 POR_SEL 管脚在上电时的状态选择内部复位或外部复位。

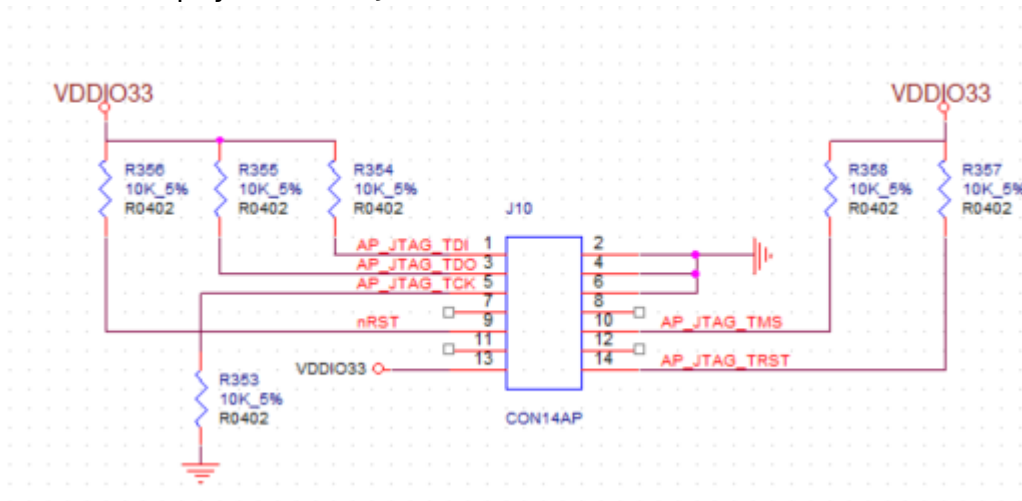
当 POR_EN 为高电平时，选择内部复位，主芯片上电后由内部 POR（Power on Reset）电路对整个芯片进行复位（复位脉冲宽度约为 10ms），此时 EXT_RESET_N 管脚无效；当选择内部复位时，EXT_RESET_N 管脚可上拉处理。

当 POR_EN 为低电平时，选择外部复位，此时 EXT_RESET_N 管脚为复位信号输入管脚，要求的复位有效信号为低电平，脉冲宽度一般要求大于 10ms 之间。板级设计时，若选择外部复位，为了系统稳定，建议采用专用

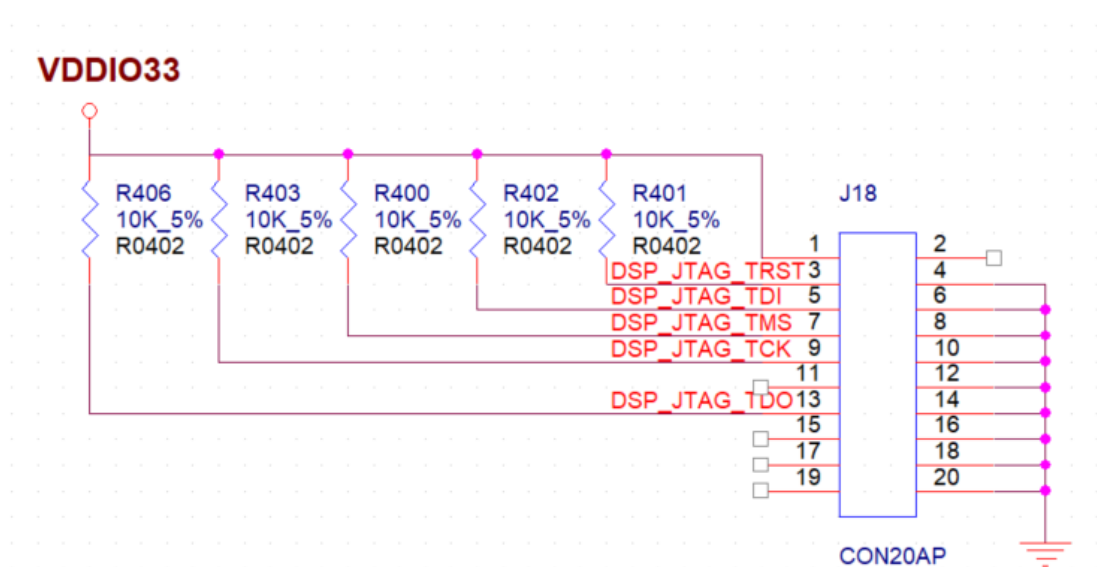
的复位芯片产生复位信号。

1.1.3 JTAG 电路

DeepEye1000 AP JTAG 标准电路如下图所示：



DeepEye1000 DSP JTAG 标准电路如下图所示：



1.1.4 硬件初始化配置电路

DeepEye1000 上电初始化的过程中，根据配置管脚的上下拉电阻状

态来确定各部分的工作模式。硬件配置信号描述如下表所示：

信号名	方向	说明
TEST_MODE	I	功能模式和测试模式选择 0：功能模式 1：测试模式
TEST_SEL[2:0]	I	测试模式选择 000：MBIS 001：BSD 010：AP_SCAN 011：FP_SCAN 100：MIPI_TEST 101：IP_TEST0 110：IP_TEST1 111：IP_TEST2
POR_EN	I	复位选择 0：外部复位管脚复位 1：内部 POR 上电复位
BOOT_MODE[2:0]	I	启动模式选择： 000：UART 001：USB 010：SPI SLAVE 011：SD_CARD 100：EMMC

		101: SPI_NOR 110: SPI_NAND 111: DEFAULT
OSC_SEL_SYS	1	系统时钟选择 0: 外部 24M 晶体振荡电路与内部反馈电路产生 1: 外部时钟
BOOT_MODE_AUX	I	启动方式选择 0: 正常模式 1: 安全模式(PLL disable)
PLL_PD	I	PLL PD 控制 0: PLL ACTIVE 1: PLL POWER DOWN
PLL_BYPASS	I	PLL BYPASS 控制 0: PLL ACTIVE 1: PLL BYPASS

1.1.5 DDR 电路

DeepEye1000 支持 DDR3/3L 和 DDR4 颗粒。

DDR3 连接关系可以参考下附表格：

DeepEye DDR 控制器信号	DDR3 颗粒信号
DDR_CAL	连接 240ohm± 1% 电阻到地
DDR_RST_N	DDR3.RESET_n
DDR_CKE	DDR3.CKE
DDR_CS	DDR3.CS_n
DDR_RAS_N	DDR3.RAS_n
DDR_CAS_N	DDR3.CAS_n

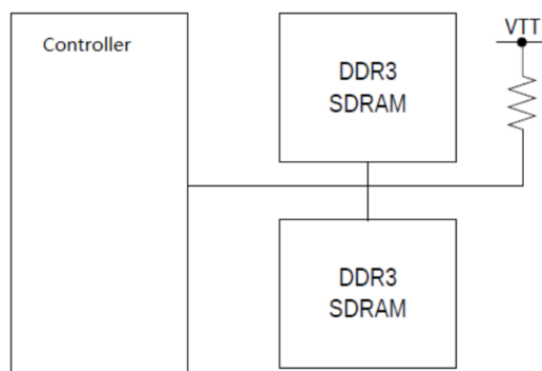
DDR_WE_N	DDR3.WE_n
DDR_ODT	DDR3.ODT
DDR_ADDRESS[15:0]	DDR3.A[15:0]
DDR_BANK[0]	DDR3.BA0
DDR_BANK[1]	DDR3.BA1
DDR_BANK[2]	DDR3.BA2
DDR_CLK_P[0]	DDR3.CK
DDR_CLK_P[1]	DDR3.CK
DDR_CLK_N[0]	DDR3.CK_n
DDR_CLK_N[1]	DDR3.CK_n
DDR_DATA[31:0]	DDR3.DQ[31:0]
DDR_DM[3:0]	DDR3.DM[3:0]
DDR_DQS_P[3:0]	DDR3.DQS[3:0]
DDR_DQS_N[3:0]	DDR3.DQS_n[3:0]

DQ、DM、DQS_P、DQS_N 信号都是点对点拓扑，直连即可。

DDR_CLK_N0/P0 和 DDR_CLK_N1/P1，负载端时钟信号的 N/P 通过 1 个

100ohm \pm 1%电阻进行跨接；

双颗粒 CA 信号建议用 T 型走线，分叉点加 40 Ω 端接，如下图：



端接电源 VTT 建议用专用芯片产生。

DDR4 连接关系可以参考下附表格：

DeepEye DDR 控制器信号	DDR4 颗粒信号
DDR_CAL	连接 240 $\Omega \pm 1\%$ 电阻到地
DDR_RST_N	DDR4.RESET_n
DDR_CKE	DDR4.CKE
DDR_CS	DDR4.CS_n
DDR_RAS_N	DDR4.RAS_n
DDR_CAS_N	DDR4.CAS_n

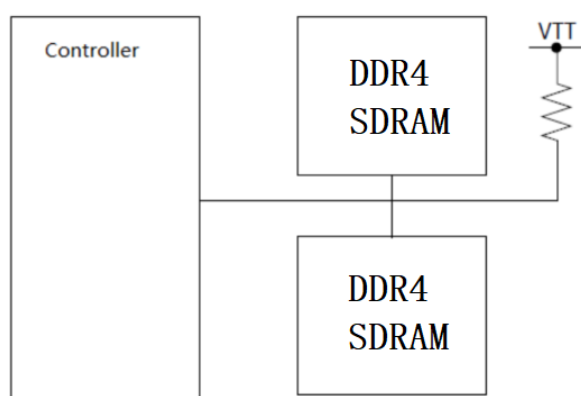
DDR_WE_N	DDR4.WE_n
DDR_ODT	DDR4.ODT
DDR_ADDRESS[13:0]	DDR4.A[13:0]
DDR_ADDRESS[14]	DDR4.ACT_n
DDR_ADDRESS[15]	DDR4.BG1
DDR_BANK[0]	DDR4.BA0
DDR_BANK[1]	DDR4.BA1
DDR_BANK[2]	DDR4.BG0
DDR_CLK_P[0]	DDR4.CK_t
DDR_CLK_P[1]	DDR4.CK_t
DDR_CLK_N[0]	DDR4.CK_c
DDR_CLK_N[1]	DDR4.CK_c
DDR_DATA[31:0]	DDR4.DQ[31:0]
DDR_DM[3:0]	DDR4.DM_n[3:0]
DDR_DQS_P[3:0]	DDR4.DQS_t[3:0]
DDR_DQS_N[3:0]	DDR4.DQS_c[3:0]

DQ、DM、DQS_P、DQS_N 信号都是点对点拓扑，直连即可。

DDR_CLK_N0/P0 和 DDR_CLK_N1/P1，负载端时钟信号的 N/P 通过 1 个

100Ω±1%电阻进行跨接；

双颗粒 CA 信号建议用 T 型走线，分叉点加 40 Ω 端接，如下图：



端接电源 VTT 建议用专用芯片产生。

1.1.6 SPI FLASH 电路设计

SPI FLASH 设计建议如下表

信号	设计建议
----	------

SPIFC_CLK	DeepEye1000 端串接 33 Ω 电阻
SPIFC_CS	直接相连
SPIFC_DATA[3:0]	直接相连

1.1.7 EMMC 电路设计

EMMC 设计建议如下表

信号	设计建议
SD1_CLK	DeepEye1000 端串接 33 Ω 电阻
SD1_CMD	直接相连，接 10K 上拉到 IO 电源，电阻靠 EMMC 放置
SD1_RSTN	直接相连，接 10K 上拉到 IO 电源，电阻靠 EMMC 放置
SD1_DATA[7:0]	直接相连，接 10K 上拉到 IO 电源，电阻靠 EMMC 放置

1.2 电源设计建议

1.2.1 Core 电源设计

- VDD: DeepEye1000 的 DSP 和 CPU 电源，连接 0.8V。电源芯片选型要求供电能力不低于 4A；
- VDD_NNP01: DeepEye1000 的 NNP0 和 NNP1 电源，连接

0.8V。电源芯片选型要求供电能力不低于 6A；

- VDD_NNP23: DeepEye1000 的 NNP2 和 NNP3 电源，连接

0.8V，电源芯片选型要求供电能力不低于 6A；

对于目前 200W 的应用，只会用到 NNP0 和 NNP1，VDD_NNP01 与 VDD_NNP23 供电可以合并，合并后用 1 个 6A 的 BUCK 供电；

1.2.2 DDR 电源设计

DDR3/3L 电源设计建议：

- DDR3/3L 电源需要 1.5V/1.35V，参考电压 Vref 需要 0.75V/0.675V。必须把 DeepEye1000 的 1.5V/1.35V 电源与 DDR 颗粒的 1.5V/1.35V 电源统一；
- 要求单板上采用单独的供电芯片给 DDR3/3L 颗粒和 DeepEye1000 DDRC 1.5V/1.35V 电源管脚供电；
- 通过 1kΩ 电阻（精度 \leq 1%）分压为 DDR3/DDR3L (0.75V/0.675V) 颗粒的 Vref 供电；
- 端接电源 VTT 需要用专用芯片提供；
- 每个电源管脚和参考电源管脚旁边放 1 个 0.1uF 的去耦电容；

DDR4 电源设计建议：

- DDR4 电源需要 1.2V，参考电压 Vref 需要 0.6V，必须把 DeepEye1000 的 1.2V 电源与 DDR 颗粒的 1.2V 电源统一；
- 要求单板上采用单独的供电芯片给 DDR4 颗粒和 DeepEye1000 DDRC 1.2V 电源管脚供电；

- 通过 1k Ω 电阻（精度 \leq 1%）分压为 DDR4（0.6V）颗粒的 Vref 供电；
- 通过单独芯片给 DDR4（2.5V）颗粒的 VPP 供电；
- 端接电源 VTT 需要用专用芯片提供；
- 每个电源管脚和参考电源管脚旁边放 1 个 0.1 μ F 的去耦电容；
- VDD_DDR 是 DeepEye1000 的 DDR IO 电源，连接 0.8V；建议磁珠隔离后与 VDD 合并供电，或与板上其它模拟 0.8V 共用 LDO 供电；

1.2.3 IO 电源设计

IO 电源（IO_VDD_*）：连接数字 3.3V 或 1.8V 电源，实际连接的电源要与对接的接口电平保持一致。

其中，IO_VDD_OSC 为系统时钟电源，连接 1.8V 电源，利用磁珠（1k Ω /100MHz）与板上其它 1.8V 电源进行隔离设计。

1.2.4 PLL 电源设计

PLL 电源有如下 2 个：

AVDD_PLL：连接 1.8V 电源

AVDD2_PLL：连接 0.8V 电源

建议 PLL 电源建议用独立 LDO 提供。

每个电源管脚和参考电源管脚旁边放 1 个 0.1 μ F 和 1 个 22 μ F 的去耦电容。

1.2.5 USB2.0/3.0 电源设计

USB2.0/3.0 电源有如下 6 个：

VP_USB3: 连接 0.8V 电源

DVDD_USB: 连接 0.8V 电源

VPTX_USB3: 连接 0.8V 电源

VDD33_USB: 连接 3.3V 电源

AVDD_USB3: 连接 3.3V 电源

VDDH_USB: 连接 3.3V 电源

建议 VDD33_USB/AVDD_USB3/ VDDH_USB 电源合并后利用磁珠（1k Ω /100MHz）与板上 3.3V 电源进行隔离设计，VP_USB3/DVDD_USB/ VPTX_USB3 电源合并后利用磁珠（1k Ω /100MHz）与板上 VDD 电源进行隔离设计。

1.2.6 MIPI 电源设计

AVDD18_MIPI 连接 1.8V 电源，建议利用磁珠（1k Ω /100MHz）与板上 1.8V 电源进行隔离设计。

VDD_MIPI 是 DeepEye1000 的 MIPI 数字电源，连接 0.8V。建议磁珠隔离后与 VDD 合并供电，或与板上其它模拟 0.8V 共用 LDO 供电；MIPI 接口不用的情况下此电源可以直接与 VDD 相连；

1.2.7 上下电时序

要求 CORE 0.8V(VDD\VDD_NNP01\VDD_NNP23)先于其它电源上电，其它电源无特殊上电时序要求。

1.2.8 注意事项

各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

1.3 外围接口设计建议

1.3.1 USB 接口

接口支持 USB 3.0/USB 2.0 标准协议，支持 HOST 模式、DEVICE 模式，HOST 和 DEVICE 模式可软件配置切换，在上电时配置切换，不支持使用中动态切换；不支持 OTG 功能；

相关信号连接建议如下表：

信号	设计建议
USB_TXRTUNE	外接 200 Ω \pm 1%精密电阻到地；
USB_RESREF	外接 200 Ω \pm 1%精密电阻到地；
USB_VBUS	USB_VBUS, host: 接到 5V 电源；device: 接到接插件的 VBUS。
USB_CLK_M/P	可以 floating
USB_RX0_M/P	直连到 USB 接插件,PCB 走线差分阻抗控制在 90 Ω \pm 10%；
USB_TX0_M/P	串接 0.1 μ F 电容到 USB 接插件,电容靠近接插件放置，PCB 走线差分阻抗控制在 90 Ω ；
USB_DM/DP	直连到 USB 接插件,PCB 走线差分阻抗控制在 90

	$\Omega \pm 10\%$;
--	---------------------

1.3.2 BT1120 接口

BT1120 接口包括 1 根时钟线，16 根数据线，数据传输只支持并口模式，电平支持 1.8V 或 3.3V，与对端 BT1120 输出接口可直接对连。

1.3.3 MIPI 接口

支持 MIPI CSI1.2 RX 4 Lane 输入接口

相关信号连接建议如下表：

信号	设计建议
MIPI_REXT	外接 100 Ω 1%精密电阻到地用于校准；
AVDD12_MIPI	外接 1 μ F~10 μ F 电容到地
MIPI_CK_N/P	与 TX 端直连，PCB 走线差分阻抗控制在 100 $\Omega \pm 10\%$ ；走线长度要求小于 30cm
MIPI_D*_N/P	与 TX 端直连，PCB 走线差分阻抗控制在 100 $\Omega \pm 10\%$ ；走线长度要求小于 30cm

1.3.4 SDIO 接口

DeepEye1000 有 2 组 SDIO 接口，其中：

SD0 支持 SDIO4.1 的标准协议，并向下兼容，IO 只支持 1.8V，建议连接外部 WIFI 芯片；

SD2 支持 SDIO 4.2 的标准协议，并向下兼容，IO 支持 3.3V 和 1.8V，并支持动态切换，可使用外部电源芯片实现切换(使用 SD2_BIU_VOLT_REG 信号控制)，可以对接 SD 或 TF 卡；

在对接 SD 卡时，SD2_DETECT_N 和 SD2_WRITE_PRT 信号必须外接

10kΩ 上拉电阻，上拉至 IO 电源。

在对接 TF 卡时，SD2_DETECT_N 信号必须外接 10kΩ 上拉电阻，上拉至 IO 电源，SD2_WRITE_PRT 信号必须外接 4.7kΩ 下拉电阻。

1.3.5 I2C 接口

支持 3 组 I2C 接口，接口电平兼容 1.8V 和 3.3V，接口电平通过内部寄存器配置，同时外部 IO 供电电压需要与配置电压一致；

1.3.6 SPI 接口

只支持 SLAVE 模式
接口电平支持 1.8V 和 3.3V
可用于 BOOT 程序加载接口，可与主控 SPI HOST 接口直接连接

1.3.7 UART 接口

支持 3 个 UART 接口，其中 UART0 固定用于调试；

1.3.8 EFUSE 接口

VQPS18_EFUSE 要求接地；

1.3.9 未使用的管脚处理

未使用管脚处理建议如下：

- BT1120 接口不使用，时钟和数据信号要求接地；
- MIPI CLK 和 DATA 信号悬空处理，MIPI_REXT/AV12 按正常使用连

接；

- USB2.0 DM/DP/VBUS/ID/TXRTUNE 悬空处理；
- USB3.0 RX0_M/P 接地处理，TX0_M/P 悬空处理，CLK_M/P 接地处理，USB_RESREF 悬空处理；

未使用模块电源处理建议如下：

- 数字 IO 模块未使用，相对应的 IO 电源（IO_VDD_*）需要供电；
- USB3.0 模块未使用，AVDD_USB3/VP_USB3/VPTX_USB3 需要供电，并把 USB3.0 配置成 POWERDOWN 模式；
- USB2.0 模块未使用，DVDD_USB/VDD33_USB/VDDH_USB 接地处理；
- MIPI 模块未使用，AVDD18_MIPI 需要供电；
- 外部 32K 时钟不用时，XIN32K 脚需要通过 4.7K 电阻上拉到 1.8V；

2 PCB 设计建议

2.1 PCB 板层

建议采用 8 层板。

2.2 小系统 PCB 设计建议

2.2.1 电源

- VDD 电源，走线通流能力按 4A 设计。滤波电容配置为 12 个 0.1uF、2 个 4.7uF、2 个 10uF、4 个 22uF。放置原则，小电容靠近芯片管脚放置，大电容放置在周边的通路上。
- VDD_NNP01 电源，走线通流能力按 6A 设计。滤波电容配置为 16 个 0.1uF、4 个 4.7uF、4 个 10uF、4 个 22uF。放置原则，小电容靠近芯片管脚放置，大电容放置在周边的通路上。
- VDD_NNP01 电源，走线通流能力按 6A 设计。滤波电容配置为 16 个 0.1uF、4 个 4.7uF、4 个 10uF、4 个 22uF。放置原则，小电容靠近芯片管脚放置，大电容放置在周边的通路上。
- DDR 电源，电源种类有 1.2V、1.35V、1.5V，走线通流能力至少 1A。滤波电容配置为 4 个 0.1uF、1 个 2.2uF、1 个 10uF，电容靠近管脚放置。DDR 控制器的 VREF 已集成在内部，不需要外加偏置电路。如果 DDR 信号线在叠层设计上有参考 DDR 电源平面，则 DDR 电源平面需要将 DDR 信号线囊括其中。
- 各数字模块电源，部分模块可选择 1.8V 和 3.3V 供电，1.8V 和 3.3V 电源走线按通流能力 500mA 设计。
- AVDD18_TS，内部温度传感器电路电源，供电电压为 1.8V，通过磁珠接到开关电源上，滤波电容靠近管脚放置。
- PLL 单元供电管脚有 AVDD_PLL、AVDD_PLL5、AVDD2_PLL、AVDD2_PLL5，其中 AVDD_PLL 和 AVDD_PLL5 可以合并采用 0.8V 供电，AVDD2_PLL 和 AVDD2_PLL5 可以合并采用 1.8V 供电，供电芯片建议采用 LDO 供电，也可采用磁珠接到开关电源。
- IO_VDD_OSC 为系统时钟电路电源，建议使用磁珠来隔离连接到单板数字 1.8V 电源，滤波电容就近放置，靠近 IO_VDD_OSC 管脚。

2.2.2 时钟

- 32.768K/24M 晶振电路，晶体及相关器件靠近同面芯片放置，信号线上不要有过孔，做包地处理，电路下方最好不要走信号线。

2.2.3 DDR 信号设计

DDR 时钟长度要求

- DDR_CLK0 和 DDR_CLK1 信号最大长度控制在 2500mil 以内；
- DDR_CLK0 和 DDR_CLK1 相对长度差控制在 $\pm 200\text{mil}$ 以内；
- 差分时钟对内长度差控制在 $\pm 5\text{mil}$ 以内。

数据选通信号 DQS

- DQS0、DQS1、DQS2、DQS3 信号最大长度控制在 1000mil 以内。
- 差分时钟对内长度差控制在 $\pm 5\text{mil}$ 以内。

数据信号 DQ

- 数据信号 DQ0~DQ31 最大线长控制在 1000mil 以内。

数据掩码信号 DM

- 数据掩码 DM 最大线长控制在 1000mil 以内。

地址信号

- 地址信号线最大线长控制在 2500mil 以内。

控制信号

- 控制信号线最大线长控制在 2500mil 以内。

布线要求

- 信号分组：所有的地址信号和控制信号为一组，DQ0~DQ7、DQS0 和 DM0 为一组，DQ8~DQ15、DQS1 和 DM1 为一组，DQ16~DQ23、DQS2 和 DM2 为一组，DQ24~DQ31、DQS3 和 DM3 为一组。
- 信号等长，数据组组内误差控制在 $\pm 20\text{mil}$ 以内，数据组组内误差控制在 $\pm 20\text{mil}$ 以内，地址控制信号组内误差控制在 $\pm 50\text{mil}$ 以内。
- 阻抗要求，单端信号 $50\Omega \pm 10\%$ ，差分信号 $100\Omega \pm 10\%$ 。
- 信号间距，最好符合 3W 规则。
- 过孔要求，信号线上不能超过两个过孔，信号过孔旁边有条件的情况下最好加上地过孔。
- 同组信号要走在相同层，地址控制信号可以另做考虑。

DDR 部分的 layout 建议完全拷贝云天的参考设计。

2.3 外围接口 PCB 设计建议

2.3.1 USB 接口设计

芯片支持 USB2.0 和 USB3.0，USB3.0 的 TX 差分对需要加 0.1uF 的隔直电容，信号线的布线要求如下：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，走线长度偏差控制在 $\pm 5\text{mil}$ 以内；
- 差分数据线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗；
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层；
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割；
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化；
- 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离；
- REXT 电阻应该尽可能靠近芯片侧。

电源设计建议如下：

- VP_USB3/DVDD_USB/VPTX_USB3 合并，由 0.8V 电源供电，可通过磁珠接到 0.8V 开关电源上，滤波电容靠近管脚放置。
- VDD33_USB/AVDD_USB3/VDDH_USB 合并，由 3.3V 电源供电，可通过磁珠接到 3.3V 开关电源上，滤波电容靠近管脚放置。。
- USB_VBUS, host: 接到 5V 电源；device: 接到接插件的 VBUS。
- 标准的 USB 座，电源输出需要加入配电开关进行输出电流限制，避免出现过载导致系统异常。

2.3.2 MIPI 接口设计

走线要求：

- MIPI 信号线最大走线长度控制在 5000mil 以内；
- 差分对尽量等长，长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $100\Omega \pm 10\%$ ；
- MIPI0 的数据线和 CLK 的长度偏差控制在 $\pm 100\text{mil}$ 以内；
- 信号线通过过孔换层时，旁边伴随地过孔；
- 与其它信号线间距 20mil 以上。

2.3.3 BT1120 接口

走线要求:

- 单端阻抗 $50\Omega \pm 10\%$;
- 等长要求, 信号线长最大误差控制在 $\pm 20\text{mi}$ 以内;

2.3.4 SDIO 接口

走线要求:

- 单端阻抗 $50\Omega \pm 10\%$;
- 等长要求, 信号线长最大误差控制在 $\pm 50\text{mil}$ 以内;