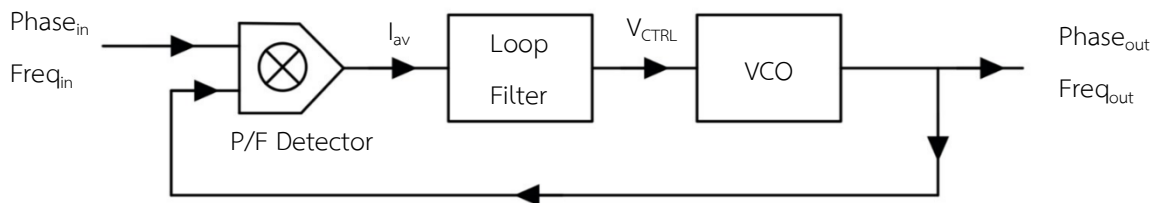


Design of A Charge-Pump Phase Lock Loop

Phase Lock Loop (PLL) เป็นระบบที่ใช้ควบคุมความถี่ โดยใช้วิธีการเปรียบเทียบเฟสของความถี่อินพุตกับความเฟสของความถี่เอาต์พุต ซึ่งในโครงงานนี้ เราจะทำการออกแบบ PLL แบบ Charge-Pump PLL เนื่องจาก Type-I PLL มีข้อจำกัดต่างๆในการออกแบบที่มากเกินไป ดังนั้นโมเดลที่เราจะใช้ในการออกแบบมีทั้งหมด 3 ส่วนหลัก ได้แก่

- Phase/Frequency Detector
- Loop Filter
- Voltage-Controlled Oscillator



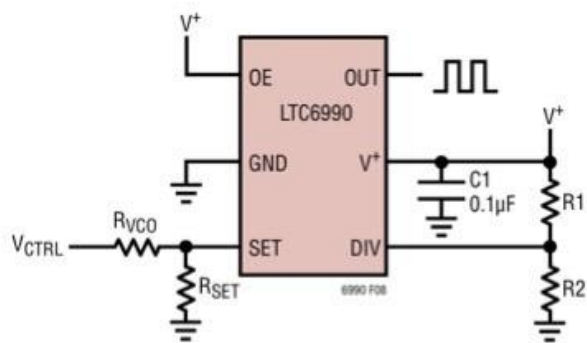
โดยแต่ละส่วนจะทำหน้าที่ดังนี้

Phase/Frequency Detector มีหน้าที่ตรวจสอบสัญญาณสองสัญญาณที่อินพุตเข้ามาว่ามีเฟสต่างกันมากน้อยเท่าใด และเฟสของสัญญาณใดนำหรือตามอีกสัญญาณเท่าใด โดยที่เอาต์พุตของ Phase/Frequency Detector จะเป็นกระแส ซึ่งจะมีลักษณะเป็น pulse ที่ขึ้นอยู่กับการเปรียบเทียบสัญญาณว่ามีเฟสต่างกันมากน้อยเพียงใด ถ้าหากเฟสต่างกันมาก pulse width ของกระแสก็จะมาก หากเฟสต่างก็น้อย pulse width ของกระแสก็จะน้อย ซึ่งการนำกระแสไปใช้งานจำเป็นต้องนำไปกรองผ่าน **Loop-Filter** ที่จะทำหน้าที่กรองกระแสเหล่านี้ให้เรียบและสามารถนำไปใช้ได้ เมื่อได้กระแสที่ถูกกรองให้เรียบแล้วจะได้ V_{CTRL} เป็น Output ของ Loop Filter ซึ่งขึ้นอยู่กับการกำหนด V_{high} และ V_{low} ของ Phase/Frequency Detector ก่อนที่จะผ่าน Loop Filter ด้วย โดย V_{CTRL} จะเป็นตัวควบคุม Output Frequency ที่ออกมาจาก **Voltage-Controlled Oscillator** เพราะฉะนั้น กระแสที่เข้า Loop Filter แล้วได้ออกมาเป็น V_{CTRL} จะเป็นตัวควบคุมว่าระบบต้องเพิ่มลดความถี่ของ Output อย่างไร เพื่อให้ความถี่ของ Input ตรงกับความถี่ของ output เนื่องจากระบบนี้นำ Output Frequency ไปต่อเป็น Feedback เข้าไปที่ Phase/Frequency Detector

ทฤษฎีที่ใช้ในการออกแบบ

Voltage-Controlled Oscillator (VCO) :

ใช้ Model ของ LTC6990 ใน LTSpice ที่ทำหน้าที่ควบคุมความถี่การ Oscillator ด้วยการปรับค่า V_{CTRL}



รูปที่ 1

OE : ทำหน้าที่กำหนดการทำงานของ IC โดยการใส่ High เพื่อสั่งให้ IC ทำงาน

OUT : ใช้เป็นเอาต์พุตที่จะมีความถี่ตามฟังก์ชันการทำงานของวงจร

SET : ใช้ทำการควบคุมความถี่ที่จะถูกขับออกที่ขา OUT

DIV : ใช้โปรแกรมฟังก์ชันของวงจร ว่าวงจรจะทำงานอยู่ในช่วงใดตามตารางจาก datasheet

V^+ : เป็น Supply Voltage ตั้งแต่ 2.25-5.5 Volt

GND : ขา Ground

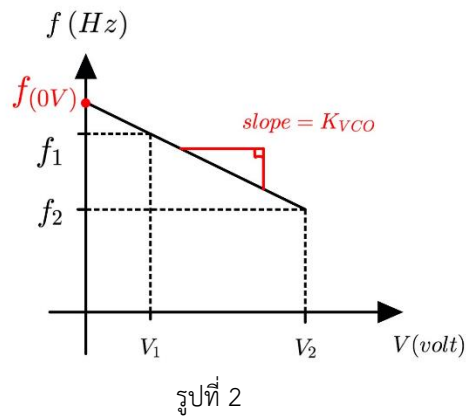
วิธีการออกแบบ

1. เลือก N_{DIV} จากความถี่ที่แนะนำใน datasheet

DIVCODE	Hi-Z	N_{DIV}	Recommended I_{OUT}	R1 (k)	R2 (k)	V_{DIV}/V^+
0	0	1	62.5kHz to 1MHz	Open	Short	$\leq 0.03125 \pm 0.015$
1	0	2	31.25kHz to 500kHz	976	102	0.09375 ± 0.015
2	0	4	15.63kHz to 250kHz	976	182	0.15625 ± 0.015
3	0	8	7.813kHz to 125kHz	1000	280	0.21875 ± 0.015
4	0	16	3.906kHz to 62.5kHz	1000	392	0.28125 ± 0.015
5	0	32	1.953kHz to 31.25kHz	1000	523	0.34375 ± 0.015
6	0	64	976.6Hz to 15.63kHz	1000	681	0.40625 ± 0.015
7	0	128	488.3Hz to 7.813kHz	1000	887	0.46875 ± 0.015
8	1	128	488.3Hz to 7.813kHz	887	1000	0.53125 ± 0.015
9	1	64	976.6Hz to 15.63kHz	681	1000	0.59375 ± 0.015
10	1	32	1.953kHz to 31.25kHz	523	1000	0.65625 ± 0.015
11	1	16	3.906kHz to 62.5kHz	392	1000	0.71875 ± 0.015
12	1	8	7.813kHz to 125kHz	280	1000	0.78125 ± 0.015
13	1	4	15.63kHz to 250kHz	182	976	0.84375 ± 0.015
14	1	2	31.25kHz to 500kHz	102	976	0.90625 ± 0.015
15	1	1	62.5kHz to 1MHz	Short	Open	$\geq 0.96875 \pm 0.015$

ตารางที่ 1

2. คำนวณ K_{VCO} และ $f_{(0V)}$ จากการกำหนด Transfer Function



3. คำนวณ R_{VCO} และ R_{SET} จากสมการใน datasheet

$$R_{VCO} = \frac{1\text{MHz} \cdot 50k}{N_{DIV} V_{SET} K_{VCO}} \quad \text{---(1.1)}$$

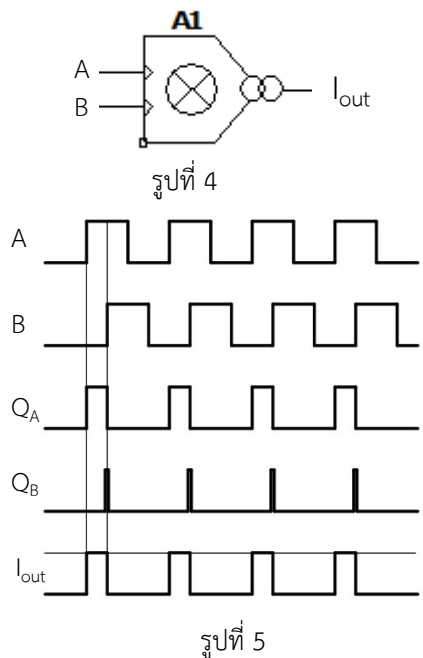
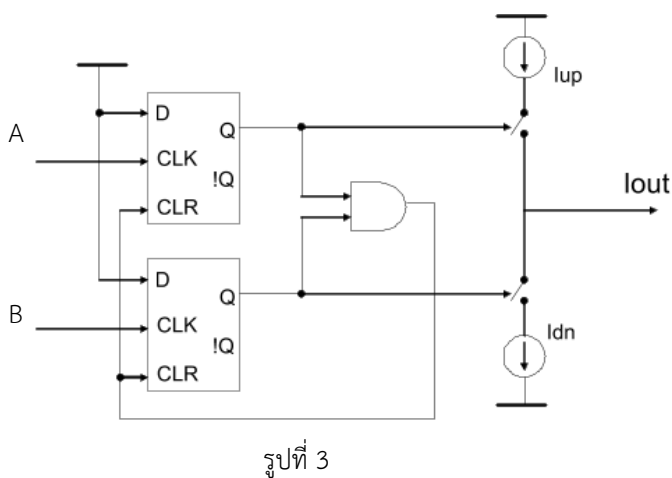
$$R_{SET} = \frac{1\text{MHz} \cdot 50k}{N_{DIV}(f_{(0V)} - V_{SET} K_{VCO})} \quad \text{---(1.2)}$$

ดังนั้น หลังจากที่สามารถออกแบบพารามิเตอร์ต่างๆใน Voltage-Controlled Oscillator ได้แล้วนั้นจะทำให้เราสามารถสร้างระบบของ VCO ที่มี Transfer Function เป็นดังนี้

$$\text{Transfer Function of VCO} = \frac{K_{VCO}}{s} \quad \text{---(1.3)}$$

Phase/Frequency Detector (PFD) :

ใช้ Model Phidet (รูปที่ 4) ที่เป็น Phase/Frequency Detector แบบ charge-pump (รูปที่ 3)



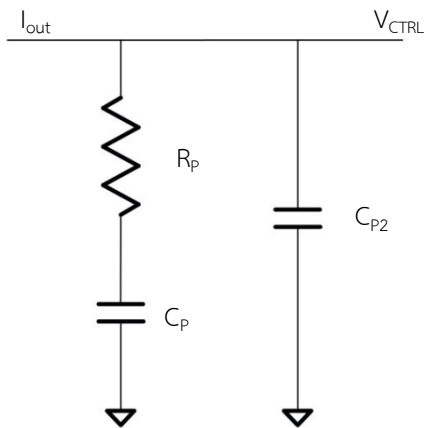
โดยต้องกำหนดกระแสของตัว Charge-Pump และ V_{high} กับ V_{low} ของ Output ที่ I_{out} ตามความต้องการของวงจรรวม

ซึ่งจะได้กระแสเฉลี่ยในรูปที่ 5 ในหนึ่งคาบหลังจากที่ผ่าน Loop Filter เป็น $I_{av} = \frac{I_{out}}{2\pi}$ ดังนั้นจะได้

$$\text{Gain (Transfer Function) of PFD} = \frac{I_{out}}{2\pi} \quad \text{---(2)}$$

Loop Filter :

เนื่องจากการวงจรกรองความถี่สูงหรือ Low-Pass Filter ใช้ตัวเก็บประจุหนึ่งตัว จึงมี Transfer Function เป็น $\frac{1}{sC_p}$ ซึ่งเมื่อรวมกับ Transfer Function ของ VCO จะทำให้เกิดเป็น Pole ที่ origin 2 ตัว ซึ่งทำให้ Phase margin เป็น 0 องศาและทำให้ระบบ unstable ดังนั้นจึงได้เพิ่ม lead compensation ทำให้วงจรประกอบไปด้วยตัวเก็บประจุสองตัวและตัวต้านทานหนึ่งตัว



รูปที่ 6

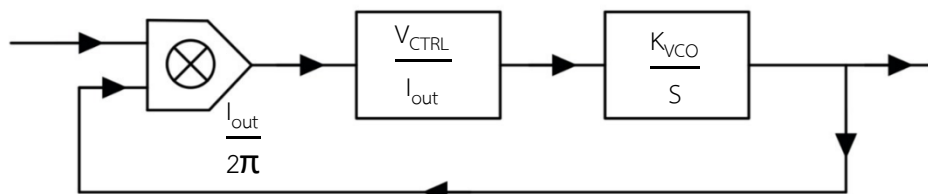
รวม Impedance ได้

$$Z = \frac{(1 + sRC_p)}{s(C_p + C_{p2})(1 + sR(C_p || C_{p2}))}$$

$$\frac{V_{CTRL}}{I_{out}} = Z$$

$$\frac{V_{CTRL}}{I_{out}} = \frac{(1 + sRC_p)}{s(C_p + C_{p2})(1 + sR(C_p || C_{p2}))} \quad \text{---(3)}$$

นำทั้งสามส่วนมารวมกันจะได้ Open-Loop Transfer Function ของระบบเป็นรูปที่ 7

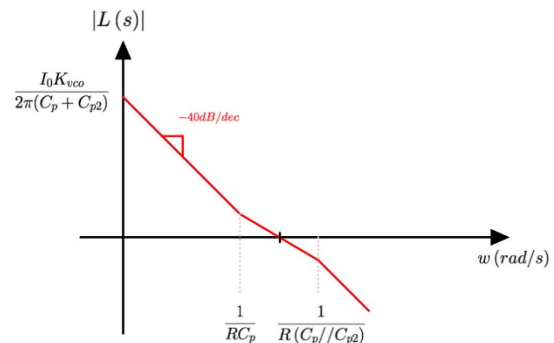


รูปที่ 7

$$L(s) = \frac{I_{out}}{2\pi} \cdot \frac{(1 + sRC_p)}{s(C_p + C_{p2})(1 + sR(C_p || C_{p2}))} \cdot \frac{K_{VCO}}{s}$$

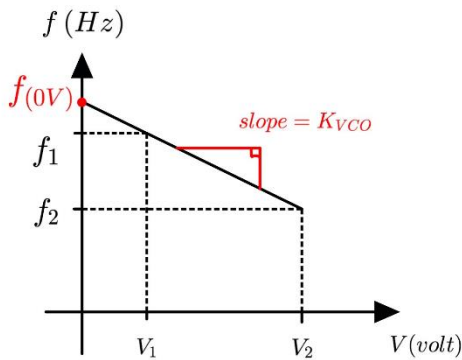
$$L(s) = \frac{I_{out}K_{VCO}}{2\pi(C_p + C_{p2})} \cdot \frac{(1 + sRC_p)}{(1 + sR(C_p || C_{p2}))} \cdot \frac{1}{s^2} \quad \text{---(4)}$$

จาก $L(s)$ ที่ได้ สามารถวาด bode plot ได้ดังรูปที่ 8



รูปที่ 8

การออกแบบค่าพารามิเตอร์



Requirement :

- Loop crossover frequency = 50kHz
- Phase margin = 45°
- Lock range 900kHz - 1.1MHz
- Center Frequency of the VCO = 1MHz

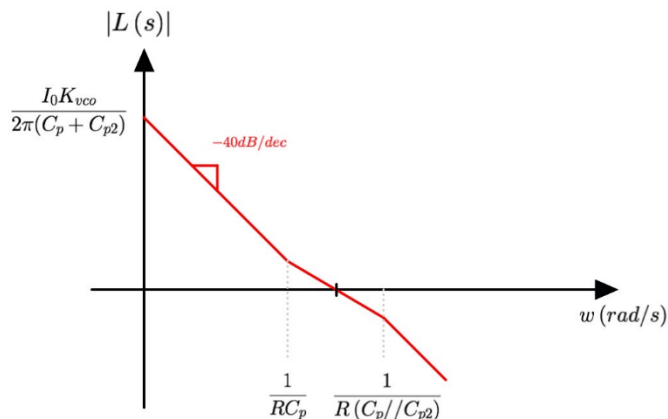
จากโจทย์ ให้ f_1 และ f_2 ในรูปที่ 2 เป็น 1.1MHz และ 900kHz ตามลำดับ และกำหนด V_1 และ V_2 อยู่ระหว่าง 0-3.3 volt ตาม suggestion ซึ่งได้เลือกเป็น 0-2 volt ทำให้ได้ความชันของกราฟหรือ $K_{VCO} = 100\text{kHz/V}$

และได้ทำการออกแบบวงจร VCO ตามทฤษฎีโดยเลือก $N_{DIV} = 1$ จากตารางที่ 1 และนำค่าต่าง ๆ มากแทนในสมการที่ 1.1 และ 1.2 ดังนี้

$$R_{VCO} = \frac{1\text{MHz} \cdot 50\text{k}}{1 \times 1 \times (100 \times 10^3)} = 500 \text{ kilo-ohms}$$

$$R_{SET} = \frac{1\text{MHz} \cdot 50\text{k}}{1 \times [(1.1 \times 10^3) \times (100 \times 10^3)]} = 50 \text{ kilo-ohms}$$

ออกแบบ Open loop Transfer Function จากรูปที่ 8



ต้องการให้ที่ crossover frequency เป็นจุดเดียวกับ

zero ที่ $\frac{1}{RC_p}$ จึงจะได้ Phase margin ประมาณ 45°

ซึ่งจาก Requirement ของโจทย์ ต้องการ Loop crossover frequency = 50 kHz ซึ่งเท่ากับ

$$2\pi(50\text{kHz}) = 314.16 \text{ krad/sec}$$

และทราบว่าความชันก่อนจะถึง zero มีค่าเป็น -40dB/dec จึงสามารถคำนวณหาจุดตัดแกน y ใน log scale ได้

ให้ตำแหน่งของ Zero อยู่ที่ crossover frequency :

$$\frac{1}{RC_p} = \omega_c$$

$$\frac{1}{RC_p} = 314.16 \text{ krad/sec} \quad \text{---(5)}$$

คำนวณหาจุดตัดแกน y ใน log scale :

$$20 \log \left[\frac{I_{out} K_{VCO}}{2\pi(C_p + C_{p2})} \right] = 40 \log(\omega_c)$$

$$20 \log \left[\frac{(10 \times 10^{-3})(100 \times 10^3)}{2\pi(C_p + C_{p2})} \right] = 40 \log(314.16 \times 10^3) \quad \text{ให้ } I_{out} = 10 \text{ mA}$$

$$\frac{(10 \times 10^{-3})(100 \times 10^3)}{2\pi(C_p + C_{p2})} = (314.16 \times 10^3)^2$$

$$\text{เพราะฉะนั้นจะได้ } (C_p + C_{p2}) = 1.6 \text{ nF} \quad \text{---(6)}$$

ต้องการให้ $\alpha = 10$ เพื่อให้ได้ Phase จาก lag compensation มากที่สุด

$$\alpha = \frac{\alpha_T}{T} = \frac{RC_p}{R(C_p \parallel C_{p2})} = \frac{C_p}{C_p \parallel C_{p2}} \quad \text{ให้ } C_p \gg C_{p2}$$

$$10 = \frac{C_p}{C_{p2}} \quad \text{---(7)}$$

แก้สมการที่ (6) และ (7) ได้ :

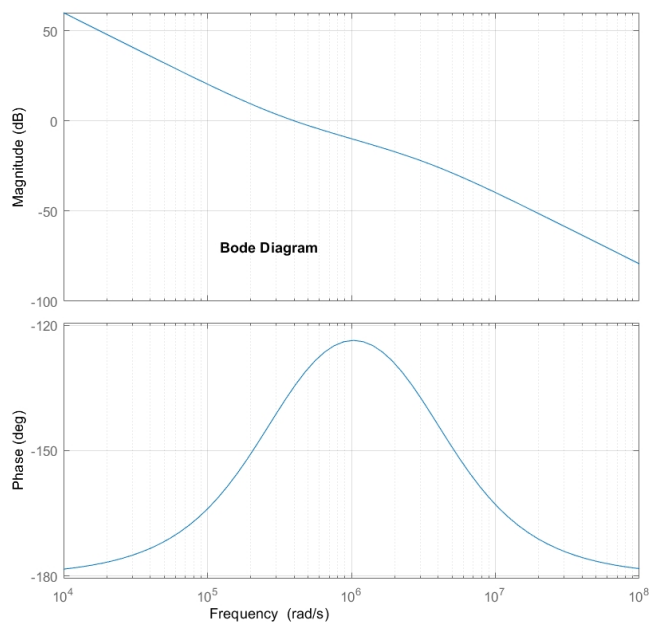
$$C_p = 1.454 \text{ nF}$$

$$C_{p2} = 0.145 \text{ nF}$$

แทนลงในสมการที่ (5) :

$$R = 2.2 \text{ kilo-ohms}$$

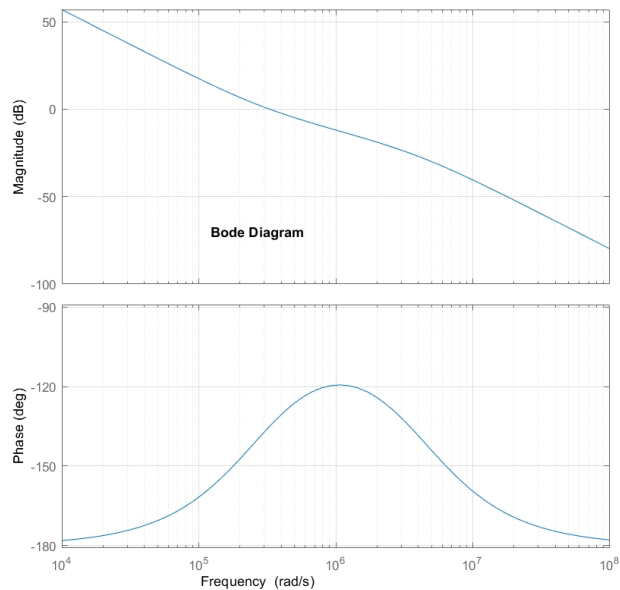
ตรวจจสอบ bode plot จาก Matlab



$$\begin{aligned} Gm &= 0 \\ Pm &= 45.3738 \\ \omega_c &= 0 \\ \omega_p &= 4.0080e+05 \end{aligned}$$

ซึ่งค่า Phase margin และ crossover frequency ที่ได้ยังไม่ตรงตาม requirement โดย crossover frequency ที่ควรได้ต้องเป็น $3.1415e+05$ จึงได้มีการปรับค่าเล็กน้อยตามความเหมาะสม

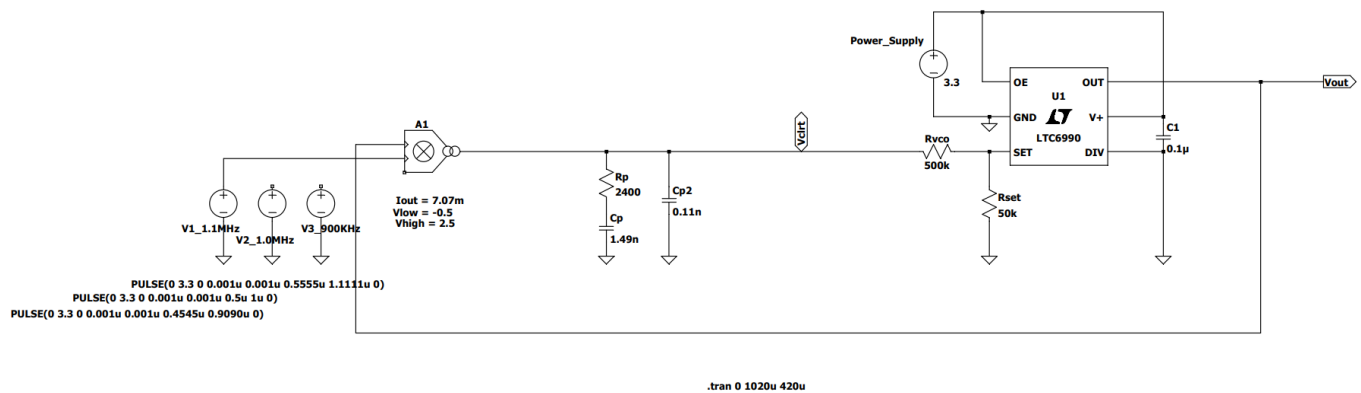
$C_p = 1.49 \text{ nF}$, $C_{p2} = 0.11 \text{ nF}$ และ $R = 2.4 \text{ kilo-ohms}$ รวมถึง reduce gain $\sqrt{2}$ โดยการเปลี่ยนค่า I_{out} จาก 10 เป็น $\frac{10}{\sqrt{2}}$ mA เท่าเพื่อลด error จากการโค้งงอที่จุดหัก
จะได้ bode plot เป็น



$G_m = 0$
 $P_m = 45.0138$
 $w_c = 0$
 $w_p = 3.2902e+05$

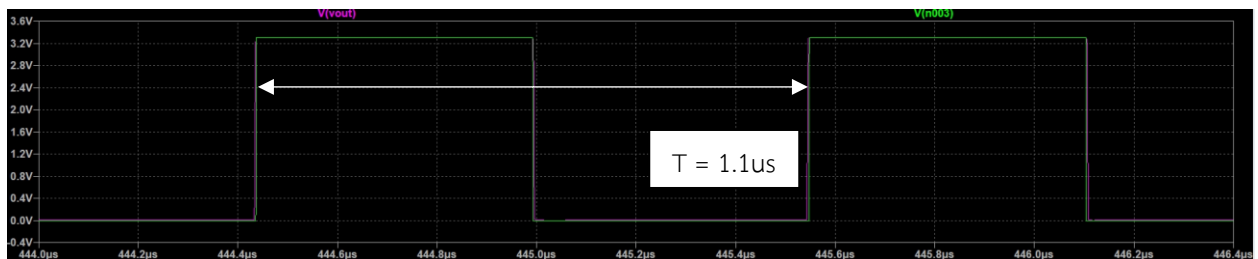
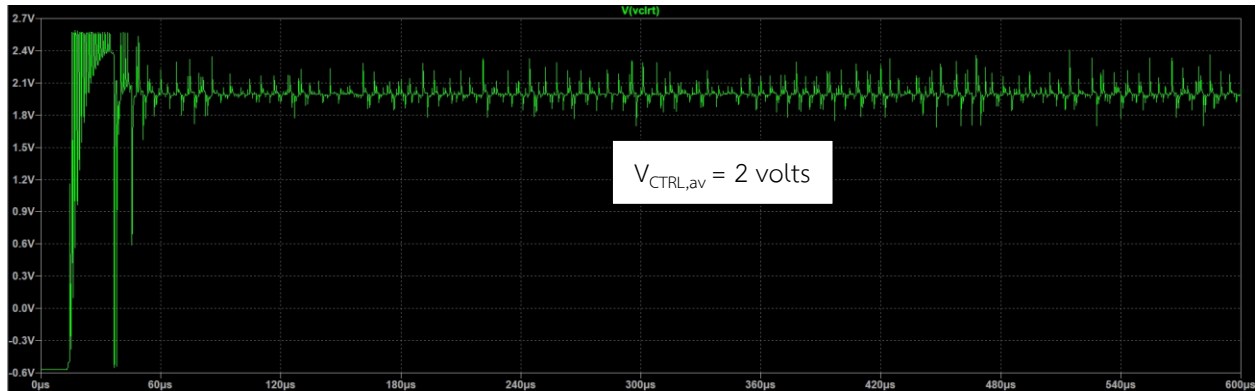
หลังจากที่ปรับค่าก็ได้ phase margin และ crossover frequency ที่ใกล้เคียงกับ requirement ของโจทย์มากขึ้น

ผลการทดลองจาก Simulation บน LTspice

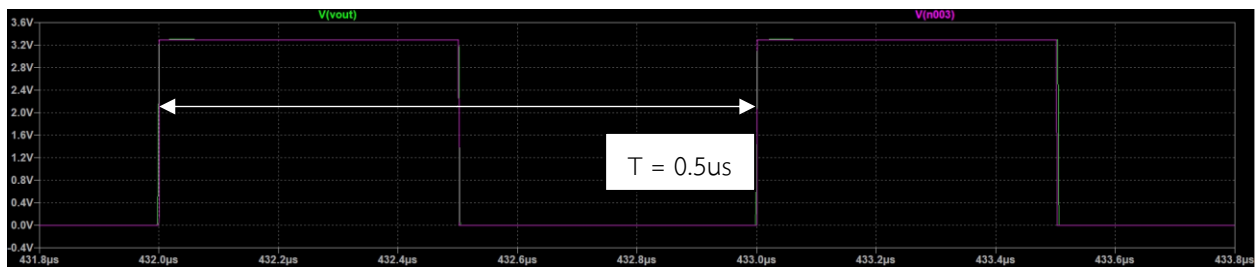
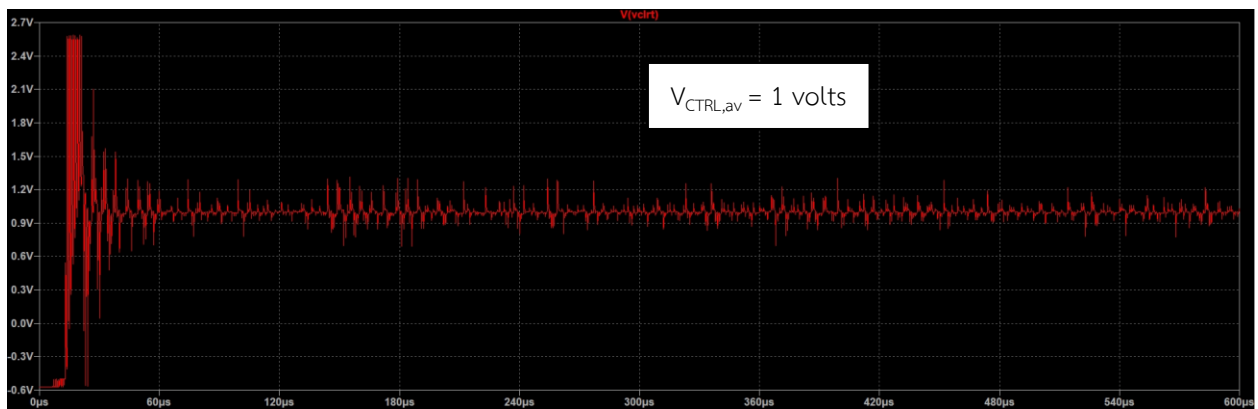


ใช้ความถี่สามช่วงในการตรวจสอบว่า System ที่ใส่ input เข้าไป output จะถูก lock frequency ตาม input หรือไม่ โดยสามช่วงที่ใช้ตรวจสอบจะเป็น $f_{in} = 900\text{kHz}$, 1MHz และ 1.1MHz ซึ่งได้ผล V_{CTRL} และ Output Frequency ดังนี้

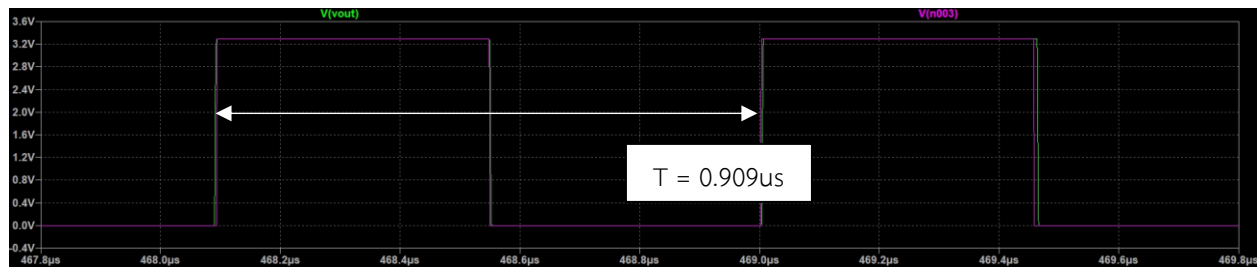
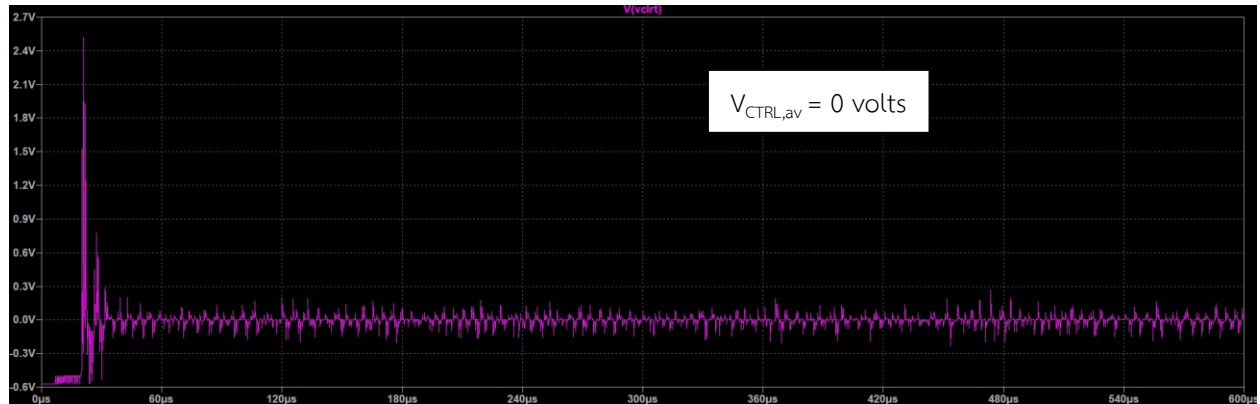
$f_{in} = 900\text{kHz}$



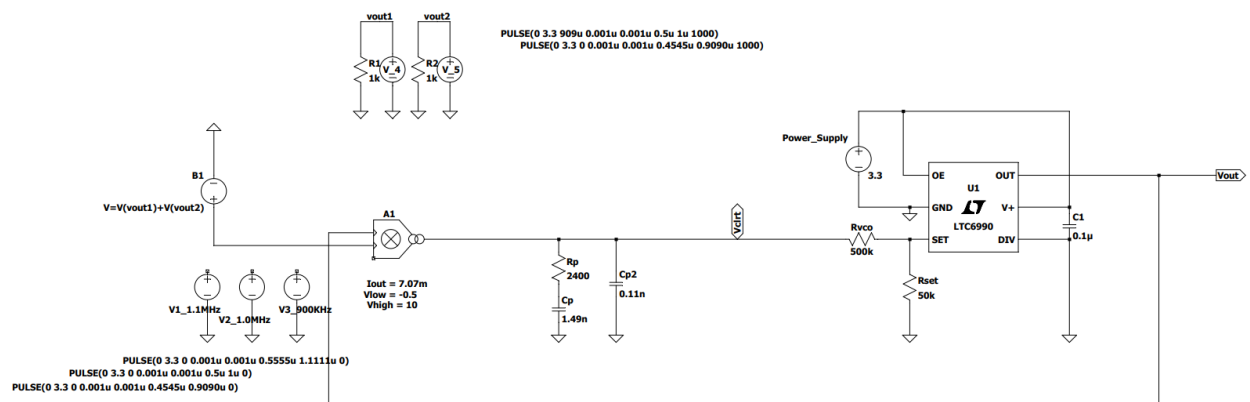
$f_{in} = 1\text{MHz}$



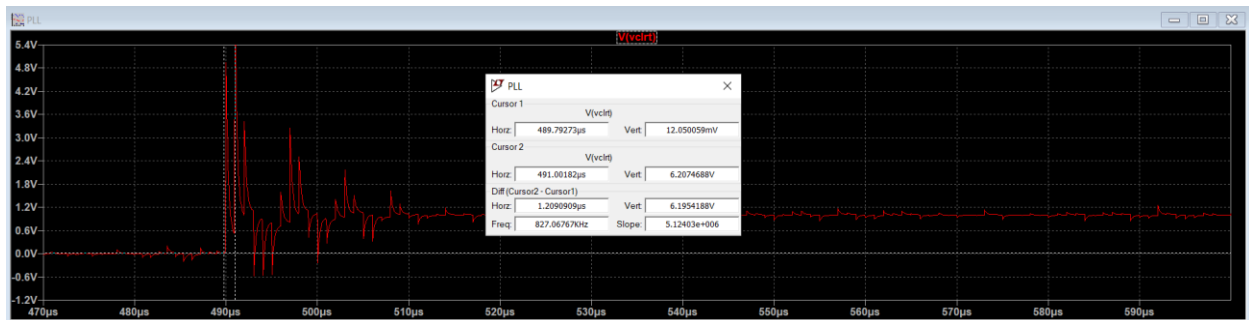
$$f_{in} = 1.1\text{MHz}$$



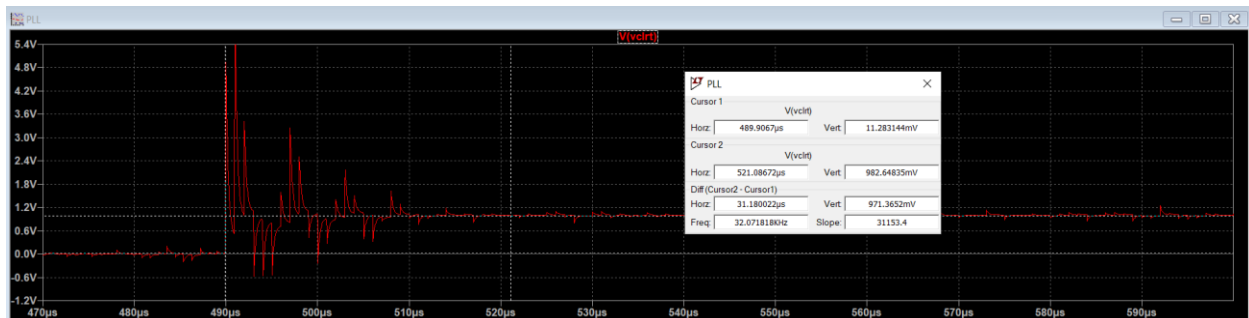
เพื่อประเมิน Phase margin โดยใช้ FM source จะใส่ step frequency เป็น input แล้วดู output ที่ V_{CTRL} ซึ่งจะได้ t_s และ t_p



จากกราฟ V_{CTRL} ที่ถูกเปลี่ยนความถี่จาก 1.1MHz เป็น 1MHz จะสามารถสังเกต Settling time และ peak time ได้

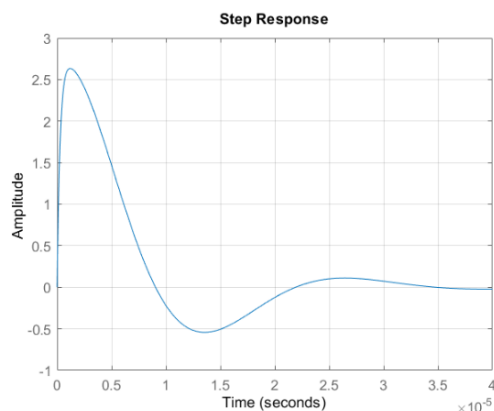


$t_p = 1.2$ micro-seconds



$t_s = 31$ micro-seconds

เนื่องจาก output ของระบบอยู่ในรูปของความถี่ซึ่งยากต่อการตรวจสอบ จึงได้ทำการสังเกตในส่วนของ V_{CTRL} โดยเปรียบเทียบ step response ของ V_{CTRL}/f_{in} ที่ทำให้ได้ closed-loop transfer function ที่มี phase margin = 45 จาก LTspice กับ Matlab



```
S_Y = stepinfo(VCO_phase_in)
```

```
S_Y = struct with fields:
    RiseTime: 0
    SettlingTime: 3.1183e-05
    SettlingMin: -0.5434
    SettlingMax: 2.6337
    Overshoot: Inf
    Undershoot: Inf
    Peak: 2.6337
    PeakTime: 1.2858e-06
```

จากการเปรียบเทียบ Settling time และ peak time ของ Matlab และ LTspice มีค่าใกล้เคียงกัน

เพราะฉะนั้นจึงสรุปว่าการ simulation จาก LTspice มีค่า phase margin ของ closed loop transfer function เท่ากับ 45 องศา

*หมายเหตุ ส่วนของการ damping ในกราฟของ LTspice เกิดจาก noise ที่เข้ามารบกวน ยิ่งค่ากระแสสมการทำให้ noise มากตาม