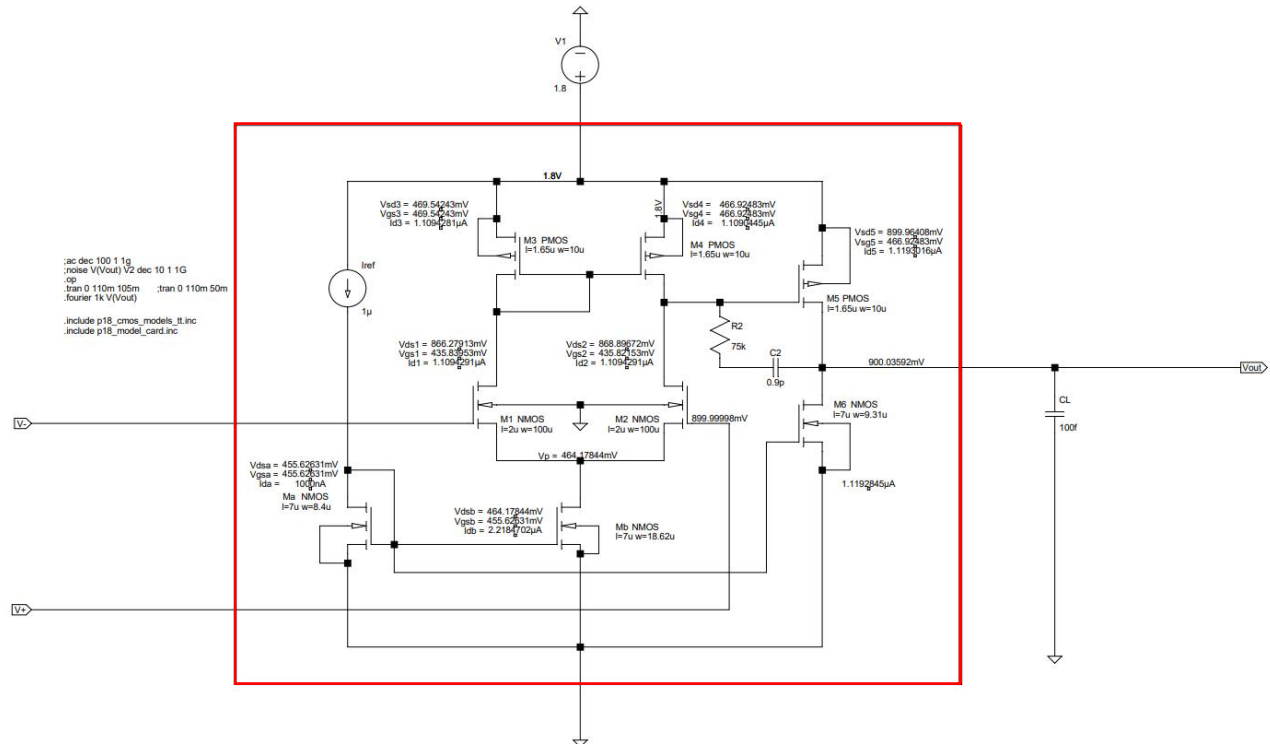


Design of CMOS Analog Integrated Circuit

ในโปรเจกต์นี้ได้ทำการออกแบบ two-stages single-ended operational amplifier ขนาด $0.18\mu\text{m}$ โดยวงจรนี้ใช้แหล่งจ่าย Supply Voltage เป็น 1.8 V และไดรฟ์โหลดด้วยตัวเก็บประจุขนาด $C_L = 100\text{fF}$ ซึ่งส่วนของแหล่งจ่ายกระแส สามารถใช้แหล่งจ่ายอตุมนคติได้หนึ่งตัวที่มีขนาด $1\mu\text{A}$ ขณะที่ทั้งวงจรให้สามารถสูญเสียกำลังได้ไม่เกิน $6\mu\text{W}$ ซึ่งภาพรวมของวงจรจะเป็นดังภาพ



โดยการออกแบบครั้งนี้มี specification ดังนี้

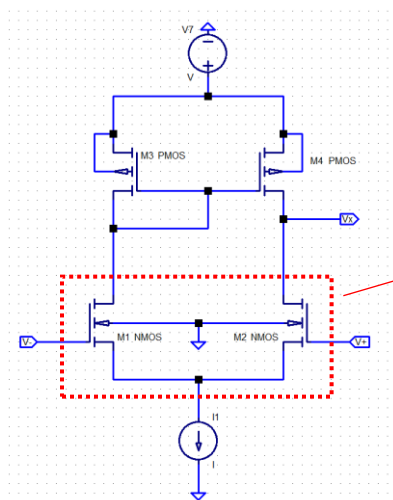
- DC gain $> 80\text{ dB}$
- Output Swing $> 1.5\text{ V}$
- Unity-gain frequency $> 7\text{ MHz}$
- Phase margin of the open loop transfer function $> 60^\circ$
- Input common-mode voltage $> 1\text{ V}$
- Total integrated input-referred noise $< 220\mu\text{V}_{\text{rms}}$
- 1% settling time $< 2\mu\text{s}$
- Total harmonic distortion of $V_{\text{out}} < 0.2\%$

ทฤษฎีที่ใช้ในการออกแบบ

ส่วนประกอบของวงจร

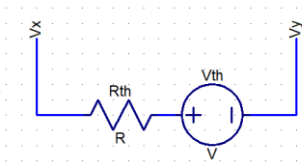
วงจร two-stages single-ended operational amplifier เป็นวงจรที่ใช้สอง Stage ในการขยายสัญญาณ ดังนั้นจะสามารถแบ่งวงจรได้เป็นสองส่วน ในส่วนแรกจะเป็น Active Differential Amplifier ที่รับ Input เข้ามาสองตัว และนำผลต่างของสอง Input นั้นมาขยายสัญญาณด้วย Gain ออกมาเป็น Single Ended ที่มี Output ตัวเดียว ต่อมาในส่วนที่สองจะเป็นวงจรขยายสัญญาณที่ใช้ PMOS และ NMOS ที่ทำหน้าที่เหมือนแหล่งจ่ายกระแสคงที่ โดย Gain ของ Stage นี้จะขึ้นอยู่กับตัว PMOS เท่านั้น เพราะฉะนั้นในแต่ละส่วนจะสามารถมองเป็น Block diagram ที่ประกอบไปด้วย two blocks gain ซึ่ง gain ของแต่ละ block จะสามารถหาได้จาก node equation และทฤษฎีต่างๆดังต่อไปนี้

- Small-Signal Analysis of Active Differential Amplifier



$$A_{v1} = \frac{V_{in2}}{V^+ - V^-} = -G_{m1}R_{out1}$$

ทำการ Model M1, M2 ด้วยวงจรสมมูล Thevenin

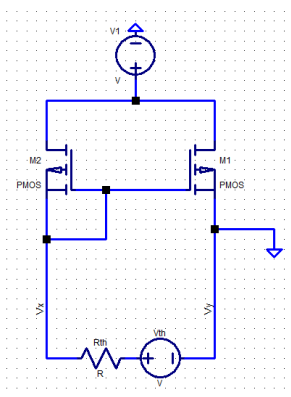


$$V_x = -g_{m1}r_{o1}V_{in}/2$$

$$V_y = g_{m2}r_{o2}V_{in}/2$$

$$V_{th} = V_x - V_y = -g_{m1,2}r_{o1,2}V_{in} \quad , \quad R_{th} = 2 \cdot r_o$$

หา G_m :



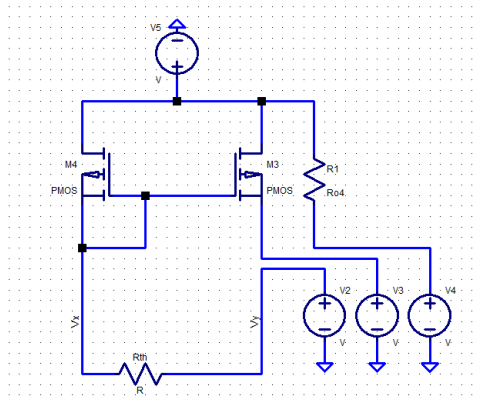
$$i_1 = \frac{V_{th}}{R_{th} + \left(\frac{1}{g_{m3}} \parallel r_{o3} \right)} \approx -g_{m1,2}$$

$$i_2 = g_{m4} \left(\frac{1}{g_{m3}} \parallel r_{o3} \right) \cdot i_1$$

$$i_{out} = -(i_1 + i_2) = -g_{m1,2} \left(1 + g_{m4} \left(\frac{1}{g_{m3}} \parallel r_{o3} \right) \right) / 2$$

$$G_{m1} = \frac{i_{out}}{V_{in}} = -g_{m1,2}$$

หา R_{out} :

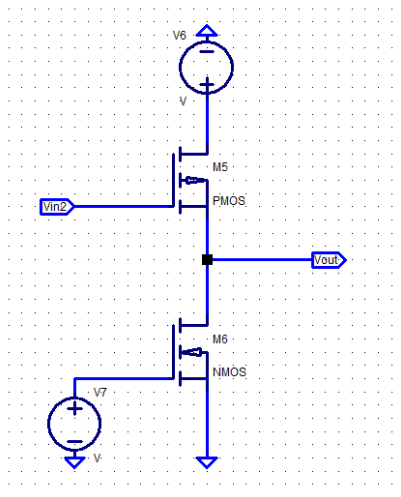


$$i_t = V_t \left[\frac{g_{m1} r_{o1,2} V_{in}}{(2r_{o1,2})} (1 + ((1/g_{m3}) || r_{o3}) \cdot g_{m4}) + \frac{1}{r_{o4}} \right]$$

$$R_{out1} = \frac{V_t}{i_t} = r_{o1} || r_{o4}$$

$$\therefore A_{v1} = \frac{V_{in2}}{V^+ - V^-} = -G_m R_{out} = g_{m1,2} (r_{o1} || r_{o4})$$

- Small Signal of Second Stage Amplifier



ใช้ Node Equation ในการคำนวณหาอัตราขยาย

KCL @ V_{out} ;

$$g_{m5} V_{in2} + \frac{V_{out}}{r_{o5} || r_{o6}} = 0$$

$$\frac{V_{out}}{V_{in2}} = g_{m5} (r_{o5} || r_{o6})$$

$$\therefore A_{v2} = \frac{V_{out}}{V_{in2}} = g_{m5} (r_{o5} || r_{o6})$$

ในการออกแบบขนาดของ MOSFET จะเกิด Zero RHP จาก C_{gd} ที่มาก ทำให้การ Compensate ให้มี Phase margin ดี ทำได้ยากขึ้น จึงต้องมีการคำนวณและดูแนวโน้มเพื่อทำการ trade off กับ specification อื่นๆ

- Small-Signal Analysis of Active Differential Amplifier with C_{gd}

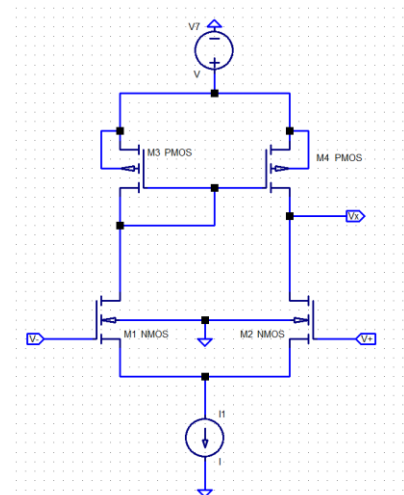
Node Equation at V_x ; $(V_{in} - V_x) S C_{gd} = -g_m V_{in}/2 + V_x/r_{o1}$

Node Equation at V_y ; $(V_{in} - V_y) S C_{gd} = g_m V_{in}/2 + V_y/r_{o2}$

$$V_{th} = V_x - V_y = -g_{m1,2} r_{o1,2} \frac{(1 - S(2C_{gd}/g_{m1}))}{(1 + S(C_{gd} \cdot r_{o1}))}, R_{th} = 2 \cdot (r_{o1} || (1/S C_{gd}))$$

หา G_m :

$$i_1 = \frac{V_{th}}{R_{th} + \left(\frac{1}{g_{m3}} || r_{o3} \right)} \approx -g_{m1,2} (1 - S(2C_{gd}/g_{m1}))$$



$$i_2 = g_{m4} \left(\frac{1}{g_{m3}} \parallel r_{o3} \right) \cdot i_1$$

$$i_{out} = -(i_1 + i_2) = -g_{m1,2} (1 - S(2C_{gd}/g_{m1})) (1 + g_{m4} \left(\frac{1}{g_{m3}} \parallel r_{o3} \right)) / 2$$

$$G_m = \frac{i_{out}}{V_{in}} = -g_{m1,2} (1 - S(2C_{gd}/g_{m1}))$$

หา R_{out} :

$$i_t = V_t \left[\frac{1}{\left(\frac{2r_{o1}}{1 + SC_{gd}r_{o1}} \right)} (1 + ((1/g_{m3}) \parallel r_{o3}) \cdot g_{m4}) + \frac{1}{r_{o4}} \right]$$

$$R_{out} = \frac{V_t}{i_t} = \frac{r_{o1} \parallel r_{o4}}{(1 + SC_{gd}(r_{o1} \parallel r_{o4}))}$$

$$\therefore A_{v1} = \frac{V_x}{V^+ - V^-} = -G_m R_{out} = g_{m1,2} (r_{o1} \parallel r_{o4}) \frac{(1 - S(2C_{gd}/g_{m1}))}{(1 + SC_{gd}(r_{o1} \parallel r_{o4}))}$$

- Small Signal of Second Stage Amplifier with C_{gd}

ใช้ Node Equation ในการคำนวณหาอัตราขยาย

KCL @ V_{out} ;

$$g_{m5} V_{in2} + \frac{V_{out}}{r_{o5}} = (V_{in2} - V_{out}) SC_{gd}$$

$$V_{out} \left(\frac{1}{r_{o5} \parallel r_{o6}} + SC_{gd} \right) = V_{in2} (SC_{gd} - g_{m5})$$

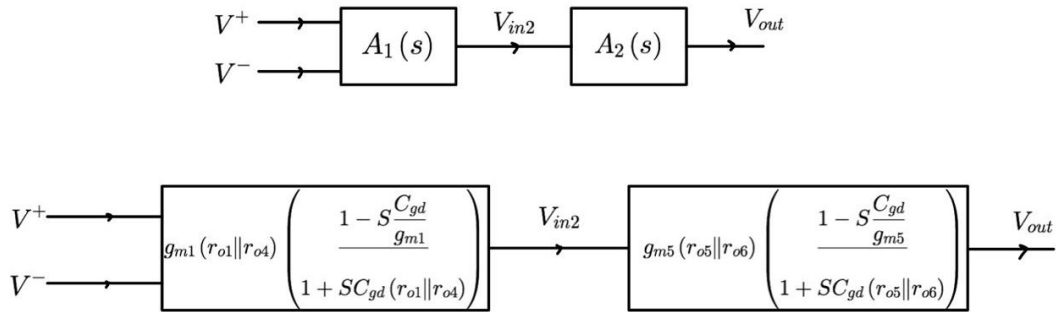
$$\therefore A_{v2} = \frac{V_{out}}{V_{in2}} = g_{m5} (r_{o5} \parallel r_{o6}) \frac{(1 - S \frac{C_{gd}}{g_{m5}})}{(1 + sC_{gd}(r_{o5} \parallel r_{o6}))}$$

จากการคำนวณ จะสามารถเห็นได้ว่า ทั้งสองวงจรมี Zero ที่ RHP เมื่อรวมทั้งสองวงจรเข้าด้วยกันทำให้ Phase ถูกดึงลงด้วย Zero RHP ถึง 180° โดยขนาดของ C_{gd} นั้น จะขึ้นอยู่กับ size ของ MOSFET เช่นถ้าหาก W, L ใหญ่มากเกินไปจะทำให้ Zero RHP เลื่อนเข้ามาที่ความถี่ต่ำ และทำให้มีผลต่อการ Compensate

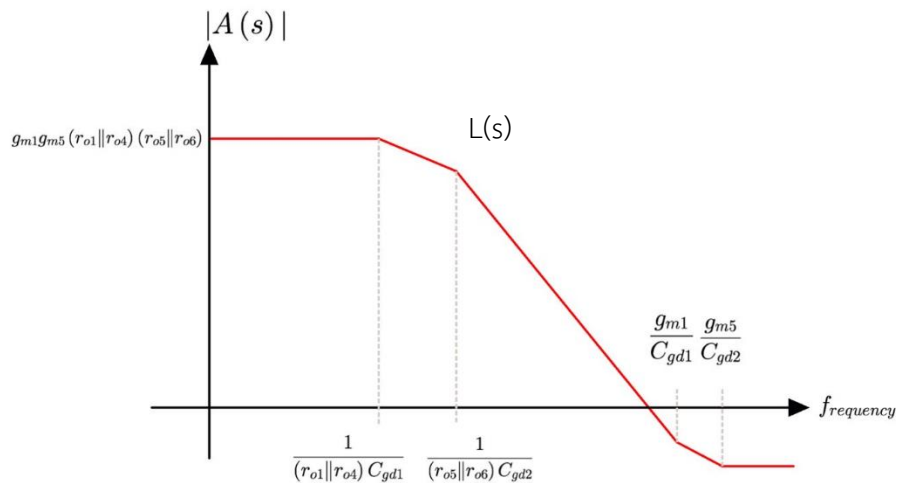
ดังนั้น $A(s)$ ก่อนที่จะ compensate จะมีค่า

$$A(s) = g_{m1,2} (r_{o1} \parallel r_{o4}) g_{m5} (r_{o5} \parallel r_{o6}) \cdot \frac{(1 - S \frac{C_{gd}}{g_{m5}})}{(1 + sC_{gd}(r_{o5} \parallel r_{o6}))} \cdot \frac{(1 - S(2C_{gd}/g_{m1}))}{(1 + SC_{gd}(r_{o1} \parallel r_{o4}))}$$

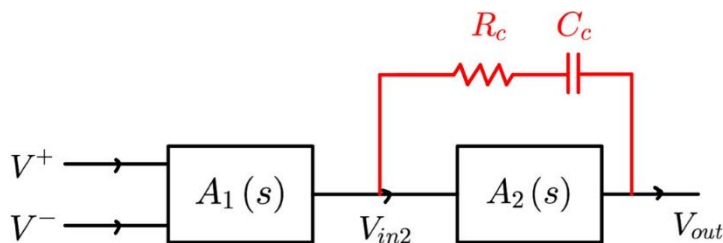
- Block Diagram



- Bode Plot

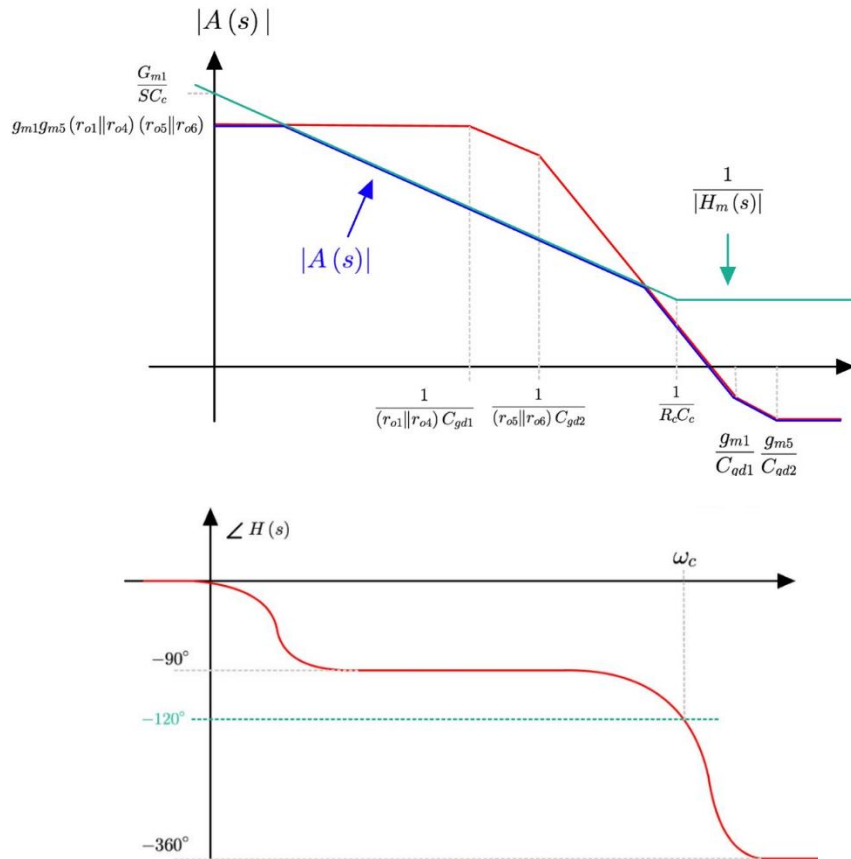


อย่างไรก็ตาม Phase ที่ Crossover Frequency จะมีค่าใกล้ -180 หรือน้อยกว่า โดยมีผลมาจาก Pole ตัวที่สองทำให้ Phase margin มีค่าน้อยมากๆ และทำให้ระบบไม่มีความเสถียรภาพ จึงต้องใช้หลักการของ Minor Loop Compensation โดยการต่อ Feedback path ด้วย R_c และ C_c ซึ่งช่วยให้ Bode plot หลังการ Compensate มี Phase margin ดีขึ้น



หลังจากใช้ Minor loop compensation แล้วจะได้ Feedback Path ซึ่งเป็น $H_m(s) = \frac{SC_c}{g_{m1}(r_{o1}||r_{o4})} \cdot \frac{1}{1+SR_cC_c}$

เมื่อกำหนด Close Loop Gain และ Plot Bode Plot จะได้ $A(s) = L(s) || \frac{1}{H_m(s)}$



ซึ่งจะทำให้ Pole ทั้งสองตัวเลื่อนออกจากกันได้ และทำให้สามารถควบคุมให้ Crossover frequency อยู่ระหว่าง Pole ทั้งสองตัวเพื่อรักษา Phase margin ให้น้อยลงได้

สามารถทำการหา noise ของวงจร unity-feedback ซึ่ง noise เกิดจาก 3 ส่วน NMOS, PMOS, Resistor ตามสมการดังนี้

Resistor Noise : $I_{n,R} = \frac{4kT}{R}$

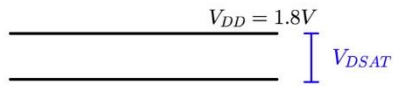
Mosfet Noise : $I_{n,MOSFET} = 4kT\gamma g_m^2 + \frac{K_{n,p}}{C_{ox} \cdot W_L} \cdot g_m^2 \cdot \frac{1}{f}$

โดย $K_n = 5 \cdot 10^{(-25)}$, $\gamma_n = 1.6$, $K_p = 1 \cdot 10^{(-25)}$, $\gamma_p = 0.8$

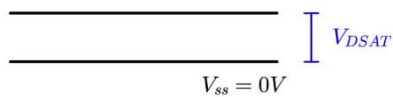
การออกแบบค่าพารามิเตอร์

ต้องการ Output Swing > 1.5 V โดยการสร้าง Range สามารถดูจาก V_{DSAT} ของ MOSFET แต่ละตัวได้ หากต้องการ Output Swing สูงๆ V_{DSAT} ควรจะต่ำๆ โดยกำหนดให้ $V_{GS} = 0.5 \text{ V} \Rightarrow V_{DSAT} = 0.5 - 0.45 = 0.05$

แทนค่าลงในสมการเพื่อหา W/L ratio :



Output swing



$$I = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn})^2$$

ที่กระแส $1 \mu\text{A}$ NMOS จะได้ $W/L = 2.96$

ที่กระแส $1 \mu\text{A}$ PMOS จะได้ $W/L = 11.42$

และลองใช้ค่า $L = 1 \mu\text{m}$ ก็จะสามารถทำให้ MOSFET ทุกตัว

ทำงานอยู่ในช่วง Saturation ได้

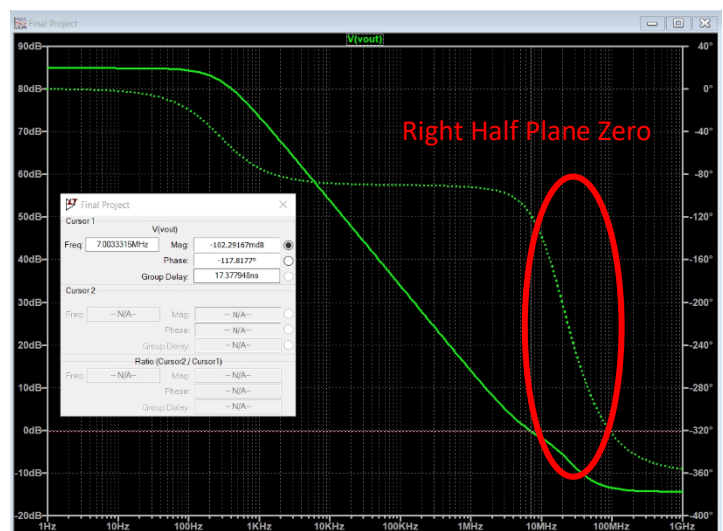
ต่อมาทำการปรับค่า DC gain > 80 dB ซึ่งจากสมการ $\text{Gain} = -G_m R_{out} = -g_{m1}(r_{o1} || r_{o4}) g_{m5}(r_{o5} || r_{o6})$

Gain ส่วนมากจะขึ้นอยู่กับค่า r_o ซึ่งแปรผันตรงกับ L ตามสมการ $r_o = \frac{1}{\lambda I_D} = \frac{L}{0.08 I_D}$ จึงได้ทำการปรับค่า L เพื่อขึ้น

แต่ไม่ให้ส่งผลกระทบกับจุดทำงานจึงได้เพิ่มด้วยอัตราส่วน W/L จนกระทั่งได้ DC Gain ที่มากกว่า 80 dB

เมื่อได้ DC gain และ Output Swing จะเริ่มทำการ Compensate ด้วย R_c และ C_c โดย Unity-gain frequency > 7MHz สามารถควบคุมได้จาก R_c และ C_c ถ้าเพิ่ม R_c จะทำให้ Zero ที่เกิดจาก Feedback Path ไกลเข้ามาที่ Low frequency และ C_c จะเป็นตัวกำหนดให้ Pole ทั้งสองตัวแยกออกจากกัน โดยการออกแบบครั้งนี้จะให้ C_c และ R_c มีค่าที่ทำให้ crossover frequency อยู่ใกล้ 7MHz มากที่สุด

รวมถึงการออกแบบ Phase margin ให้มีค่าไม่น้อยกว่า 60° ตัวต้านทาน R_c ก็มีผลอย่างมากในการช่วยให้ Phase margin ดีขึ้น ในอีกด้านหนึ่งการลดค่า size ของ W และ L จะช่วยให้ Zero RHP ที่เกิดจาก C_{gs} อยู่ไกลมากขึ้น ซึ่ง Bode Plot ที่ได้จะเห็นว่า zero RHP อยู่ใกล้ crossover frequency ทำให้ Phase ของ zero RHP มีผลในระดับหนึ่ง ดังนั้นการ trade off ระหว่าง gain ด้วยการลด W และ L จะช่วยให้ Phase margin ดีขึ้น



Total integrated input-referred noise < $220\mu V_{rms}$ โดยที่ Noise ของ MOSFET จะมีอยู่สองประเภทตามที่กล่าวไว้คือ $1/f$ Noise และ Thermal Noise และ Noise ของตัวต้านทานจะเป็น Thermal Noise โดยจะมีสมการดังนี้

$$\text{Resistor Noise : } I_{n,R} = \frac{4kT}{R}$$

$$\text{Mosfet Noise : } I_{n,MOSFET} = 4kT \gamma g_{m1} + \frac{K_{n,p}}{C_{ox} \cdot W L} \cdot g_{m1}^2 \cdot \frac{1}{f}$$

โดย $K_n = 5 \cdot 10^{-25}$, $\gamma_n = 1.6$, $K_p = 1 \cdot 10^{-25}$, $\gamma_p = 0.8$

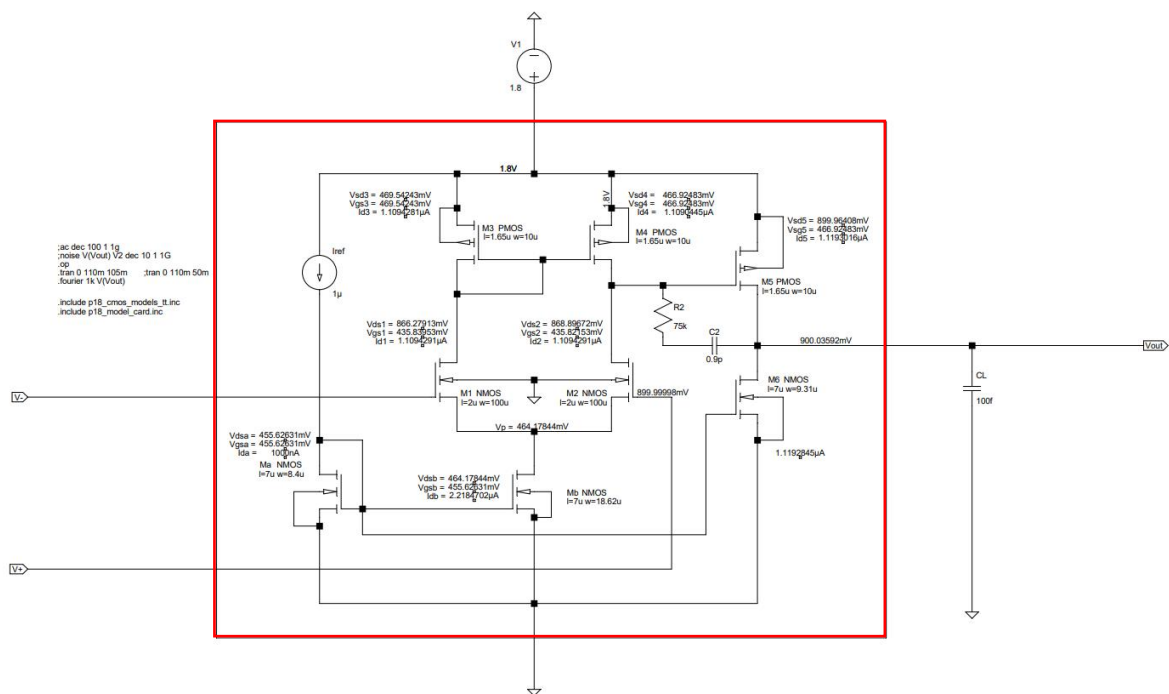
โดยการออกแบบให้ Noise มีค่าน้อยกว่า $220\mu V_{rms}$ จะต้องใช้ $W \cdot L$ ที่มากขึ้นเพื่อให้ Noise ลดลง ซึ่งการเพิ่ม W หรือ L อย่างใดอย่างหนึ่ง จะส่งผลต่อ Output Swing ในอีกมุมหนึ่งถ้าหากเพิ่มทั้ง W/L จะทำให้ zero RHP เข้ามาที่ Low frequency มากขึ้นและทำให้ Phase margin ลดลง ดังนั้นจะได้ทำการ trade off ระหว่าง Output swing และ noise โดยการลด Output swing ด้วยการเพิ่ม W และลด L ทำให้ Noise ลดลงได้และ Phase margin ยังอยู่ใน Range ที่ต้องการอยู่

Total harmonic distortion of $V_{out} < 0.2\%$ สามารถทำได้โดยการปรับค่า R_{in} และ R_{large} มีค่ามากในระดับหนึ่ง ในโปรเจกต์นี้ได้ใช้ 1Meg ทั้งสองตัว

ในส่วนของการ Specification ที่ไม่ได้พูดถึงถึงสามารถทำได้โดยไม่ได้อัปเกรดค่าใดเพิ่ม

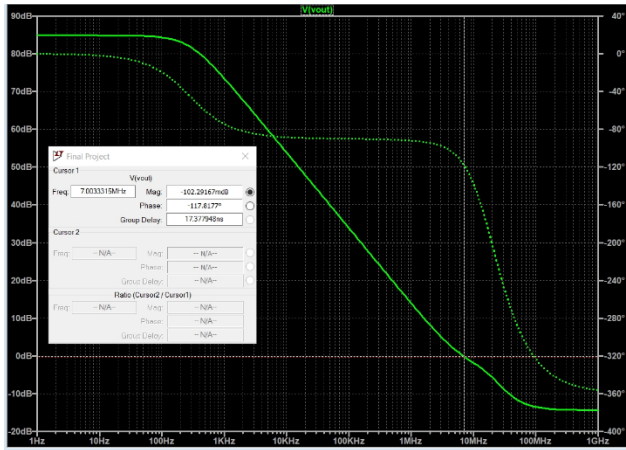
ค่าพารามิเตอร์ที่ได้จากการปรับตามสมการและ trade off ใน specification ต่างๆจะได้ดังต่อไปนี้

MOSFET	L (μm)	W (μm)	W/L
M _a	7	8.40	1.21
M _b	7	18.6	2.65
M ₁	2	100	50
M ₂	2	100	50
M ₃	1.65	10	6.06
M ₄	1.65	10	6.06
M ₅	1.65	10	6.06
M ₆	7	9.31	1.33



ผลการออกแบบ

- Bode plot of transfer function



DC gain > 80 dB

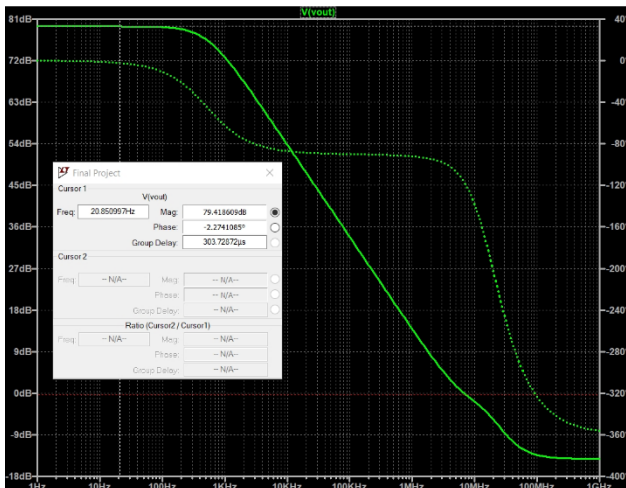
84 dB

Unity-gain frequency

7.003MHz

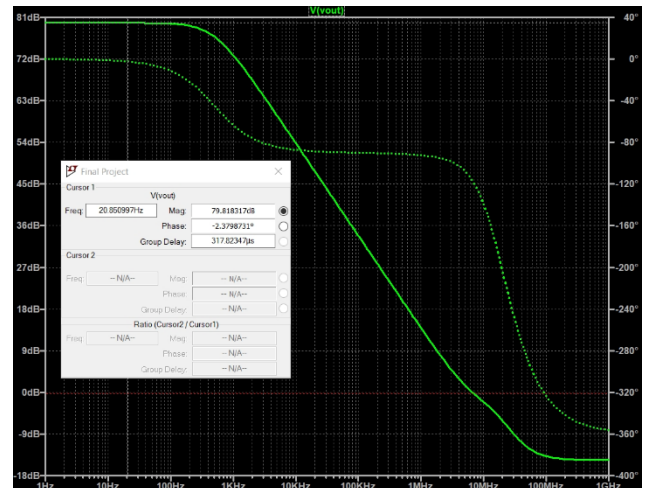
Phase margin

63°



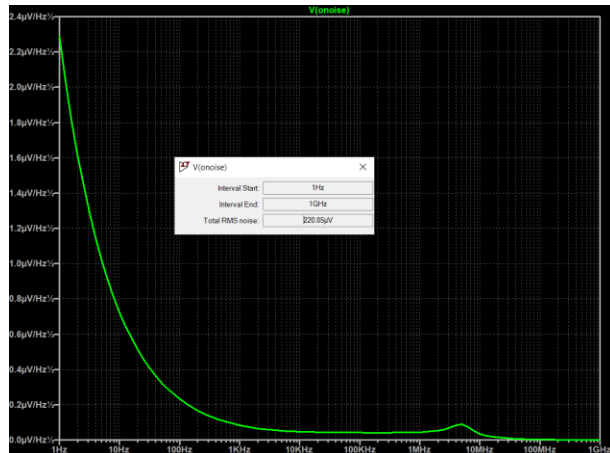
DC gain (at $V_{out} = 1.62$) = 79.42 dB

∴ Output swing = $1.62 - 0.18 = 1.44V_{pp}$



DC gain (at $V_{out} = 0.18$) = 79.81 dB

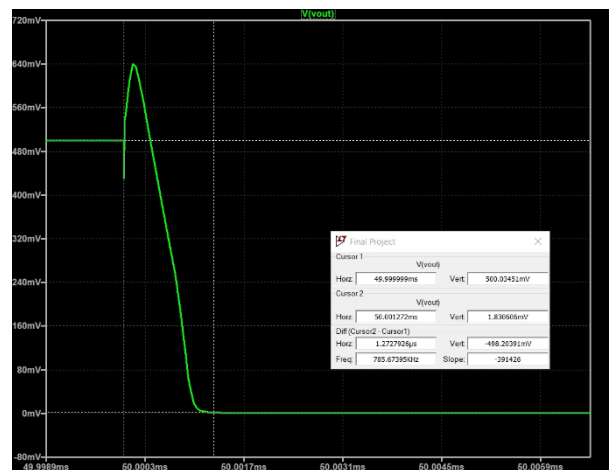
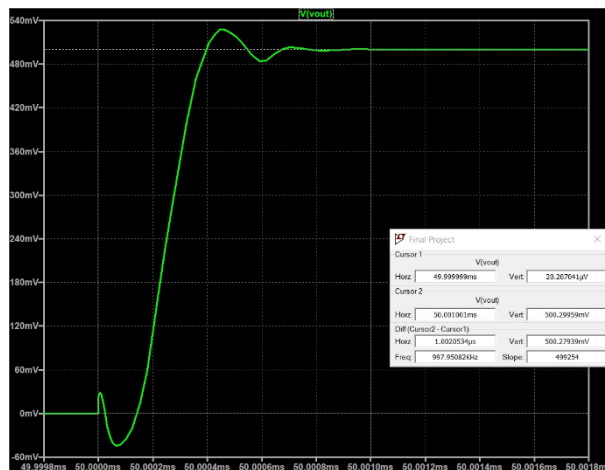
- Total integrated input-referred noise



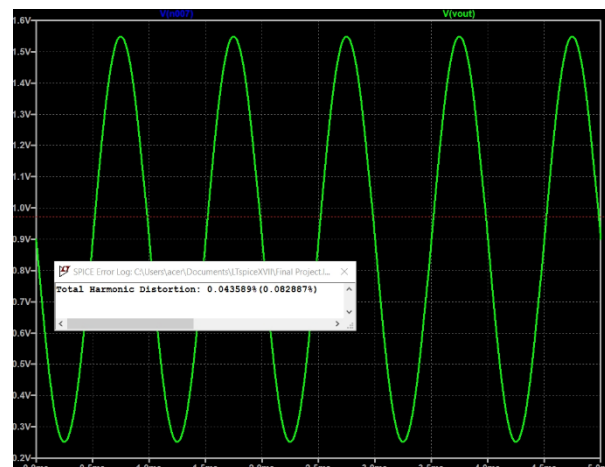
$$\text{RMS Noise} = 220.85 \mu\text{V}_{\text{rms}}$$

- Transient Response

Settling time \rightarrow Settling time $< 2\mu\text{s}$ ที่การเปลี่ยนจาก 0-0.5 หรือ 0.5-0



Total Harmonic Distortion \rightarrow 0.04%



สรุปผลการออกแบบ

Specification		
DC gain > 80 dB	84 dB	✓
Output Swing > 1.5 V	1.44V	X
Unity-gain frequency > 7MHz	7.003MHz	✓
Phase margin of the open loop transfer function > 60°	63°	✓
Total integrated input-referred noise < 220 μ V _{rms}	220.85 μ V _{rms}	✓
1% settling time < 2 μ s	<2 μ s	✓
Total harmonic distortion of V _{out} < 0.2%	0.04%	✓