



Final Project

01205242 Electronic Circuit and System 1

Design and Simulation of Amplifier Circuit

โดย

ชื่อ นายชาวิน คงประสงค์ศิริ

รหัสประจำตัว 6210500391

เสนอ

ผศ.ดร. ชูเกียรติ การะเกตุ

ผศ.ดร. วรธร วัฒนพานิช

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

ภาคเรียนที่ 2 ปีการศึกษา 2563

ส่วนประกอบของวงจรขยายสัญญาณ

- Buffer Circuit (วงจรรักษาแรงดัน)

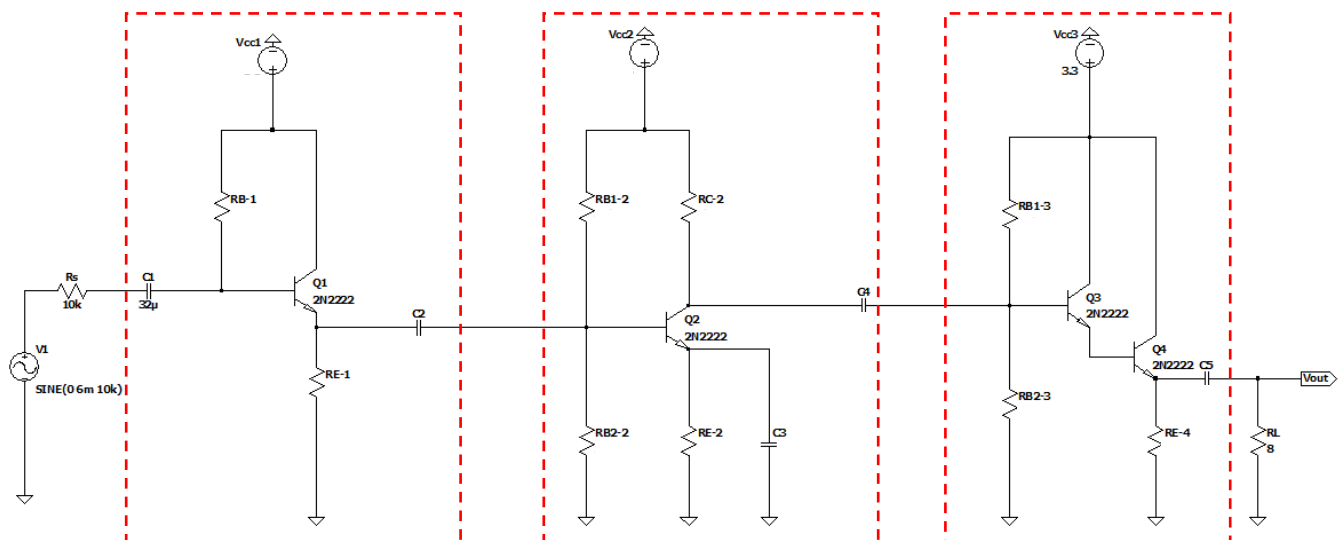
เนื่องจากโหมทย์ที่ใช้ออกแบบวงจรมีการใช้สัญญาณ input ที่มีความต้านทานขาออกจาก input (R_s) เท่ากับ 10k Ohms ซึ่งมีขนาดที่สูง จึงไม่สามารถสร้างวงจรขยายใน state เดียวได้โดยที่ยังใช้ $R_s = 10k$ Ohms ได้ จึงใช้วงจรรักษาแรงดันในการสร้างแรงดันที่ยังใกล้เคียงกับแรงดัน input ตามที่โหมทย์ต้องการ โดยทำการออกแบบวงจรให้มีอัตราขยายเข้าใกล้ 1 V/V

- Common Emitter Amplifier Circuit (วงจรขยายสัญญาณ)

ใช้สำหรับขยายสัญญาณจากวงจรรักษาแรงดัน โดยจากโหมทย์จึงออกแบบให้วงจรนี้มีอัตราขยายที่มากกว่า 15 V/V

- Darlington Configuration Circuit (วงจรขับโหลด)

เนื่องจากโหมทย์ที่ใช้ออกแบบวงจรมีการกำหนด Load $R_L = 8$ Ohms ซึ่งเป็นความต้านทานที่ต่ำ จึงต้องใช้วงจรขับโหลดที่สร้างจาก Transistor 2 ตัวโดยออกแบบให้มีกำลังขยายใกล้เคียง 1 V/V มากที่สุด

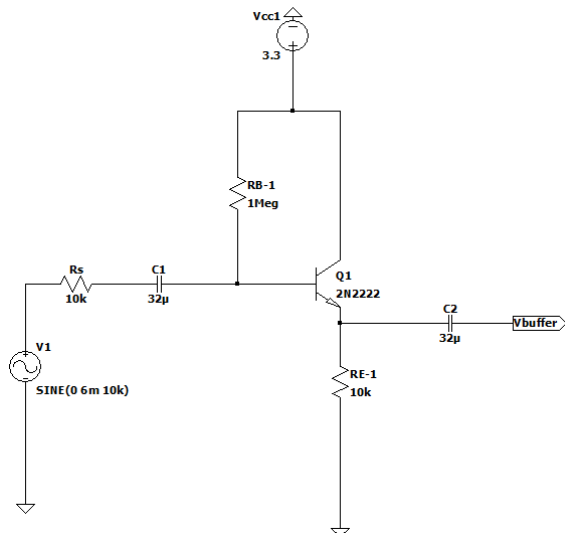


ภาพที่ 1.1 วงจรขยายที่ประกอบด้วย 3 state

ทฤษฎีที่ใช้ในการออกแบบวงจร

- Buffer Circuit (วงจรรักษาแรงดัน)

การคำนวณจุดทำงาน (พิจารณาเฉพาะ DC)



$$\text{KVL ผ่าน BE ; } V_{CC} = R_{B1}I_{B1} + R_{E1}(\beta+1)I_{B1} + 0.7$$

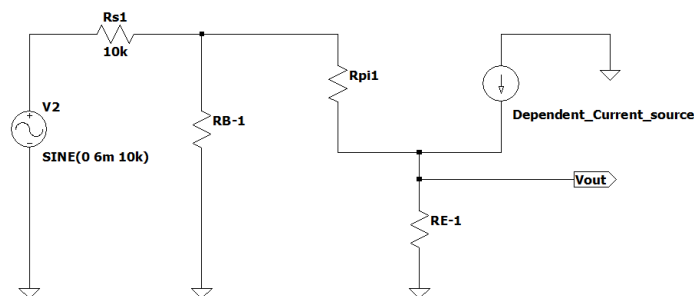
$$\text{จะได้ } I_{B1} = \frac{V_{CC}-0.7}{R_{B1}+ R_{E1}(\beta+1)} \text{ -----(1.1)}$$

$$\text{KVL ผ่าน CE ; } V_{CEQ1} = V_{CC} - I_{B1}R_{E1}(\beta+1) \text{ -----(1.2)}$$

***โดยมีเงื่อนไขคือ

$$I_{B1} < \frac{42 \text{ mA}}{(\beta+1)} , V_{CEQ} > 0.2$$

การคำนวณอัตราขยาย (พิจารณาเฉพาะ AC)



จากกฎของโอห์ม $V_o = (\beta+1)(i)R_{E1}$

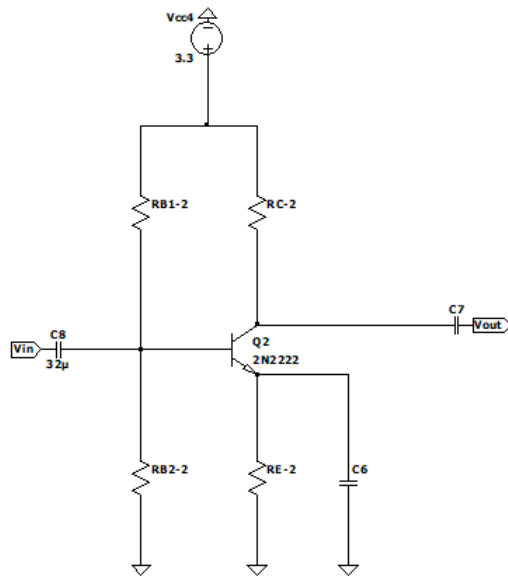
$$\text{เมื่อ } i = \frac{\left(\frac{R_{B1}}{Z_{in}}\right)V_i}{\frac{R_{B1}}{Z_{in}}+R_s} \text{ โดยที่ } Z_{in} = r_{pi1}+(\beta+1)R_{E1}$$

$$\text{แทนค่าได้ } A_v = \frac{V_o}{V_i} = \frac{\left(\frac{R_{B1}}{Z_{in}}\right)}{\frac{R_{B1}}{Z_{in}}+R_s} \times (\beta+1)R_{E1} \text{ -----(1.3)}$$

ซึ่งเมื่อ $R_{B1}/Z_{in} \gg R_s$ และ $(\beta+1)R_{E1} \gg r_{pi1}$ จะได้ $A_v = \frac{V_o}{V_i} \approx 1$

- Common Emitter Amplifier Circuit (วงจรขยายสัญญาณ)

คำนวณจุดทำงาน (พิจารณาเฉพาะ DC)



KVL ผ่านขั้ว BE ของ BJT ;

$$\frac{V_{cc}R_{B22}}{R_{B12}+R_{B22}} = I_{B2}(R_{B12}/R_{B22}) + 0.7 + I_{B2}(\beta+1)R_{E1}$$

$$\text{จัดรูปจะได้ } I_{B2} = \frac{\frac{V_{cc}R_{B22}}{R_{B12}+R_{B22}} - 0.7}{R_{B12}/R_{B22} + (\beta+1)R_{E1}} \quad \text{-----(2.1)}$$

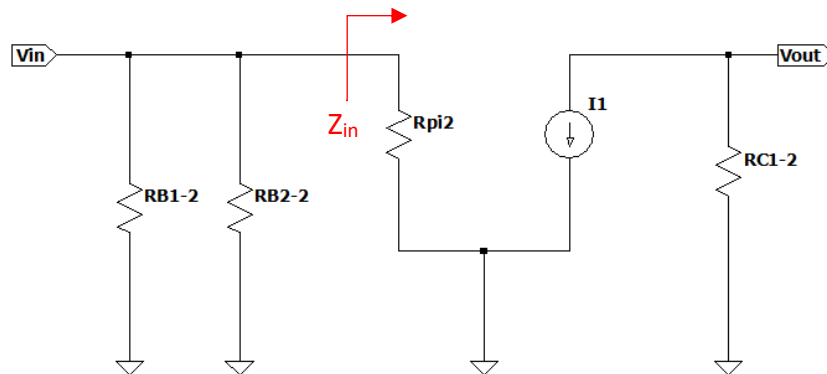
KVL ผ่านขั้ว CE ของ BJT ;

$$V_{CEQ2} = V_{cc} - I_B(\beta+1)R_{E1} - \beta I_B R_{C2} \quad \text{-----(2.2)}$$

***โดยมีเงื่อนไขคือ

$$I_{B2} < \frac{42 \text{ mA}}{(\beta+1)}, \quad V_{CEQ} > 0.2$$

การคำนวณอัตราขยาย (พิจารณาเฉพาะ AC)



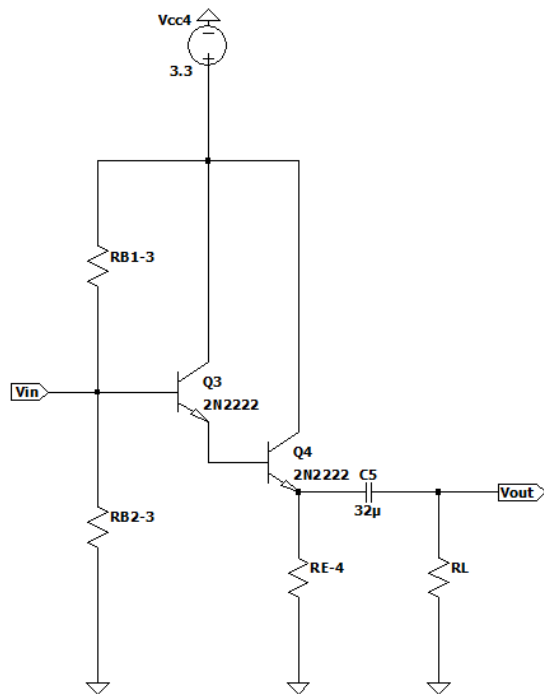
จากกฎของโอห์ม $V_o = -i(\beta+1)R_{C2}$ เมื่อ $i = \frac{V_{in}}{Z_{in}} = \frac{V_{in}}{r_{pi2}}$

แทน i ลงไปในสมการแรก จะได้

$$A_v = \frac{V_o}{V_i} = -g_m R_{C2} \quad \text{-----(2.3)}$$

- Darlington Configuration Circuit (วงจรขับโหลด)

คำนวณจุดทำงาน (พิจารณาเฉพาะ DC)



KVL ผ่านขั้ว BE ของ BJT ;

$$\frac{V_{cc}R_{B23}}{R_{B13}+R_{B23}} = I_B(R_{B13}/R_{B23}) + 0.7 + 0.7 + I_B(\beta+1)^2 R_{E4}$$

$$\text{ได้ } I_B = \frac{\frac{V_{cc}R_{B23}}{R_{B13}+R_{B23}} - 1.4}{R_{B13}/R_{B23} + (\beta+1)^2 R_{E4}} \quad \text{-----(3.1)}$$

KVL ผ่านขั้ว CE ของ BJT ;

$$V_{CEQ3} = V_{cc} - 0.7 - I_B(\beta+1)^2 R_{E4} \quad \text{-----(3.2)}$$

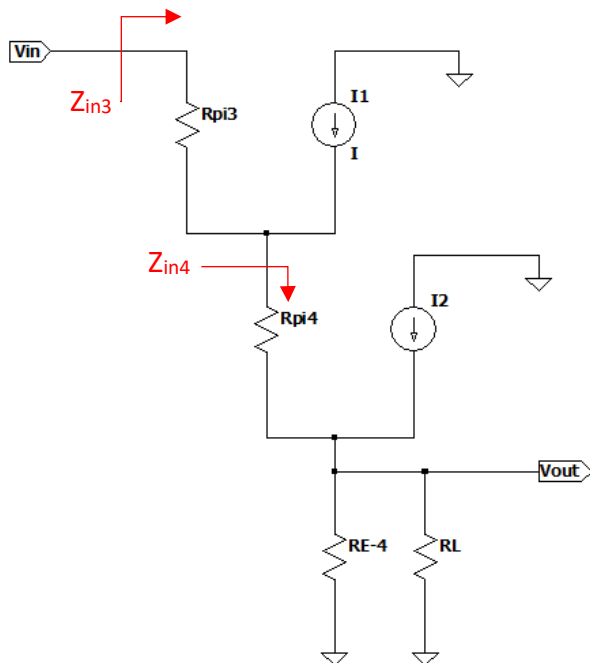
$$V_{CEQ4} = V_{cc} - I_B(\beta+1)^2 R_{E4} \quad \text{-----(3.3)}$$

***โดยมีเงื่อนไขคือ

$$I_{B1} < \frac{42 \text{ mA}}{(\beta+1)}, \quad V_{CEQ3} > 0.2$$

ถ้า Q3 Active Q4 จะ Active ด้วย

การคำนวณอัตราขยาย (พิจารณาเฉพาะ AC)



$$Z_{in3} = r_{pi3} + (\beta+1)Z_{in4}$$

$$Z_{in4} = r_{pi4} + (\beta+1)(R_{E4}/R_L)$$

$$\text{จากกฎของโอห์ม } V_o = (\beta+1)^2 i (R_{E4}/R_L)$$

$$\text{โดย } i = \frac{V_{in}}{Z_{in3}} = \frac{V_{in}}{r_{pi3} + (\beta+1)(r_{pi4} + (\beta+1)(R_{E4}/R_L))}$$

แทน i ลงไปในสมการแรกจะได้

$$A_v = \frac{V_o}{V_i} = \frac{(\beta+1)^2 (R_{E4}/R_L)}{r_{pi3} + (\beta+1)(r_{pi4} + (\beta+1)(R_{E4}/R_L))} = \frac{(\beta+1)^2 (R_{E4}/R_L)}{r_{pi3} + (\beta+1)r_{pi4} + (\beta+1)^2 (R_{E4}/R_L)} \quad \text{-----(3.4)}$$

ดังนั้นถ้า $(\beta+1)^2 (R_{E4}/R_L) \gg r_{pi3} + (\beta+1)r_{pi4}$

$$\text{จะได้ } A_v = \frac{V_o}{V_i} \approx 1$$

การออกแบบค่าพารามิเตอร์

- ค่าคงที่ของวงจรที่ใช้รวมถึงโจทย์กำหนด

$$V_{CC} = 3.3 \text{ V} , V_{in} = (6\text{m}) \text{ AC Volt} , f = 10 \text{ kHz} , R_L = 8 \text{ Ohms} , \text{Temp.} = 80 \text{ }^{\circ}\text{C} ,$$

$$\beta = 256 \left(\text{คำนวณจาก } \frac{I_C}{I_B} \text{ ขณะ BJT Forward Active} \right) , V_T = 30 \text{ mV} \left(\frac{kT}{q} \right) \text{ และ}$$

$$C = 32 \text{ microF} \left(\text{Maximum เพื่อตอนคำนวณ AC จะได้สามารถมองเป็นสายเปล่า} \right)$$

- Buffer State (รักษาแรงดัน)

จากสมการที่ 1.1 และ 1.2 สามารถสังเกตความสัมพันธ์ระหว่างความต้านทานแต่ละตัวในวงจรกับจุดทำงานของ Transistor ได้ ซึ่งในการออกแบบต้องการให้ BJT ทำงานในย่าน Forward Active และจากสมการที่ 1.3 ที่สามารถทราบความสัมพันธ์ระหว่างอัตราขยายกับความต้านทานในวงจร โดยการออกแบบต้องการให้มีอัตราขยายเข้าใกล้ 1 มากที่สุด

จากสมการที่ 1.3 ;

$$A_v = \frac{V_o}{V_i} = \frac{\left(\frac{R_{B1} // Z_{in}}{R_{B1} // Z_{in} + R_s} \right) \times (\beta + 1) R_{E1}}{r_{pi1} + (\beta + 1) R_{E1}} , \text{ ถ้า } R_{B1} // Z_{in} \gg R_s \text{ และ } (\beta + 1) R_{E1} \gg r_{pi1}$$

$$\text{จะได้ } A_v = \frac{V_o}{V_i} \approx 1$$

ต้องออกแบบให้ $R_{B1} // Z_{in} \gg R_s$ เนื่องจาก R_{B1} และ Z_{in} ขนานกันและมองว่า Z_{in} มีขนาดมากแล้วจึงให้ R_{B1} มีขนาดใหญ่ด้วย เพราะฉะนั้นกำหนดให้ $R_{B1} = 1 \text{ M Ohms}$

จากเงื่อนไข $(\beta + 1) R_{E1} \gg r_{pi1}$ และสมการที่ 1.2 ; $V_{CEQ1} = V_{CC} - I_{B1} R_{E1} (\beta + 1) > 0.2$

สามารถออกแบบ R_{E1} ได้ ;

$$V_{CEQ1} = V_{CC} - I_{B1} R_{E1} (\beta + 1) > 0.2 , \text{ แทน } R_E = 1 \text{ M Ohms} \text{ และ } I_{B1} \text{ จากสมการที่ 1.1 จะได้}$$

$$3.3 - \frac{(3.3 - 0.7)(R_E)(257)}{10^6 + R_E(257)} > 0.2$$

$$\text{จัดรูปได้ } R_{E1} > -20 \text{ k Ohms}$$

เพราะฉะนั้นกำหนดให้ $R_{E1} = 1 \text{ M ohms}$

ตรวจสอบจุดทำงานของวงจร

$$I_{B1} = 1.011 \times 10^{-8} \text{ A} \quad V_{CEQ1} = 0.7 \text{ V}$$

ตรวจสอบอัตราขยายของวงจร

$$A_v = \frac{V_o}{V_i} = \frac{\left(\frac{R_{B1} // (r_{pi1} + (\beta + 1)R_{E1})}{R_{B1} // (r_{pi1} + (\beta + 1)R_{E1}) + R_s} \right) \times (\beta + 1)R_{E1}}{r_{pi1} + (\beta + 1)R_{E1}} \quad \text{เมื่อ } r_{pi1} = \frac{V_T}{I_B} = \frac{30 \text{ mV}}{1.011 \times 10^{-8}} \approx 3 \text{ M ohms}$$
$$A_v = \frac{V_o}{V_i} = \frac{\left(\frac{1 \text{ M} // 259 \text{ M}}{1 \text{ M} // 259 \text{ M} + 10 \text{ k}} \right) \times (257)1 \text{ M}}{259 \text{ M}} = 0.982 \text{ V/V}$$

เพราะฉะนั้น BJT อยู่ในย่านการทำงาน Active Forward ที่มีอัตราขยาย **0.982 V/V**

- Common Emitter Amplifier State (ขยายสัญญาณ)

จากสมการที่ 2.1 2.2 และ 2.3 นำมาหาค่าพารามิเตอร์ที่ใช้พิจารณาเมื่อ BJT ทำงานในย่าน Forward Active และทำการออกแบบอัตราขยายให้มากกว่า 15 V/V เนื่องจากจำนวนพารามิเตอร์ของตัวต้านทานมีมาก เพื่อความสะดวกในการออกแบบวงจรจึงกำหนดค่ากระแสที่ผ่านตัว Transistor ให้มีค่าน้อยกว่า 42 mA (กำหนดให้ $I_C = 1 \text{ mA}$)

การออกแบบค่า R_{B12} , R_{B22} จะพิจารณาสมการที่ 2.1 ;

$$I_{B2} = \frac{\frac{V_{cc} R_{B22}}{R_{B12} + R_{B22}} - 0.7}{R_{B12} // R_{B22} + (\beta + 1)R_{E1}} \quad \text{ถ้า Q2 Active } \frac{V_{cc} R_{B22}}{R_{B12} + R_{B22}} > 0.7$$

ได้ $R_{B12} = 40 \text{ k ohms}$ และ $R_{B22} = 36 \text{ k ohms}$ (จากการสุ่มค่า)

แทนลงในสมการที่ 2.1 แก้สมการหาค่า R_{E1} ;

$$\frac{1 \text{ mA}}{256} = \frac{\frac{3.3 \times 36 \text{ k}}{40 \text{ k} + 36 \text{ k}} - 0.7}{40 \text{ k} // 36 \text{ k} + (256 + 1)R_{E1}}$$

แก้สมการได้ $R_{E1} = 786 \text{ ohms}$

จากโจทย์ต้องการสร้างวงจรขยายด้วยอัตราขยายมากกว่า 15 จึงเลือกอัตราขยายที่จะสร้างในวงจรเป็น 30 V/V

$$\text{จากสมการที่ 2.3 ; } 30 = \frac{V_o}{V_i} = -g_m R_{C2} = \frac{1 \text{ mA}}{30 \text{ mV}} (R_{C2}) \quad \text{เพราะฉะนั้น } R_{C2} = 900 \text{ ohms}$$

ตรวจสอบจุดทำงานของวงจรด้วยสมการที่ 2.2 ;

$$V_{CEQ2} = V_{cc} - I_B(\beta + 1)R_{E1} - \beta I_B R_{C2} > 0.2$$

$$3.3 - (1 \text{ mA})(786) - (1 \text{ mA})(900) > 0.2$$

ได้ $1.614 > 0.2$ เพราะฉะนั้น BJT ทำงานอยู่ในย่าน Active Forward ที่มีอัตราขยาย **30 V/V**

- Darlington Configuration State (ขับโหลด)

ออกแบบวงจรที่สร้างจุดทำงาน Forward Active จากสมการที่ 3.1 ;

$$I_B = \frac{\frac{V_{CC} R_{B23}}{R_{B13} + R_{B23}} - 1.4}{R_{B13} / R_{B23} + (\beta + 1)^2 R_{E4}} \quad \text{ถ้า Q3 และ Q4 Active} \quad \frac{V_{CC} R_{B23}}{R_{B13} + R_{B23}} < 1.4$$

ได้ $R_{B13} = 15k \text{ ohms}$ และ $R_{B23} = 40k \text{ ohms}$ (จากการสุ่มค่า)

จากนั้นปรับอัตราขยายให้เข้าใกล้ 1 ด้วยสมการ 3.4 ;

$$A_V = \frac{V_o}{V_i} = \frac{(\beta + 1)^2 (R_{E4} / R_L)}{r_{pi3} + (\beta + 1)(r_{pi4}) + (\beta + 1)^2 (R_{E4} / R_L)}$$

$$\text{ถ้า } (\beta + 1)^2 (R_{E4} / R_L) \gg r_{pi3} + (\beta + 1)(r_{pi4})$$

$$\text{จะได้ } A_V = \frac{V_o}{V_i} \approx 1$$

เนื่องจากในสมการ $(\beta + 1)^2$ มีขนาดใหญ่่มากๆแล้ว จึงต้องทำการออกแบบ R_{E4} / R_L ให้มีค่ามากที่สุด

แต่ R_{E4} จะต้องไม่มากเกินไปจนทำให้สัญญาณมี Error Log สูงเกิน 3%

ได้ค่า $R_{E4} = 50 \text{ ohms}$ (จากการปรับค่าที่พอเหมาะ) ที่ Error Log = 0.9%

ตรวจสอบจุดทำงานของวงจรด้วยสมการที่ 3.2 และ 3.3 ;

ได้ $I_B = 4.3 \times 10^{-7} \text{ A}$ จากการแทนค่าลงในสมการที่ 3.1

$$V_{CEQ3} = V_{CC} - 0.7 - I_B(\beta + 1)^2 R_{E4} = 3.3 - 0.7 - (4.3 \times 10^{-7} \times 256^2 \times 50) = 1.5 > 0.2$$

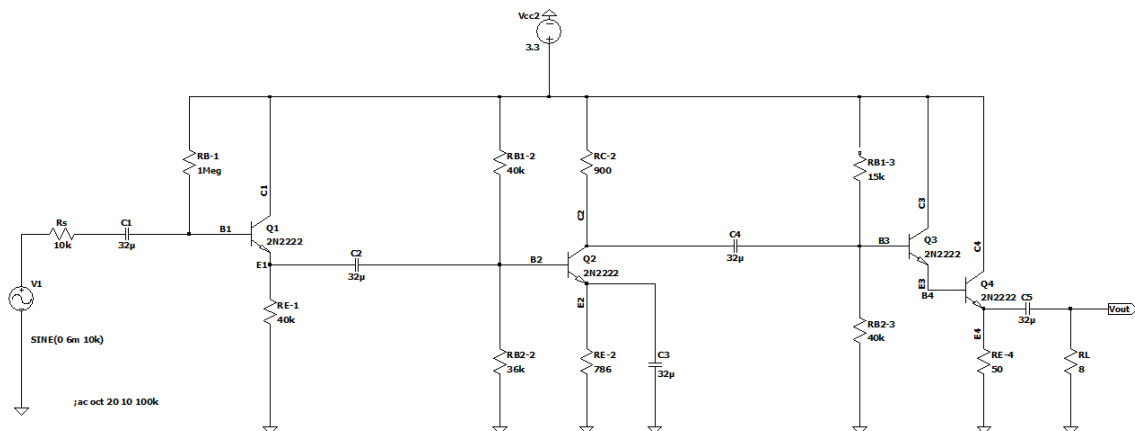
$$V_{CEQ4} = V_{CC} - I_B(\beta + 1)^2 R_{E4} = 3.3 - (4.3 \times 10^{-7} \times 256^2 \times 50) = 2.2 > 0.2$$

ตรวจสอบจุดทำงานของวงจรด้วยสมการที่ 3.4 ;

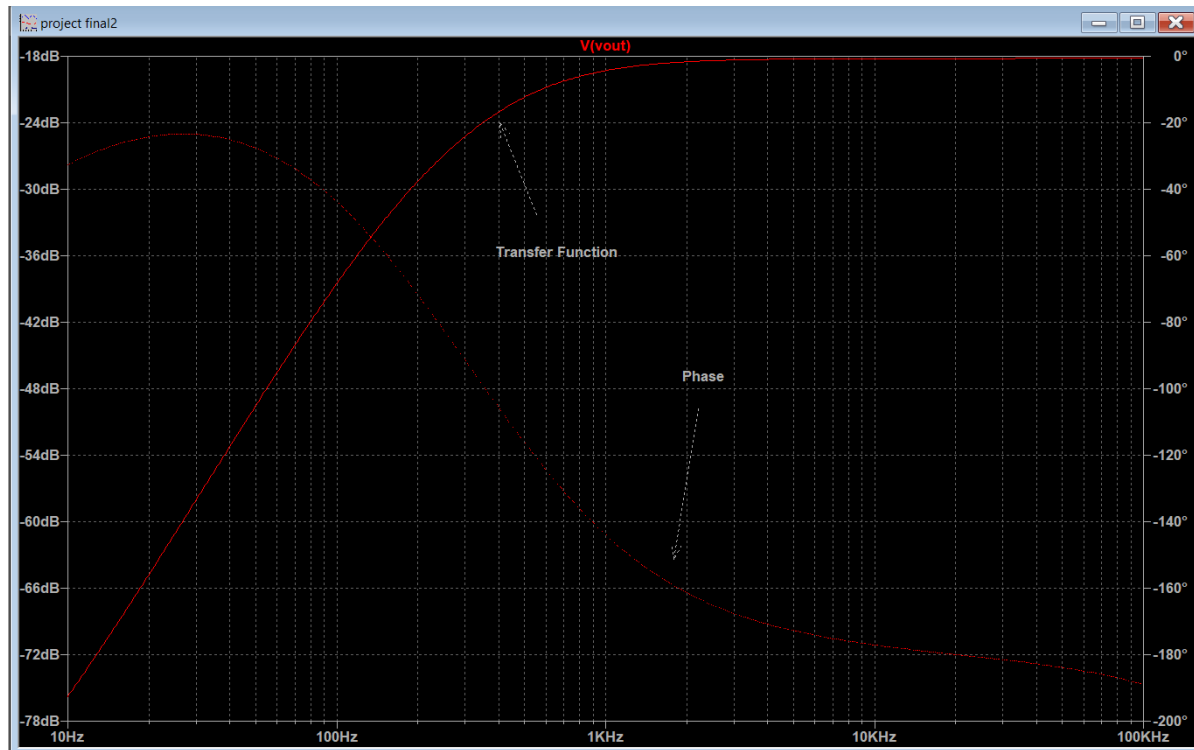
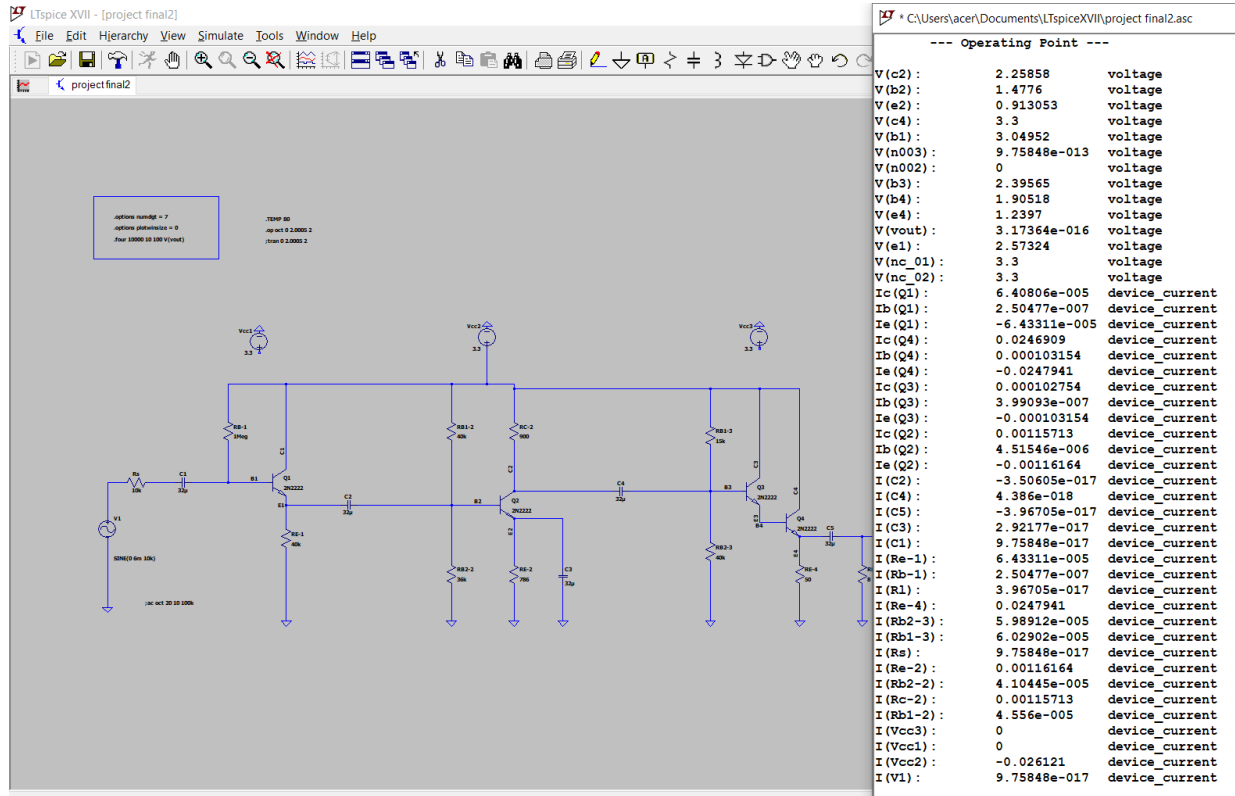
$$A_V = \frac{V_o}{V_i} = \frac{(\beta + 1)^2 (R_{E4} / R_L)}{r_{pi3} + (\beta + 1)(r_{pi4}) + (\beta + 1)^2 (R_{E4} / R_L)} = \frac{(256 + 1)^2 (50 / 8)}{\frac{30m}{256 \times 4.3 \times 10^{-7}} + (256 + 1) \left(\frac{30m}{256 \times 4.3 \times 10^{-7} (256 + 1)} \right) + (256 + 1)^2 (50 / 8)}$$

$$A_V = \frac{V_o}{V_i} = 0.999 \text{ V/V}$$

เพราะฉะนั้น BJT ทำงานอยู่ในย่าน Active Forward ที่มีอัตราขยาย 0.999 V/V

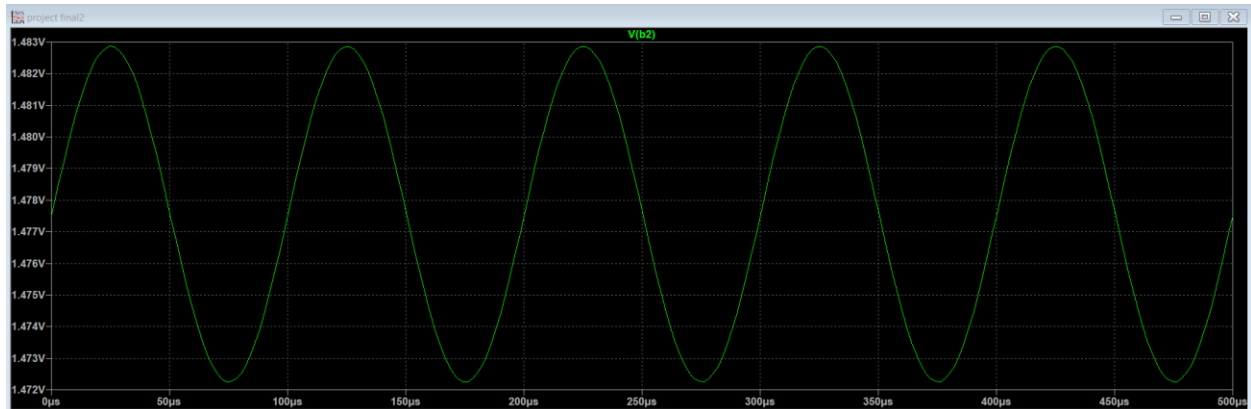


DC Operation Point & AC Analysis

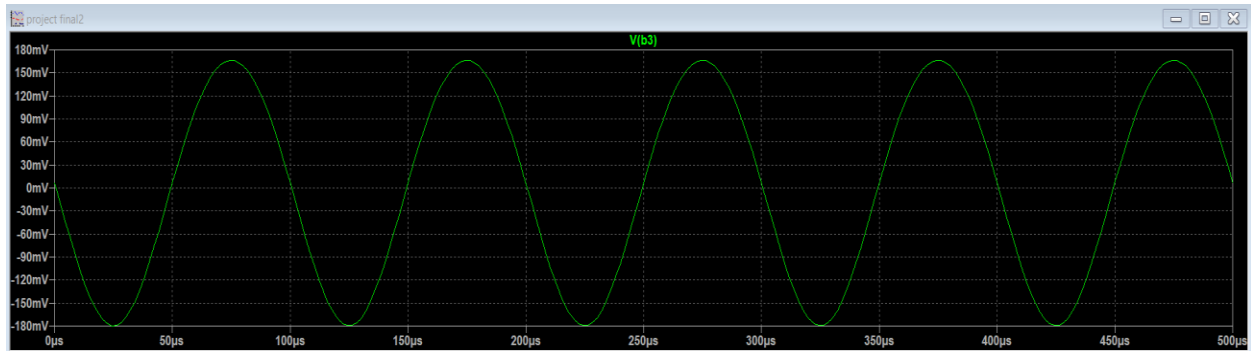


- แรงดันไฟฟ้าที่ตำแหน่งเอาต์พุตของแต่ละสเตจ

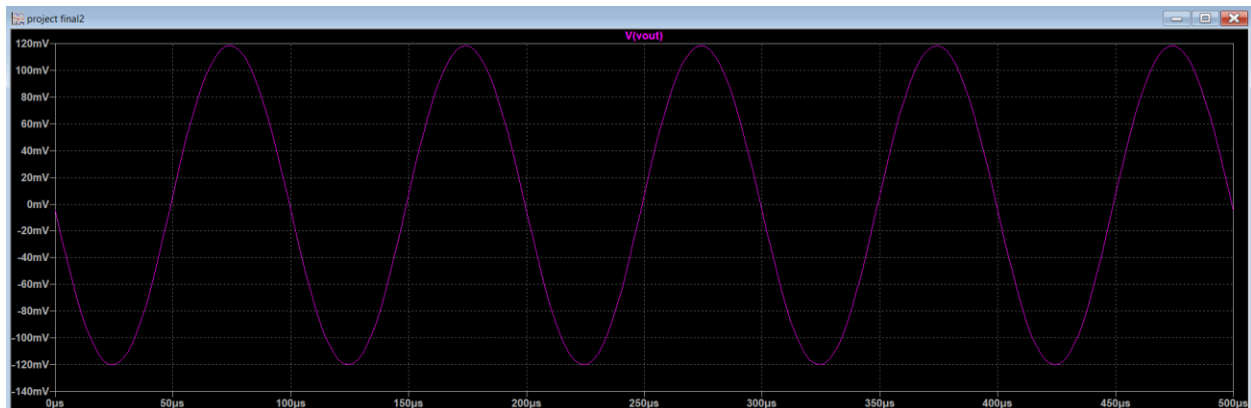
Voltage Buffer



Amplifier

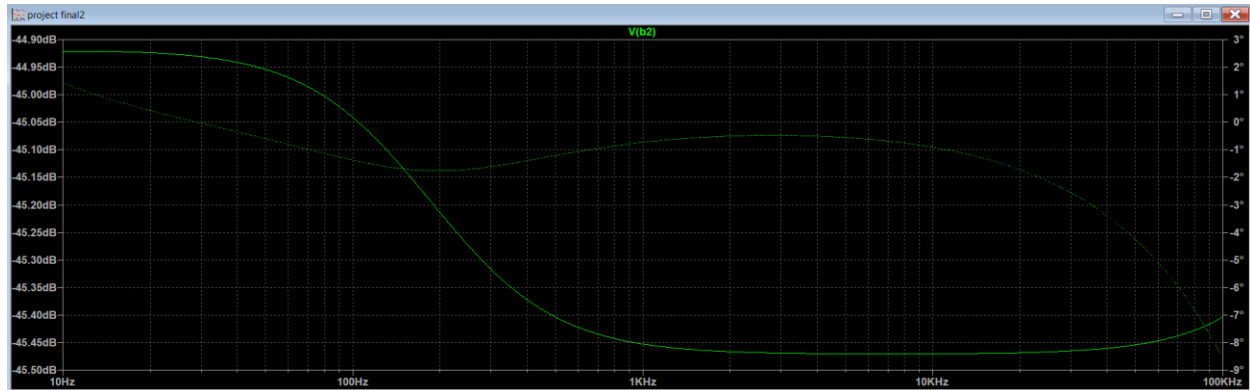


Darlington Configuration

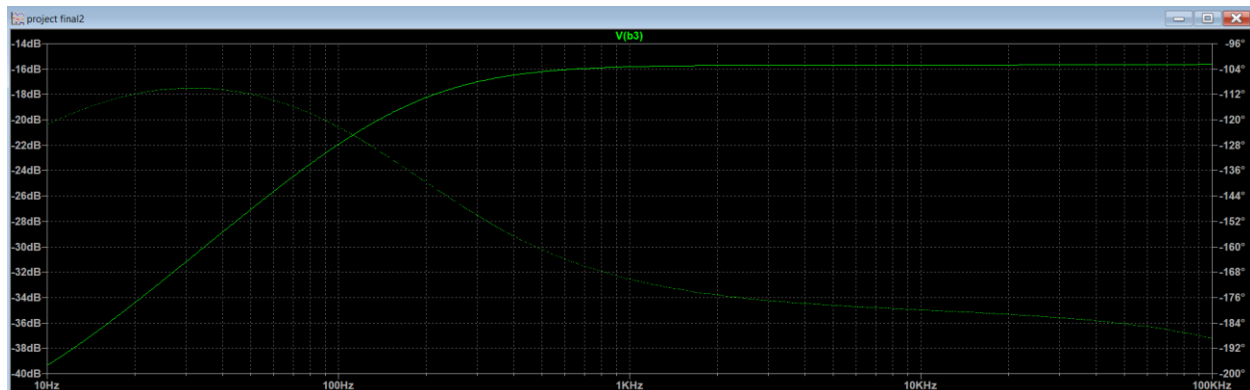


- AC Analysis

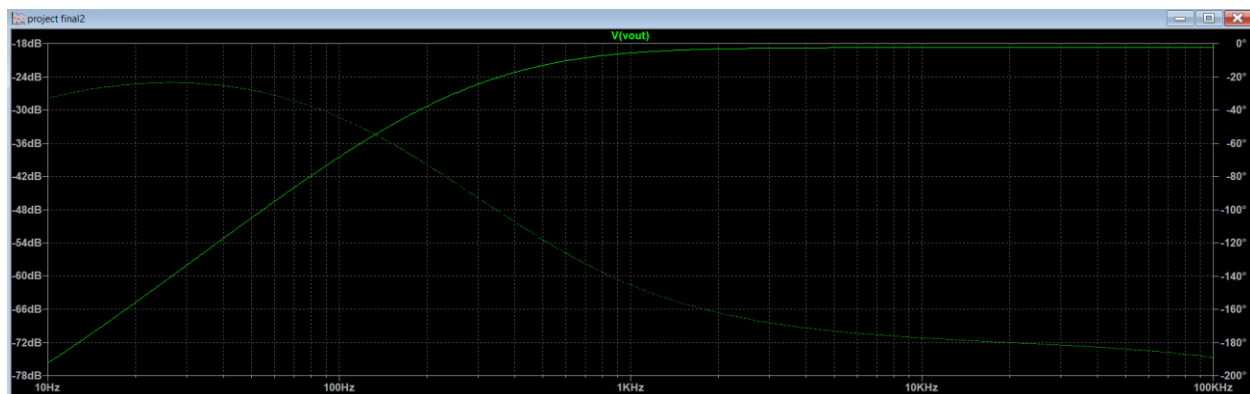
Buffer State



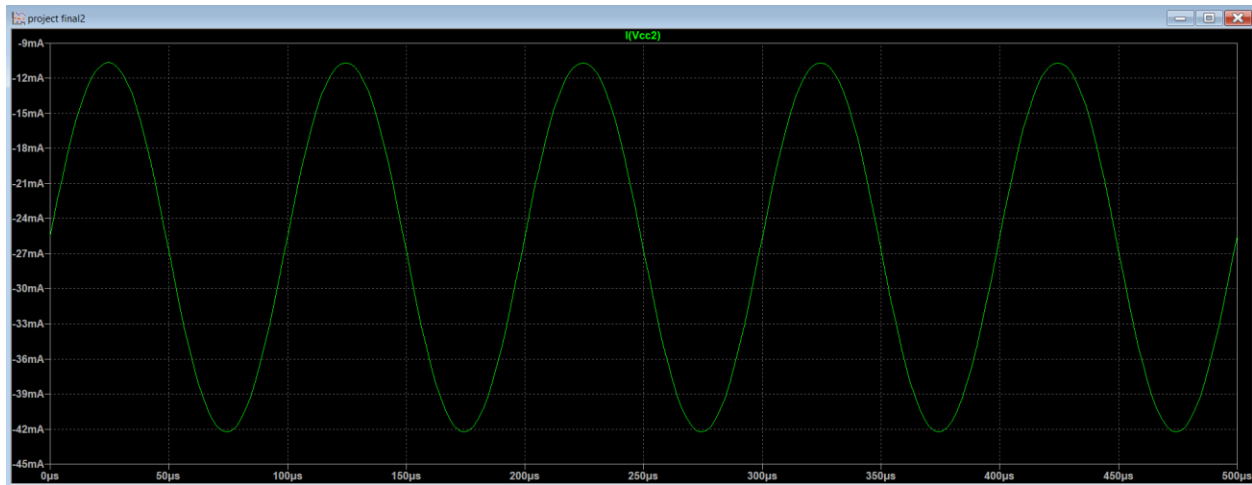
Amplifier State



Darlington Configuration



- กราฟกระแสไฟฟ้าที่ไหลออกจากแหล่งจ่าย V_{CC}



- ภาพแสดงความเพี้ยน (Error log)

Circuit: * C:\Users\acer\Documents\LTspiceXVII\project final2.asc

WARNING: Less than two connections to node NC_01. This node is used by VCC1.

WARNING: Less than two connections to node NC_02. This node is used by VCC3.

Direct Newton iteration for .op point succeeded.

N-Period=100

Fourier components of V(vout)

DC component:-3.79417e-007

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	1.000e+04	1.112e-01	1.000e+00	-177.35°	0.00°
2	2.000e+04	1.138e-03	1.023e-02	-65.02°	112.33°
3	3.000e+04	1.043e-03	9.379e-03	-173.37°	3.98°
4	4.000e+04	1.804e-04	1.622e-03	95.85°	273.20°
5	5.000e+04	2.190e-05	1.969e-04	3.89°	181.24°
6	6.000e+04	8.418e-07	7.567e-06	-74.12°	103.23°
7	7.000e+04	3.295e-06	2.962e-05	-3.75°	173.60°
8	8.000e+04	2.268e-06	2.039e-05	-69.03°	108.31°
9	9.000e+04	2.235e-06	2.010e-05	-159.49°	17.86°
10	1.000e+05	7.866e-07	7.071e-06	107.23°	284.57°

Total Harmonic Distortion: 1.397608% (1.399079%)

Date: Fri Apr 16 15:25:47 2021

Total elapsed time: 5.280 seconds.

tnom = 27

temp = 80

method = modified trap

totiter = 1900542

traniter = 1900526

tranpoints = 800265

accept = 480266

rejected = 319999

matrix size = 30

fillins = 0

solver = Normal

Matrix Compiler1: 112 opcodes 0.3/[0.2]/0.3

Matrix Compiler2: off [0.2]/0.3/0.3

คำถามในการออกแบบ

1. จงอธิบายว่าเหตุใดจึงต้องออกแบบวงจรขยายเป็นแบบหลายสเตจ และน่าจะมีปัญหาอย่างไรถ้าไม่ทำการออกแบบวงจรขยายเป็นแบบสเตจเดียวเพื่อให้ได้อัตราขยายตามที่ต้องการ

Ans ถ้าออกแบบวงจรขยายให้มีอัตราขยายตามที่ต้องการสามารถทำได้แต่ไม่สามารถสำหรับโจทย์นี้เพราะว่าในโจทย์มีการกำหนดความต้านทานขาออกของอินพุตและความต้านทานที่โหลด ซึ่งการออกแบบอัตราขยายที่มากกว่า 15 และมีการกำหนดตัวต้านทานที่ว่า ซึ่งปัญหาที่ตามมาเมื่อออกแบบวงจรด้วยวงจรสเตจเดียวคือเสียงไม่เพียงพอ เช่นที่ตัวต้านทานขาออกจากเอาต์พุตมีขนาดสูงเกินไปจนทำให้ศักย์ไฟฟ้าที่เข้าวงจรต่ำลงซึ่งทำให้อัตราขยายลดลงอย่างมากจึงต้องมีวงจร Buffer State มารองรับปัญหานี้ เป็นต้น

2. จงอธิบายหลักการในการออกแบบวงจร Common Collector สำหรับเป็นวงจร Voltage Buffer ในสเตจที่ 1 นิสิตต้องเลือกที่จะทำการไบอัส Q_1 อย่างไรเพื่อให้เหมาะสมกับความต้านทาน R_S และความต้านทานขาเข้าของวงจรขยายใน State 2

Ans เนื่องจากตัวต้านทานขาออกจากเอาต์พุตมีขนาดสูงเกินไป ($R_S = 10k\ \text{ohms}$) จนทำให้ศักย์ไฟฟ้าที่เข้าวงจรต่ำลงซึ่งทำให้อัตราขยายลดลงอย่างมากจึงต้องมีวงจร Buffer State มารองรับปัญหานี้ โดยออกแบบให้วงจรมีอัตราขยายใกล้เคียง 1 ด้วยวงจร Common Collector

3. จงอธิบายว่าเหตุใดจึงควรใช้ Darlington Configuration สำหรับเป็น State Output ในการขับโหลด ถ้าไม่ใช้วงจรนี้จะกระทบกับการออกแบบวงจรขยายใน State ที่ 3 อย่างไร

Ans สำหรับการต่อ BJT แบบธรรมดาแล้วสร้างอัตราขยายสูงๆ จะมีผลกระทบที่ Output จะเพี้ยนไม่เป็น sine wave เหมือนเดิม ดังนั้นการใช้ Darlington Configuration จะช่วยให้วงจรสามารถจ่ายกระแสมากๆ ได้โดยที่ Output ไม่ถูกกระทบ