

数字电子技术 实验指导书

编辑：赵 锋
校审：邹 甲

电气工程实验教学中心
2018年9月

实验要求

- 一、实验前必须充分预习，完成指定的预习任务。预习要求如下：
 - 1、认真阅读实验指导书，分析、掌握实验电路的工作原理，并进行必要的估算。
 - 2、完成各实验“预习要求”中指定的内容。
 - 3、熟悉实验任务。
 - 4、掌握实验中所用各仪器的使用方法及注意事项。
- 二、实验时接线要认真准确，相互仔细检查，确定无误才能接通电源，初学或没有把握应经指导教师审查同意后再接通电源。
- 三、实验时应注意观察，若发现有破坏性异常现象(例如有元件冒烟、发烫或有异味)应立即关断电源，保持现场，报告指导教师。找出原因、排除故障，经指导教师同意再继续实验。
- 四、实验过程中需要改接线时，应关断电源后才能拆、接线。
- 五、实验过程中应仔细观察实验现象，认真记录实验结果(数据、波形、现象)。所记录的实验结果经指导教师审阅签字后再拆除实验线路。
- 六、实验结束后，必须关断电源、拔出电源插头，并将仪器、设备、工具、导线等按规定整理。

重要提示

- 一、使用自锁紧插头，严禁用力拉线。拆线时，应手捏插线端并旋转轻微向上用力拔起，以防线被拉断。
- 二、使用 $\phi 0.5$ 连接线时，插拔方向垂直于面包板和小插孔，避免斜向拽线，防止线头断在插孔中。如果有断线堵塞插孔，可用小刀等工具将线头挑出。

目 录

实验一 门电路逻辑功能及测试	1
实验二 组合逻辑电路（半加器、全加器及逻辑运算）	5
实验三 触发器（一）R-S, D, JK	9
实验四 触发器(二)三态输出触发器,锁存器	12
实验五 时序电路测试及研究	15
实验六 集成计数器及寄存器	18
实验七 译码器和数据选择器	21
实验八 波形产生及单稳态触发器	23
附录: 常用集成电路芯片引脚图	26

实验一 门电路逻辑功能及测试

一、实验目的

1. 熟悉门电路逻辑功能。
2. 熟悉数字电路学习机及示波器使用方法。

二、实验仪器及材料

1. 双踪示波器
2. 器件

74LS00	二输入端四与非门	2 片
74LS20	四输入端双与非门	1 片
74LS86	二输入端四异或门	1 片
74LS04	六反相器	1 片

三、预习要求

1. 复习门电路工作原理及相应逻辑表达式。
2. 熟悉所用集成电路的引线位置及各引线用途。
3. 了解双踪示波器使用方法。

四、实验内容

实验前按学习机使用说明先检查学习机电源是否正常，然后选择实验用的集成电路，按自己设计的实验接线图接好连线。特别注意 V_{CC} 及地线不能接错，线接好后经实验指导教师检查无误方可通电实验。实验中改动接线须先断开电源，接好线后再通电实验。

1. 测试门电路逻辑功能

- (1). 选用双四输入与非门 74LS20 一片，插入面包板或芯片座，按图 1.1 接线。输入端接 $S_1 \sim S_4$ (电平开关输出插口)，输出端接电平显示发光二极管 ($D_1 \sim D_8$ 任意一个)。
- (2). 将电平开关按表 1.1 置位，分别测输出电压及逻辑状态。

表 1.1

输入				输出	
S_1	S_2	S_3	S_4	Y	电压 (V)
H	H	H	H		
L	H	H	H		
L	L	H	H		
L	L	L	H		
L	L	L	L		

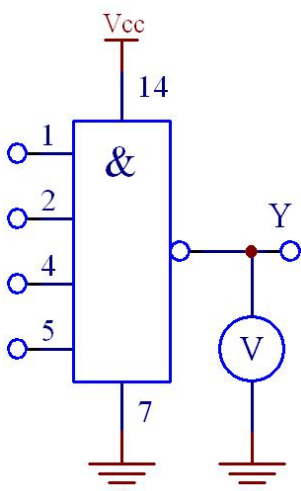


图 1.1

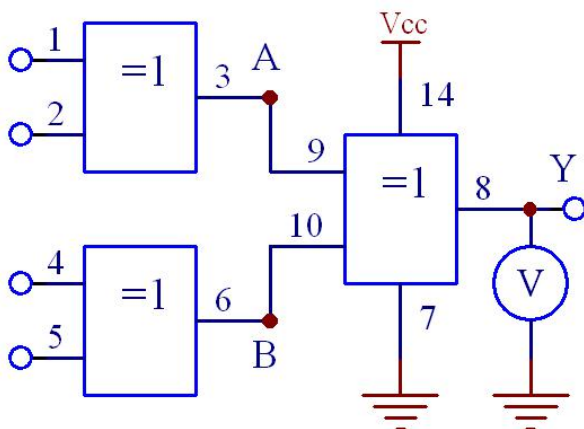


图 1.2

2. 异或门逻辑功能测试

- (1). 选二输入四异或门电路 74LS86，按图 1.2 接线，输入端 1、2、4、5 接电平开关，输出端 A、B、Y 接电平显示发光二极管。
- (2). 将电平开关按表 1.2 置位，将结果填入表中。

表 1.2

输入				输出			
				A	B	Y	Y 电压 (V)
L	L	L	L				
H	L	L	L				
H	H	L	L				
H	H	H	L				
H	H	H	H				
L	H	L	H				

3. 逻辑电路的逻辑关系

- (1). 用两片二输入四与非门 74LS00 按图 1.3、1.4 接线，将输入输出逻辑关系分别填入表 1.3、表 1.4 中。

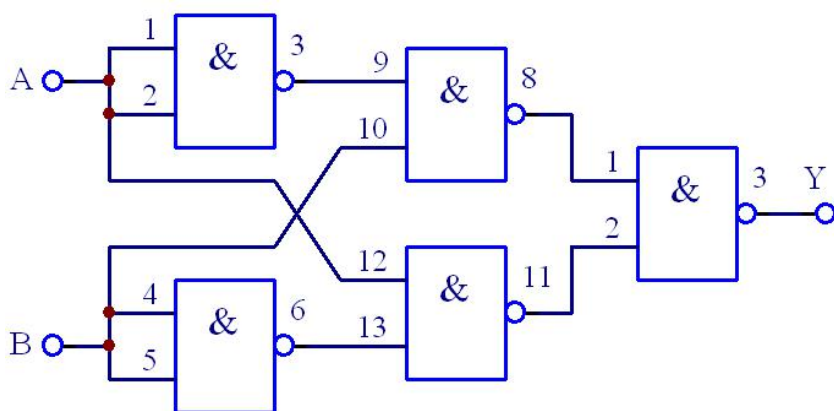


图 1.3

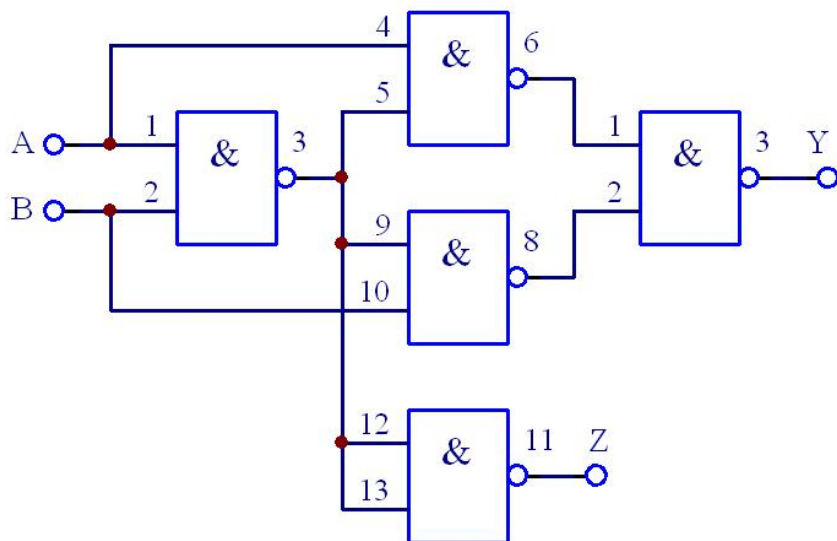


图 1.4

表 1.3

输入		输出
A	B	Y
L	L	
L	H	
H	L	
H	H	

表 1.4

输入		输出	
A	B	Y	Z
L	L		
L	H		
H	L		
H	H		

(2). 写出上面两个电路逻辑表达式。

4. 逻辑门传输延迟时间的测量。

用六反相器（非门）按图 1.5 接线，输入 80KHz 连续脉冲，用双踪示波器测输入、输出相位差，计算每个门的平均传输延迟时间的 t_{pd} 值。

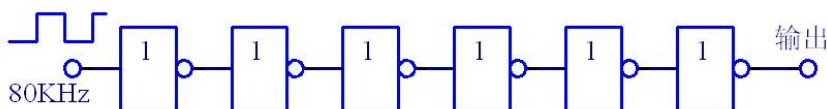


图 1.5

5. 利用与非门控制输出。

用 74LS00 按图 1.6 接线，

S 接任一电平开关，用示波器观察 S 对输出脉冲的控制作用。

6. 用与非门组成其它门电路并测试验证。

(1). 组成或非门。

用一片二输入端四与非门组成或非门

$$Y = \overline{A + B} = \overline{A} \cdot \overline{B}$$

画出电路图，测试并填表 1.5。

(2). 组成异或门。

(a) 将异或门表达式转化为与非门表达式。

(b) 画出逻辑电路图。

(c) 测试并填表 1.6。

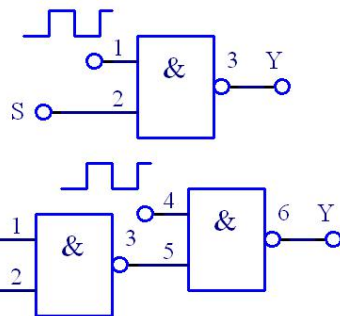


图 1.6

表 1.5

输入		输出
A	B	Y
L	L	
L	H	
H	L	
H	H	

表 1.6

输入		输出
A	B	Y
L	L	
L	H	
H	L	
H	H	

五、实验报告

1. 按各步骤要求填表并画逻辑图。

2. 回答问题：

(1) 怎样判断门电路逻辑功能是否正常？

(2) 与非门一个输入接连续脉冲，其余端什么状态时允许脉冲通过？什么状态时禁止脉冲通过？

(3) 异或门又称可控反相门，为什么？

实验二 组合逻辑电路（半加器全加器及逻辑运算）

一、实验目的

1. 掌握组合逻辑电路的功能调试。
2. 验证半加器和全加器的逻辑功能。
3. 学会二进制数的运算规律。

二、实验仪器及材料

器件

74LS00	二输入端四与非门	3 片
74LS86	二输入端四异或门	1 片
74LS54	四组输入与或非门	1 片

三、预习要求

1. 预习组合逻辑电路的分析方法。
2. 预习用与非门和异或门构成的半加器、全加器的工作原理。
3. 预习二进制数的运算。

四、实验内容

1. 组合逻辑电路功能测试。

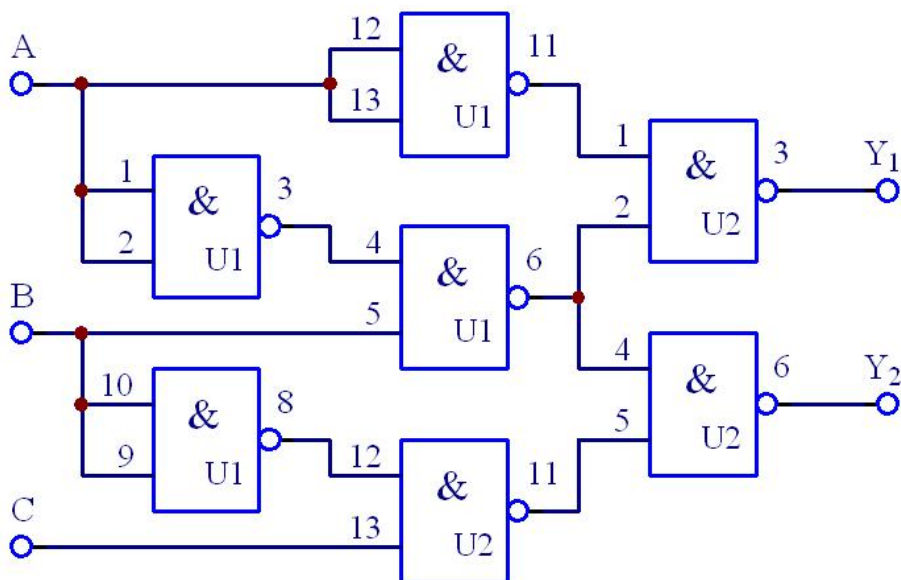


图 2.1

- (1). 用 2 片 74LS00 组成图 2.1 所示逻辑电路。为便于接线和检查，在图中要注明芯片编号及各引脚对应的编号。
- (2). 图中 A、B、C 接电平开关，Y₁、Y₂ 接发光管电平显示。
- (3). 按表 2.1 要求，改变 A、B、C 的状态填表并写出 Y₁、Y₂ 逻辑表达式。
- (4). 将运算结果与实验比较。

表 2.1

输入			输出	
A	B	C	Y ₁	Y ₂
0	0	0		
0	0	1		
0	1	1		
1	1	1		
1	1	0		
1	0	0		
1	0	1		
0	1	0		

2. 测试用异或门（74LS86）和与非门组成的半加器的逻辑功能。
根据半加器的逻辑表达式可知，半加器 Y 是 A、B 的异或，而进位 Z 是 A、B 相与，故半加器可用一个集成异或门和二与非门组成如图 2.2。

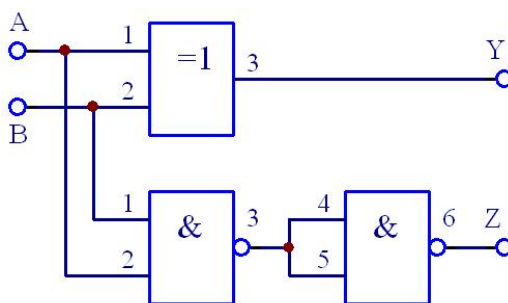


图 2.2

- (1). 在学习机上用异或门和与门
接成以上电路，A、B 接电平开关，Y、Z 接电平显示。
- (2). 按表 2.2 要求改变 A、B 状态，填表 2.2。

表 2.2

输入端	A	0	1	0	1
	B	0	0	1	1
输出端	Y				
	Z				

3. 测试全加器的逻辑功能。
- (1). 写出图 2.3 电路的 Y、Z、X₁、X₂、X₃ 的逻辑表达式。
- (2). 根据逻辑表达式列真值表。
- (3). 根据真值表画逻辑函数 S_i、C_i 的卡诺图。

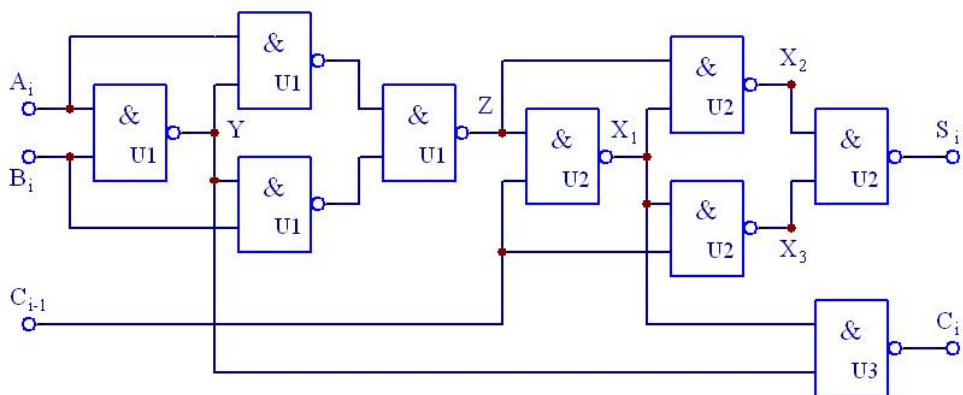


图 2.3

B_i, C_{i-1}		$S_i =$	$Y =$	$Z =$	$X_1 =$
A_i		0 0	0 1	1 1	1 0
0					
1					

B_i, C_{i-1}		$C_i =$				$X_2 =$	$X_3 =$
A_i		0 0	0 1	1 1	1 0		
0							
1							

(4). 填写表 2.3 各点状态。

表 2.3

A_i	B_i	C_{i-1}	Y	Z	X_1	X_2	X_3	S_i	C_i
0	0	0							
0	1	0							
1	0	0							
1	1	0							
0	0	1							
0	1	1							
1	0	1							
1	1	1							

(5). 按原理图选择与非门并接线进行测试, 将测试结果填入表 2.4, 并与上表进行比较看逻辑功能是否一致.

表 2.4

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0		
0	1	0		
1	0	0		
1	1	0		
0	0	1		
0	1	1		
1	0	1		
1	1	1		

4. 测试用异或、与或和非门组成的全加器的逻辑功能。

全加器可以用两个半加器和两个与门一个或门组成。在实验中, 常用一块双异或门、一个与或非门和一个与非门实现。

- (1). 画出用异或门、与或非门和非门实现全加器的逻辑电路图, 写出逻辑表达式。
- (2). 找出异或门、与或非门和非门器件按自己画出的图接线。接线时注意与或非门中不用的与门输入端接地。
- (3). 当输入端 A_i 、 B_i 及 C_{i-1} 为下列情况时, 用万用表测量 S_i 和 C_i 的电位并将其转为逻辑状态填入表格 2.5。

表 2.5

输入端	A_i	0	0	0	0	1	1	1	1
	B_i	0	0	1	1	0	0	1	1
	C_{i-1}	0	1	0	1	0	1	0	11
输出端	S_i								
	C_i								

五、实验报告

1. 整理实验数据、图表并对实验结果进行分析讨论。
2. 总结组合逻辑电路的分析方法。

实验三 触发器（一）R—S、D、J—K

一、实验目的

1. 熟悉并掌握 R—S、D、J—K 触发器的构成、工作原理和功能测试方法。
2. 学会正确使用触发器集成芯片。
3. 了解不同逻辑功能 FF 相互转换的方法。

二、实验仪器及材料

1. 双踪示波器
2. 器件

74LS00	二输入端四与非门	1 片
74LS74	双 D 触发器	1 片
74LS112	双 J—K 触发器	1 片

三、实验内容

1. 基本 R—S FF 功能测试：

两个 TTL 与非门首尾相接构成的基本 R—S FF 的电路如图 3.1 所示。

- (1) 试按下面的顺序在 $\overline{S_d}$ 、 $\overline{R_d}$ 端加信号：

$\overline{S_d} = 0$	$\overline{R_d} = 1$
$\overline{S_d} = 1$	$\overline{R_d} = 1$
$\overline{S_d} = 1$	$\overline{R_d} = 0$
$\overline{S_d} = 1$	$\overline{R_d} = 1$

观察并记录 FF 的 Q、 \overline{Q} 端的状态，将结果填入下表 3.1 中，并说明在上述各种输入状态下 FF 执行的是什么功能？

表 3.1

$\overline{S_d}$	$\overline{R_d}$	Q	\overline{Q}	逻辑功能
0	1			
1	1			
1	0			
1	1			

- (2) $\overline{S_d}$ 端接低电平， $\overline{R_d}$ 端加脉冲。

- (3) $\overline{S_d}$ 端接高电平， $\overline{R_d}$ 端加脉冲。

- (4) 连接 $\overline{R_d}$ 、 $\overline{S_d}$ 端并加脉冲

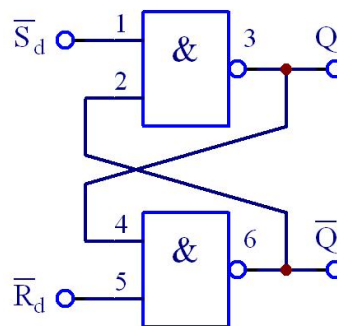


图 3.1 基本 R—S FF 电路

记录并观察 (2)、(3)、(4) 三种情况下, Q 、 \overline{Q} 端的状态. 从中你能否总结出基本 R—S FF 的 Q 或 \overline{Q} 端的状态改变和输入端 $\overline{S_d}$, $\overline{R_d}$ 的关系。

- (5) 当 $\overline{S_d}$ 、 $\overline{R_d}$ 都接低电平时, 观察 Q 、 \overline{Q} 端的状态。当 $\overline{S_d}$ 、 $\overline{R_d}$ 同时由低电平跳为高电平时, 注意观察 Q 、 \overline{Q} 端的状态, 重复 3~5 次看 Q 、 \overline{Q} 端的状态是否相同, 以正确理解“不定”状态的含义。

2. 维持—阻塞型 D 触发器功能测试

双 D 型正边沿维持—阻塞型触发器 74LS74 的逻辑符号如图 3.2 所示。

图中 $\overline{S_d}$ 、 $\overline{R_d}$ 端为异步置 1 端、置 0 端 (或称异步置位、复位端)。CP 为时钟脉冲端。

试按下面步骤做实验:

- (1) 分别在 $\overline{S_d}$ 、 $\overline{R_d}$ 端加低电平, 观察并记录 Q 、 \overline{Q} 端的状态。

- (2) 令 $\overline{S_d}$ 、 $\overline{R_d}$ 端为高电平, D 端分别接高、低电平, 用单动脉冲作为 CP, 观察并记录当 CP 为 0、 \uparrow 、1、 \downarrow 时 Q 端状态的变化。

- (3) 当 $\overline{S_d} = \overline{R_d} = 1$ 、CP=0 (或 CP=1). 改变 D 端信号, 观察 Q 端的状态是否变化? 整理上述实验数据, 将结果填入下表 3.2 中。

- (4) 令 $\overline{S_d} = \overline{R_d} = 1$, 将 D 和 \overline{Q} 端相连, CP 加连续脉冲, 用双踪示波器观察并记录 Q 相对于 CP 的波形。

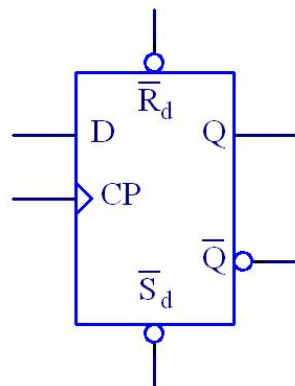


图 3.2 D FF 逻辑符号

表 3.2

$\overline{S_d}$	$\overline{R_d}$	CP	D	Q^n	Q^{n+1}
0	1	X	X	0	
				1	
1	0	X	X	0	
				1	
1	1	\downarrow	0	0	
				1	
1	1	\downarrow	1	0	
				1	

3. 负边沿 J—K 触发器功能测试

双 J—K 负边沿触发器 74LS112 芯片的逻辑符号如图 3.3 所示。

自拟实验步骤，测试其功能，并将结果填入表 3.3 中。

若令 $J=K=1$ 时，CP 端加连续脉冲，用双踪示波器观察 $Q \sim CP$ 波形，和 D FF 的 D 端和 \bar{Q} 端相连时观察到的 Q 端的波形相比较，有何异同点？

4. 触发器功能转换

- (1). 将 D 触发器和 J—K 触发器转换成 T' 触发器，列出表达式，画出实验电路图。
- (2). 接入连续脉冲，观察各触发器 CP 及 Q 端波形。比较两者关系。
- (3). 自拟实验数据表并填写之。

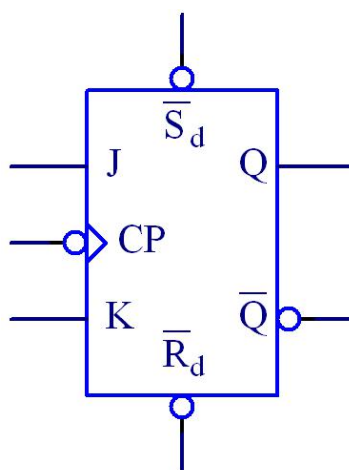


图 3.3 J—K FF 逻辑符号

表 3.3

$\overline{S_d}$	$\overline{R_d}$	CP	J	K	Q^n	
0	1	X	X	X	X	
1	0	X	X	X	X	
1	1	┐	0	X	0	
1	1	┐	1	X	0	
1	1	┐	X	0	1	
1	1	┐	X	1	1	

四、实验报告

1. 整理实验数据并填表。
2. 写出实验内容 3、4 的实验步骤及表达式。
3. 画出实验 4 的电路图及相应表格。
4. 总结各类触发器特点。

实验四 三态输出触发器及锁存器

一、实验目的

1. 掌握三态触发器和锁存器的功能及使用方法。
2. 学会用三态触发器和锁存器构成的功能电路。

二、实验仪器及材料

1. 双踪示波器
2. 器件：

CD4043	三态输出四 R—S 触发器	一片
74LS75	四位 D 锁存器	一片

三、实验内容

1. 锁存器功能及应用

图 4.1 为 74LS75 四 D 锁存器，每两个 D 锁存器由一个锁存信号 G 控制，当 G 为高电平时，输出端 Q 随输入端 D 信号的状态变化，当 G 由高变为低时，Q 锁存在 G 端由高变低前 Q 的电平上。

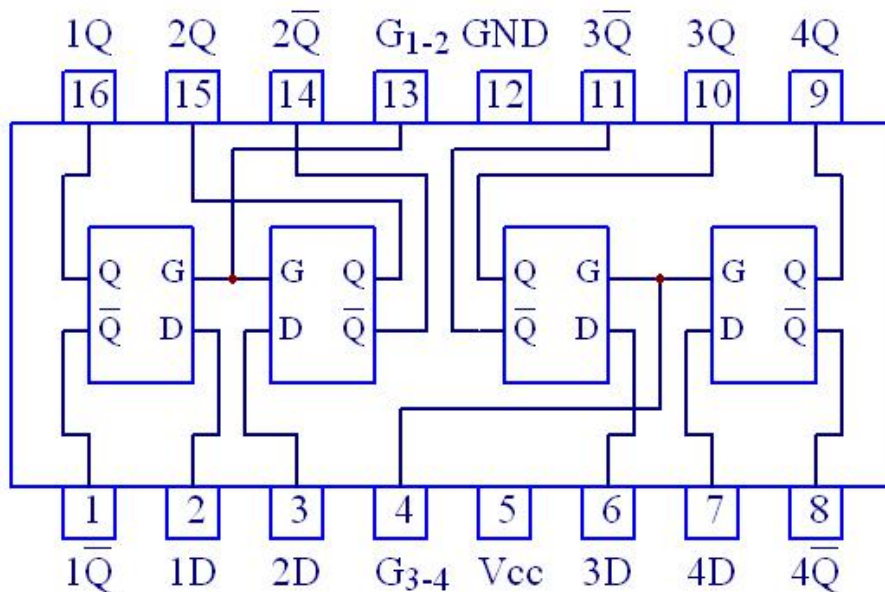


图 4.1

- (1). 验证图 4.1 锁存器功能，并列出功能状态表。
- (2). 用 74LS75 组成数据锁存器按图 4.2 接线，1D~4D 接逻辑开关作为数据输入端，G₁₋₂ 和 G₃₋₄ 接到一起作为锁存选通信号 ST，1Q~4Q 分别接到 7 段译码器的 A-D 端，数据输出由数码管显示。
设：逻辑电平 H 为“1”、L 为“0”

ST=1, 输入 0001、0011、0111, 观察数码管显示。

ST=0, 输入不同数据, 观察输出变化。

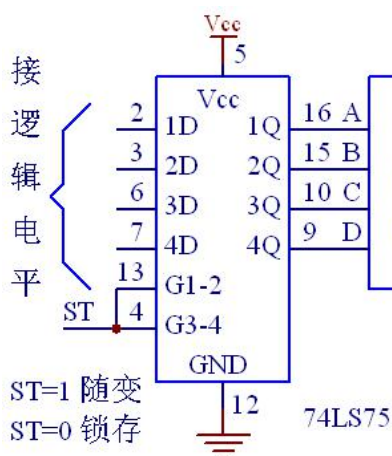


图 4.2

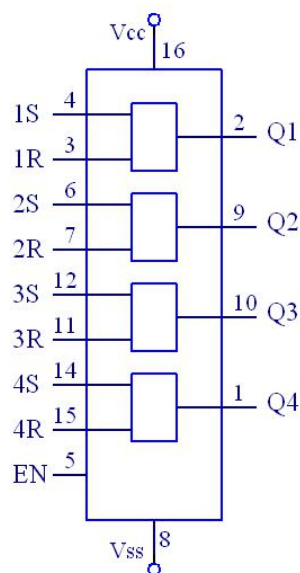


图 4.3

2. 三态输出触发器功能及应用

4043 为三态 R-S 触发器, 其包含有 4 个 R-S 触发器单元, 输出端均用 CMOS 传输门对输出状态施加控制。当传输门截止时, 电路输出呈“三态”, 即高阻状态。管脚排列见图 4.3。

(1). 三态输出 R-S 触发器功能测试

验证 R-S 触发器功能, 并列出功能表。

注意: (a). 不用的输入端必须接地, 输出端可悬空。

(b). 注意判别高阻状态, 参考方法: 输出端为高阻状态时用万用表电压档测量电压为零, 用电阻档测量电阻为无穷大。

(2). 用三态触发器 4043 构成总线数据锁存器

图 4.4 是用 4043 和一个四 2 输入端与非门 4081 (数据选通器) 及一片 4069 (做缓冲器) 构成的总线数据锁存器。

(A). 分析电路的工作原理。(提示: ST 为选通端, R 为复位端, EN 为三态功能控制端)。

(B). 写出输出端 Q 与输入端 A、控制端 ST、EN 的逻辑关系。

(C). 按图接线, 测试电路功能, 验证 (1) 的分析。

注意: 4043 的 R 和 EN 端不能悬空, 可接到逻辑开关上。

四、思考和选做

- 图 4.2 中, 输出端 Q 与输入端 A 的相位是否一致? 如果想使输出端与输入端完全一致, 应如何改动电路?
- 如果将输入端 A 接不同频率脉冲信号, 输出结果如何? 试试看。

五、实验报告

1. 总结三态输出触发器的特点。
2. 整理并画出以 4043 和 74LS75 的逻辑功能表。
3. 比较图 4.2 和图 4.4 锁存器的异同，总结锁存器的组成、功能及应用。

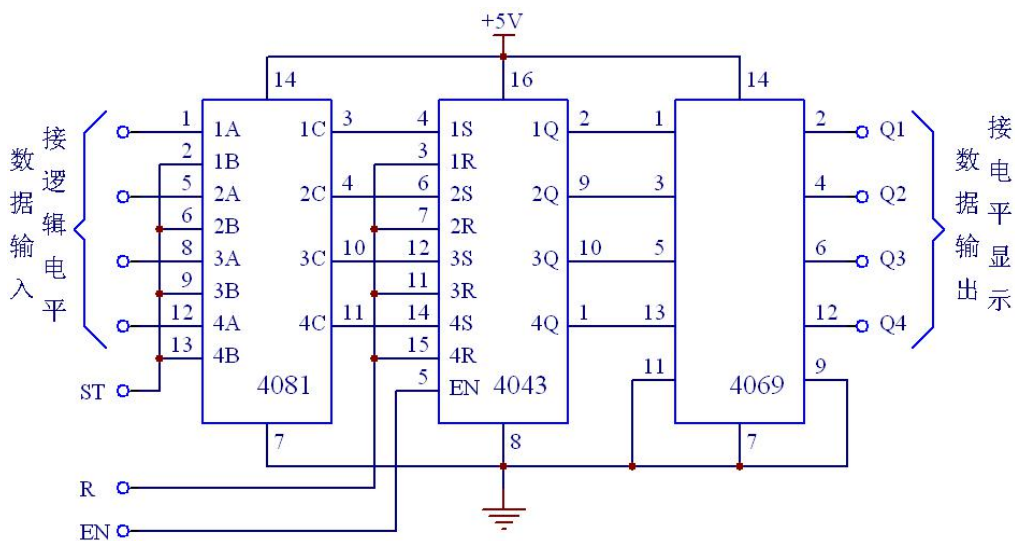


图 4.4

实验五 时序电路测试及研究

一、实验目的

1. 掌握常用时序电路分析、设计及测试方法。
2. 训练独立进行实验的技能。

二、实验仪器及材料

1. 双踪示波器

2. 器件:	74LS73	双 J—K 触发器	2 片
	74LS175	四 D 触发器	1 片
	74LS10	三输入端三与非门	1 片
	74LS00	二输入端四与非门	1 片

三、实验内容

1. 异步二进制计数器

(1). 按图 5.1 接线。

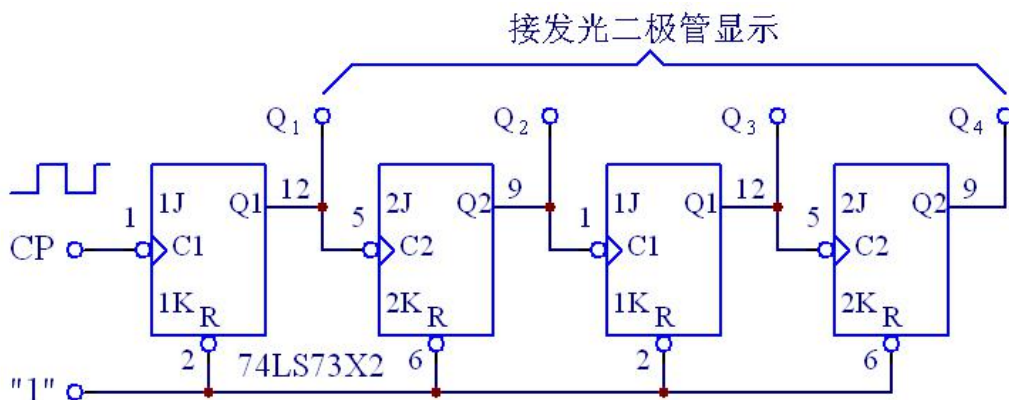


图 5.1

- (2). 由 CP 端输入单脉冲，测试并记录 $Q_1 \sim Q_4$ 端状态及波形。
- (3). 试将异步二进制加法计数改为减法计数，参考加法计数器，要求实验并记录。

2. 异步二—十进制加法计数器

(1). 按图 5.2 接线。

Q_1 、 Q_2 、 Q_3 、 Q_4 4 个输出端分别接发光二极管显示，CP 端接连续脉冲或单脉冲。

- (2). 在 CP 端接连续脉冲，观察 CP、 Q_1 、 Q_2 、 Q_3 及 Q_4 的波形。
- (3). 画出 CP、 Q_1 、 Q_2 、 Q_3 及 Q_4 的波形。

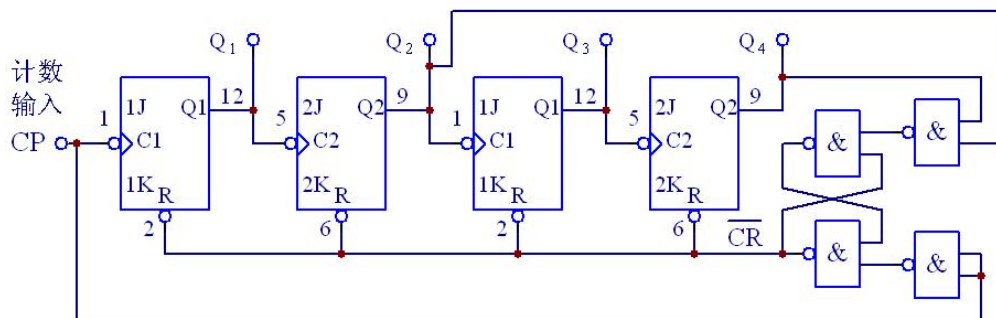


图 5.2

3. 自循环移位寄存器——环形计数器.

(1). 按图 5.3 接线, 将 Q_1 、 Q_2 、 Q_3 、 Q_4 置为 1000, 用单脉冲计数, 记录各触发器状态。

改为连续脉冲计数, 并将其中一个状态为“0”的触发器置为“1”(模拟干扰信号作用的结果), 观察计数器能否正常工作。分析原因。

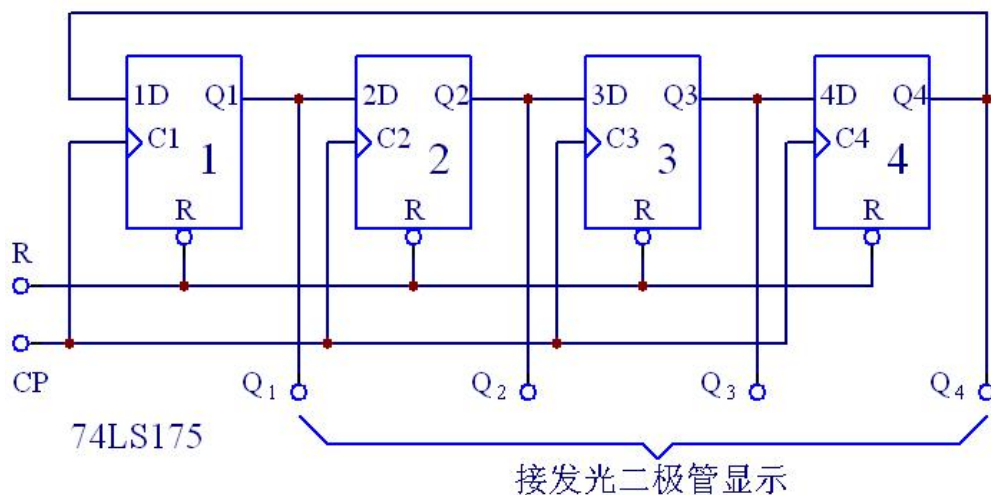


图 5.3

(2). 按图 5.4 接线, 与非门用 74LS10 三输入端三与非门重复上述实验, 对比实验结果, 总结关于自启动的体会。

四、实验报告

1. 画出实验内容要求的波形及记录表格。
2. 总结时序电路特点。

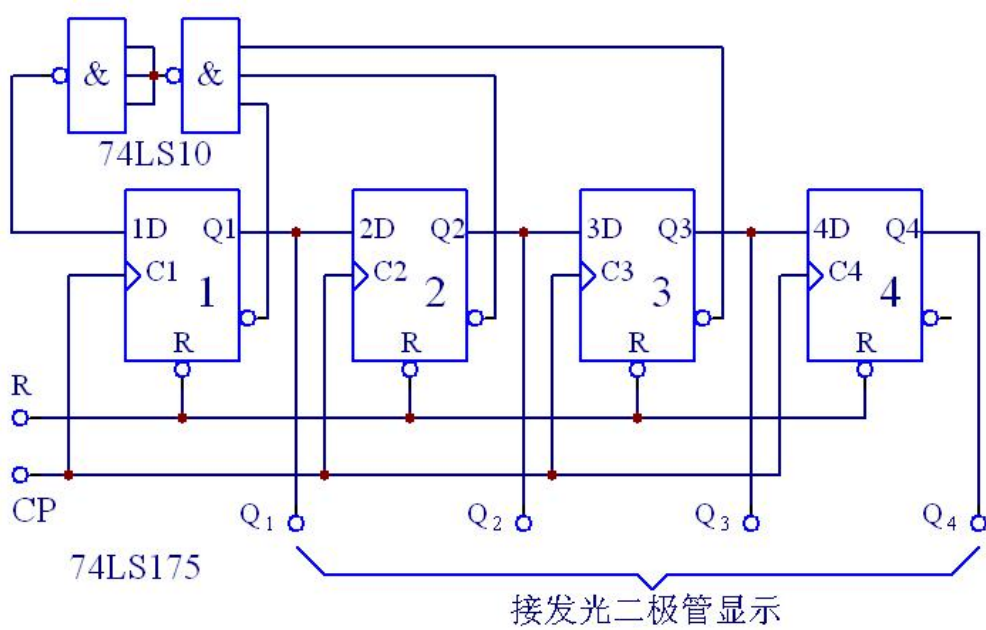


图 5.4

实验六 集成计数器及寄存器

一、实验目的

- 1. 熟悉集成计数器逻辑功能和各控制端作用。
- 2. 掌握计数器使用方法。

二、实验仪器及材料

- 1. 双踪示波器
- 2. 器件

74LS90	十进制计数器	2 片
74LS00	二输入端四与非门	1 片

三、实验内容及步骤

1. 集成计数器 74LS90 功能测试。

74LS90 是二—五—十进制异步计数器。

逻辑简图为图 6.1 所示：

74LS90 具有下述功能：

- 直接置 0 ($R_{0(1)} \cdot R_{0(2)}=1$)，
直接置 9 ($S_{9(1)} \cdot S_{9(2)}=1$)。
- 二进制计数 (CP_1 输入 Q_A 输出)
- 五进制计数 (CP_2 输入 $Q_D、Q_C、Q_B$ 输出)
- 十进制计数 (两种接法如图 6.2 (A)、(B) 所示)

按芯片引脚图分别测试上述功能，并填入表 6.1、表 6.2 中。

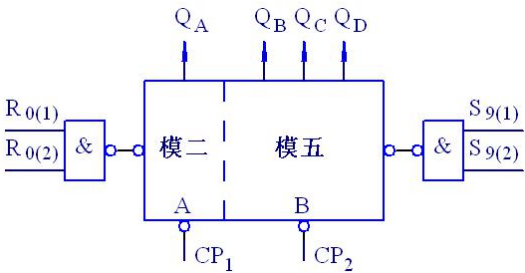


图 6.1 74LS90 逻辑图

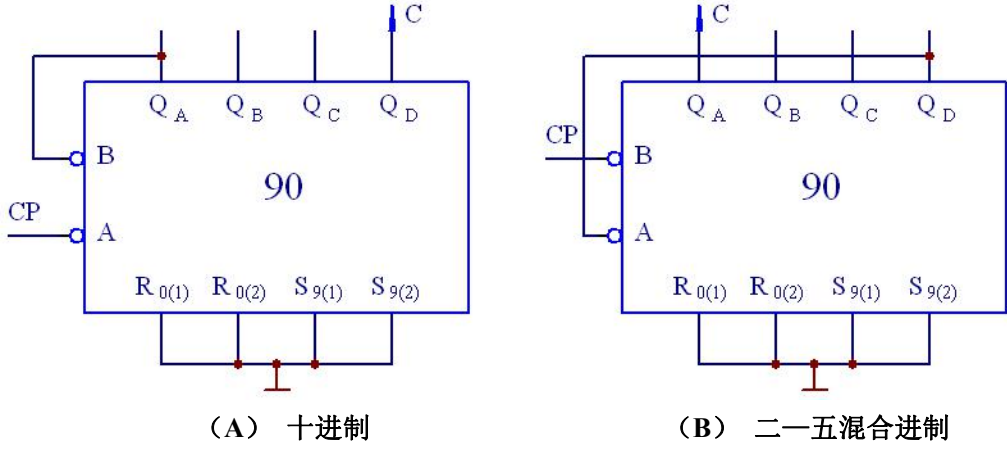


图 6.2 十进制计数器

2. 计数器级连

分别用 2 片 74LS90 计数器级连成二—五混合进制、十进制计数器。

- (1) 画出连线电路图。
- (2) 按图接线，并将输出端接到显示数码管的相应输入端，用单脉冲作为输入脉冲验证设计是否正确。
- (3) 画出四位十进制计数器连接图并总结多级计数级连规律。

表 6.1 功能表

R ₀₍₁₎	R ₀₍₂₎	S ₉₍₁₎	S ₉₍₂₎	Q _D	Q _C	Q _B	Q _A
H	H	L	X				
H	H	X	L				
X	X	H	H				
X	L	X	L				
L	X	L	X				
L	X	X	L				
X	L	L	X				

表 6.2 进制输出

计数	二一五混合进制输出				计数	十进制输出			
	Q _A	Q _D	Q _C	Q _B		Q _D	Q _C	Q _B	Q _A
0					0				
1					1				
2					2				
3					3				
4					4				
5					5				
6					6				
7					7				
8					8				
9					9				

3. 任意进制计数器设计方法

采用脉冲反馈法（称复位法或置位法），可用 74LS90 组成任意模（M）计数器。图 6.3 是用 74LS90 实现模 7 计数器的两种方案，图（A）采用复位法，即计数计到 M 异步清 0。图（B）采用置位法，即计数计到 M-1 异步置 9。

实验七 译码器和数据选择器

一、实验目的

1. 熟悉集成译码器。
2. 了解集成译码器应用。

二、实验仪器及材料

1. 双踪示波器
2. 器件

74LS139	2—4 线译码器	1 片
74LS153	双 4 选 1 数据选择器	1 片
74LS00	二输入端四与非门	1 片

三、实验内容

1. 译码器功能测试

将 74LS139 译码器按图 7.1 接线，按表 7.1 输入电平置位，填输出状态表。

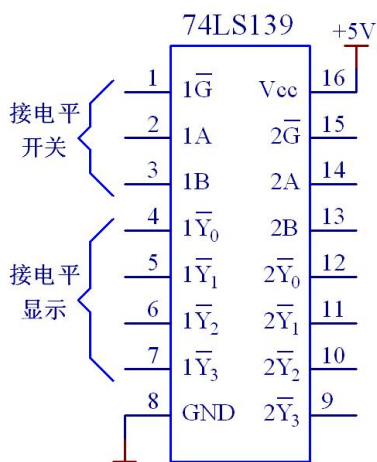


图 7.1

表 7.1

输入			输出			
使能	选择					
G	B	A	Y ₀	Y ₁	Y ₂	Y ₃
H	X	X				
L	L	L				
L	L	H				
L	H	L				
L	H	H				

2. 译码器转换

将双 2—4 线译码器转换为 3—8 线译码器。

- (1) 画出转换电路图。
- (2) 在学习机上接线并验证设计是否正确。
- (3) 设计并填写该 3—8 线译码器功能表，画出输入、输出波形。

3. 数据选择器的测试及应用

- (1) 将双 4 选 1 数据选择器 74LS153 参照图 7.2 接线，按表 7.2 测试其功能并填写表格。
- (2) 将学习机脉冲信号源中 4 个不同频率固定脉冲的信号接到数据选择器的 4

个输入端，将选择端置位，使输出端可分别观察到 4 种不同频率脉冲信号。
 (3). 分析上述实验结果并总结数据选择器作用，并将其转化成 8 选 1 选择器。

四、实验报告

1. 画出实验要求的波形图。
2. 画出实验内容 2、3 的接线图。
3. 总结译码器和数据选择的使用体会。

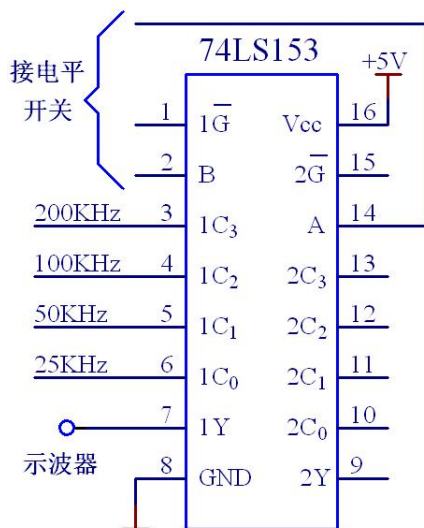


图 7. 2

表 7. 2

选择端	数据输入端				输出控制	输出
B A	C ₀	C ₁	C ₂	C ₃	G	Y
X X	X	X	X	X	H	
L L	L	X	X	X	L	
L L	H	X	X	X	L	
L H	X	L	X	X	L	
L H	X	H	X	X	L	
H L	X	X	L	X	L	
H L	X	X	H	X	L	
H H	X	X	X	L	L	
H H	X	X	X	H	L	

实验八 波形产生及单稳态触发器

一、实验目的

1. 熟悉多谐振荡器的电路特点及振荡频率估算方法。
2. 掌握单稳态触发器的使用。

二、实验仪器及材料

1. 双踪示波器
2. 器件：

74LS00	二输入端四与非门	1 片
CD4069	六反相器	1 片
74LS04	六反相器	1 片
电位器 10k Ω		1 只

三、实验内容

1. 多谐振荡器

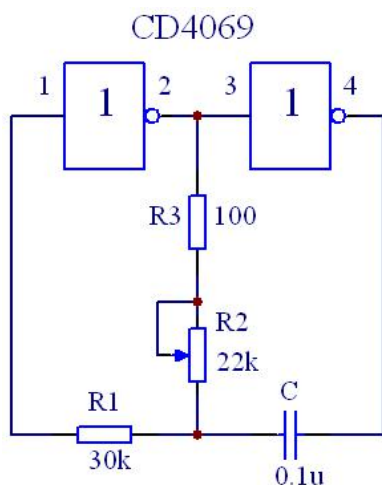


图 8.1

(1). 由 CMOS 门构成多谐振荡器，电路取值一般应满足 $R_1 = (2 \sim 10)(R_2 + R_3)$ ，周期 $T \approx 2.2(R_2 + R_3)C$ 。在学习机上按图 8.1 接线，并测试频率范围。若 C 不变，要想输出 1KHz 频率波形，计算 R_2 的值并验证，分析误差。

若要实现 10KHz~100KHz 频率范围，选用上述电路并自行设计参数，接线实验并测试。

(2). 由 TTL 门电路构成多谐振荡器
按图 8.2 接线，用示波器测量频率变化范围，观测 A、B、 U_O 各点波形并记录。

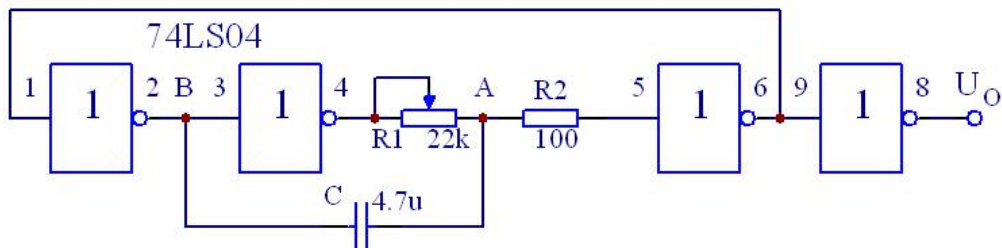


图 8.2

2. 单稳态触发器

(1). 用一片 74LS00 接成如图 8.3 所示电路，输入脉冲用上面实验中由 CMOS 门电路构成的多谐振荡器所产生的脉冲。

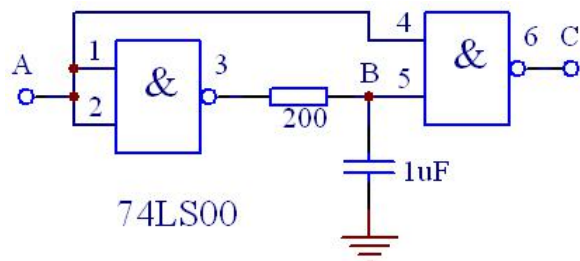


图 8.3

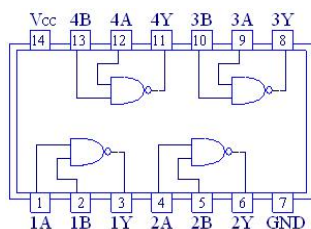
(2). 选三个频率（易于观察）记录 A、B、C 上各点波形。

(3). 若要改变输出波形宽度（例如增加）应如何改变电路参数？用实验验证。

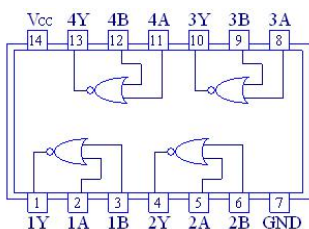
四、实验报告

1. 整理实验数据及波形。
2. 画出振荡器与单稳态触发器联调的实验电路图。
3. 写出实验中各电路脉宽估算值，并与实验结果对照分析。

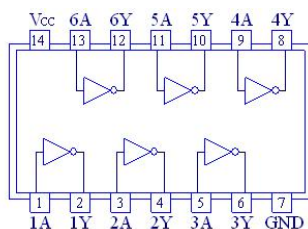
附录：TPE-D 型数字电路实验箱常用集成电路引脚图



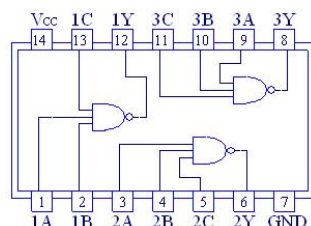
74LS00



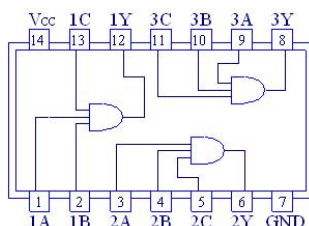
74LS02



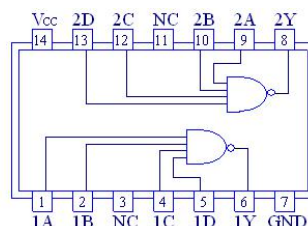
74LS04



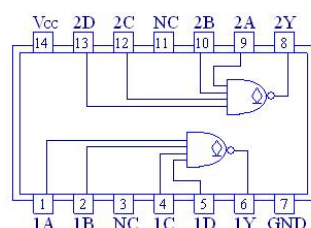
74LS10



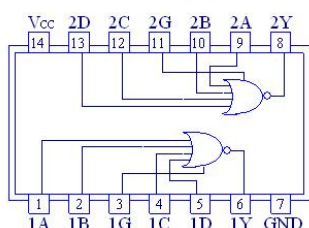
74LS11



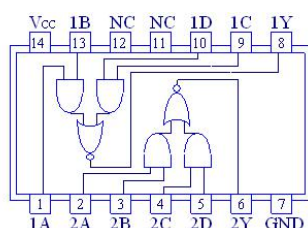
74LS20



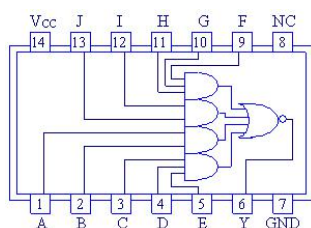
74LS22



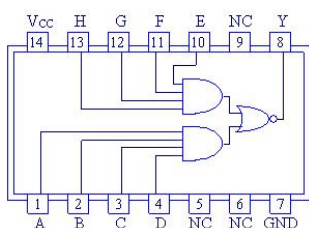
74LS25



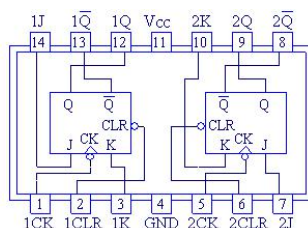
74LS51



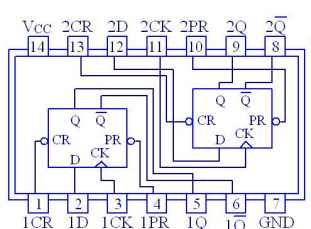
74LS54



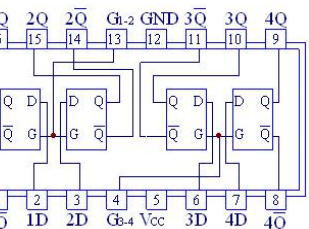
74LS55



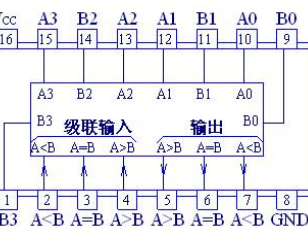
74LS73



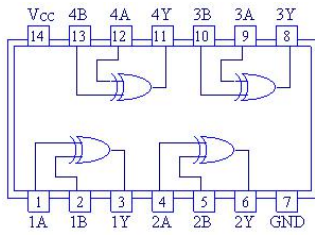
74LS74



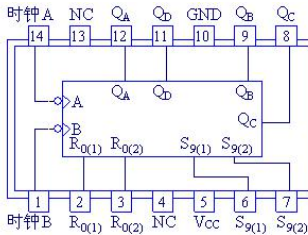
74LS75



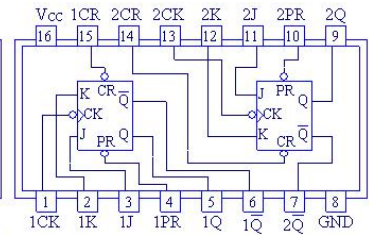
74LS85



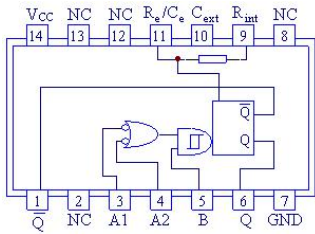
74LS86



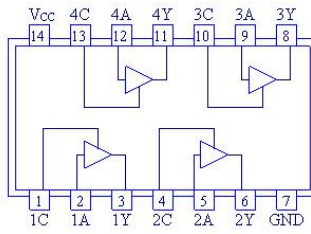
74LS90



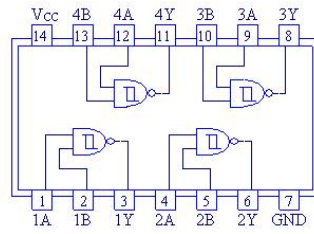
74LS112



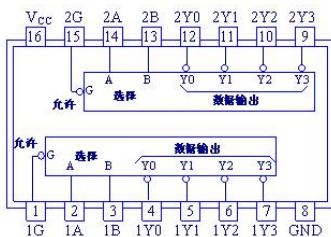
74LS121



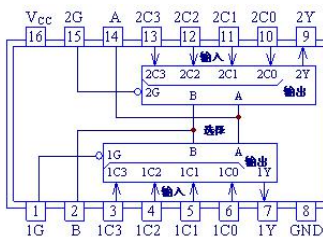
74LS126



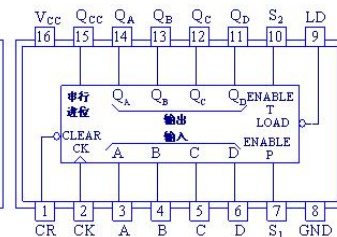
74LS132



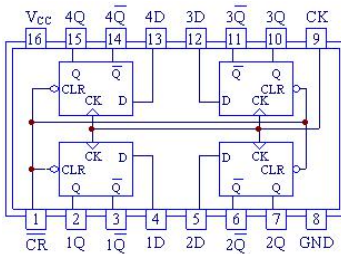
74LS139



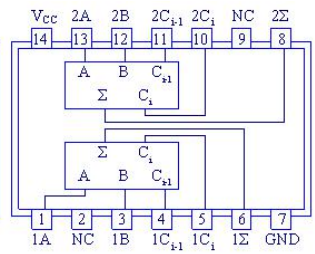
74LS153



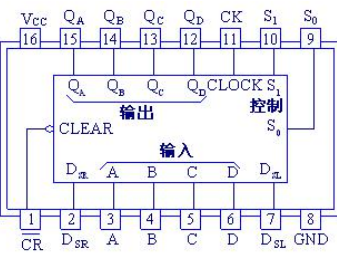
74LS160/161



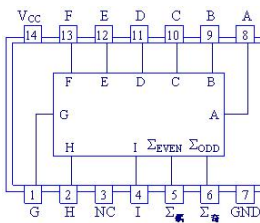
74LS175



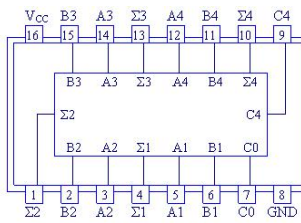
74LS183



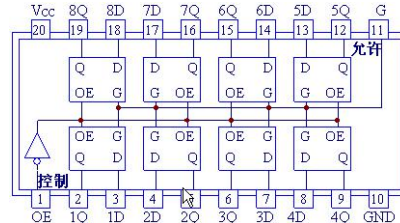
74LS194



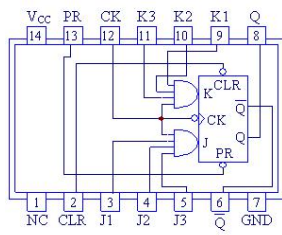
74LS280



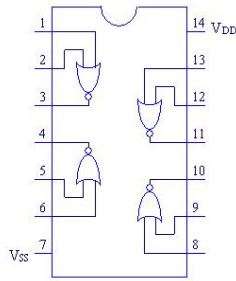
74LS283



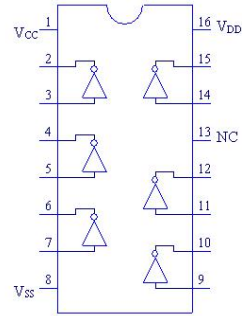
74LS373



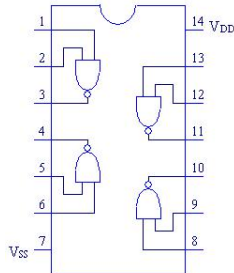
74H72



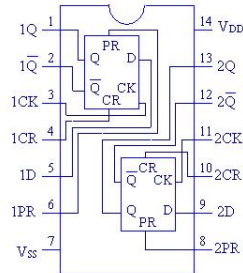
CD4001B



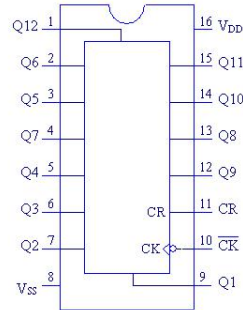
CD4009B



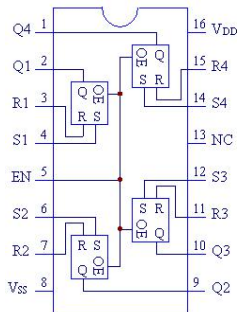
CD4011B



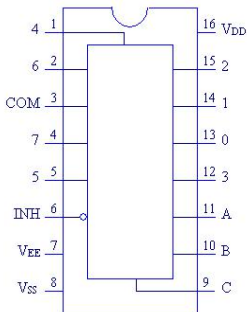
CD4013B



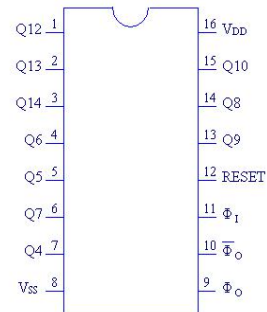
CD4040B



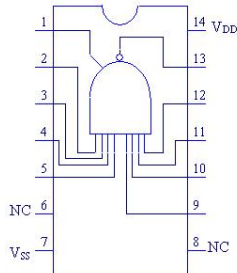
CD4043



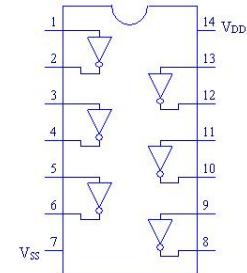
CD4051B



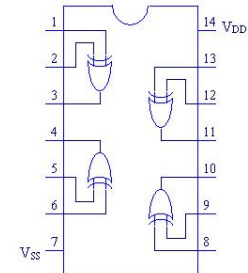
CD4060B



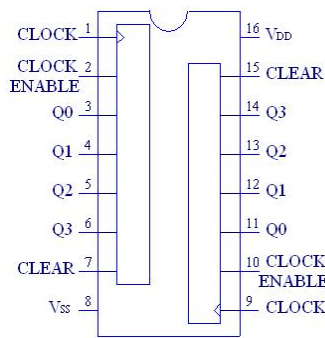
CD4068B



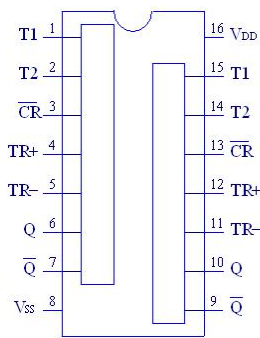
CD4069B



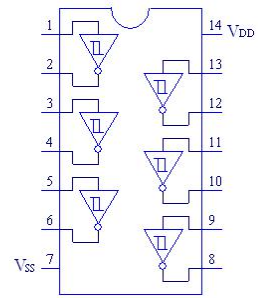
CD4070B



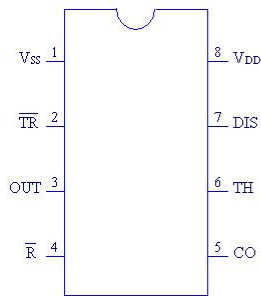
CD4520B



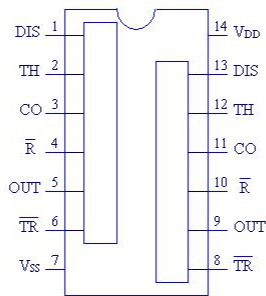
CD4528B



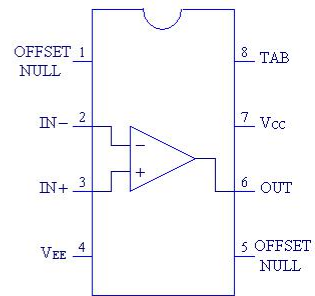
CD40106B



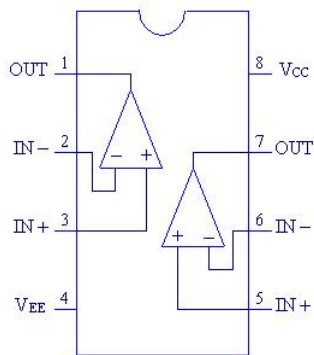
NE555



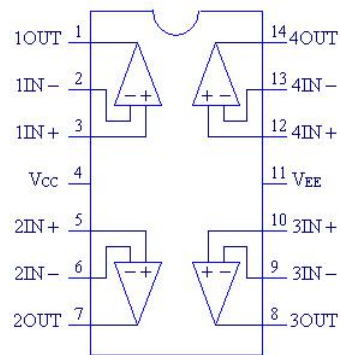
NE556



CA3140



LM358



LM324