



第一、二章



1、下面有关源程序经过语言处理程序处理后，生成的目标文件描述正确的是（ **A** ）

- A. 由编译程序生成的目标文件运行时，不再需要翻译源程序支持。
- B. 由解释程序生成的目标文件运行时，不再需要翻译源程序支持。
- C. 由编译程序或解释程序生成的目标文件运行时，都不再需要翻译源程序支持。
- D. 由编译程序或解释程序生成的目标文件运行时，都需要翻译源程序支持。

2、如果X为正数，有 $[X]_{\text{补}}$ 求 $[-X]_{\text{补}}$ 是将（ **D** ）

A、 $[X]_{\text{补}}$ 各位值保持不变

B、除符号位外，各位变反，末位加1

C、 $[X]_{\text{补}}$ 符号位变反，其他各位不变

D、 $[X]_{\text{补}}$ 连同符号位一起变反，末位加1

3、一个 $n+1$ 位原码的定点小数x的表示范围是（ **A** ）

A、 $-(1-2^{-n}) \leq x \leq (1-2^{-n})$ B、 $-2^{-n} \leq x \leq (1-2^{-n})$

C、 $-1 \leq x \leq (1-2^{-n})$ D、 $-1 \leq x \leq 1$

4、浮点数的IEEE754标准对尾数采用的是（ **A** ）

A、原码 B、反码 C、补码 D、移码

5、用补码表示的双符号位定点整数110110进行算术左移1位运算，正确结果是（ **C** ）

A、111100 B、101101 C、101100 D、011011

6、在串行进位的并行加法器中，影响加法器运算数度的关键因素是（ **C** ）

A、门电路的级延迟

B、元器件的速度

C、进位传递延迟

D、各位加法器速度的不同

7、冯.诺依曼计算机中指令和数据均以二进制形式存放存储器中，CPU区分它们的依据是（ **D** ）

A、指令操作码的译码结果

B、指令和数据的寻址方式

C、指令周期的不同阶段

D、指令和数据所在的存储单元

8、float型数据常用IEEE754单精度浮点格式表示，假设两个float型变量x和y分别存放在32位寄存器f1和f2中，若 (f1) = CC90 0000H, (f2) = B0C0 0000H, 则x和y之间的关系为 (**A**)

A、 $x < y$ 且符号相同

B、 $x < y$ 且符号不同

C、 $x > y$ 且符号相同

D、 $x > y$ 且符号不同

9、用补码表示的双符号位定点整数101100进行算术右移1位运算，正确结果是 (**C**)

A、010110 B、100110 C、110110 D、111100

不同码制的转换;
原码、补码的加减;
IEEE754表示法与真值的转换。

比如:

1 进制转换

- (1) 将二进制数 $(1111010.00111101)_2$ 转换为十六进制数;
- (2) 将十进制数 $(75.34)_{10}$ 转换为二进制数(小数点后保留8位)及十六进制数(保留2位小数)。

2 码制转换

- (1) 若 $X_{\text{补}} = 0.1010$, 写出其原码 $X_{\text{原}}$ 及其真值 X ;
- (2) 若 $X_{\text{补}} = 1.1010$, 写出其原码 $X_{\text{原}}$ 及其真值 X 。

3 设某机器字长为8位:

- (1) 若补码表示的带符号定点整数为 11111111 , 写出其十进制真值;
- (2) 若补码表示的带符号定点小数为 11111111 , 写出其十进制真值。

4 IEEE754单精度浮点数:

- (1) 将十进制数-7.25转换为IEEE754短浮点格式。
- (2) IEEE754单精度浮点数:C0A00000H的十进制值是多少

$1 \mid 00\ 0000\ 1010\ 0000\ 0000\ 0000\ 0000\ 0000$

$$1.25 \times 2^2 =$$



第三章



- 1、PSW寄存器的特征位是~~程序员~~^{CPU}设置的 (x)
- 2、MAR寄存器是采用~~双向~~^{单向}三态门或者OC组件构成。 (x)
- 3、暂存器C用于存放源操作数或者源操作数地址，暂存器D存放目的操作数或者目的操作数地址 (√)
- 4、IR寄存器适用于存放当前指令地址 (x)
- 5、现代微处理器缓存采用三级缓存L1、L2和L3，三级缓存都部署与CPU内部。 (√)
- 6、CM属于CPU的一部分 (√)
- 8、晶体振荡器产生的时钟频率低于CPU的主频 (√)
- 9、同步控制的统一——时序信号都由CPU产生 (x)



10、同步控制的时钟周期长度固定不变（ √ ）

11、异步控制方式是指（ ）

各项操作不受统一时序信号【如时钟周期】的约束，各部件之间数据传输采用应答方式。

12、扩展同步控制根据实际时间分配时钟周期数，时钟周期长度不变（ √ ）

13、计算机工作的最小时间周期是（ D ）

A、时钟周期 B、指令周期 C、总线周期 D、工作脉冲

模型机：双重间址@ $(R)+$ 、变址 $X(R)$

1、若某个主存储器部分的地址单元与主存内容对应关系如下：

地址码	存储内容
1000H	A307H
1001H	0B3FH
1002H	1200H
1003H	F03CH
1004H	D024H

(1) 若采用寄存器间接寻址方式读取操作数，指定寄存器R0的内容是1002H，则操作数是多少？

操作数是1200H

(2) 若采用自增型寄存器间址方式 $(R1)+$ 读取操作数，R1内容是1000H，则操作数是多少？指令执行完后R1内容是多少？

操作数是A307H，指令执行后R0的内容变为1001H

(3) 若采用自减型寄存器间址 $-(R2)$ 读取操作数，R2内容为1003H，则操作数是多少？指令执行完后R2内容是多少？

操作数是1200H，指令执行后R1的内容为1002H

(4) 若采用变址寻址方式 $X(R3)$ 读取操作数，指令中给出的形式地址 $d=3H$ ，变址寄存器R3的内容是1000H，则操作数是多少？

操作数为F03CH。



2、假设R0的内容为2000H，R1的内容为2500H，(2000H)=3000H，(3000H)=4000H，则指令“MOV R1, @(R0)+”执行后，R0的内容为 ()，R1的内容为 ()，(2000H)的内容为 ()，(3000H)的内容为 ()。

2001H, 4000H, 3000H, 4000H

3、若数据传输指令的源和目的操作数都采用变址寻址，指令字长为48bit（包含形式地址），数据总线和地址总线为16bit，则该指令的执行需要从存储器取指令、取源操作数，并送到目的存储单元，需要多少次访存？ (5)

4、隐地址是指 (C) 的地址。

- A. 用寄存器号表示 B. 存放在主存单元中
C. 事先约定,指令中不必给出 D. 存放在寄存器中

5、指令ADD(R0), @(R1)+的指令长度是3字节（存储器按字节编址），则指令从取指开始执行，共需要 (7) 次访问存储器。



运算器的核心部件是（ ALU ），一般应具有（ 算术运算 ）与（ 逻辑运算 ）两大类运算能力。

1、并行加法器的运算速度取决于全加器单元的速度。（ x ）

2、串行进位链是串行加法器中的进位链。（ √ ）

3、用4片74181和1片74182可组成（ B ）

A、组内并行进位，组间串行进位的16位ALU

B、组内并行进位，组间并行进位的16位ALU

C、组内串行进位，组间串行进位的16位ALU

D、组内串行进位，组间并行进位的16位ALU

→ MAR

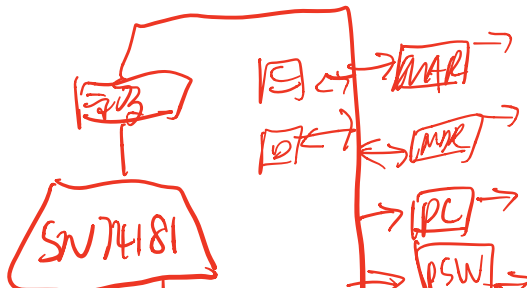
【例3】模型机中，MOV (R0), @(R1)+, 则该指令的执行需
要从存储器取指令、取源操作数，并送到目的存储单元，需要
多少次访存？（ 4 ）

【例4】模型机中，执行指令JSR @(R0)+后，PC和SP的值如
何改变？

（ $SP-1 \rightarrow SP$, PC值压栈后, PC值变为子程序入口地址 ）

执行RST (SP)+指令后， PC和SP的值如何改变？

（ PC出栈, $SP+1 \rightarrow SP$ ）





三、设计题 (50分)

某CPU组成：ALU选用SN74181芯片，选择器A、B，移位器；通用寄存器R0 ~ R3，暂存器C、D；指令寄存器IR，程序计数器PC；地址寄存器MAR，数据缓冲寄存器MDR，堆栈指针SP，程序状态字寄存器PSW；CPU内单向数据总线一组。

(1)画出CPU内部数据通路框图（寄存器级）（10分）

(2)拟定传送指令MOV (R1), @(R0)+ 的指令流程（采用寄存器传送级语句，例如：R0->MAR）。（20分）

FT (3)写出ET周期的微命令序列。（20分）

ST $R_0 \rightarrow MAR$ $C \rightarrow A; \text{取} A, DM, CPMAR$
 $m \rightarrow MDR \rightarrow C$ $EMAR, W, EMDR$
 $C \rightarrow MAR$

$m \rightarrow MDR \rightarrow C$

DT $R_1 \rightarrow MAR$

ET $C \rightarrow MDR \rightarrow M$

$PC \rightarrow MAR$