

本位和  $\Sigma_i = (A_i \oplus B_i) C_{i-1}$

进位  $C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$

$$\left. \begin{array}{l} G_i = A_i B_i \\ P_i = A_i \oplus B_i \end{array} \right\} C_i = G_i + P_i C_{i-1}$$

串行逻辑:  $C_n = G_n + P_n C_{n-1}$

并行逻辑:  $C_n = G_n + P_n C_{n-1} + \dots + P_n P_{n-1} \dots C_0$

加法器的运算速度不仅与全加器的运算速度有关，更主要的因素是取决于进位传递速度。



# 主要内容

- ① 概述
- ② 指令系统
- ③ 算术逻辑运算部件
- ④ 模型机的组合逻辑控制器
- ⑤ 模型机的微程序控制器



## 3.2 算术逻辑运算部件

---

- 01. 加法单元

---
- 02. 串行加法器

---
- 03. 并行加法器

---
- 04. ALU单元与多位ALU部件

## 需解决的关键问题：

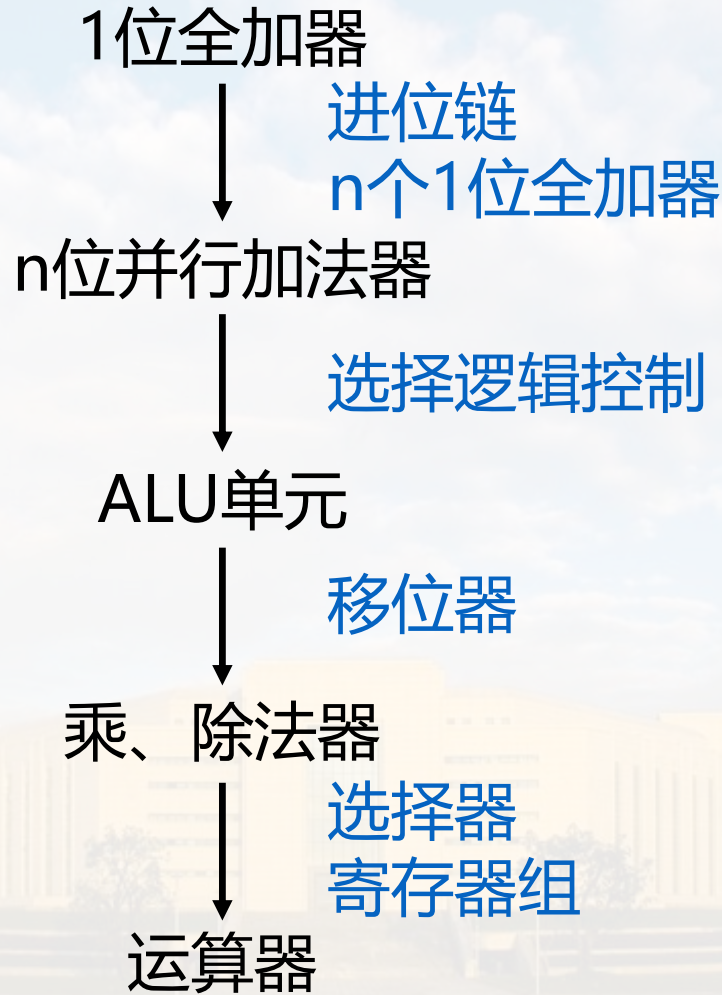
如何以加法器为基础，实现各种类型的算术逻辑运算处理。

## 解决思路：

复杂运算 → 四则运算 → 加法运算

## 解决方法：

在加法器的基础上，增加移位传送功能，并且输入运算控制条件。



# 一、加法单元

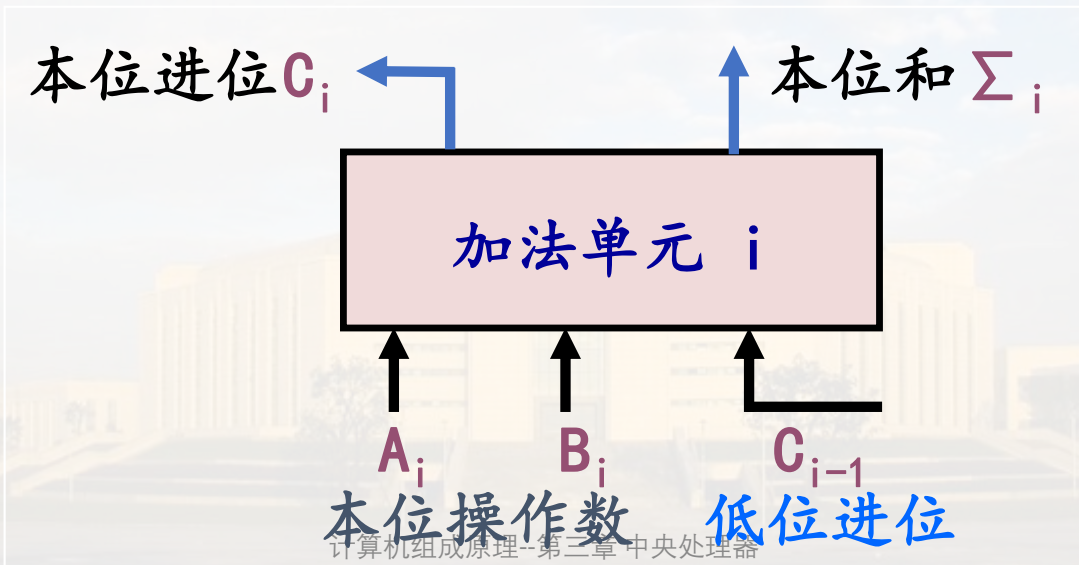
若：+1101、+1111两数相加，且分别放入到A、B两个寄存器。（补码、双符号位表示）

$$\begin{array}{r}
 001101 \\
 + 001111 \\
 \hline
 011100
 \end{array}$$

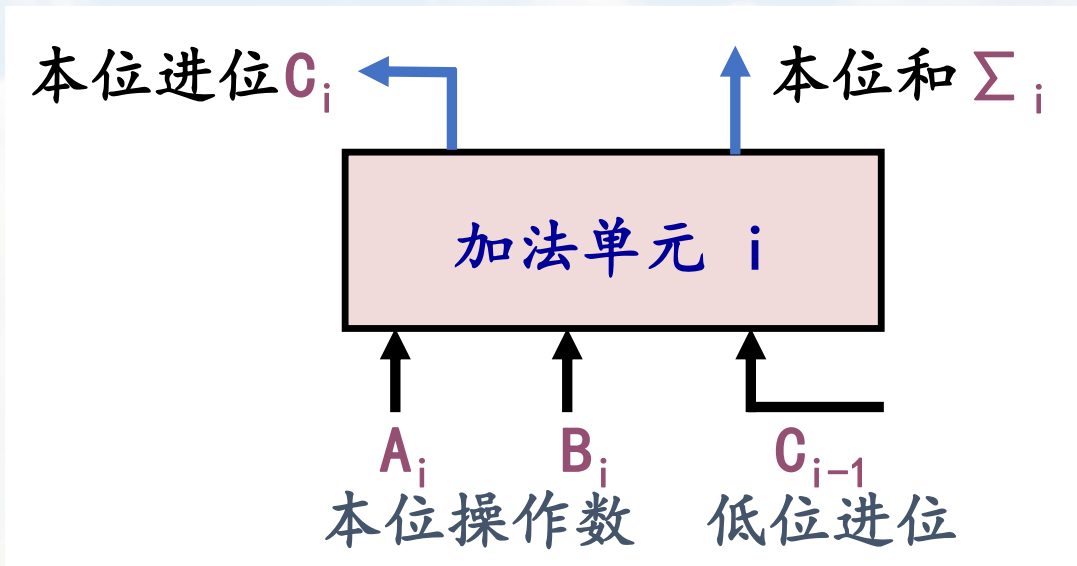
第3位：

输入量： $A_i(1), B_i(1), C_{i-1}(1)$

输出量： $\Sigma_i(1), C_i(1)$







输入、输出量之间的关系式： 根据真值表、卡诺图

本位

$$\left\{ \begin{array}{l} \Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \end{array} \right. \quad (1)$$

进位

$$\left\{ \begin{array}{l} C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \end{array} \right. \quad (2)$$

$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

根据(1)式得：

如果三个输入中1的个数为奇数，则本位和为1，否则为0。

根据(2)式得：

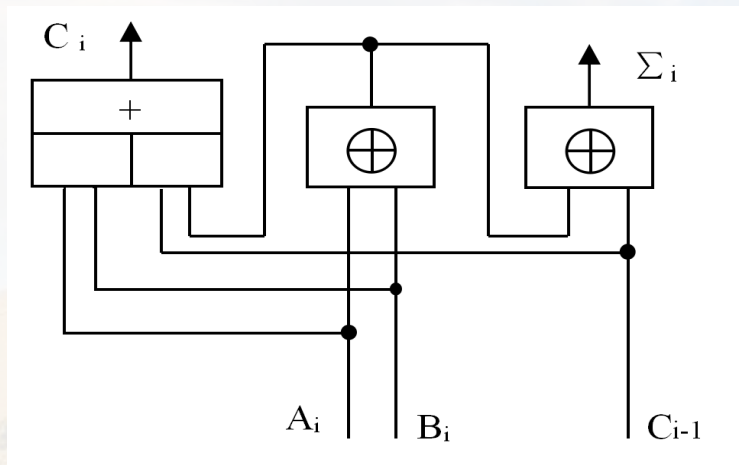
当本位的两个输入 $A_i$ 、 $B_i$ 均为1时，不管低位有无进位 $C_{i-1}$ 传来，都必然产生进位 $C_i$ ；若 $C_{i-1}$ 为1，只要 $A_i$ 、 $B_i$ 中有一个为1，也必然产生进位。



$$\Sigma_i = (A_i \oplus B_i) \oplus C_{i-1} \quad (1)$$

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (2)$$

根据上式，得出一位全加器的逻辑电路图：



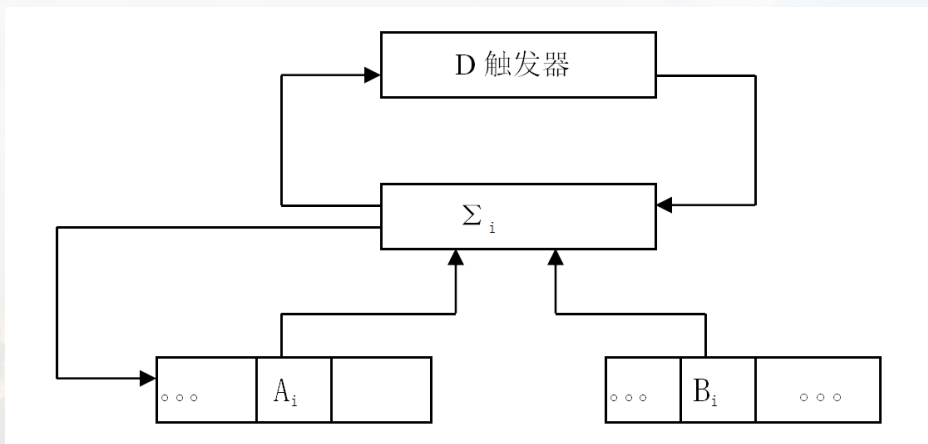
## 二、串行加法器

**定义：**如果每步只求一位和，将n位加分成n步实现，这样的加法器称为串行加法器。

**组成：**

- 1个一位全加器
- 1个移位寄存器：从低到高串行提供操作数相加
- 2个寄存器
- 1个触发器：记录进位信号

**组成图：**



**特点：**

结构简单，  
速度极慢。

**1、定义：**如果用 $n$ 位全加器一步实现 $n$ 位相加，即 $n$ 位同步相加，这样的加法器称为并行加法器。

**2、组成：**并行加法器

{	n位加法器	{	串行进位链
	进位链		并行进位链

根据（指 $C_{i-1}$ ）输入量提供时间的不同，根据进位链将加法器分为带**串行进位链的并行加法器**和带**并行进位链的并行加法器**。加法器的**运算速度**不仅与全加器的运算速度有关，更主要的因素是取决于进位传递速度。

### 3、进位链逻辑-进位的基本逻辑:

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$

$$\text{令 } A_i B_i = G_i$$

$$A_i \oplus B_i = P_i$$

所以  $C_i = \underbrace{G_i}_{\downarrow} + \underbrace{P_i C_{i-1}}_{\downarrow}$



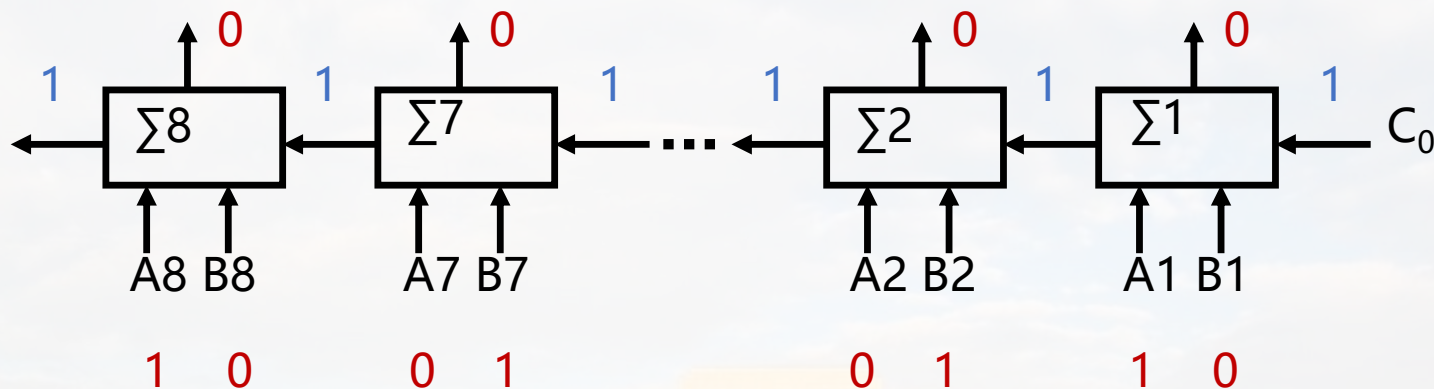
本地进位、绝对进位

条件进位、传递进位

### 4、串行进位链

**(1) 定义：**低位向高位依次传递进位信号。

[例]先看一个8位数**串行**相加的例子



**(2) 特点**

特点：结构比较简单，运算速度比较慢。



### (3) 进位逻辑

设n位加法器

#### 1) 逻辑式

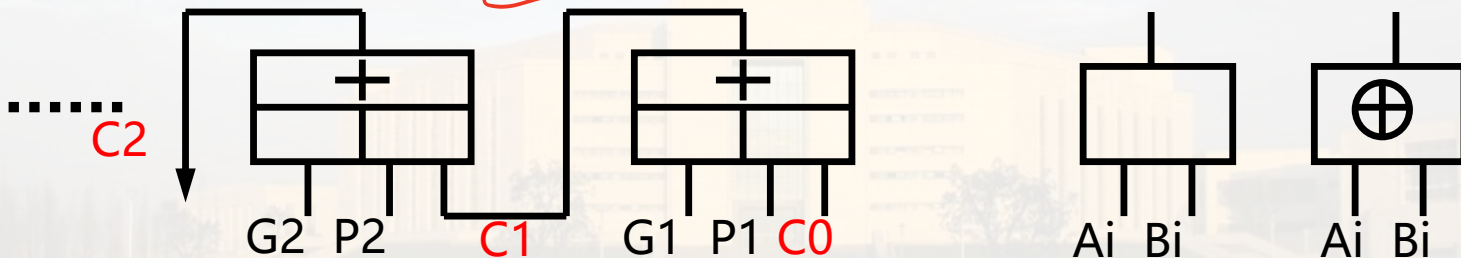
$$C_1 = G_1 + P_1 \underline{C_0}$$

$$C_2 = G_2 + P_2 \underline{C_1}$$

⋮

$$C_n = G_n + P_n \underline{C_{n-1}}$$

#### 2) 结构举例





## 5、并行进位链

[特点]各位进位信号同时形成

**n位加法器，进位逻辑如下：**

### 1) 逻辑关系

$$C_1 = G_1 + P_1 C_0$$

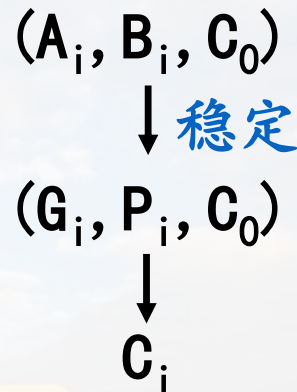
$$C_2 = G_2 + P_2 \underline{C_1} \quad (\text{代换 } C_1)$$

$$= G_2 + P_2 G_1 + P_2 P_1 C_0$$

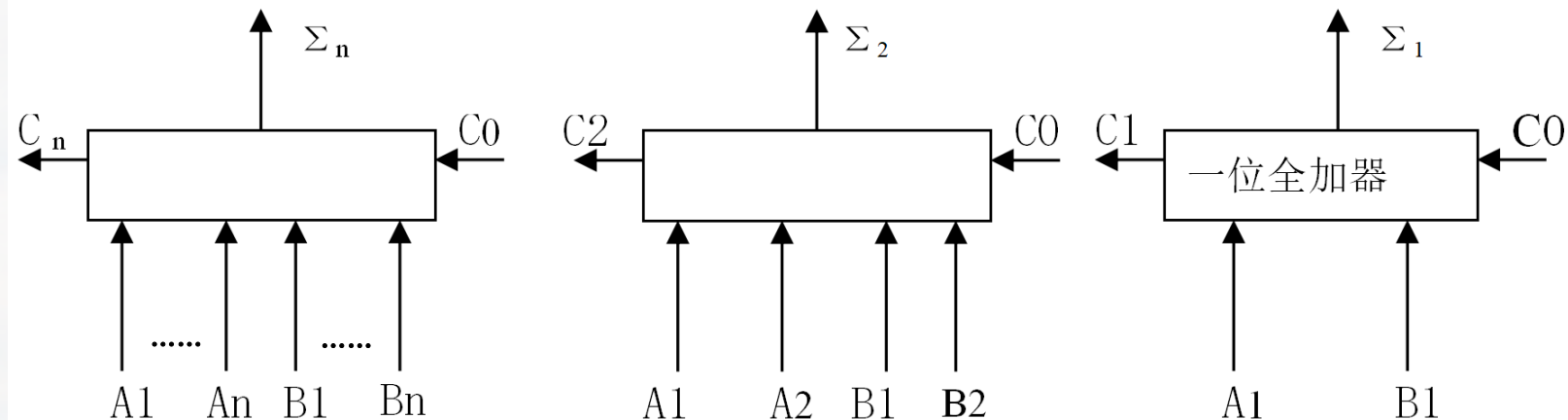
⋮

$$C_n = G_n + P_n \underline{C_{n-1}} \quad (\text{代换 } C_{n-1}) \quad \star$$

$$= G_n + \underbrace{P_n G_{n-1} + \dots + P_n P_{n-1} \dots P_2 P_1 C_0}_{n+1 \text{ 项}}$$



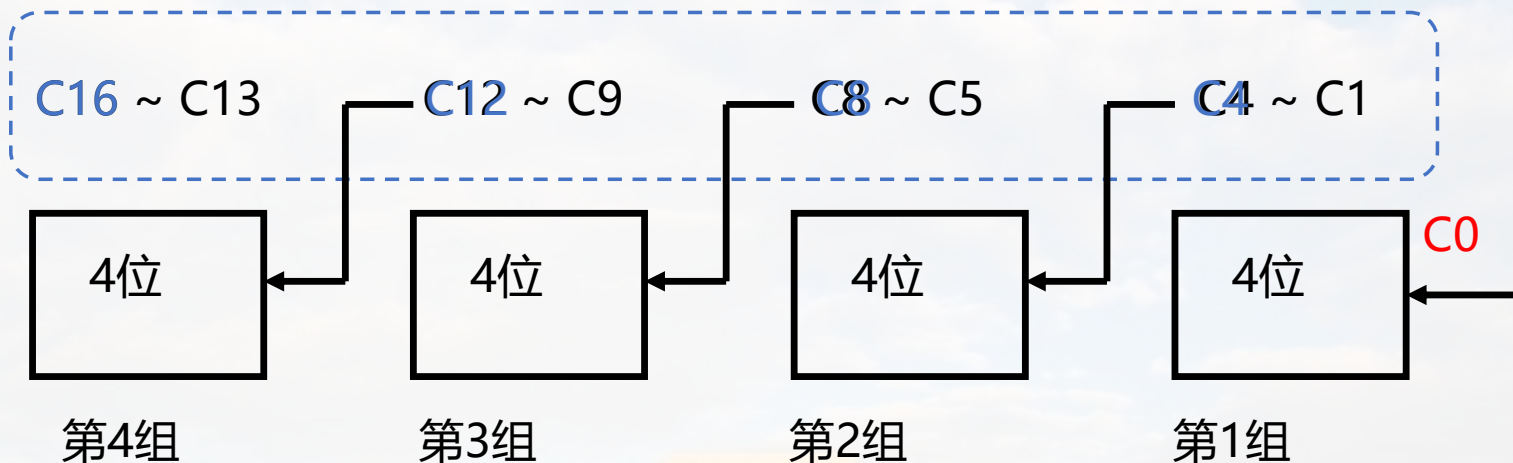
结构图：



**特点：**结构复杂，运算速度快。

### 6、分组：组内并行、组间并行

设16位加法器，4位一组，分为4组：



**分级 (2级) 同时进位：**组内并行、组间也并行。

**速度/结构：**介于全串行和全并行之间。

### 三、并行加法器

#### (1) 第一级：小组内并行进位链

第一小组:  $C_1 = G_1 + P_1 C_0$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

$G_I$   $P_I$

第二小组:  $C_5 = G_5 + P_5 C_I$

$$C_6 = G_6 + P_6 G_5 + P_6 P_5 C_I$$

$$C_7 = G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 C_I$$

$$C_8 = G_8 + P_8 G_7 + P_8 P_7 G_6 + P_8 P_7 P_6 G_5 + P_8 P_7 P_6 P_5 C_I$$

$G_{II}$   $P_{II}$

## 三、并行加法器

### 第三小组:

$$C_9 = G_9 + P_9 C_{II}$$

$$C_{10} = G_{10} + P_{10} G_9 + P_{10} P_9 C_{II}$$

$$C_{11} = G_{11} + P_{11} G_{10} + P_{11} P_{10} G_9 + P_{11} P_{10} P_9 C_{II}$$

$$C_{12} = \underbrace{G_{12} + P_{12} G_{11} + P_{12} P_{11} G_{10} + P_{12} P_{11} P_{10} G_9}_{G_{III}} + \underbrace{P_{12} P_{11} P_{10} P_9 C_{II}}_{P_{III}}$$

### 第四小组:

$$C_{13} = G_{13} + P_{13} C_{III}$$

$$C_{14} = G_{14} + P_{14} G_{13} + P_{14} P_{13} C_{III}$$

$$C_{15} = G_{15} + P_{15} G_{14} + P_{15} P_{14} G_{13} + P_{15} P_{14} P_{13} C_{III}$$

$$C_{16} = \underbrace{G_{16} + P_{16} G_{15} + P_{16} P_{15} G_{14} + P_{16} P_{15} P_{14} G_{13}}_{G_{IV}} + \underbrace{P_{16} P_{15} P_{14} P_{13} C_{III}}_{P_{IV}}$$



## (2) 第二级：小组间并行进位链

$$C_I = G_I + P_I C_0$$

$$\begin{aligned} C_{II} &= G_{II} + P_{II} C_I \\ &= G_{II} + P_{II} G_I + P_{II} P_I C_0 \end{aligned}$$

$$\begin{aligned} C_{III} &= G_{III} + P_{III} C_{II} \\ &= G_{III} + P_{III} G_{II} + P_{III} P_{II} G_I + P_{III} P_{II} P_I C_0 \end{aligned}$$

$$\begin{aligned} C_{IV} &= G_{IV} + P_{IV} C_{III} \\ &= G_{IV} + P_{IV} G_{III} + P_{IV} P_{III} G_{II} + P_{IV} P_{III} P_{II} G_I \\ &\quad + P_{IV} P_{III} P_{II} P_I C_0 \end{aligned}$$



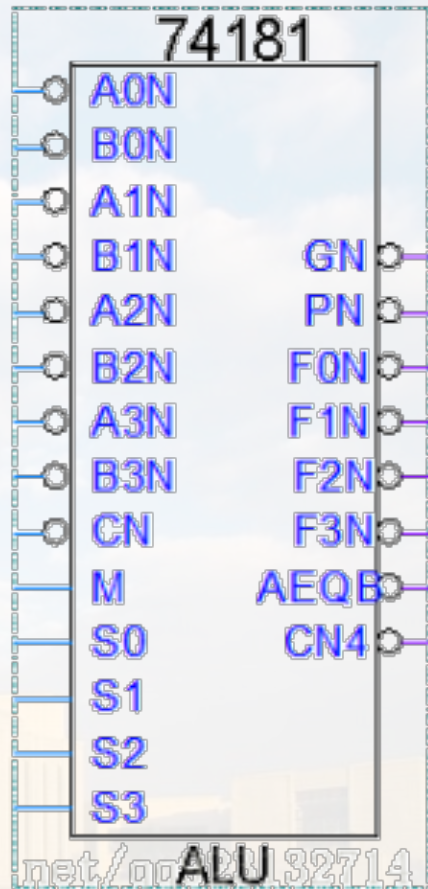
## 三、并行加法器

### 7、四位ALU芯片举例

SN74181是一种具有并行进位的多功能ALU芯片，每片4位，构成1组，组内是并行进位；74181芯片总共有22个引脚。

#### 数据引脚

- 8个数据输入端，A0m、A1n、A2n、A3n，B0n、B1n、B2n、B3n，（其中A3和B3是高位）。
- 4个二进制输出端F0、F1、F2、F3，以四位二进制形式输出运算的结果。



net/ooALU.32714

## 三、并行加法器

### 2、四位ALU芯片举例

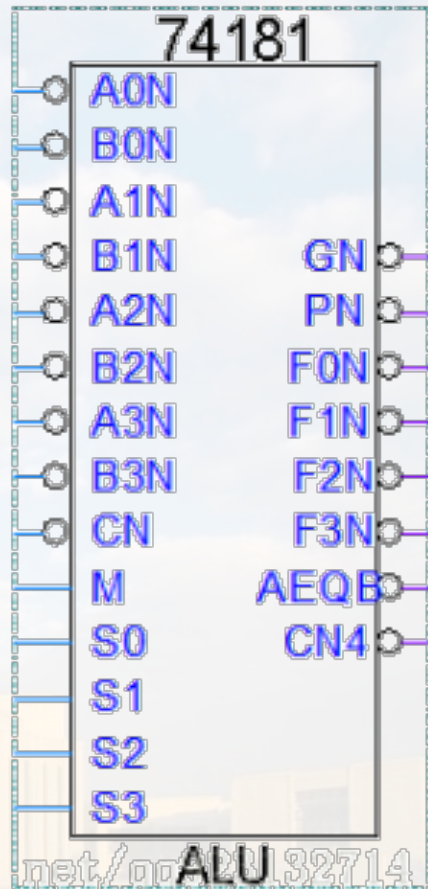
#### 数据引脚

- CN端处理进入芯片前进位值，CN4记录运算后的进位。
- GN先行进位产生端。PN先行进位传递函数。

#### 控制引脚

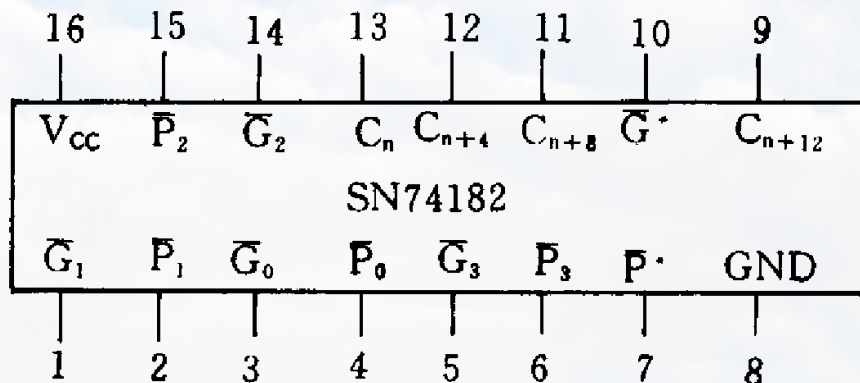
- 4个控制端，S0、S1、S2、S3，控制两个四位输入数据的运算，例如加、减、与、或。
- M控制芯片的运算方式，包括算术运算和逻辑运算。

$$\begin{aligned}
 C_{II} &= G_{II} + P_{II}C_I \\
 &= G_{II} + P_{II}G_I + P_{II}P_IC_0
 \end{aligned}$$



net/ooALU.32714

## SN74182的芯片示意图：



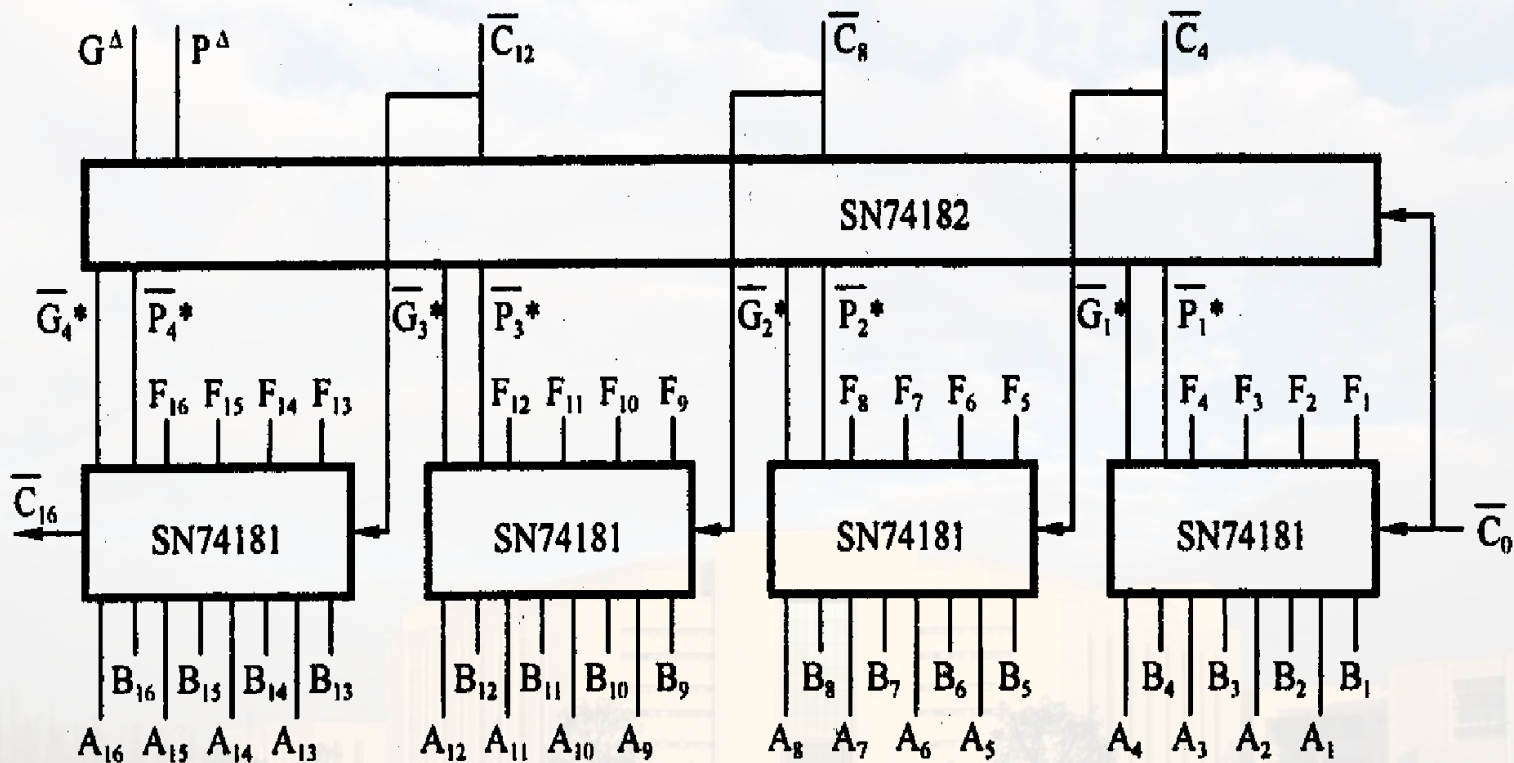
$\overline{G}_0$ 、 $\overline{G}_1$ 、 $\overline{G}_2$ 、 $\overline{G}_3$ 为进位生成函数输入端； $\overline{P}_0$ 、 $\overline{P}_1$ 、 $\overline{P}_2$ 、 $\overline{P}_3$ 为进位传递函数输入端；

$C_n$ 为最低位进位信号输入端；

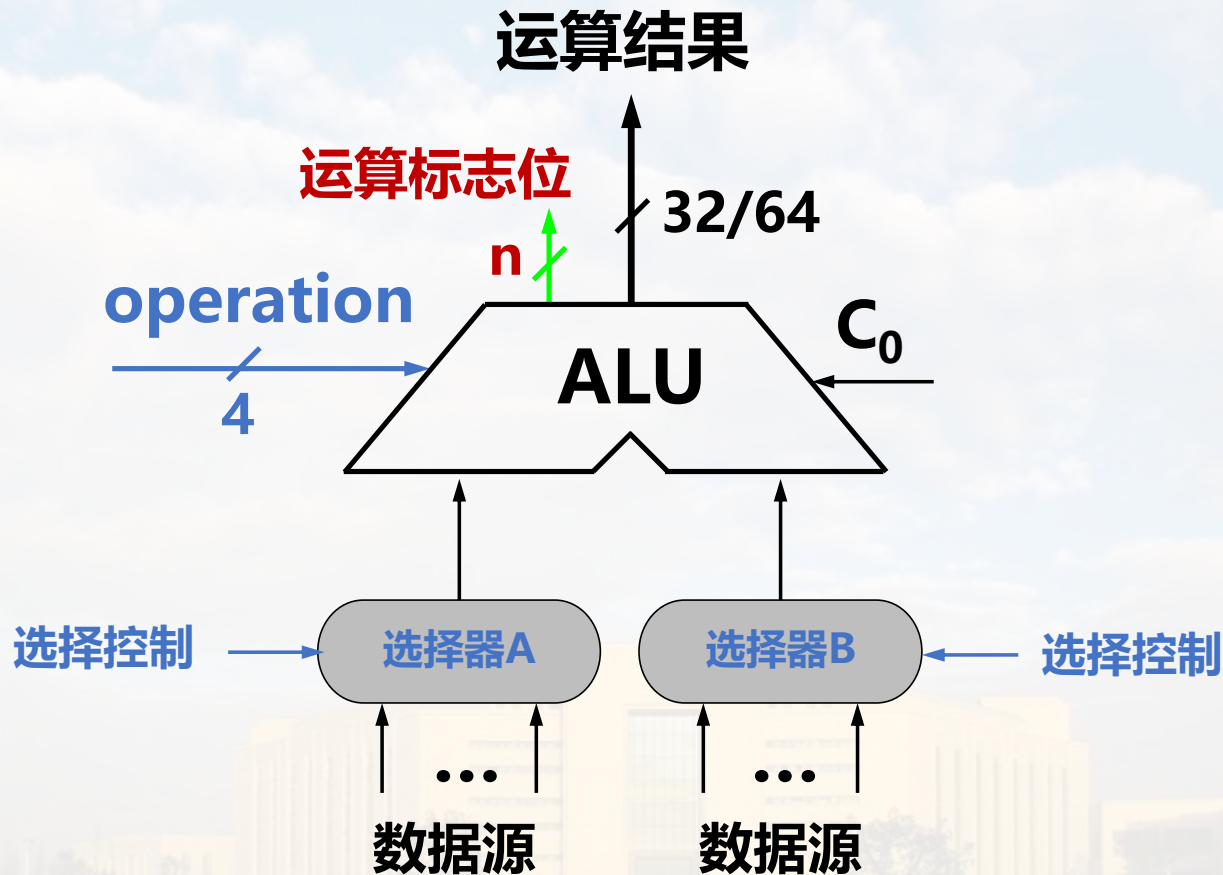
$C_{n+4}$ 、 $C_{n+8}$ 、 $C_{n+12}$ 为进位信号输出端；

$\overline{G}$ 、 $\overline{P}$ 为以16位为一大组的进位传递函数和进位生成函数。

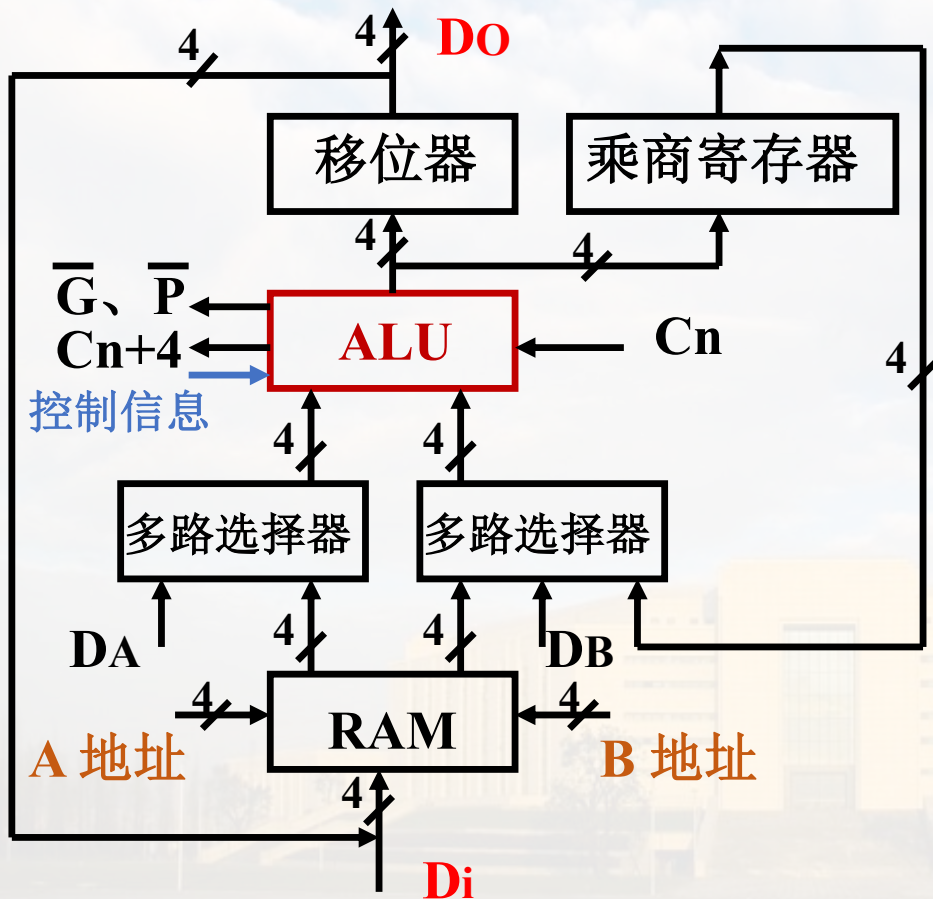
## 四、ALU单元与多位ALU部件







#### [例] 4位片运算器粗框



#### 特点:

用双口RAM（两地址端、两数据端）作通用寄存器组，可同时提供数据；

用多路选择器作输入逻辑，不需暂存操作数；

ALU增加乘、除功能，用乘商寄存器存放乘数、乘积或商。