

Field Programmable Gate Array (FPGA)



Joaquín Olivares
Universidad de Córdoba
olivares@uco.es

Aspectos a tener en cuenta en el diseño de un sistema digital complejo

- **Funcional:** Debe cumplir las especificaciones
- **Temporal:** Debe funcionar correctamente a la frecuencia especificada
- **Eléctrico:** Interconexión del circuito con el sistema completo
- **Verificable:** Debe ser verificable fácilmente

Análisis previo

1. Decidir si el sistema puede ser estándar o es necesario un diseño a medida:

- **Soluciones estándar:**
 - **Microprocesador + periféricos**
 - **Procesador Digital de Señal (DSP)**
 - **GPU**
- **Motivos para desechar soluciones estándar:**
 - **El circuito debe trabajar a más velocidad
¿mayor frecuencia de reloj?**
 - **El circuito debe consumir menos potencia**
 - **El coste del circuito debe ser menor**

Análisis previo

2. Decidir el tipo de circuito para el diseño a medida, opciones (3):

- a. Circuitos “semi-custom” y “full-custom”:
 - Obtienen máximas prestaciones
 - Coste razonable con cantidades elevadas
- b. Circuitos Configurables “CPLDs” y “FPGAs”:
 - Buenas prestaciones
 - Coste razonablemente bajo
 - Reducción del coste de desarrollo
 - Posibilidad de procesamiento paralelo

Análisis previo

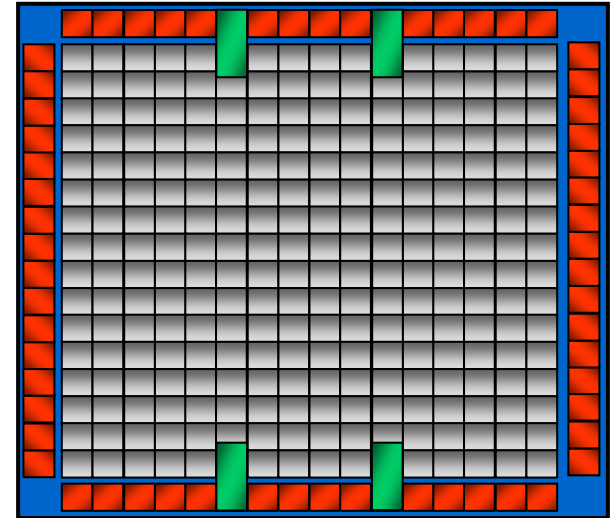
2. Decidir el tipo de circuito para el diseño a medida, opciones (3):

c. "System On Chip" (SOC)

- o Microprocesador + Circuito Configurable
- o Dos opciones en FPGA:
 - ❖ Microprocesador integrado (PPC en Vx)
 - ❖ Microprocesador como módulo MBlaze

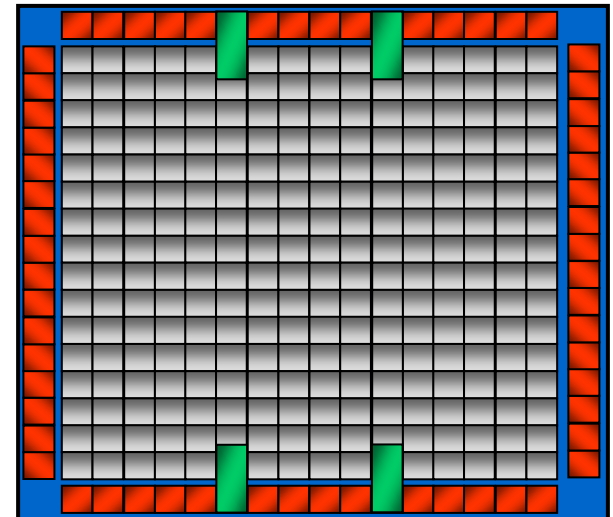
Field Programmable Gate Array (FPGA)

- Las FPGA representan un notable avance en la tecnología de los dispositivos programables, al reducir el tiempo y el costo de desarrollo de nuevos prototipos.
- Aunque las hay de tecnología OTP y flash, las más densas están basadas en tecnología SRAM. Es mucho más que un vector de puertas.
- Contienen:
 - Celdas de Entrada/Salida.
 - Celdas lógicas.
 - Memorias.
 - Controladores de reloj.
 - Transceivers de alta velocidad.
 - Líneas de interconexión programables.
 -



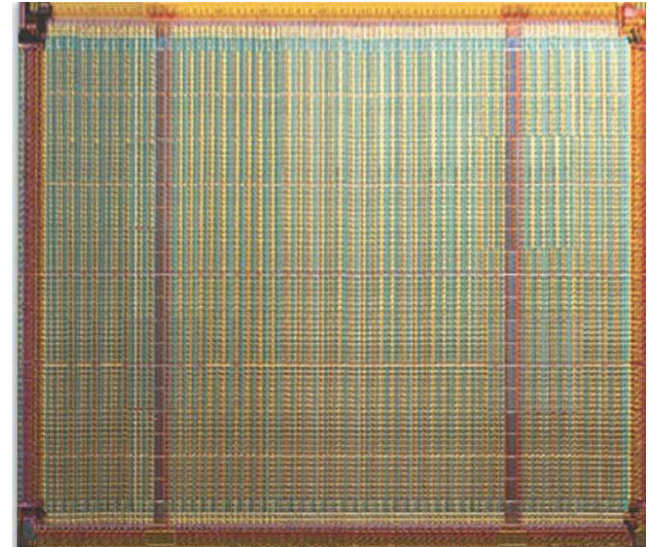
Field Programmable Gate Array (FPGA)

- La información de la configuración, está almacenada en celdas SRAM, por tanto puede ser reprogramada. La información es volátil y debe ser cargada desde una ROM o Flash para iniciar la FPGA.
- Una FPGA es en realidad una gran SRAM que funciona como un circuito lógico con un elevado número de conexiones programables.
- El tiempo de demora de la lógica y el tiempo de propagación de las señales es muy predecible.
- Se necesita un software complejo y avanzado para sintetizar las funciones lógicas deseadas y realizar la interconexión.



La Familia de FPGAs de Xilinx

- ***SPARTAN*** bajo costo/buenas prestaciones:
 - SP 3 – 6 (90 – 45 nm). 1,2V
 - Pantallas, decodificadores, routers...
- ***VIRTEX*** alto coste & rendimiento
 - VX 5 – 7 (65 – 40 – 28 nm). 1V
 - 28Gbs 2.8Tb/s
 - Equipos médicos, defensa, aeroespacial
- ***Kintex*** (similar VX6 gama media)
 - Sistemas comunicaciones LTE / 4G / 5G
- ***Artix*** (bajo consumo)
 - Sistemas inalámbricos
- ***Zynq*** (SOC alta gama)
 - vídeo-vigilancia, navegación autónoma
- IBM PowerPC / ARM integrados.
- Existen otras compañías como ALTERA que tienen arquitecturas alternativas.



OK, pero ¿para qué sirve una FPGA?

<https://www.xilinx.com/video/fpga/introducing-the-industrys-first-20nm-space-grade-fpga.html>

<https://www.xilinx.com/video/soc/introducing-zynq-rfsoc-dfe.html>

<https://www.xilinx.com/video/software/introducing-vitis-ai.html>

-> <https://www.xilinx.com/video/software/real-time-multi-class-3d-object-detection.html>



Aeroespacial, Defensa:

- Elevado Ancho de Banda
- Alta Velocidad
- Interconexión
- Baja Latencia
- Interconexión
- Radar
- Sonar
- Balística
- Vigilancia

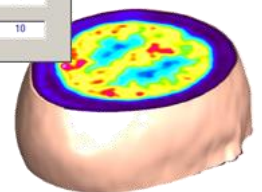
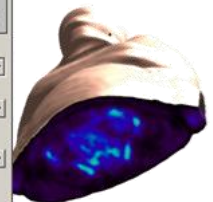
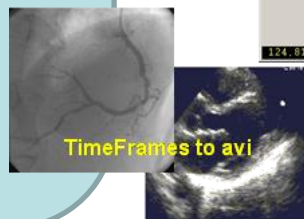
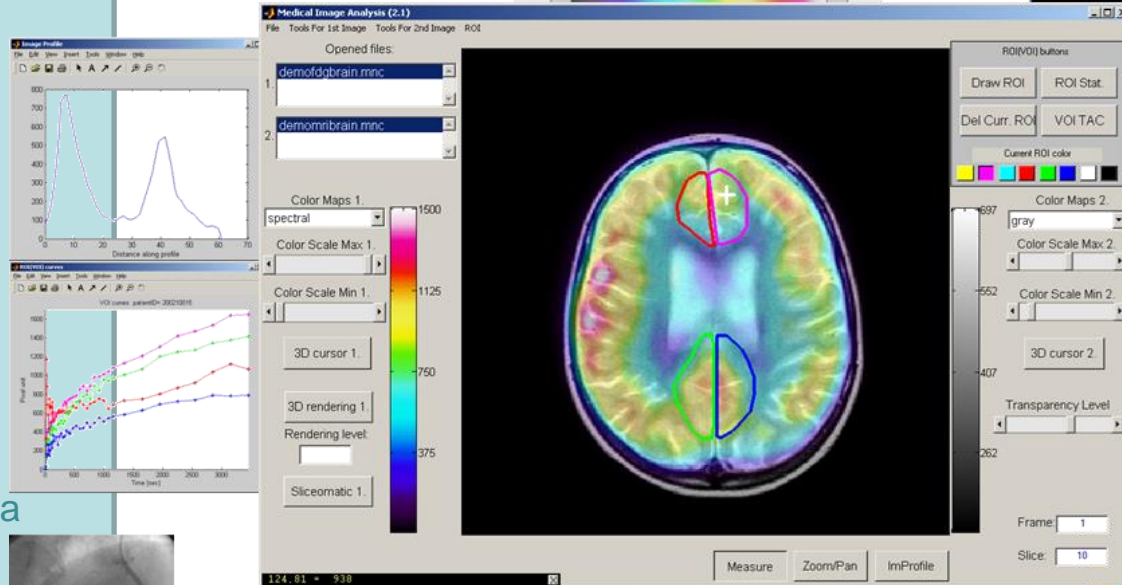
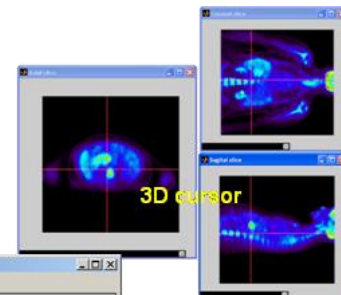
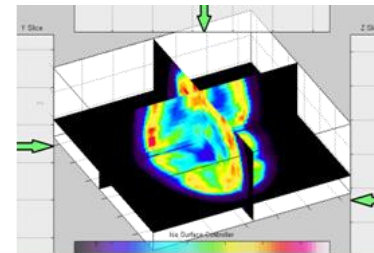
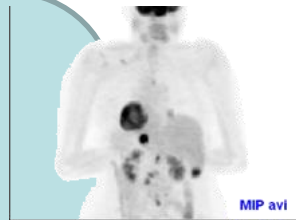


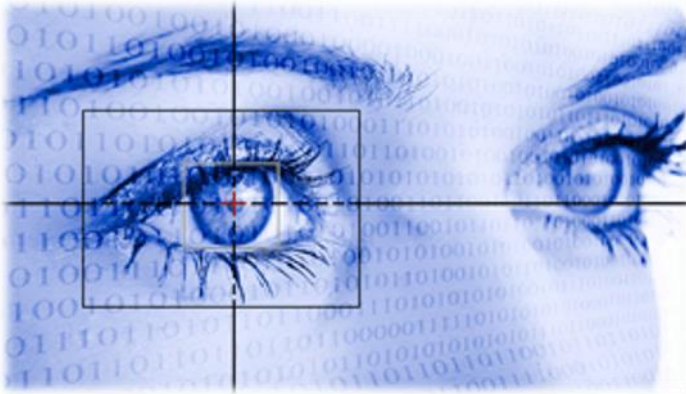
Comunicaciones

- Escalabilidad
- Elevado ancho de banda multicanal con procesamiento en tiempo real
- Interfaz Entrada/Salida analógica de alta velocidad
- Hw Reconfigurable aplicado en radio digital
- Robustez frente a radiación
- Satélite
- Estaciones 4G
- Redes Wireless

Médico

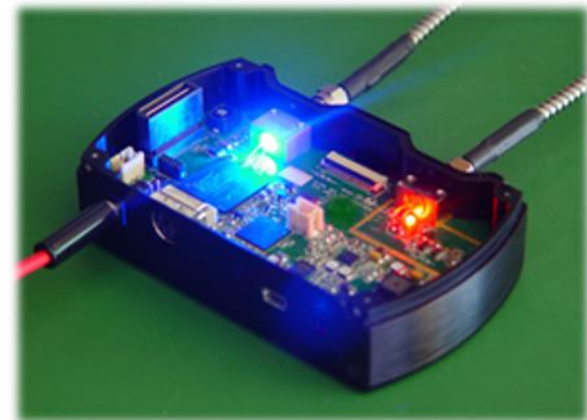
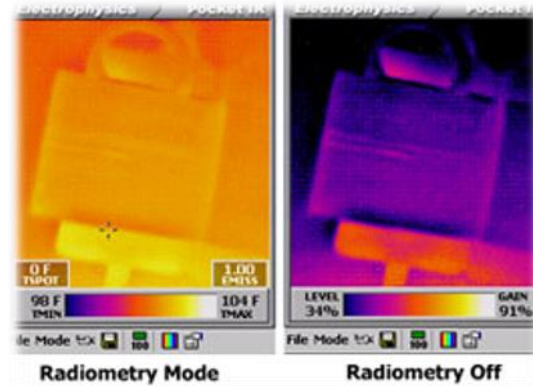
- Elevada resolución
conversión A/D
- Alta capacidad de
procesamiento
- Procesamiento en tiempo
real
- Rayos-X Digital
- Imagen Resonancia
Magnética
- Tomografía Computizada





Industrial

- Robustez
- Entornos hostiles
- Alta capacidad de procesamiento
- Sistemas de Inspección
- Monitorización
- Sistemas de Control
- Procesamiento de imágenes
- Reconocimiento patrones
- Reconocimiento voz





Yamaha YZF-R6
Sistema de Control
de Potencia



Telefonía móvil
Filtrado
Encriptación
Reconocimiento Voz



**Video /
fotografía**
Compresión TR
Reconoc Patrones



**Sistema control y
supervisión de
trenes
automatizados**

¿Y algún ejemplo real más?



1. A prototype of the Xilinx space-grade Virtex-5QV FPGA is part of the payload of NASA's MISSE-8 project on the International Space Station.



Claro, militar...



Y más militar...





Y más....

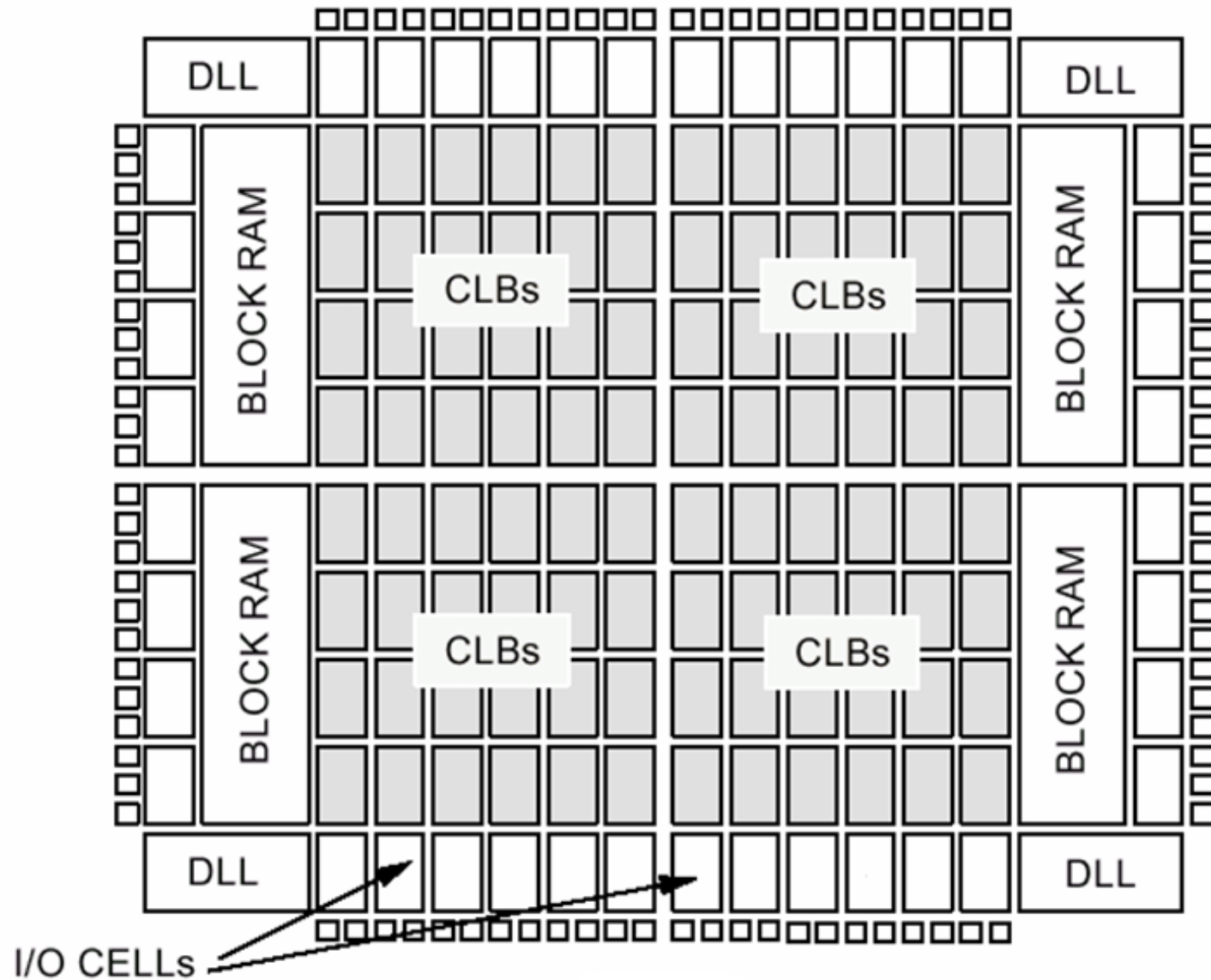
Anda ya... esto es muy complicado, de esto no vamos a encontrar trabajo en España....



¿Seguro?...
Por ejemplo, Radescan, aquí, en Córdoba

Tecnología FPGA

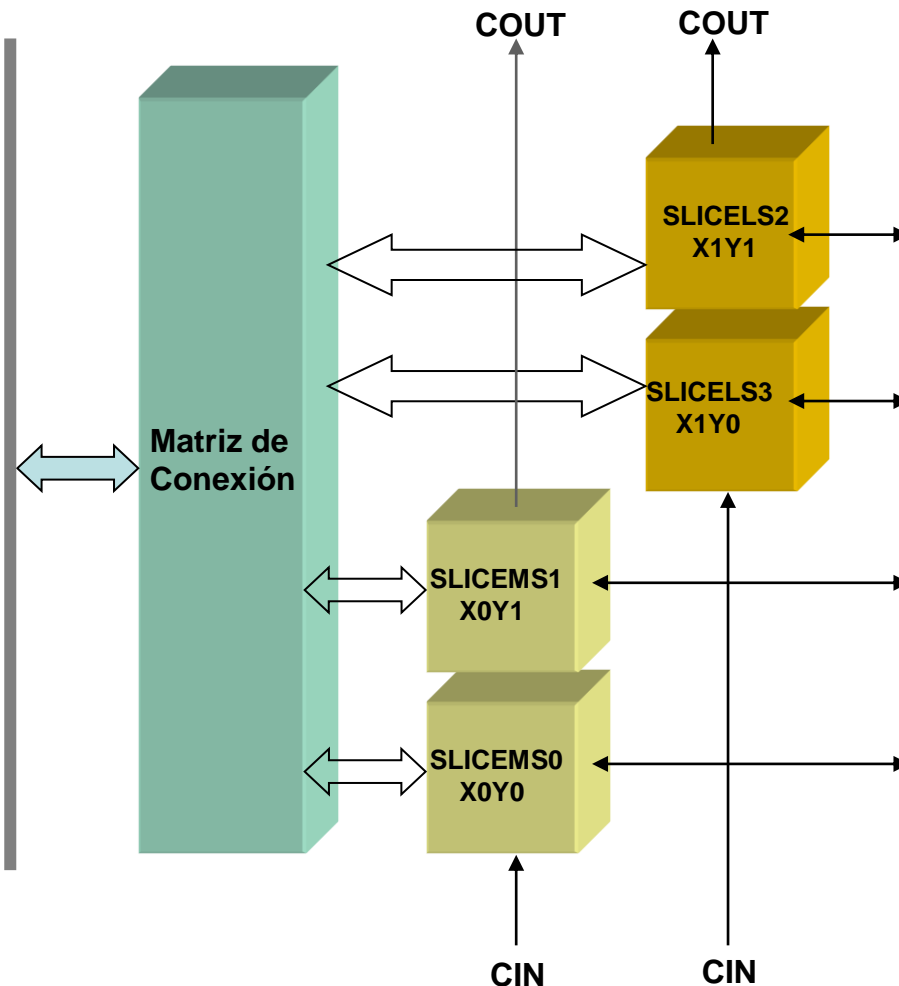
Arquitectura en cuadrícula “Manhattan”



Elementos que integran una *SPARTAN-3*

- **Bloques Lógicos Configurables (CLB)**
- Bloques de Entrada / Salida
- Bloques de manejo de señales de reloj (DCM)
- Multiplicadores dedicados
- Bloques de memoria RAM dedicados
- Recursos de interconexión

Bloque Lógico Configurable (CLB)



- La Matriz de Conexión conecta el CLB con las líneas de interconexión globales y locales.
- 4 SLICES en cada CLB:
 - 2 SLICE-L sólo lógica
 - 2 SLICE-M lógica y memoria
- Funciones aritméticas rápidas. con cadena de Acarreo anticipado Cin y Cout.

Posibilidades de un SLICE en la *SPARTAN-3*

- La estructura básica de un SLICE-L son 2 tablas de Look-Up de 4 entradas (LUT4) seguidas de 2 Flip-Flop tipo D, más circuitos lógicos auxiliares.
- La estructura de un SLICE-M es igual, pero además las LUT4 pueden ser utilizadas como RAM o como Registros de Desplazamiento.

SLICE-M	Función	SLICE-L
Si	Lógica / ROM	Si
Si	Aritmética / Acarreo	Si
Si	Multiplexores anchos	Si
Si	RAM distribuida	No
Si	Registros de desplazamiento	No

Posibilidades de un SLICE en la *SPARTAN-3*

- **LUT de 4 entradas (LUT-4)**
 - Cualquier función lógica de 4 entradas.
 - **Tiempo de propagación independiente de la función lógica implementada.**
 - 16 bit x 1 RAM **SLICE-M**
 - 16 bit x 1 Reg. Desp. **SLICE-M**
- **Control & Acarreo**
 - Lógica rápida para aritmética.
 - Lógica para multiplicación.
 - Lógica para multiplexores.
- **Acarreo para LUT-8**

Permite expandir las dos LUT-4 a una LUT-8 ficticia en el mismo SLICE
- **Elementos de almacenamiento**
 - Latch o Flip Flop.
 - Set y Reset.
 - Entrada directa o invertida.
 - Control asíncrono o síncrono.

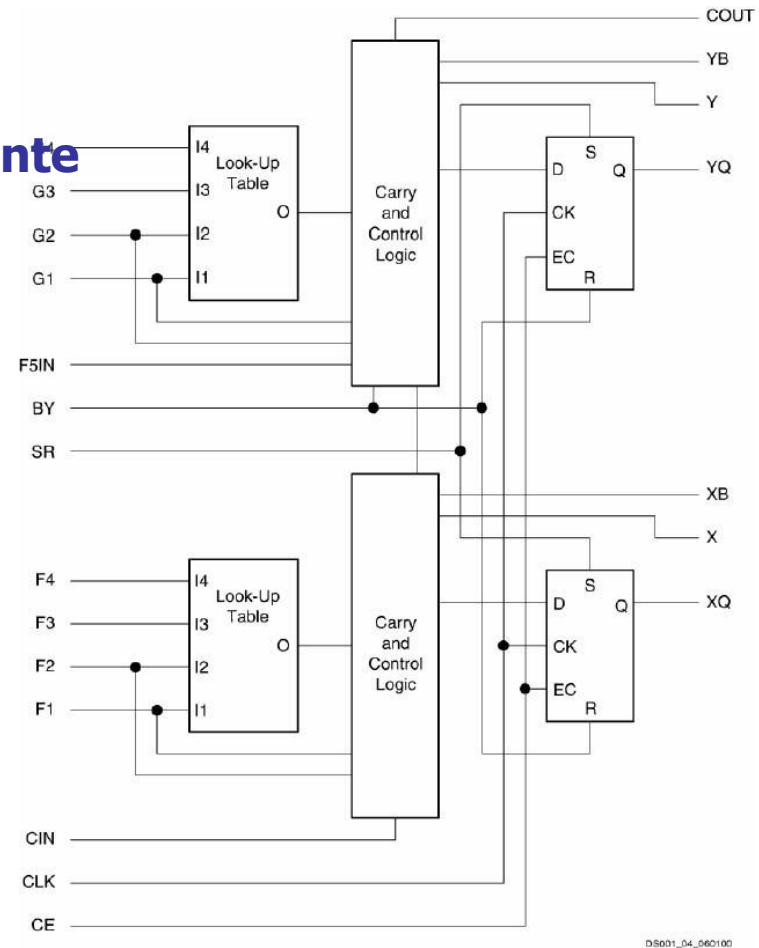


Tabla de LOOK-UP (LUT) de 4 Entradas

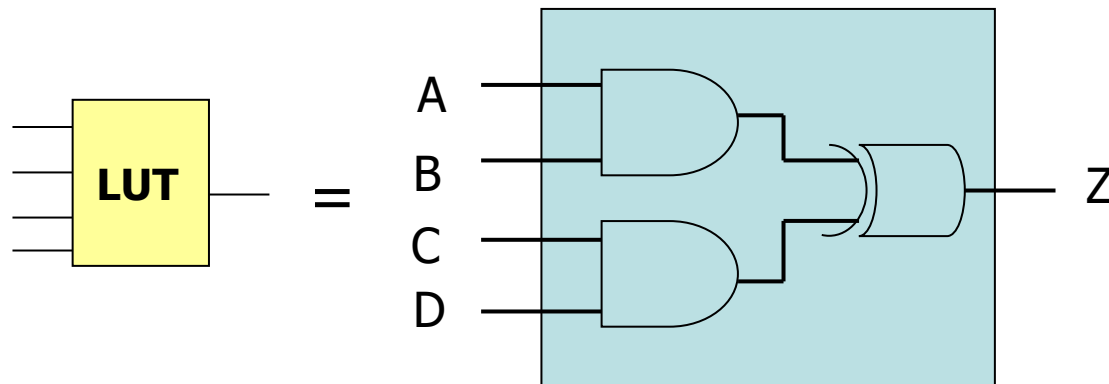
Implementan la lógica combinacional.

- **Cualquier función de 4 entradas**
- **Funciones de más entradas mediante una cascada utilizando Cin y Cout**

Tabla de Verdad

ABCD	Z
0000	0
0001	0
0010	0
0011	1
-----	----
-	-
1110	1
1111	0

Ejemplo de función de 4 Entradas

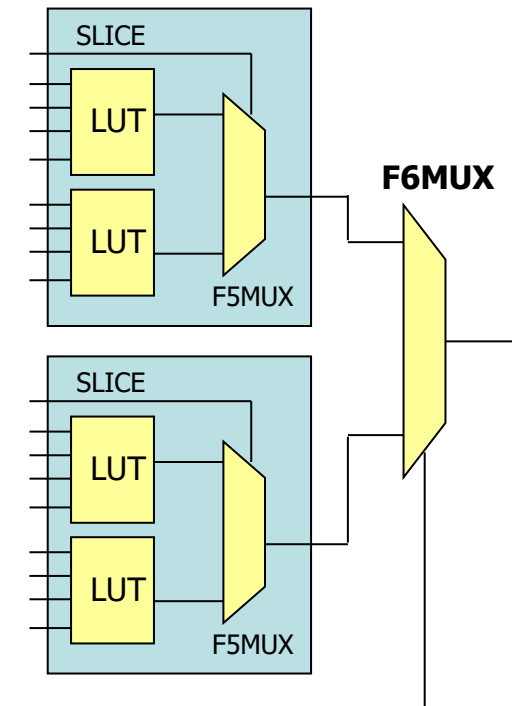


Multiplexores Dedicados

Más eficientes que los Multiplexores implementados con LUTS.

- F5MUX para salidas de las LUTS.
- F6MUX para salidas de los Slices.
- F7MUX para salidas de los CLB.
- F8MUX para salidas de los F7MUX.

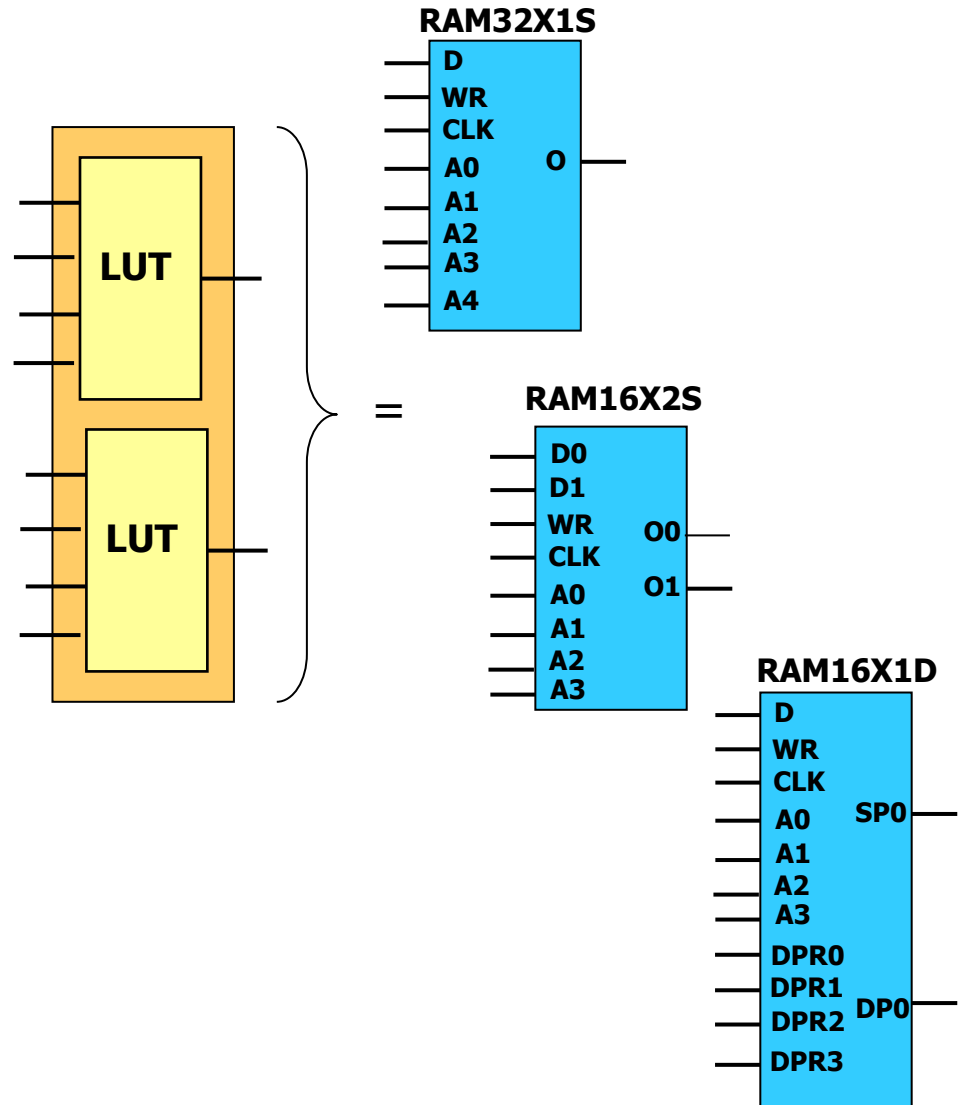
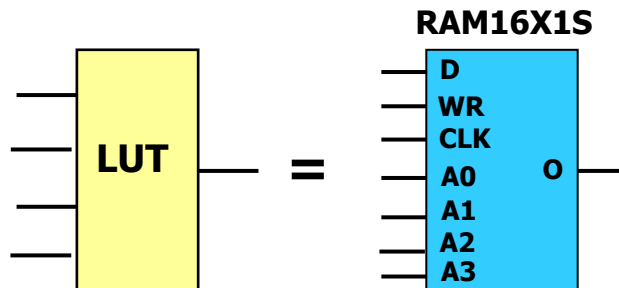
Es una forma eficiente de implementar MUXS y funciones de hasta 8 entradas.



RAM Distribuida

Las LUT de los SLICE-M pueden ser configuradas como RAM.

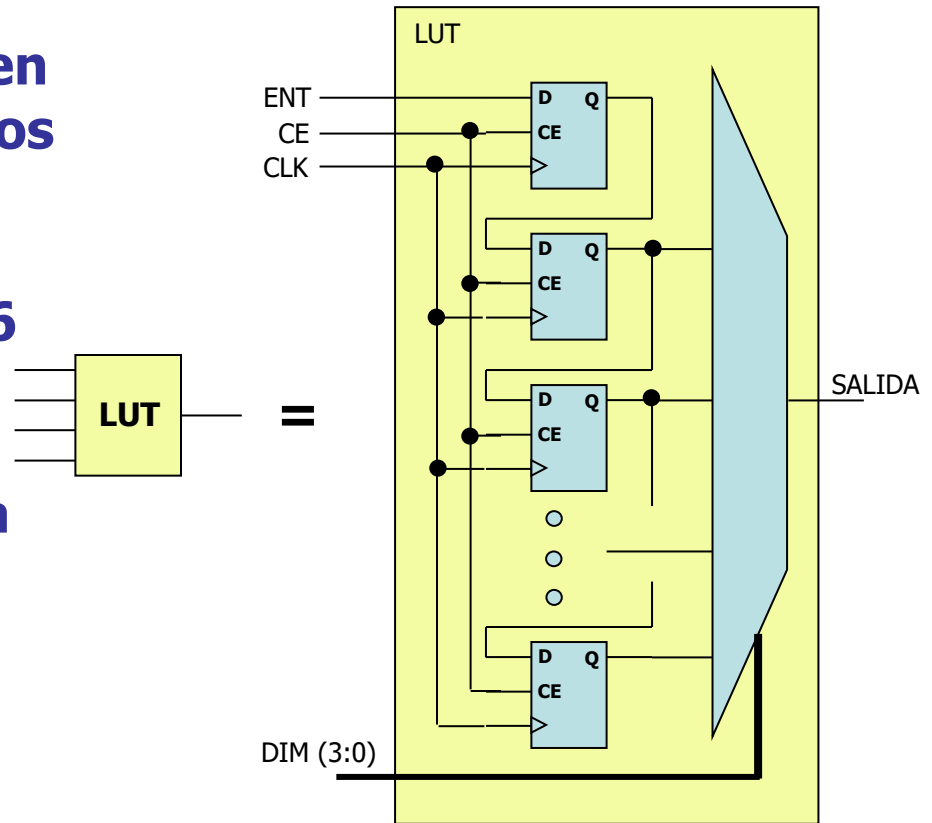
- Simple y doble puerto.
- Cascadas para incrementar la capacidad.
- Lectura solamente (ROM).
- Lectura síncrona o asíncrona.
- En contra: desperdicia gran parte del CLB



Registros de Desplazamiento

Las LUTs de los SLICE-M pueden ser configuradas como Registros de Desplazamiento.

- Demora dinámica de hasta 16 ciclos de reloj.
- Cascadas para incrementar la longitud del Registro.



Circuitos Aritméticos y de Acarreo

Circuitos específicos para Acarreo Anticipado.

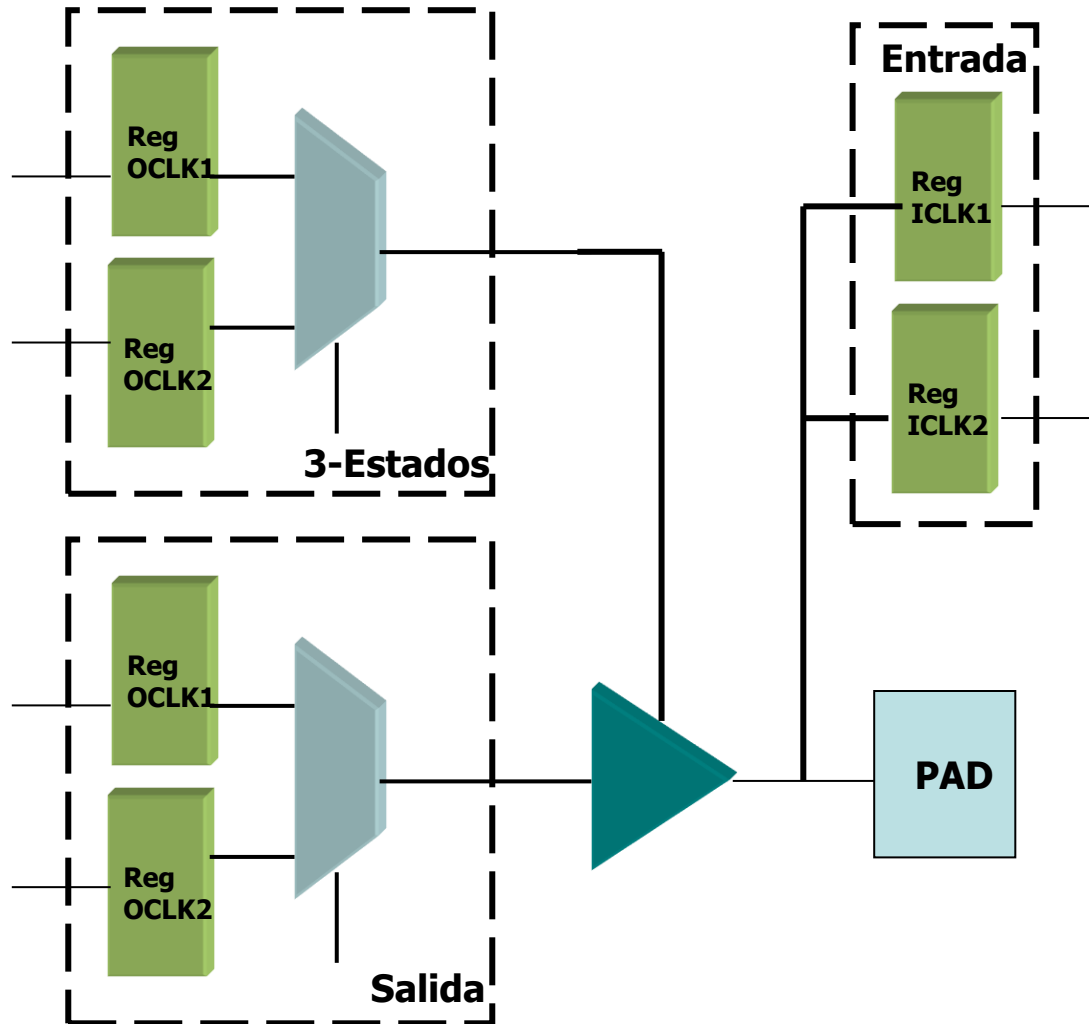
- Elevada prestación para realizar Contadores y funciones aritméticas.
- Pueden ser usados para hacer cascadas de LUT y aumentar número de entradas en funciones lógicas.

Recursos adicionales para una implementación eficiente de Multiplicadores tipo *Suma y Desplaza*.

Elementos que integran una *SPARTAN-3*

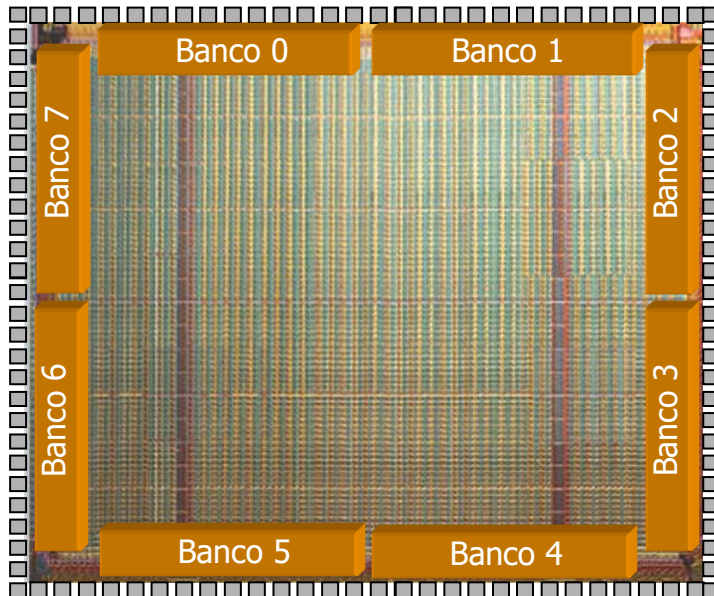
- Bloques Lógicos Configurables (CLB)
- **Bloques de Entrada / Salida (IOB)**
- Bloques de manejo de señales de reloj (DCM)
- Multiplicadores dedicados
- Bloques de memoria RAM dedicados
- Recursos de interconexión

Celdas de Entrada /Salida



- 2 registros de entrada
- 2 registros de salida
- 2 registros de 3-estados
- Relojes separados
- Set y Reset compartidos
 - Separados sinc./asinc.

Facilidades de conectividad



- E/S simple y diferencial
 - 784 simple, 344 diferencial
 - 622 Mb/seg LVDS
 - 24 Standards de E/S
 - 8 Bancos de Buffers de E/S
 - PCi 32/33 y 64/66
 - Elimina uso de transceivers
- 3,3 2,5 1,8 1,5 y 1,2 Volt

Interface chip a chip:



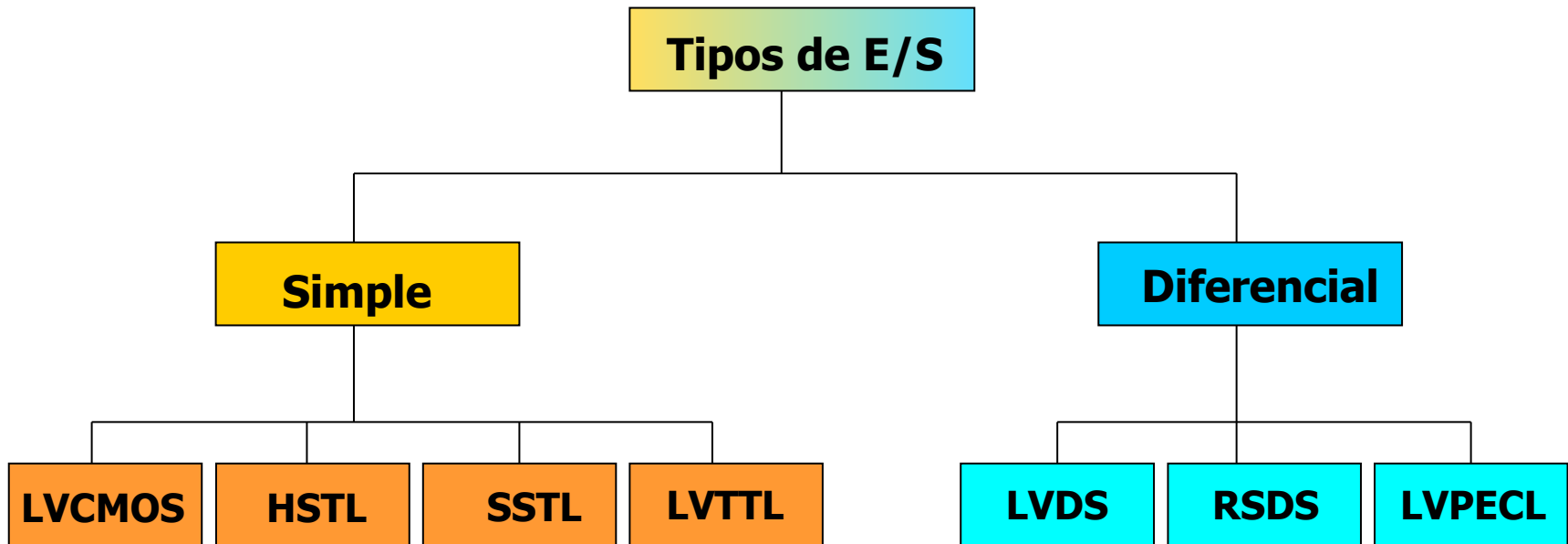
Interface con Backpane:



Interface de alta velocidad con memorias:



Tipos de señales de E/S



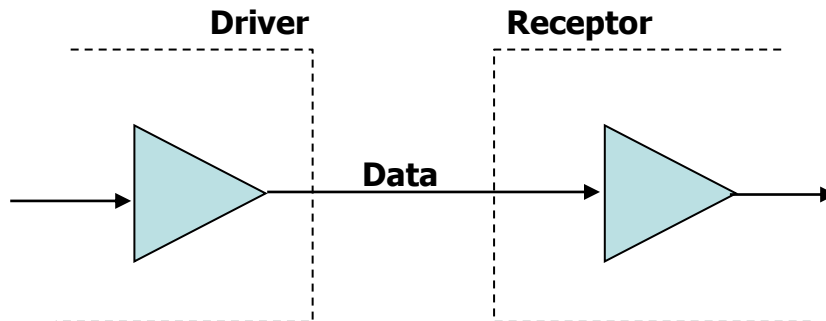
Standards de Entrada / Salida

	Standard	Salida Vcco	Entrada Vref
SIMPLE	LVTTTL	3,3 V	---
	LVC MOS33	3,3 V	---
	LVC MOS25	2,5 V	---
	LVC MOS18	1,8 V	---
	LVC MOS15	1,5 V	---
	LVC MOS12	1,2 V	---
	PC1 33/64 bit 33 Mhz	3,3 V	---
	SSTL CLASE I	2,5 V	1,25 V
	SSTL CLASE II	2,5 V	1,25 V
	SSTL18 CLAS I	1,8 V	0,9 V
	HSTL CLASE I	1,5 V	0,75 V
	HSTL CLASE III	1,5 V	0,9 V
	HSTL18 CLASE I	1,8 V	0,9 V
	HSTL18 CLASE II	1,8 V	0,9 V
	HSTL18 CLASE III	1,8 V	1,1 V
	GTL	---	0,8 V
	GTL+	---	1.0 V
DIFERENCIAL	LVDS2.5	2,5 V	---
	Bus LVDS2.5	2,5 V	---
	Ultra LVDS2.5	2,5 V	---
	LVDS ext2.5	2,5 V	---
	RS DS	2, 5 V	---
	LDT2.5	2,5 V	---

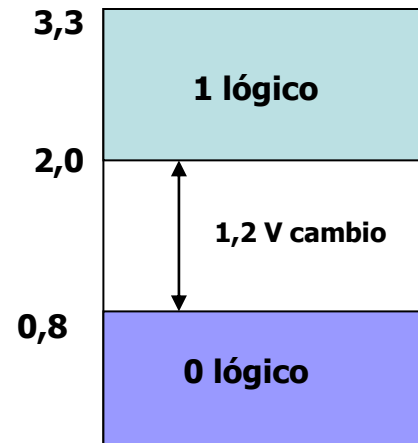
- La gran variedad de standards permite una total integración con otros sistemas.
 - 24 IEEE/JEDEC standards
- Los standards diferenciales:
 - Elevada prestación de E/S.
 - Menos potencia y costo

E/S con línea simple

- Modo tradicional de transferencia de datos.
- Se utiliza una sola línea.
- Mayor cambio de voltaje entre ambos niveles lógicos.
- La energía utilizada guarda una relación cuadrática con el voltaje



Transferencia de datos con línea simple



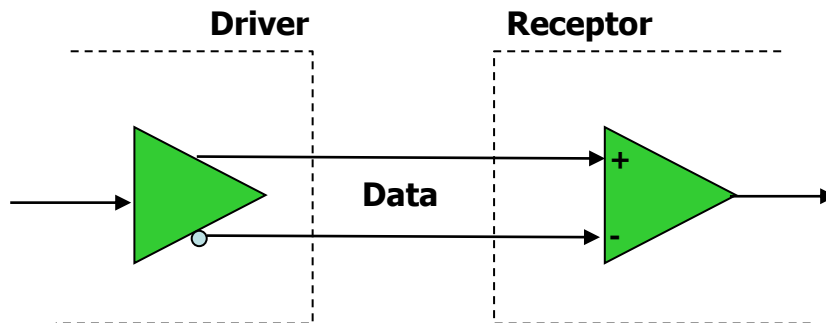
Niveles de voltaje en LVTTTL

E/S con línea diferencial

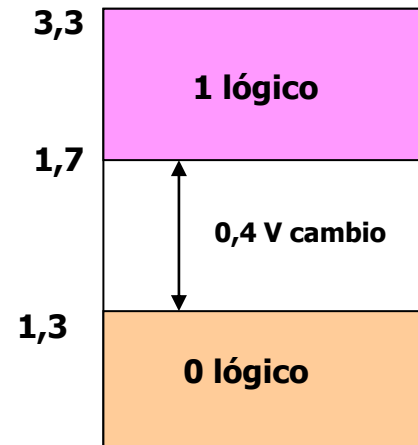
- La diferencia de voltaje determina el nivel lógico.
- Se utilizan dos líneas para transferir 1 bit.
- Menor cambio de voltaje entre ambos niveles lógicos.

Ventajas:

- Reduce la emisión electromagnética.
- Reduce el consumo.
- Mejora el rechazo al ruido, ya que el ruido inducido se debe a la conexión a tierra.
- Aumenta la velocidad máxima de transferencia de datos.

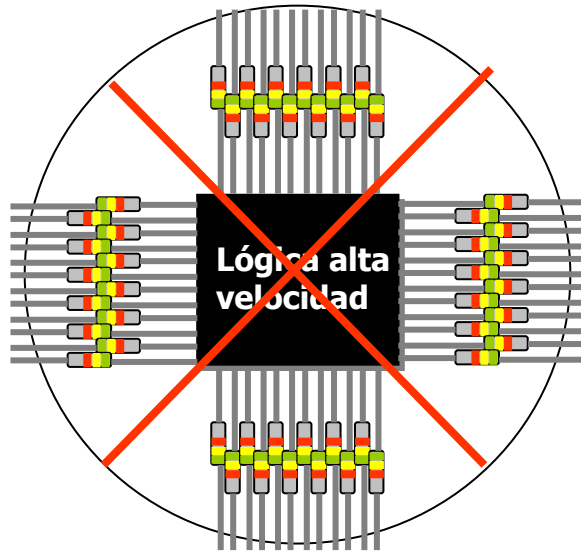


Transferencia de datos con línea diferencial



Niveles de voltaje en LVDS

Impedancias controladas digitalmente

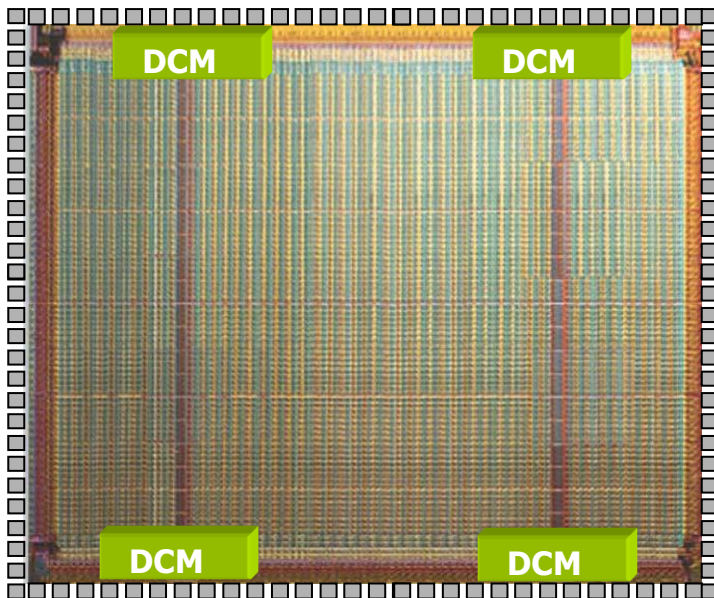


- **Problema:** Cuando un pulso llega a un terminal con una resistencia no apropiada se refleja hacia atrás provocando superposición de señales en la línea, se resuelve con:
- **Resistencias terminales on-chip, además se puede variar el valor de la impedancia digitalmente.**
- **Reduce el costo del circuito impreso.**
 - Elimina las resistencias terminales.
 - Menos capas de interconexión.
 - Más fácil de diseñar el C.I.
- **Aumenta la confiabilidad del sistema.**
 - Reduce el número de componentes.
 - Menor probabilidad de fallo.

Elementos que integran una *SPARTAN-3*

- Bloques Lógicos Configurables (CLB)
- Bloques de Entrada / Salida
- **Bloques de manejo de señales de reloj (DCM)**
- Multiplicadores dedicados
- Bloques de memoria RAM dedicados
- Recursos de interconexión

Controladores Digitales de Reloj (DCM)



- **Delay Locked Loop (DLL)**
 - Elimina demora del reloj.
 - Corrige duty cycle a 50%.
 - 50 Mhz a 320 Mhz (Según dispositivo).
 - Señales a 90, 180 y 270 grados.
 - Duplica la frecuencia.
- **Digital Phase Shifter (DPS)**
 - Incrementos de fase ($T/256$).
- **Digital Frequency Synthesis (DFS)**
 - Multiplica el reloj por M/N .
 - $M = 2$ a 32 , $N = 1$ a 32
 - Limitado según dispositivo

Diagrama de Bloques del DCM

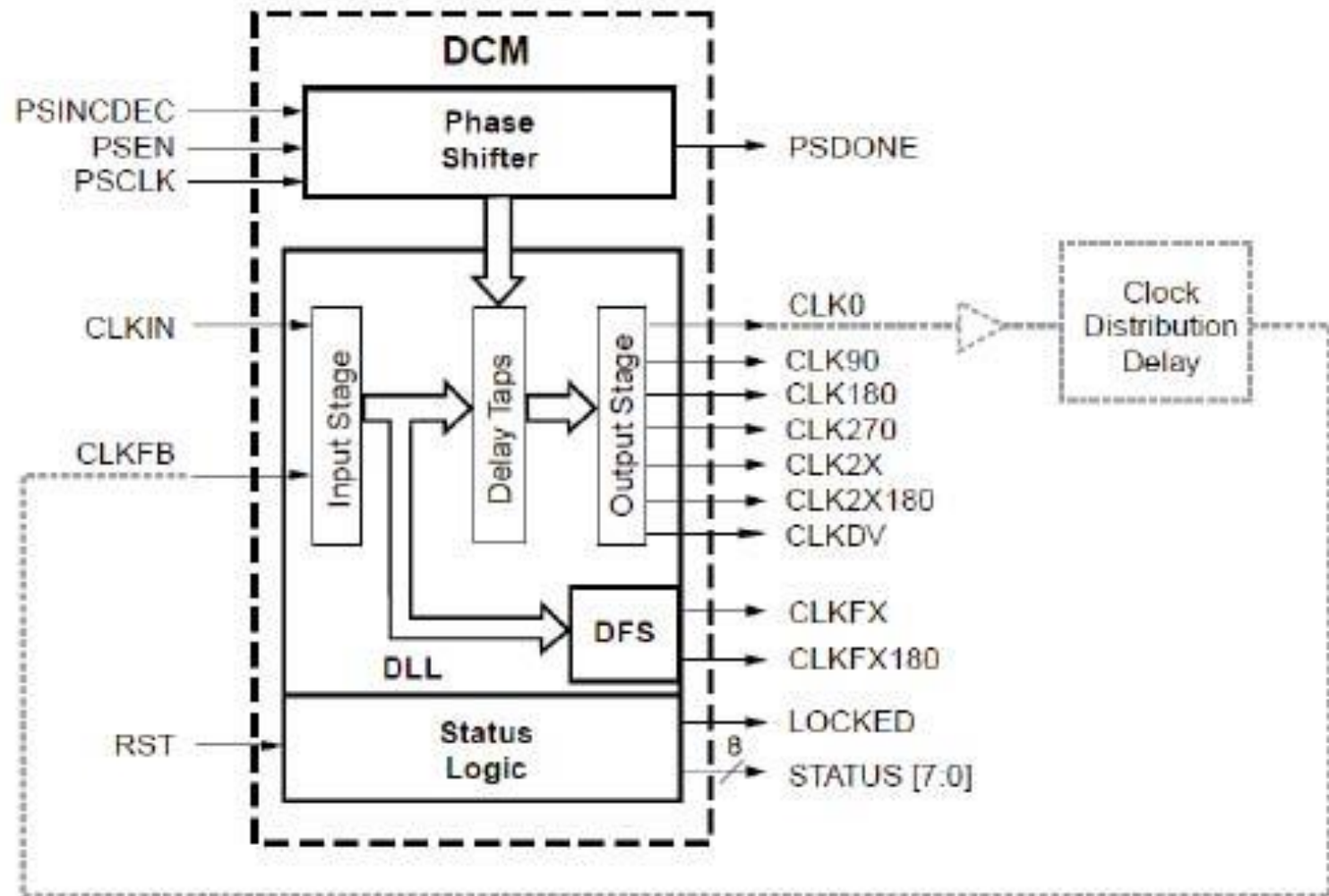
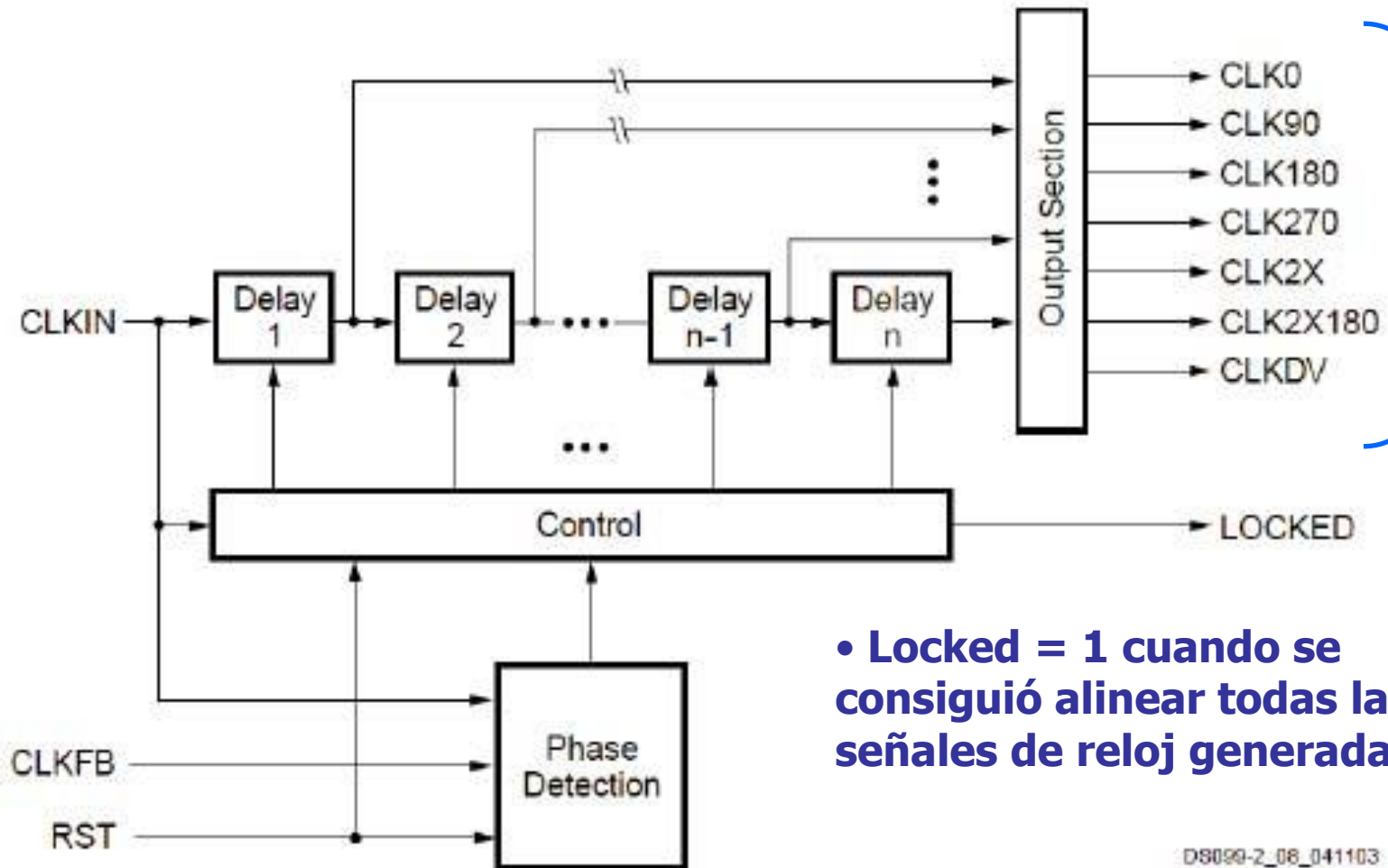
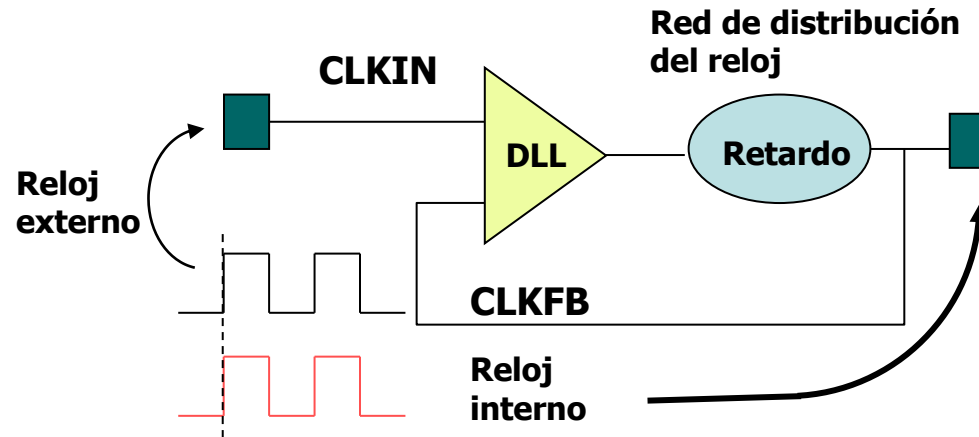


Diagrama funcional del Sub-Bloque DLL



D8090-2_08_041103

DLL: Compensación del retardo de distribución del Reloj



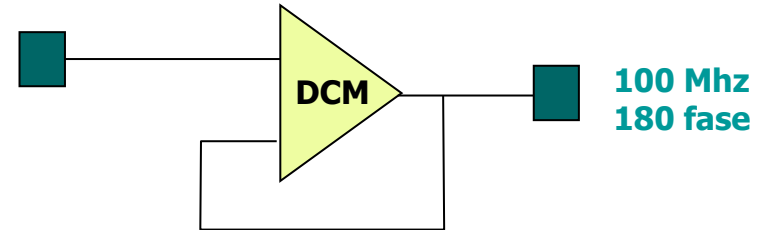
$$T (\text{retardo DLL}) + T (\text{retardo red distribución reloj}) = \text{Período reloj}$$

- EL DLL inserta un retardo adicional en la señal de reloj tal que, los flancos del reloj externo e interno quedan alineados. En un sistema bien diseñado, se puede lograr que el reloj interno llegue simultáneamente con el externo.
- Se puede especificar si es necesario corrección 50/50 % del duty cycle.

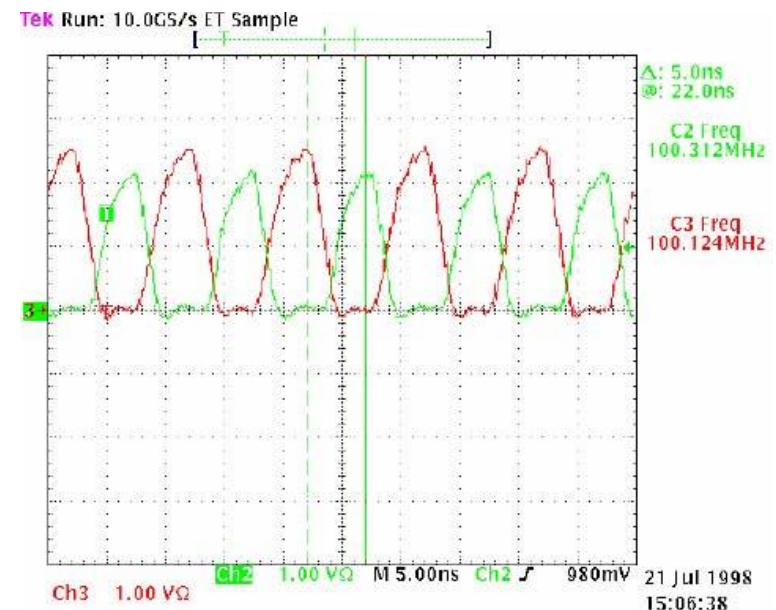
DLL: Desplazamientos de la fase

Desplazamiento de 180 Grados

100 Mhz
0 fase

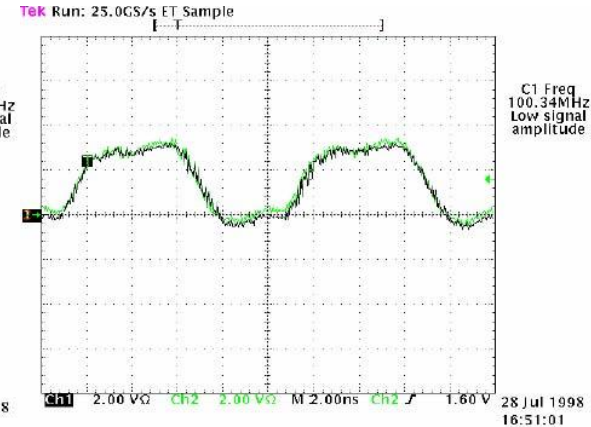
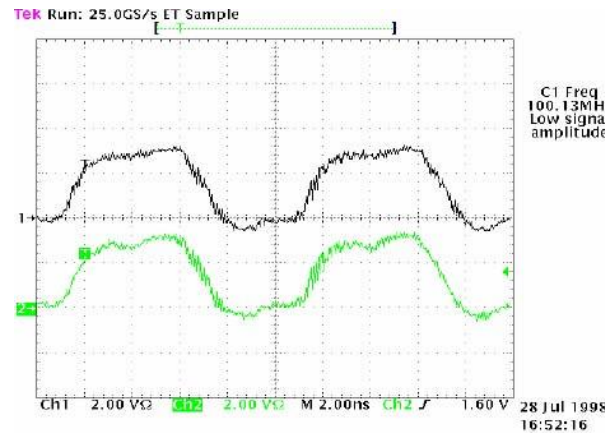
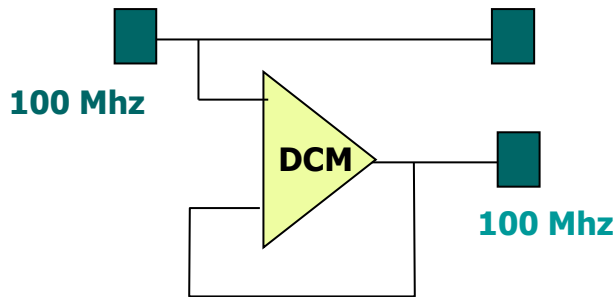


- Desplazamientos de fase: 90, 180 y 270 grados.
- Mejora la prestación al permitir utilizar fases adicionales del reloj.
- Corrección 50/50 % del duty cycle si es necesario.
- Muy útil para la interface con memoria externa.



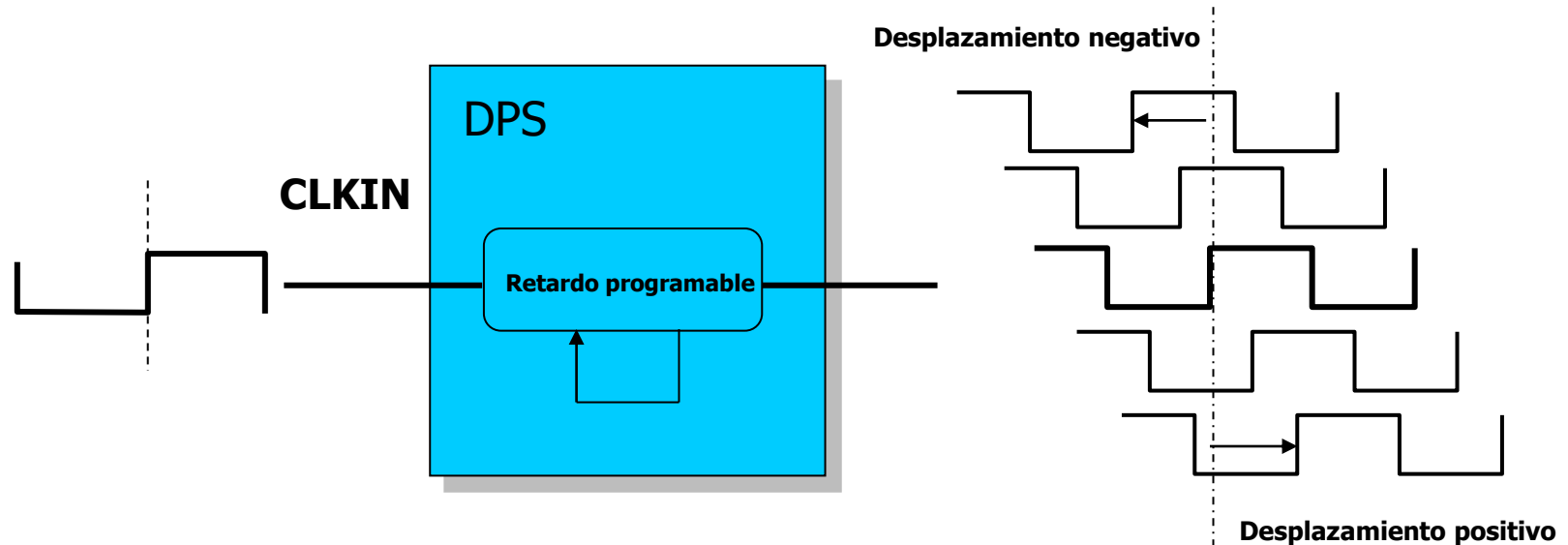
DLL: Espejo del Reloj

Espejo del Reloj 100 MHz



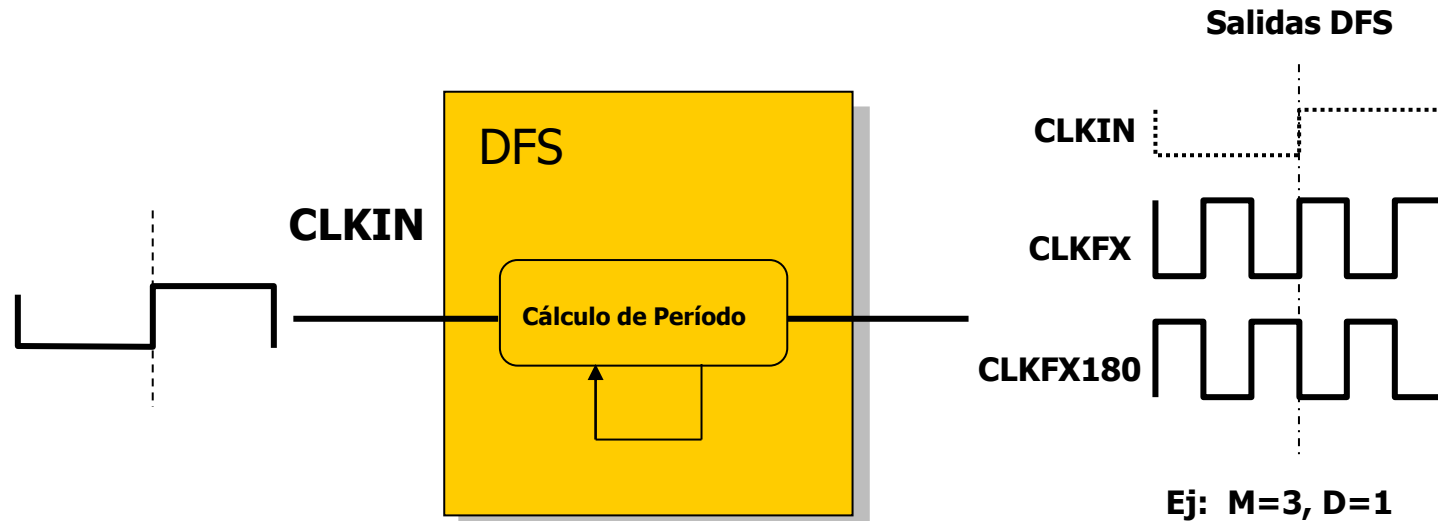
- **Permite duplicar el reloj de entrada al sistema.**
 - Suministra señal de reloj dentro y fuera del chip.
 - Permite distribuir el reloj a todo el sistema.
 - Skew a la salida despreciable.
- **Permite eliminar ruido en el reloj de entrada.**

Digital Phase Shifter (DPS)



- Desplaza el flanco del reloj dentro de ± 1 período de reloj.
 - Desplazamiento = $(PS/256) \times \text{período del reloj}$.
 - donde $-255 < PS < +255$
- Modo fijo o variable.
- Desplazamiento constante con la temperatura y voltaje.
- Afecta a todas las salidas.

Digital Frequency Synthesizer (DFS)



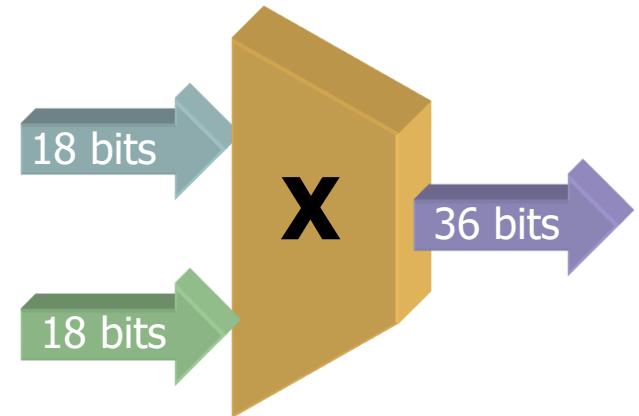
- Sintetiza frecuencias en la gama:
 - $\text{CLKOUT} = (M/D) \text{CLKIN}$.
 - donde $M = 2$ a 32 , $D = 1$ a 32 (limitado en mínimo y máximo y en función de la señal de reloj de entrada)
- Modo fijo o variable.
- Frecuencia constante con la temperatura y voltaje.
- Salida con 50/50 % duty cycle.

Elementos que integran una *SPARTAN-3*

- Bloques Lógicos Configurables (CLB)
- Bloques de Entrada / Salida
- Bloques de manejo de señales de reloj (DCM)
- **Multiplicadores dedicados**
- Bloques de memoria RAM dedicados
- Recursos de interconexión

Multiplicadores Dedicados

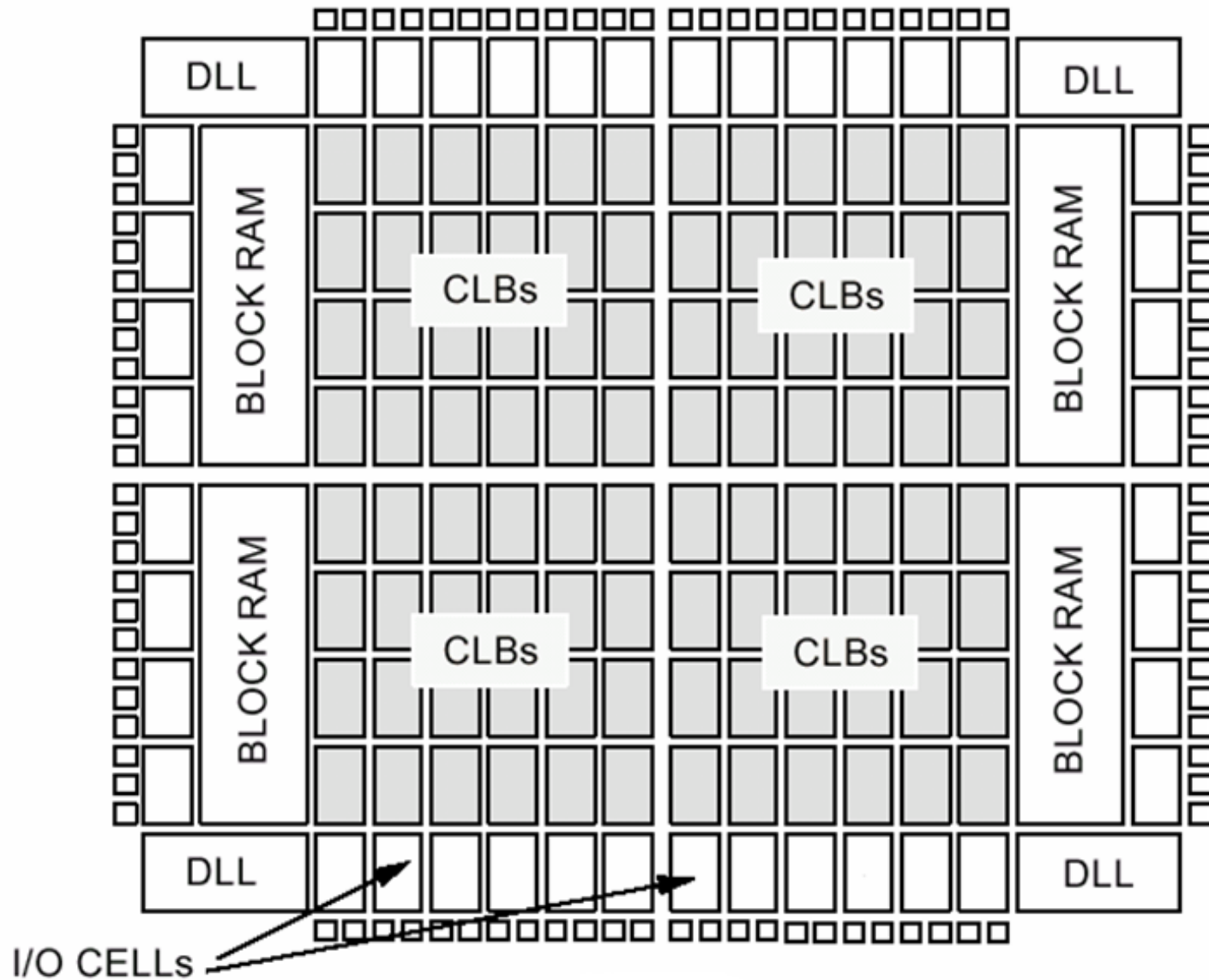
- **Multiplicación de 17 bits con signo.**
- **Multiplicación de 18 bits sin signo.**
- **Operación en complemento 2.**
- **Opción combinacional o pipeline.**



Elementos que integran una *SPARTAN-3*

- Bloques Lógicos Configurables (CLB)
- Bloques de Entrada / Salida
- Bloques de manejo de señales de reloj (DCM)
- Multiplicadores dedicados
- **Bloques de Memoria RAM dedicados**
- Recursos de interconexión

Bloques de memoria dedicada BRAM



Bloques de RAM dedicados

- Bloques específicos de 18 Kilobit de RAM síncrona.
- Ideales para aplicaciones como Bancos de Registros, Fifos y Buffers.
- Incluso permiten construir "cachés" específicas.
- Pueden ser inicializados y utilizados como una ROM.
- Doble Puerto de lectura/escritura que pueden ser configurados independientemente.
- Los bits de paridad pueden ser utilizados como bits de datos.

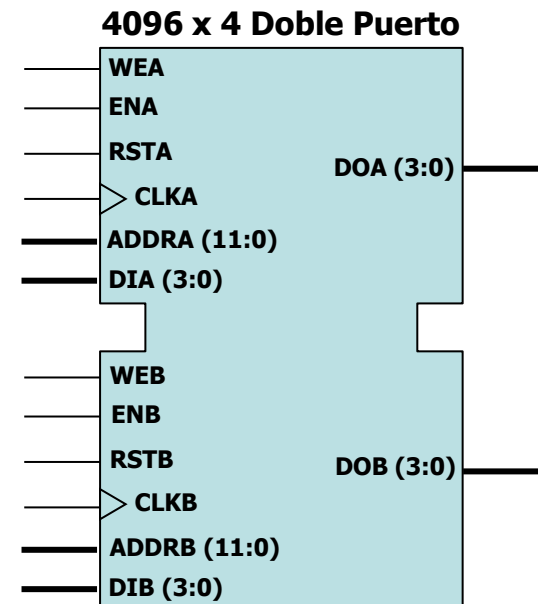
Organización	Profundidad	Bits de Datos	Bits de Paridad
16K x 1	16Kb	1	0
8K x 2	8Kb	2	0
4K x 4	4Kb	4	0
2K x 9	2Kb	8	1
1K x 18	1Kb	16	2
512 x 36	512	32	4



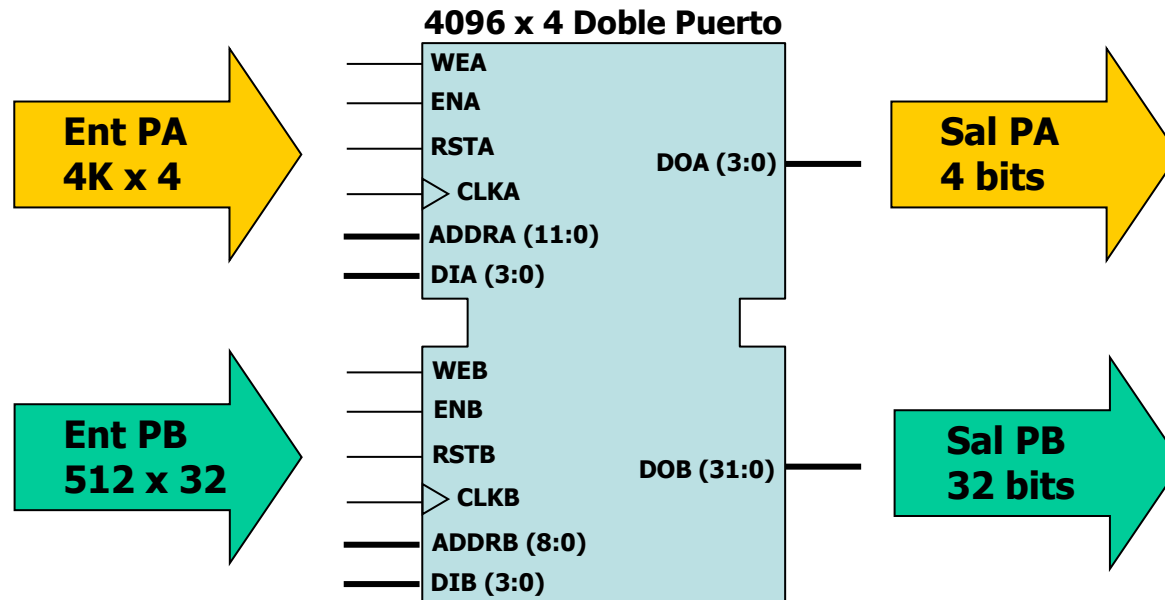
*High Performance
Sync Dual-Port™ RAM*

Bloques de RAM dedicados

- **Lectura y/o Escritura simultanea en ambos Puertos.**
- **Controles independientes:**
Datos
Direcciones
Reset
Lectura / Escritura
Reloj y Habilitación
- **Pueden ser usados como 2 RAM independientes.**



Flexibilidad del Doble Puerto

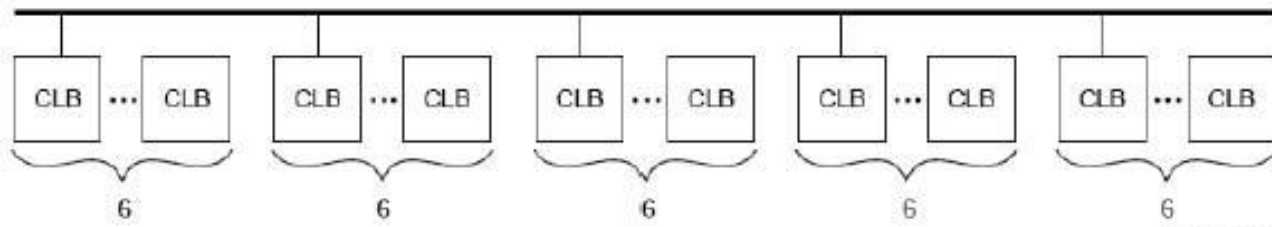


- Cada Puerto puede ser configurado con diferente número de bits.
- Permite fácilmente la conversión del formato de la palabra.

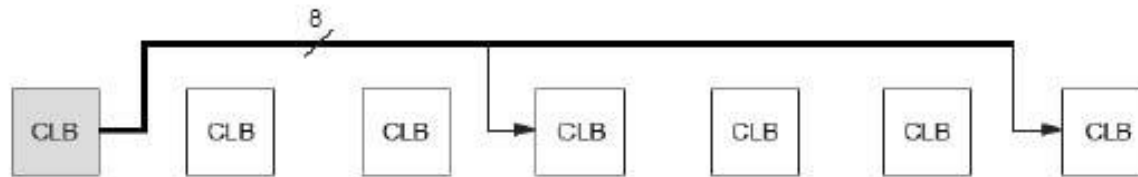
Elementos que integran una *SPARTAN-3*

- Bloques lógicos configurables (CLB)
- Bloques de entrada / salida
- Bloques de manejo de señales de reloj (DCM)
- Multiplicadores dedicados
- Bloques de memoria RAM dedicados
- Recursos para la interconexión

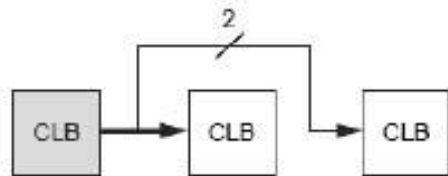
Diferentes tipos de interconexión entre CLB



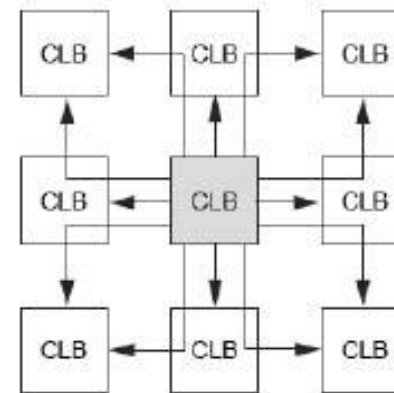
a) Líneas largas



b) Grupos de 6



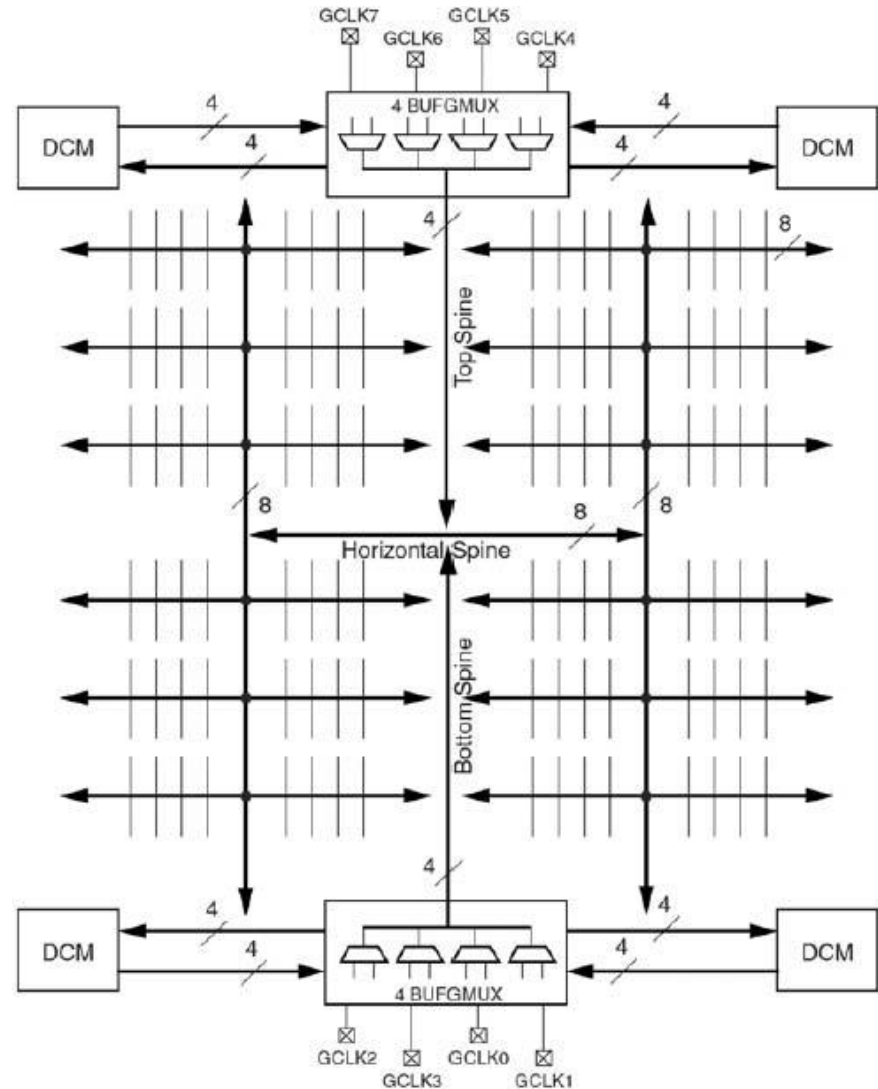
a) Líneas dobles



a) Líneas directas

Líneas globales de interconexión

- 8 líneas de reloj diseñadas para distribuir señales de reloj con alto fan-out.
- Las señales con alto fan-out pueden ser distribuidas con mínimo retardo.



Resumen de los componentes de la familia *SPARTAN-3*

← **Densidad 100 X** →

Dispositivo	XC3S50	XC3S200	XC3S400	XC3S1000	XC3S1500	XC3S2000	XC3S4000	XC3S5000
Puertas equiv.	50 K	200 K	400 K	1000 K	1500 K	2000 K	4000 K	5000 K
CLB	1,728	4,320	8,064	17,280	29,952	46,080	62,208	74,480
Multiplicadores	4	12	16	24	32	40	96	104
Bloques RAM	4	12	16	24	32	40	96	104
Bits RAM	72 K	216 K	288 K	432 K	576 K	720 K	1,728 K	1,872 K
Bits RAM dist.	12 K	30 K	56 K	120 K	208 K	320 K	432 K	520 K
DCM	2	4	4	4	4	4	4	4
Standards E/S	24	24	24	24	24	24	24	24
Max. E/S simple	124	173	264	391	487	565	712	784

50,000 A 5,000,000 de puertas equivalentes

Pines de la Familia *Spartan-3*

- Como es de esperar, la mayoría de los pines en una FPGA son de E/S y pueden ser configurados individualmente como entradas, salidas o bidireccionales. Algunos aspectos a tener en cuenta a la hora de configurarlos:
 - 1- Algunos standards necesitan suministrar VREF.
 - 2- El voltaje de salida es el mismo para un Banco y está determinado por VCCO.
 - 3- Las líneas diferenciales necesitan 2 pines de E/S.
- Hay un elevado número de pines de alimentación y tierra.
 - 1- VCCINT deben ser conectados a 1,2 Volt y alimentan la lógica programable.
 - 2- VCCO es la alimentación de los drivers de salida y deben ser conectados a un voltaje máximo de 3,3 Volt. Hay 8 juegos de pines VCCO, uno para cada Banco.
 - 3- VCCAUX deben ser conectados a 2,5 Volt y alimentan los circuitos de configuración de la FPGA y otras funciones.

Pines de la Familia *Spartan-3*

- Los pines VREF suministran el voltaje umbral para ciertos standards de E/S. Pueden ser usados como E/S de uso general, si VREF no es necesario.
- Hay algunos pines relacionados con las señales de reloj, que tienen propiedades especiales.
 - 1- GCLK0 a GCLK7 son entradas especializadas para señales de reloj. Estos pines están internamente conectados con buffers globales de señales de reloj y a los bloques DCM.
 - 2- Pueden ser utilizados como pines generales de E/S, si no son necesarias tantas señales de reloj.

Pines de Configuración

Hay varios pines que sirven para cargar en la SPARTAN-3 los datos de configuración. Son comunes a la mayoría de las FPGA fabricadas por XILINX.

- PROG_B	Orden de inicio de la configuración.
- INIT_B	Limpia la memoria de configuración.
- DONE	La FPGA coloca en nivel alto al finalizar exitosamente la configuración.
- M0, M1, M2	Seleccionan el modo de configuración.
- Pines del JTAG	
TCK	Reloj de sincronización (33 Mhz.).
TDI	Entrada serie de datos.
TDO	Salida serie de datos.
TMS	Control de la máquina de estados.

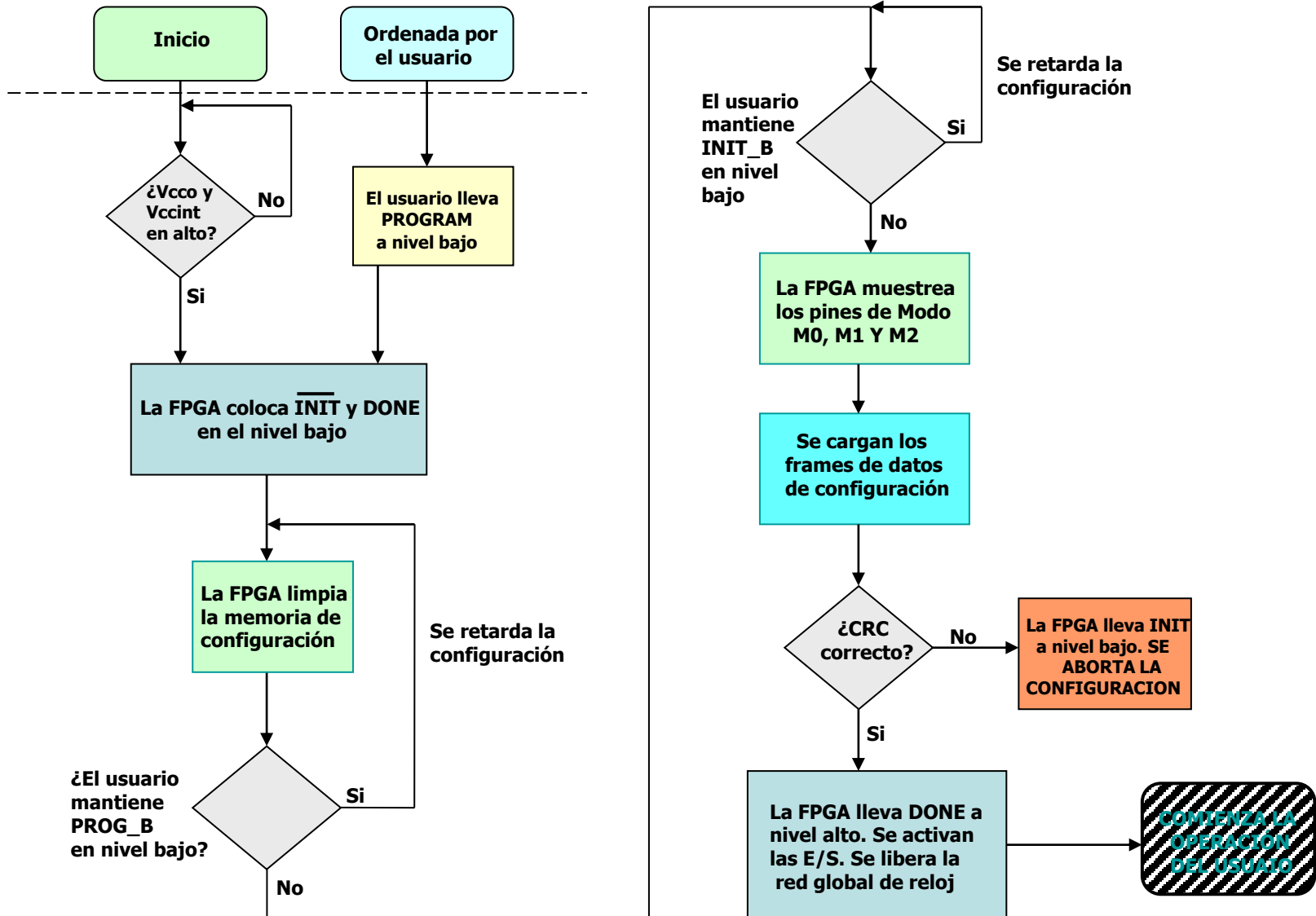
El JTAG siempre está disponible y la configuración se inicia cuando se carga el comando de configuración.

Modos de Configuración

- Para la familia SPARTAN – 3 hay 5 modos diferentes de configuración determinados por M0, M1 y M2.
- En el Modo Master, la FPGA genera el reloj de sincronización de la transferencia. En el modo Esclavo, la ROM genera el reloj CCLK.
- La transferencia de datos puede ser serie o paralelo.
- El JTAG es un modo Esclavo - Serie especial.

Modo de Configuración	M0	M1	M2	Reloj de sincronización	Bits de datos
Master- Serie	0	0	0	Salida CCLK	1
Esclavo - Serie	1	1	1	Entrada CCLK	1
Master - Paralelo	1	1	0	Salida CCLK	8
Esclavo - Paralelo	0	1	1	Entrada CCLK	8
JTAG	1	0	1	Entrada TCK	1

Proceso de Configuración



Tamaño del Archivo de Configuración para la Familia de FPGA *SPARTAN-3*

Dispositivo	Tamaño Archivo Bits	PROM Flash de XILINX		Duración de Configuración *
		Serie	Paralelo	
XC3S50	439,264	XCF01S	XCF08P	6,6 mseg
XC3S200	1,047,616	XCF01S	XCF08P	16 mseg.
XC3S400	1,699,136	XCF02S	XCF08P	26 mseg.
XC3S1000	3,223,488	XCF04S	XCF08P	49 mseg.
XC3S1500	5,214,784	XCF08P	XCF08P	79 mseg.
XC3S2000	7,673,024	XCF08P	XCF08P	116 mseg.
XC3S4000	11,316,865	XCF16P	XCF16P	171 mseg.
XC3S5000	13,271,936	XCF16P	XCF16P	202 mseg

*** Duración en el modo Serie con CCLK = 66 Mhz. En el modo Paralelo es ocho veces menor. Mediante el JTAG y con el reloj TCK = 33 Mhz, el tiempo de configuración es el doble.**