

Responde cada pregunta en una hoja distinta. Tiempo disponible: 2 horas 30 minutos

1. (3 puntos) En un procesador con ejecución fuera de orden y ROB con 120 entradas se ha obtenido el siguiente diagrama de instrucciones/ciclo.

PC	Instrucción	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
16	(i1) l.s f0,0(r1)	IF	I	AC	L1	L2	WB	C										
20	(i2) l.s f1,0(r2)		IF	I	AC		L1	L2	WB	C								
24	(i3) add.s f0,f1,f2			IF	I					A1	A2	WB	C					
28	(i4) add.s f1,f2,f3				IF	I	A1	A2		WB				C				
32	(i5) add.s f2,f4,f3					IF	I	A1	A2		WB				C			
36	(i6) mul.d f2,f2,f1						IF	I				M1	M2	WB		C		
40	(i7) add.s f3,f1,f0							IF	I	I			A1	A2	WB		C	
44	(i8) add.s f4,f5,f6								IF	IF	I	A1	A2			WB		C

Los registros enteros r1 y r2 tienen almacenados los valores 100 y 200, respectivamente; las posiciones de memoria 100 y 200 contienen los valores 7.0 y 8.0, respectivamente; y el contenido del banco de registros de coma flotante es el siguiente:

Registro	valor	ROB
f0	0.0	
f1	1.0	
f2	2.0	
f3	3.0	
f4	4.0	
f5	5.0	
f6	6.0	

Se pide, **únicamente para el ciclo 12 (final de ciclo)**:

- Indicar cuántas entradas ocupadas tendría el ROB y su contenido. Asume que la primera instrucción del diagrama tenía asignada la entrada uno.
- Contenido del banco de registros de coma flotante.
- Indica si, a partir del diagrama, se puede considerar que el número de estaciones de reserva en el sumador/restador se puede considerar ilimitado o limitado para el código mostrado. Justifica la respuesta. Indica también cuántas estarían ocupadas al final del ciclo 12 y el contenido de las mismas. Para la realización de este apartado asume que la primera que se ocupa es a1, la segunda a2, y así sucesivamente.

2. (1 punto)

Responde a las siguientes preguntas teóricas. Cuando una instrucción de salto llega a la etapa commit y se detecta un fallo de predicción de salto, indica qué acciones deben realizarse en cada una de las siguientes estructuras:

- ROB.
- Banco de registros de coma flotante.
- Estaciones de reserva del sumador/restador.
- Buffer de stores (tampones de escritura).

3. (4 puntos)

El procesador ARM K27v es un procesador con tamaño de palabra de 64 bits y una arquitectura *load/store* similar al MIPS. Su versión más reciente funciona con una frecuencia de reloj de 3.6GHz.

Para una carga típica se obtiene un CPI en ausencia de fallos de 1.3 ciclos. Dicha carga tiene un 25 % de instrucciones de tipo *load* y un 10 % de instrucciones de tipo *store*.

El procesador dispone de dos niveles de memoria *cache*, L1 y L2, con tasas de fallos locales para la carga estudiada de 11 % y 36 % respectivamente. El tiempo de acierto es de 1 ciclo para la cache L1 y 8 ciclos para la cache L2. Ambos niveles trabajan con un tamaño de bloque de 128 bytes.

Por otra parte, la memoria principal empleada es una SDRAM DDR4 2400MHz, con un tiempo promedio de lectura de bloque de 38,6 ciclos de bus de memoria.

Calcula:

- a) La penalización de fallo para la *cache* L1.
  - b) El tiempo de ejecución de un programa formado por 15 millones de instrucciones.
  - c) Existe la posibilidad de realizar una nueva implementación del procesador empleando una memoria *cache* L1 de doble tamaño del actual que reduciría la tasa de fallo a sólo 7 %. No obstante esta memoria sería más lenta que la original lo que ha condicionado al equipo de diseño a reducir la frecuencia del procesador a 2.8Ghz. Por su parte la cache L2 aumentaría su tasa de fallos a 57 % y su tiempo de acierto pasaría de 8 ciclos a 6 ciclos. Calcular si esta nueva configuración ofrece una mejora y en tal caso cuantificarla.
  - d) En el apartado anterior la inclusión de una cache L1 de mayor tamaño ha tenido una serie de consecuencias. Intenta dar una posible explicación a cada una de las siguientes modificaciones:
    - 1) Se ha tenido que reducir la frecuencia de reloj del procesador.
    - 2) Se han reducido los ciclos del tiempo de acierto de la cache L2.
4. (2 puntos) Un sistema tiene instalada una memoria Samsung Hynix Micron DDR2 PC2-6400 con temporización  $CL-t_{RCD}-t_{RP}$  10-10-10 y ancho de bus de 64 bits. En cada acceso, la memoria transfiere un bloque de memoria de 64 bytes. De media, la probabilidad de que un acceso a memoria encuentre abierta la fila donde se encuentra el bloque es del 40 %.

Responde, justificando las respuestas:

- a) ¿Cuál es el tiempo de lectura de un bloque en memoria principal? Calcúlalo en ciclos de bus de memoria.
- b) Se han considerado tres opciones para mejorar el tiempo de lectura:
  - 1) Reducir a la mitad el tiempo entre el envío de la dirección de columna por el bus de memoria y el comienzo de la recepción del bloque.
  - 2) Reducir a la mitad la latencia del comienzo de la recepción de los datos cuando el acceso encuentra abierta otra fila diferente de la que contiene el bloque.
  - 3) Duplicar el ancho de bus de memoria.

Para cada una de las tres opciones, calcula el tiempo de lectura en ciclos de bus.

- c) Calcula el tiempo de lectura en ciclos de bus para la memoria original aplicando la técnica *Early Restart*. Asume que cada palabra de 64 bits del bloque de cache tiene la misma probabilidad de ser la requerida por el procesador.

**Apellidos y Nombre:**

**Ejercicio 1** Información al final de ciclo 12.

- a. El número de entradas ocupadas en el ROB es ..... que viene delimitado por las instrucciones que ya han realizado la etapa ..... y tienen pendiente realizar la etapa .....

Nº entrada	Busy	Instrucción	Estado	Destino	Valor	Predicción	PC

- b. Contenido del banco de registros de coma flotante.

Registro	valor	ROB
f0		
f1		
f2		
f3		
f4		
f5		
f6		

- c. El número de estaciones de reserva del sumador/restador se puede considerar (argumentar si limitado o ilimitado)

.....

.....

Nº entrada	Busy	Operación	Qj	Vj	Qk	Vk	Resultado	ROB