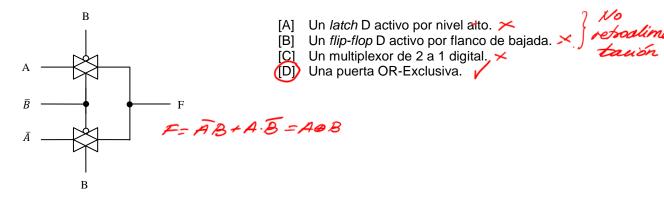
8 Cuestiones de TEORIA (6 puntos). Puntuación: BIEN:+0.75 puntos. MAL: -0.1875 puntos. N.C.: 0

- 1. Dadas las siguientes especificaciones eléctricas de una puerta HCMOS alimentada a +5V, indique cuál de las siguientes afirmaciones, referida a una puerta, es FALSA: Marger (H: 3,84-3,15= 0,69V)
 - $V_{\text{IHmin}} = 3.15V$, $V_{\text{ILmax}} = 1.35V$ $\stackrel{P}{\leftarrow} = Vcc \cdot Ice = 0,0 ImW$
 - $V_{OHmin} = 3.84V$, $V_{OLmax} = 0.33V$
 - $I_{IHmax} = 1\mu A$, $I_{ILmax} = -1\mu A$
 - $I_{OHmax} = -4mA$, $I_{OLmax} = 4mA$
 - $I_{CC(typ)} = 2 \mu A$
 - $T_{pd(typ)} = 9 \text{ ns}$
 - C_{pd} (capacidad por puerta, sin carga) =
- (A) El consumo estático es de 0.001mW. ×
- El margen de ruido es de 0.69V. V [B]
- El fan-out recomendado por el fabricante es de 50.
- [D] Asumiendo una frecuencia de conmutación de las entradas de 10MHz, y que la salida está sin conectar,

el consumo dinámico es de 1.38 mW.

Pd= V2. Spd. fin = 5². 5,5.10 .10.10 = 1.38 mW Fan-out (dinámio) recomendado=50

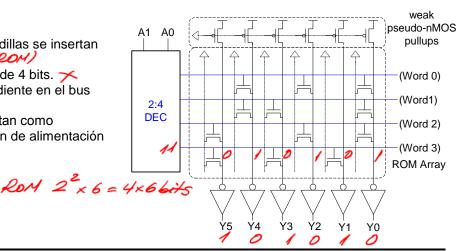
2. El circuito adjunto, implementado con puertas de transmisión CMOS, es:



3. Dada la memoria ROM de la figura, señale la afirmación FALSA:

Nota: A0 e Y0 son los bits de menor peso.

- Los transistores de la matriz de celdillas se insertan en el proceso de fabricación. 1 CROM
- Se trata de un ROM de 6 palabras de 4 bits. 🗡 Si A1=1 y A0=1, el dato correspondiente en el bus será '101010'. 🗸
- Los transistores 'pullup' se comportan como resistencias conectadas a la tensión de alimentación V_{DD} . I/



Dadas las especificaciones de una familia lógica que se muestran en la tabla adjunta, indique cuál de las siguientes afirmaciones es VERDADERA:

-									
Ī	V _{IHmin}	V _{ILmax}	V_{OHmin}	V _{OLmax}					
I	3V	1.5V	4V	1V					
Ī	I _{IHmax}	I _{ILmax}	I _{OHmax}	I _{OLmax}					
ĺ	20μΑ	-0.36mA	–300uA	6mA					

- [A] El margen de ruido a nivel alto es 0.5V.X
- (B) El margen de ruido es 0.5V.
- [C] El fan-out a nivel bajo es 17.
- [D] El fan-out es 16.

Margen ruido { 4: 4-3= 10 } Margen ruido=0,50

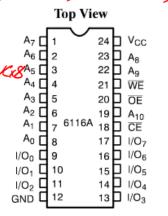
Fan-out { H: L300 p/20 p/= 15 } Fan-out = 15

- 5. El circuito integrado 6116A, cuyo patillaje se indica en la figura, es una memoria SRAM con un tiempo de acceso típico de 20ns. A la vista del dibujo, podemos afirmar que:
- [A] La línea /CE (pin 18) corresponde a la selección de chip, por lo que deberá mantenerse a '1' durante cualquier operación de lectura o escritura que afecte al chip. × / a '0'
- escritura que afecte al chip. × (a b)

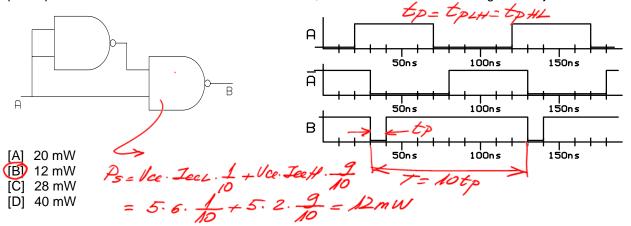
 Su capacidad de almacenamiento será de 2kBytes. 2 8=2.2 ×

 [C] 20 ns es el tiempo máximo que tarda un dato en ser escrito desde que se estabiliza la dirección (A₁₀...A₀). × (E₁ para lectura)

 [D] La línea /WE permite controlar la temporización del proceso de
- [D] La línea /WE permite controlar la temporización del proceso de lectura, mientras que la línea /OE nos permite el control temporal del proceso de escritura.



- 6. Indique la respuesta FALSA acerca de los fundamentos del diseño y fabricación VLSI:
- [A] El pozo N (N-well) constituye el sustrato de los transistores PMOS en el proceso de fabricación CMOS.1
- [B] Las máscaras son proyectadas sobre la oblea empleando luz ultravioleta.
- (C) El diseño con celdas estándar se utiliza para partes del chip críticas que requieren características muy x óptimas a nivel de área, consumo o velocidad. (Para este proposito el usa full custom)
- [D] El diseño full-custom se hace a nivel de máscara (diseño geométrico) empleando editores de layout.
- 7. Si las puertas del circuito de la figura se alimentan con Vcc=5V, sus consumos estáticos son I_{CCL} =6mA, e I_{CCH} =2mA y sus retardos de propagación son t_{PHL} =10ns y t_{PLH} =10ns, calcule la potencia estática media consumida por la puerta NAND situada a la derecha del circuito, teniendo en cuenta el cronograma adjunto.

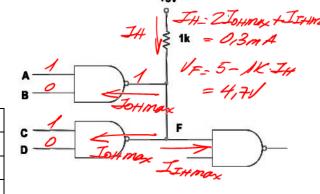


F- (AB).(CD) = 1

8. Considere el circuito adjunto y los parámetros característicos siguientes. Se trata de puertas con salidas en colector abierto. Indique para la combinación de entradas (A=3V, B=0.4V, C=4.5V, D=0.6V) el valor de la tensión del nodo F.

- [A] F = 0.5V
- [B] F = 4.9V
- (C) F = 4.7V
- [D] F = 5V

V _{IHmin}	V _{ILmax}	V_{OHmin}	V _{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I _{IHmax}	I _{ILmax}	I _{oHmax} (fugas)	l _{OLmax}
200 μΑ	-0.36 mA	50 μΑ	7 mA



Apellidos:

SOLUCION

Nombre:

PROBLEMA (4 PUNTOS)

A. (1 punto) Se quiere diseñar en lógica CMOS complementaria la función suma de un sumador $S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$ completo de 1 bit (Full Adder):

Dibuje el esquema con transistores del circuito CMOS correspondiente. Justifique el diseño.

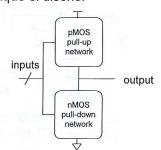
A.1 Esquema con transistores (0.8P)

A.2 Justificación del diseño (0.2P)

S- ABC + ABC + ABC + ABC

GPMOS = I con las variables regadas

GAMOS = ABC+ABC+ABC+ABC Serie



Nota: Emplee el símbolo simplificado para los transistores

El Hoge Nros de genera de pora lelo

manera dual, combiando las asociaciones serie a paralelo

- B. (1 punto) Verifique el correcto funcionamiento del circuito para la combinación de entradas A = B = '1', C = '0'. Para ello sustituya los transistores por los interruptores (abiertos o cerrados) equivalentes y deduzca el valor de la función S.
- B.1 Esquema con interruptores abiertos/cerrados (0.6P)

600

B.1 Justificación del valor lógico de la función y comparación con el valor de la expresión de S:

 $S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \text{ (0.4P)}$

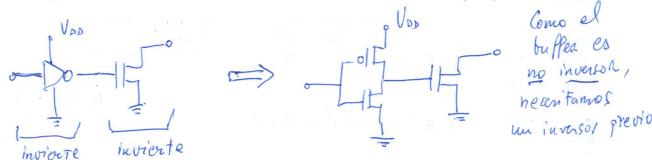
A=B=1', C=O -> seguir le expressai, S=O Vdd B B A

Conesión S - mala -> S=0

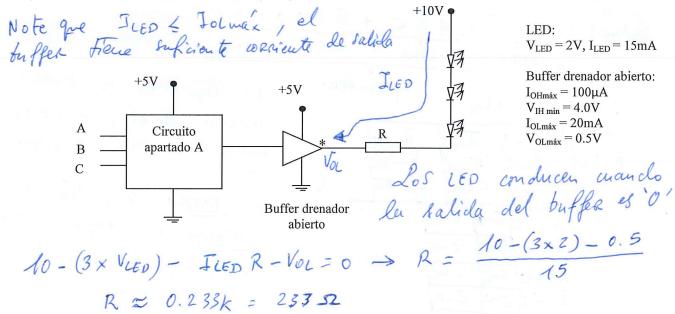
Los mos sonducen con 1'

23 lebsux 4 bit

- C. (1 punto) Suponga que se añade al circuito del apartado A, un buffer no inversor con salida en drenador abierto para controlar un panel de LED, tal como muestra la figura. Se pide:
 - C.1 Esquema interno del buffer en drenador abierto, a base de transistores. (0.5P)



C.2 Diseño de la resistencia R para conseguir una correcta iluminación de los LED. Observe que el panel de LED está alimentado a +10V (0.5P)



- D. (1 punto) Complete la tabla de verdad de la función S del apartado A y realice el diseño de esta función utilizando una **memoria ROM NOR**. Dibuje la estructura interna con transistores e indique el tamaño de la memoria.
 - D.1 Tabla de verdad (0.2P)
 - D.2 Tamaño de la ROM (palabras x tamaño de la palabra) (0.2P)
 - D.3 Esquema interno de la ROM (0.6P)

	Α	В	С	S	tamaño de la ROM = ¿E para us x	
	0	0	0	0		
	0	0	1	1		
	0	1	0	1	*Voo 8	
	0	1	1	0		
	1	0	0	1		
	1	0	1	0	A)	
	1	1	0	0	DECI - PECI	
	1	1	1	1	A DECI	
	_	_	^		2 3 3 4 3	
/				1	o y	
				1		
WL) 6 T	
1 -			WI 1.		BL (linea de bit.)	
	23	M			BL (linea de sir)	
(BL			7 B	V L	
				=	punso de 15	
	-				Conscrete 4	
					con; acro	,60
					3	