

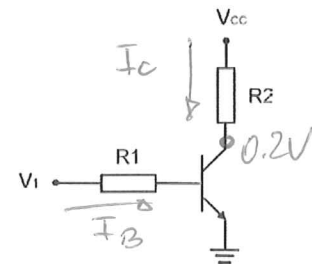
TEORÍA 1<sup>er</sup>.Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 ptos., MAL -0.3 ptos., N.C.: 0

1. El circuito de la figura es un inversor lógico con BJT. ¿A partir de qué tensión de entrada se satura el transistor?

- [A]  $V_{eMIN(SAT)} = 0V$   
 [B]  $V_{eMIN(SAT)} = 0.7V$   
 [C]  $V_{eMIN(SAT)} = 1.9V$   
 [D]  $V_{eMIN(SAT)} = 5V$

Datos:

$\beta: 100$   
 $R1 = 100k$   
 $R2 = 4k$   
 $V_{CC} = 5V$   
 $V_{BEON} = 0.7V$ ,  $V_{CESAT} = 0.2V$

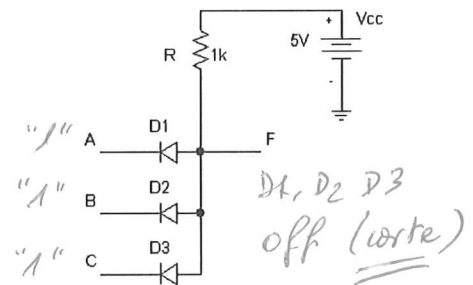


$$I_C = I_{CSAT} = \frac{5 - 0.2}{4k} = 1.2mA \rightarrow I_{BminSAT} = \frac{1.2}{\beta}$$

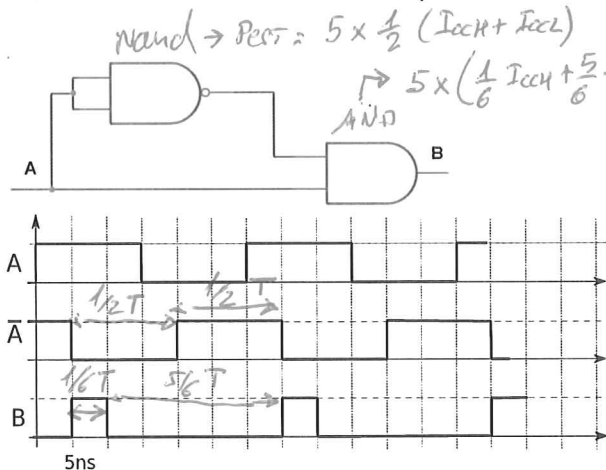
$$V_e = 0.7 + I_{BminSAT} R1 = 0.7 + \frac{1.2}{100} \times 100 = 1.9V$$

2. Dado el circuito lógico con diodos y resistencias de la figura, indique la respuesta FALSA (suponga  $V_f = 0.7V$  para los diodos):

- [A] Se trata de una puerta AND de 3 entradas.  
 [B] Si  $A = B = "1"$  (5V) y  $C = "0"$  (0V), conduce el diodo D3 y  $F = "0"$  (0.7V aproximadamente).  
 [C] Si  $A = B = C = "1"$  (5V), los 3 diodos conducen y  $F = "1"$  (5V aproximadamente).  
 [D] En caso de que una o más entradas sean "0" (0V), el consumo aproximado del circuito (la corriente que proporciona  $V_{CC}$ ) es de 4.3mA.



3. Para el circuito de la figura, se ha dibujado el cronograma de las distintas salidas, siendo la señal A la entrada al mismo. Cada marca vertical corresponde a 5 ns. Se puede afirmar que:



Datos:

$V_{CC} = 5V$ ;  $I_{CCL} = 6mA$  e  $I_{CCH} = 2mA$ , y el retardo de propagación medio de una puerta es de 5ns.

- [A] La potencia estática promedio consumida por la puerta NAND es 40mW.  $\rightarrow 20mW$   
 [B] La potencia estática promedio consumida por la puerta AND es 20mW.  $\rightarrow 26.67mW$   
 [C] La potencia estática promedio consumida por el conjunto del circuito es 46.67mW.  $(20 + 26.67)mW$   
 [D] Para realizar los cálculos de la potencia estática promedio consumida, se necesita conocer la frecuencia de la señal de entrada.

4. En el circuito de la figura, indique la tensión en el drenador del transistor cuando la tensión en la entrada hace que se ilumine el diodo LED. El transistor funciona en conmutación, entre corte y zona lineal.

Datos:

$V_T = 1V$ ,  $K = 1mA/V^2$ ,  $R_D = 0.5K\Omega$ ,  $V_{LED} = 1.7V$   
 Zona Óhmica  $\rightarrow I_{DS} = 2K (V_{GS} - V_T)V_{DS}$

- [A] 10V  
 [B] 0.37V  
 [C] 8.3V  
 [D] 0.83V

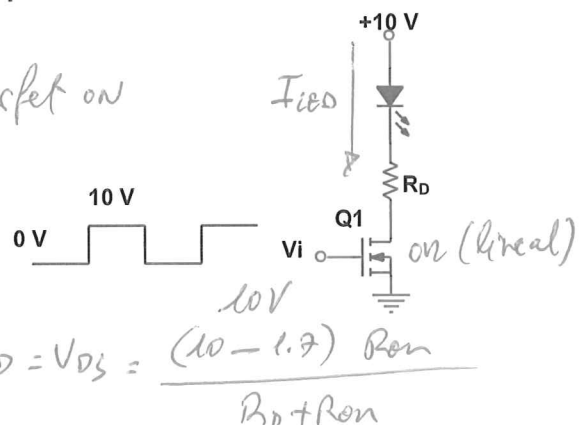
LED iluminado  $\rightarrow$  conduce  $\rightarrow$  MOSFET on

$$V_i = 10V \rightarrow V_{GS} = 10V$$

$$\text{lineal} \rightarrow R_{on} = \frac{1}{2K (V_{GS} - V_T)}$$

$$R_{on} = \frac{1}{2 \cdot (10 - 1)} = \frac{1}{18} = 0.056K\Omega \rightarrow V_D = V_{DS} = \frac{(10 - 1.7) R_{on}}{R_D + R_{on}}$$

$$V_D = \frac{8.3 \cdot 0.056}{(0.5 + 0.056)} = 0.83$$



5. ¿Cuál es el fan-out de la familia lógica cuyas especificaciones se indican en la tabla adjunta?

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2V	0.8V	2.7V	0.5V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
$20\mu A$	$-0.36mA$	$-600\mu A$	$8mA$

[A] 30

[B] 22

[C] 20

[D] 24

fan-out = min (fan-out<sub>L</sub>, fan-out<sub>H</sub>)

$$\text{fan-out}_L = \left| \frac{I_{OLmax}}{I_{ILmax}} \right| = \frac{8mA}{0.36mA} = 22.22 \rightarrow \text{truncar } (22)$$

$$\text{fan-out}_H = \left| \frac{I_{OHmax}}{I_{IHmax}} \right| = \frac{600\mu A}{20\mu A} = (30)$$

$$\boxed{\text{fan-out} = 22}$$

1. Indique cuál de las siguientes acciones mejora la velocidad de un circuito CMOS VLSI.

- [A] Disminuir la constante K de los transistores.
- [B] Aumentar la capacidad de carga.
- [C] Aumentar el fan-out de las puertas lógicas.
- [D] Aumentar la tensión de alimentación  $V_{DD}$ .

Disminuir Retardo de propagación:

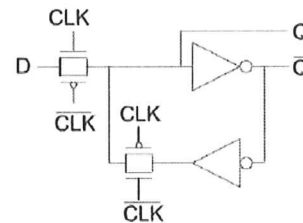
$$t_p \approx \frac{C_L}{2(V_{DD} - V_T)} \left( \frac{1}{k_p} + \frac{1}{k_n} \right)$$

2. En relación a los parámetros característicos de la familia lógica CMOS, indique cuál de las siguientes afirmaciones es **FALSA**.

- [A] Las tensiones de alimentación varían entre 3V y 15V para chips SSI y MSI, aunque puede ser más baja en chips VLSI.
- [B] El consumo en régimen dinámico crece cuadráticamente con la frecuencia.  $\rightarrow P_d = (V_{DD})^2 C_L f$
- [C] La inmunidad al ruido es excelente y aumenta con la tensión de alimentación ( $V_{DD}$ ).
- [D] Aunque el fan-out teórico es muy grande, el fabricante recomienda un fan-out de 50 para no incrementar los tiempos de retardo.

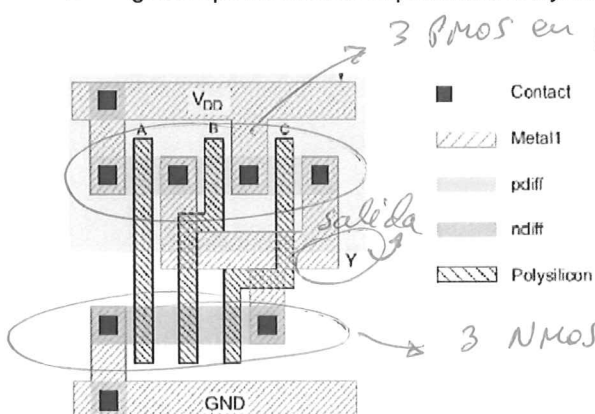
3. Respecto al circuito de la figura, indique cuál de las siguientes afirmaciones es **FALSA**:

- [A] Cuando CLK = 0 se mantiene el valor de Q.
- [B] Si la puerta de transmisión de la izquierda está abierta, la otra está cerrada, y viceversa.
- [C] Cuando CLK = 1 se transmite el valor lógico de D a la salida Q.
- [D] Se trata de un flip-flop D disparado por flanco.



Es un latch, activo por nivel, no por flanco

4. ¿Qué tipo de circuito implementa el layout de la figura?



- Contact
- /// Metal1
- pdiff
- ndiff
- ▨ Polysilicon

- [A] Una puerta NOR de tres entradas.
- [B] Una puerta NAND de dos entradas con una entrada de control para salida en alta impedancia.
- [C] Una puerta NAND de tres entradas.
- [D] Una puerta AND de tres entradas.

3 entradas  $\rightarrow$  A, B, C (polysilicio)

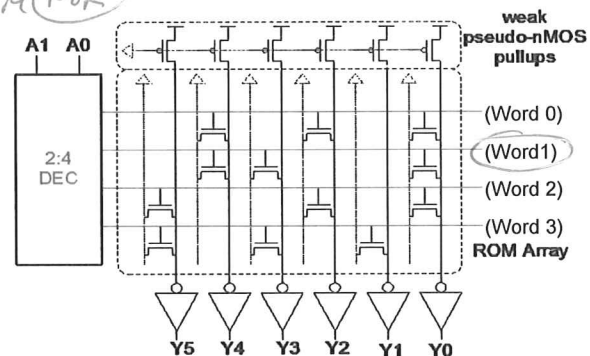
3 NMOS en serie

5. Dada la memoria de la figura, indique la respuesta **VERDADERA**:

Nota: A1 es el bit de más peso y A0 el de menos peso.

- [A] Es un ejemplo de estructura ROM NAND.
- [B] Se trata de una memoria no volátil y programable, ya que resulta sencillo añadir o eliminar transistores, en cualquier momento, por parte del usuario.
- [C] Si  $A1=0$  y  $A0=1$ , en las líneas Y5, Y4,..., Y0 se leerá la palabra 011001.
- [D] La presencia de un transistor NMOS pone un 1 en la celda, que se lee como 0 en la correspondiente salida Yx.

$A1=0, A0=1 \rightarrow word1=1$



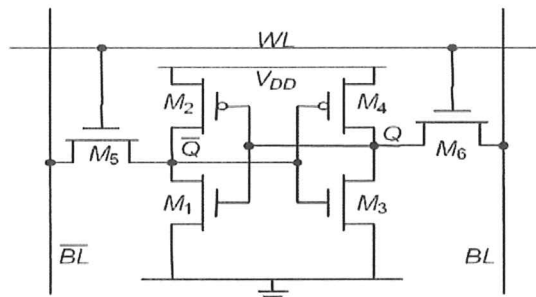
ROM NOR que se programa en la fabricación, no se puede reprogramar por el usuario

6. Acerca de las memorias semiconductoras tipo *Flash*, se puede afirmar que:

- [A] Su celda de almacenamiento se basa en transistores FAMOS, con una puerta flotante intermedia que se descarga al apagar la alimentación.
- [B] El número de operaciones de borrado y reescritura es ilimitado.
- [C] Cuando la puerta flotante del transistor FAMOS se carga de electrones, se impide la formación del canal, por lo que el transistor estará siempre cortado, independientemente de la tensión que se aplique en la puerta normal.
- [D] Son memorias más rápidas que las memorias RAM estáticas, pero más lentas que las RAM dinámicas.

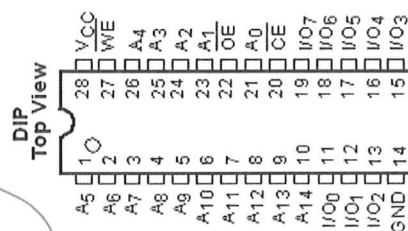
7. Dada la celda de memoria de la figura, indicad la respuesta **CORRECTA**:

- [A] Es una celda de memoria DRAM 6T.
- [B] Para escribir un '1' en la celda ( $Q=1$  y  $\overline{Q}=0$ ), hay que colocar un '0' en  $\overline{BL}$  y un '1' en  $BL$ , y a continuación se habilita la celda poniendo  $WL=1$ .
- [C] Las resistencias  $R_{on}$  de todos los transistores de la celda deben ser aproximadamente del mismo valor, para que funcione adecuadamente la escritura y la lectura en la celda.
- [D] La conexión que se indica en la figura es errónea. Las líneas  $BL$  y  $\overline{BL}$  están intercambiadas.



8. El circuito integrado CY62256, cuyo patillaje se indica en la figura, es una memoria SRAM con un tiempo de acceso típico de unos 70ns. A la vista del dibujo, podemos afirmar que:

- [A] Su capacidad de almacenamiento será de 16Kbytes ( $2^{14}$  palabras de 8 bits).
- [B] 70 ns es el tiempo máximo que tarda un dato en ser escrito en las celdas de almacenamiento desde que se estabiliza la dirección ( $A_0 \dots A_{14}$ ).
- [C] La línea  $\overline{CE}$  (pin 20) corresponde a la selección de chip, por lo que deberá mantenerse a '0' durante cualquier operación de lectura o escritura que afecte al chip.
- [D] La línea  $\overline{WE}$  permite controlar la temporización del proceso de lectura, mientras que la línea  $\overline{OE}$  nos permite el control temporal del proceso de escritura.



$\overline{WE} \rightarrow$  escritura (write enable)

$\overline{OE} \rightarrow$  lectura (output enable)

Capacidad =  $2^{15}$  palabras  $\times$  8 bits/palabra =

$= 2^5 \times 2^{10} \times 1B = 32 \text{ kBytes}$

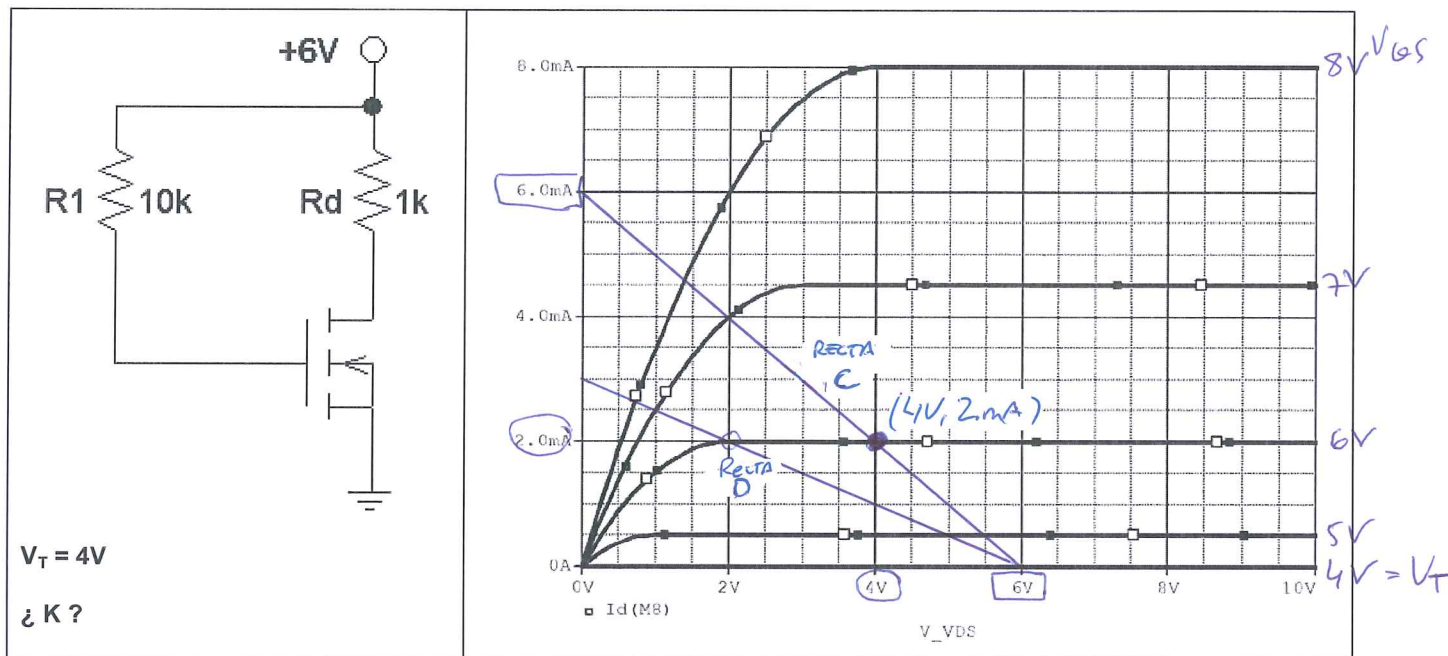
Dirección =  $A_0 \dots A_{14} \rightarrow 15$  líneas de dirección, no 14!

Apellidos: SOLUCIONES

Nombre:

**PROBLEMA 1 (Primer Parcial) (4 PTOS.)**

A partir del siguiente circuito con Mosfet y sus curvas características, se pide:

**Nota:** En zona óhmica utilice la expresión aproximada  $I_{DS} \approx 2K(V_{GS} - V_T) V_{DS}$ , y en saturación  $I_{DS} = K(V_{GS} - V_T)^2$ **Nota:** Las curvas representadas son para incrementos de 1V de  $V_{GS}$ .A. (0.4 ptos.) A partir de la gráfica, y sabiendo que  $V_T = 4V$ , obtenga el valor de K

p.e para  $V_{GS} = 8V \rightarrow I_{DS} = 8mA$  (última curva, podemos elegir cualquier corriente de saturación)

$$I_{DS} = K(V_{GS} - V_T)^2$$

$$8 = K(8 - 4)^2; K = \frac{8}{4^2} = 0.5 mA/V^2$$

$$K = 0.5 mA/V^2$$

B. (1.2 ptos.) Calcule el punto de trabajo Q ( $V_{GS}$ ,  $V_{DS}$ ,  $I_{DS}$ ). Use la K obtenida en el apartado A. Justifique la respuesta con las necesarias demostraciones. Justifique la zona de funcionamiento del transistor.

Malla G-S:  $6V - I_G \cdot R1 - V_{GS} = 0 \rightarrow V_{GS} = 6V \rightarrow 6V > 4V \rightarrow ON$  ( $V_{GS}$ ) ( $V_T$ )

Sup. SAT:  $I_{DS} = K(V_{GS} - V_T)^2 \rightarrow I_{DS} = 0.5(6 - 4)^2 = 2mA$

Malla D-S:  $6V - I_{DS} \cdot R_d - V_{DS} = 0 \rightarrow V_{DS} = 6V - 2mA \cdot 1k = 4V$

Comprobar SAT:  $V_{DS} > V_{GS} - V_T ? \quad 4V > 6V - 4V ? \rightarrow SÍ$

$V_{GS} = 6$ (V)	$I_{DS} = 2$ (mA)	$V_{DS} = 4$ (V)	Zona de funcionamiento: SATURACION
------------------	-------------------	------------------	---------------------------------------



C.(0.8 ptos.) Dibuje sobre la figura la recta de carga, y el punto de trabajo Q correspondientes al apartado anterior. Justifique cómo obtiene la ecuación, y los puntos de corte de la recta.

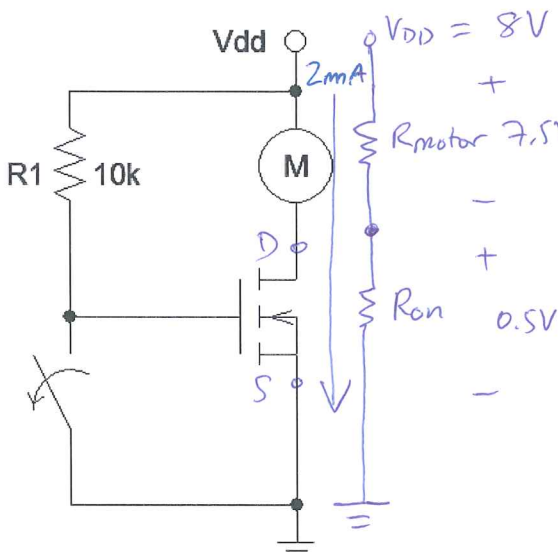
Recta de carga represente gráficamente la malla de drenador.  
 $V_{DS} = V_{DD} - I_{DS} \cdot R_D \rightarrow V_{DS} = 6 - I_{DS} \cdot 1k$   
 Pto de trabajo es la intersección de la recta de carga con la curva para  $V_{GS} = 6V$   
 Resultando en  $(V_{GS}, I_{DS}) = (4V, 2mA)$

D.(0.8 ptos.) Se desea que el Mosfet trabaje en el punto límite entre Saturación y Óhmica modificando solamente la  $R_D$ . Obtenga el nuevo valor de esta resistencia, manteniendo la misma  $V_{DD}$ . Justifique los cálculos.

Graficamente ver Recta D  
 En el límite será cierto  $V_{DS} = V_{GS} - V_T \rightarrow V_{DS} = 6 - 4 = 2V$   
 Como todavía es cierto la saturación y  $V_{GS} = 6V$ , entonces  $I_{DS} = 2mA$ .  
 Sustituyendo en la malla de drenador el  $I_{DS}$  y  $V_{DS}$ :  
 $6V - 2mA \cdot R_D - 2V = 0 \rightarrow R_D = \frac{6-2}{2} = 2k$   
 $R_D = 2k$

E.(0.8 ptos.) Se quiere utilizar el mismo Mosfet para controlar un pequeño motor eléctrico con un interruptor de control como muestra la figura. Para ello, se sustituye la resistencia  $R_D$  por el motor y  $V_{DD} = 8V$ . El motor funciona con 7.5V y 2mA. El Mosfet conduce en zona óhmica. Rellene la siguiente tabla, justificando analíticamente las respuestas.

Para que el motor se ponga en marcha, ¿cómo debe estar el interruptor de control? (abierto o cerrado): ABIERTO  
 Justifique la respuesta



$V_{DS}$	0.5	V
$I_{DS}$	2	mA
$R_{ON}(\text{Mosfet})$	0.25	kΩ
Potencia consumida por el motor: $P_{MOTOR} = V_{motor} I_{motor}$	15	mW
Potencia consumida por el Mosfet: $P_{MOSFET} = V_{DS} I_{DS}$	1	mW

D)  $P_{motor} = V_{motor} \cdot I_{motor} = 7.5V \cdot 2mA = 15 \text{ mW}$   
 E)  $P_{mosfet} = V_{DS} \cdot I_{DS} = 0.5V \cdot 2mA = 1 \text{ mW}$

A)  $V_{DS} = 8V - 7.5V = 0.5V$   
 $V_{DD} \quad V_{motor}$

B)  $I_{DS} = I_{motor} = 2mA$

C) Ley Ohm:  $V = I \cdot R$

$R_{on} = \frac{V_{DS}}{I_{DS}} = \frac{0.5V}{2mA} = 0.25k$

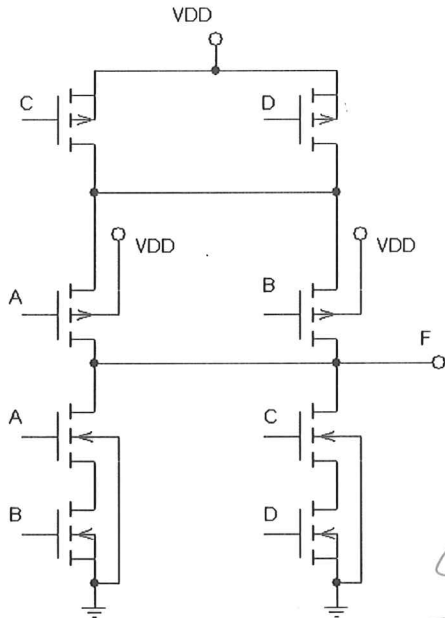
$R_{on} = \frac{1}{2k(V_{GS} - V_T)} = \frac{1}{2 \cdot 0.5(8 - 4)} = \frac{1}{4} = 0.25k$   
 $\uparrow V_{GS}$

Apellidos:

Nombre:

PROBLEMA 2 (Segundo Parcial) (4 PTOS.)

Dado el circuito lógico CMOS de la figura:



A. (1 pto.) Indique la expresión lógica de F en función de las variables de entrada, y el tipo de salida. Justifique la respuesta.

$$F = (A \cdot B) + (C \cdot D) = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$$

Tipo de salida (Estándar, Drenador abierto o Tri-estado):

Estándar

Bloque NMOS ( $G_{NMOS}$ )

A y B  $\rightarrow$  serie  $\rightarrow (A \cdot B)$

C y D  $\rightarrow$  serie  $\rightarrow (C \cdot D)$

Los 2 subbloques en paralelo  $\rightarrow (A \cdot B) + (C \cdot D)$

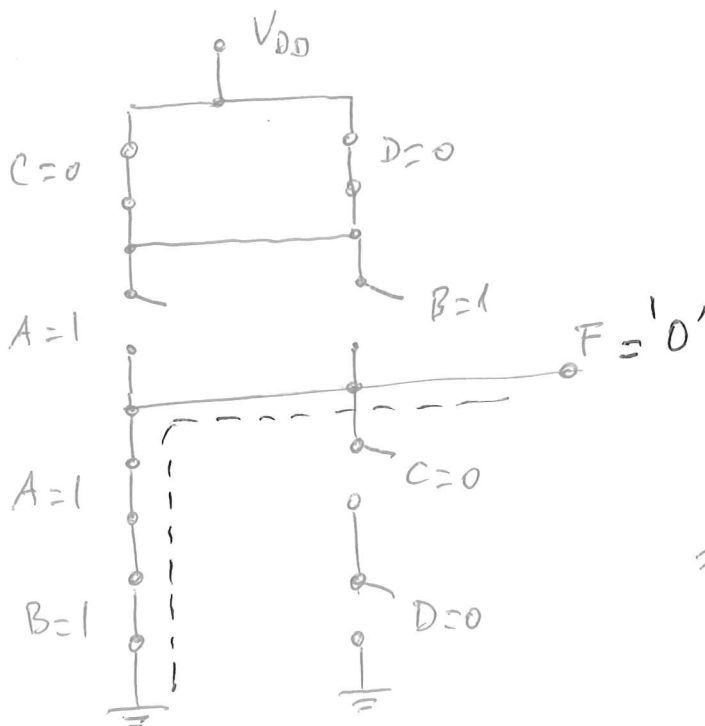
Como  $F = G_{NMOS} \rightarrow F = (A \cdot B) + (C \cdot D) = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$  también es válida

La salida es estándar (totem-pole), pues tiene los 2 bloques duales NMOS y PMOS, sin señales adicionales

B. (1 pto.) Compruebe el funcionamiento del circuito para la combinación de entradas: A = B = "1", y C = D = "0".

B.1. Sustituya los transistores Mosfet por interruptores (abiertos y/o cerrados). Dibuje el circuito con interruptores.

B.2. Justifique el valor lógico de la salida F.



de habilitación  
(caso de triestado)

$F = 0$  porque la salida tiene un camino de conexión con la masa se corrobora en la expresión de la función:  
 $F = (1 \cdot 1) + (0 \cdot 0) = 1 = 0$

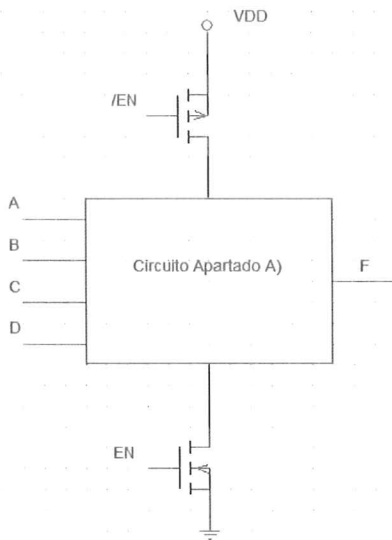
C.(1 pto.) Realice una estimación aproximada de la potencia consumida por el circuito.

Potencia estática	Potencia dinámica
$V_{DD} = 5V$ (tensión de alimentación) Suponga las corrientes de fuga de los transistores = $1pA$ /transistor ( $1pA = 10^{-12}A$ )	$V_{DD} = 5V$ (tensión de alimentación) $f = 1GHz$ (frecuencia de reloj) $\alpha = 0.5$ (factor de actividad medio del circuito) $C_L = 20fF$ /transistor (capacidad media por transistor; $1fF = 10^{-15}F$ )
$P_{estática} (mW) = 40 \times 10^{-9}$	$P_{dinámica} (mW) = 2$

Potencia :  $5 \times I_{fuga} = 5V \times (8 \text{ transistores} \times 10^{-12}A)$   
 $= 40 \times 10^{-12} W = 40 \times 10^{-9} mW$

Dinámica  $P_d = (V_{dd})^2 C_L \alpha f = (5)^2 \times \underbrace{8 \times 20 \times 10^{-15}}_{C_L} \times \underbrace{0.5}_{\alpha} \times \underbrace{10^9}_{f} W$   
 $P_d = 2000 \times 10^{-6} = 2 \times 10^{-3} W = 2 mW$

D. (1 pto.) Suponga que se modifica el circuito del apartado A) de la forma siguiente (ver la figura). Indique el nuevo tipo de salida, y rellene la tabla de verdad del circuito. (Nota: /EN = señal EN invertida)



Tipo de salida (Estándar, Drenador abierto o Tri-estado):

Tri-estado

EN	A	B	C	D	F
0	0	0	0	0	H.Z
0	0	0	0	1	H.Z
.....					.....
0	1	1	1	1	H.Z
1	0	0	0	0	1
1	0	0	0	1	1
.....					.....
1	1	1	1	1	0

H.Z =  
ALTA IMPEDAN-  
CIA

$EN = 0 \rightarrow F = H.Z = \text{alta impedancia}$   
 $EN = 1 \rightarrow F = (A \cdot B) + (C \cdot D)$