

NOM:

COGNOM:

Solucions

Puntuació: BÉ: +1 punt., MAL: -0.25 punts, N.C: 0

1. En les taules adjuntes s'indiquen les característiques elèctriques de dos famílies lògiques A i B. Assenyalen l'afirmació CORRECTA:

Família A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2V	0.7V	2.5V	0.4V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 $\mu$ A	-400 $\mu$ A	-400 $\mu$ A	4 mA

Família B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
3.5V	1.5V	4.95V	0.05V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
10pA	-10pA	-0.5mA	0.5mA

- [A] La família A té MILLOR marge de soroll que la família B, ja que és MENOR.  $\rightarrow$  no té sentit  
 $\Rightarrow$  [B] La família B té MILLOR fan-out que la família A, ja que és MAJOR.  
 [C] El fan-out de la família A és 20.  
 [D] El marge de soroll de la família A és 0.5V.

$$NM_A \begin{cases} NM_L = 0.7 - 0.4 = 0.3V \rightarrow 0.3V \\ NM_H = 2.5 - 2 = 0.5V \end{cases}$$

$$\text{fan-out}_B \begin{cases} L \rightarrow \frac{0.5}{10 \times 10^{-9}} \\ H \rightarrow \frac{0.5}{10 \times 10^{-9}} \end{cases}$$

$$\text{fan-out}_A \begin{cases} L \rightarrow \frac{14}{0.4} = 10 \rightarrow 10 \\ H \rightarrow \frac{400}{20} = 20 \end{cases}$$

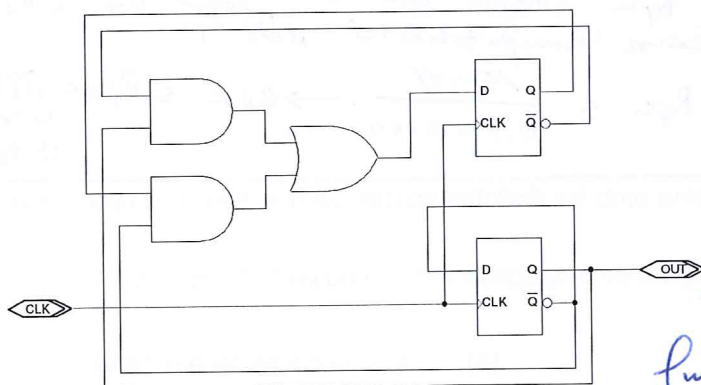
$$1 \text{ pA} = 10^{-9} \text{ mA}$$

2. Donat el següent circuit seqüencial, implementat amb biestables D, assenyalen l'afirmació CORRECTA:

Paràmetres temporals: Biestable: (Set up:  $t_{su} = 20$  ns, Hold:  $t_h = 5$  ns, Retard:  $t_{pd(max)} = 40$  ns), Portes AND i OR: (Retard:  $t_{pd(max)} = 20$  ns).

- [A] La freqüència màxima de funcionament és de 10MHz.  
 [B] La freqüència màxima de funcionament es de 11.76MHz.  
 [C] El circuit compleix la condició de set-up per a qualsevol freqüència.  
 [D] El circuit no funciona bé degut als retards excessius a l'eixida dels biestables.

2 unitats de entre 2 portes i D



$$T_{min} = t_{pdFF} + 2 \times t_{pporta} + t_{su}$$

Diagram showing timing parameters:  $t_{su}$  (setup time),  $t_{pFF}$  (propagation delay of flip-flop), and  $3 \times t_{pporta}$  (propagation delay of three gates).

$$T_{min} = 40 + 2 \times 20 + 20 = 100 \text{ ns}$$

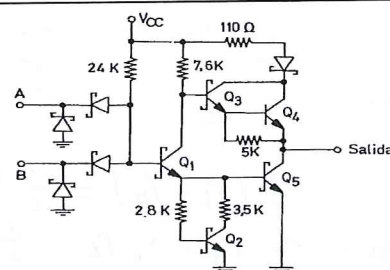
$$f_{max} = \frac{1}{100 \text{ ns}} = 10 \text{ MHz}$$

3. Indique l'afirmació FALSA sobre algunes famílies lògiques:

- [A] La família CMOS és la que menys consum presenta.  
 [B] La família pseudo-NMOS és una variant de la NMOS que substitueix la resistència  $R_D$  per un transistor PMOS actiu, amb l'objectiu de reduir l'àrea de silici.  
 [C] La subfamília LSTTL es bipolar i utilitza transistors Scottky.  
 $\Rightarrow$  [D] La família NMOS presenta consum estàtic quan l'eixida és '1'.

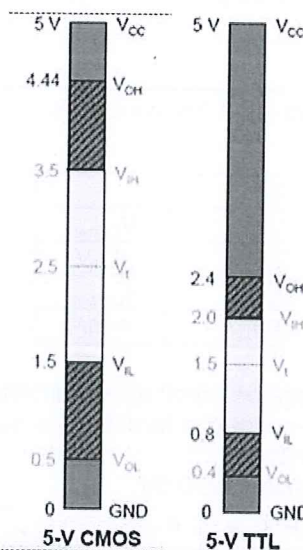
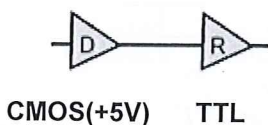
4. Indique l'afirmació CORRECTA sobre el circuit lògic de la figura:

- [A] Pertany a la família lògica NMOS  
 [B] Pertany a la família lògica CMOS  
 [C] Utilitza diodes i transistors Schottky per disminuir el consum  
 $\Rightarrow$  [D] Es una porta lògica de la família TTL



5. Suppose que es connecta una **eixida CMOS (+5V)** amb una **entrada TTL**. Els nivells lògics de voltatge són els que apareixen en la figura adjunta. Indique l'afirmació CORRECTA:

- [A] Els nivells lògics de tensió són compatibles i el marge de soroll global és 2.04V  
 [B] Hi ha incompatibilitat en el "0".  
 [C] Hi ha incompatibilitat en el "1".  
 [D] Els nivells lògics de tensió són compatibles i el marge de soroll global és 0.3V



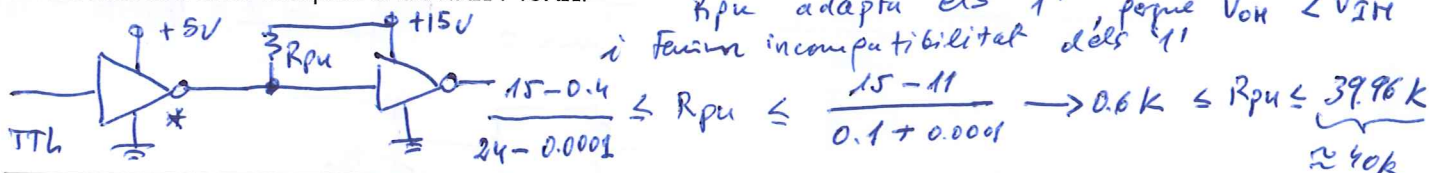
$V_{OH} \geq V_{IH} \rightarrow OK$   
 $NM_H = 4.44 - 2 = 2.44V$   
 $V_{OL} \leq V_{IL} \rightarrow OK$   
 $NM_L = 0.8 - 0.5 = 0.3V$   
 $\downarrow \text{min}$   
 $NM = 0.3V$

6. Es vol connectar una eixida TTL en col·lector obert amb una entrada de circuit lògic CMOS alimentat a +15V. Indique la resposta CORRECTA:

Família A (TTL col·lector obert)		
$V_{OLmax}$	$I_{OHmax}$ (fuites)	$I_{OLmax}$
0.4 V	100 $\mu A$	24 mA

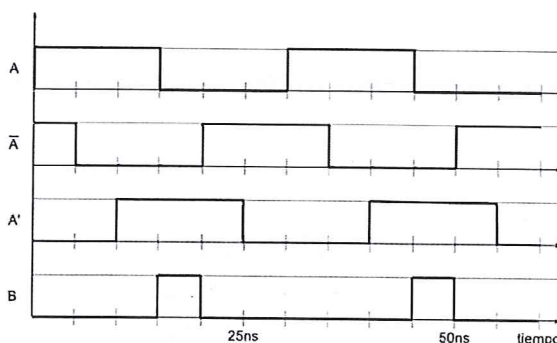
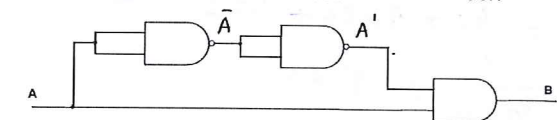
Família B (CMOS +15V)			
$V_{IHmin}$	$V_{ILmax}$	$I_{IHmax}$	$I_{ILmax}$
11 V	4 V	0.1 $\mu A$	-0.1 $\mu A$

- [A] Es poden connectar directament.  
 [B] Es necessari connectar una resistència de pull-up entre l'eixida i l'alimentació de +15V. El valor de la resistència deu estar comprès entre 0.6K $\Omega$  i 40K $\Omega$ .  
 [C] Es necessari posar un buffer TTL en l'eixida per compatibilitzar el corrent a nivell baix.  
 [D] Es necessari connectar una resistència de pull-up entre l'eixida i l'alimentació de +15V. El valor de la resistència deu estar comprès entre 2K $\Omega$  i 40K $\Omega$ .



7. Per al circuit de la figura, s'ha dibuixat el cronograma amb les distintes eixides, sent el senyal A l'entrada al mateix. Es pot afirmar que:

Dades:  $V_{CC} = 5V$ ;  $I_{CCL} = 6 \text{ mA}$  i  $I_{CCH} = 2 \text{ mA}$ , i el retard de propagació mitjà d'una porta és de 5ns.



[A] La potència estàtica mitjana consumida per cada porta NAND és 30mW.

[B] La potència estàtica mitjana consumida per la porta AND és 26.7mW.

[C] La potència estàtica mitjana consumida pel conjunt del circuit és 100mW.

[D] Per a realitzar els càlculs de la potència estàtica mitjana consumida, es necessita conèixer la freqüència del senyal d'entrada.

$P_{NAND} = \frac{1}{2} (P_L + P_H) = \frac{1}{2} V_{CC} (I_{CCL} + I_{CCH}) = \frac{5}{2} (6 + 2) = 40mW$   
 $P_{AND} = \frac{1}{6} P_H + \frac{5}{6} P_L = \frac{1}{6} \times 5 \times 2 + \frac{5}{6} \times 5 \times 6 = 26.67mW$   
 $P_{Total} = 2 \times 40 + 26.67 = 106.67mW$



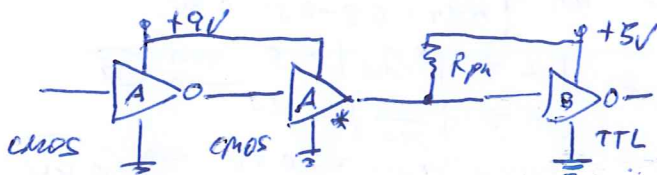


5. Es pretén connectar l'eixida d'una porta de la família CMOS alimentada a 9V, amb una entrada d'altra porta de la família TTL alimentada a 5V. A partir de les especificacions de les famílies indicades en les taules adjuntes i considerant que el circuit té eixida estàndard, es pot afirmar que:

- [A] Es poden connectar directament. *CMOS*  
 [B] Es necessita una resistència de pull-up connectada entre l'eixida i 9V.  
 [C] Es necessita una resistència de pull-up connectada entre l'eixida i 5V.  
 ⇒ [D] Es necessita intercalar un buffer drenador obert de la família A amb una resistència de pull-up connectada entre l'eixida del buffer i 5V. *R<sub>pu</sub> adaptada el '1' d'eixida → V<sub>IHmin</sub> ≤ V<sub>OH</sub> ≤ 5V*

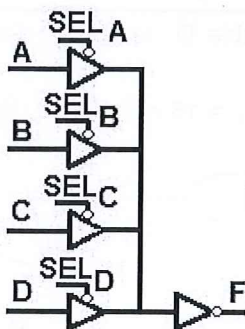
Família CMOS (+9V)			
V <sub>IHmin</sub>	V <sub>ILmax</sub>	V <sub>OHmin</sub>	V <sub>OLmax</sub>
6.3 V	2.7 V	8.9 V	0.1 V
I <sub>IHmax</sub>	I <sub>ILmax</sub>	I <sub>OHmax</sub>	I <sub>OLmax</sub>
20pA	-20pA	-0.5 mA	0.5 mA

Família TTL (+5V)			
V <sub>IHmin</sub>	V <sub>ILmax</sub>	V <sub>OHmin</sub>	V <sub>OLmax</sub>
2.0 V	0.8 V	2.4 V	0.4 V
I <sub>IHmax</sub>	I <sub>ILmax</sub>	I <sub>OHmax</sub>	I <sub>OLmax</sub>
40μA	-1.6 mA	-400μA	16 mA



*I<sub>OLmax</sub> ≥ I<sub>ILmax</sub> → No → Buffer*  
*V<sub>OHmin</sub> ≥ 5V alimentació TTL, pot ser perillós per als transistors de B*

6. El circuit de la figura està compost de portes de la mateixa família TTL. Determine quina de les següents respostes és la **CORRECTA**:



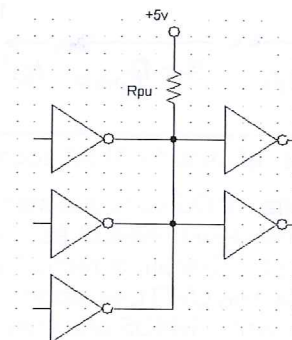
- [A] El circuit no funciona perquè necessita una resistència de pull-up en l'eixida.  
 [B] La funció  $F = \overline{A \cdot B \cdot C \cdot D}$   
 [C] Es poden seleccionar varies portes al mateix temps, perquè tenen eixida triestat.  
 ⇒ [D] Si SEL<sub>B</sub>="0", (amb SEL<sub>A</sub>=SEL<sub>C</sub>=SEL<sub>D</sub>="1"), i l'entrada B=0.5V, l'eixida F tindrà un nivell alt.

*Són 4 buffers amb eixida triestat. Només es pot activar un d'ells. No cal R<sub>pu</sub>, perquè l'eixida no és col·lector obert.*

7. Considere el circuit adjunt i els paràmetres característics següents. Si es tracta d'eixides en col·lector obert, indique la resposta **correcta**.

- ⇒ [A] El circuit funciona correctament amb una R<sub>PU</sub> = 1.2k  
 [B] El circuit funciona correctament amb una R<sub>PU</sub> = 3k  
 [C] El circuit funcionarà correctament si llevem la R<sub>PU</sub>  
 [D] El circuit funciona correctament amb una R<sub>PU</sub> = 0.5k

V <sub>IHmin</sub>	V <sub>ILmax</sub>	V <sub>OHmin</sub>	V <sub>OLmax</sub>
2.5 V	0.8 V	3.0 V	0.5 V
I <sub>IHmax</sub>	I <sub>ILmax</sub>	I <sub>OHmax</sub> (fuites)	I <sub>OLmax</sub>
300 μA	-0.36 mA	100 μA	7 mA



*3 eixides i 2 entrades*

$$\frac{5 - V_{OLmax}}{I_{OLmax} - 2 \times I_{IL}} \leq R_{pu} \leq \frac{5 - V_{IHmin}}{3 \times I_{OH} + 2 \times I_{IH}} \rightarrow \frac{5 - 0.5}{7 - (2 \times 0.36)} \leq R_{pu} \leq \frac{5 - 2.5}{0.3 + 0.6}$$

$$0.72 k\Omega \leq R_{pu} \leq 2.78 k\Omega$$