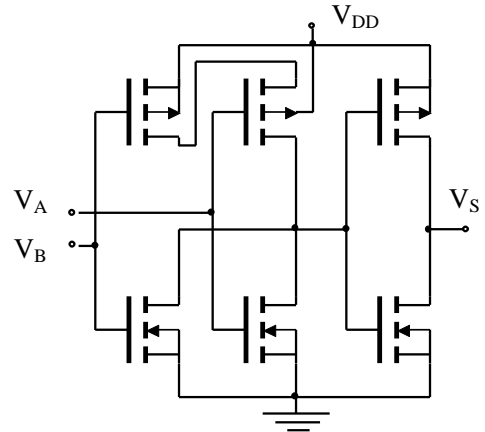


# FUNDAMENTOS DE LA TECNOLOGÍA CMOS. CUESTIONES Y EJERCICIOS PROPUESTOS

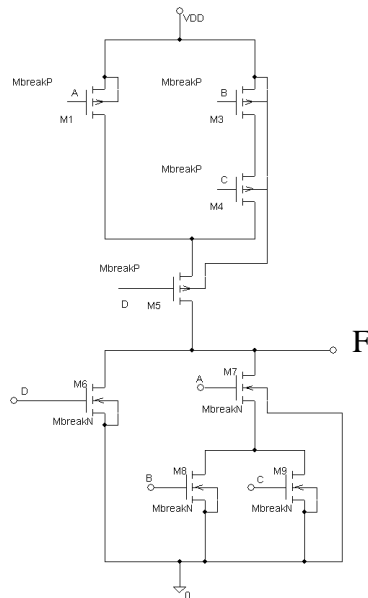
## 1. Lógica CMOS Complementaria

1.1 ¿Qué función realiza la siguiente puerta lógica?

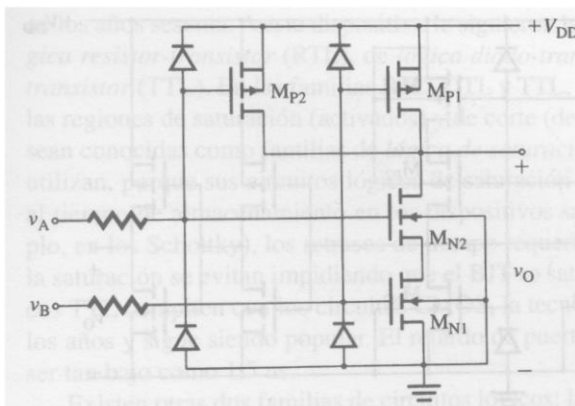
- A) AND
- B) NAND
- C) OR
- D) NOR



1.2. Hallar la expresión booleana para F en términos de A, B, C y D.



1.3. A) ¿Qué tipo de puerta es? B) Para  $V_{DD}=15V$ , ¿Cuál sería la salida si  $V_A = V_B = 100V$ ? C) ¿Cuál sería la salida si  $V_A = V_B = -120V$ ? (suponga una  $V_\gamma = 0.7V$  para los diodos)



1.4. Diseñe una función XOR con lógica CMOS complementaria. Estime el número de transistores y compárelo con un diseño tradicional a base de puertas lógicas.

Nota:  $F = A \oplus B = \overline{A}B + A\overline{B}$

1.5. Diseñe la función  $F = AB + AC + BC$  (correspondiente al acarreo de salida de un *Full-Adder*) con lógica CMOS complementaria. Estime el número de transistores y compárelo con un diseño tradicional a base de puertas lógicas.

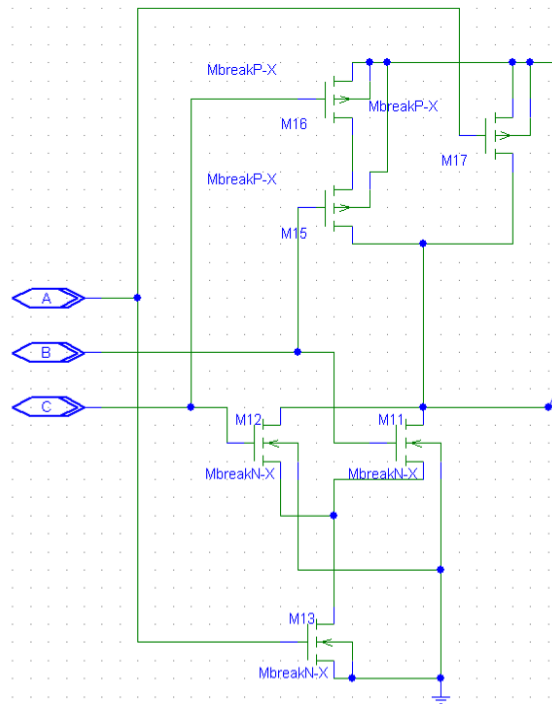
1.6 Del siguiente circuito digital CMOS, indique la función lógica

[A]  $F = A.(B+C)$

[B]  $F = \overline{A.(B+C)}$

[C]  $F = \overline{(B+C)}$

[D]  $F = B.C + A$



## 2. Puertas de Transmisión y aplicaciones

2.1. Sea una puerta de transmisión NMOS que utiliza un transistor con  $|V_T|=1.5V$ . Se aplica 0V a la entrada y 5V al terminal de puerta G. ¿Qué voltaje se obtiene a su salida?:

- A) 5V
- B) 0V
- C) 3.5V
- D) 1.5V

2.2. A la vista del siguiente circuito y suponiendo que por A y B entran niveles digitales, cuál de las afirmaciones es CIERTA:

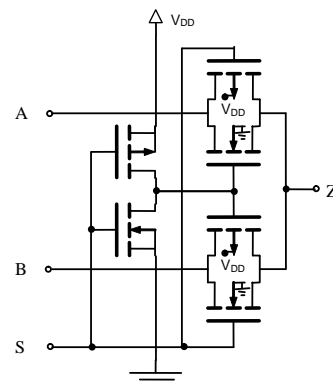
- A) El circuito es un multiplexor con salida negada.
- B) La función lógica que realiza es

$$Z = S \cdot \bar{B} + \bar{S} \cdot \bar{A}$$

- C) La función lógica que realiza es

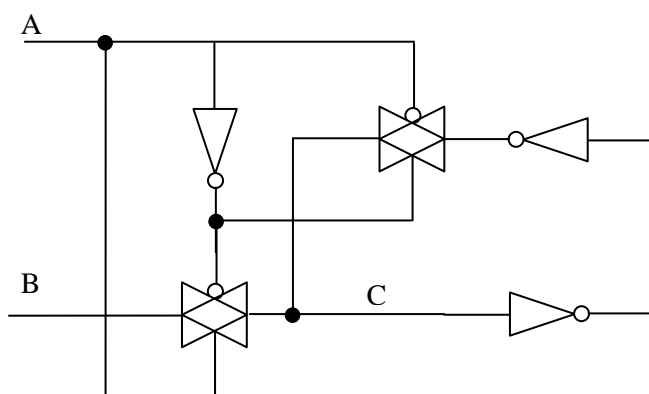
$$Z = S \cdot B + \bar{S} \cdot A$$

- D) Las puertas de transmisión del circuito degradan los niveles lógicos



2.3. Realice un diseño de la puerta XOR de dos entradas, basado en puertas de transmisión CMOS y las puertas adicionales necesarias. Sugerencia: utilice la estructura básica de un multiplexor de 2 canales.

2.4. Analizad el siguiente circuito basado en puertas de transmisión CMOS. Se trata de un:



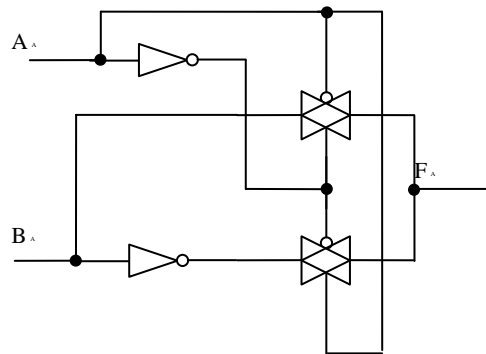
- A) Puerta XOR de entradas A y B
- B) Multiplexor de dos canales A y B, y selección C
- C) Latch tipo D, con entrada B, habilitación A y estado Q=C
- D) Latch tipo RS, con R=A, S=B y estado Q=C

2.5 Diseñad un multiplexor analógico de 4 canales, empleando puertas de transmisión CMOS y la circuitería digital de control necesaria.

---

2.6 El circuito CMOS de la figura se comporta como:

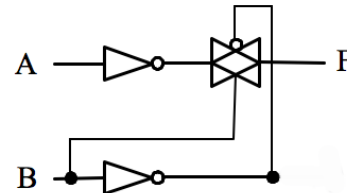
- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B




---

2.7 El circuito CMOS de la figura funciona como:

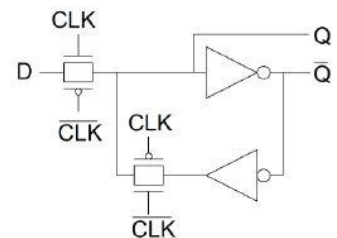
- [A] Un buffer
- [B] Un inversor con salida triestado
- [C] Un multiplexor 2x1 con canales A y B
- [D] Una función XOR (OR-Exclusiva) de A y B




---

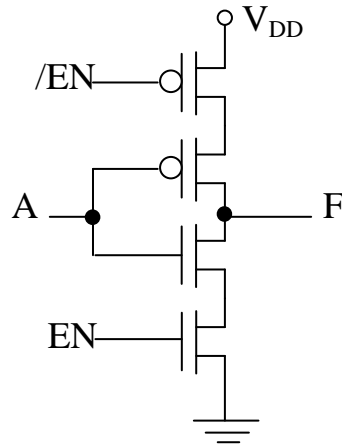
2.8 Respecto al circuito de la figura, indique cuál de las siguientes afirmaciones es **FALSA**:

- [A] Cuando CLK = 0 se mantiene el valor de Q.
- [B] Si la puerta de transmisión de la izquierda está abierta, la otra está cerrada, y viceversa.
- [C] Cuando CLK = 1 se transmite el valor lógico de D a la salida Q.
- [D] Se trata de un *flip-flop* D disparado por flanco.



### 3. Salidas especiales: triestado y drenador abierto

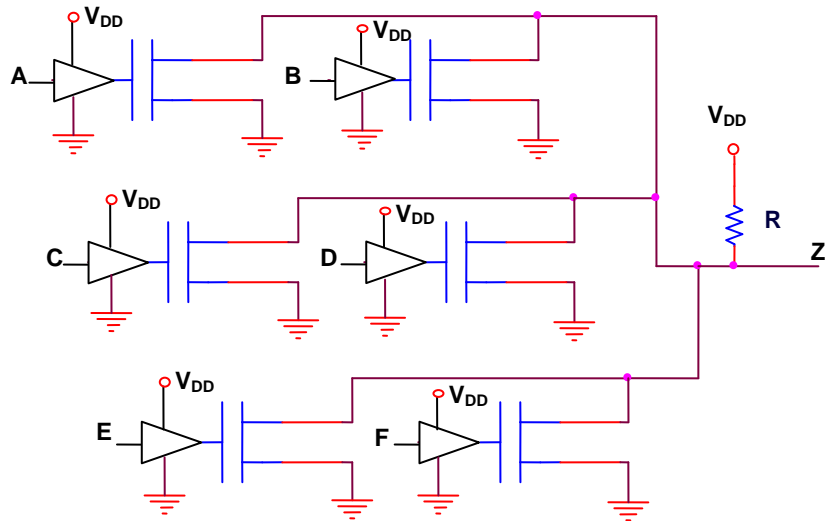
3.1. El circuito CMOS de la figura es:



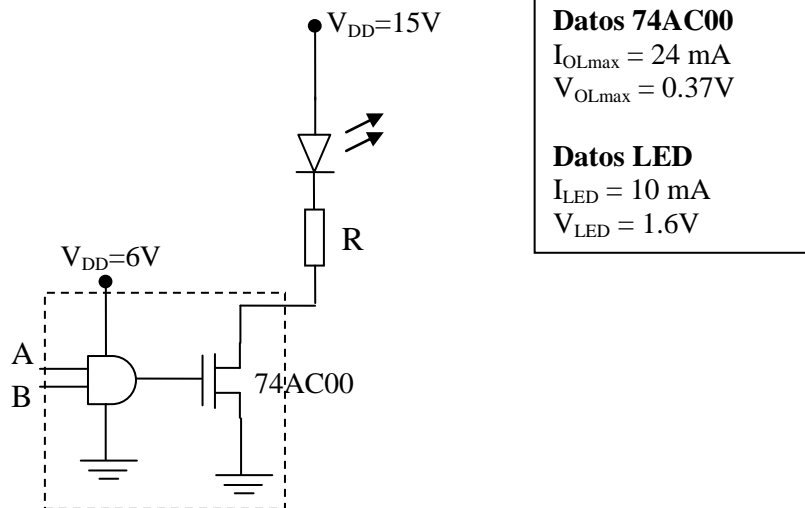
- A) Un inversor
- B) Un inversor triestado
- C) Un buffer triestado
- D) Un buffer drenador abierto

3.2. Indicad la expresión lógica de la función cableada Z. Las puertas tienen salida en drenador abierto. Suponed que R es una resistencia de pull-up de valor adecuado.

- [A]  $Z = A + B + C + D + E + F$
- [B]  $Z = \overline{A + B + C + D + E + F}$
- [C]  $Z = (A + B).(C + D).(E + F)$
- [D]  $Z = A.B.C.D.E.F$



3.3. La figura adjunta muestra el circuito de control de un diodo LED mediante una puerta NAND con salida drenador abierto. Se han usado puertas 74AC, pues proporcionan suficiente corriente para el LED (las puertas 74HC tienen una corriente máxima de salida de 4 mA). Diseñad el valor adecuado de la resistencia R para que se encienda correctamente el LED.



- A)  $R = 130\Omega$
- B)  $R = 3k3$
- C)  $R = 1.3K\Omega$
- D) Ninguna de las anteriores

3.4. La figura muestra 8 salidas en drenador abierto conectadas a un bus. Indicad el valor máximo y mínimo de la resistencia de pull-up R, atendiendo a las siguientes especificaciones de las puertas.

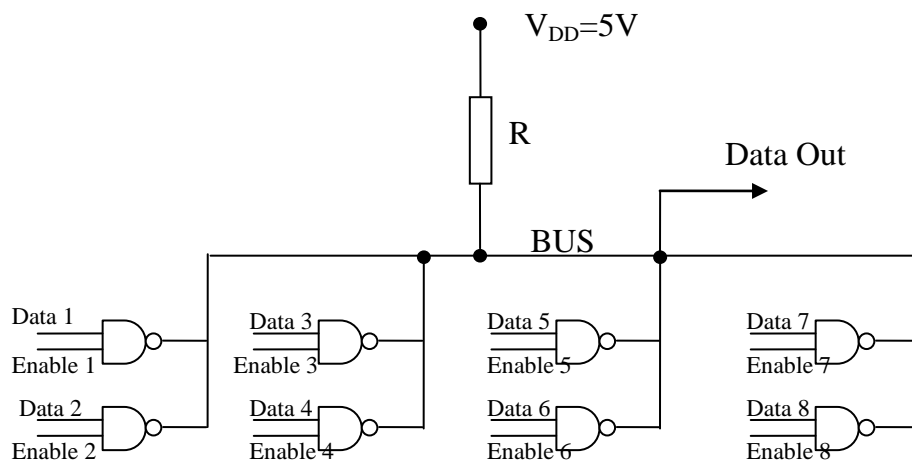
**Especificaciones puertas (74HC):**

$I_{OLmax} = 4 \text{ mA}$ ,

$V_{OLmax} = 0.33 \text{ V}$

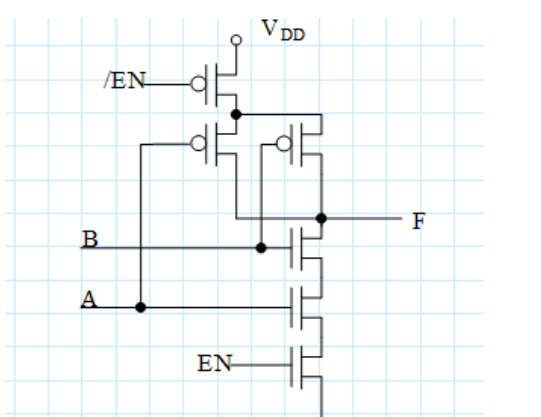
$V_{OHmin} = 3.84 \text{ V}$

$I_{OHmax} = 5\mu\text{A}$  (corrientes de fuga en el nivel alto de salida)



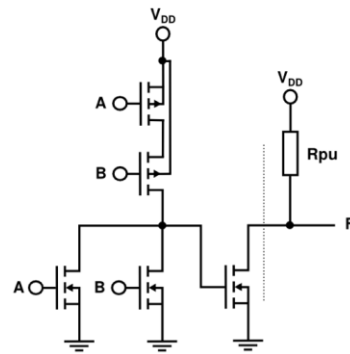
- A)  $0.5K \leq R \leq 4K7$
- B)  $0.5K \leq R \leq 10K$
- C)  $1.5K \leq R \leq 3K3$
- D)  $1.17K \leq R \leq 29K$

3.5 En el circuito CMOS de la figura:

<p>[A] Si <math>EN = "0"</math>, <math>F = \overline{A.B}</math></p> <p>[B] Si <math>EN = "1"</math>, <math>F = \overline{A + B}</math></p> <p>[C] Si <math>EN = "0"</math>, <math>F = H.Z</math> (alta impedancia)</p> <p>[D] <math>F = \overline{A.B}</math> siempre</p>	
--	--

3.6 Qué función lógica  $F(A,B)$  realiza el circuito CMOS de la figura.

- [A]  $F(A,B) = A + B$
- [B]  $F(A,B) = \overline{A + B}$
- [C]  $F(A,B) = AB$
- [D]  $F(A,B) = \overline{AB}$



## 4. Parámetros característicos / Subfamilias CMOS

4.1. En relación a la familia lógica CMOS, indicar cuál de las siguientes afirmaciones es FALSA:

- A) Los chips 74CXXX son incompatibles eléctricamente con la familia TTL.
- B) El margen de ruido aumenta si disminuye la tensión de alimentación.
- C) El fan-out está limitado a 50 entradas CMOS, debido al incremento de los retardos de conmutación.
- D) El consumo dinámico aumenta cuadráticamente con la tensión de alimentación.

4.2. Con relación a la familia lógica CMOS, indica cuál de las siguientes afirmaciones es FALSA:

- A) El consumo dinámico depende linealmente de la frecuencia.
- B) Las puertas BCT (BiCMOS) están realizadas sólo con transistores MOSFETS.
- C) La subfamilia HCT es CMOS pero con entradas compatibles TTL.
- D) Los márgenes de ruido dependen linealmente de VDD.

4.3. Un determinado chip de computador contiene 50.000 puertas, que tienen una disipación de potencia estática igual a cero. En el peor caso, la salida de cada puerta oscila a 200MHz. La disipación de potencia dinámica total permitida para el chip es de 10W. La tensión de alimentación es VDD=5V. Determinar la capacidad de carga permitida para cada puerta.

4.4. Un determinado proceso de fabricación de chips CMOS tiene una capacidad de carga promedio de 150 pF/mm<sup>2</sup>. Se pretende sintetizar un chip compuesto de circuitos lógicos con un factor de actividad medio de 0.1. Estime la potencia consumida por el chip, si tiene un área de 70 mm<sup>2</sup> y funciona a 450 MHz con una tensión de alimentación de 0.9V.

4.5. Un determinado procesador CMOS tiene 20M transistores dedicados a lógica combinacional/secuencial, y 180M transistores dedicados a la memoria. El factor de actividad medio de la lógica es 0.1, y el de la memoria es 0.05. Si la capacidad media por transistor es de 1 fF (1 femtofaradio = 10<sup>-15</sup>F), la alimentación es 1.2V y la frecuencia del reloj es 1GHz, calcule la potencia consumida

4.6 Dadas las siguientes especificaciones eléctricas de una puerta HCMOS alimentada a +5V, calculad:

- \*  $V_{IHmin} = 3.15V$ ,  $V_{ILmax} = 1.35V$
- \*  $V_{OHmin} = 3.84V$ ,  $V_{OLmax} = 0.33V$
- \*  $I_{IHmax} = 1\mu A$ ,  $I_{ILmax} = -1\mu A$
- \*  $I_{OHmax} = -4mA$ ,  $I_{OLmax} = 4mA$
- \*  $I_{CC(typ)} = 2\mu A$
- \*  $T_{pd(typ)} = 9\text{ ns}$
- \*  $C_{pd}$  (capacidad por puerta, sin carga) = 22pF

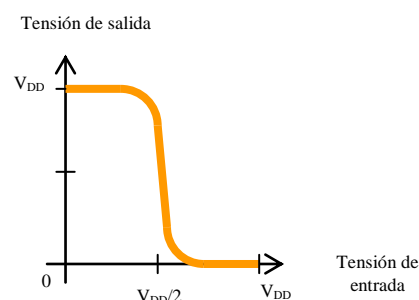
- A) El margen de ruido
- B) El fan-out
- C) El consumo dinámico suponiendo que las entradas conmutan a una frecuencia promedio de 10 MHz y que la salida está en vacío (sin conectar a nada).
- D) El consumo estático en mW
- E) La frecuencia máxima de las entradas

4.7 ¿Cómo podríamos mejorar la velocidad de la puerta anterior? (indicad V/F)

- A) Aumentando la capacidad parásita de la puerta
- B) Aumentando la tensión de alimentación
- C) Disminuyendo la relación (W/L) de los transistores
- D) Aumentando la constante K de los transistores

4.8 Dada la curva de transferencia de un inversor CMOS estándar

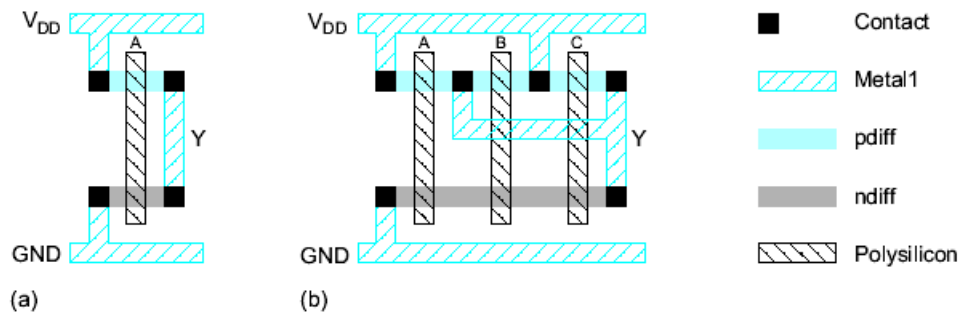
1. Identificad las tensiones  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IHmin}$  y  $V_{ILmax}$
2. Indicad en qué zona de la curva hay consumo y de qué tipo es



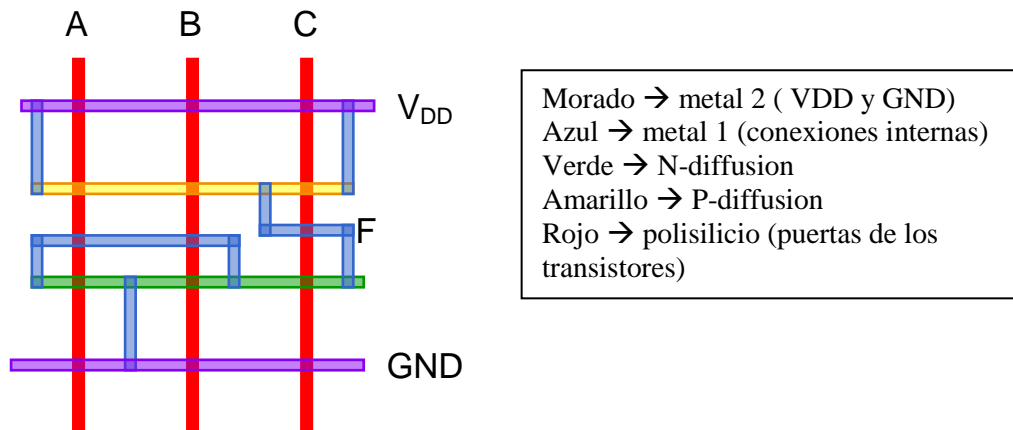


## 5. Fundamentos del diseño VLSI

5.1. A partir de los layouts de la figura, identifica la función implementada por cada celda estándar.



5.2 A partir del layout de colores de la figura, identifica la función implementada por la celda estándar.



5.3. Indica si son verdaderas (V) o falsas (F) las siguientes afirmaciones sobre el proceso de fabricación fotolitográfico de los CI CMOS:

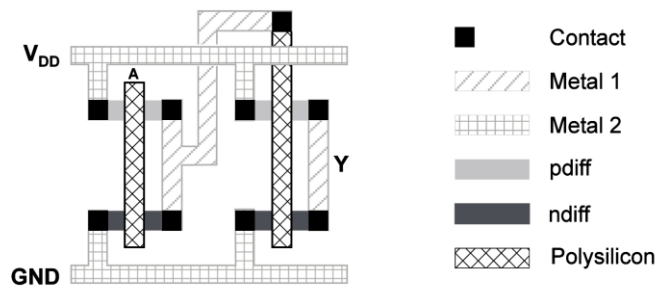
- Se suelen utilizar obleas circulares de silicio como sustrato
- Cada oblea contiene un solo chip
- Se van depositando capas (layers) de distintos materiales en una disposición bottom-up (de abajo a arriba).
- El orden típico en la deposición de capas es: 1) zonas  $n^+$  y  $p^+$  de S y D, 2) metal de las interconexiones, 3) fina capa de aislante de puerta, 4) polisilicio de la puerta
- Se emplea láser de luz UV para proyectar las máscaras en la oblea
- Una vez se tienen los chips en el sustrato de la oblea, se cortan, se testean y se encapsulan

5.4. Si comparamos el diseño basado celdas estándar con el diseño full-custom, podemos afirmar que (indicad V/F):

- El diseño semi-custom basado en celdas optimiza la velocidad y el área de silicio ocupada
- El diseño full-custom está más automatizado y consigue minimizar el tiempo de diseño
- El diseño full-custom se realiza con editores de layout, efectuando la descripción geométrica de las máscaras
- En el diseño con celdas, las unidades mínimas de diseño son los transistores, que se encuentran almacenados en librerías

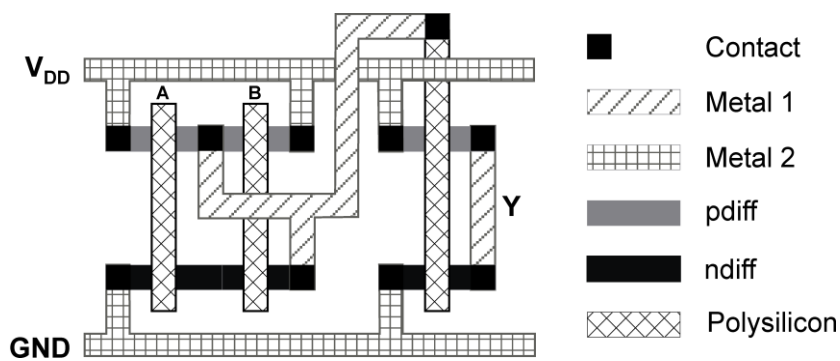
5.5. Indica en qué consiste el *Placement and Routing* del flujo de diseño VLSI, y por qué es muy importante en los chips actuales.

5.6 ¿Qué tipo de circuito implementa el *layout* de la figura?



- [A] Un inversor triestado
- [B] Un buffer
- [C] Un buffer triestado
- [D] Una puerta de transmisión CMOS

5.7 ¿Qué tipo de circuito implementa el *layout* de la figura?



- [A] Una puerta NOR de tres entradas
- [B] Una puerta OR de dos entradas
- [C] Una puerta NAND de tres entradas
- [D] Una puerta AND de dos entradas