

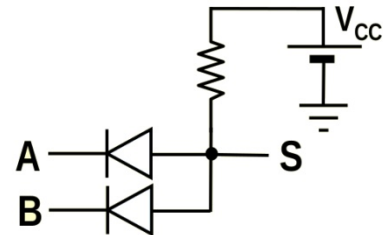
PRIMER PARCIAL**7 Cuestiones de TEORIA (6 puntos). Puntuación: BIEN:+100%. MAL: -25%. N.C.: 0**1. Respecto a los diodos semiconductores, señale la respuesta **FALSA**.

- [A] Tienen dos terminales: Ánodo (material tipo P) y Cátodo (material tipo N).
 [B] Es un dispositivo no lineal.
 [C] La intersección de la curva característica del diodo con la recta de carga del circuito define el punto de trabajo del diodo.
 [D] El modelo ideal de diodo incluye una pila que representa la tensión umbral del diodo.

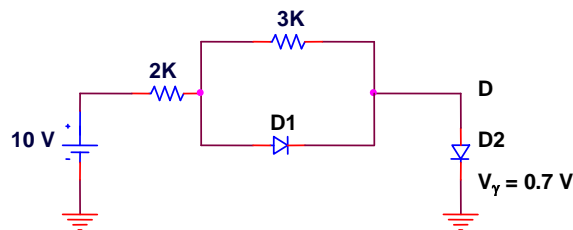
2. Sobre el circuito de la figura, indique la afirmación **CORRECTA**. $V_{CC} = 5V$ y la tensión umbral de los diodos es $V_\gamma = 0,7V$.

- [A] Es una puerta NOR de dos entradas.
 [B] Es una puerta NAND de dos entradas.
 [C] Para las entradas $A = 5V$ y $B = 0V$ la salida es $S = 0V$.
 [D] Para las entradas $A = 5V$ y $B = 5V$ la salida es $S = 5V$.

Si $V_A = V_B = 5V \Rightarrow$ los dos diodos se cortarían (si condujeran habría más tensión en el ánodo que en V_{CC}) $\Rightarrow V_S = V_{CC} = 5V$

3. Resolviendo el circuito de la figura se puede afirmar que la corriente que circula por el diodo D2 es (**NOTA:** suponga la misma tensión umbral para ambos diodos):

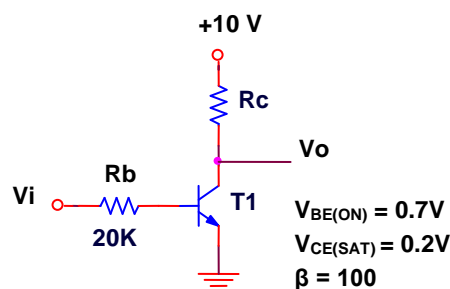
- [A] 0mA
 [B] 0.23mA
 [C] 4.3mA
 [D] 4.07mA



En el ánodo de D1 habrá $2 \cdot V_\gamma = 1.4V \Rightarrow$ La corriente que circulará por la resistencia de $2k\Omega$, que será la misma que circule por el diodo D2, será $I_{2k\Omega} = I_{D2} = (10V - 1.4V) / 2k\Omega = 4.3mA$

4. Suponiendo que la entrada V_i del circuito varía entre 0V y 5V (correspondientes al "0" y "1" lógicos respectivamente). ¿cuál es el mínimo valor de R_c que permite al circuito de la figura trabajar en conmutación (entre corte y saturación)?

- [A] 0.456kΩ
 [B] 0.392kΩ
 [C] 0.476kΩ
 [D] 20kΩ



$I_B = (V_i - V_{BE(ON)}) / R_b = (5V - 0.7V) / 20k\Omega = 0.215mA$; $I_{C(SAT)} = (10V - V_{CE(SAT)}) / R_c = (10V - 0.2V) / R_c = 9.8V / R_c$
 Como $\beta \cdot I_B \geq I_{C(SAT)} \Rightarrow 100 \cdot 0.215mA = 21.5mA \geq 9.8 / R_c \Rightarrow R_c \geq 9.8V / 21.5mA = 0.456k\Omega$

5. Indique cuál de las siguientes afirmaciones acerca de los transistores bipolares es **CORRECTA** (supóngase que $|V_{BE(ON)}| = 0.7V$ y $|V_{CE(SAT)}| = 0.2V$):

- [A] En un BJT NPN en SATURACIÓN se cumple que $V_{CE} > 0.2V$.
 [B] En la zona ACTIVA, para un BJT NPN se deberá cumplir siempre que: $V_{CB} > -0.5V$.
 [C] En SATURACIÓN, el BJT funciona como un amplificador de corriente de ganancia igual a la β del transistor.
 [D] En un BJT NPN se cumple que $I_C = I_B + I_E$.

En un BJT NPN $I_E = I_B + I_C$. En SATURACIÓN, $I_C < \beta \cdot I_B$, y $V_{CE} = V_{CE(SAT)} (= 0.2V)$

$$V_{CE} = V_{CB} + V_{BE}$$

Como en la zona ACTIVA $V_{CE} > V_{CE(SAT)} (= 0.2V)$ y $V_{BE} = V_{BE(ON)} (= 0.7V)$, se tiene que:

$$V_{CB} + 0.7V > 0.2V \Rightarrow V_{CB} > 0.2V - 0.7V = -0.5V$$

6. Sea el circuito básico con BJT NPN visto en clase, cuyos datos más relevantes se indican a continuación: El emisor está conectado a masa. La tensión umbral del diodo base-emisor $V_{BE(ON)} = 0.7V$. La resistencia de base es $R_B = 100k\Omega$. La resistencia de colector es $R_C = 2k\Omega$. La tensión de alimentación es $V_{CC} = 10V$. La tensión de entrada del circuito es $V_{IN} = 2.2V$. Teniendo en cuenta que en este circuito se ha medido una tensión de salida del circuito de $V_{CE} = 4V$, indique cuál de las afirmaciones siguientes acerca de este circuito **ES FALSA**:

- [A] El transistor se encuentra funcionando en la zona activa.
 [B] La intensidad de base es de $15\mu A$.
 [C] La intensidad de colector es de $2mA$.
 [D] La ganancia del transistor es $\beta = 200$.

Si $V_{CE} = 4V \Rightarrow V_{CE(SAT)} (= 0.2V) < V_{CE} < V_{CC} (= 10V) \Rightarrow$ El transistor se encuentra en la zona activa $\Rightarrow I_C = \beta \cdot I_B$

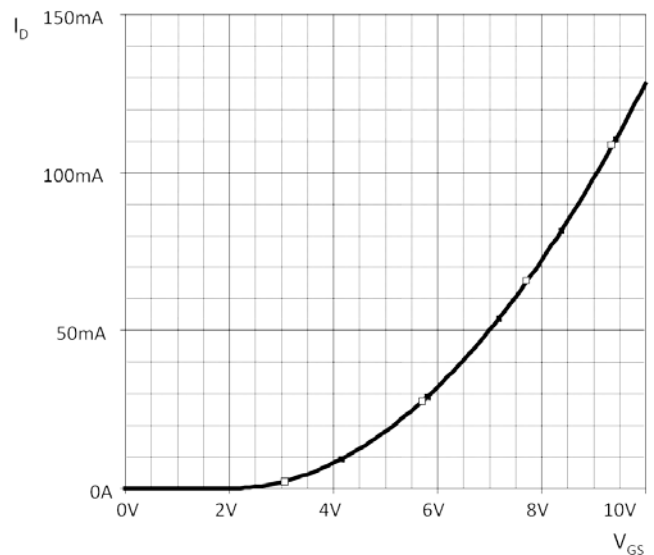
$$I_B = (V_{IN} - V_{BE(ON)}) / R_B = (2.2V - 0.7V) / 100k\Omega = 0.015mA = 15\mu A$$

$$I_C = (V_{CC} - V_{CE}) / R_C = (10V - 4V) / 2k\Omega = 3mA$$

$$\text{Como } I_C = \beta \cdot I_B \Rightarrow \beta = I_C / I_B = 3mA / 0.015mA = 200$$

7. Teniendo en cuenta la gráfica de saturación de un transistor MOSFET de canal N, calcule **aproximadamente** el parámetro K del transistor:

- [A] $K \approx 2mA/V^2$
 [B] $K \approx 1.3mA/V^2$
 [C] $K \approx 1mA/V^2$
 [D] No se puede calcular porque no se conoce la V_T del transistor.



De la gráfica se deduce que $V_T = 2V$

Aplicando la fórmula de la intensidad en saturación ($I_D = K \cdot (V_{GS} - V_T)^2$) al punto $V_{GS} = 7V$ (se puede aplicar a cualquier otro punto, aunque en éste se ve mejor el valor de la corriente), $I_D = 50mA$ se tiene que:

$$50mA = K \cdot (V_{GS} - V_T)^2 = K \cdot (7V - 2V)^2 = 25K \Rightarrow K = 2mA/V^2$$

Apellidos:

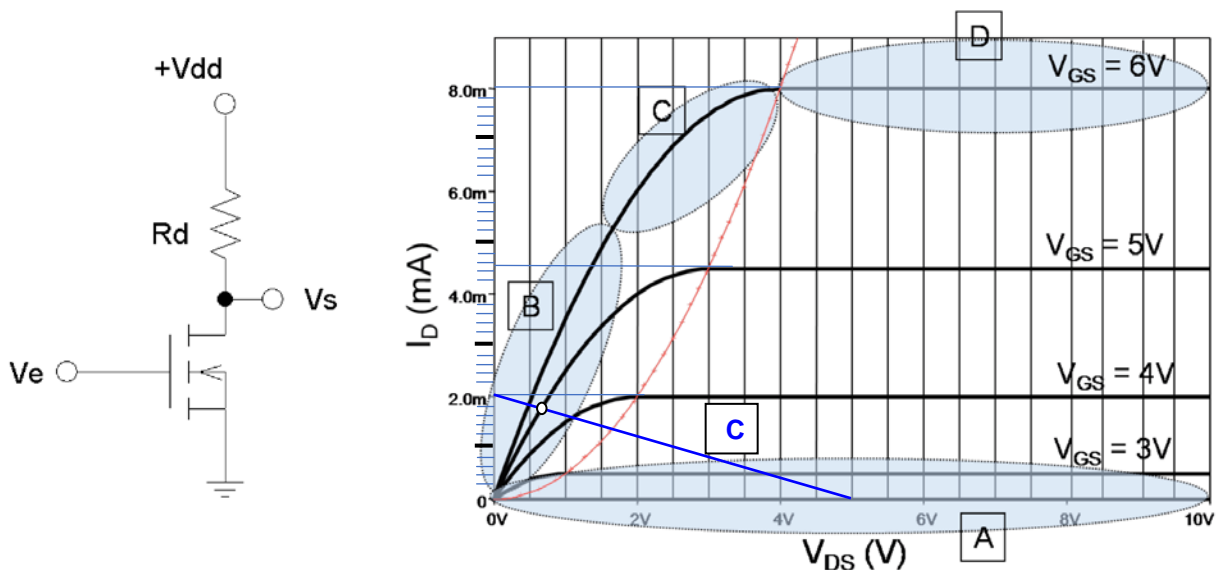
Nombre:

PROBLEMA 1 (4 PUNTOS)

El circuito de la siguiente figura utiliza un transistor MOSFET cuyas curvas características se muestran en la gráfica de la derecha. Conteste las siguientes preguntas.

Datos:

- Parámetros del Mosfet: $V_T = 2V$, $K = 0.5mA/V^2$
- Ecuación simplificada de la zona óhmica: $R_{on} = \frac{1}{2K(V_{GS} - V_T)}$



- A. **(0.5 ptos.)** Si se quiere que el transistor funcione en conmutación, ¿en qué zona(s) de la gráfica debería trabajar? Indique la letra y el nombre de la(s) zona(s) de trabajo. **Justifique la respuesta.**

En conmutación el NMOS debe trabajar en CORTE (A) y OHMICA (B) cerca del eje Y. La zona C también es óhmica pero está más alejada del eje Y, resultando en unos valores de Vs no apropiados de más de 1,7V aproximadamente.

- B. **(1 pto.)** Se desea que trabaje como un inversor. Si Vdd y Ve son 5V y Rd = 2.5kΩ, calcule el voltaje y valor lógico de la salida Vs. Verifique la zona de funcionamiento. **Justifique la respuesta.**

Como inversor, el MOSFET trabajará en corte o en zona óhmica simplificada.

Si $V_e = 5V \Rightarrow V_{GS} = V_e - 0V = 5V > V_T \Rightarrow$ el transistor conduce, y debe estar en zona óhmica \Rightarrow Se comportará como una resistencia equivalente R_{ON} , de valor:

$$R_{on} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \cdot 0.5(5 - 2)} = \frac{1}{3} = 0.333k\Omega$$

Por tanto, el circuito de salida será un divisor resistivo cuyo valor de tensión de salida será:

$$V_s = \frac{R_{ON}}{R_{ON} + R_D} V_{DD} = \frac{0.33}{0.33 + 2.5} \cdot 5V = 0.56V$$

Comprobación de zona:

¿ $V_{DS} \leq V_{GS} - V_T$?

$V_{DS} = V_s = 0.56V < 5V - 2V \rightarrow$ Zona óhmica

- C. (0.75 ptos.) Dibuje sobre la gráfica la recta de carga y el punto de trabajo del apartado anterior. **Justifique la respuesta con las ecuaciones necesarias.**

Ecuación de la recta de carga: $V_{DD} - R_D \times I_{DS} - V_{DS} = 0$

Para $I_{DS} = 0 \rightarrow V_{DS} = V_{DD} = 5V$

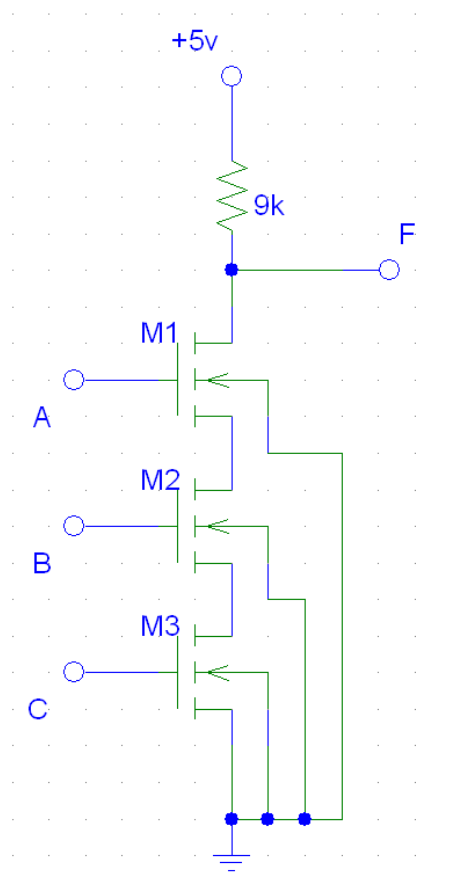
Para $V_{DS} = 0 \rightarrow I_{DS} = V_{DD} / R_D = 5 / 2.5k = 2mA$

- D. (0.75 ptos.) ¿Qué valor de V_e hace que el transistor esté en el límite entre corte y saturación? **Justifique la respuesta.**

$V_e = V_T = 2V$

El transistor permanece cortado hasta que llega al voltaje umbral, a partir del cual forma canal y conduce.

- E. (1 pto.) Diseñe una puerta NAND de tres entradas de la misma familia que el circuito de la figura. Calcule R_d para conseguir un valor de V_{OL} (el "0" de salida) de 0.5V. Suponga $V_{DD} = 5V$, V_e ("1") = 5V y V_e ("0") = 0V.



Como se parte del mismo transistor NMOS, la R_{ON} será la misma, es decir $R_{ON} = 1/3k\Omega$. Al estar en serie 3 transistores, la R_{ON} equivalente será la suma de las tres, es decir: $1k\Omega$

La tensión de salida se calcula a partir de la expresión del divisor resistivo

$$V_F = \frac{R_{ON}}{R_{ON} + R_D} V_{DD}$$

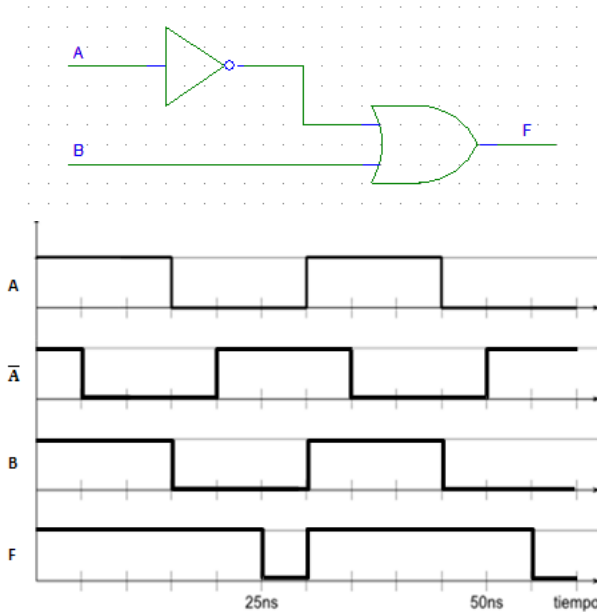
Aplicando que $V_{DD} = 5V$, $V_F = 0.5V$ y $R_{ON} = 1k\Omega$:

$$0.5V = \frac{1k\Omega}{1k\Omega + R_D} 5V$$

Y despejando queda que $R_D = 9k\Omega$

SEGUNDO PARCIAL**7 Cuestiones de TEORIA (6 puntos). Puntuación: BIEN:+100%. MAL:-25%. N.C: 0**

1. Para el circuito de la figura se ha dibujado el cronograma de las distintas salidas, siendo las señales A y B las entradas al mismo. Cada marca horizontal corresponde a 5 ns. Se puede afirmar que:

**Datos:**

$$V_{CC} = 5V;$$

$$I_{CCL}(\text{NOT}) = 5\text{mA}, I_{CCH}(\text{NOT}) = 3\text{mA}$$

$$I_{CCL}(\text{OR}) = 7\text{mA}, I_{CCH}(\text{OR}) = 4\text{mA}$$

- [A] El retardo de la puerta NOT es 10ns
 [B] La potencia estática promedio consumida por el circuito es 42.5mW
 [C] La potencia estática promedio consumida por la puerta NOT es 40mW
 [D] La potencia estática promedio consumida por la puerta OR es 27.5mW

$$P_{\text{estática}}(\text{total}) = P_{\text{estática}}(\text{NOT}) + P_{\text{estática}}(\text{OR})$$

$$P_{\text{estática}}(\text{NOT}) = V_{CC} \cdot (1/2 \cdot I_{CCL}(\text{NOT}) + 1/2 \cdot I_{CCH}(\text{NOT})) = V_{CC} \cdot 1/2 \cdot (I_{CCL}(\text{NOT}) + I_{CCH}(\text{NOT})) = 5V \cdot 1/2 \cdot (5\text{mA} + 3\text{mA}) = 20\text{mW}$$

$$P_{\text{estática}}(\text{OR}) = V_{CC} \cdot (1/6 \cdot I_{CCL}(\text{OR}) + 5/6 \cdot I_{CCH}(\text{OR})) = V_{CC} \cdot 1/6 \cdot (I_{CCL}(\text{OR}) + 5 \cdot I_{CCH}(\text{OR})) = 5V \cdot 1/6 \cdot (7\text{mA} + 5 \cdot 4\text{mA}) = 22.5\text{mW}$$

$$P_{\text{estática}}(\text{total}) = 20\text{mW} + 22.5\text{mW} = 42.5\text{mW}$$

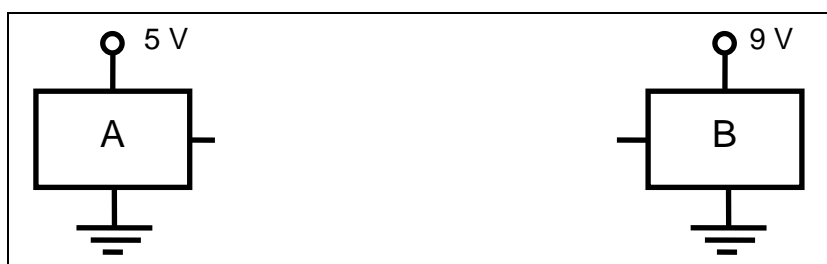
2. Con respecto a los circuitos lógicos con salida triestado, marque la afirmación **FALSA**:

- [A] Necesitan una entrada de habilitación adicional.
 [B] Permite conectar las salidas de varios circuitos sin necesidad de resistencia de *pull-up*.
 [C] Un circuito lógico con salida triestado tiene menos transistores que el mismo circuito con salida en colector/drenador abierto.
 [D] En una conexión tipo bus, a lo sumo sólo una salida debe tener un nivel lógico válido ("0" o "1"); las demás salidas deben estar en alta impedancia ("Z").

3. Se desea realizar la conexión de dos familias lógicas tal y como se muestra en la figura. A partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. Indique cuál de las siguientes opciones realizaría una conexión **CORRECTA**.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
6.3 V	2.7 V	8.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 pA	-20 pA	-0.5 mA	0.5 mA



- [A] Se puede realizar la conexión directamente ya que existe compatibilidad a nivel de tensión y corrientes.
 [B] La conexión no es posible de ninguna manera ya que están alimentadas a diferente tensión.
 [C] Existe incompatibilidad de tensiones. Se puede solucionar intercalando un *buffer* de la familia A con salida en colector abierto y una resistencia de *pull-up* entre la salida del *buffer* y 9V.
 [D] Existe incompatibilidad de corrientes. Se puede solucionar intercalando un *buffer* alimentado a 5V.

Como el componente donante dispone de salidas a nivel bajo y alto, a priori no es preciso un circuito de *pull-up*.

Analizando la compatibilidad de las tensiones:

$$\checkmark V_{OL(max)}(A) \leq V_{IL(max)}(B)?$$

$$0.4V < 2.7V \checkmark$$

$$\checkmark V_{OH(min)}(A) \geq V_{IH(min)}(B)?$$

$$2.4V < 6.3V \times$$

Por tanto, las tensiones son incompatibles

Como las tensiones de alimentación de las familias A y B son diferentes, la solución pasa por intercalar un *buffer* de la familia donante (A), alimentado a la tensión de alimentación de la familia donante (5V), y con salida en colector/drenador abierto. Además, entre la salida de este *buffer* y la entrada del componente B hay que poner un circuito de *pull-up* conectado a la tensión de alimentación de la familia B (9V).

4. Suponga que se pretende aumentar la velocidad de un determinado circuito lógico CMOS. Indique cuál de las siguientes opciones es **INCORRECTA**:

- [A] Aumentar la tensión de alimentación V_{DD}
 [B] Disminuir la tensión umbral V_T de los transistores
 [C] Disminuir la capacidad parásita de carga C_L
 [D] Disminuir la constante K de los transistores

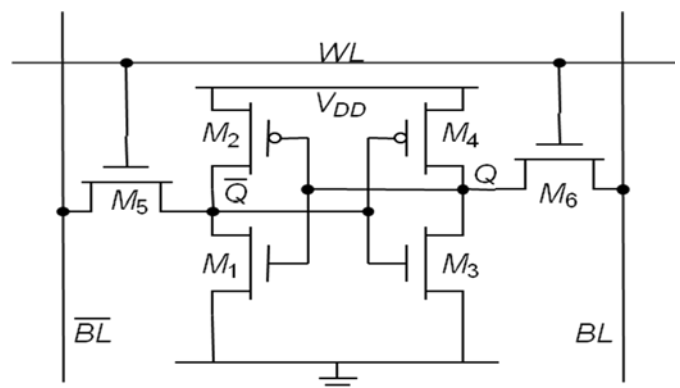
Aumentar la velocidad implica disminuir los retardos de propagación, y como $t_{pLH} \sim \frac{C_L}{K_p \cdot (V_{DD} - V_T)}$ y $t_{pHL} \sim \frac{C_L}{K_n \cdot (V_{DD} - V_T)}$, disminuir K aumenta t_p .

5. Indique cuál de las siguientes afirmaciones sobre las técnicas de diseño y fabricación de los circuitos integrados VLSI CMOS es **FALSA**:

- [A] En el diseño basado en celdas estándar, las celdas se disponen en filas que comparten las líneas de alimentación y masa.
 [B] El diseño *full-custom* es más óptimo que el basado en celdas estándar. Se realiza a nivel de máscara, utilizando editores de *layout*.
 [C] Las máscaras se proyectan sobre la oblea mediante un sistema fotolitográfico que emplea luz ultravioleta y un sistema de lentes de reducción.
 [D] En la fabricación del inversor CMOS la capa (*layer*) que se deposita en último lugar es el polisilicio de la entrada.

6. Dada la figura siguiente, indique la respuesta **CORRECTA**:

- [A] Es una celda de memoria DRAM que incluye el circuito de refresco.
 [B] El proceso de escritura en este tipo de memoria es: 1) poner en BL el dato a escribir y en /BL el complementario, 2) activar WL a 1, y esperar que el dato se escriba en la celdilla.
 [C] La línea de bit BL sirve para leer los datos, y /BL para escribirlos.
 [D] Los transistores M1, M5, M3 y M6 forman un biestable que almacena el valor lógico de la celdilla.



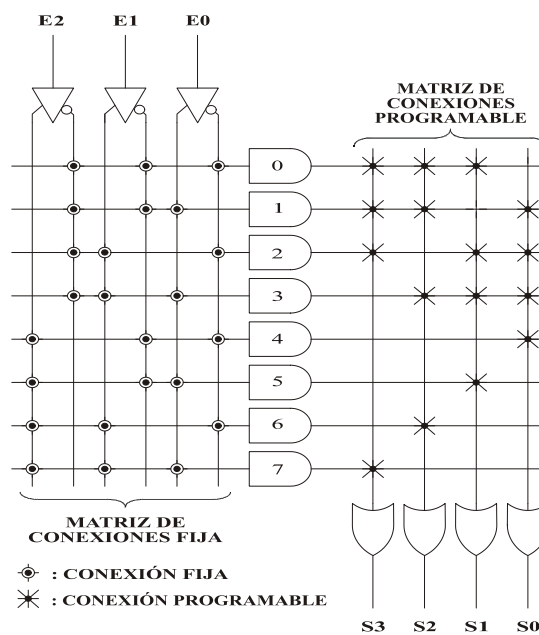
7. Dado el circuito de la figura, indique la afirmación **FALSA**:

[A] Es una memoria no volátil programable de 4 palabras de 8 bits.

[B] Se trata de una memoria no volátil programable de 3 entradas y 4 salidas.

[C] La matriz de conexiones fijas activa una de las palabras de la memoria, en función de las entradas (E2, E1, E0).

[D] La salida S3 es la función $\sum_3(0,1,2,7)$

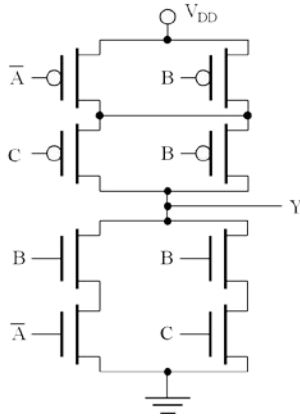


Apellidos:

Nombre:

PROBLEMA 2 (4 PUNTOS)

A. (1.5 ptos.) Dado el circuito realizado con lógica CMOS complementaria de la figura:



(0.5 ptos.) Indique la función lógica que implementa:

$$Y = (A + B) \cdot (B + C) = (\overline{A} \cdot B) + (B \cdot C)$$

(1 pto.) Justifique la respuesta.

Analizando el bloque de transistores PMOS, hay dos grupos de transistores en serie: son sendas parejas de transistores en paralelo (\overline{A} -B y C-B). Si las asociaciones en paralelo equivalen a sumas lógicas ("+"), y asociaciones en serie a productos lógicos ("."), la función implementada por el bloque PMOS será $G_{PMOS} = (\overline{A} + B) \cdot (B + C)$.

Como $Y = G_{PMOS}^*$ (es decir, la misma función, pero con las variables invertidas) $\Rightarrow Y = (A + \overline{B}) \cdot (\overline{B} + \overline{C})$.

Analizando el bloque de transistores NMOS, hay dos grupos de transistores en paralelo: son sendas parejas de transistores en serie (\overline{A} -B y B-C). Si las asociaciones en paralelo equivalen a sumas lógicas ("+"), y asociaciones en serie a productos lógicos ("."), la función implementada por el bloque NMOS será $G_{NMOS} = (\overline{A} \cdot B) + (B \cdot C)$.

$$\text{Como } Y = \overline{G_{NMOS}} \Rightarrow Y = \overline{(\overline{A} \cdot B) + (B \cdot C)}.$$

B. (1 pto.) A partir de los datos en la tabla adjunta, realice una estimación aproximada de la potencia consumida por el circuito. Justifique los cálculos realizados.

NOTA.- Para los cálculos, **tenga en cuenta los inversores utilizados** para invertir las entradas, aunque no se muestren en el diagrama del circuito.

$V_{DD} = 5V$ (tensión de alimentación)

Suponga que las corrientes de fuga de los transistores son $2pA/\text{transistor}$ ($1pA = 10^{-12}A$)

$f_{CLK} = 1GHz$ (frecuencia de reloj)

$C_L = 5fF/\text{transistor}$ (capacidad media de carga por transistor; $1fF = 10^{-15}F$)

$\alpha = 0.5$ (factor de actividad medio de las entradas del circuito)

(0.5 ptos.) $P_{\text{estática}}$ (mW) = $100 \cdot 10^{-9}$

(0.5 ptos.) $P_{\text{dinámica}}$ (mW) = 0.625

El número de transistores utilizados es 10: 2 del inversor de A (no mostrado), 4 del bloque PMOS y 4 del bloque NMOS.

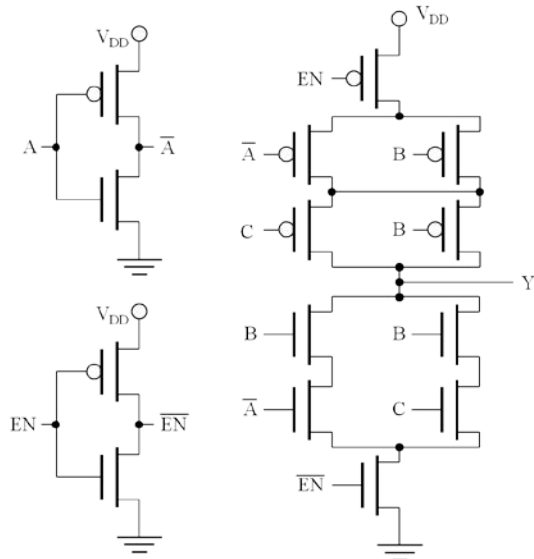
$$P_{\text{estática}} = V_{DD} \cdot I_{CC} = V_{DD} \cdot (N_{\text{transistores}} \cdot I_{\text{(fugas)}}) = 5V \cdot 10 \cdot 2 \cdot 10^{-12}A = 100 \cdot 10^{-12}W = 100 \cdot 10^{-9} \cdot 10^{-3}W = 100 \cdot 10^{-9}mW$$

$$P_{\text{dinámica}} = (V_{DD})^2 \cdot C_L \cdot (\alpha \cdot f_{CLK}) = (V_{DD})^2 \cdot (N_{\text{transistores}} \cdot C_L) \cdot (\alpha \cdot f_{CLK}) = (5V)^2 \cdot (10 \cdot 5 \cdot 10^{-15})F \cdot (0.5 \cdot 10^9)Hz = 25 \cdot 10 \cdot 5 \cdot 0.5 \cdot 10^{-6}W = 625 \cdot 10^{-6}W = 625 \cdot 10^{-3} \cdot 10^{-3}W = 0.625mW$$

- C. (1.5 pts.) Modifique el esquema del apartado A para diseñar una nueva versión del circuito con salidas triestado, con una entrada de habilitación (EN) activa a **nivel bajo**, y compruebe el funcionamiento del nuevo circuito para la combinación de entradas: $EN = A = B = C = "1"$.

C.1. (0.75 pts.) Diagrama del circuito. Explique los pasos seguidos.

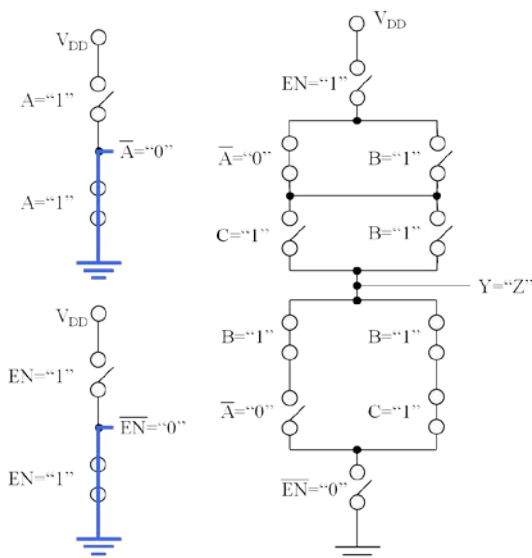
NOTA.- INCLUYA TODOS LOS INVERSORES NECESARIOS.



Para dotar al circuito original de salidas triestado hay que añadir sendos transistores PMOS (junto al bloque PMOS) y NMOS (junto al bloque NMOS) con entradas (dependientes de una entrada de habilitación, EN) invertidas, de forma que, o ambos conduzcan o se corten. Esto requerirá un inversor para invertir la entrada EN.

Como se desea que el nivel de activación de la entrada de habilitación EN sea bajo, cuando $EN = "0"$ deben conducir los dos transistores de control (y cuando $EN = "1"$ ambos deberán cortarse). Por tanto, al transistor NMOS se conectará \overline{EN} , y al PMOS EN.

- C.2. (0.5 pts.) Dibuje el circuito sustituyendo los transistores por **interruptores (abiertos y/o cerrados)** para la combinación de entradas: $EN = A = B = C = "1"$. Justifique los pasos seguidos.



Aplicando a cada transistor el valor de su entrada:

- Los transistores PMOS que tengan un "0" en su entrada conducirán (interruptores cerrados) y los que tengan un "1" se cortarán (interruptores abiertos).
- Los transistores NMOS que tengan un "1" en su entrada conducirán (interruptores cerrados) y los que tengan un "0" se cortarán (interruptores abiertos)

- C.3. (0.25 pts.) Justifique el valor lógico de la salida Y.

Como $EN = "1"$, el transistor PMOS de control está cortado; lo mismo sucede con el NMOS, ya que $EN = "0"$.

De este modo, no existe ningún camino desde V_{DD} o GND a la salida, y por lo tanto la salida estará en alta impedancia ("Z").