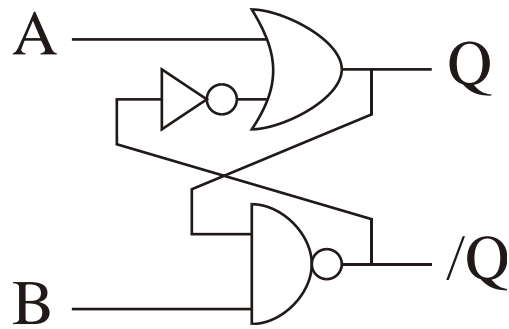


Tema 4: CIRCUITS SEQÜENCIALS

Grau en Informàtica

EXERCICIS

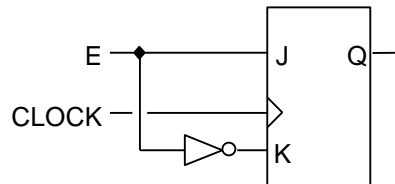
4.1. Per al biestable següent:



Representeu-ne la taula de veritat escrivint (*) on hi haja una situació no volguda:

B	A	Q(t+1)	/Q(t+1)
0	0	0	1
0	1	*	*
1	0	Q(t)	/Q(t)
1	1	1	0

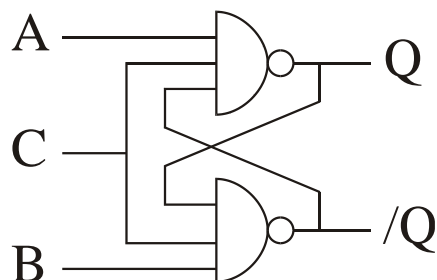
4.2. Escriviu la taula de veritat del circuit següent. Es comporta com un altre circuit que conegues?



E	C	Q(t+1)
X	0	Q(t)
X	1	Q(t)
0	↑	0
1	↑	1

És un biestable D

4.3. Per al biestable següent:



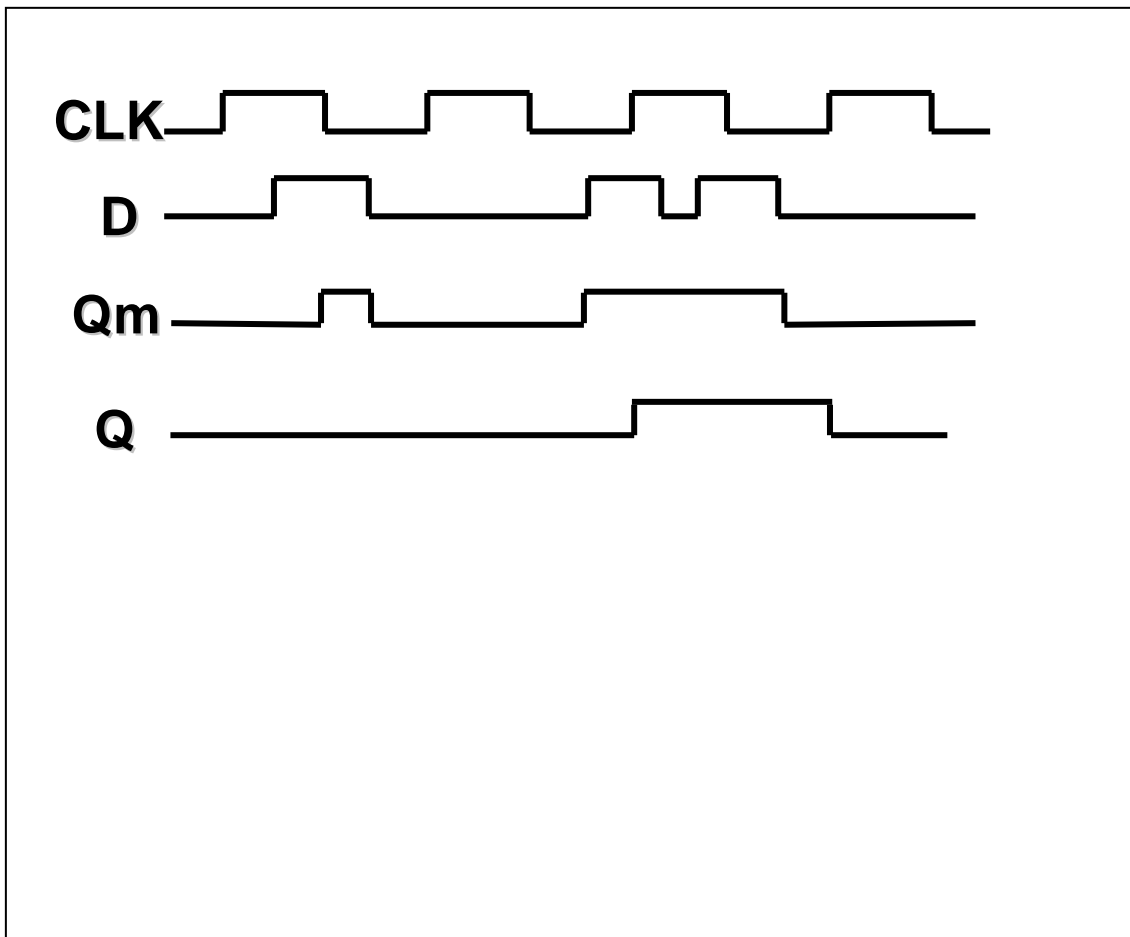
Representeu-ne la taula de veritat escrivint (*) on hi haja una situació no volguda:

C	B	A	$Q(t+1)$	$/Q(t+1)$
0	0	0	*	*
0	0	1	*	*
0	1	0	*	*
0	1	1	*	*
1	0	0	*	*
1	0	1	0	1
1	1	0	1	0
1	1	1	$Q(t)$	$/Q(t)$

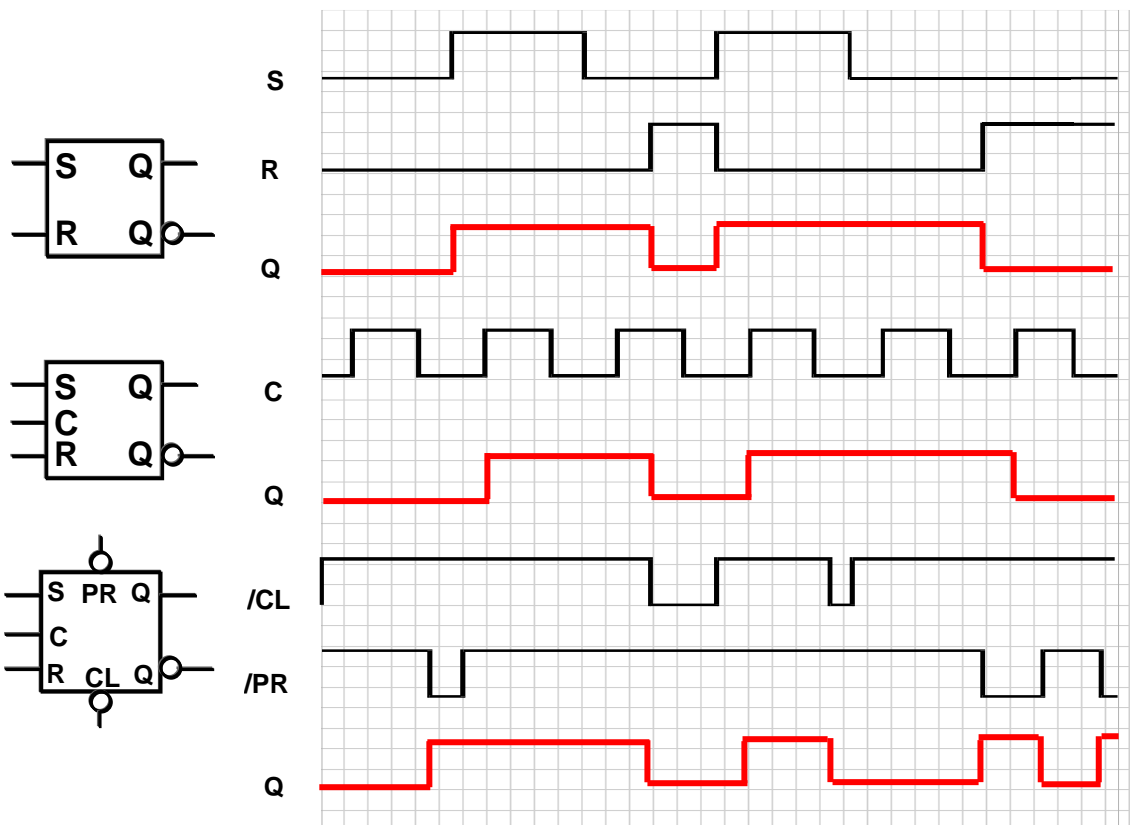
4.4. Per a què serveixen les entrades asíncrones dels biestables?

Per seleccionar un estat d'inici del circuit, configurant l'estat del biestable al valor volgut.

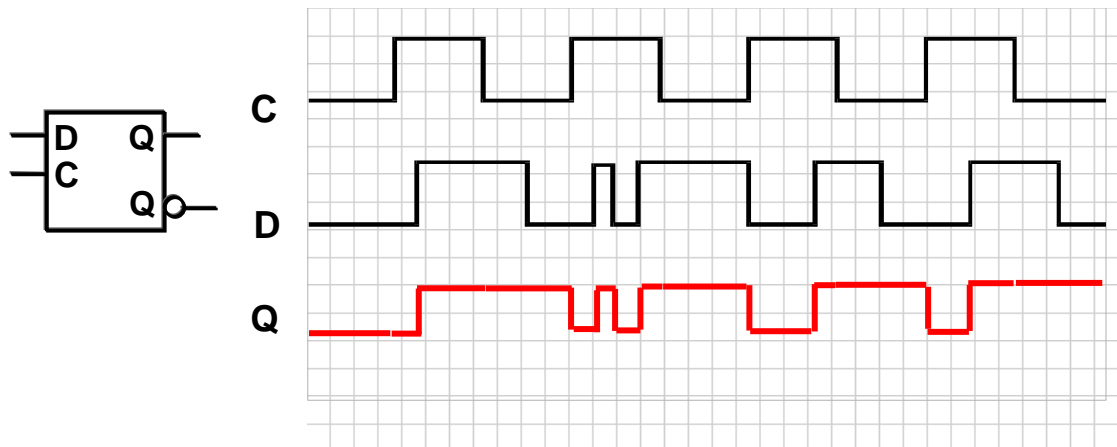
4.5. Dibuixeu el cronograma d'un biestable D Mestre–Esclau actiu per flanc de pujada.



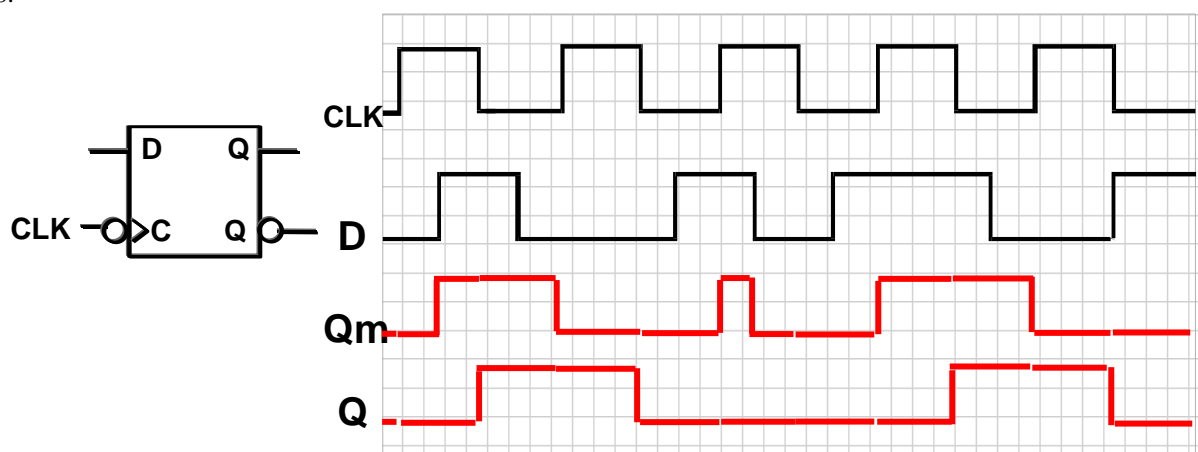
4.6. Completeu els cronogrames següents amb l'evolució de les eixides.



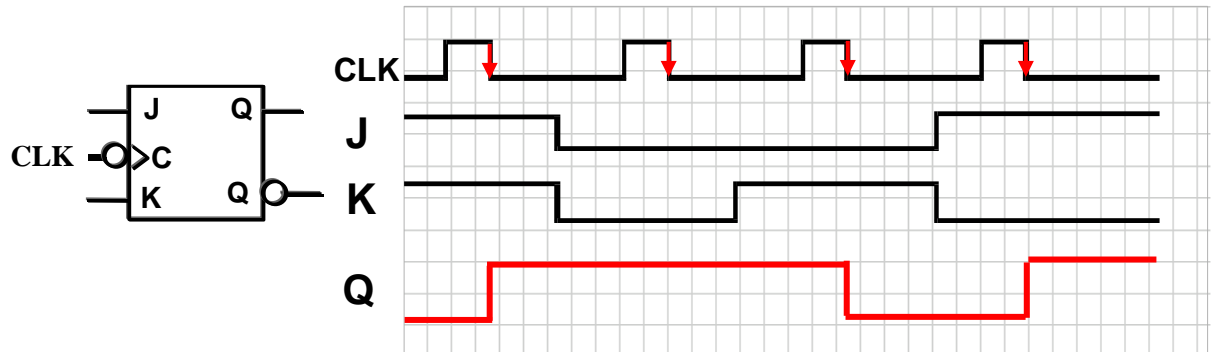
4.7.



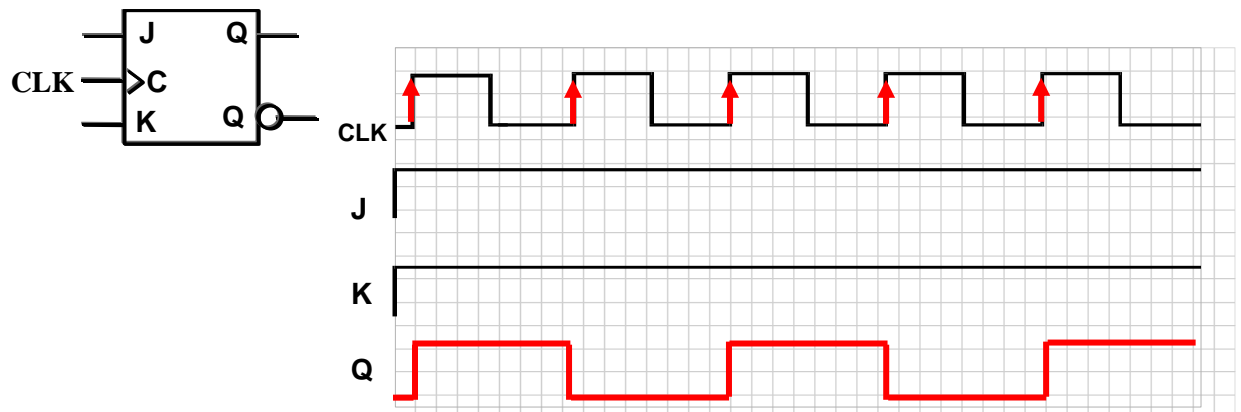
4.8.



4.9.



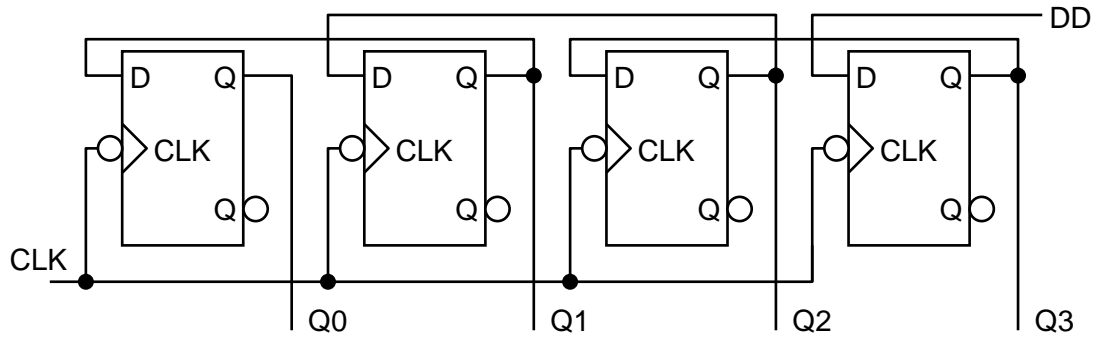
4.10.



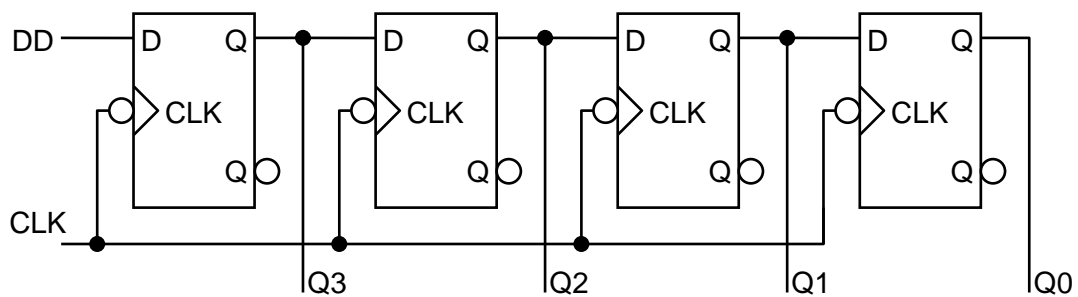
4.11.- El registre de desplaçament amb entrada sèrie i eixida paral·lela de la transparència 42 del tema correspon a un desplaçament des de l'LSB fins a l'MSB. Utilitzeu aquest circuit com a patró i dissenyeu el circuit d'un registre de desplaçament amb entrada sèrie i eixida paral·lela de 4 bits amb desplaçament des de l'MSB fins a l'LSB. El nom de l'entrada de dades sèrie ha de ser DD, el rellotge CLK i el flanc actiu ha de ser el flanc de baixada.

Hi ha almenys dues maneres de dibuixar el circuit que es demana.

La primera és posant els biestables de l'LSB a l'MSB ordenats d'esquerra a dreta; així l'entrada de dades DD entra a Q3 des de la part dreta, i els bits es van desplaçant cap a l'esquerra amb cada flanc de rellotge, tal com es mostra en la figura següent:



Una manera alternativa de realitzar el disseny és canviar l'orde dels biestables, col·locant l'MSB a l'esquerra; en este cas l'entrada DD es col·loca en la part esquerra i els desplaçaments ocorren cap a la dreta, com es mostra en la figura següent:



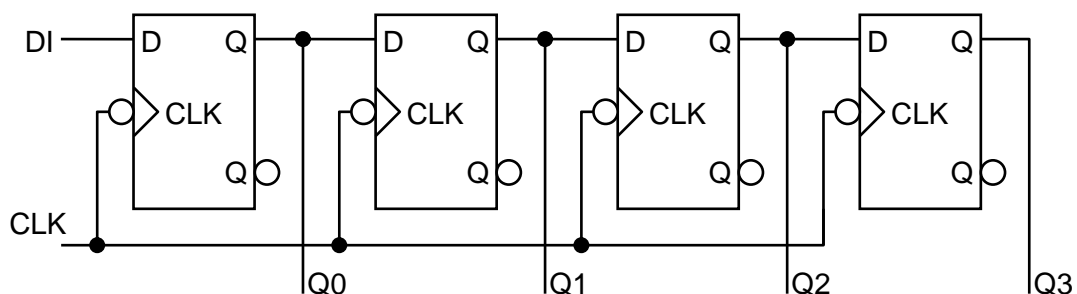
Ambdós circuits són funcionalment idèntics, perquè l'important és que el valor de l'entrada DD estiga connectada en ambdós circuits a l'entrada del biestable denominat Q3, l'eixida de Q3 a l'entrada de Q2 i així successivament.

4.12 .- Dissenyeu un registre de desplaçament de 4 bits amb dos entrades sèrie i eixida paral·lela; per a això cal ajuntar en un únic circuit de 4 bits tant les connexions del registre de desplaçament de la transparència 42 del tema com les de l'exercici anterior. Seguiu les indicacions següents:

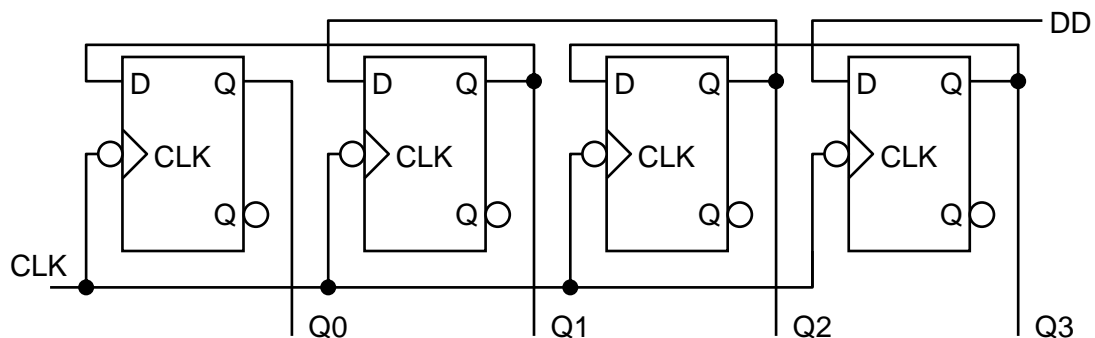
- Nomeneu CLK a l'entrada de rellotge. El flanc actiu ha de ser el flanc de baixada.
- Nomeneu DI a l'entrada de dades sèrie des de l'LSB fins a l'MSB.
- Nomeneu DD a l'entrada de dades sèrie des de l'MSB fins a l'LSB.
- Nomeneu DIR a l'entrada de control que indique el sentit del desplaçament, amb el comportament següent:
 el desplaçament ha de ser $DI \rightarrow Q0 \rightarrow Q1 \rightarrow Q2 \rightarrow Q3$ quan $DIR = 0$, i ha de ser $DD \rightarrow Q3 \rightarrow Q2 \rightarrow Q1 \rightarrow Q0$ quan $DIR = 1$
- Utilitzeu un MUX 2a1 para cada un dels biestables. L'entrada de selecció de tots ells ha d'estar connectada a l'entrada DIR, i l'eixida del MUX directament connectada a l'entrada de dades D del biestable corresponent.
- Utilitzeu les entrades de dades del MUX per a aconseguir el comportament desitjat.

Els dos circuits que cal "reunir" són els següents:

El primer, un registre de desplaçament de l'LSB a l'MSB, entrada de dades DI,

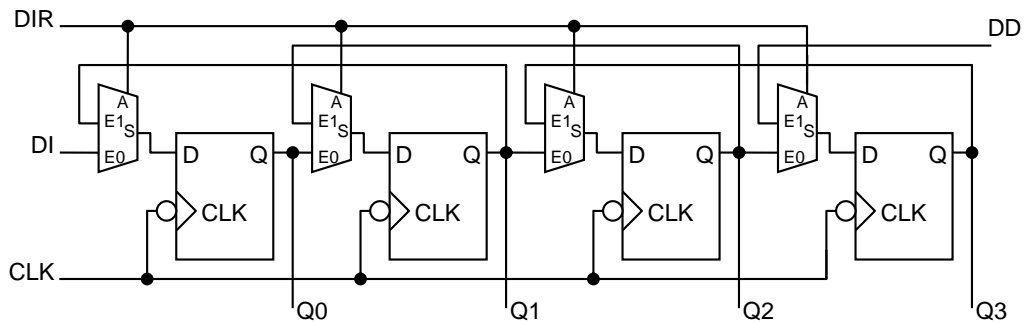


El segon, un registre de desplaçament de l'MSB a l'LSB, entrada de dades DD,

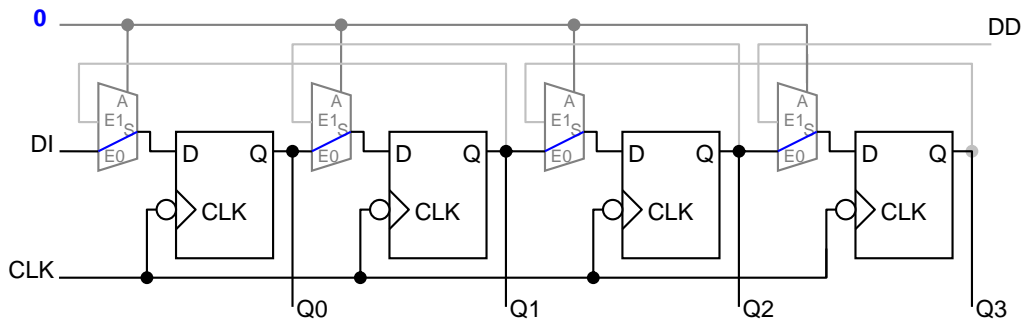


En els dos circuits mostrats més amunt s'ha mantingut el mateix orde dels biestables (col·locant l'LSB a l'esquerra) perquè la unió d'ambdós per mitjà de multiplexors resulte més evident.

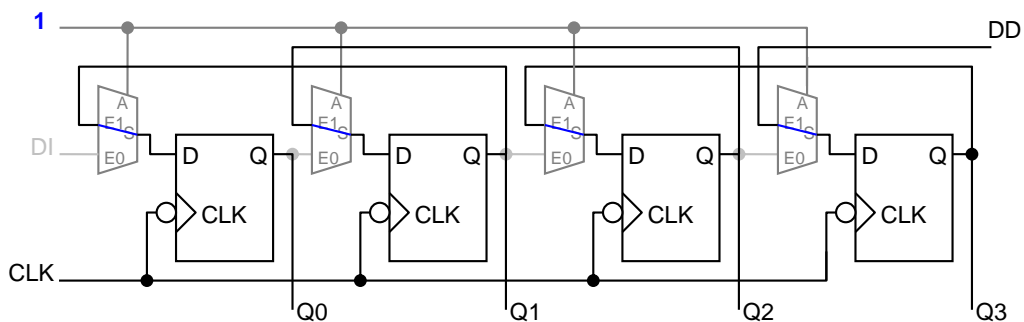
Ara és prou amb aplicar la indicació d'utilitzar un MUX 2a1 per a determinar el valor de l'entrada D de cada biestable amb la selecció governada pel valor de l'entrada DIR, per a aconseguir el circuit mostrat a continuació



S'observa fàcilment que este circuit es comporta com el primer quan $DIR = 0$ (veieu la figura següent)



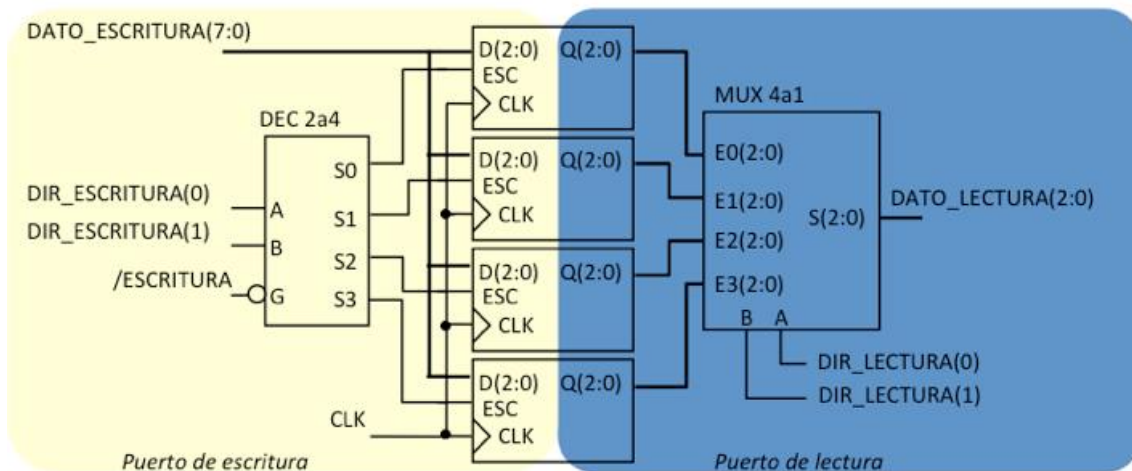
I com el segon quan $DIR = 1$ (veieu la figura següent)



4.13.- Dissenyeu el circuit intern d'un banc de registres de 4 registres de 3 bits amb un port de lectura i un altre d'escriptura utilitzant únicament registres, descodificadors i multiplexors. Els registres són actius per flanc de pujada i amb senyal de càrrega en paral·lel activa a nivell alt, mentre que l'entrada d'habilitació del descodificador és activa a nivell baix. Dibuixeu tant la implementació com el símbol lògic que representa a aquest sistema.

Per al disseny del Banc de Registres simplement seguim el patró del circuit mostrat en les transparències del tema.

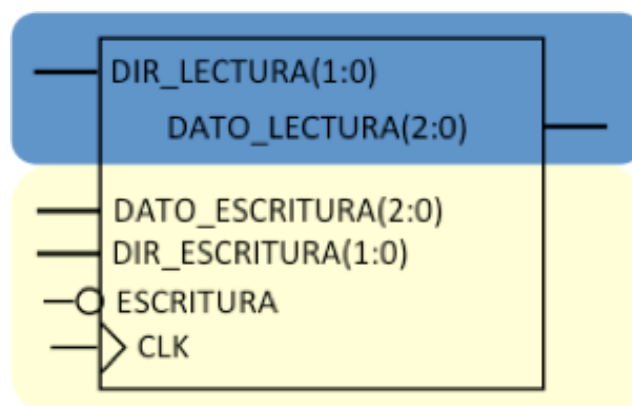
Assumirem que el nivell de activació de les sortides del descodificador es a nivell alt:



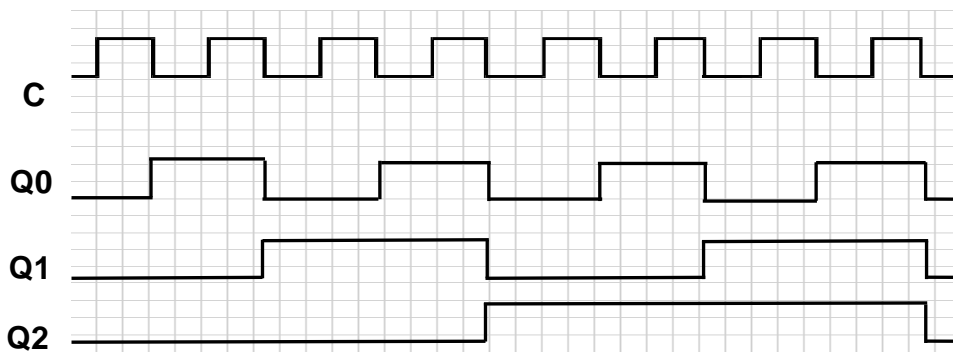
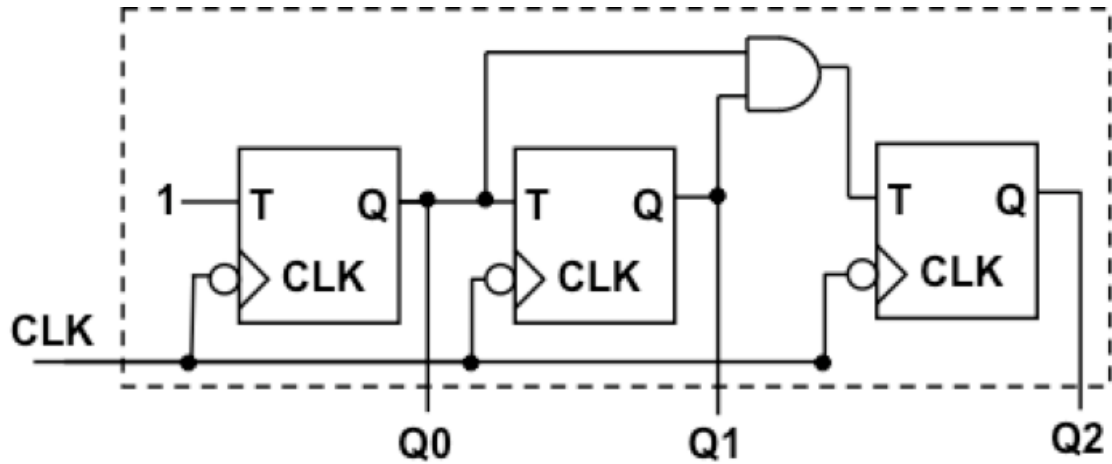
La seqüència d'etapes per a realitzar una operació d'escriptura són (per orde, i assumint que el descodificador està deshabilitat)

- 1) Establir el valor de la dada d'escriptura amb la dada que es vol escriure*
- 2) Establir el valor de l'adreça d'escriptura amb el nombre de registre sobre el qual volem escriure*
- 3) Habilitar el descodificador*
- 4) Deshabilitar el descodificador*

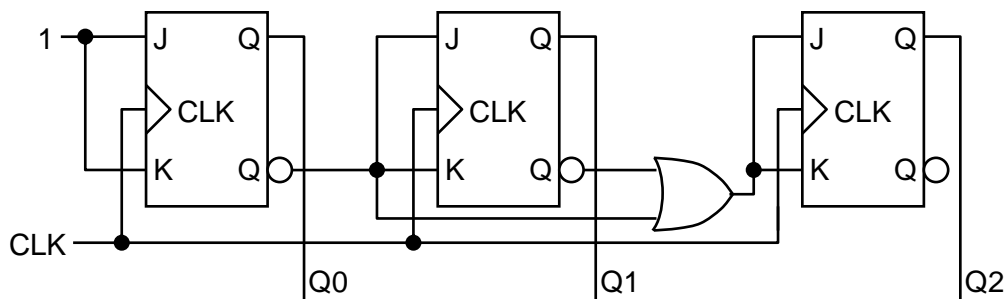
(Nota: Les etapes (1) i (2) es poden realitzar en qualsevol orde, atès que estem suposant que el descodificador està deshabilitat i, per tant, fins a l'etapa (3) no pot haver-hi flancs en les línies de rellotge dels registres)



4.14.- Dissenyeu un circuit comptador de mòdul 8 amb biestables J-K actius per flanc de pujada i les portes necessàries. Representeu el cronograma determinat per la seqüència de les eixides dels biestables.



4.15. Analitzeu per mitja d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$.

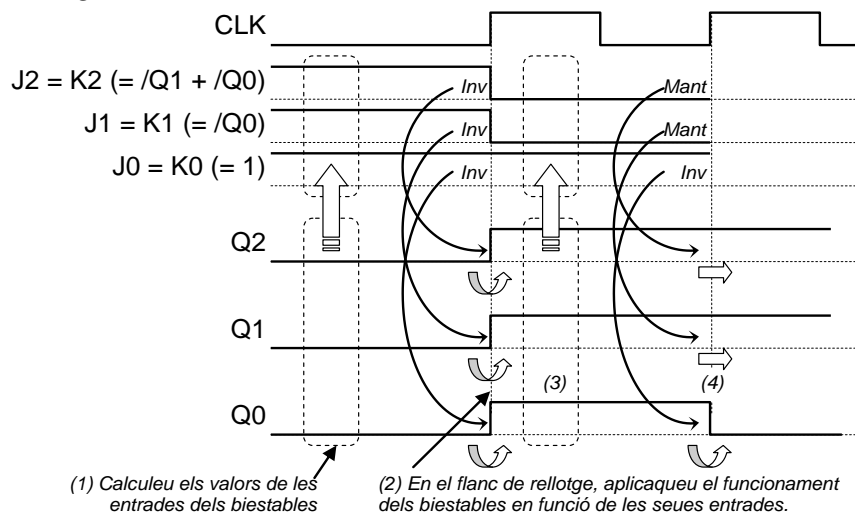


Per a fer més senzilla l'anàlisi, incloem en el cronograma els valors de les entrades J i K dels biestables Q1 i Q2: $J1 = K1 = /Q0$ i $J2 = K2 = /Q1 + /Q2$

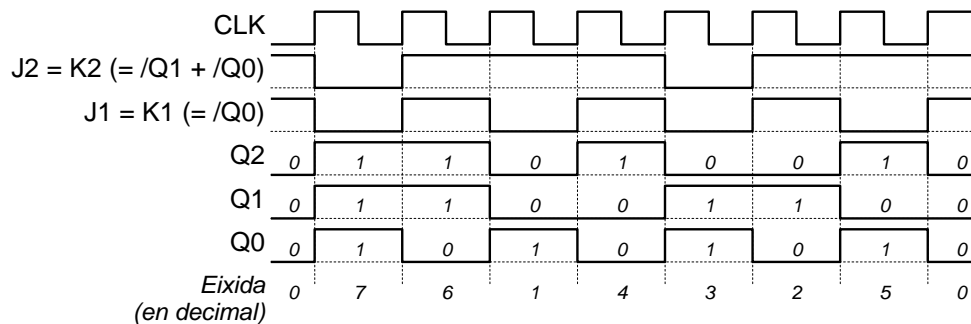
En cada pas de càlcul, en primer lloc i abans del flanc actiu del rellotge, cal calcular els valors de les entrades dels biestables ($J0$ i $K0$ són sempre 1, per la qual cosa no cal portar aquestes entrades al cronograma) per a determinar quin serà el comportament de cada biestable quan arribe el flanc actiu del rellotge. I en segon lloc, s'aplica el

flanc actiu del rellotge a tots els biestables al mateix temps, ja que es tracta d'un sistema síncron.

Un exemple detallat d'aquest procés es mostra a continuació (vegeu figura següent). En començar, $Q_2Q_1Q_0 = 000$ (segons indicació de l'enunciat del problema). Amb aquests valors en (1) s'obté que $J_1 = K_1 = \neg Q_0 = 1$ i que $J_2 = K_2 = \neg Q_1 + \neg Q_0 = 1$. Com $J_0 = K_0 = 1$ permanentment, En aplicar en (2) el primer flanc actiu del rellotge els tres biestables inverteixen el seu estat, passant el compte al valor 111. Amb aquest nou valor de $Q_2Q_1Q_0$ es recalculen en (3) els valors de J_1 i K_1 (ara 0) i J_2 i K_2 (ara 0), pel que Q_0 invertirà l'estat i tant Q_1 com Q_2 mantindran l'estat en aplicar el segon flanc de rellotge en (4).

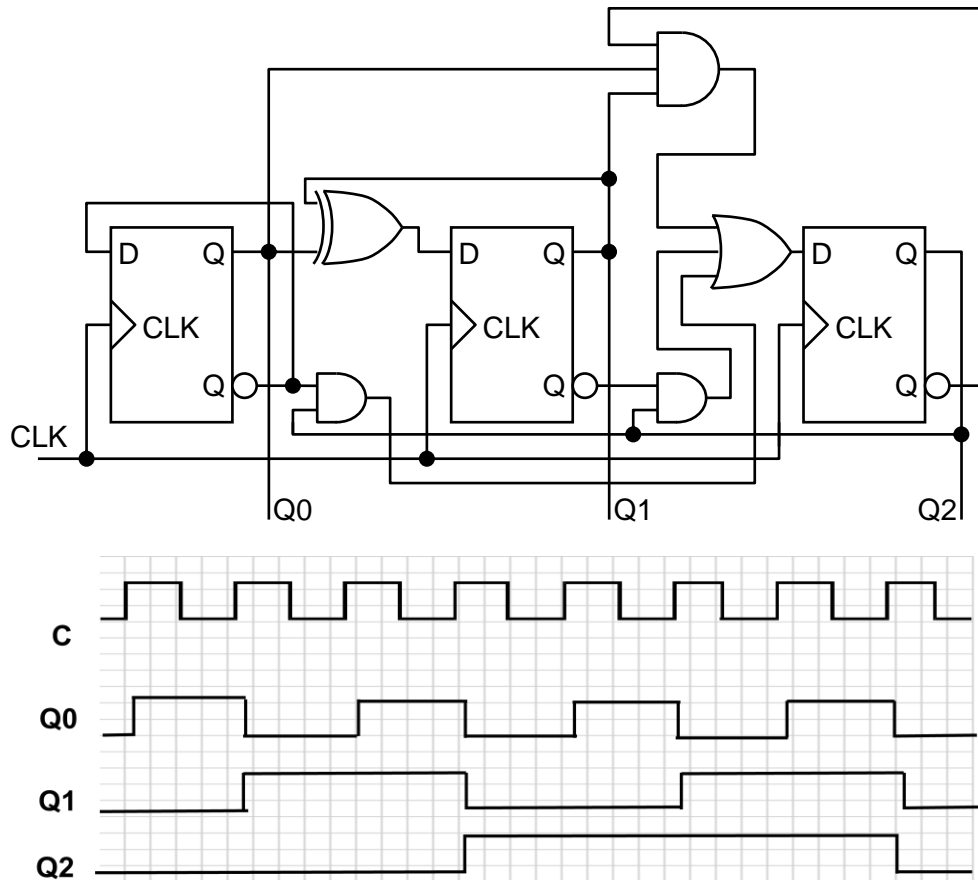


El procés d'anàlisi acaba quan es repeteix la combinació de valors emmagatzemats en $Q_2Q_1Q_0$, considerant que el sistema no té entrades externes (a banda del rellotge). El cronograma complet (en què s'han omés els valors de J_1 i K_1) es mostra en la figura següent

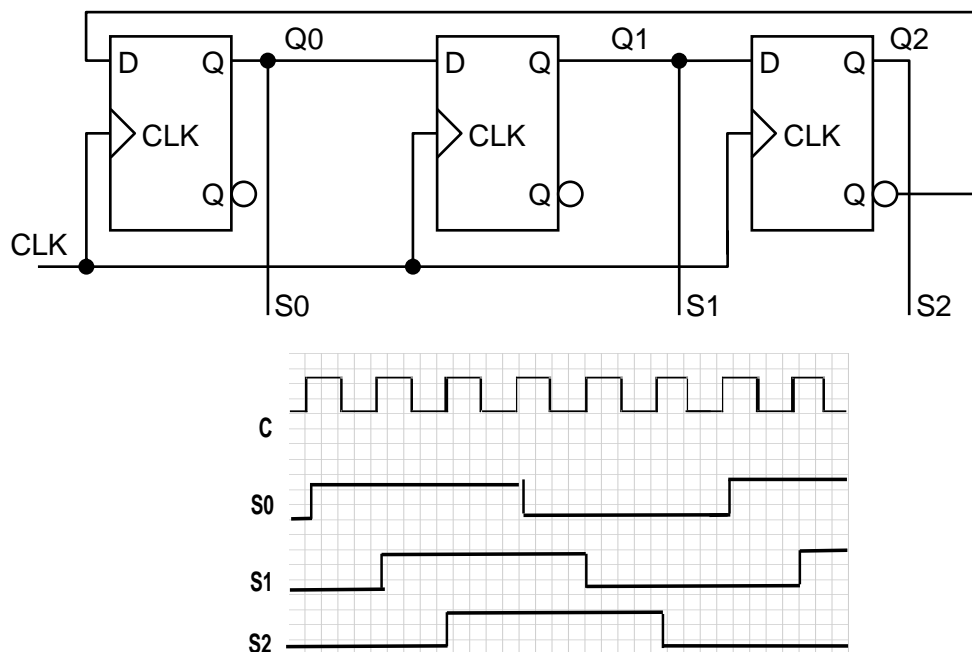


En el cronograma s'observa que l'eixida del sistema (en decimal) és la seqüència 0, 7, 6, 1, 4, 3, 2, 5, 0, ...

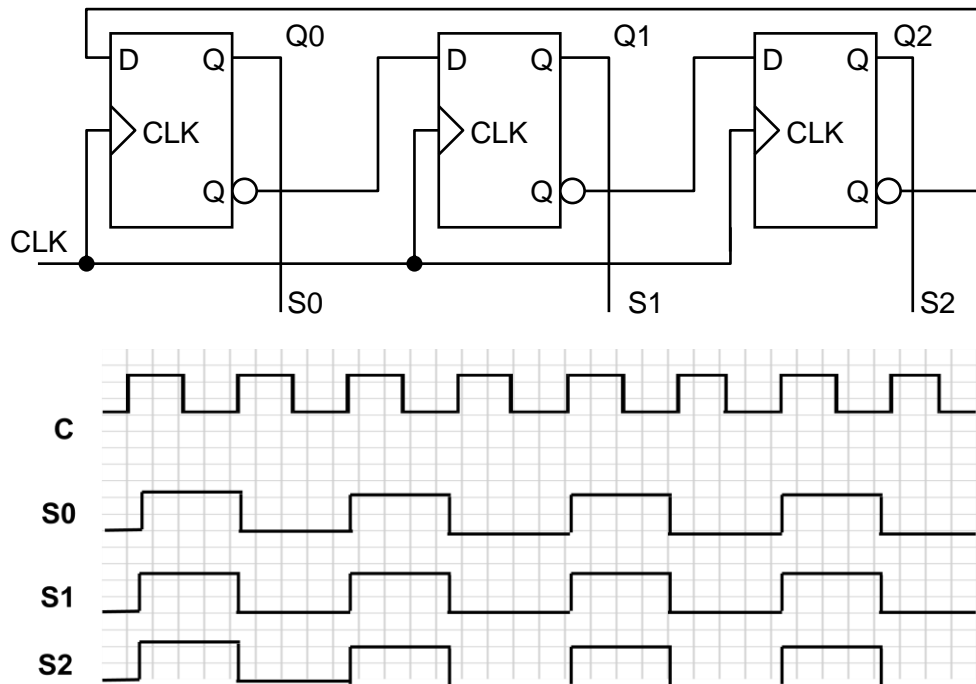
4.16. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$.



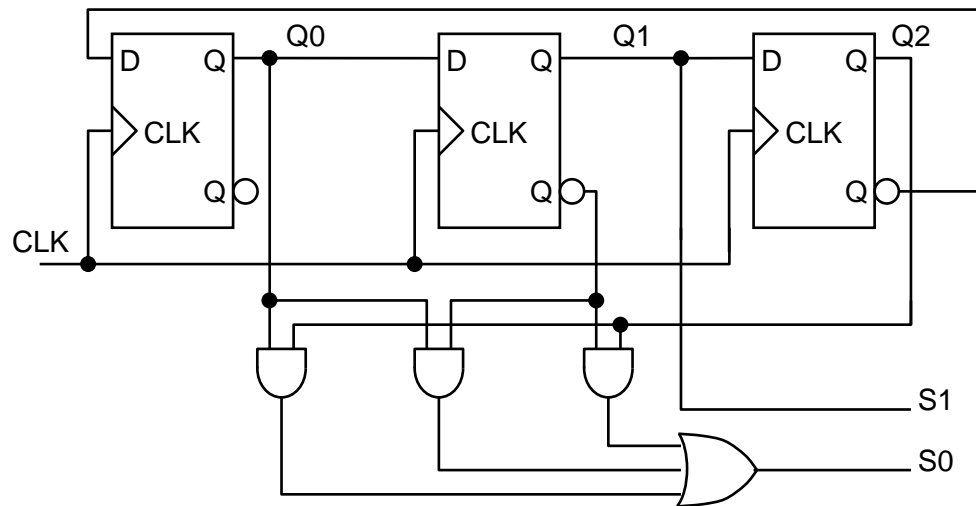
4.17. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$.

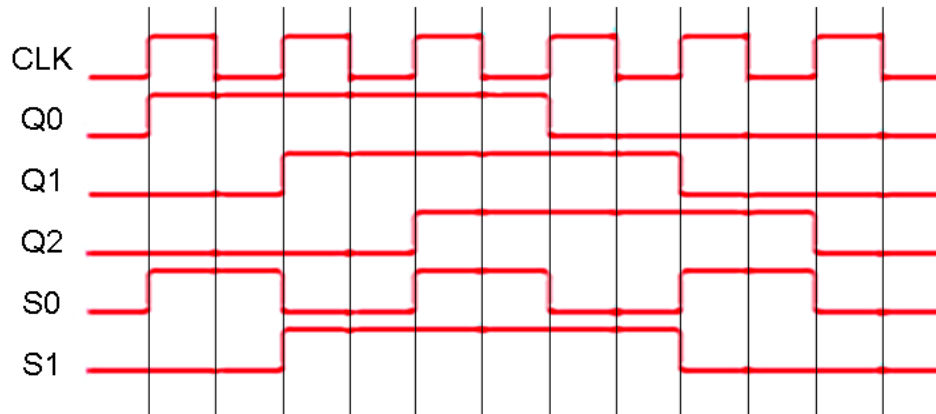


4.18. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$.



4.19. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$.





4.20.- Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és $Q_2Q_1Q_0 = 000$. I la seqüència de valors de l'entrada W abans de cada flanc actiu del rellotge és 0-0-1-1-0-0-0-0-1-1.

