

Examen Parcial de FCO – Temas 1 al 4

30 de octubre 2019

APELLIDOS: _____

NOMBRE: _____

DNI: _____

FIRMA: _____

Normativa:

- La duración del examen es de 2:00h.
- **Por favor, escriba su nombre y apellidos en letras MAYÚSCULAS.**
- DEBE responder en el espacio asignado.
- No se permiten calculadoras ni apuntes.
- Debe permanecer en silencio durante la realización del examen.
- No se puede abandonar el examen hasta que el profesor lo indique.
- Debe tener una identificación en la mesa a la vista del profesor (DNI, carnet UPV, tarjeta residente, etc.)

1. **(1,25 puntos)** Complete la tabla para expresar el valor decimal en cada uno de los sistemas de representación indicados. En la conversión de decimal a binario utilice 6 bits para la parte fraccionaria, y en la conversión a octal y hexadecimal utilice 2 dígitos para la parte fraccionaria.

Decimal	231,53 ₁₀
Binario	11100111,100001 ₂
Octal	347,41 ₈
Hexadecimal	Desde binario: E7,84 ₁₆ Desde decimal mult. sucesivas : E7,87 ₁₆
BCD	001000110001,01010011 _{BCD}

Justifique los cálculos

Decimal a binario: $231 = 2^7 + 2^6 + 2^5 + 2^2 + 2^1 + 2^0 = 128 + 64 + 32 + 4 + 2 + 1$

$0.53 \times 2 = 1.06$, $0.06 \times 2 = 0.12$, $0.12 \times 2 = 0.24$, $0.24 \times 2 = 0.48$, $0.48 \times 2 = 0.96$

Binario a octal: reagrupamos los bits en grupos de tres bits

11100111,100001 = 011 100 111, 100 001 = 347,41

Binario a Hexadecimal: reagrupamos los bits en grupo de cuatro bits

11100111,100001 = 1110 0111, 1000 0100 = E7,84

BCD, es decimal codificado en binario, luego cada valor decimal se codifica en 4 bits

2 = 0010, 3 = 0011, 1 = 0001, 5 = 0101, 3 = 0011

2. **(2 puntos)** Se desea implementar un circuito digital combinacional para subir y bajar la pantalla del proyector que hay situado en las aulas. Para saber si la pantalla está totalmente desplegada hay un detector, activo a nivel alto, llamado Abierta. Para saber si la pantalla está totalmente cerrada hay otro detector, activo a nivel alto, llamado Cerrada. El interruptor que se pulsa para subir o bajar la pantalla tiene tres posiciones: subir, bajar y parar:

- Cuando está pulsado para subir: se activa la señal S y se desactiva la señal B
- Cuando está pulsado para bajar: se activa la señal B y se desactiva la señal S
- En la posición parado se desactivan ambas, S y B.

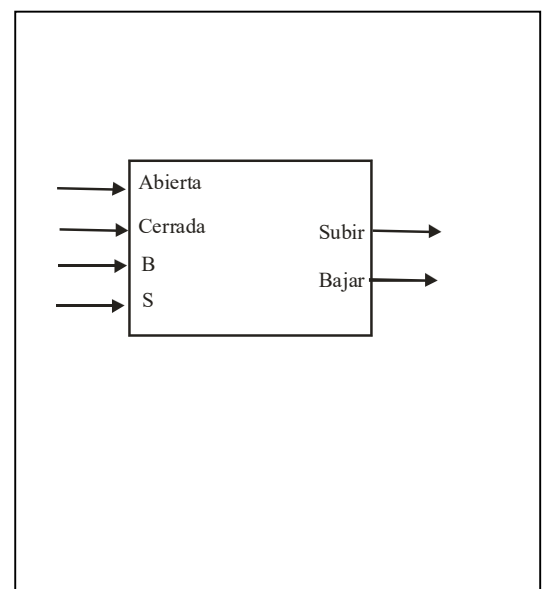
El circuito a diseñar debe tomar como entradas las señales Abierta, Cerrada, B y S; y proporcionar como salida una señal llamada Subir (que activará el motor que sube o enrrolla la pantalla) y otra señal llamada Bajar (que hace el efecto contrario y la despliega para visualizar la salida del proyector). El comportamiento del circuito debe ser:

- La señal Subir se activará cuando se haya pulsado el interruptor para subir y la pantalla no haya alcanzado la posición Cerrada.
- La señal Bajar se activará cuando se haya pulsado el interruptor para bajar y la pantalla no haya alcanzado la posición Abierta.
- En el momento en que el interruptor se ponga en posición Parar la pantalla se quedará parada, y para ello se deben desactivar Subir y Bajar.

(1,75 puntos) Tabla de verdad.

Abierta	Cerrada	B	S	Subir	Bajar
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	x	x
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	x	x
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	x	x
1	1	0	0	x	x
1	1	0	1	x	x
1	1	1	0	x	x
1	1	1	1	x	x

(0,25 puntos) Símbolo lógico



Constituyen entradas imposibles las combinaciones de las señales B y S que nunca saldrán del interruptor, y la combinación de Abierta y Cerrada en que ambas están activas.

3. **(2 Puntos)** Dada la siguiente tabla de verdad:

D	C	B	A	S
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	X
0	1	0	0	0
0	1	0	1	0
0	1	1	0	X
0	1	1	1	X
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

a) **(0.5 Puntos)** Obtenga las formas canónicas disyuntiva y conjuntiva para la función **S** descrita en la tabla anterior y exprese las en notación sumatorio y productorio respectivamente.

Solución: Forma canónica disyuntiva:

$$S = \sum_{D,C,B,A} (0,1,2,8,9,10,12,13) + \sum_{\emptyset} (3,6,7)$$

Y la forma canónica conjuntiva: $S = \prod_{D,C,B,A} (4,5,11,14,15) \cdot \prod_{\emptyset} (3,6,7)$

b) **(0.75 Puntos)** Simplifique la función anterior por ceros (producto de sumas), mediante mapas de Karnaugh.

D \ C \ B \ A	C			
	00	01	11	10
00	1	0	1	1
01	1	0	1	1
11	X	X	0	0
10	1	X	0	1

$$S = (B+A) \cdot (D+C) \cdot (C+B)$$

c) **(0.75 Puntos)** Simplifique la función anterior por unos (suma de productos), mediante mapas de Karnaugh.

D C		B A			
		00	01	11	10
00	1	0	1	1	
01	1	0	1	1	
11	X	X	0	0	
10	1	X	0	1	

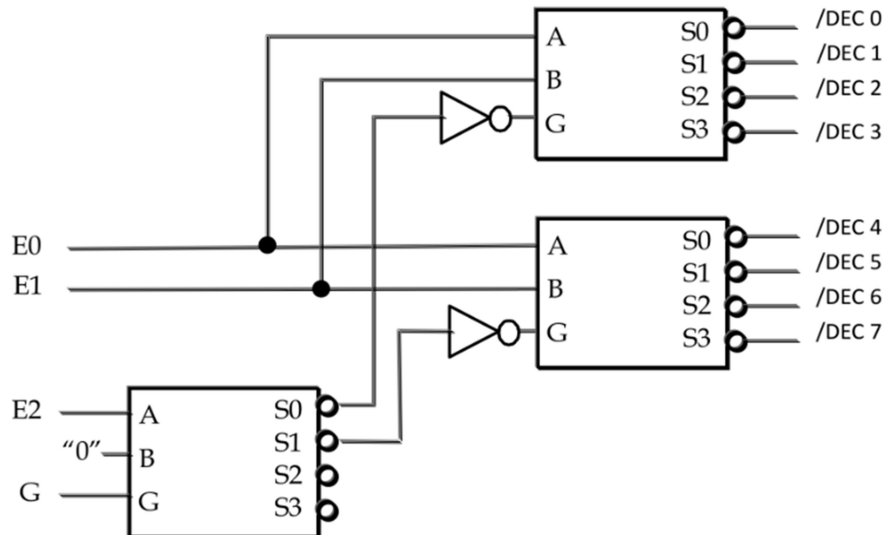
$$S = (\neg C \cdot \neg A) + (\neg C \cdot \neg B) + (D \cdot \neg B)$$

4. (0,5 puntos) Para la expresión algebraica siguiente, aplique las propiedades del álgebra de Boole para obtener la expresión equivalente utilizando únicamente puertas NAND de dos entradas Indique los pasos realizados y las propiedades aplicadas en cada paso.

$(a \cdot b \cdot c) + (a + d)$ = Involución dos veces $\overline{\overline{(a \cdot b \cdot c) + (a + d)}}$ = De Morgan dos veces, una para cada OR $\overline{\overline{(a \cdot b \cdot c)} \cdot \overline{\overline{(a + d)}}}$ = asociativa para el producto de a, b y c e involución $\overline{\overline{((\overline{\overline{a \cdot b}}) \cdot c))} \cdot \overline{\overline{(\overline{\overline{a}} \cdot \overline{\overline{d}})}}$

5. **(1 punto)** Construya un decodificador binario de 3 a 8 con salidas activas a nivel bajo y con entrada de habilitación activa a nivel alto. Para ello dispone de decodificadores binarios de 2 a 4 con salidas activas a nivel bajo y entrada de habilitación a nivel alto. Puede usar hasta 2 puertas lógicas adicionales. Etiquete correctamente todas las entradas y salidas de los símbolos lógicos y del circuito.

Solución:



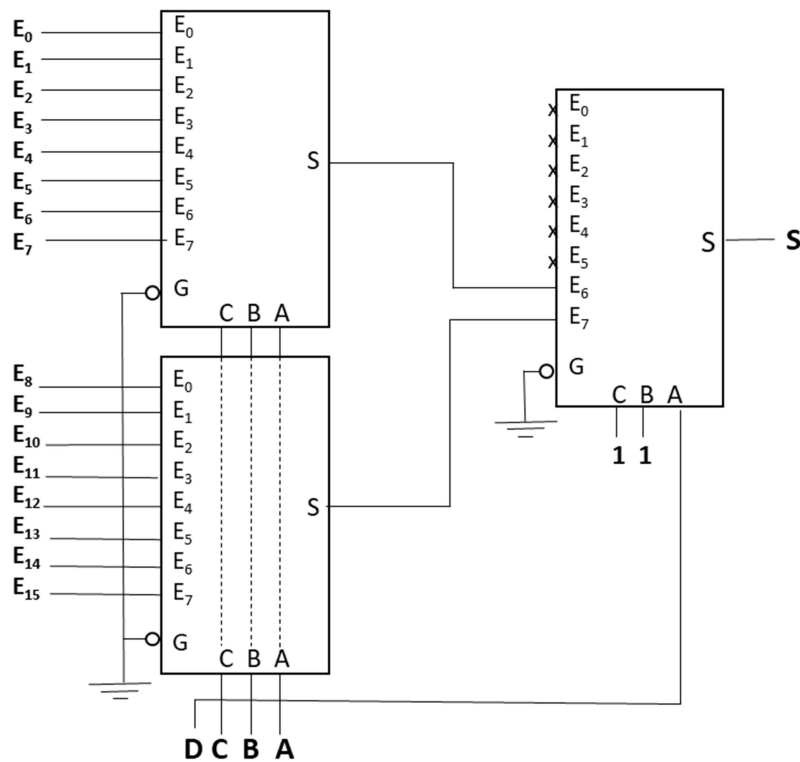
6. **(1,5 puntos)** Para el diseño de un multiplexor de 16 a 1 sin entrada de habilitación se dispone de los siguientes componentes:

- 2 multiplexores de 8 a 1 con entrada de habilitación /G
- 1 multiplexor de 8 a 1 con entrada de habilitación /G, pero que debido a un incidente tiene varias entradas inaccesibles y por tanto imposibilitando su conexión, quedando únicamente E₆ y E₇ como entradas de datos válidas y utilizables

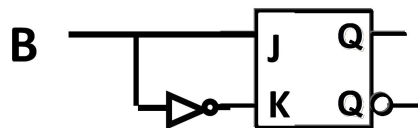
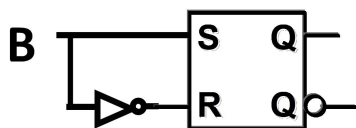
Dibuje el esquema y etiquete todas las entradas y salidas de los componentes. No se pueden utilizar puertas lógicas adicionales.

Solución:

Dado que las entradas E₀ a E₅ del multiplexor del último nivel son inaccesibles, se dejan sin conectar.



7. (0,5 puntos) Dados los dos biestables mostrados en la figura, responda a las siguientes preguntas.

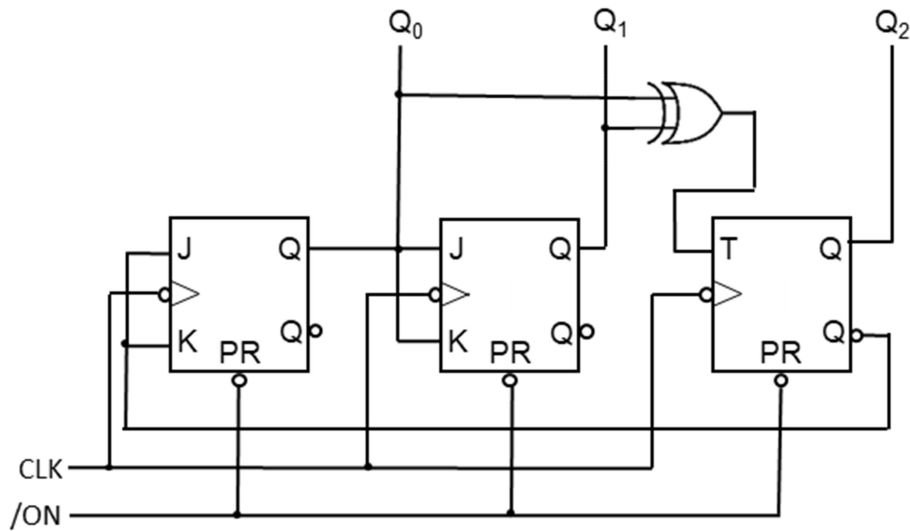


a) Indique si son equivalentes (SÍ/NO): **SÍ**

b) Indique para cada uno de ellos si se corresponde con alguno de los vistos en clase de teoría y en cualquier caso justifique su respuesta.

SÍ. BIESTABLE TIPO D. CON LA TABLA DE FUNCIONAMIENTO P.E.

8. (1.25 puntos) A partir del siguiente circuito secuencial, se pide:



a) (0.25 puntos) Obtenga las funciones de las señales de entrada de los tres biestables

b) (1 punto) Obtenga el cronograma de funcionamiento

Solución:

a) $J_0=K_0= \neg Q_2$ $J_1=K_1= Q_0$ $T_2=Q_0 \oplus Q_1$

b)

