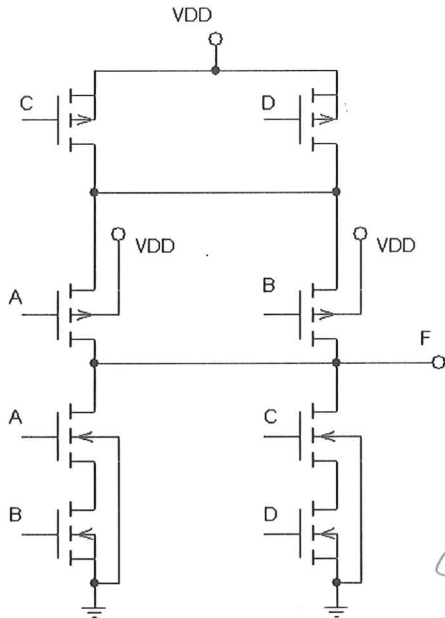


Apellidos:

Nombre:

PROBLEMA 2 (Segundo Parcial) (4 PTOS.)

Dado el circuito lógico CMOS de la figura:



A. (1 pto.) Indique la expresión lógica de F en función de las variables de entrada, y el tipo de salida. Justifique la respuesta.

$$F = (A \cdot B) + (C \cdot D) = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$$

Tipo de salida (Estándar, Drenador abierto o Tri-estado):

Estándar

Bloque NMOS (G_{NMOS})

A y B \rightarrow serie $\rightarrow (A \cdot B)$

C y D \rightarrow serie $\rightarrow (C \cdot D)$

Los 2 subbloques en paralelo $\rightarrow (A \cdot B) + (C \cdot D)$

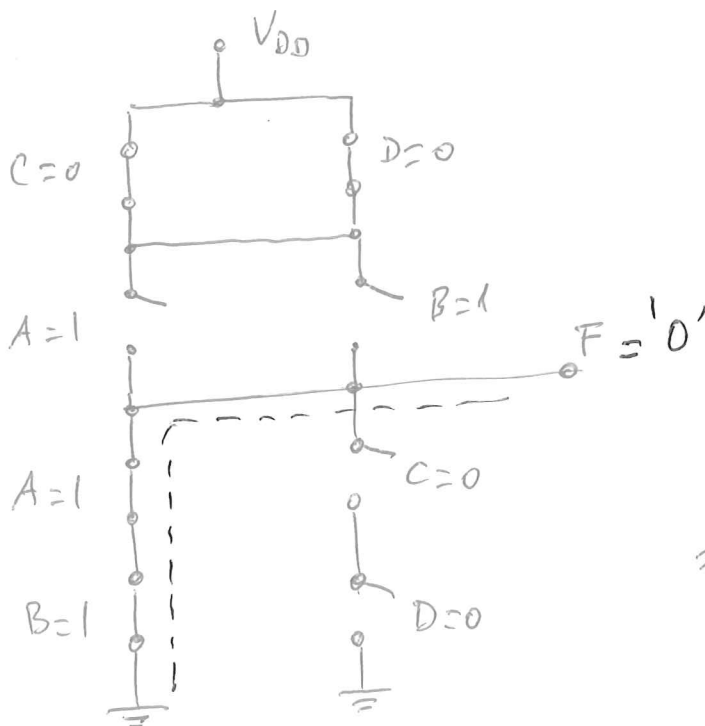
Como $F = G_{NMOS} \rightarrow F = (A \cdot B) + (C \cdot D) = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$ también es válida

La salida es estándar (totem-pole), pues tiene los 2 bloques duales NMOS y PMOS, sin señales adicionales

B. (1 pto.) Compruebe el funcionamiento del circuito para la combinación de entradas: A = B = "1", y C = D = "0".

B.1. Sustituya los transistores Mosfet por interruptores (abiertos y/o cerrados). Dibuje el circuito con interruptores.

B.2. Justifique el valor lógico de la salida F.



de habilitación
(caso de triestado)

$F = 0$ porque la salida tiene un camino de conexión con la masa se corrobora en la expresión de la función:
 $F = (1 \cdot 1) + (0 \cdot 0) = 1 = 0$

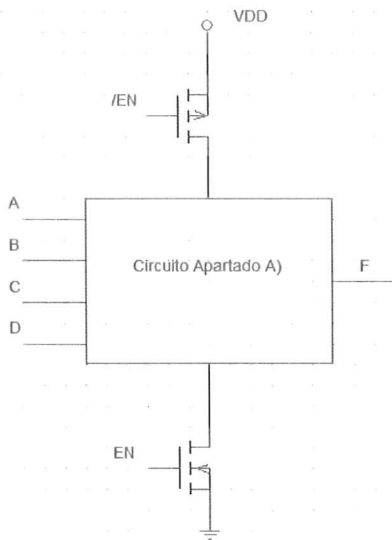
C.(1 pto.) Realice una estimación aproximada de la potencia consumida por el circuito.

Potencia estática	Potencia dinámica
$V_{DD} = 5V$ (tensión de alimentación) Suponga las corrientes de fuga de los transistores = $1pA$ /transistor ($1pA = 10^{-12}A$)	$V_{DD} = 5V$ (tensión de alimentación) $f = 1GHz$ (frecuencia de reloj) $\alpha = 0.5$ (factor de actividad medio del circuito) $C_L = 20fF$ /transistor (capacidad media por transistor; $1fF = 10^{-15}F$)
$P_{estática} (mW) = 40 \times 10^{-9}$	$P_{dinámica} (mW) = 2$

Potencia : $5 \times I_{fuga} = 5V \times (8 \text{ transistores} \times 10^{-12}A)$
 $= 40 \times 10^{-12} W = 40 \times 10^{-9} mW$

Dinámica $P_d = (V_{dd})^2 C_L \alpha f = (5)^2 \times \underbrace{8 \times 20 \times 10^{-15}}_{C_L} \times \underbrace{0.5}_{\alpha} \times \underbrace{10^9}_{f} W$
 $P_d = 2000 \times 10^{-15} = 2 \times 10^{-3} W = 2 mW$

D. (1 pto.) Suponga que se modifica el circuito del apartado A) de la forma siguiente (ver la figura). Indique el nuevo tipo de salida, y rellene la tabla de verdad del circuito. (Nota: \overline{EN} = señal EN invertida)



Tipo de salida (Estándar, Drenador abierto o Tri-estado):

TRI-ESTADO

EN	A	B	C	D	F
0	0	0	0	0	H.Z
0	0	0	0	1	H.Z
.....				
0	1	1	1	1	H.Z
1	0	0	0	0	1
1	0	0	0	1	1
.....				
1	1	1	1	1	0

H.Z =
ALTA IMPEDAN-
CIA

$EN = 0 \rightarrow F = H.Z = \text{alta impedancia}$
 $EN = 1 \rightarrow F = (A \cdot B) + (C \cdot D)$

Apellidos:

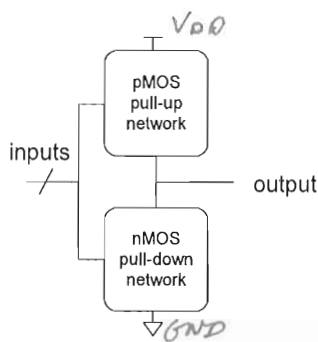
— soluciones —

Nombre:

Problema 2 (Segundo PARCIAL) (4 PTOS)

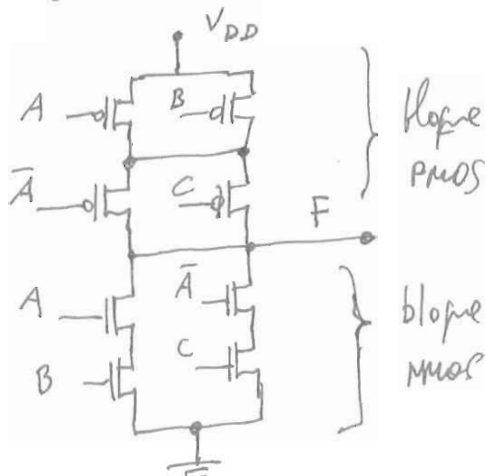
- A. (1 pto.) Se pretende diseñar la función $F = AB + \bar{A}C$ en lógica CMOS complementaria. Dibuje un esquema con transistores. Justifique el diseño.

Nota: utilice el símbolo simplificado de los transistores

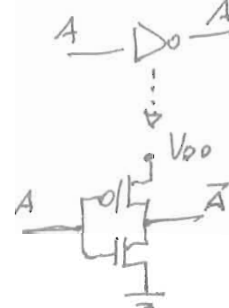


$$G_{NMOS} = \bar{F} = \underbrace{A \cdot B}_{\text{serie}} + \underbrace{\bar{A} \cdot C}_{\text{serie}} \rightarrow \text{Bloque NMOS paralelo}$$

Bloque PMOS \rightarrow estructura dual, cambiando las agrupaciones serie \rightarrow paralelo



la señal \bar{A} se generará mediante un inversor:



- B. (1 pto.) Suponga que el circuito pertenece a un chip con una tensión de alimentación $V_{DD} = 2.5V$ y frecuencia de reloj $f_{clock} = 1GHz$. Además el factor de actividad medio de las entradas es $\alpha = 0.4$ y la capacidad media por transistor es $C_L = 10 fF$ ($1fF = 10^{-15}F$). Calcule la **potencia dinámica** aproximada del circuito, en mW. Incluya en el cómputo los transistores de los inversores necesarios para generar las variables negadas.

$$P_d = (V_{DD})^2 \alpha f C_L$$

$$C_L = \text{nº transistores} \times 10 fF$$

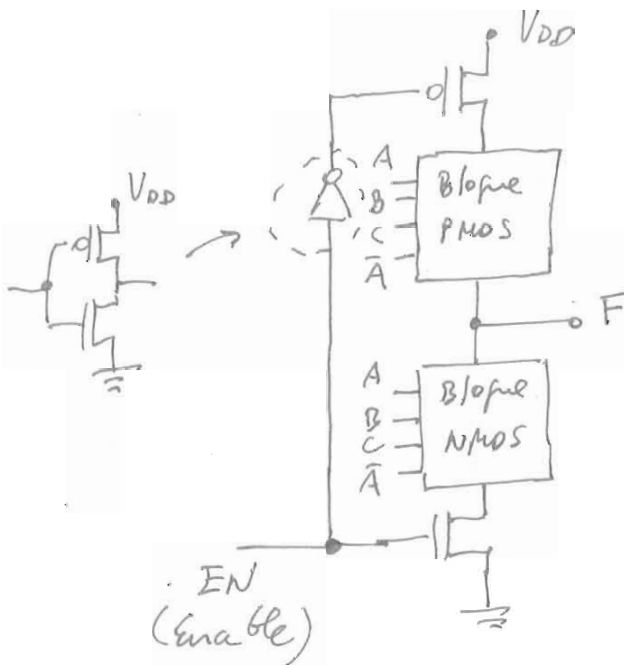
$$\text{nº transistores} = 8 + \underbrace{2}_{\text{inversor}} = 10$$

$$P_d = \underbrace{(2.5)^2}_{V_{DD}^2} \times \underbrace{0.4}_{\alpha} \times \underbrace{10^9}_{f_{clock}} \times \underbrace{10 \times 10 \times 10^{-15}}_{C_L}$$

$$P_d = 2.5 \times 10^{-4} W = 0.25 mW$$

- C. (1 pto.) Modifique el esquema de la figura para dotar al circuito de **salida triestado**. Añada los transistores y las señales de control necesarias.

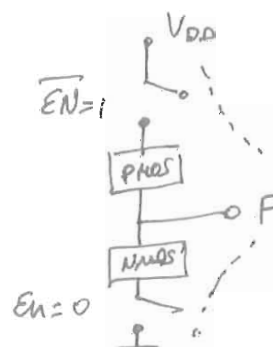
- Dibuje el esquema
- Explique el funcionamiento



A partir de los bloques PMOS y NMOS del apartado A), que se indican en la figura como una caja, para simplificar

Si $EN = "1"$ → funcionamiento normal

Si $EN = "0"$ → alta impedancia:



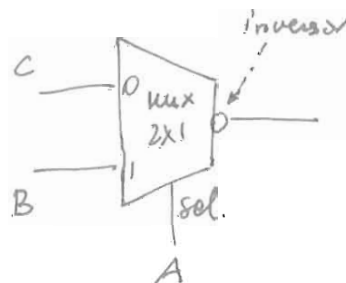
Salida flotante, no hay conexión con V_{DD} ni con GND

- D. (1 pto.) Efectúe un diseño alternativo del circuito, basado en **puertas de transmisión CMOS**. Nota orientativa: utilice la estructura del multiplexor inversor.

- Explique brevemente el diseño
- Dibuje el esquema con transistores

$$F = \overline{A}B + A\overline{C} \Rightarrow$$

señal selección



$$A=0 \Rightarrow F=\overline{C}$$

$$A=1 \Rightarrow F=\overline{B}$$

A nivel de transistores:

