

NOM:

COGNOM:

Solucions

Puntuació: BÉ: +1 punt., MAL: -0.25 punts, N.C: 0

1. Suppose que es pretén augmentar la velocitat d'un determinat circuit lògic CMOS. Indique quina de les següents opcions es **INCORRECTA**:

- [A] Augmentar la tensió d'alimentació V_{DD}
 [B] Disminuir la tensió llindar V_T dels transistors
 [C] Disminuir la capacitat paràsitica de càrrega C_L
 [D] Disminuir la constant K dels transistors

retard de propagació

$$t_p \sim \frac{C_L}{2(V_{DD} - V_T)} \left(\frac{1}{K_P} + \frac{1}{K_N} \right)$$

2. Indique quina de les següents afirmacions sobre les tècniques de disseny i fabricació de circuits integrats VLSI CMOS és **FALSA**:

- [A] En el disseny basat en cel·les estàndard, les cel·les es disposen en files que comparteixen les línies de alimentació i massa.
 [B] El disseny *full-custom* és més òptim que el basat en cel·les estàndard. Es realitza a nivell de màscara, utilitzant editors de *layout*.
 [C] Les màscares es projecten sobre l'obla mitjançant un sistema fotolitogràfic que utilitza llum ultravioleta i un sistema de lents de reducció.
 [D] En la fabricació de l'inversor CMOS la capa (*layer*) que es deposita en l'últim lloc és el polisilici de l'entrada.

l'última capa és la de metal

3. Un processador CMOS conté 10^6 transistors dedicats a la lògica combinacional/seqüencial i 10^8 transistors dedicats a la memòria *cache*. El factor d'activitat mitjà és 0.1 per a la lògica, i 0.01 per a la memòria. La capacitat mitjana de cada transistor és 1 fF (1 femtofaradi = 10^{-15} F), el voltatge d'alimentació és 2V i la freqüència de rellotge 3 GHz (1GHz = 10^9 Hz). Calcule la potència dinàmica aproximada que consumeix el processador.

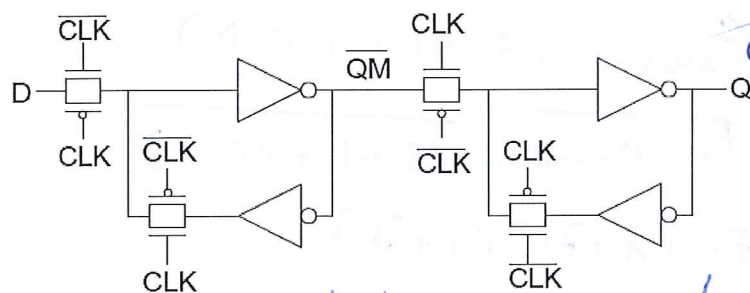
- [A] 13.2W
 [B] 12.5W
 [C] 15W
 [D] No es pot calcular, falten els corrents de fuga dels transistors.

$$P_{d \text{ lògica}} = (2)^2 \times \underbrace{10^6}_{\text{transistors}} \times \underbrace{10^{-15}}_{\text{capacitat}} \times 0.1 \times \underbrace{3 \times 10^9}_{f_{\text{clock}}}$$

$$P_{d \text{ memòria}} = (2)^2 \times \underbrace{10^8}_{\text{transistors}} \times \underbrace{10^{-15}}_{\text{capacitat}} \times 0.01 \times \underbrace{3 \times 10^9}_{f_{\text{clock}}} \propto f_{\text{clock}}$$

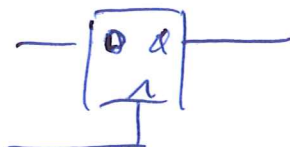
$$P_{d \text{ lògica}} = 1.2 \text{ W} \quad P_{d \text{ memòria}} = 12 \text{ W} \quad \rightarrow \quad P_{d \text{ total}} = 1.2 + 12 = 13.2 \text{ W}$$

4. Donat el biestable D *master-slave* de la figura, dissenyat amb portes de transmissió CMOS, indique l'afirmació **CORRECTA**:

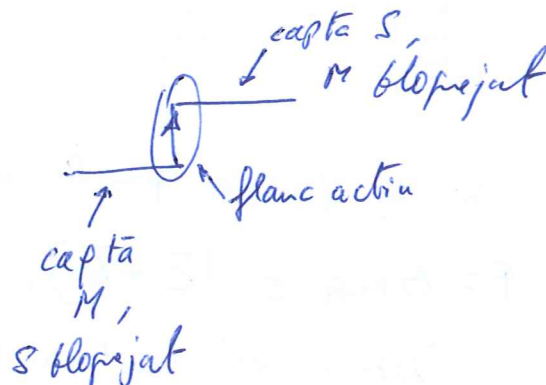


Master
actiu a nivell
baix

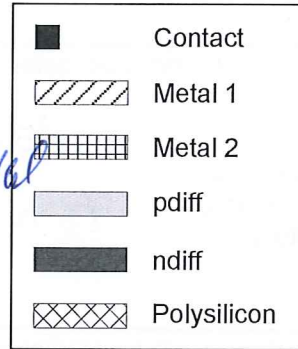
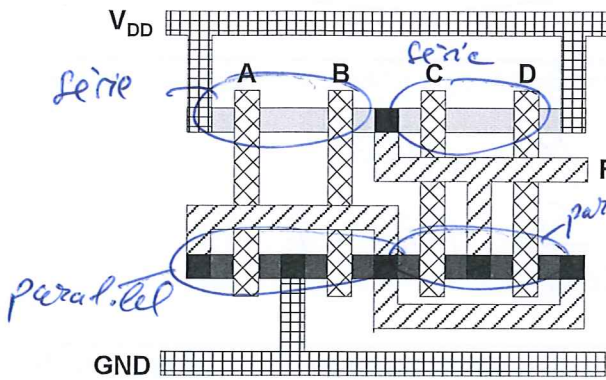
Slave
actiu a
nivell alt



- [A] Quan CLK = '1' el mestre envia la dada a l'esclau i l'entrada D es bloqueja.
 [B] Quan CLK = '0', es manté /QM gràcies al bucle de realimentació.
 [C] Està format per dos *latches* D actius a nivell baix.
 [D] Funciona com un *flip-flop* D actiu per flanc de baixada.



5. A partir del layout de la cel.la estàndard de la figura, identifique la funció que implementa:



- [A] $F = A + B + C + D$
 [B] $F = (A + B) + (C + D)$
 [C] $F = (A \cdot B) + (C \cdot D)$
 [D] $F = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}$

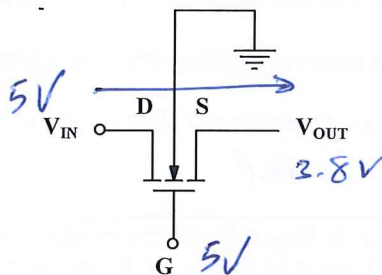
Bloc NMOS:

$$F = (A + B) \cdot (C + D)$$

$$F = (\bar{A} \cdot \bar{B}) + (\bar{C} \cdot \bar{D})$$

6. Siga la porta de transmissió de la figura, que utilitza un transistor amb una $|V_T| = 1.2V$. Si s'apliquen 5V en els terminals V_{IN} i G. ¿Quin voltatge s'obté en el terminal V_{OUT} ?

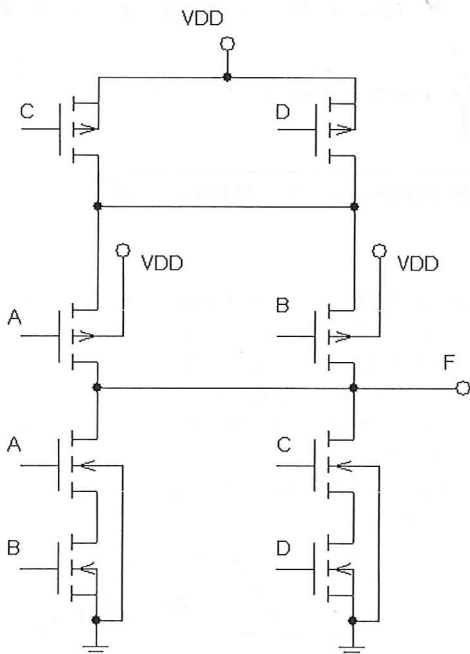
- [A] 1.2V
 [B] 3.8V
 [C] 0V
 [D] 5V



Depurada el 7' (NMOS)

$$V_{out} = V_{in} - V_T = 5 - 1.2 = 3.8V$$

7. Donat el circuit lògic CMOS de la figura, l'expressió lògica de F és:



- [A] $F = (A+B) \cdot (C+D)$
 [B] $F = (A+B) / (C+D)$
 [C] $F = (A \cdot B) + (C \cdot D)$
 [D] $F = 1 / ((A+B) \cdot (C+D))$

Bloc NMOS:

$$G_{NMOS} = (A \cdot B) + (C \cdot D)$$

$$F = \overline{G_{NMOS}} = \overline{(A \cdot B) + (C \cdot D)}$$

$$F = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$$

Si es fa a partir del bloc PMOS:

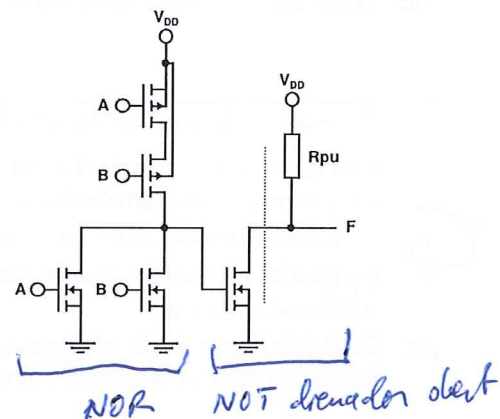
$$F = G_{PMOS} = (\bar{C} + \bar{D}) \cdot (\bar{A} + \bar{B}) \quad \text{variables negades!}$$

Donar el mateix resultat

5. Indique l'expressió de F i el tipus d'eixida?

- [A] $F(A,B) = A + B$, eixida drenador obert
 [B] $F(A,B) = \overline{A + B}$, eixida drenador obert
 [C] $F(A,B) = A.B$, eixida estàndard
 [D] $F(A,B) = \overline{A.B}$, eixida triestat

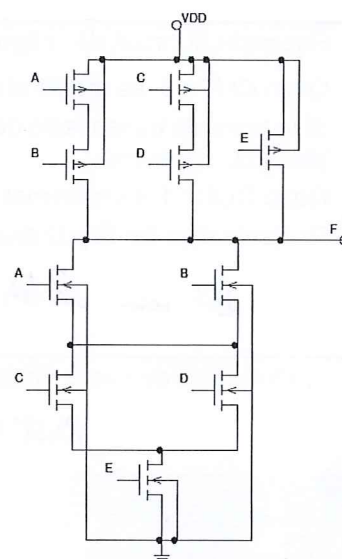
$R_{pu} \rightarrow$ eixida drenador obert



6. Indique l'expressió lògica de F del circuit CMOS de la figura:

- [A] $F = (A.B) + (C.D) + E$
 [B] $F = (A.B) + (C.D) + E$
 [C] $F = \overline{(A.B) + (C.D) + E}$
 [D] $F = (A+B).(C+D).E$

Bloc NMOS: $G_{NMOS} = \overbrace{(A+B)}^{\text{paralel}} \cdot \overbrace{(C+D)}^{\text{paralel}} \cdot E$
 $F = \overline{G_{NMOS}} = \overline{(A+B) \cdot (C+D) \cdot E} = (\overline{A+B}) \cdot (\overline{C+D}) \cdot \overline{E} = (\overline{A} \cdot \overline{B}) \cdot (\overline{C} \cdot \overline{D}) \cdot \overline{E}$
 de Morgan



Bloc PMOS: $F = G_{PMOS} = (\overline{A} \cdot \overline{B}) + (\overline{C} \cdot \overline{D}) + \overline{E}$
 i entrades negades! Dona la mateixa funció

7. Suppose que el circuit de la qüestió 6 pertany a la ALU d'un microprocessador alimentat a +2.5V. Suppose que la freqüència mitjana de commutació de les entrades és 0.5 GHz. La capacitat mitjana per transistor és 10 fF (1 femtofarad = 10^{-15} F) Calcule la **potència dinàmica** consumida pel circuit, en mW.

- [A] $P = 5$ W
 [B] $P = 0.5$ mW
 [C] $P = 2.5$ mW
 [D] $P = 0.31$ mW

$$P_d = (V_{dd})^2 C_L f_{entrades}$$

$$C_L = 10 \text{ transistors} \times 10^{-15} \text{ F/transistor}$$

$$C_L = 10^{-13} \text{ F}$$

$$P_d = (2.5)^2 \times \underbrace{10^{-13}}_{C_L} \times \underbrace{0.5 \times 10^9}_{\text{fentrades}} = 3.125 \times 10^{-4} \text{ W}$$

$$P_d = 0.3125 \times 10^{-3} \text{ W} = 0.3125 \text{ mW}$$

NOM:

COGNOM:

Solucions

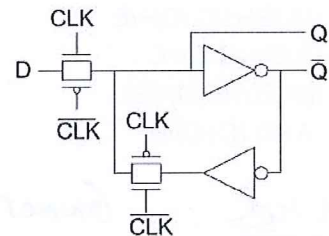
Puntuació: BÉ: +1 punt., MAL: -0.25 punts, N.C: 0

1. En relació a la família lògica CMOS, indique quina de les següents afirmacions és **FALSA**.

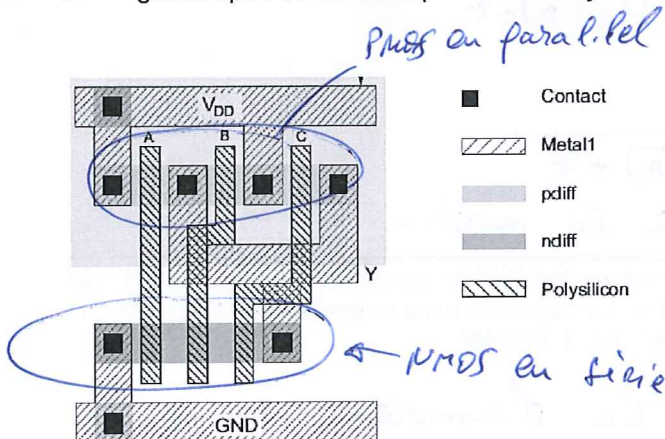
- [A] L'increment de la tensió d'alimentació V_{DD} redueix els temps de retard de propagació i incrementa el consum dinàmic.
- [B] La subfamília 74HCXXX és una CMOS d'alta velocitat amb entrades compatibles TTL. *→ no, és la HCT*
- [C] En CMOS estàndard, la immunitat al soroll (NM) és aproximadament un 30% de la tensió d'alimentació (V_{DD}).
- [D] En CMOS estàndard, el fabricant recomana un FAN-OUT de 50 per a no incrementar els temps de retard i el consum dinàmic.

2. Respecte al circuit de la figura, indique quina de les següents afirmacions és **FALSA**:

- [A] Quan $CLK = 0$, es manté el valor de Q.
- [B] Si la porta de transmissió de l'esquerra està oberta, l'altra està tancada, i viceversa.
- [C] Quan $CLK = 1$, es transmet el valor lògic de D a l'eixida Q.
- [D] Es tracta d'un flip-flop D disparat per flanc.

*Es un latch D actiu per nivell alt*

3. ¿Quin tipus de circuit implementa el layout de la figura?



- Contact
- ▨ Metal1
- pdiff
- ▨ ndiff
- ▨ Polysilicon

- [A] Una porta NOR de tres entrades.
- [B] Una porta NAND de dos entrades amb una entrada de control per tindre eixida en alta impedància.
- [C] Una porta NAND de tres entrades.
- [D] Una porta AND de tres entrades.

$$Y = \overline{A \cdot B \cdot C} \text{ Nand3}$$

4. Sobre del procés de fabricació i disseny dels xips VLSI CMOS, indique la resposta **FALSA**:

- [A] Les vies són contactes verticals entre capes metàl·liques depositades en distints nivells.
- [B] L'oblea de silici tipus P actua com a substrat dels transistors NMOS i el pou-N actua com a substrat dels transistors PMOS.
- [C] Es sol emprar un làser de llum UV (ultraviolada) per projectar les màscares en l'oblea.
- [D] En el disseny *full-custom*, les cel·les es disposen en files que comparteixen les mateixes línies metàl·liques d'alimentació (V_{DD} i GND).

Això és propi del disseny semi-custom basat en cel·les estàndard