

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

Parámetros característicos de los componentes digitales

-
1. Una subfamilia lógica TTL tiene las especificaciones indicadas en la tabla adjunta. Calcule los márgenes de ruido de nivel bajo, de nivel alto y de la familia.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
4 V	2 V	4.5 V	1 V

Solución:

$$NM_L = V_{ILmax} - V_{OLmax} = 2V - 1V = 1V$$

$$NM_H = V_{OHmin} - V_{IHmin} = 4.5V - 4V = 0.5V$$

$$NM = \min(NM_L, NM_H) = \min(1V, 0.5V) = \mathbf{0.5V}$$

-
2. Una familia lógica CMOS alimentada a 3.3 V tiene las especificaciones indicadas en la tabla adjunta. Calcule los márgenes de ruido de nivel bajo, de nivel alto y de la familia.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.3 V	1 V	3.2 V	0.1 V

Solución:

$$NM_L = V_{ILmax} - V_{OLmax} = 1V - 0.1V = 0.9V$$

$$NM_H = V_{OHmin} - V_{IHmin} = 3.2V - 2.3V = 0.9V$$

$$NM = \min(NM_L, NM_H) = \min(0.9V, 0.9V) = \mathbf{0.9V}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

3. En las tablas adjuntas se indican algunas de las características eléctricas de dos familias lógicas genéricas A y B.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.7 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.36 mA	-400 μ A	8 mA

A partir de ellas, calcule:

- El *fan-out* B \rightarrow A (número de entradas de componentes de la familia A que se pueden conectar a la salida de un componente de la familia B).
- El *fan-out* A \rightarrow B (número de entradas de componentes de la familia B que se pueden conectar a la salida de un componente de la familia A).

Los valores obtenidos son, respectivamente:

[A] 10 y 20.

[B] 5 y 20.

[C] 44 y 20.

[D] 2 y 1.

Solución:

a) *Fan-out* B \rightarrow A:

$$\text{Fan - out[B - A](L)} = \frac{|I_{OLmax}(B)|}{|I_{ILmax}(A)|} = \frac{8\text{mA}}{1.6\text{mA}} = 5$$

$$\text{Fan - out[B - A](H)} = \frac{|I_{OHmax}(B)|}{|I_{IHmax}(A)|} = \frac{400\mu\text{A}}{40\mu\text{A}} = 10$$

$$\text{Fan - out[B - A]} = \min(\text{Fan - out[B - A](L)}, \text{Fan - out[B - A](H)}) = \min(5, 10) = 5$$

b) *Fan-out* A \rightarrow B:

$$\text{Fan - out[A - B](L)} = \frac{|I_{OLmax}(A)|}{|I_{ILmax}(B)|} = \frac{16\text{mA}}{0.36\text{mA}} = 44$$

$$\text{Fan - out[A - B](H)} = \frac{|I_{OHmax}(A)|}{|I_{IHmax}(B)|} = \frac{400\mu\text{A}}{20\mu\text{A}} = 20$$

$$\text{Fan - out[A - B]} = \min(\text{Fan - out[A - B](L)}, \text{Fan - out[A - B](H)}) = \min(44, 20) = 20$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

4. ¿Cuál es el *fan-out* de la familia lógica cuyas especificaciones se indican en la tabla adjunta?

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.7 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.36 mA	-400 μ A	8 mA

[A] 10.

[B] 22.

[C] 20.

[D] El fabricante recomienda 50 para no provocar tiempos de propagación excesivos.

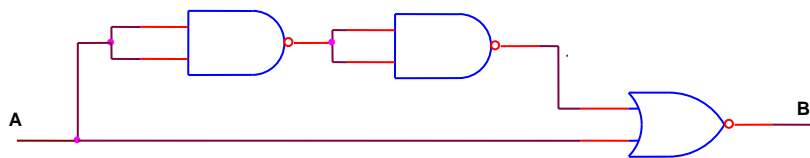
Solución:

$$\text{Fan - out(L)} = \frac{|I_{OLmax}|}{|I_{ILmax}|} = \frac{8\text{mA}}{0.36\text{mA}} = 22$$

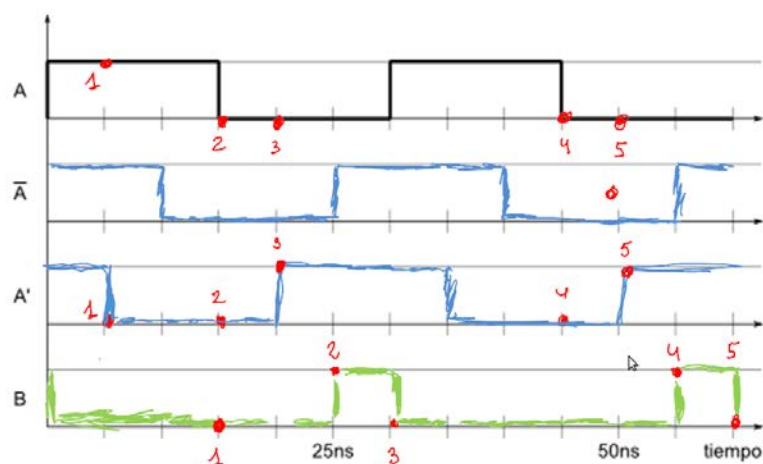
$$\text{Fan - out(H)} = \frac{|I_{OHmax}|}{|I_{IHmax}|} = \frac{400\mu\text{A}}{20\mu\text{A}} = 20$$

$$\text{Fan - out} = \min(\text{Fan - out(L)}, \text{Fan - out(H)}) = \min(22, 20) = 20$$

5. Si las puertas del circuito de la figura tienen unos retardos de propagación t_{pHL} y t_{pLH} típicos de 10 ns, dibuje el cronograma de la salida si en la entrada hay una señal como la de la figura (señal cuadrada periódica):

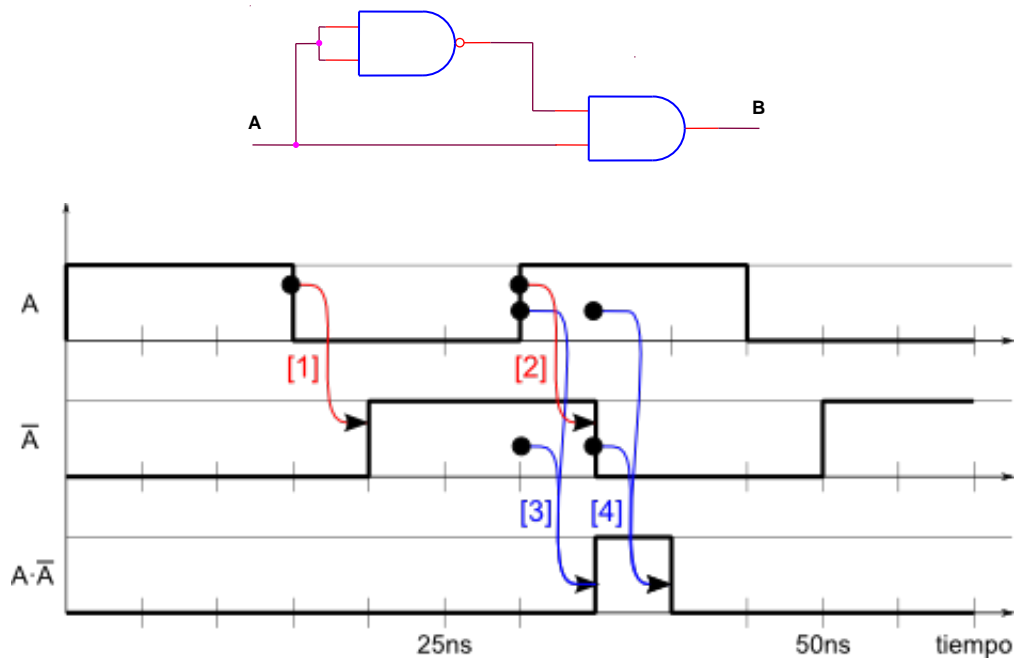


Solución:



T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

6. A la vista del cronograma, calcule el retardo de propagación típico t_{pd} de las puertas.



Solución:

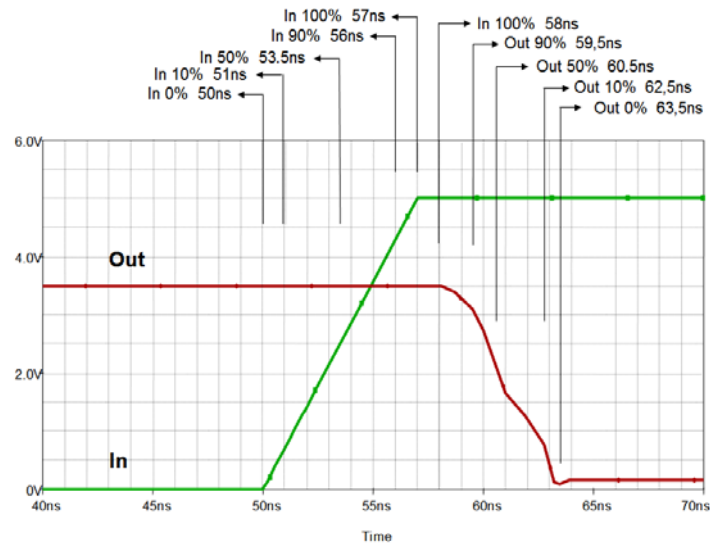
Del cronograma se puede deducir que:

- a) $t_{pdLH}(NAND) = 20ns - 15ns = 5ns$ [1]
- b) $t_{pdHL}(NAND) = 35ns - 30ns = 5ns$ [2]
- c) $t_{pdLH}(AND) = 35ns - 30ns = 5ns$ [3]
- d) $t_{pdHL}(AND) = 40ns - 35ns = 5ns$ [4]

Por tanto, $t_{pd} = 5ns$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

7. Dada la gráfica correspondiente a la entrada y salida de un inversor en función del tiempo, señale aquella afirmación que sea **CIERTA**:



- [A] El retardo de propagación $t_{pd}(HL)$ del inversor es de 7 ns.
[B] El retardo de propagación $t_{pd}(HL)$ del inversor es de 5.5 ns.
[C] El retardo de propagación t_{pd} del inversor es de 13.5 ns.
[D] El retardo de propagación t_{pd} del inversor es de 7ns.

Solución:

A la vista del cronograma, se pueden calcular:

- a) El tiempo de subida de la señal de entrada:

$$t_r(IN) = In\ 90\% - In\ 10\% = 56ns - 51ns = 5ns$$

- b) El tiempo de bajada de la señal de salida:

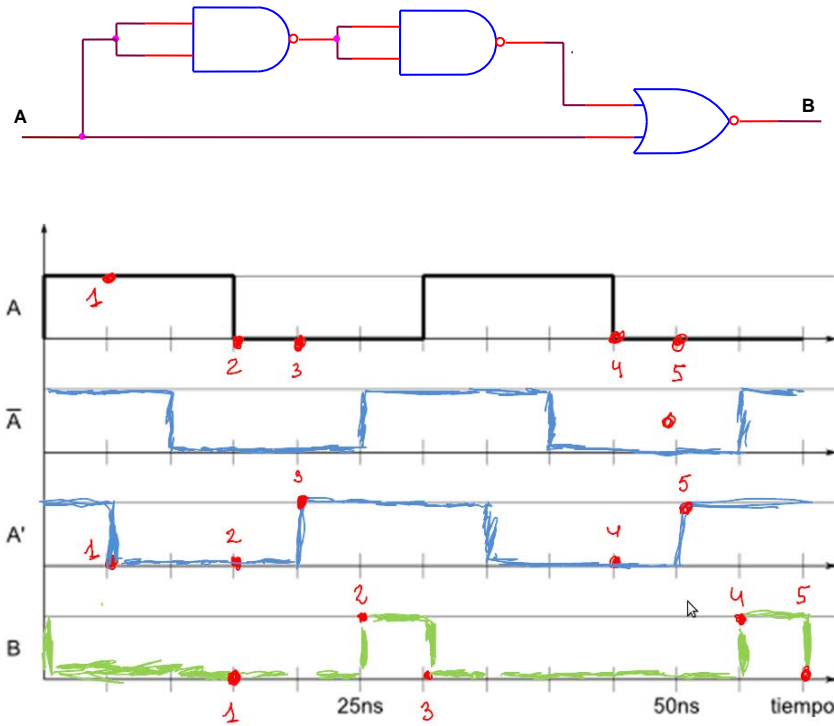
$$t_r(OUT) = Out\ 10\% - Out\ 90\% = 62.5ns - 59.5ns = 3ns$$

- c) El retardo de propagación del nivel alto al bajo:

$$t_{pd}(HL) = Out\ 50\% - In\ 50\% = 60.5ns - 53.5ns = 7ns$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

8. Si las puertas del circuito de la figura están implementadas con tecnología TTL, con $I_{CCL} = 4.5 \text{ mA}$, e $I_{CCH} = 0.5 \text{ mA}$, y su retardo de propagación es de 10 ns , calcule la potencia estática promedio consumida por el circuito teniendo en cuenta el valor de la entrada A que se indica en el cronograma.



Solución:

Los consumos de cada puerta son:

- Con la salida a nivel bajo: $P_L = I_{CCL} \times V_{CC} = 4.5 \text{ mA} \times 5 \text{ V} = 22.5 \text{ mW}$
- Con la salida a nivel alto: $P_H = I_{CCH} \times V_{CC} = 0.5 \text{ mA} \times 5 \text{ V} = 2.5 \text{ mW}$

La potencia estática es:

$$\bar{P}_{NAND1} = 1/2 \cdot P_L + 1/2 \cdot P_H = 1/2 \cdot 22.5 \text{ mW} + 1/2 \cdot 2.5 \text{ mW} = 12.5 \text{ mW}$$

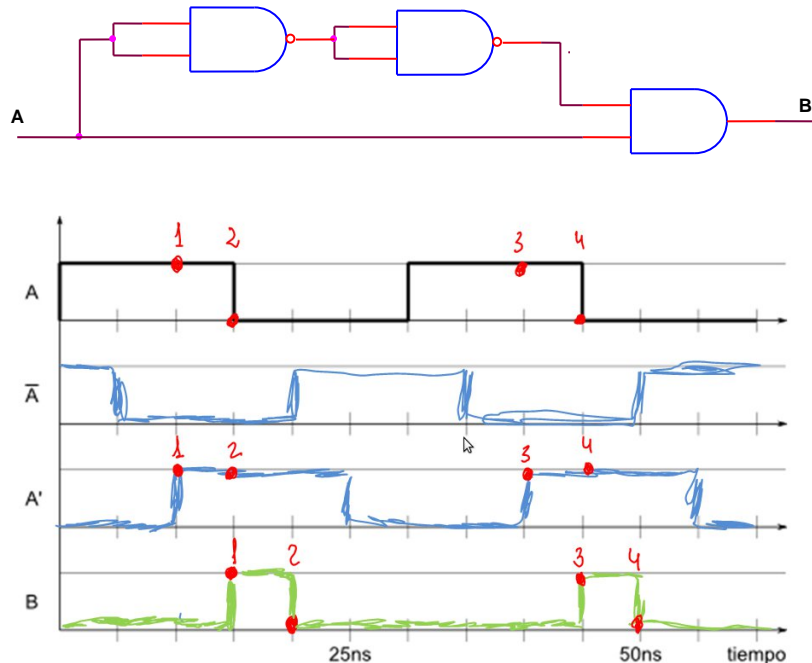
$$\bar{P}_{NAND2} = 1/2 \cdot P_L + 1/2 \cdot P_H = 1/2 \cdot 22.5 \text{ mW} + 1/2 \cdot 2.5 \text{ mW} = 12.5 \text{ mW}$$

$$\bar{P}_{NOR} = 5/6 \cdot P_L + 1/6 \cdot P_H = 5/6 \cdot 22.5 \text{ mW} + 1/6 \cdot 2.5 \text{ mW} = 19.17 \text{ mW}$$

$$\bar{P} = \bar{P}_{NAND1} + \bar{P}_{NAND2} + \bar{P}_{NOR} = 44.17 \text{ mW}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

9. Si las puertas del circuito de la figura están implementadas con tecnología TTL, con $I_{CCL} = 6 \text{ mA}$, e $I_{CCH} = 2 \text{ mA}$, y su retardo de propagación medio es de 5ns, calcule la potencia estática promedio consumida por el circuito teniendo en cuenta el valor de la entrada A que se indica en el cronograma.



Solución:

Los consumos de cada puerta son:

- Con la salida a nivel bajo: $P_L = I_{CCL} \times V_{CC} = 6\text{mA} \times 5\text{V} = 30\text{mw}$
- Con la salida a nivel alto: $P_H = I_{CCH} \times V_{CC} = 2\text{mA} \times 5\text{V} = 10\text{mw}$

Considerando que las salidas de las puertas son “correctas” tras la propagación del primer valor válido en la entrada A, hay que analizar los cronogramas de cada puerta a partir de 5ns para la puerta NAND que genera \bar{A} , 10ns para la NAND que genera A', y 15ns para la AND que genera B.

\bar{A} es una señal periódica con un periodo de 30ns (con 15ns a nivel alto y 15ns a nivel bajo). El consumo medio de la puerta NAND que genera \bar{A} es:

$$\bar{P}(\bar{A}) = \frac{15\text{ns}}{30\text{ns}} \times P_L + \frac{15\text{ns}}{30\text{ns}} \times P_H = \frac{1}{2} \times P_L + \frac{1}{2} \times P_H = 15\text{mw} + 5\text{mw} = 20\text{mw}$$

A' es una señal periódica que, al igual que \bar{A} , tiene un periodo de 30ns con 15ns a nivel alto y 15ns a nivel bajo. El consumo medio de la puerta NAND que genera A' es el mismo que el de la puerta que genera \bar{A} : 20mw.

B es una señal periódica con un periodo de 30ns, de los cuales está 5ns a nivel alto y 25ns a nivel bajo. El consumo medio de la puerta AND que genera B es:

$$\bar{P}(B) = \frac{25\text{ns}}{30\text{ns}} \times P_L + \frac{5\text{ns}}{30\text{ns}} \times P_H = \frac{5}{6} \times P_L + \frac{1}{6} \times P_H = 25\text{mw} + 1.7\text{mw} = 26.7\text{mw}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

El consumo promedio será la suma de los consumos promedio de las tres puertas. Es decir:

$$\overline{P} = \overline{P}(\overline{A}) + \overline{P}(A') + \overline{P}(B) = 20mw + 20mw + 26.7mw = 66.7mw$$

Otra forma de calcular el consumo promedio del circuito podría ser analizando el consumo del circuito a partir del momento en que las salidas de todas las puertas son “correctas” (los 15ns que tarda en reaccionar la puerta AND), y teniendo en cuenta que las salidas tienen un comportamiento periódico (con un periodo de 30ns), hasta los 45ns:

- De 15ns a 20ns, las salidas de \overline{A} , A' y B son respectivamente '0', '1' y '1', y el consumo es:

$$P_0 = 1 \times P_L + 2 \times P_H = 30mw + 20mw = 50mw$$

- De 20ns a 25ns, las salidas de \overline{A} , A' y B son respectivamente '1', '1' y '0', y el consumo es:

$$P_1 = P_0 = 1 \times P_L + 2 \times P_H = 30mw + 20mw = 50mw$$

- De 25ns a 35ns, las salidas de \overline{A} , A' y B son respectivamente '1', '0' y '0', y el consumo es:

$$P_2 = 2 \times P_L + 1 \times P_H = 60mw + 10mw = 70mw$$

- De 35ns a 40ns, las salidas de \overline{A} , A' y B son '0', y el consumo es:

$$P_3 = 3 \times P_L = 90mw$$

- De 40ns a 45ns, las salidas de \overline{A} , A' y B son respectivamente '0', '1' y '0', y el consumo es:

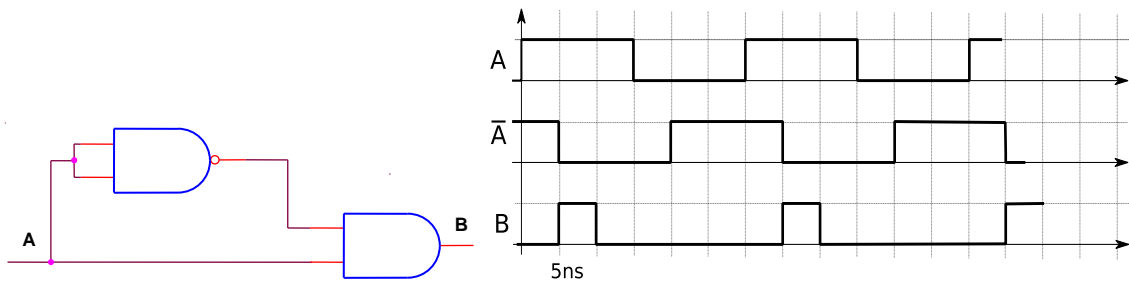
$$P_4 = P_2 = 2 \times P_L + 1 \times P_H = 60mw + 10mw = 70mw$$

El consumo medio será:

$$\begin{aligned}\overline{P} &= \frac{5ns}{30ns} \times P_0 + \frac{5ns}{30ns} \times P_1 + \frac{10ns}{30ns} \times P_2 + \frac{5ns}{30ns} \times P_3 + \frac{5ns}{30ns} \times P_4 = \\ &= \frac{5 \times 50 + 5 \times 50 + 10 \times 70 + 5 \times 90 + 5 \times 70}{30} mw = \\ &= \frac{250 + 250 + 700 + 450 + 350}{30} mw = \frac{2000}{30} mw = 66.7mw\end{aligned}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

10. Para el circuito de la figura, se ha dibujado el cronograma de las distintas salidas, siendo la señal A la entrada al mismo. Cada marca vertical corresponde a 5 ns. Se puede afirmar que:



Datos:

$V_{CC} = 5V$; $I_{CCL} = 6mA$ e $I_{CCH} = 2mA$, y el retardo de propagación medio de una puerta es de 5ns.

- [A] La potencia estática promedio consumida por la puerta NAND es 40mW.
- [B] La potencia estática promedio consumida por la puerta AND es 20mW.
- [C] La potencia estática promedio consumida por el conjunto del circuito es 46.67mW.
- [D] Para realizar los cálculos de la potencia estática promedio consumida, se necesita conocer la frecuencia de la señal de entrada.

Solución:

$$P_{\text{estática_NAND}} = 5 \times 1/2 (I_{CCH} + I_{CCL}), \text{ ver señal /A en el cronograma}$$

$$P_{\text{estática_AND}} = 5 \times (1/6 I_{CCH} + 5/6 I_{CCL}), \text{ ver señal B en el cronograma}$$

$$P_{\text{estática}} = P_{\text{estática_NAND}} + P_{\text{estática_AND}} = 5 \times 1/2 (6+2) + 5 \times (1/6 \times 2 + 5/6 \times 6) = 20 + 26.67 = 46.67 \text{ mW}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

11. Indique cuál es el PDP (producto potencia x retardo) de un componente TTL con las siguientes características: I_H (consumo en el nivel alto de salida) = 1 mA, I_L (consumo en el nivel bajo de salida) = 3.18 mA, $t_{pHL} = 1.4$ ns, $t_{pLH} = 3.2$ ns.
NOTA.- Considere despreciable la potencia dinámica.

- [A] 5.86 pJ
[B] 26.79 pJ
[C] 6.07 pJ
[D] 24.04 pJ

Solución:

$$PDP = \bar{P} \times t_{pd}$$

$$P_L = I_L \times V_{CC}$$

$$P_H = I_H \times V_{CC}$$

$$\begin{aligned}\bar{P} &= \frac{1}{2} \times P_L + \frac{1}{2} \times P_H = \frac{1}{2} \times (P_L + P_H) = \frac{1}{2} \times (I_L \times V_{CC} + I_H \times V_{CC}) = \frac{1}{2} \times (I_L + I_H) \times V_{CC} = \\ &= \frac{(I_L + I_H) \times V_{CC}}{2} \text{ mw} = \frac{(3.18 + 1) \times 5}{2} \text{ mw} = \frac{4.18 \times 5}{2} \text{ mw} = \frac{20.90}{2} \text{ mw} = 10.45 \text{ mw}\end{aligned}$$

$$t_{pd} = \frac{(t_{pdLH} + t_{pdHL})}{2} = \frac{(3.2 \text{ ns} + 1.4 \text{ ns})}{2} = 2.3 \text{ ns}$$

$$PDP = \bar{P} \times t_{pd} = 10.45 \text{ mw} \times 2.3 \text{ ns} = 24.04 \text{ pJ}$$

12. La hoja de especificaciones de un determinado biestable indica para la señal de reloj, una duración mínima del nivel ALTO de 30ns, y una duración mínima del nivel BAJO de 37ns. ¿Cuál es la frecuencia máxima de funcionamiento?

Solución:

$$T_{WH} = 30 \text{ ns}$$

$$T_{WL} = 37 \text{ ns}$$

$$F_{\max} = \frac{1}{T_{\min}} = \frac{1}{(T_{WH} + T_{WL})} = \frac{1}{67 \text{ ns}}$$

$$F_{\max} = \frac{1}{67 \times 10^{-9}} = 0.015 \times 10^9 \text{ Hz} = 0.015 \text{ GHz} = 15 \text{ MHz}$$

NOTA.- Se ha supuesto que la señal cuadrada de reloj puede ser asimétrica, es decir, con duraciones diferentes del nivel alto y bajo.

Si fuera simétrica, $F_{\max} = 1/(2 \times 37 \text{ ns}) = 13.89 \text{ MHz}$.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

13.Cuál de las siguientes afirmaciones relacionadas con una misma familia lógica es FALSA:

- [A] Siempre se cumple $V_{OHmin} \geq V_{IHmin}$.
- [B] El margen de ruido se define como $NM = \min(NM_L, NM_H)$
- [C] Las corrientes en las entradas son siempre positivas, en cambio, las corrientes en las salidas son siempre negativas.
- [D] Si no se cumplen los tiempos de t_{su} (setup) y de t_h (hold) durante la escritura de un biestable, éste puede entrar en modo metaestable y no efectuar correctamente el almacenamiento del dato de entrada.

Solución:

$I_{IH} \rightarrow$ positivas (entran) , $I_{IL} \rightarrow$ negativas (salen)
 $I_{OH} \rightarrow$ negativas (salen) , $I_{OL} \rightarrow$ positivas (entran)

14. Considere un registro de desplazamiento síncrono diseñado con 4 biestables. Si para cada biestable, los parámetros son: $t_{su}=5ns$, $t_h=2ns$, $t_{pLH}=10ns$, $t_{pHL}=8ns$, ¿Cuál es la frecuencia máxima de funcionamiento? ¿Depende del número de biestables?

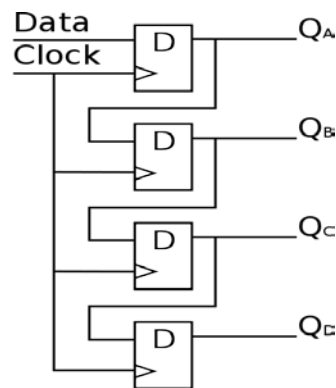
Solución:

$$T_{min} = t_p + t_{su}$$

$$t_p = \max(t_{pHL}, t_{pLH}) = 10ns$$

$$T_{min} = t_p + t_{su} = 15ns$$

$$F_{max} = \frac{1}{T_{min}} = \frac{1}{15 \times 10^{-9}} = 0.067GHz = 67MHz$$



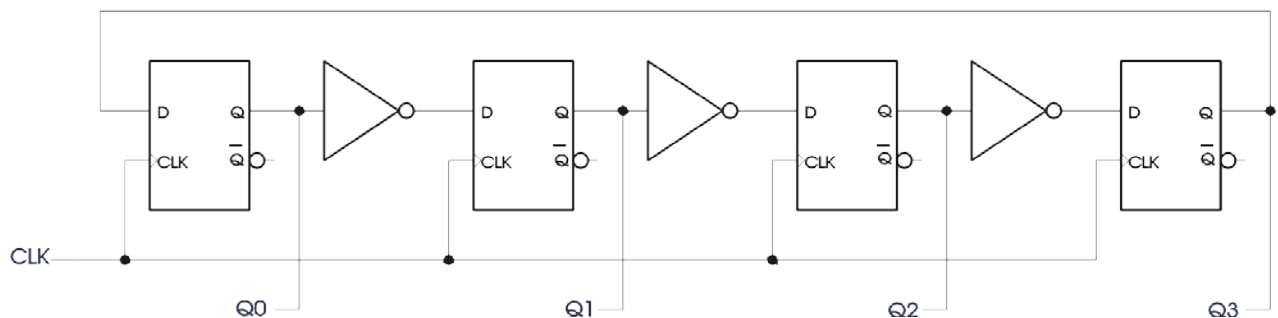
No depende del número de biestables

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

15. Dado el siguiente circuito secuencial, implementado con biestables D, señale la afirmación CORRECTA:

Parámetros temporales: Biestables: (Set up: $t_{su} = 10 \text{ ns}$, Hold: $t_h = 5 \text{ ns}$, Retardo: $t_{pd(m\acute{a}x)} = 20 \text{ ns}$), Puertas NOT: (Retardo: $t_{pd(m\acute{a}x)} = 20 \text{ ns}$).

- [A] La frecuencia de funcionamiento no debe superar los 20MHz.
- [B] La frecuencia de funcionamiento ha de ser mayor de 15 MHz.
- [C] El período de reloj no debe superar los 50ns.
- [D] El circuito no funciona bien por tener un tiempo de hold muy bajo.



Solución:

Período mínimo = Retardo biestable + Retardo puerta NOT + T_{su} biestable

$$T_{\min} = 20 + 20 + 10 = 50 \text{ ns}, T \text{ debe ser } \geq 50 \text{ ns}$$

Frecuencia máxima:

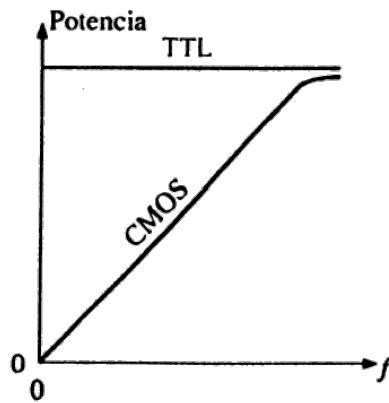
$$f_{\max} = 1/T_{\min} = 1/(50 \times 10^{-9}) \text{ s} = 10^9/50 \text{ Hz} = 10^3/50 \text{ MHz} = 20 \text{ MHz}$$

Por otro lado, se cumple la especificación del hold time después del flanco:

$$\text{Retardo biestable} + \text{retardo NOT} \geq t_h$$

16. A partir la figura adjunta, indique la afirmación FALSA:

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos



- [A] La potencia estática de los circuitos digitales CMOS crece con la frecuencia.
- [B] Los circuitos lógicos TTL presentan consumo estático, independiente de la frecuencia.
- [C] Los circuitos lógicos CMOS presentan un consumo estático despreciable.
- [D] El consumo dinámico de los circuitos lógicos CMOS es directamente proporcional a la frecuencia.

Solución:

Es el consumo dinámico el que depende de la frecuencia

17. Indique la afirmación CORRECTA acerca de algunas familias lógicas:

- [A] La familia pseudo-NMOS es la más empleada en los chips VLSI debido a su bajo consumo.
- [B] La familia pseudo-NMOS es una variante de la NMOS que sustituye la resistencia RD por un transistor NMOS, al objeto de reducir el área de silicio.
- [C] La subfamilia LSTTL utiliza transistores Schottky para aumentar la velocidad.
- [D] La familia NMOS presenta consumo estático cuando la salida es '1'.

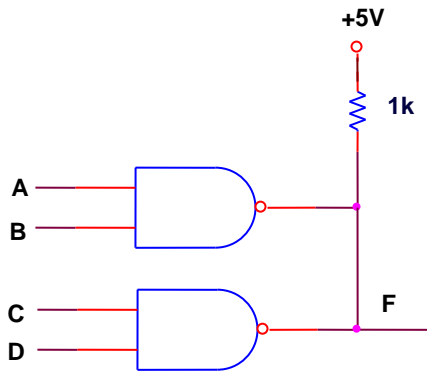
Solución:

Los transistores Schottky son transistores BJT con un diodo Schottky entre la base y el colector. La presencia del diodo Schottky acelera la conmutación y confiere por tanto mayor velocidad al transistor.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

Salidas especiales

18. Dado el circuito de la figura, realizado con puertas TTL con salida en colector abierto, indique cuál es la expresión lógica CORRECTA de la función cableada F del circuito:



[A] $F = \overline{(A.B.C.D)}$

[B] $F = \overline{(A + B + C + D)}$

[C] $F = \overline{(A.B) + (C.D)}$

[D] Las puertas no pueden conectarse entre sí de esa forma.

Solución:

F implementa la AND cableada de las salidas de las dos puertas NAND:

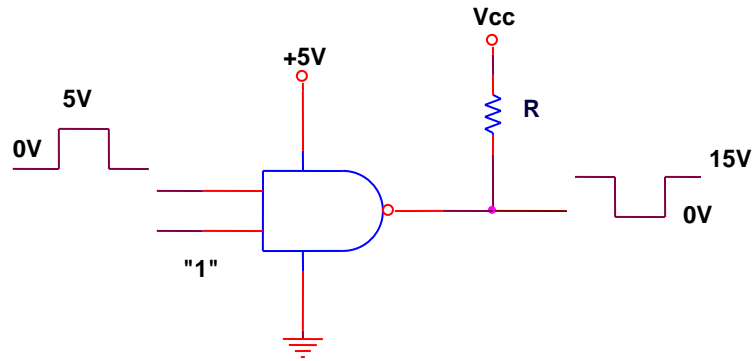
$$F = \overline{(A \cdot B)} \cdot \overline{(C \cdot D)}$$

Aplicando la propiedad de Idempotencia y la Ley de De Morgan para la NAND:

$$F = \overline{(A \cdot B)} \cdot \overline{(C \cdot D)} = \overline{\overline{\overline{\overline{(A \cdot B)}}} \cdot \overline{\overline{\overline{\overline{(C \cdot D)}}}}} = \overline{\overline{\overline{\overline{(A \cdot B)}}} + \overline{\overline{\overline{\overline{(C \cdot D)}}}}} = \overline{(A \cdot B) + (C \cdot D)}$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

19. Con el circuito de la figura adjunta se pretende generar pulsos de +15 V a partir de pulsos de +5 V. Si la puerta tiene salida en colector abierto, con $I_{OH} \approx 0$ mA, $V_{OL} \approx 0$ V, $I_{OLmax} \approx 16$ mA, ¿cuál de las siguientes propuestas para el circuito de *pull-up* es válida?



- [A] $V_{CC} = 5$ V y $R = 1$ k Ω .
[B] $V_{CC} = 15$ V y $R = 0.5$ k Ω .
[C] $V_{CC} = 15$ V y $R = 1$ k Ω .
[D] Este tipo de conexión no es válido para una puerta con salida en colector abierto.

Solución:

Cuando la salida de la puerta NAND está a nivel “alto”, en realidad no lo está; lo que sucede es que está en alta impedancia, y es el circuito de *pull-up* ($V_{CC} + R$) quien genera el nivel alto:

$$V_O = V_{CC} = 15V.$$

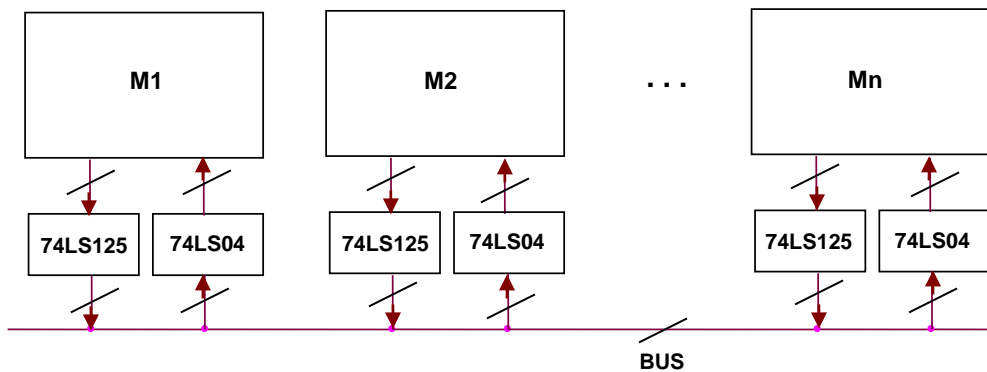
Cuando la salida de la puerta está a nivel bajo, por la resistencia de *pull-up* se establece una corriente eléctrica I_{OL} hacia el interior de la puerta que no puede superar la máxima permitida (es decir, $I_{OL} \leq I_{OLmax}$):

$$I_{OL} = \frac{V_{CC} - V_{OL}}{R} = \frac{15V - 0V}{R} = \frac{15V}{R} \leq I_{OLmax} = 16mA$$

$$\frac{15V}{R} \leq 16mA \Rightarrow R \geq \frac{15V}{16mA} = 0.93k\Omega$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

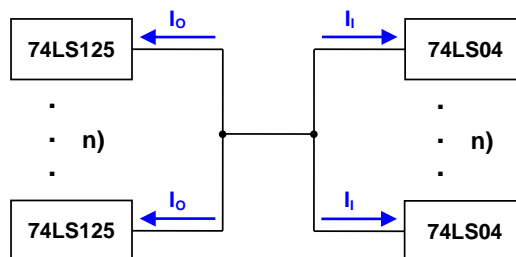
20. Se ha implementado un circuito con componentes TTL. El circuito integrado 74LS125 está constituido por *buffers* con salida triestado. Estos *buffers*, cuando están habilitados, son capaces de absorber 24 mA a nivel bajo y de dar 2.6 mA a nivel alto. Cuando están deshabilitados (estado de alta impedancia), la salida tiene una corriente de fuga de $\pm 20 \mu\text{A}$ (signo + si la salida es '1', - si la salida es '0'). La figura muestra un sistema diseñado con múltiples módulos conectados a un bus, donde cada módulo está compuesto por un buffer 74LS125 para dar información al bus y un inversor 74LS04 (con unas corrientes de entrada $I_{IL} = -0.4 \text{ mA}$ e $I_{IH} = 20 \mu\text{A}$) para recibir información del bus. ¿Cuál es el número máximo de módulos que pueden conectarse al bus sin exceder las especificaciones del 74LS125?



- [A] 10.
[B] 57.
[C] 65.
[D] 30.

Solución:

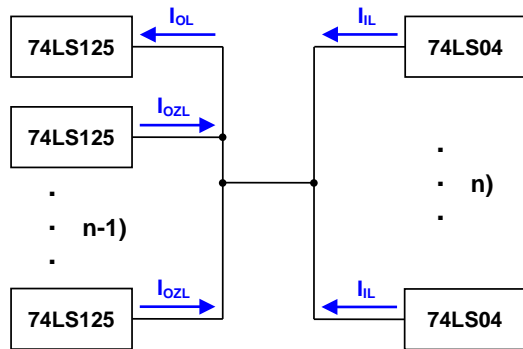
Si al bus se conectan n módulos, habrá n componentes emisores (los 74LS125) y n componentes receptores (los 74LS04), quedando el siguiente esquema:



El número máximo de componentes que se pueden conectar se calculará sobre este esquema, analizando el comportamiento del mismo en cada uno de los niveles lógicos. El límite efectivo será el mínimo de los obtenidos para ambos niveles. En este análisis habrá que tener en cuenta que, por tratarse los 74LS125 de *buffers* triestado, sólo habrá un componente emitiendo el valor lógico correspondiente, y los $(n - 1)$ restantes estarán en alta impedancia.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

Cuando la salida está a nivel bajo, el esquema equivalente es:



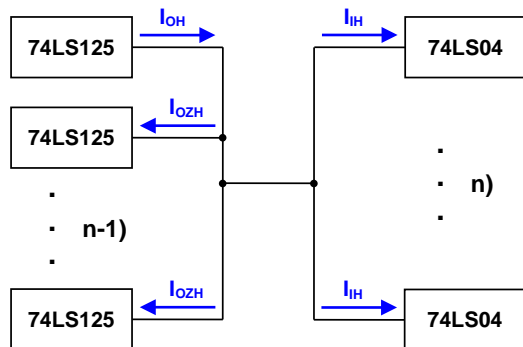
Se debe cumplir que:

$$I_{OL} \leq I_{OLmax}$$

$$I_{OL} = (n - 1) \times I_{OZL} + n \times I_{IL} = (n - 1) \times 0.02 + n \times 0.4 = 0.42 \cdot n - 0.02 \leq I_{OLmax} = 24$$

$$0.42 \cdot n - 0.02 \leq 24 \Rightarrow 0.42 \cdot n \leq 24 + 0.02 \Rightarrow n \leq \frac{24.02}{0.42} = 57$$

Cuando la salida está a nivel alto, el esquema equivalente es:



Se debe cumplir que:

$$I_{OH} \leq I_{OHmax}$$

$$I_{OH} = (n - 1) \times I_{OZH} + n \times I_{IH} = (n - 1) \times 0.02 + n \times 0.02 = 0.04 \cdot n - 0.02 \leq I_{OHmax} = 2.6$$

$$0.04 \cdot n - 0.02 \leq 2.6 \Rightarrow 0.04 \cdot n \leq 2.6 + 0.02 \Rightarrow n \leq \frac{2.62}{0.04} = 65$$

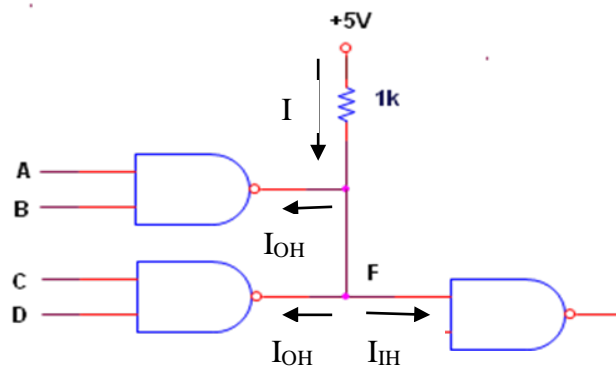
$$n = \min(57, 65) = 57.$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

21. El circuito de la figura está compuesto de puertas NAND con salida en colector abierto. A partir de las especificaciones de la tabla (tensiones y corrientes) y para las entradas (A=4V, B=0.2V, C=4.5V, D=0.6V), CALCULE el voltaje aproximado en F.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
600 μ A	-0.36 mA	200 μ A	7 mA

- [A] F=0.5V
 [B] F=3.0V
 [C] F=4.0V
 [D] F=5.0V



Solución:

$A = 4V \geq V_{IHmin} \rightarrow A = '1'$ lógico
 $B = 0.2V \leq V_{ILmax} \rightarrow B = '0'$ lógico
 $C = 4.5V \geq V_{IHmin} \rightarrow C = '1'$ lógico
 $D = 0.6V \leq V_{ILmax} \rightarrow D = '0'$ lógico

F = AND-cableada de las 2 NANDs = 1.1 = 1

$$V_F = 5 - I \cdot 1K = 5 - (2 \cdot I_{OH} + I_{IH})$$

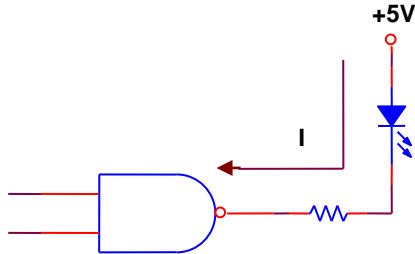
Usando los valores límite que da el fabricante, en el peor caso, $I_{OH} = I_{OHmax}$, $I_{IH} = I_{IHmax}$

$$V_F = 5 - (2 \cdot 0.2 + 0.6) = 4V$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

Encendido de LED

22. Se pretende que el LED del circuito tenga el máximo brillo posible. Teniendo en cuenta los valores de los parámetros de la puerta lógica detallados en la tabla adjunta, y que $V_{\gamma(\text{LED})} = 2.2 \text{ V}$, calcule el valor de R de modo que la puerta lógica funcione dentro de sus especificaciones.



V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μA	-0.36 mA	-100 μA	7 mA

Solución:

La máxima intensidad que circule a través del LED, la resistencia y la puerta NAND no puede superar I_{OLmax} . Es decir, $I \leq I_{OLmax}$.

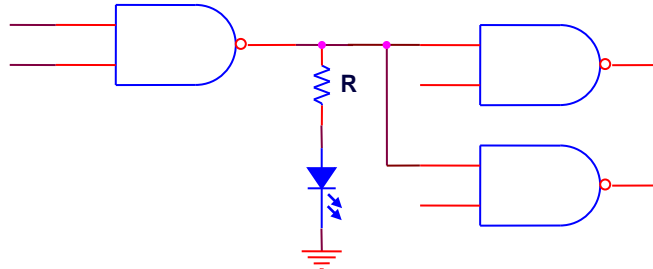
Por otro lado:

$$I = \frac{(V_{CC} - V_{\gamma(\text{LED})}) - V_{OL}}{R} = \frac{5\text{V} - 2.2\text{V} - 0.5\text{V}}{R} = \frac{2.3\text{V}}{R} \leq I_{OLmax} = 7\text{mA}$$

$$\frac{2.3\text{V}}{R} \leq 7\text{mA} \Rightarrow R \geq \frac{2.3\text{V}}{7\text{mA}} = 0.328\text{k}\Omega = 328\Omega$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

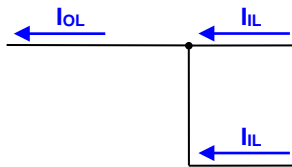
23. Para visualizar una variable interna de un circuito digital se introduce un LED con una resistencia R de $50\ \Omega$. Teniendo en cuenta las especificaciones de la puerta, detalladas en la tabla adjunta, y que $V_{\gamma(\text{LED})} = 1.8\text{ V}$, ¿Es correcta la conexión? En caso de ser correcta, ¿cuántas entradas se pueden conectar en total? Si no lo es, ¿cuál será el valor de R que permitirá conectar hasta cuatro entradas?



V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5V	0.8 V	3 V	0.2 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 mA	-3.5 mA	-16 mA	25 mA

Solución:

Cuando la salida de la puerta está a nivel bajo, la tensión de salida ($V_{OL} = 0.2\text{V}$) es inferior a la tensión umbral del LED ($V_{\gamma(\text{LED})} = 1.8\text{V}$), por lo que éste estará cortado, quedando el siguiente esquema:



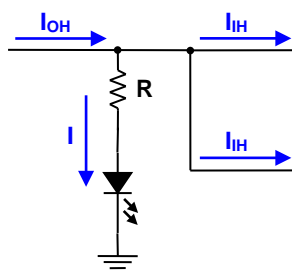
La ecuación del nudo es:

$$I_{OL} = 2 \times I_{ILmax} = 2 \times 3.5\text{mA} = 7\text{mA}$$

Para que el circuito funcione correctamente, debe cumplirse que $I_{OL} \leq I_{OLmax}$.

¿ $I_{OL} = 7\text{mA} \leq I_{OLmax} = 25\text{mA}$? Sí.

Cuando la salida de la puerta está a nivel alto, la tensión de salida ($V_{OH} = 3\text{V}$) es superior a la tensión umbral del LED ($V_{\gamma(\text{LED})} = 1.8\text{V}$), por lo que éste conducirá. En ese caso quedará el siguiente esquema:



T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

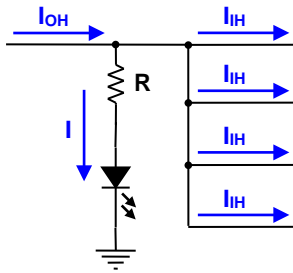
La ecuación del nudo es:

$$I_{OH} = I + 2 \times I_{IHmax} = \frac{V_{OHmin} - V_{\gamma(LED)}}{R} + 2 \times I_{IHmax} = \frac{3V - 1.8V}{0.05k\Omega} + 2 \times 1mA = \\ = \frac{1.2V}{0.05k\Omega} + 2mA = 24mA + 2mA = 26mA$$

Para que el circuito funcione correctamente, debe cumplirse que $I_{OH} \leq I_{OHmax}$.

¿ $I_{OH} = 26mA \leq I_{OHmax} = 16mA$? No. Por tanto, **la conexión no es posible**.

El circuito equivalente teniendo en cuenta que se van a conectar cuatro entradas será:



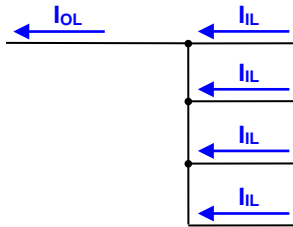
La ecuación del nudo es:

$$I_{OH} = I + 4 \times I_{IHmax} = \frac{V_{OHmin} - V_{\gamma(LED)}}{R} + 4 \times I_{IHmax} = \frac{3V - 1.8V}{R} + 4 \times 1mA = \frac{1.2V}{R} + 4mA$$

Para que el circuito funcione correctamente, $I_{OH} \leq I_{OHmax}$:

$$I_{OH} = \frac{1.2V}{R} + 4mA \leq I_{OHmax} = 16mA \Rightarrow \frac{1.2V}{R} + 4mA \leq 16mA \Rightarrow \\ \Rightarrow \frac{1.2V}{R} \leq 16mA - 4mA = 12mA \Rightarrow R \geq \frac{1.2V}{12mA} = 0.1k\Omega = 100\Omega$$

Habría que comprobar que sigue siendo factible conectar las cuatro entradas cuando la salida está a nivel bajo. El circuito equivalente sería:



La ecuación del nudo es:

$$I_{OL} = 4 \times I_{ILmax} = 4 \times 3.5mA = 14mA$$

Para que el circuito funcione correctamente, debe cumplirse que $I_{OL} \leq I_{OLmax}$.

¿ $I_{OL} = 14mA \leq I_{OLmax} = 25mA$? Sí.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

24. Para visualizar una variable interna de un circuito digital se introduce un LED con una resistencia R_{PU} en el circuito de la figura. Calcule el valor de la resistencia R_{PU} . Considere los siguientes datos:

Circuito:

$$V_{DD}=5V$$

Puertas:

Tipo de Salida: Colector abierto para OR y NOT.

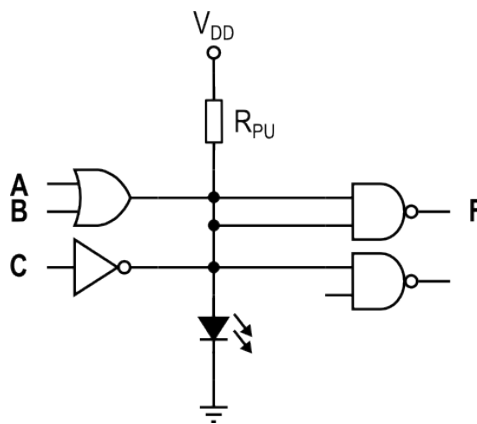
Voltajes: $V_{IHmin}=1.5V$, $V_{ILmax}=0.8V$, $V_{OHmin}=3V$, $V_{OLmax}=0.2V$

Corrientes: $I_{IHmax}=1mA$, $I_{ILmax}=-3.5mA$, $I_{OHmax(fugas)}=0.5mA$, $I_{OLmax}=35mA$

Diodo LED:

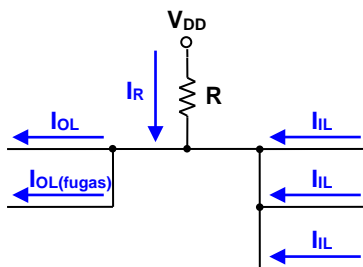
$$V_{\gamma(LED)} = 1.8 V$$

Intensidad necesaria para que ilumine correctamente $I_{LED}=10mA$.



Solución:

Cuando la salida de las puertas OR y NOT está a nivel bajo, la tensión de salida ($V_{OL} \leq 0.2V$) es inferior a la tensión umbral del LED ($V_{\gamma(LED)} = 1.8V$), por lo que éste estará cortado, quedando el siguiente esquema:



La intensidad $I_{OL(fugas)}$ se refiere a la corriente de fugas existente cuando la salida de la puerta está en alta impedancia y la línea está a nivel bajo. Este parámetro no se proporciona, por lo que se asumirá que es 0.

La ecuación del nudo es:

$$I_{OL} = I_R + 3 \times I_{ILmax} = \frac{V_{DD} - V_{OLmax}}{R_{PU}} + 3 \times I_{ILmax}$$

Despejando I_{OL} (porque el requisito a nivel bajo es que $I_{OL} \leq I_{OLmax}$):

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

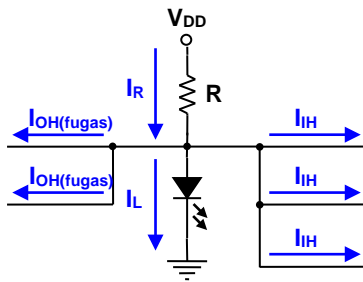
$$I_{OL} = I_R + 3 \times I_{ILmax} = \frac{V_{DD} - V_{OLmax}}{R_{PU}} + 3 \times I_{ILmax} = \frac{5V - 0.2V}{R_{PU}} + 3 \times 3.5mA = \frac{4.8V}{R_{PU}} + 10.5mA$$

$$I_{OL} = \frac{4.8V}{R_{PU}} + 10.5mA \leq I_{OLmax} = 35mA$$

$$\frac{4.8V}{R_{PU}} + 10.5mA \leq 35mA$$

$$R_{PU} \geq \frac{4.8V}{35mA - 10.5mA} = \frac{4.8V}{24.5mA} = 0.196k\Omega = 196\Omega$$

Cuando la salida de las puertas está a nivel alto (en realidad está a alta impedancia), se establece un flujo de corriente entre V_{DD} y masa pasando por el LED. Como V_{DD} (5V) es superior a la tensión umbral del LED ($V_{\gamma}(LED) = 1.8V$), éste conducirá, **fijando la tensión en la unión de las puertas OR y NOT a $V_{\gamma}(LED)$** , que obsérvese que es superior a la tensión mínima requerida en la entrada de las puertas a nivel alto ($V_{IHmin} = 1.5V$), por lo que este valor será reconocido correctamente por las entradas. El esquema resultante es:



La ecuación del nudo será:

$$I_R = 2 \times I_{OH(fugas)} + I_L + 3 \times I_{IHmax} = 2 \times 0.5mA + I_L + 3 \times 1mA = 1mA + 3mA + I_L = 4mA + I_L$$

En este ejemplo se da un caso especial. Por lo general, la misión de la resistencia de *pull-up* es fijar la tensión en el nivel alto (V_{OH}) cuando los componentes emisores (con salida en colector/drenador abierto) no pueden generarla por sí mismos. Para ello, la resistencia debe ser suficientemente baja como para no violar el nivel de tensión requerido en las entradas (para lo cual suele utilizarse el parámetro V_{IHmin} , (a no ser que V_{OHmin} sea conocido, en cuyo caso se utilizará preferiblemente éste).

Sin embargo, en este caso no es así, ya que V_{OH} es fijada por el LED a $V_{\gamma}(LED)$. Por tanto, la misión de la resistencia será regular la intensidad que pasa por ella. Nos podemos encontrar con dos posibles formas de abordar la resolución del problema, dependiendo de si se considera que la I_{LED} indicada es exactamente la intensidad que requiere el LED para lucir correctamente, o la mínima necesaria para hacerlo.

Si se considera que la intensidad que requiere el LED para lucir es exactamente I_{LED} , habrá que calcular el **valor exacto** de R_{PU} que haga que por el LED circule esa corriente:

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

$$I_R = \frac{V_{DD} - V_\gamma(\text{LED})}{R_{PU}} = \frac{5V - 1.8V}{R_{PU}} = \frac{3.2V}{R_{PU}} = 4mA + I_L = 4mA + 10mA = 14mA$$

Y despejando queda:

$$\frac{3.2V}{R_{PU}} = 14mA \Rightarrow R_{PU} = \frac{3.2V}{14mA} = 0.229k\Omega = 229\Omega, \text{ que como se puede apreciar}$$

es mayor que los 196Ω requeridos en el nivel bajo.

Si, por el contrario, se considera que I_{LED} es un **valor mínimo**, habrá que establecer el requisito de que $I_L \geq I_{LED}$:

$$I_R = 4mA + I_L \Rightarrow$$

$$I_L = I_R - 4mA = \frac{V_{DD} - V_\gamma(\text{LED})}{R_{PU}} - 4mA = \frac{5V - 1.8V}{R_{PU}} - 4mA = \frac{3.2V}{R_{PU}} - 4mA$$

$$I_L = \frac{3.2V}{R_{PU}} - 4mA \geq I_{LED} = 10mA$$

$$\frac{3.2V}{R_{PU}} - 4mA \geq 10mA \Rightarrow R_{PU} \leq \frac{3.2V}{10mA + 4mA} = \frac{3.2V}{14mA} = 0.229k\Omega = 229\Omega$$

Por tanto, en este caso:

$$196\Omega \leq R_{PU} \leq 229\Omega$$

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

Interconexión de familias lógicas

25. Se quiere conectar las salidas de 2 componentes estándar de una familia lógica alimentada a 5 V, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Para poder efectuar esta conexión:

- [A] No es necesario añadir nada al tratarse de la misma familia lógica.
- [B] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.4 k Ω y 8.12 k Ω .
- [C] No se puede efectuar la conexión de las salidas, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
- [D] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.41 k Ω y 11.82 k Ω .

Solución:

El hecho de que las salidas de los componentes sean estándar implica que sus salidas no se pueden interconectar.

26. Se quiere conectar las salidas de 2 componentes con salida en colector abierto de una familia lógica alimentada a 5 V, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta (teniendo en cuenta que $I_{OHmax} = 100 \mu$ A para los componentes en colector abierto).

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

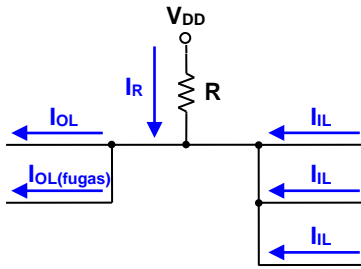
Para poder efectuar esta conexión:

- [A] No es necesario añadir nada.
- [B] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up* con un rango de valores permitido entre 0.41 k Ω y 8.12 k Ω .
- [C] No se puede efectuar la conexión de las salidas, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
- [D] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.41 k Ω y 11.82 k Ω .

Solución:

Cuando la salida de las puertas emisoras está a nivel bajo, se tendrá el siguiente esquema:

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos



La intensidad $I_{OL(fugas)}$ se refiere a la corriente de fugas existente cuando la salida de la puerta está en alta impedancia y la línea está a nivel bajo. Este parámetro no se proporciona, por lo que se asumirá que es 0.

La ecuación del nudo es:

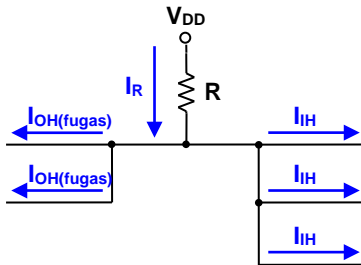
$$I_{OL} = I_R + 3 \times I_{ILmax} = \frac{V_{DD} - V_{OLmax}}{R_{PU}} + 3 \times I_{ILmax} = \frac{5V - 0.4V}{R_{PU}} + 3 \times 1.6mA = \frac{4.6V}{R_{PU}} + 4.8mA$$

$$I_{OL} = \frac{4.6V}{R_{PU}} + 4.8mA \leq I_{OLmax} = 16mA$$

$$\frac{4.6V}{R_{PU}} + 4.8mA \leq 16mA$$

$$R_{PU} \geq \frac{4.6V}{16mA - 4.8mA} = \frac{4.6V}{11.2mA} = 0.41k\Omega$$

Cuando las puertas emisoras están en alta impedancia, la línea se pondrá a nivel alto gracias al circuito de *pull-up*. El esquema resultante es:



La ecuación del nudo es:

$$I_R = 2 \times I_{OH(fugas)} + 3 \times I_{IHmax} = 2 \times 0.1mA + I_L + 3 \times 0.04mA = 0.2mA + 0.12A = 0.32mA$$

Obsérvese que como valor de intensidad en la puerta que está en alta impedancia ($I_{OH(fugas)}$) se ha utilizado el valor 0.1mA (100μA, correspondiente a la I_{OHmax} de los componentes con salida en colector abierto) en lugar de los -400μA indicados en la tabla para los componentes “normales”.

El requisito que debe cumplir la resistencia de *pull-up* en el nivel alto es que sea lo suficientemente pequeña como para no degradar la tensión requerida en las entradas de las puertas receptoras (V_{IHmin}). Es decir, $V_{OH} \geq V_{IHmin}$.

Sin embargo, el valor de salida a nivel alto de los componentes estándar de la familia es conocido ($V_{OHmin} = 2.4V$). Por este motivo, es más recomendable utilizar este valor (en lugar de V_{IHmin}) para establecer el requisito. No es que sea incorrecto utilizar V_{IHmin} ; lo que sucede es que empleando este se reduce el margen de ruido, corriendo el

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

riesgo de tener más problemas en el circuito que usando V_{OHmin} como restricción. Por tanto, el requisito será finalmente $V_{OH} \geq V_{OHmin}$:

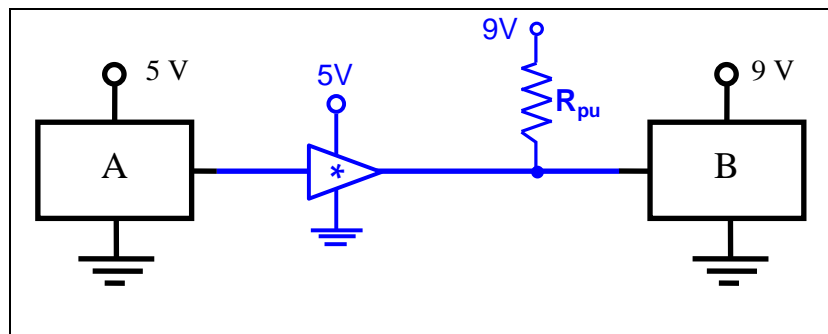
$$V_{OH} = V_{DD} - I_R \times R_{PU} = 5V - 0.32mA \times R_{PU} \geq V_{OHmin} = 2.4V$$

$$5V - 0.32mA \times R_{PU} \geq 2.4V$$

$$R_{PU} \leq \frac{5V - 2.4V}{0.32mA} = \frac{2.6V}{0.32mA} = 8.12k\Omega$$

Así, pues:

$$0.41k\Omega \leq R_{PU} \leq 8.12k\Omega$$



27. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
6.3 V	2.7 V	8.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 pA	-20 pA	-0.5 mA	0.5 mA

Solución:

Compatibilidad de tensiones:

$$\checkmark V_{OLmax}(A) \leq V_{ILmax}(B)? \Rightarrow V_{OLmax}(A) = 0.4V < V_{ILmax}(B) = 2.7V \checkmark$$

$$\checkmark V_{OHmin}(A) \geq V_{IHmin}(B)? \Rightarrow V_{OHmin}(A) = 2.4V < V_{IHmin}(B) = 6.3V \times \text{¡Incompatibles!}$$

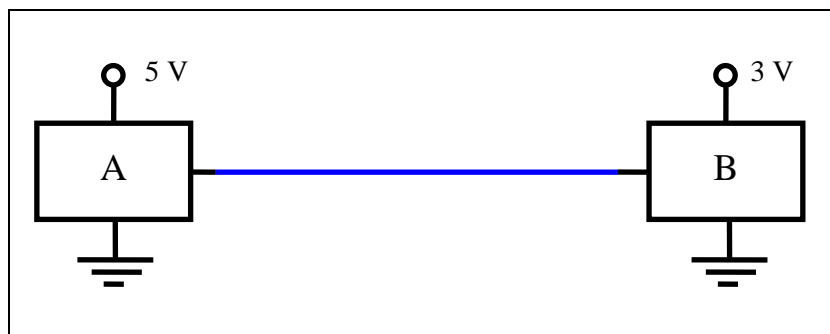
Como el componente de la familia A no tiene salida en colector/drenador abierto, hay que intercalar un *buffer* con salida en colector/drenador abierto alimentado a 5V (que es la tensión de alimentación de la familia A), y un circuito de *pull-up* alimentado a 9V (que es la tensión de alimentación de la familia B).

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

28. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.1 V	0.9 V	2.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 pA	-1 pA	-0.5 mA	0.5 mA



Solución:

A es TTL estándar.

B es CMOS estándar alimentada a +3V

Compatibilidad de tensiones:

$$\checkmark V_{OLmax}(A) \leq V_{ILmax}(B)? \Rightarrow V_{OLmax}(A) = 0.4V < V_{ILmax}(B) = 0.9V \checkmark$$

$$\checkmark V_{OHmin}(A) \geq V_{IHmin}(B)? \Rightarrow V_{OHmin}(A) = 2.4V > V_{IHmin}(B) = 2.1V \checkmark$$

Compatibilidad de corrientes:

$$\checkmark |I_{OLmax}(A)| \geq |I_{ILmax}(B)|? \Rightarrow |I_{OLmax}(A)| = 16mA > |I_{ILmax}(B)| = 1pA \checkmark$$

$$\checkmark |I_{OHmax}(A)| \geq |I_{IHmax}(B)|? \Rightarrow |I_{OHmax}(A)| = 400\mu A > |I_{IHmax}(B)| = 1pA \checkmark$$

Como no hay problemas de incompatibilidad, la conexión se puede realizar de forma directa.

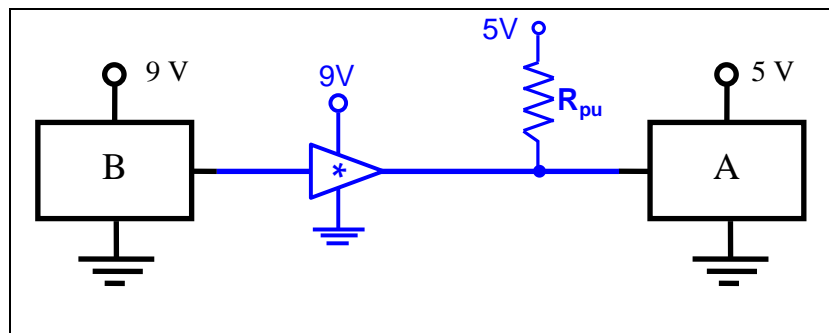
Lo único que hay que matizar es que las entradas CMOS pueden recibir tensiones por encima de su propia tensión de alimentación (+3V). Si las entradas tienen tolerancia a estos valores, por estar protegidas ante sobretensiones, no hay problema.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

29. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
6.3 V	2.7 V	8.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 pA	-20 pA	-0.5 mA	0.5 mA



Solución:

A es TTL estándar

B es CMOS estándar alimentada a +9V

Compatibilidad de tensiones:

¿ $V_{OLmax}(B) \leq V_{ILmax}(A)$? $\Rightarrow V_{OLmax}(B) = 0.1V < V_{ILmax}(A) = 0.8V$ ✓

¿ $V_{OHmin}(B) \geq V_{IHmin}(A)$? $\Rightarrow V_{OHmin}(B) = 8.9V > V_{IHmin}(A) = 2V$ ✓

Compatibilidad de corrientes:

¿ $|I_{OLmax}(B)| \geq |I_{ILmax}(A)|$? $\Rightarrow |I_{OLmax}(B)| = 0.5mA < |I_{ILmax}(A)| = 1.6mA$ ✗ ¡Incompatibles!

¿ $|I_{OHmax}(B)| \geq |I_{IHmax}(A)|$? $\Rightarrow |I_{OHmax}(B)| = 0.5mA > |I_{IHmax}(A)| = 40\mu A$ ✓

Hace falta un *buffer* de la familia B que adapte las corrientes.

Como las tensiones de alimentación de las familias A y B son diferentes, hay que intercalar un *buffer* B con salida en drenador abierto alimentado a 9V (que es la tensión de alimentación de la familia B) y un circuito de *pull-up* alimentado a 5V, que es la tensión de alimentación de la familia A.

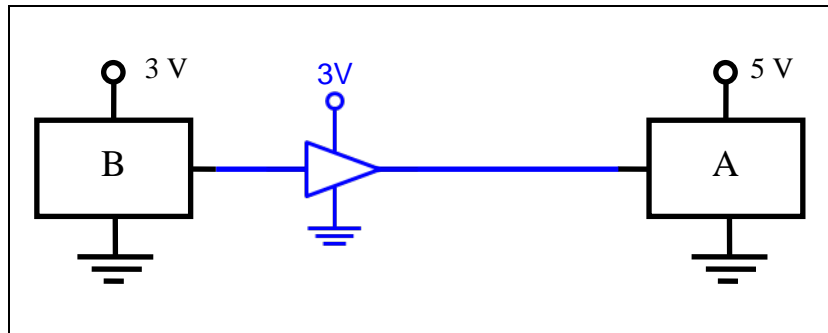
Esto es necesario porque las entradas de A (TTL) pueden recibir tensiones por encima de su propia tensión de alimentación, lo que puede afectar a los transistores de entrada.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

30. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.1 V	0.9 V	2.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 pA	-1 pA	-0.5 mA	0.5 mA



Solución:

A es TTL estándar

B es CMOS estándar alimentada a +3V

Compatibilidad de tensiones:

$$\checkmark V_{OLmax}(B) \leq V_{ILmax}(A)? \Rightarrow V_{OLmax}(B) = 0.1V < V_{ILmax}(A) = 0.8V \checkmark$$

$$\checkmark V_{OHmin}(B) \geq V_{IHmin}(A)? \Rightarrow V_{OHmin}(B) = 2.9V > V_{IHmin}(A) = 2V \checkmark$$

Compatibilidad de corrientes:

$$\checkmark |I_{OLmax}(B)| \geq |I_{ILmax}(A)|? \Rightarrow |I_{OLmax}(B)| = 0.5mA > |I_{ILmax}(A)| = 0.6mA \times \text{¡Incompatibles!}$$

$$\checkmark |I_{OHmax}(B)| \geq |I_{IHmax}(A)|? \Rightarrow |I_{OHmax}(B)| = 0.5mA > |I_{IHmax}(A)| = 40\mu A \checkmark$$

Hace falta intercalar un *buffer* de la familia B para adaptar las corrientes.

Como $V_{OHmin}(B) (= 2.9V) > V_{IHmin}(A) (= 2V)$, la salida del *buffer* es compatible con la familia A y no hace falta hacer ningún otro cambio.

T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

31. Se quiere conectar una salida TTL en colector abierto con una entrada de un circuito lógico CMOS alimentado a +9V. Indique la respuesta CORRECTA:

Familia A (TTL colector abierto)			Familia B (CMOS +9V)			
V_{OLmax}	I_{OHmax} (fugas)	I_{OLmax}	V_{IHmin}	V_{ILmax}	I_{IHmax}	I_{ILmax}
0.4 V	100 μA	16 mA	6.3 V	2.7 V	0.1 μA	-0.1 μA

- [A] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación de +9V. El valor de la resistencia debe de estar comprendido entre 0.54K Ω y 26.97K Ω .
- [B] Se pueden conectar directamente.
- [C] Es necesario poner un buffer TTL en la salida para compatibilizar la corriente a nivel bajo.
- [D] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación de +9V. El valor de la resistencia debe de estar comprendido entre 2.1K Ω y 41.4K Ω .

Solución:

Hay que adaptar la tensión del '1' lógico mediante Rpu:

$$\frac{9 - V_{OLmax}}{I_{OLmax} - |I_{ILmax}|} \leq R_{pu} \leq \frac{9 - V_{IHmin}}{I_{OHmax} + I_{IHmax}}$$