

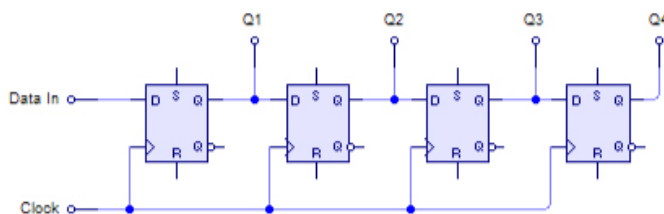
10 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN:+0.6 puntos. MAL: -0.15 puntos. N.C.: 0

1. Dadas las especificaciones de una familia lógica que se muestran en la tabla adjunta, indique cuál de las siguientes afirmaciones es **VERDADERA**.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
3V	1.5V	4V	1V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.36mA	-300 μ A	6mA

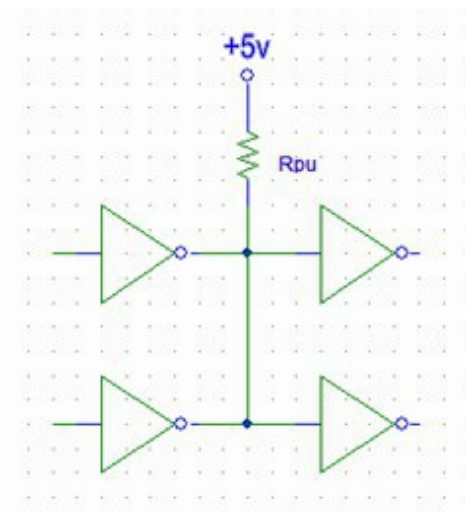
- [A] El margen de ruido a nivel alto es 0.5V.
 [B] El margen de ruido es 1V.
 [C] El *fan-out* a nivel bajo es 17.
 [D] El *fan-out* es 15.

2. En el siguiente registro de desplazamiento síncrono se están utilizando biestables tipo D con las siguientes especificaciones: $t_{su} = 5ns$, $t_h = 3ns$, $t_{pLH} = 15ns$, $t_{pHL} = 12ns$. Indique cuál de las siguientes afirmaciones es **VERDADERA**.



- [A] La frecuencia máxima de la señal de reloj es 50MHz.
 [B] El periodo mínimo de la señal de reloj es 17ns.
 [C] El t_r (rise time) y el t_f (fall time) de la señal de reloj deben ser como mínimo de 3ns.
 [D] Para poder utilizar una señal de reloj de 100MHz debería haber solo 2 biestables.

3. Considere el circuito adjunto y los parámetros característicos siguientes. Si las puertas tienen salidas en colector abierto, indique cuál de los valores propuestos sería adecuado para la resistencia de *pull-up*.



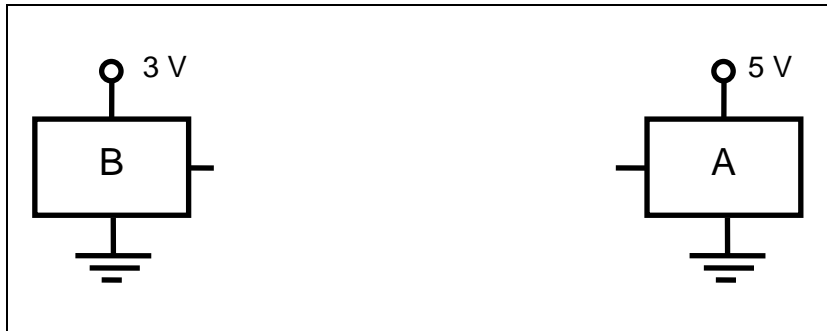
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5V	0.8V	3V	0.5V
I_{IHmax}	I_{ILmax}	$I_{OHmax(fugas)}$	I_{OLmax}
300 μ A	-0.36mA	100 μ A	7mA

- [A] $R_{PU} = 0.22k\Omega$
 [B] $R_{PU} = 2.2k\Omega$
 [C] $R_{PU} = 5k\Omega$
 [D] $R_{PU} = 10k\Omega$

4. Se desea realizar la conexión de dos familias lógicas tal y como se muestra en la figura. A partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas, indique cuál de las siguientes opciones permitiría una conexión **CORRECTA**.

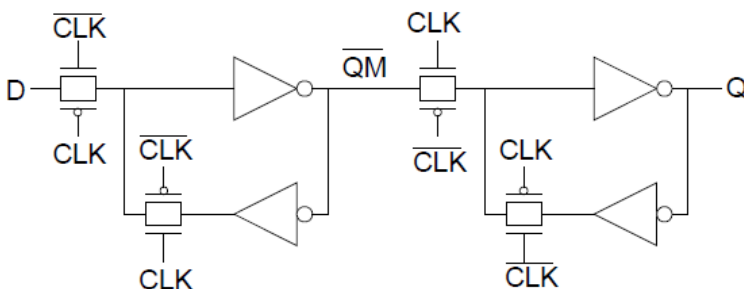
Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.1 V	0.9 V	2.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 pA	-20 pA	-0.5 mA	0.5 mA



- [A] Se puede realizar la conexión directamente, ya que existe compatibilidad a nivel de tensión y corrientes.
 [B] La conexión no es posible de ninguna manera, ya que están alimentadas a diferente tensión.
 [C] Existe incompatibilidad de tensiones. Se puede solucionar intercalando un *buffer* en colector abierto a la salida de la puerta A y una resistencia de *pull-up* entre la salida del *buffer* y 5V.
 [D] Existe incompatibilidad de corrientes. Se puede solucionar intercalando un *buffer* de la familia B alimentado a 3V que proporcione suficiente corriente a la puerta A

5. Dado el biestable D *master-slave* de la figura, diseñado con puertas de transmisión CMOS, indique la afirmación **CORRECTA**:

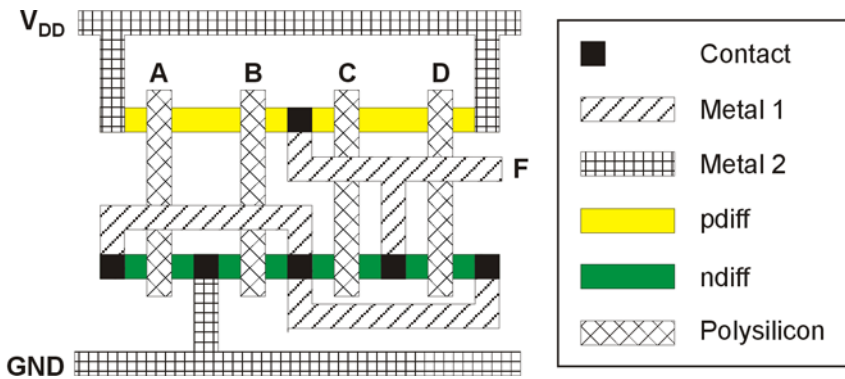


- [A] Está formado por dos *latches* D activos a nivel bajo.
 [B] Cuando CLK = '0', se mantiene /QM gracias al bucle de realimentación.
 [C] Cuando CLK = '1' el maestro envía el dato al esclavo y la entrada D se bloquea.
 [D] Funciona como un *flip-flop* D activo por flanco de bajada.

6. Un procesador CMOS contiene 10^6 transistores dedicados a la lógica combinacional/secuencial y 10^8 transistores dedicados a la memoria *cache*. El factor de actividad medio es 0.1 para la lógica, y 0.01 para la memoria. La capacidad media de cada transistor es 1 fF (1 femtofaradio = 10^{-15} F), el voltaje de alimentación es 2V y la frecuencia de reloj 3 GHz (1GHz = 10^9 Hz). Calcule la potencia dinámica aproximada que consume el procesador.

- [A] No se puede calcular, ya que faltan las corrientes de fuga de los transistores.
 [B] 13.2W
 [C] 15W
 [D] 12.5W

7. A partir del *layout* de la celda estándar de la figura, identifique la función que implementa:

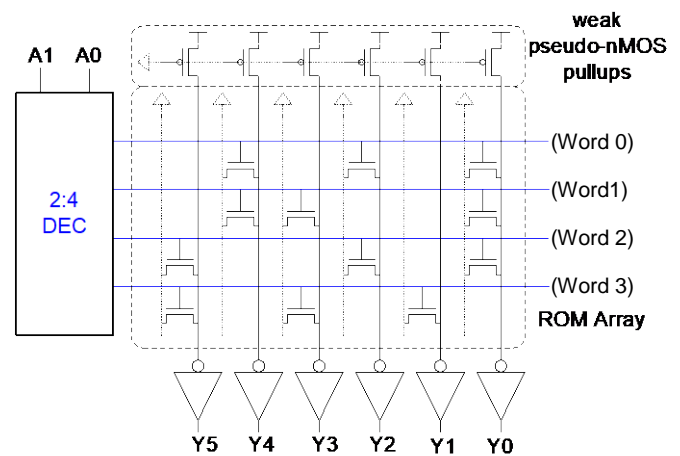


- [A] $F = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D}$
 [B] $F = (A \cdot B) + (C \cdot D)$
 [C] $F = (A + B) + (C + D)$
 [D] $F = \overline{A + B + C + D}$

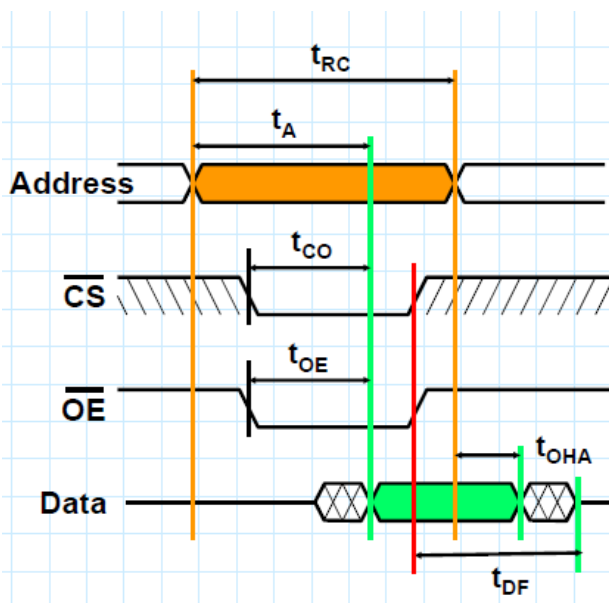
8. Dada la memoria de la figura, indique la afirmación **FALSA**:

Nota: El bit menos significativo es el 0, tanto en las direcciones (A0) como en los datos (Y0)

- [A] Es una memoria ROM de 4 palabras de 6 bits.
 [B] Si A1 = "1" y A0 = "0", en el bus de datos se leerá la palabra "100101".
 [C] La presencia de un transistor en la intersección entre la línea de palabra y la línea de bit pone un "1" en la celda, que se lee como "0" en la correspondiente salida Yx.
 [D] Los transistores PMOS de la parte superior se comportan como resistencias de *pull-up* conectadas a alimentación.



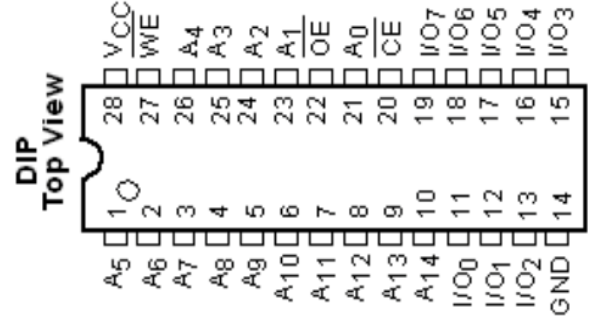
9. A la vista del cronograma de la figura determine cuál de las afirmaciones es la **FALSA**:



- [A] Es un cronograma de escritura de una memoria SRAM.
 [B] t_{CO} es el tiempo de acceso desde la selección de chip.
 [C] t_A es el tiempo de acceso desde las direcciones.
 [D] t_{DF} es el tiempo (desde que se desactiva CS) que ha de transcurrir para que el bus pueda ser ocupado por otro dispositivo.

10. El circuito integrado CY62256, cuyo patillaje se indica en la figura, es una memoria SRAM con un tiempo de acceso típico de unos 70ns. A la vista del dibujo, se puede afirmar que:

- [A] Su capacidad de almacenamiento será de 32KB (2^{15} palabras de 8 bits).
- [B] 70 ns es el tiempo máximo que tarda un dato en ser escrito en las celdas de almacenamiento desde que se estabiliza la dirección ($A_0...A_{14}$).
- [C] La línea /CE (pin 20) corresponde a la selección de chip, por lo que deberá mantenerse a "1" durante cualquier operación de lectura o escritura que afecte al chip.
- [D] La línea /WE permite controlar la temporización del proceso de lectura, mientras que la línea /OE nos permite el control temporal del proceso de escritura.



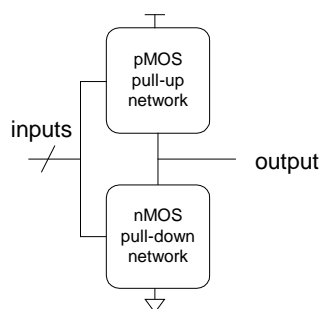
Apellidos:

Nombre:

PROBLEMA (4 PUNTOS)

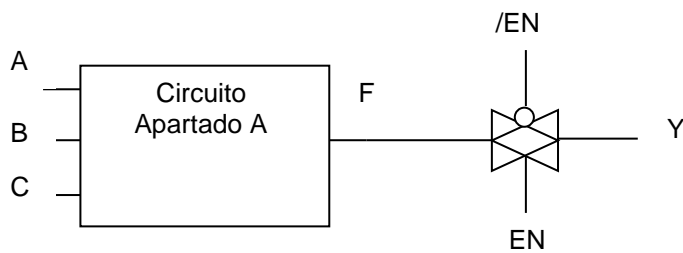
- A. (1 pto.) Se pretende diseñar la función $F = A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$ en **lógica CMOS complementaria**. Dibuje un esquema con transistores. Justifique el diseño.

NOTA: Utilice el símbolo simplificado de los transistores.



- B. (1 pto.) Compruebe el funcionamiento del circuito para la combinación de entradas: $A = B = "1"$, $C = "0"$.
- B.1. (0.75 ptos.) Dibuje el circuito sustituyendo los transistores por **interruptores (abiertos y/o cerrados)**.
- B.2. (0.25 ptos.) Justifique el **valor lógico de la salida F**.

C. (1 pts.) Suponga que se modifica el circuito del apartado A, tal como muestra la figura adjunta.



C.1. (0.25 pts.) Indique el tipo de salida (estándar / drenador abierto / triestado):

C.2. (0.25 pts.) Indique el nombre del elemento añadido y dibuje su estructura interna con transistores.

C.3. (0.5 pts.) Explique el funcionamiento del circuito modificado y rellene la tabla de verdad adjunta.

A	B	C	EN	Y
0	0	0	0	
0	0	1	0	
0	1	0	0	
.....				
1	1	1	0	
0	0	0	1	
0	0	1	1	
0	1	0	1	
.....				
1	1	0	1	
1	1	1	1	

D. (1 pts.) Complete la tabla de verdad de la función F del apartado A y realice el diseño de esta función utilizando una memoria **ROM NOR**. Dibuje la **estructura interna con transistores** e indique el **tamaño de la memoria**. Justifique el resultado.

A	B	C	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	