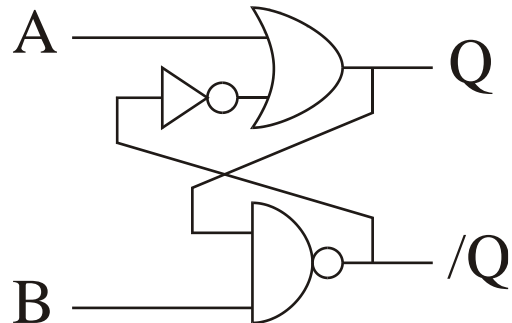


Tema 4: CIRCUITOS SECUENCIALES

Grado en informática

EJERCICIOS

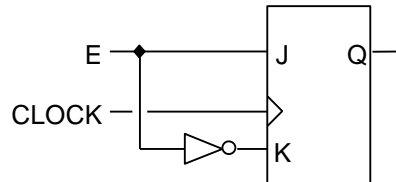
4.1. Sea el siguiente biestable:



Represente su tabla de verdad escribiendo (*) donde haya una situación no deseada:

B	A	Q(t+1)	/Q(t+1)
0	0	0	1
0	1	*	*
1	0	Q(t)	/Q(t)
1	1	1	0

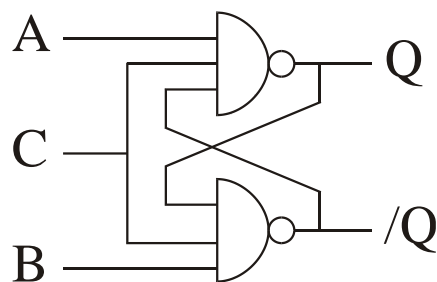
4.2. Escriba la tabla de verdad del siguiente circuito. ¿Se comporta como algún otro circuito que conozca?



E	C	Q(t+1)
X	0	Q(t)
X	1	Q(t)
0	↑	0
1	↑	1

Es un biestable D

4.3. Sea el siguiente biestable:



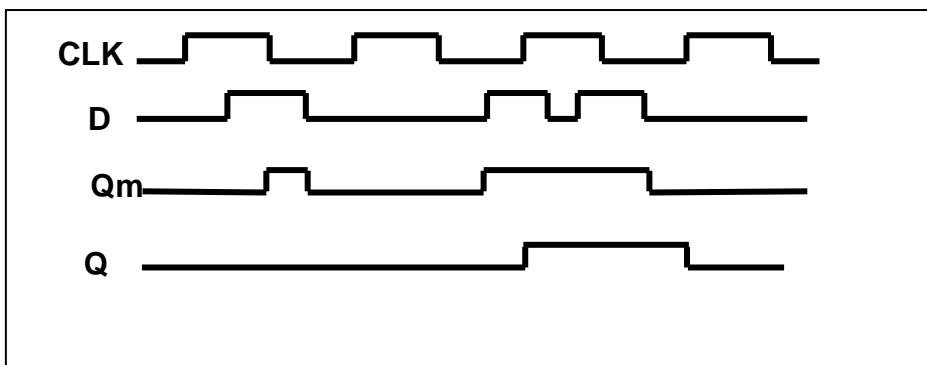
Represente su tabla de verdad escribiendo (*) donde haya una situación no deseada:

C	B	A	$Q(t+1)$	$/Q(t+1)$
0	0	0	*	*
0	0	1	*	*
0	1	0	*	*
0	1	1	*	*
1	0	0	*	*
1	0	1	0	1
1	1	0	1	0
1	1	1	$Q(t)$	$/Q(t)$

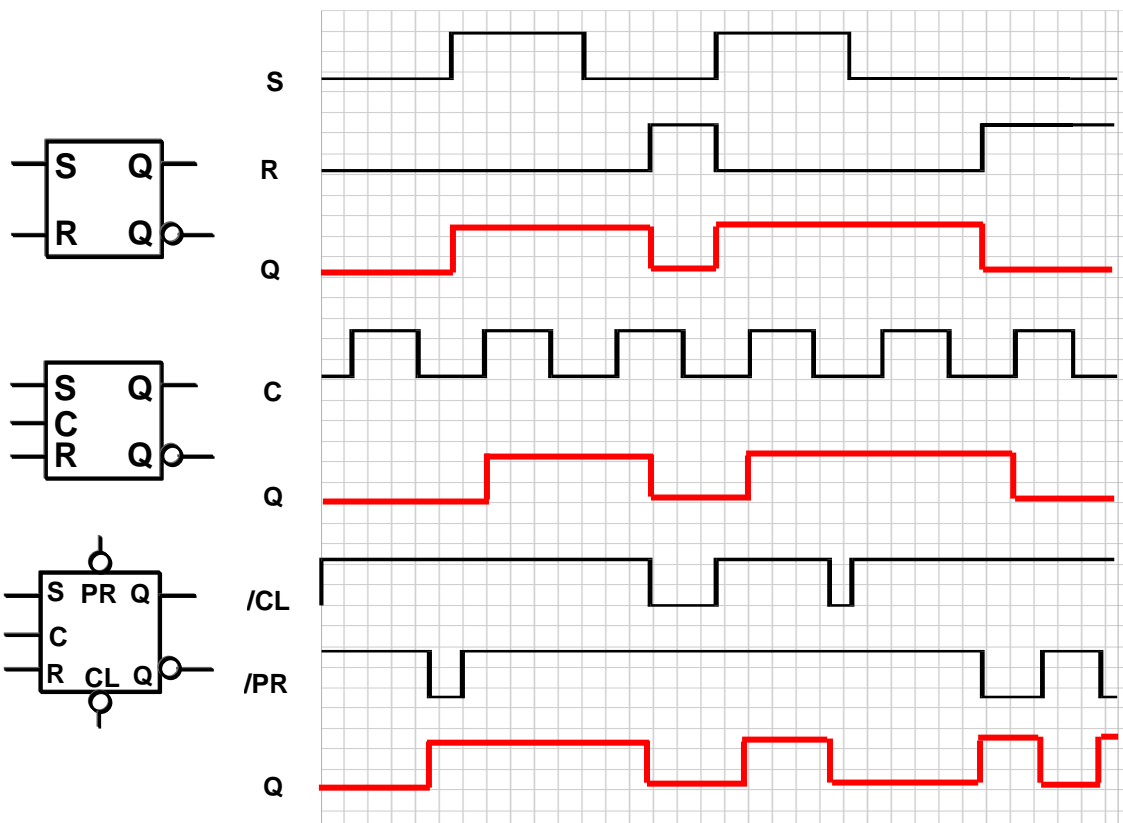
4.4. ¿Para qué sirven las entradas asíncronas de los biestables?

Para seleccionar un estado de partida en el circuito

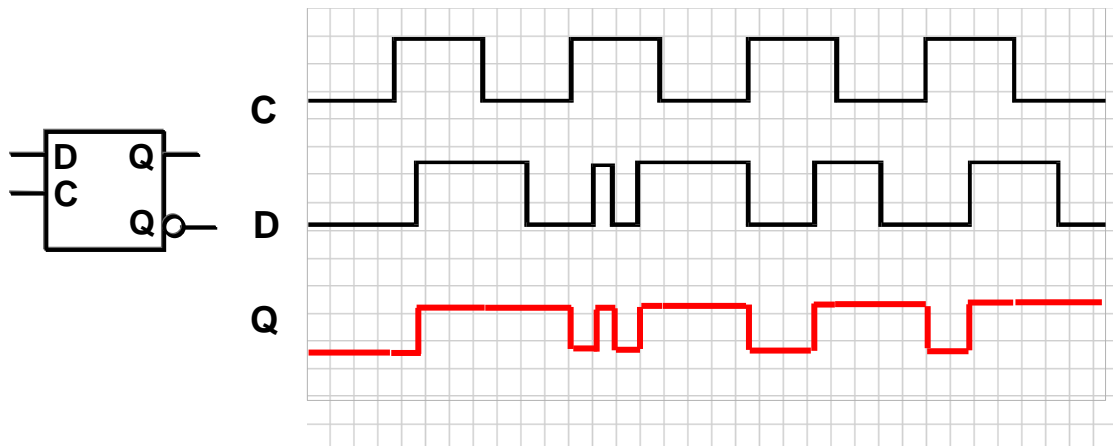
4.5. Dibuje el cronograma de un biestable D Maestro–Esclavo activado por flanco de subida.



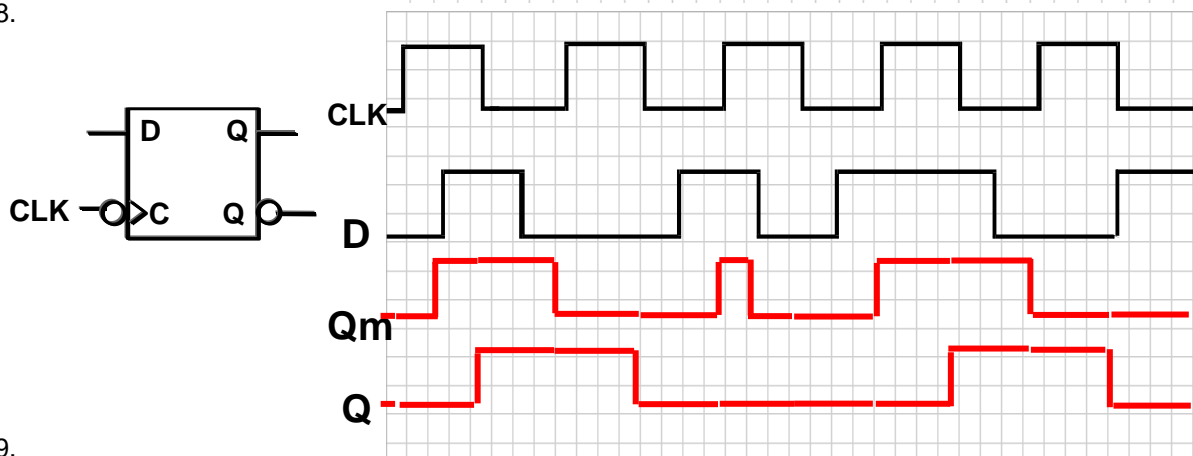
4.6.



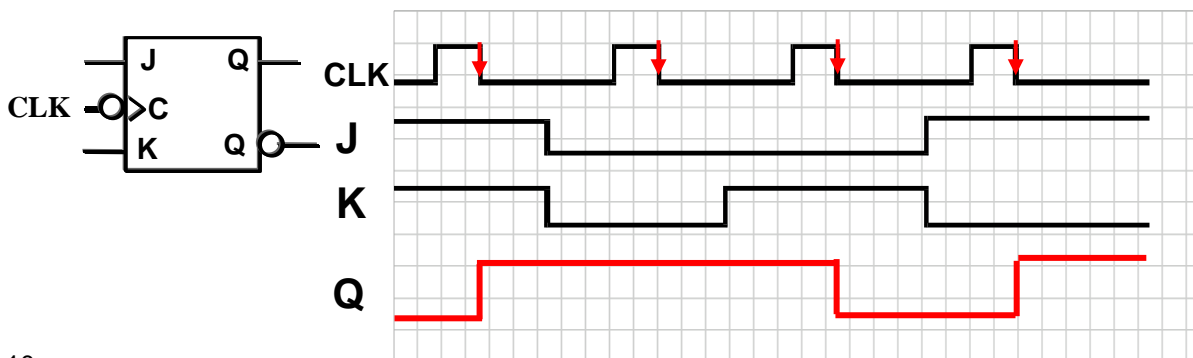
4.7.



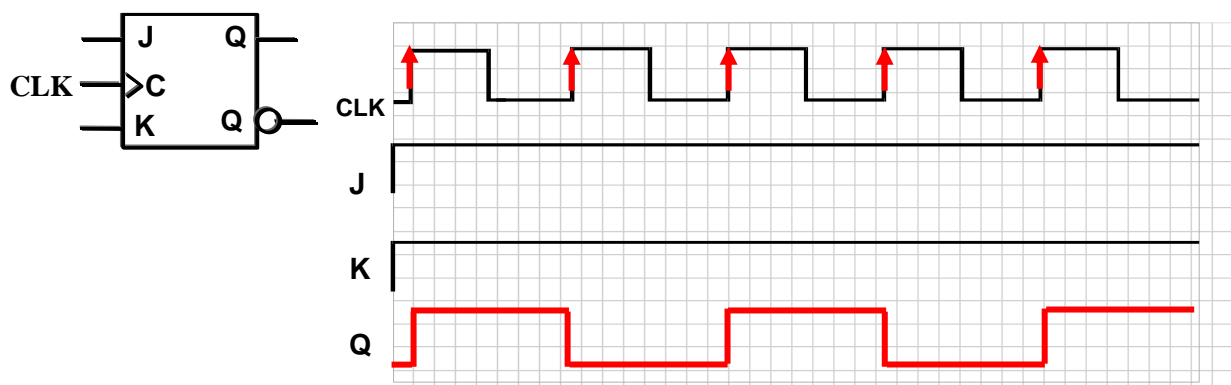
4.8.



4.9.



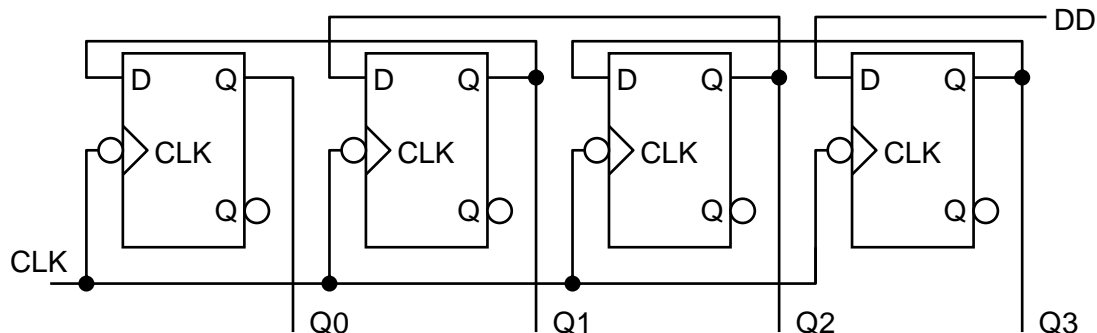
4.10.



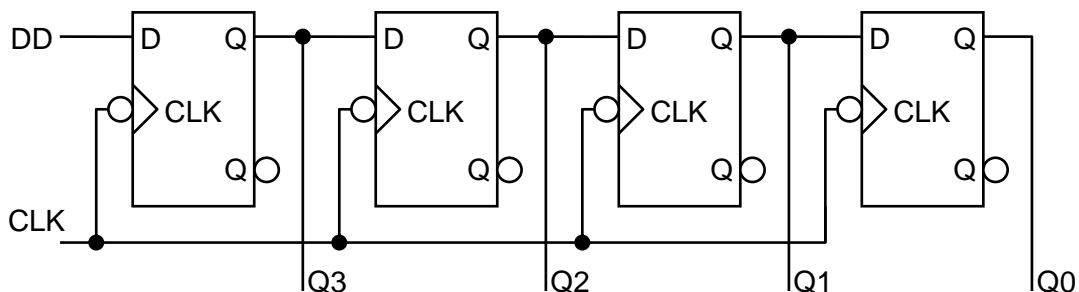
4.11.- El registro de desplazamiento con entrada serie y salida paralelo de la transparencia 42 del tema corresponde a un desplazamiento desde el LSB hasta el MSB. Utilice dicho circuito como patrón y diseñe el circuito de un registro de desplazamiento con entrada serie y salida paralelo de 4 bits con desplazamiento desde el MSB hasta el LSB. El nombre de la entrada de datos serie debe ser DD, el reloj CLK y el flanco activo debe ser el flanco de bajada.

Hay al menos dos maneras de dibujar el circuito que se pide.

La primera es poniendo los biestables del LSB al MSB ordenados de izquierda a derecha; así la entrada de datos DD entra a Q3 desde la parte derecha, y los bits se van desplazando hacia la izquierda con cada flanco de reloj, tal y como se muestra en la figura siguiente:



Una manera alternativa de realizar el diseño es cambiar el orden de los biestables, colocando el MSB a la izquierda; en este caso la entrada DD se coloca en la parte izquierda y los desplazamientos ocurren hacia la derecha, como se muestra en la figura siguiente:



Ambos circuitos son funcionalmente idénticos, pues lo importante es que el valor de la entrada DD esté conectada en ambos circuitos a la entrada del biestable denominado Q3, la salida de Q3 a la entrada de Q2 y así sucesivamente.

4.12.- Diseñe un registro de desplazamiento de 4 bits con dos entradas serie y salida paralelo; para ello debe “reunir” en un único circuito de 4 bits tanto las conexiones del registro de desplazamiento de la transparencia 42 del tema como las del ejercicio anterior. Siga las siguientes indicaciones:

- Nombre CLK a la entrada de reloj. El flanco activo debe ser el flanco de bajada.
- Nombre DI a la entrada de datos serie desde el LSB hasta el MSB.
- Nombre DD a la entrada de datos serie desde el MSB hasta el LSB.
- Nombre DIR a la entrada de control que indique el sentido del desplazamiento, con el siguiente comportamiento:

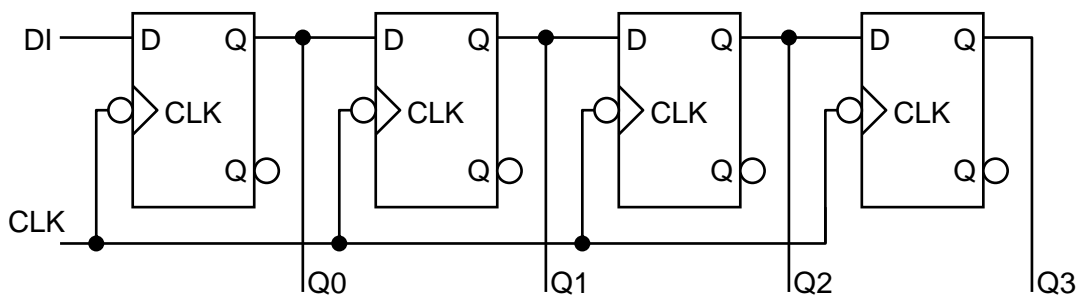
el desplazamiento debe ser $DI \rightarrow Q0 \rightarrow Q1 \rightarrow Q2 \rightarrow Q3$ cuando $DIR = 0$, y debe ser $DD \rightarrow Q3 \rightarrow Q2 \rightarrow Q1 \rightarrow Q0$ cuando $DIR = 1$.

e) Utilice un MUX 2a1 para cada uno de los biestables. La entrada de selección de todos ellos debe estar conectada a la entrada DIR , y la salida del MUX directamente conectada a la entrada D del biestable correspondiente.

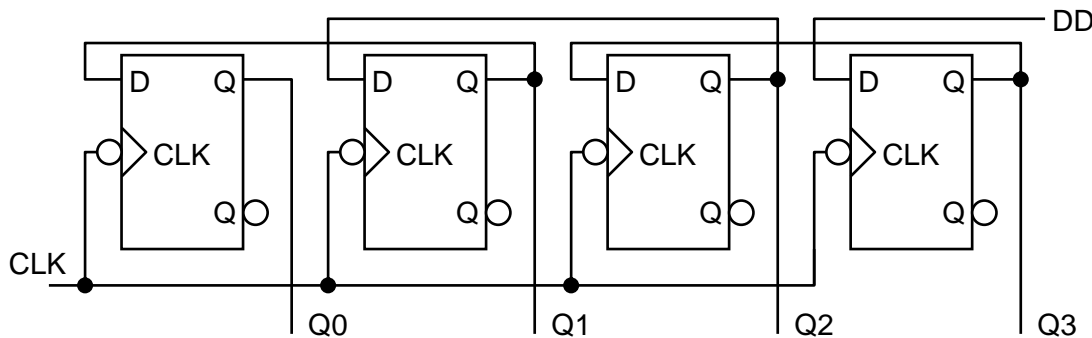
f) Utilice las entradas de datos del MUX para conseguir el comportamiento deseado.

Los dos circuitos que hay que “reunir” son los siguientes:

El primero, un registro de desplazamiento del LSB al MSB, entrada de datos DI ,

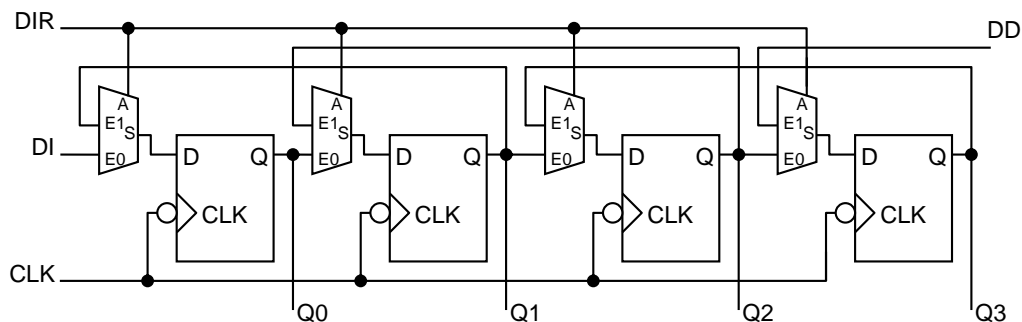


El segundo, un registro de desplazamiento del MSB al LSB, entrada de datos DD ,

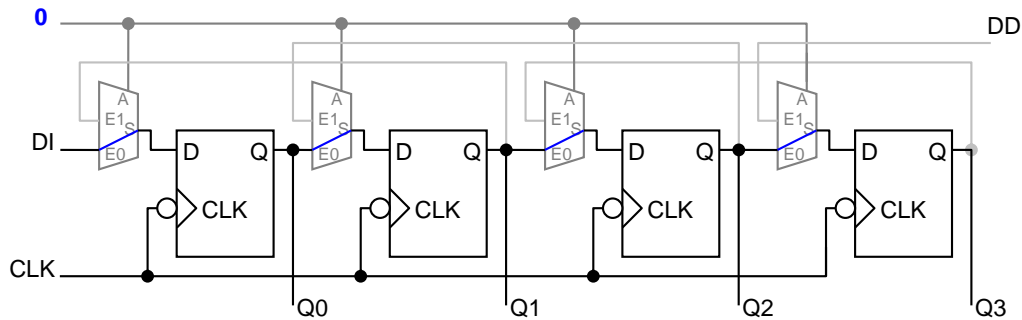


En los dos circuitos mostrados más arriba se ha mantenido el mismo orden de los biestables (colocando el LSB a la izquierda) para que la unión de ambos mediante multiplexores resulte más evidente.

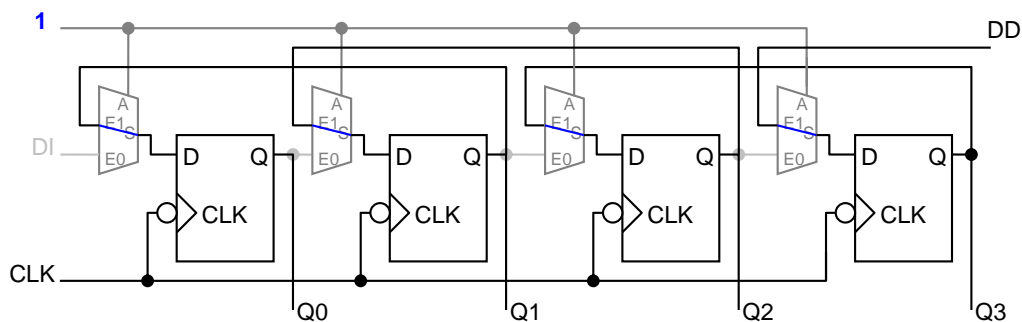
Ahora basta aplicar la indicación de utilizar un MUX 2a1 para determinar el valor de la entrada D de cada biestable con la selección gobernada por el valor de la entrada DIR , para conseguir el circuito mostrado a continuación



Se observa fácilmente que este circuito se comporta como el primero cuando $DIR = 0$ (véase la figura siguiente)



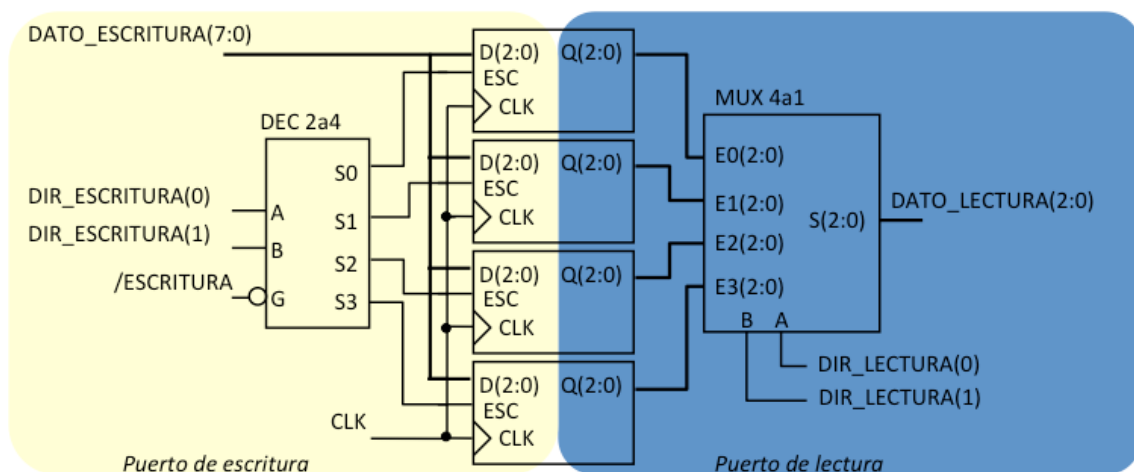
Y como el segundo cuando $DIR = 1$ (véase la figura siguiente)



4.13.- Diseñe el circuito interno de un banco de registros de 4 registros de 3 bits con un puerto de lectura y otro de escritura utilizando únicamente registros, decodificadores y multiplexores. Los registros son activos por flanco de subida y con señal de carga en paralelo activa a nivel alto, mientras que la entrada de habilitación del decodificador es activa a nivel bajo. Dibuje tanto la implementación como el símbolo lógico que representa a este sistema.

Para el diseño del Banco de Registros simplemente seguimos el patrón del circuito mostrado en las transparencias del tema.

En el desarrollo de la solución del ejercicios hemos supuesto que el nivel de activación de las salidas del decodificador es a nivel alto.



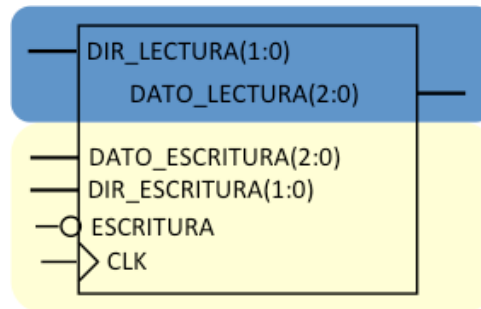
La secuencia de etapas para realizar una operación de escritura son (por orden, y asumiendo que el decodificador está deshabilitado)

1) Establecer el valor del dato de escritura con el dato que se desea escribir
2) Establecer el valor de la dirección de escritura con el número de registro sobre el que deseamos escribir

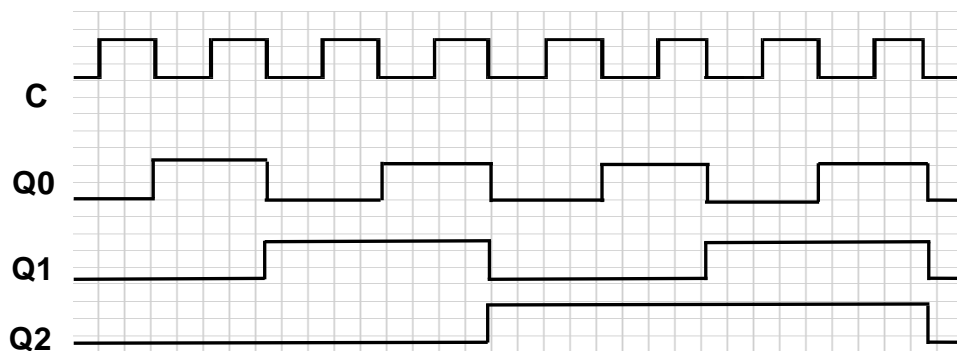
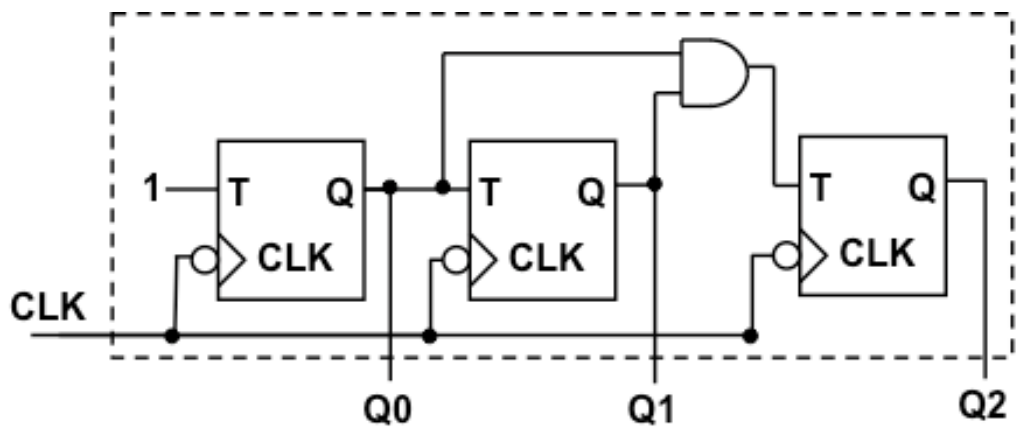
3) Habilitar el decodificador

4) Deshabilitar el decodificador

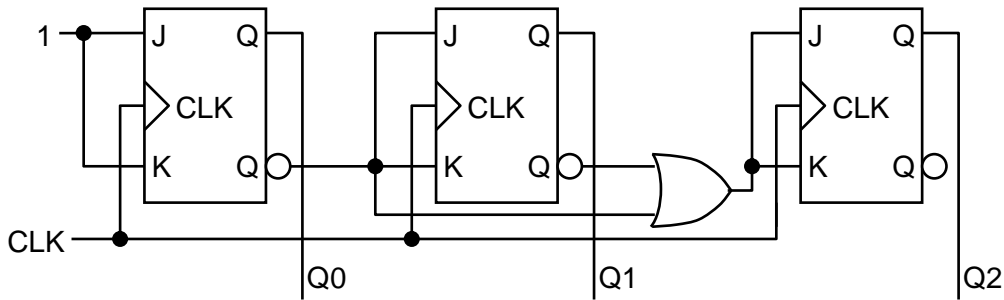
(Nota: Las etapas (1) y (2) se pueden realizar en cualquier orden, dado que estamos suponiendo que el decodificador está deshabilitado y, por tanto, hasta la etapa (3) no puede haber flancos en las líneas de reloj de los registros).



4.14.- Diseñe un circuito contador de módulo 8 usando biestables J-K activos por flanco de subida y las puertas necesarias. Represente el cronograma determinado por la secuencia de las salidas de los biestables.



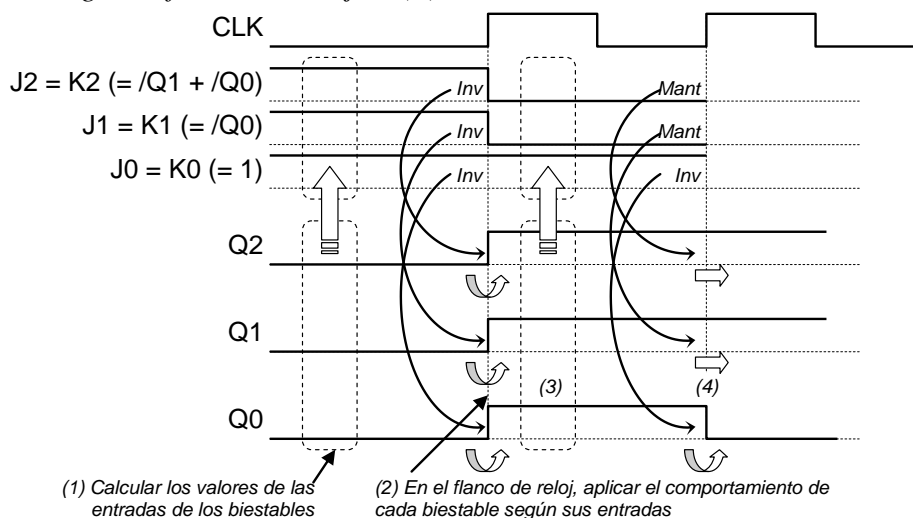
4.15.- Analice mediante un cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



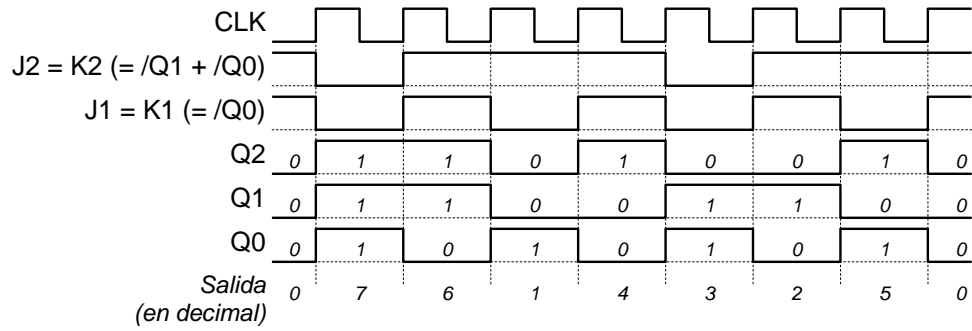
Para hacer más sencillo el análisis incluimos en el cronograma los valores de las entradas J y K de los biestables Q1 y Q2: $J1 = K1 = /Q0$ y $J2 = K2 = /Q1 + /Q2$

En cada paso de cálculo, en primer lugar y antes del flanco activo del reloj hay que calcular los valores de las entradas de los biestables (J_0 y K_0 son siempre 1, por lo que no es necesario llevar estas entradas al cronograma) para determinar cuál será el comportamiento de cada biestable cuando llegue el flanco activo del reloj. Y en segundo lugar se aplica el flanco activo del reloj a todos los biestables al mismo tiempo, puesto que se trata de un sistema síncrono.

Un ejemplo detallado de este proceso se muestra a continuación (véase figura siguiente). Al comenzar, $Q2Q1Q0 = 000$ (según indicación del enunciado del problema). Con estos valores en (1) se obtiene que $J1 = K1 = /Q0 = 1$ y que $J2 = K2 = /Q1 + /Q0 = 1$. Como $J0 = K0 = 1$ permanentemente, al aplicar en (2) el primer flanco activo del reloj los tres biestables invierten su estado, pasando la cuenta al valor 111. Con este nuevo valor de $Q2Q1Q0$ se recalculan en (3) los valores de $J1$ y $K1$ (ahora 0) y $J2$ y $K2$ (ahora 0), por lo que $Q0$ invertirá el estado y tanto $Q1$ como $Q2$ mantendrán el estado al aplicar el segundo flanco de reloj en (4).

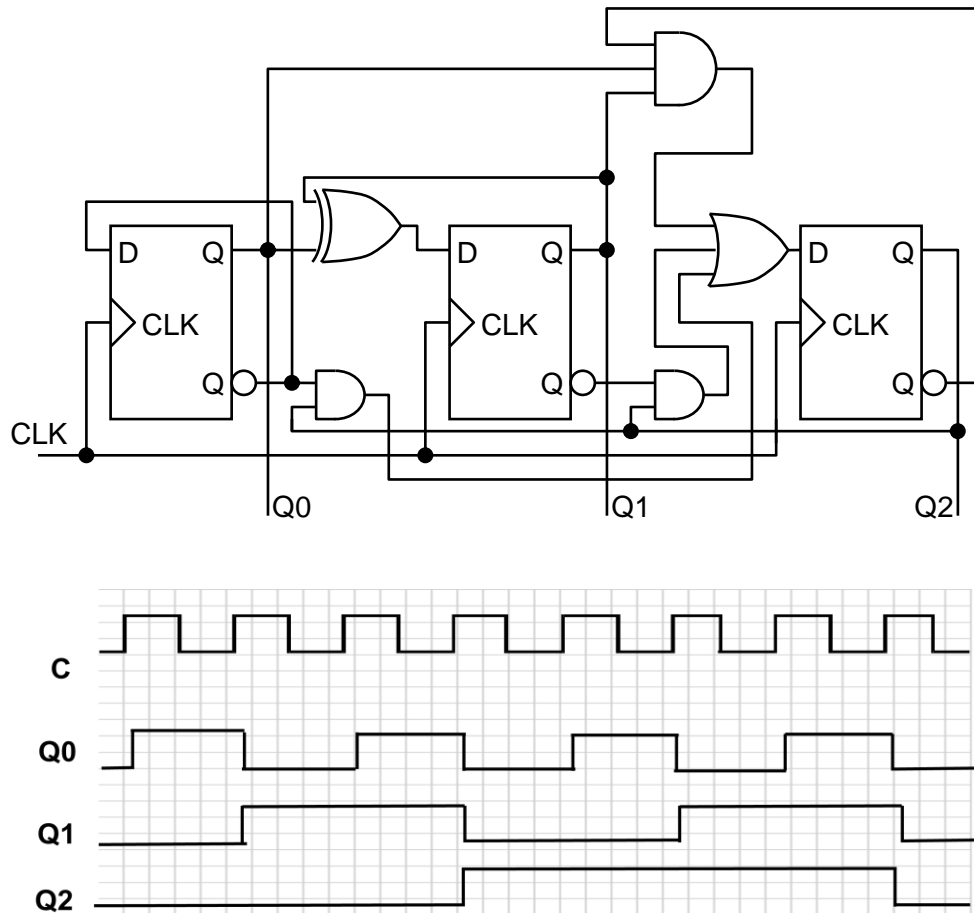


El proceso de análisis termina cuando se repite la combinación de valores almacenados en Q2Q1Q0, dado que el sistema no tiene entradas externas (aparte del reloj). El cronograma completo (en el que se han omitido los valores de J1 y K1) se muestra en la figura siguiente

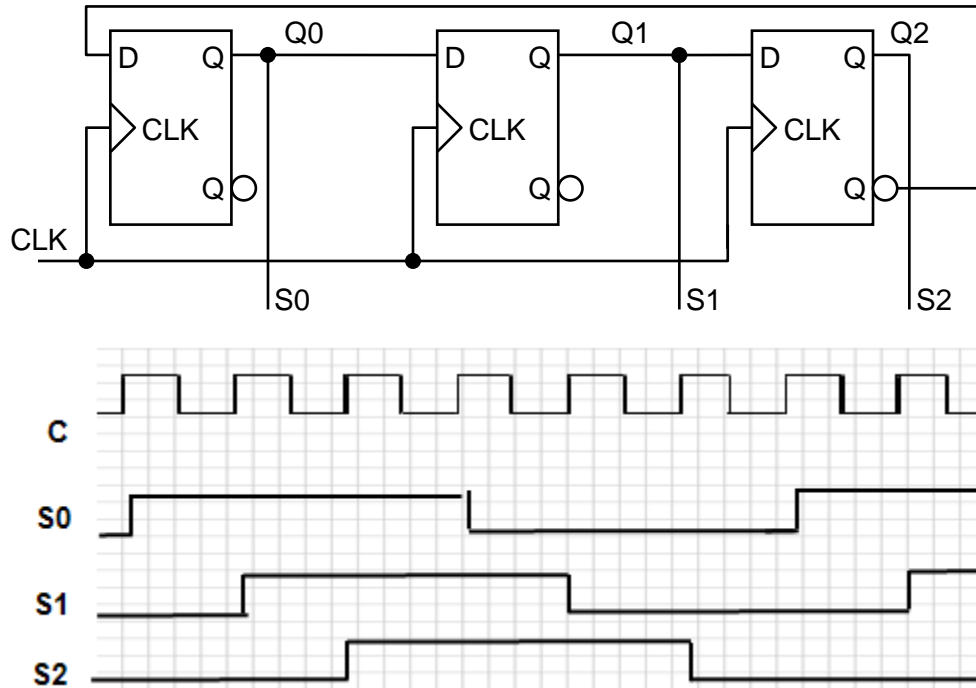


En el cronograma se observa que la salida del sistema (en decimal) es la secuencia 0, 1, 2, 3, 4, 5, 6, 7, 0, ...

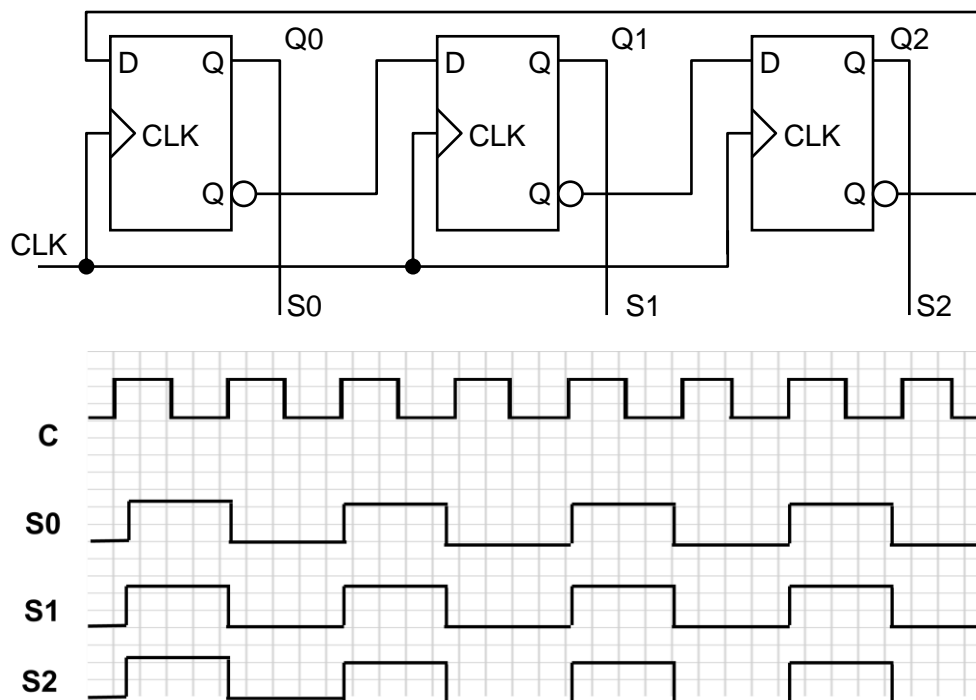
4.16.- Analice mediante cronograma el circuito siguiente. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



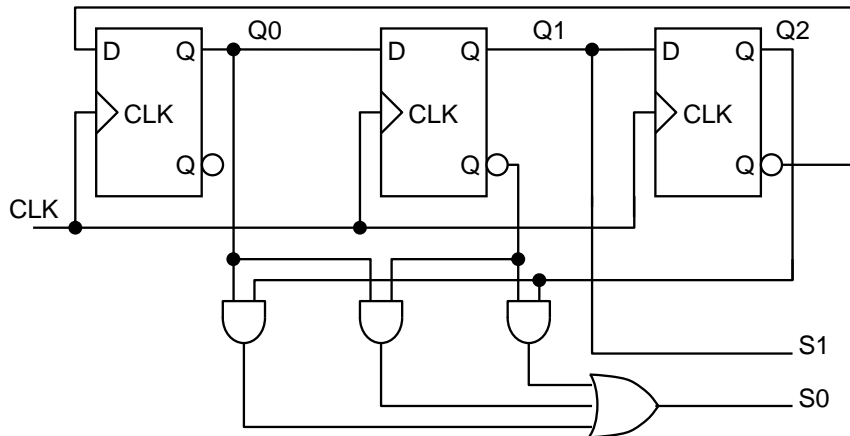
4.17.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



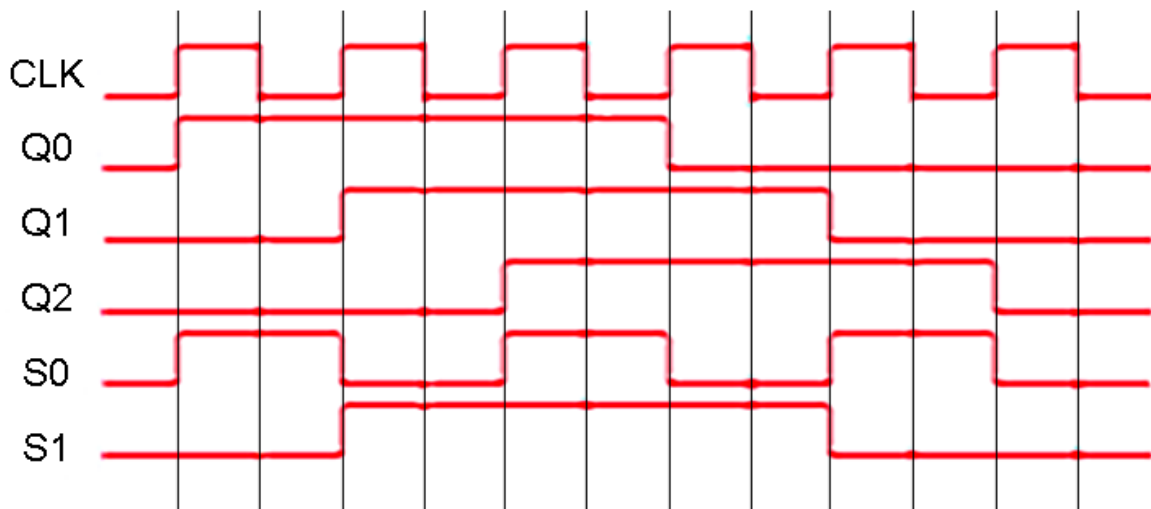
4.18.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



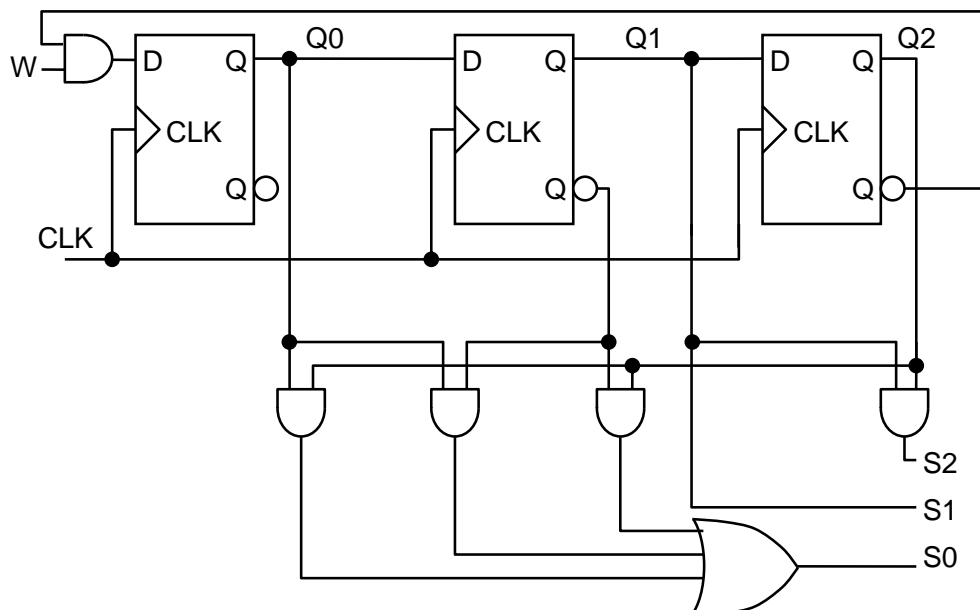
4.19.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



Cronograma:



4.20.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$ y la secuencia de valores en la entrada W antes de cada flanco activo de reloj es 0 - 0 - 1 - 1 - 0 - 0 - 0 - 0 - 1 - 1.



Cronograma: