

# ESTRUCTURA DE COMPUTADORES

## Ejercicios Tema 6

- 1.- Se dispone de un procesador de ancho de palabra de 32 bits con capacidad para direccionar 256MB de memoria. Dicho procesador posee una memoria cache de 512 bytes con una correspondencia asociativa de 2 vías, tamaño de bloque de 32 bytes y política de escritura write-back y algoritmo de reemplazo LRU. Se asume la lectura de la siguiente secuencia de direcciones decimales de palabra (32 bits): {2080 → 2140, 4128 → 4188, 8256 → 8348}. Dicha secuencia se repite N veces. Se pide:

$$\begin{aligned} 256 \text{ MB} &= 2^{28} \text{ B} \\ 512 \text{ B} &= 2^9 \text{ B} = 2^{9-5} \text{ líneas} = 2^{4-1} \text{ conjunto} \\ 32 \text{ B} &= 2^5 \text{ B/Bloque} \quad 2^1 \text{ vías/conjunto} \end{aligned}$$

- a) Identifíquense los campos en que se descompone la dirección de memoria y el tamaño en bits de cada uno de ellos.

Etiqueta	Conjunto	Desplazamiento
30 - 3 - 5 = 20 bits	3 bits	5 bits
8=2 <sup>3</sup> conjuntos		32=2 <sup>5</sup> B/bloque

- b) Calcúlese el tamaño de la memoria de control, indicando con claridad el tamaño en bits de cada uno de los campos.

$$2^4 \text{ líneas en MC} * [20 \text{ bits} + 1 \text{ bit válido} + 1 \text{ bit back} + 1 \text{ bit LRU}] = 368 \text{ bits} = 46 \text{ B}$$

¿Cuál sería el tamaño de la memoria de control si el esquema de correspondencia en la cache fuese completamente asociativo?

$$2^4 \text{ líneas en MC} * [23 \text{ bits} + 1 \text{ bit válido} + 1 \text{ bit back} + 4 \text{ bit LRU}] = 464 \text{ bits} = 58 \text{ B}$$

- c) Si asumimos que los tres primeros conjuntos de la memoria cache están inicializados con los bloques X, Y y Z, cuyas etiquetas se muestran en el esquema ¿cuáles serán los bloques, y sus correspondientes etiquetas, que quedarán almacenados en los tres primeros conjuntos al término de la segunda secuencia de accesos indicada en el enunciado? ¿A qué números de bloque corresponden los bloques X, Y y Z?

X= 40 = (5*8)+0	Y=129 = (16*8) +1	Z=162= 20*8 + 2
-----------------	-------------------	-----------------

etiqueta = bloque DIV 8 (hay 8 líneas en MC) y Conjunto = bloque MOD 8

luego bloque = (etiqueta \* 8) + conjunto

Esquema de correspondencia de bloques de memoria y cache:

2080 → 2140, son direcciones de palabra luego en bytes serían desde 2080 a 2143 en total (2143-2080+1) B = 64 B a 32B/bloque son 2 bloques. B<sub>a</sub> y B<sub>a+1</sub>

B<sub>a</sub> = 2080/32 = 65 (Como es un valor entero, significa que la dirección 2080 ocupa el primer lugar del bloque)

etiqueta = 65 DIV 8 = 8 y conjunto = 65 MOD 8 = 1

4128 → 4188, también son direcciones de palabra luego en bytes serían desde 4128 a 4188 en total 64 B a 32B/bloque son 2 bloques.  $B_b$  y  $B_{b+1}$

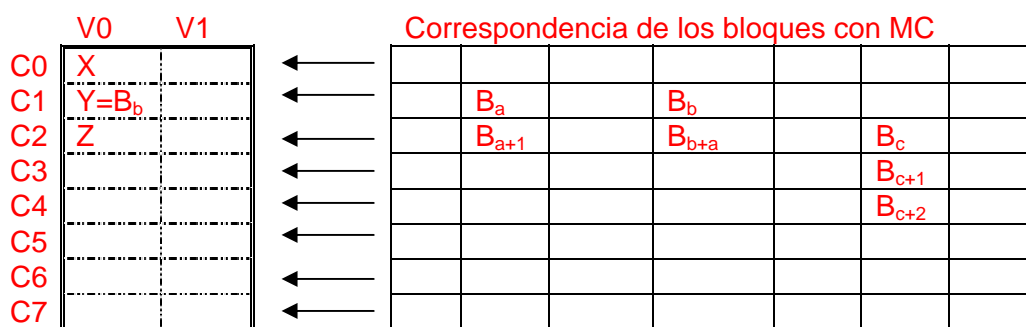
$B_b = 4128/32 = 129$  (Como es un valor entero, significa que la dirección 4128 ocupa el primer lugar del bloque). Por lo que  $Y = B_b$

etiqueta =  $129 \text{ DIV } 8 = 16$  y conjunto =  $129 \text{ MOD } 8 = 1$

8256 → 8348 en bytes serían desde 8256 a 8351 en total 96 B a 32B/bloque son 3 bloques.  $B_c$ ,  $B_{c+1}$  y  $B_{c+2}$

$B_c = 8256/32 = 258$  (Como es un valor entero, significa que la dirección 8256 ocupa el primer lugar del bloque)

etiqueta =  $258 \text{ DIV } 8 = 32$  y conjunto =  $258 \text{ MOD } 8 = 2$



Estado Inicial M.Cache			Estado M.Cache al término 2ª iteración				
Conjunto	Bloque	Etiqueta	Conjunto	Bloque	Etq.	Bloque	Etq.
0	X	5	0	X	5		
1	Y	16	1	Y	16	B <sub>a</sub> =65	8
2	Z	20	2	B <sub>b+1</sub> =130	16	B <sub>b</sub> =258	32

d) Indíquese el número de fallos y aciertos en las dos primeras iteraciones:

4128 → 4188 son 64B luego 16 palabras.

2080 → 2140 son 64B luego 16 palabras y

8256 → 8348 son 96 B luego 24 palabras

Total de accesos en una iteración:  $16 + 16 + 24 = 56$

Iteración	Nº de Fallos	Nº de Aciertos
1ª	6	$56-6=50$

2 <sup>a</sup>	3	56-3 = 53
----------------	---	-----------

En la primera iteración se producen 6 fallos, porque el bloque B<sub>6</sub> se acierta, los demás se fallan todos.

En la segunda iteración solo se fallan los tres bloques que van al conjunto 2, luego solo habrá tres fallos.

- e) ¿Se puede llegar a obtener con esta configuración una tasa de aciertos del 98%?  
¿Qué número N de iteraciones haría falta? Razona la respuesta.

$$H = \text{Aciertos/Total} = [50 + (53 * (N-1))] / [56 * N] = 0.98$$

Despejando el valor de N en la ecuación anterior  $N = -1.59$ , por tanto como es imposible iterar un valor negativo de veces la respuesta es que no se puede alcanzar ese porcentaje de aciertos.

Si se calcula H e función de N, la cota superior es 0.94, no se puede superar esa tasa de aciertos.

- f) Para este patrón de accesos concreto ¿qué beneficiaría más a la tasa de aciertos?

Beneficiaría eliminar el conflicto del conjunto 2, por tanto aumentando la asociatividad a 4 vías, o mediante correspondencia completamente asociativa.

¿el aumento o la disminución del grado de asociatividad? Razona la respuesta.  
el aumento, por las razones expuestas.

- 2.- Se dispone de un microcontrolador con ancho de palabra de 32 bits y con capacidad para direccionar 1MB =  $2^{20}$  de memoria. Este procesador tiene una cache de 128 =  $2^7$  bytes y un tamaño de bloque de 16 =  $2^4$  bytes.

$$2^7 \text{ B} / 2^4 \text{ B/bloque} = 2^{7-4} = 2^3 \text{ líneas}$$

- a) Considerando una correspondencia totalmente asociativa, la utilización del algoritmo de reemplazo LRU y una política de escritura simultánea (write-through). Indíquese el tamaño en bits de la memoria de control necesaria, especificando el significado de cada caso.

Etiqueta	desplazamiento
20 - 4 = 16 bits	4 bits

$$V = 8 \text{ líneas} * \{16 + 1 \text{ bit válido} + 3 \text{ bits LRU}\} = 8 * 20 = 160 \text{ bits} = 20 \text{ B}$$

- b) En el mismo supuesto anterior indíquese la descomposición en campos de la dirección de memoria tal y como la interpreta el control de la cache así como el número de bits de cada campo. En el apartado anterior.
- c) En este microcontrolador se va a ejecutar un programa que accede a un vector de 40 elementos ( **vec[0]** .. **vec[39]** ), colocados a partir de la posición 0x00020 y donde cada elemento es de tipo entero (32 bits). Con el fin de evaluar cual es la mejor configuración de cache se pretende ejecutar el siguiente bucle :

```
for (i=0;i<2;i++)
  for (j=0;j<40;j++)
    vec[j]++;
```

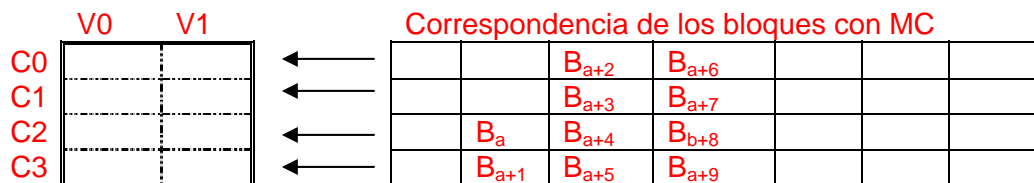
Calcule cual será la tasa de fallos cuando se opta por una **correspondencia asociativa de 2 vías**. Incluya los cálculos y dibujos que crea oportunos para justificar la respuesta.

Etiqueta	Conjunto	desplazamiento
$20 - 4 - 2 = 14$ bits	2 bits	4 bits

$$2^3 \text{ líneas} / 2 \text{ vías} = 2^{3-1} \text{ conjuntos} = 4 \text{ conjuntos}$$

$$40 \text{ elementos} / 4 \text{ elementos/bloque} = 10 \text{ bloques} \quad (16B / 4B/\text{elemento} = 4 \text{ elem/bloque})$$

$B_a, B_{a+1}, \dots, B_{a+9}$  el primer elemento del bloque  $B_a$  en dirección 0x00020. El desplazamiento es 0, luego ocupa la primera posición del mismo, en este caso confirmo que son 10 bloques, y no 11. Además el conjunto al que corresponde es el 2. El esquema de correspondencia de bloques del vector y la cache es el siguiente:



Iteración	Nº de Fallos	Nº de Aciertos	Nº de Accesos
1ª	10	70	$40 \times 2 = 80$
2ª	6	74	80
Tasa de Aciertos	$1 - 16/160 = 0.9$		

- 3.- Un cierto sistema computador dispone de una memoria principal (espacio direccionable) de  $64 \text{ K} = 2^{16}$  Bytes junto a una memoria cache L1 de  $512 = 2^9$  Bytes con tamaño de bloque  $32 = 2^5$  Bytes y política de escritura Write-Back. Se pide:

- a) Calcúlese el tamaño de la memoria de control cuando se emplea un esquema de correspondencia con número de vías igual 4 y algoritmo de reemplazo LRU.

Etiqueta	Conjunto	desplazamiento
$16 - 5 - 2 = 9$ bits	2 bits	5 bits

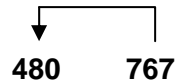
$$2^{9-5} \text{ líneas} = 2^4 / 2^2 \text{ vías} = 2^2 \text{ conjuntos} = 4 \text{ conjuntos}$$

Nombre del	Tamaño en
------------	-----------

campo	bits
Etiqueta	9
Bit válido	1
Bit modificado	1
Bits LRU	2

Tamaño total Memoria Control (justificar la respuesta)
<p>Volumen = <math>2^4</math> líneas * {9 bits etiqueta + 1 bit válido + 1 bit modificado + 2 bits LRU} = <math>16 * 13 = 208</math> bits = 26 Bytes</p>

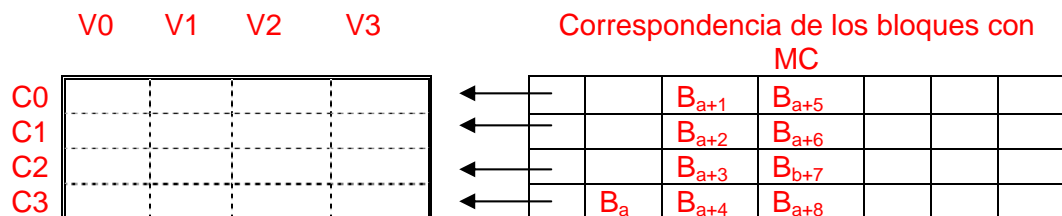
- b) En los mismos supuestos del apartado anterior se accede a un conjunto de caracteres (tamaño byte) consecutivamente desde la dirección 480 a la 767 cuatro veces, se pide:



$767 - 480 + 1 = 288$  B.,  $288B / 32B/\text{bloque} = 9$  luego  $B_a, B_{a+1}, \dots B_{a+8}$

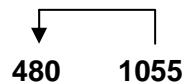
El primer byte del bloque  $B_a$  es 480, y  $480/32 = 15$  (resto es cero, luego desplazamiento es cero, por tanto es el primer byte de dicho bloque). El bloque  $B_a = 15$ , ahora calculamos a qué conjunto irá,  $15 \text{ MOD } 4 = 3$ , luego al conjunto 3.

El esquema de correspondencia de los bloques de este acceso y la memoria cache es el que se muestra a continuación:



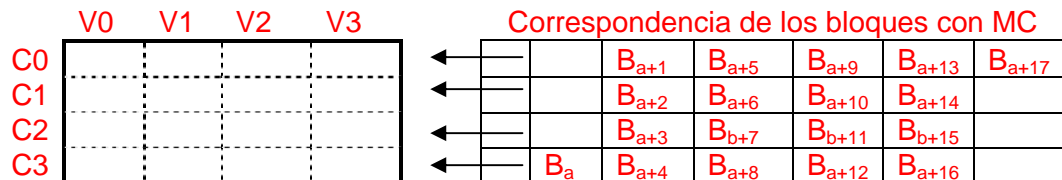
Iteración	Nº Fallos	Nº Aciertos
1ª	9	288
2ª	0	288
3ª	0	288
4ª	0	288
Tasa de aciertos	$1 - 9/(288 * 4) = 0.99$	

- c) Idem que en el apartado anterior, pero accediendo ahora consecutivamente desde la dirección 480 a la 1055 cuatro veces:



$$1055 - 480 + 1 = 576 \text{ B, } 576 \text{ B} / 32 \text{ B/bloque} = 18 \text{ luego } B_a, B_{a+1}, \dots B_{a+17}$$

El esquema de correspondencia de los bloques de este acceso y la memoria cache es el que se muestra a continuación:



Se observa en el dibujo que los conjuntos C0 y C3 entran en conflicto ya que hay cinco bloques a almacenar y solo cuatro vías. En los conjuntos C1 y C2 no habrá problemas de conflicto, solo tendremos los fallos de inicio.

Iteración	Nº Fallos	Nº Aciertos
1ª	18	$576 - 18 = 558$
2ª	10	566
3ª	10	566
4ª	10	566
Tasa de aciertos	$(558 + 566 \cdot 4) / 576 \cdot 4 = 97.9\%$	

- 4.- En un sistema con un ancho de palabra de 8 bits y cuyo espacio de direccionamiento es de  $1 \text{ K} = 2^{10} \text{ B}$  se dispone de una cache de  $128 = 2^7$  bytes y con tamaño de bloque de  $4 = 2^2$  bytes. Dicha cache es asociativa por conjuntos de 2 vías, con algoritmo de reemplazo LRU y método de escritura "write-back" (actualización posterior)

Etiqueta	Conjunto	desplazamiento
$10 - 4 - 2 = 4 \text{ bits}$	4 bits	2 bits

$$32 = 2^{7-2} \text{ líneas} = 2^5 / 2^1 \text{ vías} = 2^4 \text{ conjuntos} = 16 \text{ conjuntos}$$

- a) ¿Cuáles son los campos que forman la información de control necesaria para controlar esta cache? Indique claramente cuantos bits se necesitan para cada campo y el tamaño de la memoria de control.

$$\text{Etiqueta} = 4 \text{ bits, bit válido, bit modificado y bit para LRU} = 4 + 1 + 1 + 1 = 7 \text{ bits/línea}$$

$$\text{Volumen control} = 32 \text{ líneas} \cdot 7 \text{ bits/linea} = 224 \text{ bits} = 28 \text{ Bytes}$$

b) Rellene la siguiente tabla (con valores decimales): 4 B/Bloque y 16 conjuntos

Bloque de MP = dirección DIV 4 y Desplazamiento = dirección MOD 4

Etiqueta = Bloque de MP DIV 16 y Conjunto = Bloque de MP MOD 16

Dirección

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
32	8	0	8	0
431	107	6	11	3
1010	252	15	12	2

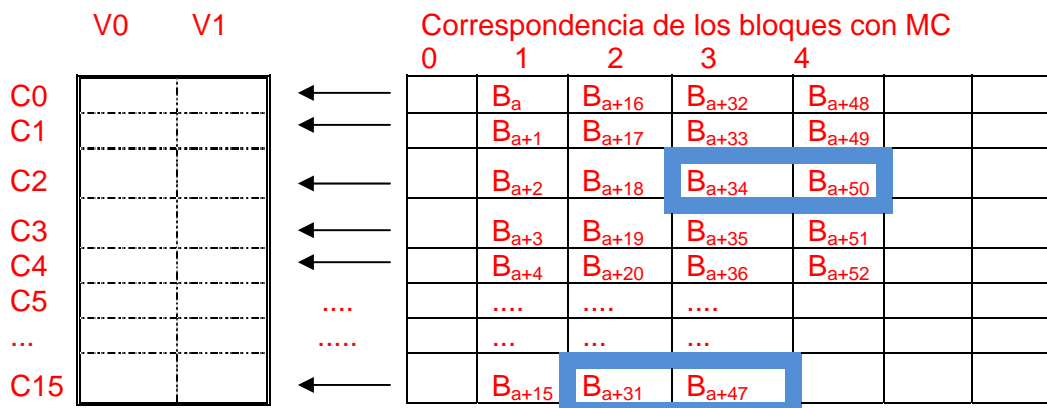
c) Suponiendo que se ejecuta un bucle con 5 iteraciones y que en cada iteración se accede a las posiciones de memoria 64 .. 274, calcule la tasa de aciertos justificando la respuesta.

$274 - 64 + 1 = 211$  accesos,  $211 \text{ B} / 4 \text{ B/bloque} = 52.7$  luego 53 bloques  $B_a, \dots, B_{a+52}$

$64/4 = 16$  exacto, desplazamiento cero luego es el primer byte del bloque  $16 = B_a$

Bloque 16 pertenece al conjunto:  $16 \text{ MOD } 16 = 0$  y etiqueta =  $16 \text{ DIV } 16 = 1$

(Observe como se distribuyen las etiquetas del resto de bloques en el dibujo, están colocadas al inicio de la columna, todos los bloques en la misma columna tendrán la misma etiqueta)



$53 \text{ bloques DIV } 16 \text{ bloques} = 3 \text{ y } 53 \text{ MOD } 16 = 5$

Como vemos en el dibujo, se debordan todos los conjuntos, de modo que habrá los mismos fallos en todas las iteraciones.

$H = (\text{Total} - \text{Fallos}) / \text{Total} = 1 - \text{Fallos}/\text{Total} = 1 - (53 * 5) / (211 * 5) = 74.8\%$

d) Indique cuál será el contenido de los siguientes conjuntos al finalizar la primera pasada del bucle. Nos fijamos en los dos últimos bloques referenciados para la fila indicada (marcados arriba en azul). Como  $B_a = 16$

Conjunto	Bloque de Cache	Bloque de MP	Etiqueta	Contador
2	Vía 0	$B_{a+34} = 50$	3	1
	Vía 1	$B_{a+50} = 66$	4	0
15	Vía 0	$B_{a+31} = 47$	2	1
	Vía 1	$B_{a+47} = 63$	3	0

El contador más reciente será el último bloque de la fila.

- 5.- Un procesador de 32 bits y capacidad de direccionamiento de  $1\text{G} = 2^{30}$  Bytes dispone de una memoria central de  $64\text{M} = 2^{26}$  Bytes y de una cache de  $8\text{K} = 2^{13}$  Bytes con un tamaño de bloque de  $16 = 2^4$  bytes que utiliza actualización posterior o copy-back en su política de escritura.

- a) Si se opta por establecer una correspondencia directa entre la memoria principal y la cache, especifica cuál es la interpretación en campos de la dirección de memoria por parte de la circuitería de control de la cache así como el número de bits de cada campo.

Etiqueta	Línea	desplazamiento
$30 - 9 - 4 = 17$ bits	9 bits	4 bits

$$512 = 2^{13-4} \text{ líneas} = 2^9$$

- b) En el caso de que se opte por una correspondencia asociativa por conjuntos con grado de asociatividad 4 y algoritmo de reemplazo LRU, especifica que información deberá almacenar la parte de control de la memoria y cuál será su tamaño en bits.

Etiqueta	Conjunto	desplazamiento
$30 - 7 - 4 = 19$ bits	7 bits	4 bits

$$512 = 2^{13-4} \text{ líneas} = 2^{9-2} \text{ conjuntos} = 128$$

$$19 \text{ bits etiqueta} + 1 \text{ bit válido} + 1 \text{ bit modificado} + 2 \text{ bits LRU} = 23 \text{ bits/línea}$$

$$\text{Volúmen} = 512 \text{ líneas} * 23 \text{ b/línea} = 11776 \text{ b} = 1472 \text{ B}$$

- c) Si se optase por una correspondencia totalmente asociativa ¿Sería posible implementar el algoritmo de reemplazo LRU? En caso afirmativo ¿cuántos contadores y de cuántos bits cada uno harían falta?

Etiqueta	desplazamiento
$30 - 4 = 26$ bits	4 bits

Sí sería posible. En la memoria cache habría  $512 = 2^9$  por tanto harían falta 9 bits solo para el LRU por línea. Total de contadores 512 y cada uno de 9 bits.

- d) En el mismo supuesto de correspondencia asociativa por conjuntos con grado 4 del apartado b, si se opta por definir un tamaño de bloque de 64 bits **ERROR será BYTES**  $= 2^6$  ¿Aumentará o disminuirá la necesidad de información de control a almacenar? Razona la respuesta.

Etiqueta	Conjunto	desplazamiento
$30 - 5 - 6 = 19$ bits	5 bits	6 bits

$$128 = 2^{13-6} \text{ líneas} = 2^{7-2} \text{ conjuntos} = 32$$

$$19 \text{ bits etiqueta} + 1 \text{ bit válido} + 1 \text{ bit modificado} + 2 \text{ bits LRU} = 23 \text{ bits/línea}$$

$$\text{Volúmen} = 512 \text{ líneas} * 23 \text{ b/línea} = 11776 \text{ b} = 1472 \text{ B}$$

Queda del mismo tamaño porque el tamaño final de la etiqueta es de 19 bits.

- 6.- Un computador dispone de un espacio de direccionamiento de 32 bits y una memoria cache de  $32\text{K} = 2^{15}$  bytes completamente asociativa, si se ha definido el tamaño de bloque en  $32 = 2^5$  bytes y el algoritmo de reemplazo utilizado es el LRU. Especifica:



- a) Interpretación en campos de la dirección de memoria por parte del control de cache (identifica el significado de los campos y el número de bits de cada uno de ellos)

Etiqueta	desplazamiento
32 - 5 = 27 bits	5 bits

- b) Tamaño necesario de memoria de control para esta organización (FALTA AÑADIR LA POLÍTICA DE ESCRITURA, que digamos que sea DIRECTA)

$$2^{15-5} \text{ líneas} = 1024 \text{ líneas}$$

$$\text{por cada línea} = 27 \text{ bits etiqueta} + \text{bit válido} + 10 \text{ bits LRU} = 38 \text{ bits/línea}$$

$$\text{Volumen} = 1024 * 38 = 38 \text{ Kbits}$$

- c) En qué bloque/s de memoria cache se puede ubicar el bloque 544 de memoria principal, si se considera la cache inicialmente “vacía”.

En cualquier bloque de la memoria cache.

Repita el ejercicio para el caso en que se adopte una **cache de 4 vías =  $2^2$**

- d) Interpretación en campos de la dirección de memoria por parte del control de cache (identifica el significado de los campos y el número de bits de cada uno de ellos)

Etiqueta	Conjunto	desplazamiento
32 - 5 - 8 = 19 bits	8 bits	5 bits

$$1024 = 2^{15-5} \text{ líneas} = 2^{10-2} \text{ conjuntos} = 256$$

- e) Tamaño necesario de memoria de control para esta organización

$$19 \text{ bits etiqueta} + 1 \text{ bit válido} + 2 \text{ bits LRU} = 22 \text{ bits/línea}$$

$$\text{Volumen} = 1024 \text{ líneas} * 22 \text{ b/línea} = 22 \text{ Kb}$$

- f) En qué bloque/s de memoria cache se puede ubicar el bloque 544 de memoria principal, si se considera la cache inicialmente “vacía”

$$\text{En cualquier vía del conjunto } 544 \text{ MOD } 256 = 32$$

- 7.- En un sistema con un espacio de direccionamiento de  $1 \text{ K} = 2^{10} \text{ B}$  se dispone de una cache de  $128 = 2^7 \text{ bytes}$  y con tamaño de bloque de  $4 = 2^2 \text{ bytes}$ . Dicha cache es asociativa por conjuntos de 2 vías.

- a) Indíquese el tamaño (en bits) de cada uno de los campos en que se subdivide la dirección de memoria.

$$32 = 2^{7-2} \text{ líneas} = 2^{5-1} \text{ conjuntos} = 16$$

Etiqueta	Conjunto	Desplazamiento	
10-4-2=4	4	2	Dirección MP

### Bloque MP

b) Rellene la siguiente tabla (con valores decimales):

Bloque de MP = dirección DIV 4 y Desplazamiento = dirección MOD 4  
Etiqueta = Bloque de MP DIV 16 y Conjunto = Bloque de MP MOD 16

#### Dirección MP

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
32	8	0	8	0
431	107	6	11	3
1010	252	15	12	2

c) Rellene la siguiente tabla (con valores hexadecimales):

Etiqueta	Conjunto	desplazamiento
4 bits	4bits	2 bits

#### Dirección MP

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
0x385	E1	E	1	1
0x00F	03	0	3	3
0x1F2	7E	7	C	2

8.- Se está diseñando un procesador de 32 bits que dispondrá de una cache L1 de instrucciones de  $4K=2^{12}$  B y correspondencia completamente asociativa. Para el tamaño de bloque se barajan 3 opciones:  $8=2^3$ ,  $16=2^4$  o  $32=2^5$  bytes. Este procesador se va a utilizar en entornos de control industrial en el que mayoritariamente se van a ejecutar pequeños programas que caben en esta cache (o que acceden desde la posición de memoria 0 a la 4092 consecutivamente).

a) Justificar la elección del tamaño de bloque en función de la tasa de aciertos para este entorno de trabajo.

Mayor tamaño de bloque menor tasa de fallos, porque habrá menos bloques referenciados y el acceso es siempre el mismo.

b) ¿Qué relación existe entre la localidad temporal y el tamaño de bloque? La localidad temporal hace referencia a las veces que se referencia el mismo bloque en un corto espacio de tiempo, por tanto su tamaño no tiene importancia, sino el número de veces que se referencia en poco tiempo. ¿Y entre la localidad espacial y el tamaño de bloque? La localidad espacial si tiene relación con el tamaño del bloque, cuanto mayor sea el bloque mayor número de aciertos habrá.

9.- En un sistema con un ancho de palabra de 16 bits y cuyo espacio de direccionamiento es de  $64 K = 2^{16}$  B se dispone de una cache de  $1 K=2^{10}$  Bytes y con tamaño de bloque de  $32 = 2^5$  bytes. Dicha cache es asociativa por conjuntos de 2 vías, con algoritmo de reemplazo LRU y método de escritura "write-back" (actualización posterior)

- a) ¿Cuáles son los campos que forman la información de control necesaria para controlar esta cache? Indique claramente cuántos bits se necesitan para cada campo.

Etiqueta	Conjunto	desplazamiento
$16 - 5 - 4 = 7$ bits	4 bits	5 bits

$$32 = 2^{10-5} \text{ líneas} = 2^{5-1} \text{ conjuntos} = 16$$

$$7 \text{ bits etiqueta} + \text{bit válido} + \text{bit modificado} + 2 \text{ bits LRU} = 11 \text{ bits/línea}$$

- b) Rellene la siguiente tabla (con valores decimales):

Bloque de MP = dirección DIV 4 y Desplazamiento = dirección MOD 4

Etiqueta = Bloque de MP DIV 16 y Conjunto = Bloque de MP MOD 16

Dirección

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
32	1	2	0	0
431	13	26	15	15
1010	31	63	2	18

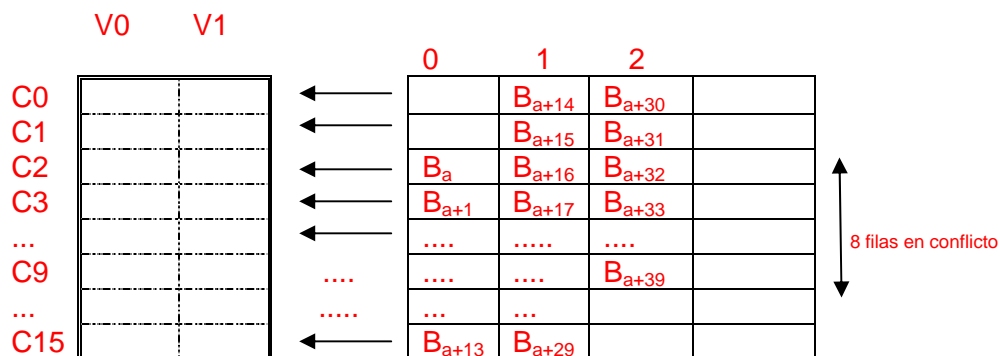
- c) Suponiendo que se ejecuta un bucle con 5 iteraciones y que en cada iteración se accede BYTES en las posiciones de memoria 64 .. 1343, calcule la tasa de aciertos justificando la respuesta

$$1343 - 64 + 1 = 1280 \text{ accesos, } 1280 \text{ B} / 32 \text{ B/bloque} = 40 \text{ luego } B_a, \dots, B_{a+39}$$

$$64/32 = 2 \text{ exacto, desplazamiento cero luego es el primer byte del bloque } 2=B_a$$

$$\text{Bloque 2 pertenece al conjunto: } 2 \text{ MOD } 16 = 2 \text{ y etiqueta} = 2 \text{ DIV } 16 = 0$$

(Observe como se distribuyen las etiquetas del resto de bloques en el dibujo, están colocadas al inicio de la columna, todos los bloques en la misma columna tendrán la misma etiqueta)



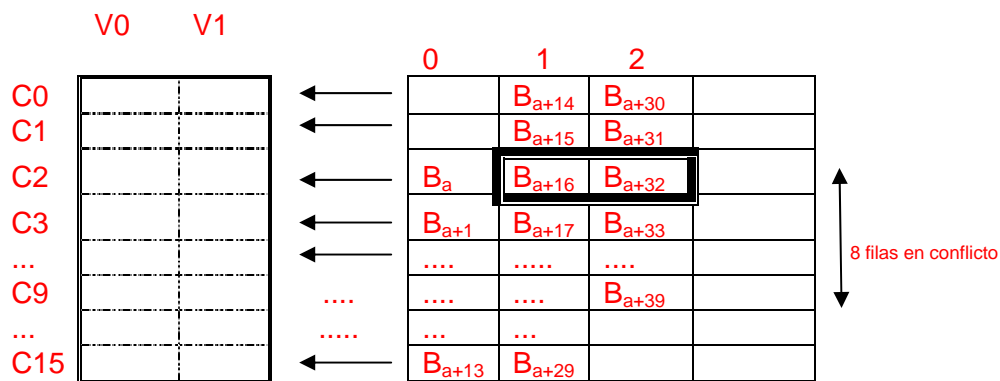
$$40 \text{ bloques DIV } 16 \text{ bloques} = 2 \text{ y } 40 \text{ MOD } 16 = 8$$

(Significa que hay dos columnas enteras y 8 bloques)

Como se observa en el dibujo, hay 8 conjuntos que tienen conflicto, el resto no porque caben los dos bloques.

Iteración	Nº de fallos	Nº de aciertos
1ª	40	1280-40=1240
2ª	8*3=24	1280-24=1256
3ª	24	1256
4ª	24	1256
5ª	24	1256
Tasa de Aciertos	$\{(1280*5)-40-24*5\} / 6400 =$ $6264/6400=97.87\%$	

d) Indique cuál será el contenido del **conjunto 2** al finalizar la primera pasada del bucle.



e) 40 bloques DIV 16 bloques = 2 y 40 MOD 16 = 8

f)

Conjunto    Bloque de Cache    Bloque de MP    Contador

2

Via 0	$B_{a+16}=16$	1
Via 1	$B_{a+32}= 34$	0

10.- Se dispone de un sistema computador que puede direccionar hasta  $1G=2^{30}$  B de memoria principal y que cuenta con una memoria cache de  $512K=2^{19}$  B con política de escritura *write-back* y algoritmo de reemplazo LRU. Sabiendo que la memoria cache interpreta las direcciones procedentes de la CPU bajo la siguiente forma

n-1			0
	10 bits	6 bits	
Campo-3	Campo-2	Campo-1	

Se pide:

Denominación del Campo-1	Etiqueta	
Denominación del Campo-2	Conjunto (porque son menos de 19 bits)	
Denominación del Campo-3	Desplazamiento	
Tamaño del Campo-3	$30-10-6 = 14$ bits	
Número de bloques en la cache	$2^{19-6} = 2^{13} = 8K$ bloques	
Número de vías	$2^{13-x} = 2^{10}$ luego $x=3$ y hay $2^3 = 8$ vías	
Política de correspondencia empleada	Asociativa por conjuntos	
	Campo M.Control	Tamaño campo
Denominación y tamaño de los campos de que consta cada una de las entradas de la Memoria de Control	Etiqueta	14
	Bit válido	1
	Bit modificado	1
	Bits LRU	3
Tamaño total de la Memoria de Control (en bits)	$8K \text{ bloques} \times \{14+1+1+3\} = 19 \text{ KB}$	

- 11.- Supóngase que el tamaño de bloque de la cache de un cierto computador es de  $16=2^4$  bytes y se desea acceder dos veces a un vector de números enteros ( $32=4B$  bits) cuyo primer elemento se halla almacenado en la dirección 3232 y el último en la 3388 (decimal).

$3391 - 3233 + 1 = 160$  Bytes,,  $160/4 = 40$  elementos

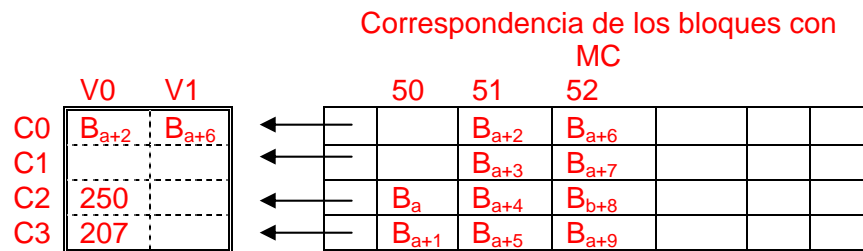
$40 \text{ elementos} / 4 \text{ elementos/bloque} = 10$  luego  $B_a, B_{a+1}, \dots B_{a+9}$

El bloque  $B_a$  es  $3232/16=202$  y resto cero, luego la dirección es la primera del bloque.

$202 \text{ MOD } 4 = 2$ , luego este primer bloque irá al conjunto 2, y  $202 \text{ DIV } 4 = 50$  con

etiqueta 50

El esquema de correspondencia de los bloques de este acceso y la memoria cache es el que se muestra a continuación:



	Cache	Etiqueta	LRU
Conjunto 0	$B(X)=B_{a+6}$	52	0
	$B(Y)=B_{a+2}$	51	1
Conjunto 1	--	--	-
	--	--	-
Conjunto 2	--	--	-
	B(250)	250	0
Conjunto 3	B(207)	207	0
	--	--	-

Asumiendo que el contenido de la memoria cache es el que se indica en el esquema anterior, responda las siguientes cuestiones:

a) Contenido de la cache al término del primer acceso al vector

	Cache	Etiqueta	LRU
Conjunto 0	Via 0	52	0
	Via 1	51	1
Conjunto 1	Via 0	51	1
	Via 1	52	0
Conjunto 2	Via 0	51	1
	Via 1	52	0
Conjunto 3	Via 0	52	0
	Via 1	51	1

- b) Calcular el número de aciertos y fallos en cada una de los dos accesos al vector, así como la tasa de aciertos resultante

	Número de fallos	Número de aciertos
<b>Primer acceso</b>	8	$40 - 8 = 32$
<b>Segundo acceso</b>	6	$40 - 6 = 34$
<b>Tasa de aciertos</b>	$1 - 14/80 = 82.5 \%$	

- 12.- Se dispone de un procesador con ancho de palabra de 32 bits y con capacidad para direccionar 64KB de memoria. Este procesador tiene una cache de 128 bytes con una correspondencia asociativa de 2 vías y un tamaño de bloque de 32 bytes.

- Indíquese la descomposición en campos de la dirección de memoria tal y como la interpreta el control de la cache así como el número de bits de cada campo.
- Considerando la utilización del algoritmo de reemplazo LRU y una política de escritura simultánea (write-through). Indíquese el tamaño en bits de la memoria de control necesaria. Detallar claramente el tamaño de cada entrada.
- ¿Qué alternativas habrían para reducir el tamaño de la memoria de control?

- 13.- En el procesador del ejercicio anterior se va a ejecutar un programa que accede a un vector de 40 elementos ( `vec[0] .. vec[39]` ) de tipo entero (32 bits), colocados a partir de la posición 0x8060. El acceso al vector se realiza a través de los siguientes bucles:

```
for (i=0;i<4;i++)
  for (j=0;j<40;j++)
    vec[j]++;
```

- Indíquese los número de bloque a los que se accedería y en qué bloque de la memoria cache quedarán almacenados al término de la primera iteración. Indíquense también las etiquetas correspondientes a dichos bloques. Establecer la marcas divisorias de cada bloque dentro de cada uno de los recuadros

**Memoria Cache**

**Etiquetas**

b) Calcular la tasa de aciertos

Iteración	Nº Fallos	Nº Aciertos	Total Accesos
1ª			
2ª			
3ª			
4ª			
Tasa de aciertos			

c) ¿Cómo se podría mejorar la tasa de aciertos? Razona la respuesta.

- 14.- En el diseño de un nuevo procesador de 32 bits se quiere incluir una cache L1 de 16 K =  $2^{14}$  B. Por cuestiones de eficiencia en la transferencia de datos entre las caches L1 y L2 se sabe que el tamaño de bloque deberá ser de  $16 = 2^4$  bytes y, la elección de la correspondencia entre ambas memorias y otras políticas de escritura y reemplazo asociadas L1 deberán minimizar la memoria de control asociada. Bajo estas premisas,

- a) Especifíquese cuáles serán las características de esta cache tanto en la correspondencia elegida como en las políticas de gestión asociadas.

Correspondencia directa, porque tiene la etiqueta menor y no hay bits para algoritmo de reemplazo. Política de escritura directa porque no tendríamos bit modificado.

- b) Indíquese el tamaño en bits de la memoria de control para esta elección, especificando cuantos bits se corresponden con cada necesidad.

$2^{14-4}$  líneas x {18 etiqueta + 1 válido } = 19 Kbits

Etiqueta	Línea	desplazamiento
32 - 20 - 4 = 18 bits	10 bits	4 bits

- c) ¿Cuál será la interpretación en campos de la dirección de memoria por parte del control de cache?. Especificar nombre de cada campo y número de bits requeridos.

Está en el apartado anterior