

**PROBLEMA 1** Un xip de memòria dinàmica de 32 Kbytes té un ample de paraula de 8 bits. La matriu de dades té 128 fileres. Indiqueu:

1. Quantes paraules hi ha en cada filera de la matriu
2. Quants bits tenen els registres de filera i de columna
3. Si els blocs són de 8 bytes, calculeu:
  - (a) Quants blocs hi ha en el xip? I en cada filera de la matriu?
  - (b) Si el processador llig de l'adreça 0x13D5 (5077 en decimal), a quin bloc està accedint? Quines seran les adreces del bytes que formen el bloc?
  - (c) En quina filera i columna de la matriu està l'adreça 0x13D5?
4. Repetiu l'apartat 3 considerant que el bloc és de 32 bytes

**SOLUCIÓ:**

1. Paraules per filera: l'organització de memòria és de  $32K \times 8$  i la matriu està organitzada en 128 fileres. En cada filera trobarem

$$\text{Nombre de paraules per filera} = \frac{\text{Nombre de paraules en la matriu}}{\text{Nombre de fileres}} = \frac{32 \cdot 2^{10}}{128} = 256$$

2. Registres de filera i de columna: si la matriu conté  $128 = 2^7$  fileres i  $256 = 2^8$  columnes, el registre de fileres tindrà 7 bits i el de columnes en tindrà 8.
3. Càlculs quan cada bloc conté 8 paraules.

- (a) Blocs per xip:

$$\text{Nombre de blocs en el xip} = \frac{\text{Nombre de paraules en la matriu}}{\text{Paraules per bloc}} = \frac{32 \cdot 2^{10}}{8} = 4 \cdot 2^{10}$$

Blocs per filera:

$$\text{Nombre de blocs per filera} = \frac{\text{Nombre de paraules en la filera}}{\text{Paraules per bloc}} = \frac{2^8}{8} = 2^5 = 32$$

Per tant, podem entendre aquest xip com una matriu de  $128 \times 32$  blocs, on cada bloc conté 8 paraules (Vegeu la figura 1).

L'adreça de 15 bits es descompon en dues coordenades: els 7 bits més significatius expressen la filera i els 8 restants la columna corresponents a l'adreça indicada. Com que cada bloc conté 8 bytes, els tres bits menys significatius de l'adreça es poden interpretar com a desplaçament o posició del byte dins del bloc. Vegeu l'estructura de l'adreça en la figura 2.

- (b) El bloc que conté aquesta adreça es pot calcular de dues maneres:
  - La primera manera consisteix a aplicar la descomposició mostrada en la figura 2 a la representació binària de l'adreça 0x13D5 obtenim els camps mostrats en la figura 3 i deduem que el byte referenciat ocupa el desplaçament 5 dins del bloc 0x27A. Variant els bits de desplaçament, obtenim les 8 adreces que formen el bloc que van de 0x13D0 a 0x13D7.
  - La segona manera permet la descomposició de l'adreça i l'obtenció del conjunt d'adreces del bloc mitjançant l'aritmètica:

$$\text{Número de bloc} = \text{Adreça} \div \text{Bytes per bloc} = 5077 \div 8 = 634$$

$$\text{Desplaçament} = \text{Adreça} \bmod \text{Bytes per bloc} = 5077 \bmod 8 = 5$$

$$\text{Començament del bloc} = \text{Número de bloc} \times \text{Bytes per bloc} = 634 \times 8 = 5072$$

$$\text{Final del bloc} = \text{Començament del bloc} + \text{Llarg del bloc} - 1 = 5072 + 7 = 5079$$

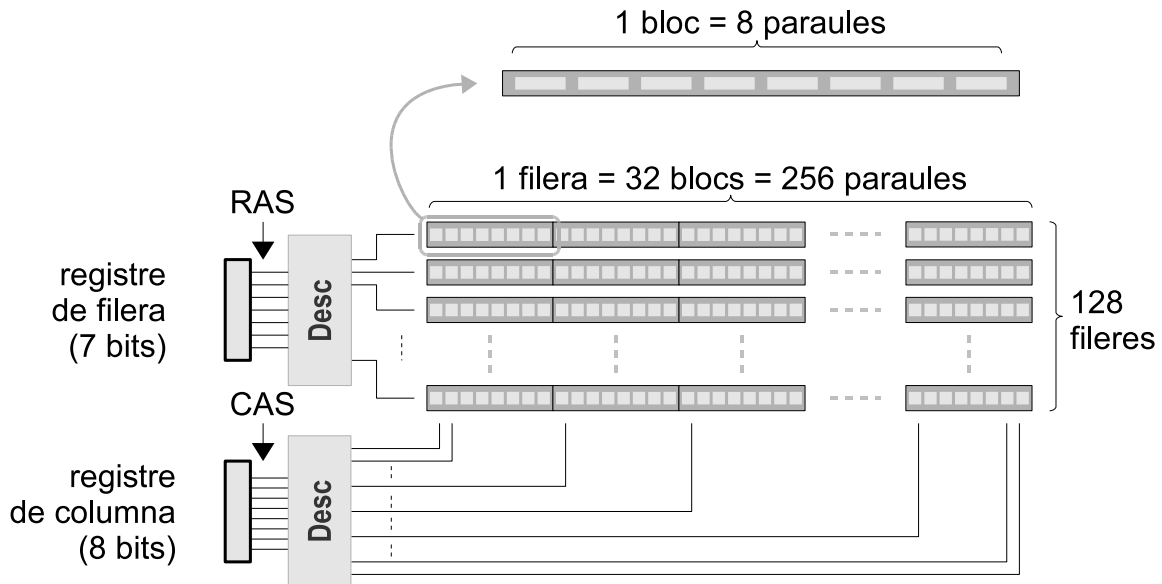


Figura 1: Estructura del xip amb blocs de 8 bytes

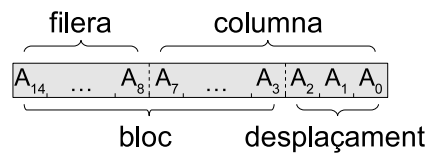


Figura 2: Estructura de l'adreça amb blocs de 8 bytes

Naturalment, el resultat és independent del camí, com podeu comprovar comparant els resultats (hauràs de canviar de base).

(c) Les coordenades de l'adreça dins de la matriu també es poden calcular de les dues maneres:

- Aplicant la descomposició mostrada en la figura 2 a la representació binària de l'adreça  $0x13D5$  obtenim els camps mostrats en la figura 3. Per tant, la filera és  $0x13$  i la columna  $0xD5$ .
- Aplicant l'aritmètica:

$$\text{Filera} = \text{Adreça} \div \text{Paraules per filera} = 5077 \div 256 = 19$$

$$\text{Columna} = \text{Adreça} \bmod \text{Paraules per filera} = 5077 \bmod 256 = 213$$

4. Càlculs quan els blocs contenen 32 bytes.

(a) Nombre de blocs:

$$\text{Nombre de blocs en el xip} = \frac{32 \cdot 2^{10}}{32} = 2^{10}$$

Blocs per filera:

$$\text{Nombre de blocs per filera} = \frac{2^8}{2^5} = 2^3 = 8$$

(b) Estructura de l'adreça: Vegeu a la figura 4 que ara el desplaçament dins del bloc ocupa 5 bits de l'adreça.

Per tant, el bloc comença en l'adreça  $0x13C0$  i acaba en  $0x13DF$ .

$$\text{Número de bloc} = \text{Adreça} \div \text{Bytes per bloc} = 5077 \div 32 = 158$$

$$\text{Desplaçament} = \text{Adreça} \bmod \text{Bytes per bloc} = 5077 \bmod 32 = 21$$

$$\text{Començament del bloc} = \text{Número de bloc} \times \text{Bytes per bloc} = 158 \times 32 = 5056$$

$$\text{Final del bloc} = \text{Començament del bloc} + \text{Llarg del bloc} - 1 = 5056 + 31 = 5087$$

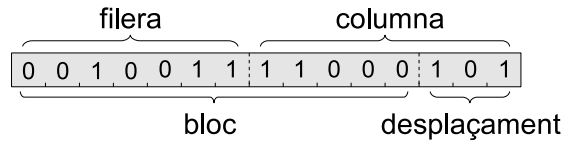


Figura 3: Descomposició de l'adreça  $0x13D5$  amb blocs de 8 bytes

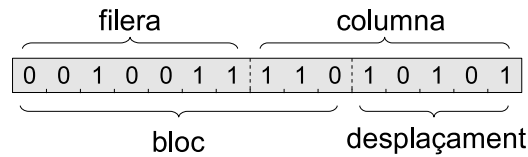


Figura 4: Descomposició de l'adreça  $0x13D5$  amb blocs de 32 bytes

- (c) El canvi de longitud de bloc no afecta als paràmetres físics de la matriu. Per tant, la resposta és la mateixa que en l'apartat 3. ■

**PROBLEMA 2** Considereu un xip de memòria SDRAM amb una capacitat de 16 KB, longitud de paraula de 32 bits, blocs de 4 paraules i una matriu interna estructurada en 64 paraules per filera. Indiqueu:

1. Nombre de fileres i columnes de la matriu de cel·les de bit.
2. Longitud dels registres de filera i de columna.
3. Nombre de blocs dintre del xip.
4. Línies físiques d'adreça del xip.
5. Interpretació de les adreces en filera i columna i en bloc i desplaçament.
6. A quina filera pertany el bloc  $0x21A$ ? Quines són les adreces (en hexadecimal) de les paraules que conté aquest bloc?
7. Adreces (en hexadecimal) del bloc inicial i final de la filera número 25 del xip.

### SOLUCIÓ:

1. La matriu està organitzada en paraules de 32 bits. Per tant, expressem els 16 KB en nombre de paraules d'aquesta longitud:  $16K \times 8 = 4K \times 32$  bits, això és, hi ha  $4K = 4096$  paraules. El nombre de fileres de la matriu és:

$$\text{Nombre de fileres} = \frac{\text{Nombre de paraules en el xip}}{\text{Nombre de paraules per filera}} = \frac{4096}{64} = \frac{2^{12}}{2^6} = 2^6 = 64$$

Com que hi ha 64 paraules per filera, el nombre de columnes és de 64.

2. El registre de filera té 6 bits (hi ha 64 fileres) i el registre de columna és de la mateixa dimensió (hi ha 64 columnes).
3. Blocs per xip:

$$\text{Nombre de blocs en el xip} = \frac{\text{Nombre de paraules en el xip}}{\text{Nombre de paraules per bloc}} = \frac{4096}{4} = \frac{2^{12}}{2^2} = 2^{10} = 1024$$

Les adreces de bloc van des de  $0x000$  fins  $0x3FF$  (aquestes adreces ocupen 10 bits).

4. Les adreces dels xips de memòria dinàmica estan multiplexades. Hi ha 6 línies d'adreça (en aquest cas cal el mateix nombre de bits per a seleccionar filera i columna):  $A_5, A_4, \dots, A_0$ .

5. El xip conté  $2^{12}$  paraules, per la qual cosa les adreces tenen una longitud de 12 bits. La interpretació d'aquests bits és la següent:
- Filera:  $A_{11}, A_{10}, A_9, A_8, A_7, A_6$ . Columna:  $A_5, A_4, A_3, A_2, A_1, A_0$ .
  - Bloc:  $A_{11}, A_{10}, A_9, A_8, A_7, A_6, A_5, A_4, A_3, A_2$ . Desplaçament:  $A_1, A_0$ .
6. L'adreça de bloc  $0x21A$  en binari és  $1000011010_2$ . Si es completa amb el camp de desplaçament a zero (primera paraula del bloc) obtenim l'adreça completa  $100001101000_2 = 0x868$ . Els sis bits de major pes ens indiquen la filera que conté aquest bloc:  $100001_2 = 33_{10}$ .
- En conseqüència, les adreces de les paraules contingudes en aquest bloc són les següents:  $100001101000_2$ ,  $100001101001_2$ ,  $100001101010_2$  i  $100001101011_2$ , és a dir,  $0x868$ ,  $0x869$ ,  $0x86A$  i  $0x86B$ .
7. L'adreça de filera  $25_{10}$  expressada en hexadecimal és  $0x019$ . Aquesta mateixa adreça completada amb el camp de columna a zero (primera paraula de la filera) és  $011001000000_2$ . El primer bloc d'aquesta filera serà, ignorant els dos bits de menor pes que corresponen al desplaçament,  $0110010000_2 = 0x190$ . D'altra banda, la darrera paraula de la filera (última columna) té adreça  $011001111111_2$ ; l'adreça del bloc que la conté, obviant els dos bits menys significatius, és  $0110011111_2 = 0x19F$ . ■

**PROBLEMA 3** Considereu un xip de memòria SDRAM estructurat internament en dos bancs de cel·les de bit. La longitud de paraula és de 32 bits. Cada banc té 1024 fileres i 128 columnes. Calculeu:

1. Capacitat del xip expressada en MB.
2. Longitud del comptador per a tasques d'actualització (refresc).
3. Línies físiques d'adreça del xip.
4. Longitud màxima de bloc que suporta aquest xip.

**SOLUCIÓ:**

1. La capacitat total de xip es calcula multiplicant el nombre de bancs continguts al xip per la capacitat de cada banc:

$$\text{Capacitat del xip} = 2 \times 1024 \times 128 \times 32 \text{ bits} = 2 \times 2^{10} \times 2^7 \times 2^5 = 2^{23} \text{ bits} = 1 \text{ MB}$$

2. L'actualització es du a terme en tots els bancs alhora. Per tant, la longitud del comptador de filera involucrat en el refresc només depèn del nombre de fileres de cada banc. Com que hi ha 1024 fileres per banc el registre tindrà una longitud de 10 bits.
3. Aquest xip necessita rebre 10 bits per a indicar filera i 7 per a indicar columna; així doncs, com que l'adreça es multiplexa, calen 10 línies de bit per a indicar l'adreça completa ( $A_9, A_8, \dots, A_0$ ). D'altra banda, com que hi ha 2 bancs, cal una línia per a especificar el banc ( $BA_0$ ).

Podem comprovar que el raonament anterior és correcte: la capacitat del xip expressada en nombre de paraules és  $1M \times 8 = 256K \times 32 \text{ bits}$ . Comptat i debatut, calen 18 bits ( $256K = 2^{18}$ ) per a adreçar totes les paraules del xip. D'aquests 18 bits, un s'empra per a indicar el banc, 10 per a la filera i 7 per a la columna.

4. La longitud màxima de bloc que suporta aquest xip és de 128 paraules, que correspon al nombre de paraules per filera. Una grandària de bloc superior implicaria, per a un accés, treballar amb més d'una filera. ■

**PROBLEMA 4** Un xip de memòria SDRAM té una capacitat de 4 MB, longitud de paraula de 8 bits, blocs de 8 paraules i fileres de 256 paraules. Les cel·les de bit del xip estan organitzades en 4 bancs. Determineu:

1. Nombre de fileres de cada banc.
2. Nombre i longitud dels registres de filera i columna que conté el xip.
3. Blocs per filera i nombre de blocs del xip.
4. Línies físiques d'adreça del xip.
5. Interpretació de l'adreça en filera i columna i en bloc i desplaçament.
6. Seqüència d'ordres ACTIVE, READ i PRECHARGE (ignoreu les NOP) involucrades en la lectura consecutiva dels blocs amb adreces 0x16473, 0x16474 i 0x16475 (considereu que pertanyen al mateix banc).
7. Repetiu l'apartat anterior amb la lectura de blocs d'adreça 0x1647E, 0x1A380 i 0x545D1.
8. Suposeu que el xip es connecta a un rellotge de 200 MHz i el període de l'ordre AUTOREFRESH val  $t_{RFC} = 50$  ns. Quant de temps cal per tal d'actualitzar (refrescar) el xip complet?

### SOLUCIÓ:

1. Expressem la capacitat del xip en nombre de paraules:  $4M \times 8$  bits. Així doncs, calen 22 bits per tal d'adreçar totes les paraules del xip. Ara bé, 2 bits de l'adreça s'empraran en la selecció del banc (n'hi ha quatre); per tant, en queden 20 per a seleccionar paraules en un banc, la qual cosa vol dir que cada banc conté  $2^{20}$  paraules. Així doncs cada banc tindrà:

$$\text{Nombre de fileres per banc} = \frac{\text{Nombre de paraules per banc}}{\text{Nombre de paraules per filera}} = \frac{2^{20}}{256} = 2^{12} = 4096$$

2. Hi ha un registre de filera i un altre de columna per cada banc del xip. El registre de filera té 12 bits (hi ha 4096 fileres) i el de columna en té 8 (hi ha 256 columnes).
3. Els càlculs són senzills:

$$\text{Nombre de blocs per filera} = \frac{\text{Nombre de paraules per filera}}{\text{Nombre de paraules per bloc}} = \frac{2^8}{8} = 2^5 = 32$$

$$\text{Nombre de blocs en el xip} = \frac{\text{Nombre de paraules del xip}}{\text{Nombre de paraules per bloc}} = \frac{4M}{8} = \frac{2^{22}}{2^3} = 2^{19} = 512K$$

4. Com que el xip necessita 12 bits per a filera i 8 bits per a columna, el nombre de línies físiques necessàries per a especificar l'adreça multiplexada és de 12 ( $A_{11}, A_{10}, \dots, A_0$ ). D'altra banda, l'existència de quatre bancs fa necessari disposar de 2 línies per tal d'especificar el banc involucrat en l'operació ( $BA_1$  i  $BA_0$ ).
5. Els  $12 + 8 = 20$  bits de l'adreça ( $A_{19}, A_{10}, \dots, A_0$ ) es poden interpretar de dues maneres:
  - Filera:  $A_{19}, A_{18}, A_{17}, \dots, A_9, A_8$ . Columna:  $A_7, A_6, A_5, A_4, A_3, A_2, A_1, A_0$ .
  - Bloc:  $A_{19}, A_{18}, A_{17}, \dots, A_4, A_3$ . Desplaçament:  $A_2, A_1, A_0$ .
6. El punt clau en accesos consecutius a blocs és saber si pertanyen o no a la mateixa filera. Les tres adreces indicades comparteixen els mateixos bits de filera, que corresponen als 12 bits més significatius de l'adreça, amb valor 0x164. Per tant, la seqüència de comandaments tindrà la forma ACTIVE – READ – READ – READ – PRECHARGE. És a dir, només cal fer una activació de filera, indicar tres accessos de lectura i, en acabar, tancar la filera.
7. En aquest cas els tres blocs referenciats pertanyen a fileres diferents (0x164, 0x1A3 i 545), la qual cosa implicarà una operació d'activació i tancament per cadascuna d'elles. Així doncs, la seqüència d'ordres serà: ACTIVE – READ – PRECHARGE – ACTIVE – READ – PRECHARGE – ACTIVE – READ – PRECHARGE.

8. Si la freqüència de rellotge és de 200 MHz el seu temps de cicle és de 5 ns. Per tal de satisfer el valor especificat de  $t_{RFC}$  calen 10 cicles, és a dir, necessitem  $10 \times 5 = 50$  ns per tal d'actualitzar una filera. Finalment, com que el refresc de tots quatre bancs es pot dur a terme alhora, el temps necessari per refrescar el xip complet és:

$$\text{Temps a refrescar el xip} = \text{Nombre de fileres} \times 50 \text{ ns} = 4096 \times 50 \text{ ns} = 204800 \text{ ns} = 204.8 \mu\text{s}$$

■

**PROBLEMA 5** Un xip de memòria SDRAM es connecta a un bus que funciona a 100 MHz. Els paràmetres temporals d'aquest xip són  $t_{RAS} = 5$ ,  $t_{RC} = 6$ ,  $t_{RCD} = 2$  i  $t_{RP} = 2$ . La latència de CAS (CL) pot ser 2 o 3 cicles. La longitud de bloc és de 4 paraules.

1. Dibuixeu el cronograma de lectura d'un bloc per a  $CL = 2$ .
2. Repetiu l'apartat anterior amb  $CL = 3$ .

**SOLUCIÓ:**

1. El temps de cicle de rellotge és de 10 ns. A continuació s'ofereix la temporització d'una lectura de bloc de quatre paraules que satisfà els requisits temporals del xip.

Cicle	1	2	3	4	5	6	7	8
Ordre	ACT	NOP	READ	NOP	NOP	NOP	PRE	NOP
Dades					W1	W2	W3	W4
Adreces	Fil		Col					

Entre ACT i READ hi ha un espai de dos cicles ( $t_{RCD}$ ). Entre READ i l'aparició de la primera dada del bloc al bus de dades (W1) hi ha un espai de dos cicles (latència de CAS). L'ordre PRECHARGE s'emeta en el 7é cicle perquè el tancament de la filera serà efectiu en el 9é cicle (CL cicles després), moment en el qual es pot encetar una nova operació. La latència de lectura és de 40 ns.

2. Ara la latència de CAS s'ha vist augmentada en un cicle adicional. El cronograma resultat s'ofereix a continuació.

Cicle	1	2	3	4	5	6	7	8	9
Ordre	ACT	NOP	READ	NOP	NOP	NOP	PRE	NOP	NOP
Dades						W1	W2	W3	W4
Adreces	Fil		Col						

Les dades apareixen ara en el bus en el 6é cicle. L'ordre PRECHARGE s'emeta en el 7é cicle per tal que el tancament de la filera siga efectiu en el cicle 10é, moment en el qual es pot llançar una nova operació. La latència de lectura en aquest cas és de 50 ns.

■

**PROBLEMA 6** Considereu un xip de memòria SDRAM de  $64 \times 32$  bits, amb 4 fileres i blocs de 4 paraules. Aquest xip es connecta a un bus que funciona a 75 MHz (temps de cicle de 13.3 ns). Els paràmetres temporals d'aquest xip són  $t_{RAS} = 3$ ,  $t_{RC} = 5$ ,  $t_{RCD} = 2$  i  $t_{RP} = 2$ . La latència de CAS (CL) es de 2 cicles. Es demana dibuixar el cronograma associat a les operacions següents:

1. Lectura dels blocs 0x9 i 0xB.
2. Lectura dels blocs 0x1 i 0x4.

## SOLUCIÓ:

1. En primer lloc determinem la geometria de la matriu de bits:

$$\text{Blocs en el xip} = \frac{\text{Paraules en el xip}}{\text{Paraules per bloc}} = \frac{64}{4} = 16$$

$$\text{Blocs per filera} = \frac{\text{Blocs en el xip}}{\text{Fileres en el xip}} = \frac{16}{4} = 4$$

Així doncs, el xip s'organitza en quatre fileres de 4 blocs cada filera. En definitiva, hi ha una distribució de  $4 \times 4$  blocs com la mostrada a continuació:

Bloc 0	Bloc 1	Bloc 2	Bloc 3
Bloc 4	Bloc 5	Bloc 6	Bloc 7
Bloc 8	Bloc 9	Bloc A	Bloc B
Bloc C	Bloc D	Bloc E	Bloc F

D'altra banda, les adreces són de 6 bits (hi ha 64 paraules en el xip), i s'interpreten:

- Filera:  $A_5$  i  $A_4$ . Columna:  $A_3, A_2, A_1, A_0$
- Bloc:  $A_5, A_4, A_3, A_2$ . Desplaçament:  $A_1$  i  $A_0$

Si ens centrem en els dos blocs que es llegeixen,  $0x9$  i  $0xB$ , observem que se situen a la mateixa filera. Per tant, podem concatenar dues ordres READ seguides una vegada s'ha activat la filera. El cronograma següent n'assenyala els detalls:

Cicle	1	2	3	4	5	6	7	8
Ordre	ACT	NOP	READ	NOP	NOP	NOP	READ	NOP
Dades					W1	W2	W3	W4
Adreces	Fil:10 <sub>2</sub>		Col:0100 <sub>2</sub>				Col:1100 <sub>2</sub>	

Cicle	9	10	11	12
Ordre	NOP	NOP	PRE	NOP
Dades	X1	X2	X3	X4
Adreces				

La disposició de les ordres READ permet enllaçar l'acabament d'un bloc de dades amb el començament de l'altre. En els dos casos, les dades ixen al bus 2 cicles després d'especificar l'ordre de lectura. La latència d'accés al bloc  $0x9$  és de 4 cicles i la del bloc  $0xB$  és de 8 cicles.

2. Al contrari que el cas anterior, els blocs  $0x1$  i  $0x4$  no pertanyen a la mateixa filera. Això implica el tancament de la primera filera abans d'obrir la segona. El cronograma següent en mostra els detalls:

Cicle	1	2	3	4	5	6	7	8
Ordre	ACT	NOP	READ	NOP	NOP	NOP	PRE	NOP
Dades					W1	W2	W3	W4
Adreces	Fil:00 <sub>2</sub>		Col:0100 <sub>2</sub>					

Cicle	9	10	11	12	13	14	15	16
Ordre	ACT	NOP	READ	NOP	NOP	NOP	PRE	NOP
Dades					X1	X2	X3	X4
Adreces	Fil:01 <sub>2</sub>		Col:0000 <sub>2</sub>					

Aquesta operació tarda un total de 16 cicles, front als 12 del cas anterior. La latència d'accés del bloc 0x1 és de 4 cicles, mentre que la del bloc 0x4 és de 12 cicles. ■

**PROBLEMA 7** Un mòdul de memòria DDR SDRAM té una capacitat de 512 MB i està construït amb xips de  $32M \times 8$  bits. Les temporitzacions  $t_{CL}-t_{RCD}-t_{RP}-t_{RAS}$  en funció de la freqüència de rellotge són les següents:

- Configuració A. Rellotge a 166 MHz (període de 6 ns): 2.5–3–3–7
  - Configuració B. Rellotge a 133 MHz (període de 7.5 ns): 2.0–2–2–6
1. Determineu el nombre de xips que conté el mòdul.
  2. Quina configuració presenta una amplada de banda més gran?
  3. Quina configuració té una latència d'accés en operacions de lectura més baixa?

**SOLUCIÓ:**

1. El nombre de xips en el mòdul es pot calcular dividint la capacitat del mòdul entre la capacitat dels xips amb què està fet:

$$\text{Nombre de xips} = \frac{\text{Capacitat del mòdul}}{\text{Capacitat dels xips}} = \frac{512 \text{ MB}}{32 \text{ MB}} = 16$$

2. L'amplada de banda es calcula multiplicant la freqüència de rellotge per 8 bytes (els mòduls estàndards tenen una longitud de paraula de 64 bits) i per 2 perquè es transmeten dues dades per cada cicle de rellotge:

- Amplada de banda de la configuració A:  $166 \text{ MHz} \times 2 \times 8 = 2656 \text{ MB/s}$
- Amplada de banda de la configuració B:  $133 \text{ MHz} \times 2 \times 8 = 2128 \text{ MB/s}$

Aquest càlcul mostra que la configuració A té una amplada més gran que la B.

3. La latència d'accés a les dades en operacions de lectura es calcula sumant els temps  $t_{RCD}$  i  $t_{CL}$ :

- Latència d'accés de la configuració A:  $t_{RCD} + t_{CL} = 3 + 2.5 = 5.5$  cicles
- Latència d'accés de la configuració B:  $t_{RCD} + t_{CL} = 2 + 2.0 = 4.0$  cicles

Si traduïm els cicles a ns, aleshores la latència de la configuració A és de  $5.5 \times 6 = 33$  ns, mentre que la de la configuració B és de  $4.0 \times 7.5 = 30$  ns. En conseqüència, la configuració B és la que presenta una latència d'accés més petita. ■

**PROBLEMA 8** Un xip de memòria dinàmica SDRAM té les restriccions temporals següents:

Paràmetre	Símbol	Mín.	Màx.	Unitats
Període del rellotge	$CL = 3$	$t_{CL}(3)$	6	ns
	$CL = 2$	$t_{CL}(2)$	10	ns
	$CL = 1$	$t_{CL}(1)$	20	ns
Temps entre ordres ACTIVE i PRECHARGE	$t_{RAS}$	42	120k	ns
Temps entre ordres ACTIVE i ACTIVE	$t_{RC}$	60		ns
Període d'AUTOREFRESH	$t_{RFC}$	60		ns
Temps entre ordres ACTIVE i READ/WRITE	$t_{RCD}$	18		ns
Període d'actualització	$t_{REF}$		64	ms
Període de PRECHARGE	$t_{RP}$	18		ns



Indiqueu:

1. La màxima freqüència de rellotge a què pot funcionar el xip de memòria.
2. La mínima latència de CAS (CL) quan el rellotge oscil·la a 80 MHz.
3. Descriviu la temporització òptima per a la lectura d'un bloc de 4 paraules quan la freqüència de rellotge és de 50 MHz. L'operació ha d'acabar amb una ordre de PRECHARGE explícita. En quin cicle es pot fer una nova activació? Quina és la latència de lectura resultant? Què canvia si la precàrrega és automàtica?
4. Repetiu l'apartat 3 per al cas en què el rellotge oscil·la a 133 MHz.
5. L'amplada de banda real d'un mòdul DIMM (de 64 bits d'ample de paraula) construït amb xips com aquest, en dues situacions:
  - (a) Quan el rellotge oscil·la a 50 MHz
  - (b) Quan el rellotge oscil·la a 133 MHzQuina és la màxima amplada de banda del mòdul?
6. Quin és el mínim percentatge de temps que cal invertir a actualitzar el xip amb ordres AUTOREFRESH quan el rellotge va a 100 MHz? Supposeu que la matriu conté 4096 fileres.

#### SOLUCIÓ:

1. El mínim període de rellotge és de 6 ns. Per tant, la freqüència màxima serà

$$\text{Freqüència màxima} = \frac{1}{\text{Període mínim}} = \frac{1}{6 \cdot 10^{-9}} = 166 \text{ MHz}$$

Aquest xip SDRAM s'etiquetaria "PC-166".

2. A 80 MHz el període del rellotge és de 12.5 ns. Amb aquest període són aplicables les latències  $CL = 2$  i  $CL = 3$ . Per tant, la mínima latència és  $CL = 2$ .
3. A 50 MHz, el cicle de rellotge és de 20 ns. Per tant, les distàncies en cicles entre les ordres són:

ordres	temps (ns)	cicles (a 50 MHz)
ACTIVE i PRECHARGE	42	3
ACTIVE i ACTIVE	60	3
ACTIVE i READ/WRITE	18	1
PRECHARGE i ACTIVE	18	1

En la figura 5 es pot veure la relació entre les dues ordres per encetar la lectura i la resposta del circuit. La distància en cicles entre les ordres ACTIVE i READ ha de ser, almenys, d'un cicle. Per tant, aniran seguides en els cicles 1 i 2. Per la seua banda, el xip respon amb la ràfega que transmet el bloc amb la latència programada. Com que a 50 MHz el cicle del rellotge és de 20 ns, la millor latència és  $CL = 1$ ; aleshores la transmissió del bloc de 4 paraules començarà en el cicle 3r i acabarà en el 6é.

Per completar la temporització, cal determinar en quin cicle es dona l'ordre PRECHARGE. Cal tindre en compte que l'aquesta ordre tanca la filera i l'efecte es nota  $CL = 1$  cicles més tard, tallant el bloc si encara està transmetint-se. Per exemple, si s'emet l'ordre en el cicle 4t (3 cicles després de l'ordre ACTIVE), la ràfega es romp en el cicle 5é, com mostra la figura 6. Com a regla general, haurem de separar les ordres READ i PRECHARGE tants cicles com paraules tinga el bloc.

Per tant, l'ordre PRECHARGE s'ha d'emetre en el cicle 6é, per no trencar la ràfega. En la figura 7 (esquerra) teniu el cronograma resultant. S'hi pot veure que el cicle 7é el xip pot processar una nova ordre ACTIVE. La latència de lectura resultant és de dos cicles, és a dir, de 40 ns.

En la figura 7 (dreta) podem veure la temporització amb precàrrega automàtica. El comportament del xip no varia, perquè la lògica interna de control inicia la precàrrega en el cicle 6 i, per tant, no cal emetre l'ordre.

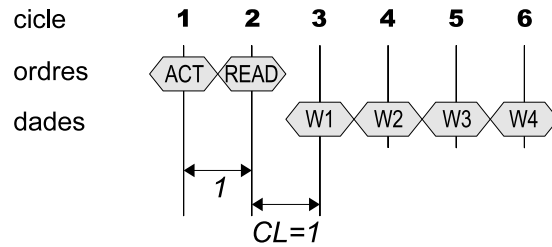


Figura 5: Les dues ordres inicials i la transferència a 50 MHz

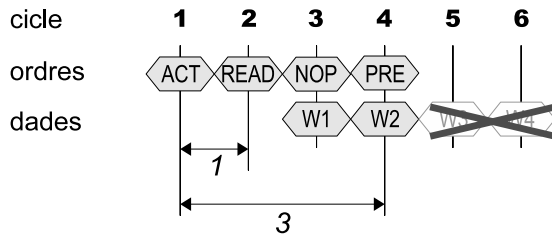


Figura 6: Efecte de l'ordre PRECHARGE abans d'hora

4. A 133 MHz, el cicle de rellotge és de 7.5 ns. Les distàncies en cicles entre les ordres són:

ordres	temps (ns)	cicles (a 133 MHz)
ACTIVE i PRECHARGE	42	6
ACTIVE i ACTIVE	60	8
ACTIVE i READ/WRITE	18	3
PRECHARGE i ACTIVE	18	3

El mínim valor programable de la latència de CAS és  $CL = 3$ . La figura 8 mostra la temporització òptima de la lectura. La latència de lectura resultant és de 7 cicles = 52.5 ns.

5. En general, per a una memòria SDRAM (no DDR), l'amplada de banda és:

$$\text{Amplada de banda} = \frac{\text{Ample de paraula}}{\text{Període de rellotge}} = \text{Ample de paraula} \times \text{Freqüència}$$

(a) A 50 MHz l'amplada de banda és:

$$\text{Amplada de banda} = 8 \text{ bytes} \times 50 \cdot 10^6 = 400 \text{ MBps}$$

(b) A 133 MHz:

$$\text{Amplada de banda} = 8 \text{ bytes} \times 133 \cdot 10^6 = 1064 \text{ MBps}$$

La màxima amplada de banda del mòdul correspon a la màxima freqüència de rellotge, que hem calculat en l'apartat 1. Per tant:

$$\text{Amplada de banda màxima} = 8 \text{ bytes} \times 166 \cdot 10^6 = 1328 \text{ MBps}$$

6. En general, la fracció de temps que cal dedicar a l'actualització d'una memòria dinàmica és

$$\text{Fracció de temps} = \frac{\text{Nombre de fileres} \times \text{Temps per actualitzar una filera}}{\text{Període d'actualització}}$$

En aquest xip, cada  $t_{REF}$  cal emetre 4096 ordres cada 64 ms. Com que el període d'AUTOREFRESH és  $t_{RFC} = 60 \text{ ns}$ , cada ordre ocupa el xip durant 6 cicles de 10 ns. Per tant, la fracció de temps que cal dedicar a l'actualització és:

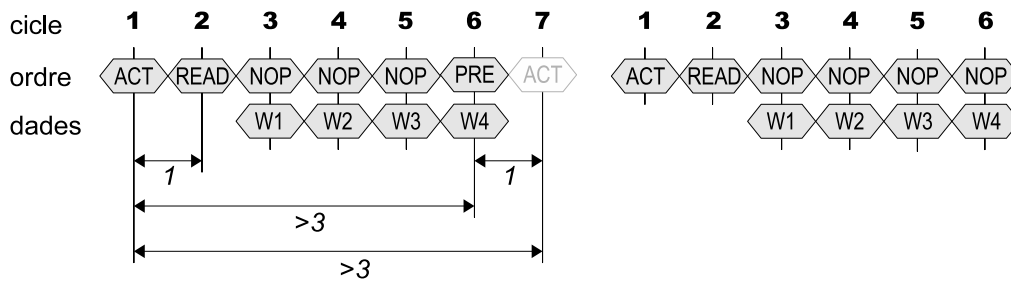


Figura 7: Cronogrames òptims de lectura amb rellotge a 50 MHz amb precàrrega explícita (esquerra) o automàtica (dreta)

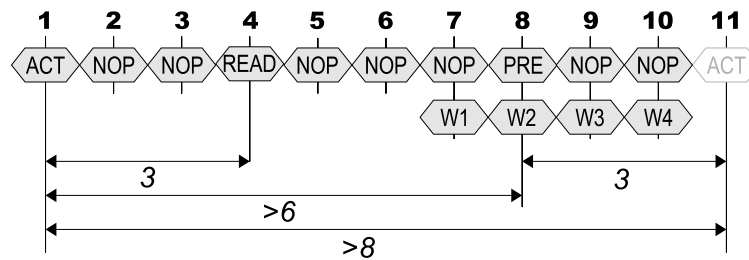


Figura 8: Cronograma de lectura amb rellotge a 133 MHz

$$\text{Fracció de temps} = \frac{4096 \times 60 \cdot 10^{-9}}{64 \cdot 10^{-3}} = 0.00384$$

és a dir, 0.384% del temps. ■

**PROBLEMA 9** Un xip de memòria SDRAM conté una matriu de 256 fileres  $\times$  256 columnes  $\times$  8 bits i està configurat amb blocs de 4 paraules i  $CL = 1$ . En la figura 9 teniu una temporització que heu de suposar que satisfà les restriccions temporals corresponents. Podeu explicar a quines adreces del xip corresponen les paraules  $P1$  i  $P2$ ?

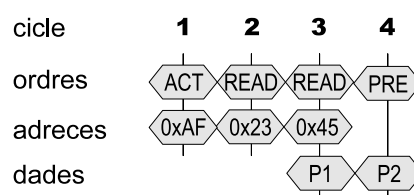


Figura 9: Temporització incògnita

**SOLUCIÓ:** Sabent que cal 8 bits per a seleccionar una filera i 8 bits per seleccionar una columna, podem deduir que les adreces dins del xip són de 16 bits. L'ordre ACTIVE obre la filera  $0xAF$ . La primera ordre READ (cicle 2n) provoca la lectura de la columna  $0x23$ ; per tant l'adreça de lectura és  $0xAF23$  i en el cicle 3r comença la ràfega que transmet el bloc  $0x2BC8$ . Tenint en compte que la ràfega de dades comença amb la paraula adreçada per l'ordre de lectura, podem concloure que la paraula  $P1$  és el contingut del byte d'adreça  $0xAF23$ .

Per altra banda, la segona ordre READ (cicle 3r) interromp la ràfega ja començada i engega l'accés a l'adreça  $0xAF45$ , dins de la mateixa filera. Per tant, en el cicle 4 comença la ràfega de dades contingudes en el bloc  $2BD1$ . Per tant, la paraula  $P2$  és el contingut del byte d'adreça  $0xAF45$ . ■

**PROBLEMA 10** Considereu ara que el xip SDRAM de l'exercici 8 conté dos bancs de memòria *A* i *B* i que manté les restriccions temporals. Feu la temporització de dos accessos de lectura de bloc de 4 paraules tenint en compte que els blocs es troben en diferents bancs en dos casos:

1. La precàrrega és automàtica
2. La precàrrega és explícita

**SOLUCIÓ:**

1. Anomenarem als bancs *A* i *B*. Cada banc de memòria pot tenir una filera oberta, i s'hi pot operar amb les dues fileres al temps. En aquest cas, caldrà superposar dues operacions com les de la figura 5. Cal prendre dues precaucions:

- No es poden emetre dos ordres en el mateix cicle de rellotge.
- El bus de dades no pot transmetre dues paraules simultàniament. Per tant, les ràfegues no poden coincidir en el temps.

És clar que les ràfegues condicionen la temporització. Si ens afanyem a donar les ordres al banc *B* només les hem donades al banc *A*, com mostra la figura 10, les ràfegues entrarien en conflicte en els cicles 5é i 6é.

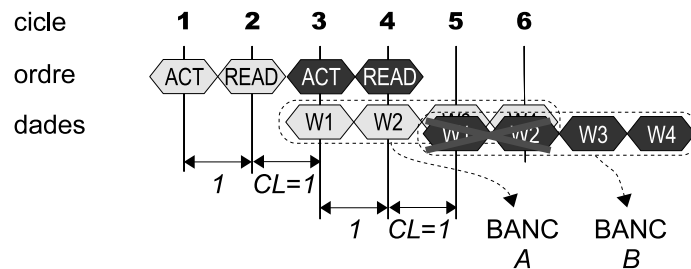


Figura 10: Conflicte de per mala temporització

La solució correcta la tenim en la figura 11, on s'ha ubicat l'ordre READ en el cicle 6é per fer que la ràfega comence en el moment adient. L'activació del banc *B* té tres possibles ubicacions, des del cicle 3r (que mostra la figura) fins al cicle 5é.

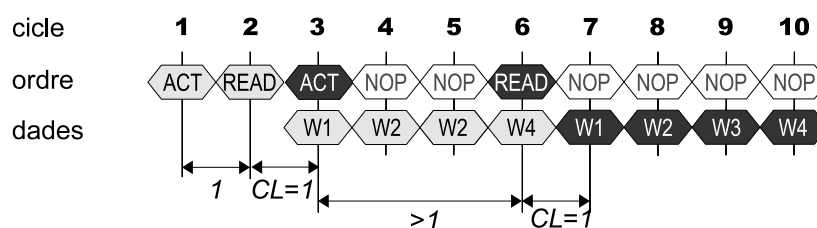


Figura 11: Temporització de lectura sobre dos bancs amb precàrrega automàtica

2. Quan la precàrrega és explícita, l'ordre PRECHARGE ocupa les línies d'ordres durant un cicle, creant noves oportunitats de conflicte. En la temporització de la figura 11 la precàrrega automàtica del banc *A* té lloc durant el cicle 6é, i la del banc *B* durant el cicle 10é. Si volguérem fer explícites les precàrregues, les ordres PRECHARGE sobre el banc *A* i READ sobre el banc *B* entrarien en conflicte. En la figura 12 teniu dues solucions possibles per a resoldre'l.

■

**PROBLEMA 11** Un xip de memòria DDR té les restriccions temporals següents:

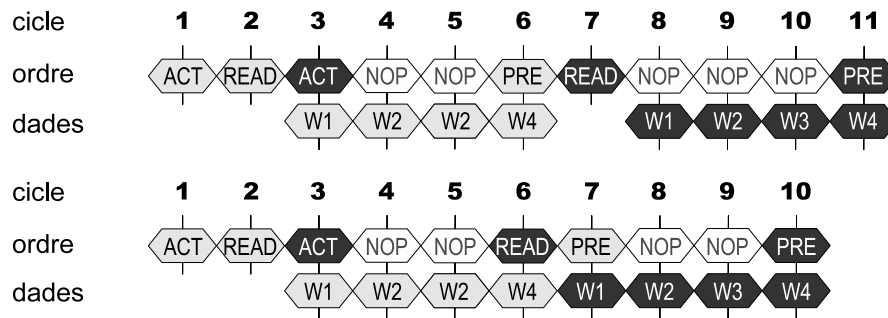


Figura 12: Dues temporitzacions de lectura sobre dos bancs amb precàrrega explícita

Paràmetre		Símbol	Mín.	Unitats
Període del rellotge	$CL = 3$	$t_{CL}(3)$	5	ns
	$CL = 2.5$	$t_{CL}(2.5)$	6	ns
	$CL = 2$	$t_{CL}(2)$	7.5	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	40	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	55	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	15	ns
Període de PRECHARGE		$t_{RP}$	15	ns

1. Quina és la màxima freqüència de funcionament d'aquest xip? Si l'ample de paraula és de 8 bits, quina és la màxima amplada de banda del xip? I si es fa un mòdul no estàndard de 32 bits d'ample de paraula, quina serà la màxima amplada de banda del mòdul?
2. Descriviu la temporització òptima d'una ràfega de lectura amb aquest xip treballant a 150 MHz en dos casos de longitud de bloc: 4 paraules i 8 paraules.
3. Descriviu la temporització òptima d'una lectura de tres blocs de 4 paraules amb aquest xip treballant a 150 MHz.

### SOLUCIÓ:

1. El període mínim de l'ona de rellotge és de 5 ns. Per tant,

$$\text{Freqüència màxima} = \frac{1}{\text{Període mínim}} = \frac{1}{5 \cdot 10^{-9}} = 200 \text{ MHz}$$

El càlcul de l'amplada de banda de les memòries DDR ha de tenir en compte que les paraules del bloc es transmeten al doble de la freqüència del rellotge, per tant

$$\text{Amplada de banda (DDR)} = \text{Ample de paraula} \times 2 \times \text{Freqüència}$$

Si l'ample de paraula del xip és de 8 bits, quan funciona a la freqüència de rellotge màxima:

$$\text{Amplada de banda del xip} = 1 \text{ byte} \times 2 \times 200 \text{ MHz} = 400 \text{ MBps}$$

Quant al mòdul, queda:

$$\text{Amplada de banda del mòdul} = 4 \text{ bytes} \times 2 \times 200 \text{ MHz} = 1600 \text{ MBps}$$

2. Si el període és de 6.67 ns, la millor latència de CAS aplicable és  $CL = 2.5$ . Les restriccions temporals queden així:

ordres	temps (ns)	cicles (a 150 MHz)
ACTIVE i PRECHARGE	40	6
ACTIVE i ACTIVE	55	8
ACTIVE i READ/WRITE	15	3
PRECHARGE i ACTIVE	15	3

Noteu que aquestes restriccions, mesurades en cicles, són les mateixes que les calculades en el problema 8, apartat 4 (encara que la durada del cycle del rellotge no és la mateixa).

En planificar la temporització de les memòries DDR, les diferències amb les memòries SDRAM no DDR són dos:

- Les paraules del bloc es transmeten a raó de dues per cycle. Una ràfega de  $R$  paraules necessita  $R/2$  cicles.
  - La latència de CAS ( $CL$ ) és múltiple de 0.5 cicles (en aquest cas de 2.5 cicles). No oblideu que aquesta latència compta tant en el començament del bloc (des de l'ordre READ) com en el seu final (des de l'ordre PRECHARGE). Si un bloc comença a mitjan cycle, acabarà també a mitjan cycle.
- (a) Cas de bloc de longitud 4: vegeu la figura 13 L'ordre PRECHARGE ha d'esperar al cycle 7é per a satisfer els 6 cicles de distància amb l'ordre ACTIVE.

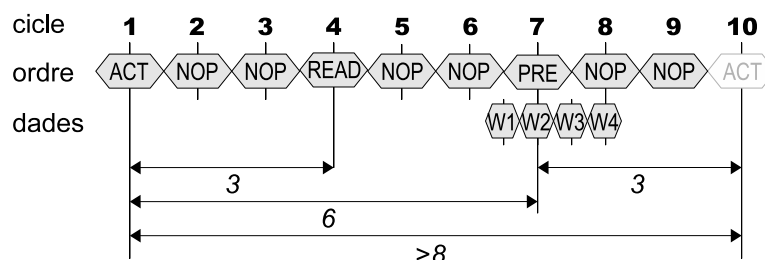


Figura 13: Cronograma de DDR amb rellotge a 150 MHz quan el bloc conté 4 paraules

- (b) Cas de bloc de longitud 8: la posició de l'ordre PRECHARGE és justament  $CL = 2.5$  cicles abans del final del bloc. Com a regla general, en les memòries DDR cal separar les ordres READ i PRECHARGE almenys  $R/2$  cicles per no trencar la ràfega.

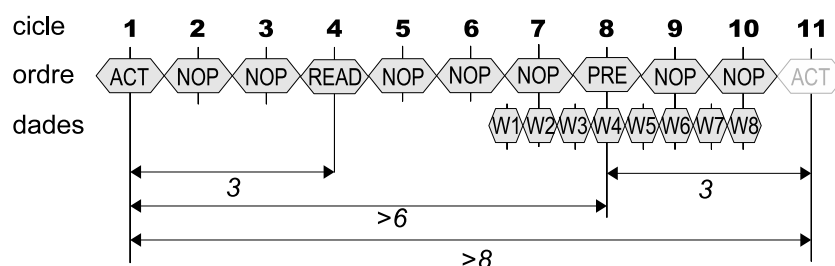


Figura 14: Cronograma de DDR amb rellotge a 150 MHz quan el bloc conté 8 paraules

3. Com vam veure en el problema 10, es tracta de superposar tres sèries d'ordres (cadascuna adreçada a un banc) sense provocar conflictes d'ús de les línies d'ordres per un costat i de les línies de dades per l'altre. Com que les condicions de treball són les de la figura 13, el resultat és el que apareix en la figura 15.

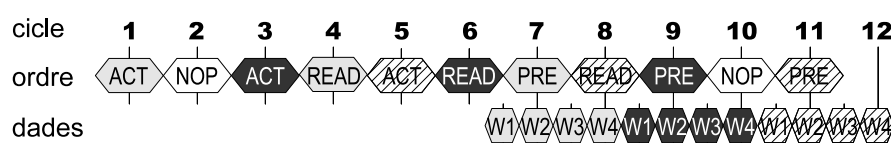


Figura 15: Temporització de lectura de 3 bancs amb blocs de 4 paraules

**PROBLEMA 12** Un xip de memòria SDRAM té una capacitat de 2 MB, longitud de paraula de 16 bits, blocs de 8 paraules i fileres de 128 paraules. Les cel·les de bit del xip estan organitzades en 4 bancs, els quals se seleccionen mitjançant les entrades  $BA_1$  i  $BA_0$ . El rellotge funciona a una freqüència de 400 MHz i el període de l'ordre AUTOREFRESH val  $t_{RFC} = 60$  ns.

1. Quina longitud té el registre de filera de cada banc?
2. Quantes línies per a adreces tindrà aquest xip de memòria?
3. Quant de temps cal per tal d'actualitzar (refrescar) el xip complet?

**PROBLEMA 13** Un mòdul estàndard de memòria DDR SDRAM té una capacitat de 1024 MB i està construït amb xips de  $128M \times 8$  bits. La temporització  $t_{CL}-t_{RCD}-t_{RP}-t_{RAS}$  a una freqüència de rellotge de 166 MHz és 2-3-3-7.

1. Determineu el nombre de xips que conté el mòdul.
2. Calculeu la seua amplada de banda del mòdul (expresseu-la en MB/s).
3. Quants cicles de rellotge es tardarà a llegir un bloc de 8 dades?

**PROBLEMA 14** Un xip de memòria dinàmica DDR2 està format per quatre matrius de memòria, cadascuna d'elles de  $4M \times 16$  bits. Les matrius estan formades per 8K fileres i la longitud de bloc pot ser de 2, 4 i 8 paraules. La taula 1 mostra els paràmetres temporals del xip.

Paràmetre		Símbol	Mín.	Unitats
Període del rellotge	$CL = 2.5$	$t_{CL}(2.5)$	6	ns
	$CL = 2$	$t_{CL}(2)$	7.5	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	42	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	60	ns
Temps d'AUTOREFRESH		$t_{RFC}$	72	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	15	ns

Tabla 1: Restriccions temporals del xip.

1. Calculeu el nombre de paraules i el nombre de bytes emmagatzemats en cada filera d'una matriu. Quants bits de l'adreça seleccionen la filera i quants seleccionen la columna?
2. Feu un esquema de la temporització de la lectura d'un bloc de 8 paraules quan la freqüència del rellotge és de 166 MHz. Supposeu precàrrega automàtica. Quina és l'amplada de banda del xip?
3. Quants xips com aquests faran falta per a formar un mòdul DIMM (paraules de 64 bits)? Quina serà la capacitat total i l'amplada de banda màxima del mòdul?

**PROBLEMA 15** El mòdul de memòria MT16HTF2566H de 2 GB de la casa Micron es compon de 16 xips de memòria DDR2 de 128 MB els paràmetres temporals del qual s'indiquen a continuació: (CL = CAS Latency)

Paràmetre		Símbol	Mín.	Unitats
Període de rellotge	$CL = 6$	$t_{CK}(6)$	2.5	ns
	$CL = 5$	$t_{CK}(5)$	3	ns
	$CL = 4$	$t_{CK}(4)$	3.75	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	40	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	55	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	15	ns
Període de PRECHARGE		$t_{RP}$	15	ns

Amb aquestes dades:

1. Calculeu la màxima freqüència de funcionament d'aquesta memòria. La denominació estàndard del mòdul és PC2-XX, indicar el valor de XX. Indicar l'especificació temporal del mòdul ( $t_{CL} - t_{RCD} - t_{RP} - t_{RAS}$ ) en cicles de rellotge a la màxima freqüència de funcionament tenint en compte que  $t_{RAS} = t_{RCD} + t_{CL} + t_{RP}$ .
2. Descriviu la temporització òptima per a la lectura d'un bloc de 8 paraules d'aquest mòdul quan la freqüència de rellotge és de 266 MHz. L'operació ha d'acabar amb una ordre de PRECHARGE explícita. En quin cicle es pot fer una nova activació? Quina és la latència de lectura resultant?

**PROBLEMA 16** Una placa base per al processador MIPS R2000 disposa de 4 ranures (slots) per a mòduls de memòria DIMM. Els mòduls s'inserixen començant per la ranura 0 (adreça inicial del mapa de memòria) i sempre es van afegint en ranures consecutives (adreces creixents). Solament es permeten les quatre configuracions indicades en la taula 2. El programa d'inici del computador obté els mòduls instal·lats i apunta la configuració corresponent en dos bits (CFG1,CFG0) d'un registre de configuració del controlador de memòria.

Config.	CFG1	CFG0	Ranura 0	Ranura 1	Ranura 2	Ranura 3
0	0	0	1 GB	1 GB	1 GB	1 GB
1	0	1	1 GB	1 GB	1 GB	<buit>
2	1	0	2 GB	1 GB	<buit>	<buit>
3	1	1	2 GB	<buit>	<buit>	<buit>

Tabla 2: Selecció de mòduls de memòria DIMM.

Cada ranura disposa del seu senyal de selecció (CS0, CS1, CS2 i CS3) actiu a nivell alt.

1. Indiqueu la funció lògica del senyal CS1 de selecció del mòdul inserit en la ranura 1 en funció dels bits de configuració (CFG1,CFG0) i dels bits d'adreça oportuns.
2. Qualsevol intent d'accedir a una adreça on no hi haja un mòdul instal·lat provoca l'activació del senyal  $\overline{MEM\_ERR}$  (actiu per nivell baix). Indiqueu la funció lògica de  $\overline{MEM\_ERR}$  en funció dels bits de configuració (CFG1,CFG0) i els bits d'adreça oportuns.

**PROBLEMA 17** La matriu de memòria d'un xip DRAM síncrona DDR2 té una capacitat de 16 MB, amb un ample de paraula de 8 bits. Físicament, la seva única matriu (banc) està organitzada en 16384 fileres i els blocs contenen 4 paraules. Els paràmetres temporals de la matriu són aquests:

Paràmetre		Símbol	Mín.	Unitats
Període del rellotge	$CL = 5$	$t_{CL}(5)$	3	ns
	$CL = 4$	$t_{CL}(4)$	3.75	ns
	$CL = 3$	$t_{CL}(3)$	5	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	40	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	55	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	15	ns
Període de PRECHARGE		$t_{RP}$	15	ns



Amb aquestes dades:

1. Descriviu l'estructura de les adreces que s'apliquen a la matriu: quins bits determinen la filera i quins la columna de cada paraula? Quins bits determinen el bloc i quins el desplaçament dins de bloc? Quants blocs caben en la matriu? Quants blocs caben en cada filera de la matriu?
2. Si el període d'actualització és de 64 ms i cada ordre ocupa el xip durant 100 ns, quin és el percentatge de temps que cal dedicar a l'actualització?
3. Calculeu la màxima freqüència de funcionament d'aquesta memòria. Quina és l'amplada de banda màxima de la matriu?
4. Descriviu la temporització òptima per a la lectura d'un bloc d'aquesta memòria quan la freqüència de rellotge és de 250 MHz. L'operació ha d'acabar amb una ordre de PRECHARGE explícita. En quin cicle es pot fer una nova activació? Quina és la latència de lectura resultant?
5. Si amb 8 exemplars d'aquest xip fem dos mòduls  $M1$  i  $M2$  de 64 MB de capacitat cadascun per a un processador MIPS R2000 amb intenció d'ubicar-los seguits a partir de l'adreça  $0x90000000$ , quines funcions de selecció (actives per nivell baix) cal aplicar a cadascun d'ells?

**PROBLEMA 18** Es disposa de quatre xips de memòria DDR, cadascun d'ells amb una capacitat de 1 Gbit, un ample de paraula de 16 bits i les restriccions temporals següents:

Paràmetre		Símbol	Mín.	Unitats
Període de rellotge	$CL = 3$	$t_{CL}(3)$	5	ns
Període de rellotge	$CL = 2.5$	$t_{CL}(2.5)$	6	ns
Període de rellotge	$CL = 2$	$t_{CL}(2)$	7.5	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	40	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	55	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	15	ns
Període de PRECHARGE		$t_{RP}$	15	ns
Període de AUTOREFRESH		$t_{RFC}$	60	ns
Període d'actualització		$t_{REF}$	64 (máx)	ms

Tabla 3: Paràmetres temporals del xip de memòria DDR.

Es pretén combinar els quatre xips de memòria per a formar un mòdul de memòria de 512 MB de capacitat i connectar-lo a un processador amb ample de paraula de 64 bits i espai d'adreçament de 4 GB.

1. Calculeu el temps emprat a llegir una ràfega de 8 paraules amb la màxima velocitat del bus suportada pels xips. El controlador de memòria fa accessos activant i tancant la filera per a cada ràfega (ACTIVE/READ/PRECHARGE); la precarrega és automàtica. Justifiqueu la resposta dibuixant el cronograma tot indicant les ordres emeses pel controlador en cada cicle de rellotge.
2. Calculeu l'amplada de banda del mòdul per a la màxima velocitat del bus suportada pels xips.
3. Escriviu la funció de selecció a nivell baix per al mòdul de memòria, tot tenint en compte que l'adreça inicial del mòdul és  $0x80000000$ .
4. Calculeu el percentatge de temps dedicat a tasques de refresc del mòdul. Considereu que els xips s'estructuren en una única matriu (banc) quadrada de paraules.

**PROBLEMA 19** Un xip de memòria dinàmica DDR2 té 4 GB de capacitat. Les paraules són de 32 bits i els blocs de 32 bytes. Internament està format per quatre matrius quadrades. La tabla 4 mostra els paràmetres temporals d'aquest xip.

Paràmetre		Símbol	Mín.	Unitats
Període del rellotge	$CL = 3$	$t_{CL}(1)$	1	ns
	$CL = 2$	$t_{CL}(2)$	1.5	ns
	$CL = 1$	$t_{CL}(3)$	3	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	8	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	11	ns
Temps entre PRECHARGE i ACTIVE		$t_{RP}$	3	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	2	ns

Tabla 4: Restriccions temporals del xip

1. Respecte de l'organització interna del xip, calculeu:

- Nombre de files i columnes de cada matriu
- Grandària dels registres de filera i de columna
- Quantitat total de blocs en el xip
- Nombre de blocs per fila en cada matriu

2. Feu un esquema de la temporització de la lectura d'un bloc quan la freqüència de rellotge és de 800 MHz. Suposeu **precàrrega explícita**. En quin cicle es podria iniciar la lectura d'un altre bloc?

3. Quants xips com aquest caldran per a formar un mòdul DIMM (paraules de 64 bits)? Quina serà la capacitat total i l'amplada de banda màxima del mòdul?

**PROBLEMA 20** Un xip de memòria dinàmica DDR3 està format per huit matrius de memòria, cadascuna d'elles de  $16M \times 8$  bits. Les matrius estan formades per 16K fileres i la longitud de bloc és de 8 paraules. La taula 5 mostra els paràmetres temporals del xip.

Paràmetre		Símbol	Mín.	Unitats
Període del rellotge	$CL = 5$	$t_{CL}(5)$	2.5	ns
	$CL = 7$	$t_{CL}(7)$	1.875	ns
	$CL = 9$	$t_{CL}(9)$	1.5	ns
	$CL = 11$	$t_{CL}(11)$	1.25	ns
Temps entre ordres ACTIVE i PRECHARGE		$t_{RAS}$	37.5	ns
Temps entre ordres ACTIVE i ACTIVE		$t_{RC}$	50	ns
Temps entre ordres ACTIVE i READ/WRITE		$t_{RCD}$	12.5	ns
Temps entre PRECHARGE i ACTIVE		$t_{RP}$	12.5	ns

Tabla 5: Restriccions temporals del xip del problema 20

1. Quina és la màxima freqüència de treball d'aquest xip de memòria? Féu un esquema simplificat de la temporització de la lectura d'un bloc de 8 paraules a la màxima freqüència del rellotge. Suposeu precàrrega automàtica.

- Quin és el temps (en ns) d'accés de lectura comptant comptant des de l'activació de filera fins a l'obtenció de la primera paraula del bloc?
- Quina és l'amplada de banda del xip?

2. Calculeu:

- El nombre de paraules emmagatzemats en cada filera d'una matriu.
- Quants bits de l'adreça seleccionen la filera i quants seleccionen la columna?
- Quants xips com aquests faran falta per a formar un mòdul DIMM (paraules de 64 bits)?

- Si el mòdul treballa a la freqüència màxima admesa pels xips (calculada en l'apartat 1), quina serà la seua amplada de banda?
- 

**PROBLEMA 21** Es disposa d'un mòdul de memòria dinàmica síncrona DDR de 128 MB de capacitat i ample de paraula de 64 bits. El mòdul està construït amb 16 xips d'ample de paraula de 4 bits. Cada xip està constituït per quatre bancs de memòria, cadascun d'ells de matriu quadrada.

1. Calculeu la grandària dels registres de fila i de columna utilitzats en els xips de memòria.
2. Calculeu la funció de selecció, activa a nivell baix, si el mòdul s'ubica a partir de l'adreça 0xF0000000.
3. Indiqueu els senyals que s'utilitzen entre el processador i el mòdul, per a la selecció del mòdul, la selecció de fila i columna en el xip, selecció del banc en el xip i els senyals d'habilitació de byte. Els bits de major pes seleccionen el banc dins del xip.
4. Assumint que la freqüència del bus és de 200 MHz, la latència CAS del mòdul és de 3 cicles ( $CL=3$ ), el retard  $t_{RCD}$  de 20 ns (temps entre ordres ACTIVE i READ/WRITE), i la longitud de ràfega de 8 paraules, indiqueu la latència en nanosegons necessària a fi de llegir tota una ràfega.