

Apellidos:

Nombre:

Problema 1 (2 Puntos)

El transistor MOSFET empleado en el circuito de la figura A tiene unas curvas características como las mostradas en la figura B. A la vista de ello, se pide:

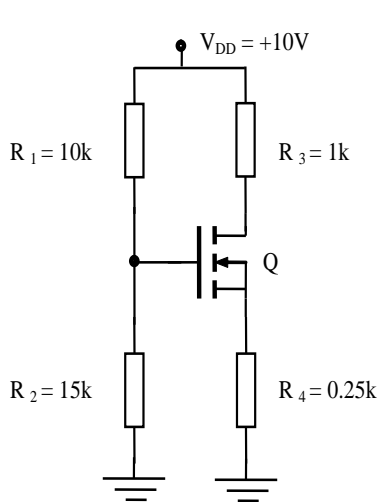


Fig. A

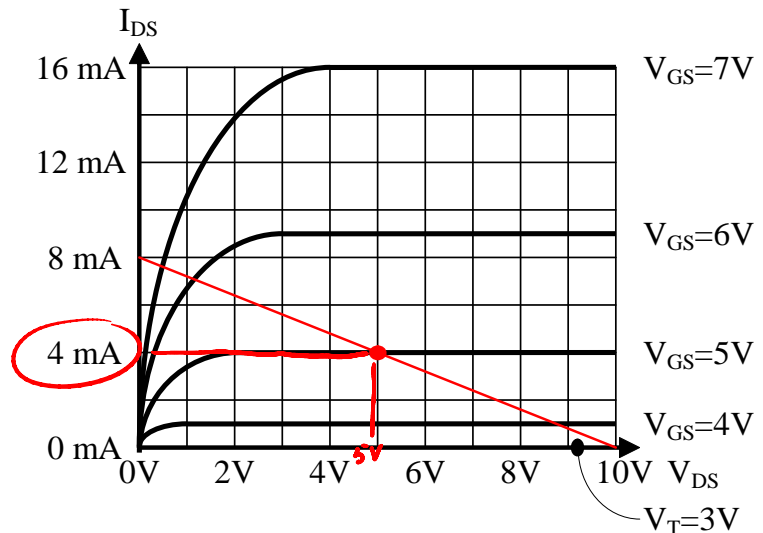


Fig. B

Datos: $V_T = 3V$, $K = 1mA/V^2$

a) (1.2p) Calcule el punto de trabajo del transistor Q y justifique su región de funcionamiento.

Para obtener la polarización del transistor MOSFET, se siguen los tres pasos típicos.

Paso 1: Plantear la malla G-S

Para obtener V_G se plantea un divisor resistivo (como siempre, supondremos que la corriente de puerta $I_G = 0mA$)

$$V_G = \frac{R_2}{R_1 + R_2} \times V_{DD} = \frac{15K}{10K + 15K} \times 10V = 6V$$

$$V_S = R_4 I_{DS}$$

$$V_{GS} = V_G - R_4 I_{DS}; \quad V_{GS} = 6V - 0.25k\Omega I_{DS} \quad [1]$$

Paso 2: Suponemos saturación

$$I_{DS} = K (V_{GS} - V_T)^2; \quad I_{DS} = 1mA/V^2 (V_{GS} - 3V)^2 \quad [2]$$

Sustituyendo [1] en [2]

$$I_{DS} = 1mA/V^2 (6V - I_{DS} \cdot 0.25 - 3V)^2 \text{ y operando:}$$

$$I_{DS} = (3 - 0.25I_{DS})^2; \quad I_{DS} = 9 - 1.5I_{DS} + 0.0625I_{DS}^2; \quad 0.0625I_{DS}^2 - 2.5I_{DS} + 9 = 0V$$

$$I_{DS} = \frac{2.5 \pm \sqrt{6.25 - 2.25}}{0.125} = \frac{2.5 \pm 2}{0.125} = \begin{cases} 36mA \\ 4mA \end{cases}$$

Con $I_{DS} = 36mA \rightarrow V_{GS} = 6 - 0.25 \times 36 = -3V < V_T \rightarrow$ Solución imposible pues no conduce

Con $I_{DS} = 4mA \rightarrow V_{GS} = 6 - 0.25 \times 4 = 5V > V_T \rightarrow$ Solución correcta

Paso 3: Malla D-S y demostración de saturación

$$V_{DD} - R_3 I_{DS} - V_{DS} - R_4 I_{DS} = 0V \quad [3]$$

Sustituyendo todos los datos:

$$10V - 1k\Omega \cdot 4mA - V_{DS} - 0.25k\Omega \cdot 4mA = 0V$$

$$V_{DS} = 10V - 4V - 1V = 5V \rightarrow \text{¿} V_{DS} > V_{GS} - V_T ? \rightarrow 5V > 5V - 3V \rightarrow \text{Saturado}$$

V_{GS}	5V
I_{DS}	4mA
V_{DS}	5V
Reg. func.	Saturación

- b) (0.6 ptos.) Calcule la ecuación de la recta de carga del circuito y represéntela sobre el diagrama de la Fig. B

Para obtener la recta de carga utilizamos la ecuación de la malla de salida del circuito:

$$V_{DD} - R_3 I_{DS} - V_{DS} - R_4 I_{DS} = 0V$$

Despejando $I_{DS} = f(V_{DS})$ se tiene:

$$I_{DS} = \frac{V_{DD}}{R_3 + R_4} - \frac{V_{DS}}{R_3 + R_4} = \frac{10V}{1.25k\Omega} - \frac{V_{DS}}{1.25k\Omega}$$

Para calcular los puntos de corte con los ejes:

Cuando $I_{DS} = 0$, se tiene $V_{DS} = 10V$

Cuando $V_{DS} = 0$, se tiene $I_{DS} = 10V / 1.25k\Omega = 8mA$

La recta de carga se puede dibujar uniendo los dos puntos de corte con los ejes (como aparece en la Fig. B).

- c) (0.2 ptos.) Sitúe el punto de trabajo sobre el diagrama de la Fig. B y explique cómo se obtiene de forma gráfica.

Conocido el valor de la tensión puerta-fuente $V_{GS} = 5V$ podemos obtener gráficamente el punto de trabajo como la intersección de la curva característica $V_{GS} = 5V$ con la recta de carga.

Podemos observar en la Fig. B que las proyecciones del punto de intersección con los ejes coinciden con el punto de trabajo calculado de forma analítica, esto es:

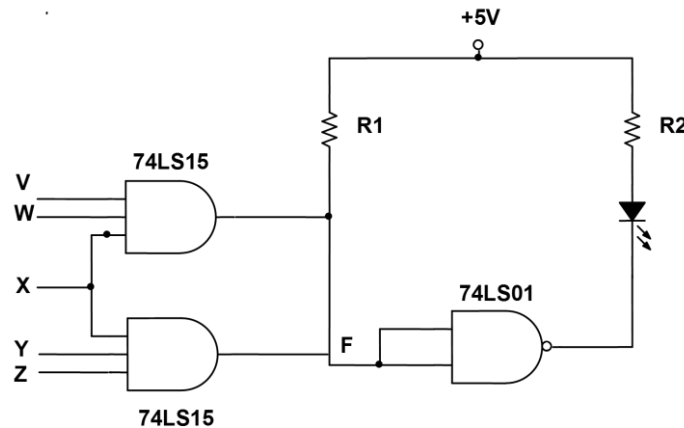
$$V_{DS} = 5V; I_{DS} = 4mA$$

Apellidos:

Nombre:

Problema 2 (3 Puntos)

El circuito siguiente utiliza puertas TTL con salida en colector abierto (c.i 74LS01 y 74LS15) para implementar "lógica cableada" y para activar el LED de salida.



A. (0.7p) Escribir una expresión lógica para la función implementada por el circuito en la señal F. Justifique la respuesta.

F = **AND-cableada** de las 2 salidas.

Por tanto $F = (V.W.X).(X.Y.Z) = V.W.X.Y.Z$, teniendo en cuenta que $X.X = X$ en la lógica booleana

B. (0.6p) Cuando F = '1', ¿Está el LED apagado o encendido?. Justifique la respuesta.

La salida de la puerta NAND 74LS01 es un "0" lógico, pues esta puerta actúa como un inversor.

La corriente va desde la tensión de alimentación (+5V) a la salida de la puerta (V_{OL}), y el diodo conduce en el sentido ánodo-cátodo. Por tanto **está encendido**. Si la corriente es suficientemente grande, se iluminará.

C. (0.7p) Diseñar R2, suponiendo que la corriente por el LED encendido es $I_{LED(on)} = I_{OLmax}$ y que $V_{LED(on)} = 1.2V$.

Planteamos la ecuación de la malla del LED:

$$5 = I_{OL} R_2 + V_{LED} + V_{OL}$$

A partir de las especificaciones del fabricante (ver tabla adjunta):

$$5 = 7R_2 + 1.2 + 0.5$$

Despejando, **R2 = 0.47K**

D. (1p) Teniendo en cuenta las siguientes características para los c.i 74LS01 y 74LS15 calcular el rango de valores permitido para R1:

Vcc	V _{IHmin}	V _{ILmax}	V _{OLmax}	I _{IHmax}	I _{OHmax} (fugas)	I _{OLmax}	I _{ILmax}
5 V	2.5V	0.8 V	0.5 V	20 μ A	100 μ A	7 mA	-0.36 mA

R1 es la resistencia de pull-up. Su misión es doble:

- Fijar el "1" de F para que sea compatible con las entradas de la puerta 74LS01.
- Limitar la corriente de salida a nivel bajo en la puerta 74LS15. De esta manera el "0" de F será correcto y compatible con las entradas.

- a) Debe cumplirse que $V_{OH} \geq V_{IHMIN}$ (también podría usarse V_{OHMIN})

$$5 - IR_1 \geq V_{IHMIN}$$

Teniendo en cuenta las corrientes de fuga (I_{OH}) en las 2 salidas y las corrientes de entrada (I_{IH}) en las 2 entradas,

$$5 - (2I_{OH} + 2I_{IH})R_1 \geq V_{IHMIN}$$

Esto define una cota máxima para R_1 :

$$R_1 \leq \frac{5 - V_{IHMIN}}{2I_{OH} + 2I_{IH}}$$

$$R_1 \leq \frac{5 - 2.5}{2 \times 0.1 + 2 \times 0.02} \rightarrow R_1 \leq 10.42K$$

- b) Debe cumplirse que $I_{OL} \leq I_{OLMAX}$

Suponiendo una única salida a "0" (un único transistor de salida saturado),

$$I + 2|I_{IL}| \leq I_{OLMAX}$$

$$\frac{(5 - V_{OL})}{R_1} + 2|I_{IL}| \leq I_{OLMAX}$$

Esto define una cota mínima para R_1 :

$$R_1 \geq \frac{5 - V_{OLMAX}}{I_{OLMAX} - 2|I_{IL}|}$$

$$R_1 \geq \frac{5 - 0.5}{7 - 2 \times 0.36} \rightarrow R_1 \geq 0.72K$$

Así pues, el rango de valores para R_1 es: $0.72K \leq R_1 \leq 10.42K$

A mayor R_1 , menor consumo

A menor R_1 , mayor velocidad de conmutación

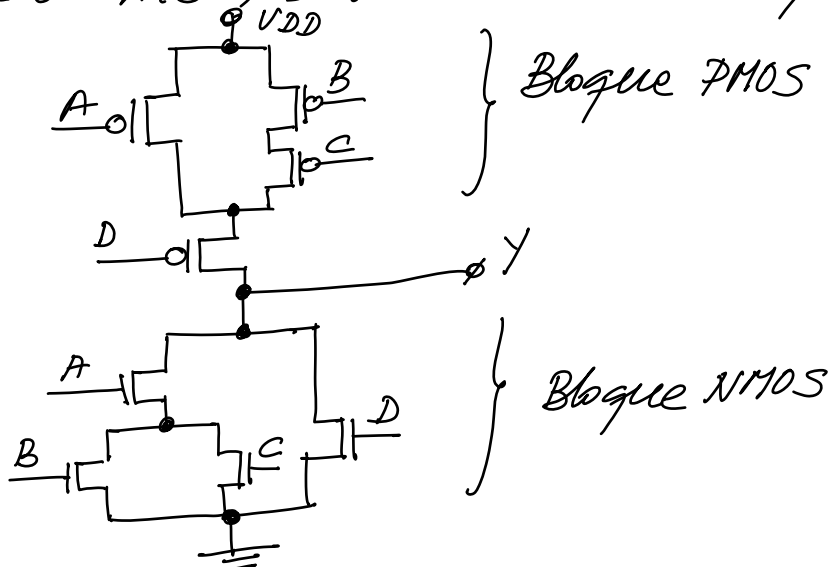
Un valor intermedio sería adecuado para conseguir un buen compromiso entre velocidad y consumo.

Apellidos:

Nombre:

Problema 3 (3 Puntos)A. (2p) Diseñe la función $Y = \overline{A(B+C)} + D$ con lógica CMOS complementaria. Justifique la respuesta.

$$Y = \overline{A(B+C)} + D \quad (\text{Función 6 del bloque NMOS})$$

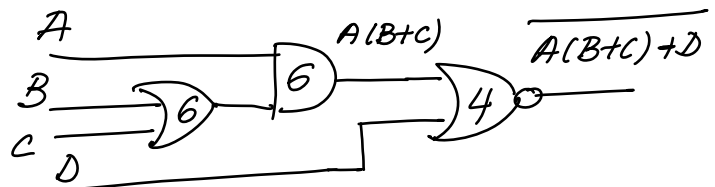


B. (0.5p) Estime el número de transistores y compárelo con un diseño tradicional a base de puertas lógicas. Justifique la respuesta

- 8 transistores.

- Diseño tradicional \rightarrow

Total: 16 transistores



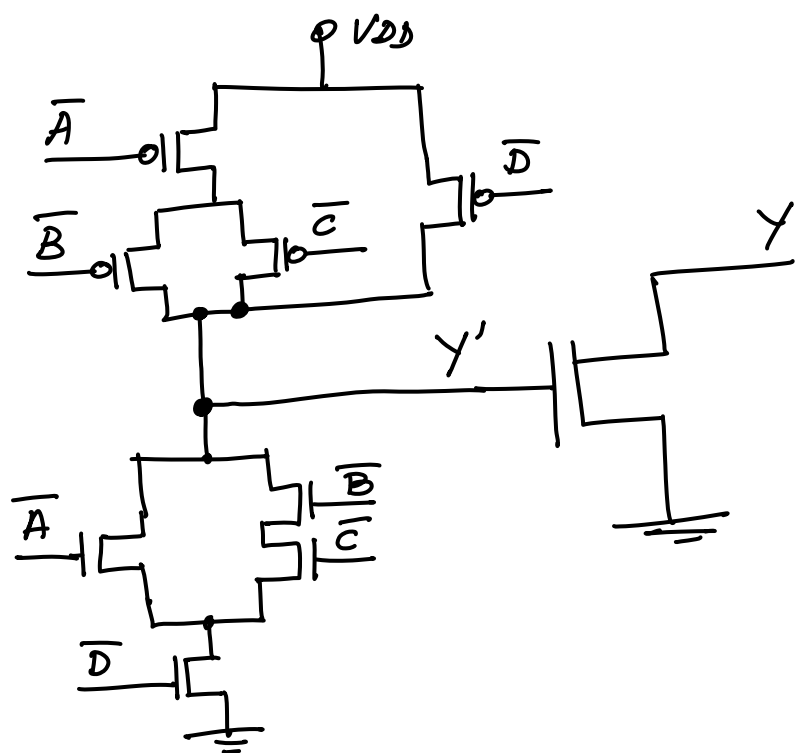
(0.5p) Modifique el diseño del apartado A) para que su salida sea en drenador abierto. Justifique la respuesta.

$$Y = \overline{A(B+C)} + D = \overline{A(B+C)} \cdot \overline{\overline{D}} = [\overline{A} + \overline{(B+C)}] \overline{D}$$

$$= (\overline{A} + \overline{B}\overline{C}) \overline{D} = \overline{(\overline{A} + \overline{B}\overline{C}) \overline{D}} = Y'; \quad Y' = (\overline{A} + \overline{B}\overline{C}) \overline{D}$$

Implementamos Y' y luego un transistor en drenador abierto que hará de inversor.

$$\text{En este caso } G = (\overline{A} + \overline{B}\overline{C}) \overline{D}$$



Cuestión de prácticas (2 Puntos)

Suponga que se monta en el laboratorio el siguiente circuito de protección de entradas digitales.

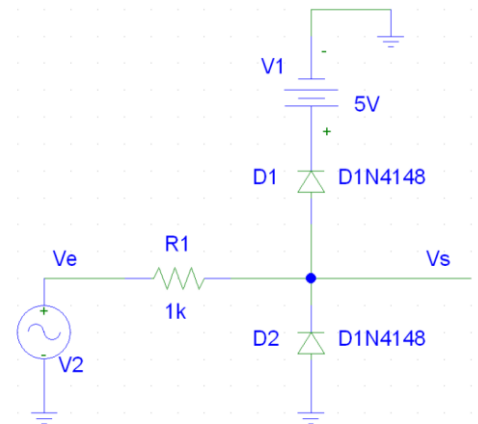
A (0.5p) Indique los aparatos que corresponden a V1 y V2

V1: Fuente de alimentación de continua

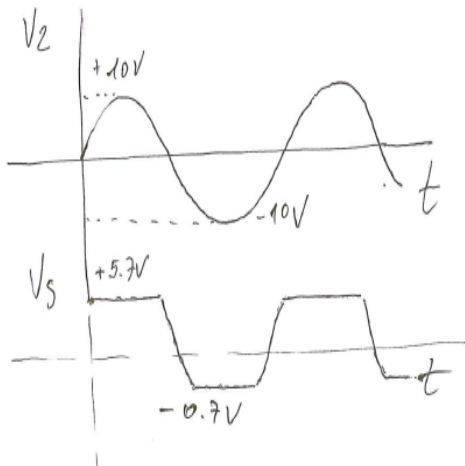
V2: Generador de señales de alterna

B (0.5p) ¿Con qué aparato se debe medir Vs?

Con el **osciloscopio**, por ser una señal de tensión variable en el tiempo



C. (0.5p) Si en V2 se introduce una señal de entrada senoidal simétrica (con valor medio nulo) de 20Vpp, dibuje las señales de entrada y salida.



$$\begin{aligned}
 V_e > 5.7V &\rightarrow V_s = 5.7V \\
 V_e < -0.7V &\rightarrow V_s = -0.7V \\
 -0.7 < V_e < 5.7 &\rightarrow V_s = V_e \\
 \text{Recorte } +5.7V &\rightarrow \text{conduce } D_1 \\
 \text{Recorte } -0.7V &\rightarrow \text{conduce } D_2
 \end{aligned}$$

D. (0.5p) Si quisiera simular el circuito con Pspice, indique qué tipo de análisis emplearía y cómo visualizaría las señales de entrada y salida en función del tiempo.

Tipo de análisis: **Transient**, por ser un análisis de señales en el tiempo. En *Analysis/Setup/Transient* se especifica la duración (*Final Time*) y la resolución temporal (*Print Step*).

Visualización de Ve y Vs:

- Poniendo **sondas de tensión** (*Voltage/Level Marker*) en el esquemático, conectadas a Ve y Vs
- En la ventana de PROBE, activar **Trace/Add Trace**, y seleccionar las señales Ve (V2+) y Vs (el cátodo de D2 o el ánodo de D1)