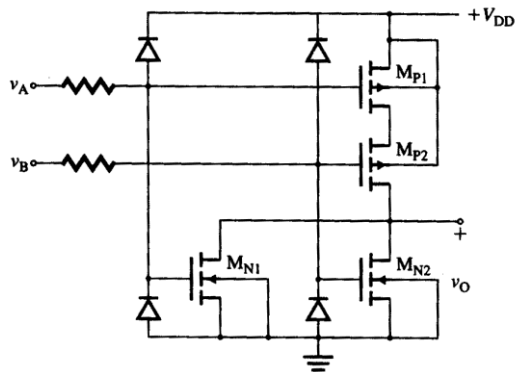


# FUNDAMENTOS DE LA TECNOLOGÍA CMOS. SELECCIÓN DE EJERCICIOS RESUELTOS

## I. Lógica CMOS Complementaria

I.1. ¿Qué tipo de puerta es? ¿Cuál es la función de los diodos? ¿Cuál es la función de las resistencias?



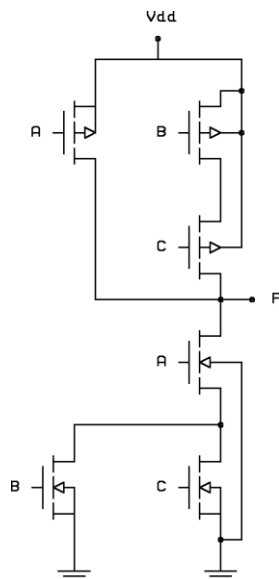
**SOL:** Es una NOR de 2 entradas.

Los diodos y las resistencias forman circuitos de protección de las puertas de los transistores frente a picos de tensión positivos o negativos. Los diodos (*clamping diodes*) limitan la tensión en la puerta:

$$-V_{\gamma} \leq V_G \leq V_{DD} + V_{\gamma}$$

Las resistencias limitan la corriente que pasa por los diodos de protección.

I.2. Hallar la expresión booleana para F en términos de A, B y C.



**SOL:**

Analizando el bloque NMOS

$$G = A \cdot (B + C) \rightarrow F = \overline{G} = \overline{A(B + C)}$$

Analizando el bloque PMOS

$$G = \overline{A} + \overline{B \cdot C} \rightarrow F = G$$

Es fácil ver, según el teorema de De Morgan, que las dos funciones son equivalentes

I.3. Diseñe la función  $F = AB + AC + BC$  (correspondiente al acarreo de salida de un *Full-Adder*) con lógica CMOS complementaria. Estime el número de transistores y compárelo con un diseño tradicional a base de puertas lógicas.

**SOL:**

Negando dos veces y aplicando De Morgan:

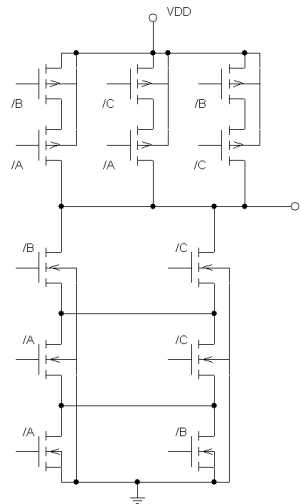
$$F = \overline{\overline{AB + AC + BC}} = \overline{(\overline{A + B})(\overline{A + C})(\overline{B + C})}$$

La función  $G = (\overline{A + B})(\overline{A + C})(\overline{B + C})$  implementará el bloque NMOS:

3 subbloques paralelos asociados en serie (ver cuestión 6)

El bloque NMOS se conecta a masa y a la salida F

El bloque PMOS se diseña en forma dual a partir del NMOS, es decir, cambiando las asociaciones serie por paralelo y viceversa. Se conecta entre VDD y F.



Número de transistores: Contando los inversores para implementar Not(A), Not(B) y Not(C) (suponen 2 transistores cada inversor) + Bloque NMOS (6 transistores) + Bloque PMOS (6 transistores) → **18 transistores.**

Diseño tradicional: 3 AND (18T) + OR de 3 entradas (8T) = **26 transistores**

## II. Puertas de Transmisión y aplicaciones

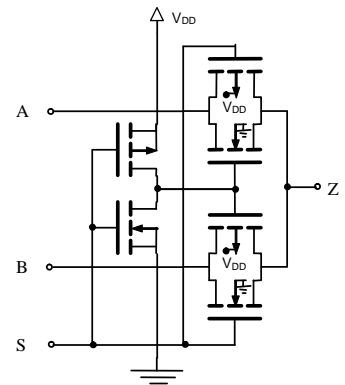
II.1. A la vista del siguiente circuito y suponiendo que por A y B entran niveles digitales, cuál de las afirmaciones es CIERTA:

A) El circuito es un multiplexor con salida negada.

B) La función lógica que realiza es  $Z = S \cdot \bar{B} + \bar{S} \cdot \bar{A}$

C) La función lógica que realiza es  $Z = S \cdot B + \bar{S} \cdot A$

D) Las puertas de transmisión del circuito degradan los niveles lógicos



II.2. Realice un diseño de la puerta XOR de dos entradas, basado en puertas de transmisión CMOS y las puertas adicionales necesarias. Sugerencia: utilice la estructura básica de un multiplexor de 2 canales.

Nota:  $F = A \oplus B = \bar{A}B + A\bar{B}$

**SOLUCIÓN:**

$$F = A \oplus B = \bar{A}B + A\bar{B}$$

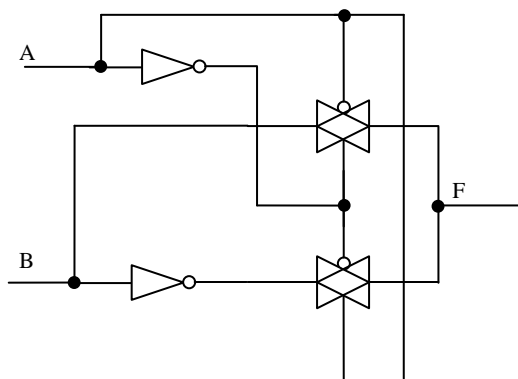
La función nos dice que:

Si A="0"  $\rightarrow F=B$

Si A="1"  $\rightarrow F=\bar{B}$

Podemos plantear el diseño a partir de un MUX de dos canales, B y  $\bar{B}$ , y una señal de selección SEL=A (obviamente también se podrían elegir los canales A y  $\bar{A}$ , y una señal de selección SEL=B)

El esquema quedaría así:



Si se quiere restaurar la señal, habría que poner un inversor a la salida, con lo que tendríamos la función negada, la XNOR.

Otra opción es plantear la XOR en versión negada, con lo que no cambiamos F:

$$F = A \oplus B = \bar{A}B + A\bar{B}, \text{ la complementaria de la XNOR}$$

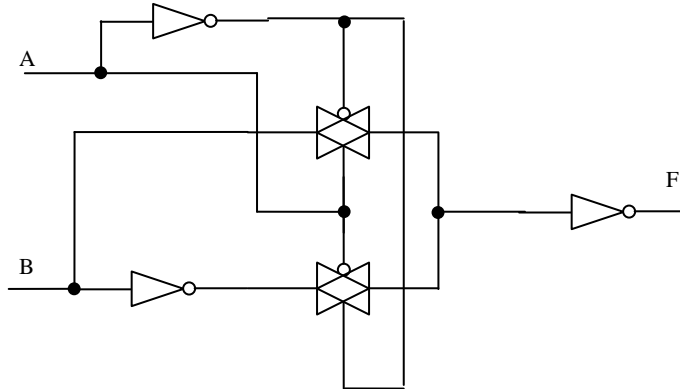
La parte interna de la inversión se puede hacer con dos puertas de transmisión, y a continuación se pone el inversor de salida.

La función nos dice que:

Si A="0"  $\rightarrow F=\bar{B}$

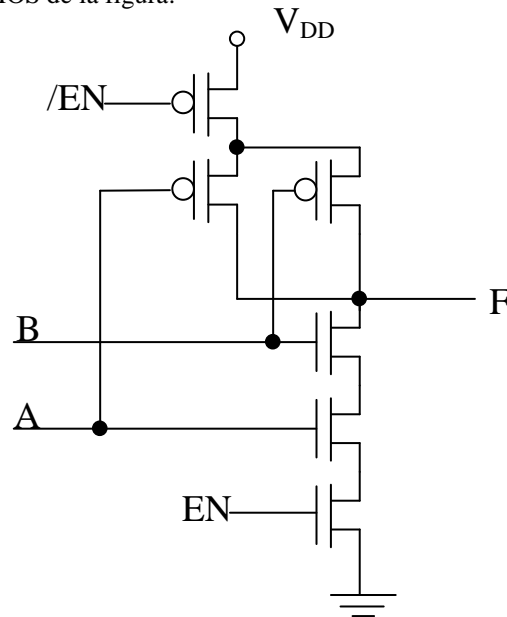
Si  $A = 1 \rightarrow F = B$

Podemos plantear el diseño a partir de un MUX de dos canales, B y  $\neg B$ , y una señal de selección  $SEL = A$ , como antes, pero con los canales cambiados. Y observe el inversor de salida para restar la señal digital.



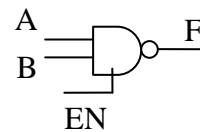
### III. Salidas especiales: triestado y drenador abierto

III.1. En el circuito CMOS de la figura:

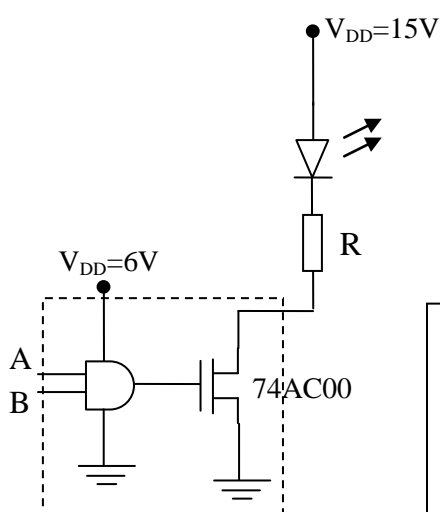


- A) Si  $EN = "0"$ ,  $F = \overline{A.B}$
- B) Si  $EN = "1"$ ,  $F = A + B$
- C) Si  $EN = "0"$ ,  $F = H.Z$  (alta impedancia)
- D)  $F = \overline{A.B}$  siempre

NOTA: Se trata de una NAND triestate



III.2. La figura adjunta muestra el circuito de control de un diodo LED mediante una puerta NAND con salida drenador abierto. Se han usado puertas 74AC, pues proporcionan suficiente corriente para el LED (las puertas 74HC tienen una corriente máxima de salida de 4 mA). Diseñad el valor adecuado de la resistencia R para que se encienda correctamente el LED.



#### Datos 74AC00

$I_{OLmax} = 24 \text{ mA}$

$V_{OLmax} = 0.37V$

#### Datos LED

$I_{LED} = 10 \text{ mA}$

$V_{LED} = 1.6V$

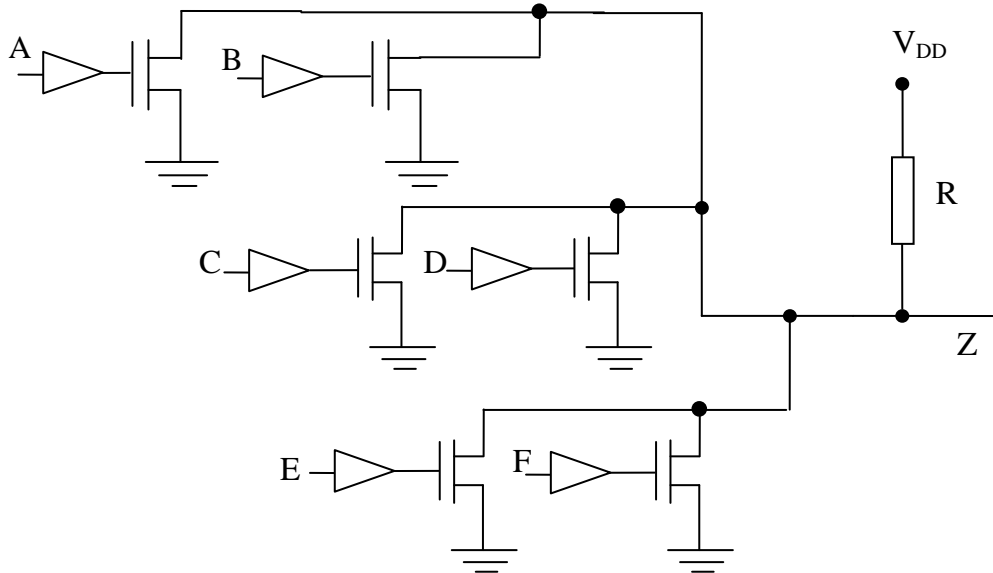
#### SOL:

$$V_{DD} = V_{led} + R I_{led} + V_{OLmax}$$

$$R = (V_{DD} - V_{led} - V_{OLmax}) / I_{led} = (15 - 1.6 - 0.37) / 10 = 1.3K\Omega$$

- A)  $R = 130\Omega$
- B)  $R = 3k3$
- C)  **$R = 1.3K\Omega$**
- D) Ninguna de las anteriores

III.3. Indicad la expresión lógica de la función cableada Z. Las puertas tienen salida en drenador abierto. Suponed que R es una resistència de pull-up de valor adecuado.



- A)  $Z = A + B + C + D + E + F$
- B)  **$Z = \overline{A + B + C + D + E + F} \leq$**
- C)  $Z = (A + B).(C + D).(E + F)$
- D)  $Z = A.B.C.D.E.F$

**NOTA:**

La conexión de las salidas en drenador abierto implementa una función AND cableada, porque basta que una de las salidas sea “0” para que la salida global sea “0”. Como cada puerta es una NOT colector abierto (formada por un buffer y un transistor con el drenador abierto),

$$Z = \overline{A.B.C.D.E.F} = \overline{A + B + C + D + E + F}$$

III.4. La figura muestra 8 salidas en drenador abierto conectadas a un bus. Indicad el valor máximo y mínimo de la resistència de pull-up R, atendiendo a las siguientes especificaciones de las puertas.

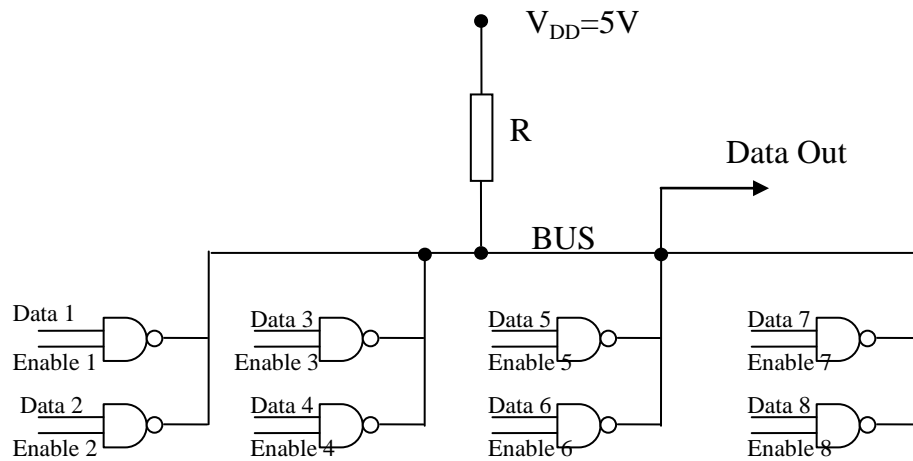
**Especificaciones puertas (74HC):**

$$I_{OLmax} = 4mA,$$

$$V_{OLmax} = 0.33V$$

$$V_{OHmin} = 3.84V$$

$$I_{OHmax} = 5\mu A \text{ (corrientes de fuga en el nivel alto de salida)}$$



- A)  $0.5K \leq R \leq 4K7$
- B)  $0.5K \leq R \leq 10K$
- C)  $1.5K \leq R \leq 3K3$
- D)  $1.17K \leq R \leq 29K$**

**SOL:**

\* Nivel bajo (Bus="0")  $\rightarrow$  una salida = "0" y 7 salidas = "1" (transistores cortados)

$$R \geq (V_{DD} - V_{OLmax}) / I_{OLmax} \rightarrow R \geq (5 - 0.33) / 4 \rightarrow R \geq 1.17K$$

\* Nivel alto (Bus="1")  $\rightarrow$  8 salidas = "1" (transistores cortados con corriente de fuga IOH)

$$R \leq (V_{DD} - V_{OHmin}) / (8 \times I_{OHmax}) \rightarrow R \leq (5 - 3.84) / (8 \times 0.005) \rightarrow R \leq 29K$$

#### IV. Parámetros característicos/ Subfamilias CMOS

IV.1. Con relación a la familia lógica CMOS, indicar cuál de las siguientes afirmaciones es correcta:

- A) El consumo dinámico es independiente de la tensión de alimentación.
- B) La subfamilia AC MOS es más lenta que la familia CMOS estándar.
- C) El producto (consumo x retardo) es peor que el de las subfamilias LSTTL y ALSTTL, debido al mayor retardo de propagación.

**D) Para una tensión de alimentación  $V_{DD} = 5V$ , los límites de los niveles lógicos vienen definidos por los siguientes valores:  $V_{IH}(\min) = 3.5V$ ,  $V_{IL}(\max) = 1.5V$ .**

IV.2. De las siguientes afirmaciones acerca de los inversores CMOS escoged aquella que sea correcta:

- A) En un inversor CMOS la transición entre sus dos niveles lógicos es menos ideal que para el inversor NMOS.

**B) En un inversor CMOS la disipación de potencia en cualquiera de sus dos niveles lógicos, es nominalmente cero.**

- C) La disipación de potencia disminuye al aumentar la frecuencia de conmutación.
- D) La tensión de alimentación no puede sobrepasar los 10V.

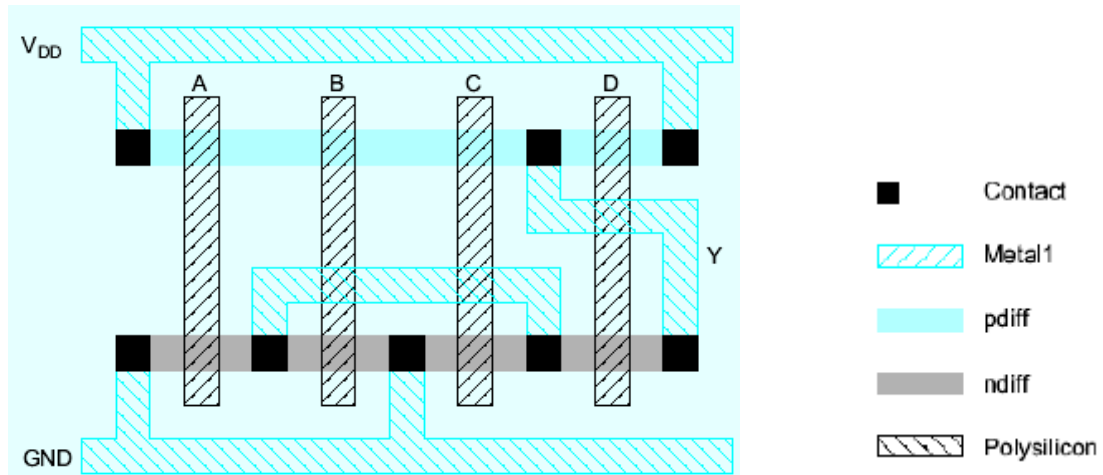
IV.3. Un determinado procesador CMOS tiene 20M transistores dedicados a lógica combinacional/secuencial, y 180M transistores dedicados a la memoria. El factor de actividad medio de la lógica es 0.1, y el de la memoria es 0.05. Si la capacidad media por transistor es de 1 fF (1 femtofaradio =  $10^{-15}F$ ), la alimentación es 1.2V y la frecuencia del reloj es 1GHz, calcule la potencia consumida.

**SOL:**  $P_d = P_d(\text{lógica}) + P_d(\text{memoria}) = V_{DD}^2 C_L f (20 \times 10^6 \alpha_{\text{lógica}} + 180 \times 10^6 \alpha_{\text{men}}) = (1.2)^2 \times 10^{-15} \times 10^9 \times 10^6 (20 \times 0.1 + 180 \times 0.05) = 1.44 \times (2 + 9) = 15.84 = 15.84 \text{ W}$



## V. Fundamentos del diseño VLSI

V.1. A partir del layout de colores de la figura, identifica la función implementada por la celda estándar.



**SOL:**

Los transistores NMOS comparten la misma capa n-diff  
Los transistores PMOS comparten la misma capa p-diff  
Cada pareja NMOS-PMOS comparte una misma capa de poly  
4 capas de Poly, correspondientes a las 4 entradas A, B, C, D

Bloque NMOS:

A, B, C en paralelo, y a su vez en serie con D

$$G = (A + B + C).D$$

$$Y = \overline{G} = \overline{(A + B + C).D}$$

Bloque PMOS:

Estructura dual al NMOS

A, B, C en serie, y a su vez en paralelo con D

Línea de masa (GND) en la parte inferior, realizada con metal 1

Línea de alimentación (VDD) en la parte superior de la celda, realizada con metal1