

Tema 3: BLOQUES COMBINACIONALES BÁSICOS (SOLUCIONES)

GRADO EN INFORMÁTICA

Contenido

3.1 – Decodificadores, teoría	2
3.2 – Decodificadores, composición	5
3.3 – Multiplexores, cuestiones teóricas.....	9
3.4 – Multiplexores, composición	10
3.5 – Diseño con bloques combinacionales básicos	16

3.1 – Decodificadores, teoría

3.1.1. Rellenar las tablas de verdad de los siguientes decodificadores.

- a) Decodificador con 2 entradas de selección, entrada de habilitación a nivel alto y salidas a nivel alto.

Tabla de verdad completa							Tabla de verdad reducida						
G	B	A	S3	S2	S1	S0	G	B	A	S3	S2	S1	S0
0	0	0	0	0	0	0	0	X	X	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	0	1	1	1	1	1	0	0	0
1	0	1	0	0	1	0							
1	1	0	0	1	0	0							
1	1	1	1	0	0	0							

- b) Decodificador con 2 entradas de selección, entrada de habilitación a nivel bajo y salidas a nivel alto.

Tabla de verdad completa							Tabla de verdad reducida						
/G	B	A	S3	S2	S1	S0	/G	B	A	S3	S2	S1	S0
0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	1	0	0	0	1	0	0	1	0
0	1	0	0	1	0	0	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1	1	1	1	0	0
1	0	0	0	0	0	0	1	X	X	0	0	0	0
1	0	1	0	0	0	0							
1	1	0	0	0	0	0							
1	1	1	0	0	0	0							

- c) Decodificador con 2 entradas de selección, entrada de habilitación a nivel alto y salidas a nivel bajo.

Tabla de verdad completa							Tabla de verdad reducida						
G	B	A	/S3	/S2	/S1	/S0	G	B	A	/S3	/S2	/S1	/S0
0	0	0	1	1	1	1	0	X	X	1	1	1	1
0	0	1	1	1	1	1	1	0	0	1	1	1	0
0	1	0	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0	1	0	1	1
1	0	0	1	1	1	0	1	1	1	0	1	1	1
1	0	1	1	1	0	1							
1	1	0	1	0	1	1							
1	1	1	0	1	1	1							

- d) Decodificador con 2 entradas de selección, entrada de habilitación a nivel bajo y salidas a nivel bajo.

Tabla de verdad completa

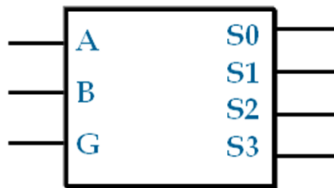
/G	B	A	/S3	/S2	/S1	/S0
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	0	0	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	1	1	1	1

Tabla de verdad reducida

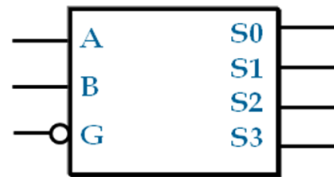
/G	B	A	/S3	/S2	/S1	/S0
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	X	X	1	1	1	1

3.1.2. Dibujar los símbolos de los decodificadores del ejercicio 3.1.1

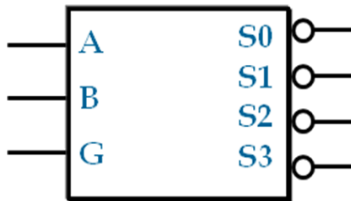
a) Decodificador con 2 entradas de selección, entrada de habilitación a nivel alto y salidas a nivel alto.



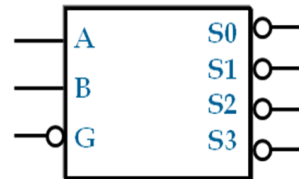
b) Decodificador con 2 entradas de selección, entrada de habilitación a nivel bajo y salidas a nivel alto.



c) Decodificador con 2 entradas de selección, entrada de habilitación a nivel alto y salidas a nivel bajo.



d) Decodificador con 2 entradas de selección, entrada de habilitación a nivel bajo y salidas a nivel bajo.

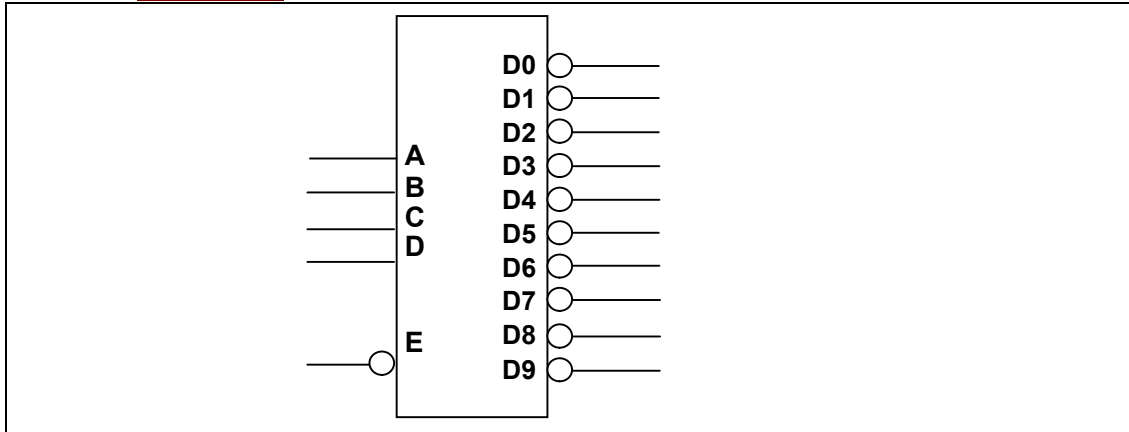


3.1.3. Se desea diseñar un decodificador, de 4 entradas BCD a 10 salidas activas a nivel bajo. El decodificador, además, deberá tener una entrada de habilitación (/E), activa a nivel bajo.

Se pide:

- Dibujar la interfaz (o símbolo lógico) del circuito
- Rellenar el resto de la tabla de verdad

SOLUCIÓN:

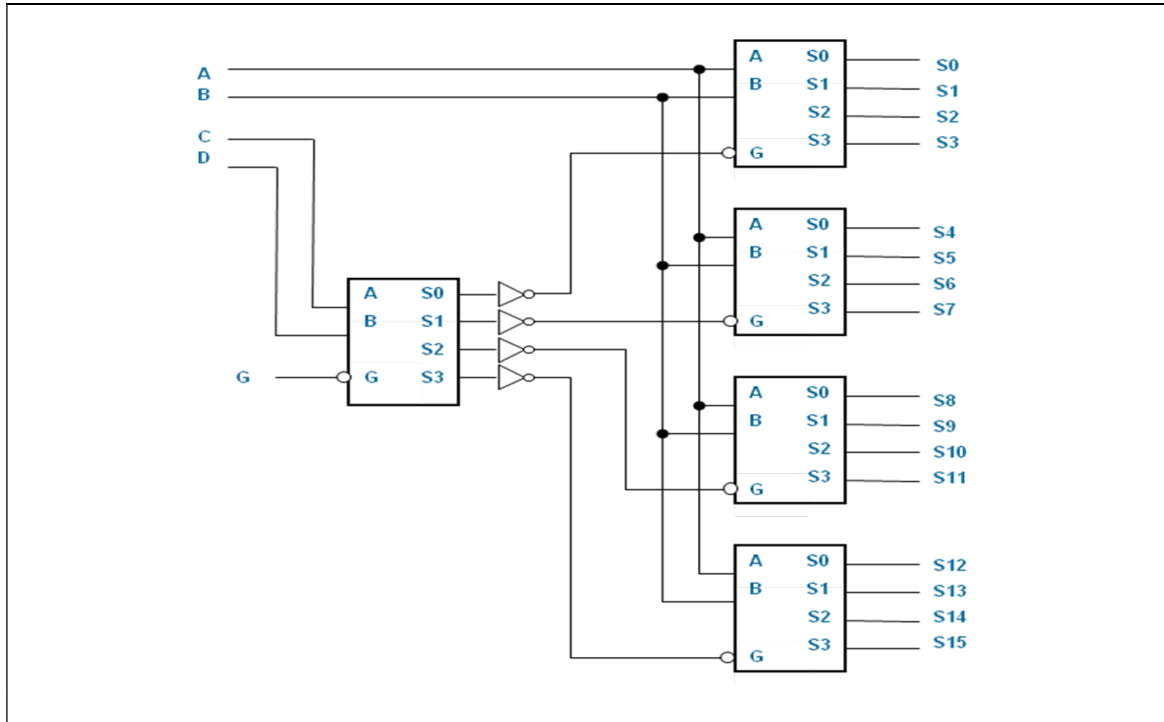


Entradas					Salidas									
/E	D	C	B	A	/D9	/D8	/D7	/D6	/D5	/D4	/D3	/D2	/D1	/D0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
0	0	0	0	1	1	1	1	1	1	1	1	1	0	1
0	0	0	1	0	1	1	1	1	1	1	1	0	1	1
0	0	0	1	1	1	1	1	1	1	1	0	1	1	1
0	0	1	0	0	1	1	1	1	1	0	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1	1
0	0	1	1	0	1	1	1	0	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	0	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	1	1	1	1
0	1	0	1	0	X	X	X	X	X	X	X	X	X	X
0	1	0	1	1	X	X	X	X	X	X	X	X	X	X
0	1	1	0	0	X	X	X	X	X	X	X	X	X	X
0	1	1	0	1	X	X	X	X	X	X	X	X	X	X
0	1	1	1	0	X	X	X	X	X	X	X	X	X	X
0	1	1	1	1	X	X	X	X	X	X	X	X	X	X
1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	X	X	X	X	X	X	X	X	X	X
1	1	0	1	0	X	X	X	X	X	X	X	X	X	X
1	1	1	0	0	X	X	X	X	X	X	X	X	X	X
1	1	1	0	1	X	X	X	X	X	X	X	X	X	X
1	1	1	1	0	X	X	X	X	X	X	X	X	X	X
1	1	1	1	1	X	X	X	X	X	X	X	X	X	X

3.2 – Decodificadores, composición

3.2.1. Construya un decodificador de 4 a 16 con entrada de habilitación activa a nivel bajo y salidas activas a nivel alto, a partir de decodificadores de 2 a 4 con entrada de habilitación activa a nivel bajo y salidas activas a nivel alto y las puertas lógicas necesarias.

SOLUCIÓN:



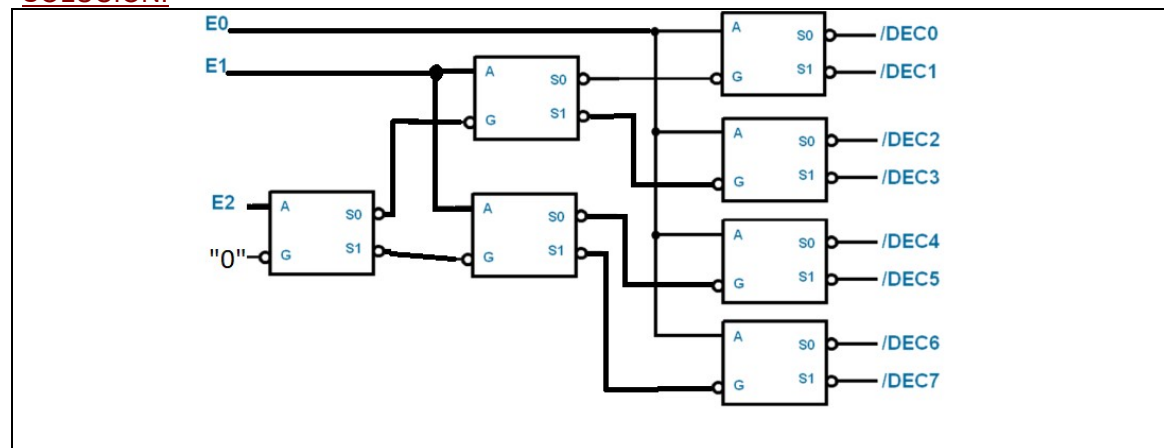
3.2.2. Se desea construir un decodificador de 5 a 32, con salidas activas a nivel bajo, utilizando decodificadores de 2 a 4, con salidas activas a nivel bajo y habilitación activa a nivel bajo. Diga cuantos decodificadores necesita utilizar y si necesita puertas adicionales. Razone su respuesta. No es necesario dibujar el circuito resultante, pero puede ayudarle a resolver el problema.

SOLUCIÓN:

Para obtener las 32 salidas del decodificador deseado hacen falta 8 decodificadores de 4 salidas. Para poder seleccionar, entre estos ocho, cuál es el que se activa, es necesario utilizar dos decodificadores de 4 salidas ($4+4=8$). Y para seleccionar entre estos dos decodificadores, es necesario utilizar otro decodificador de 4 salidas, dejando dos salidas sin conectar, o sustituir este último decodificador por una puerta NOT. En total, hacen falta 10 decodificadores y una puerta not, o simplemente 11 decodificadores

3.2.3. Construya un decodificador binario de 3 a 8 con salidas activas a nivel bajo, sin entrada de habilitación. Para ello dispone de decodificadores binarios de 1 a 2 con salidas activas a nivel bajo y entrada de habilitación a nivel bajo. No se permite usar puertas lógicas adicionales. Etiquete correctamente todas las entradas y salidas de los símbolos lógicos y del circuito.

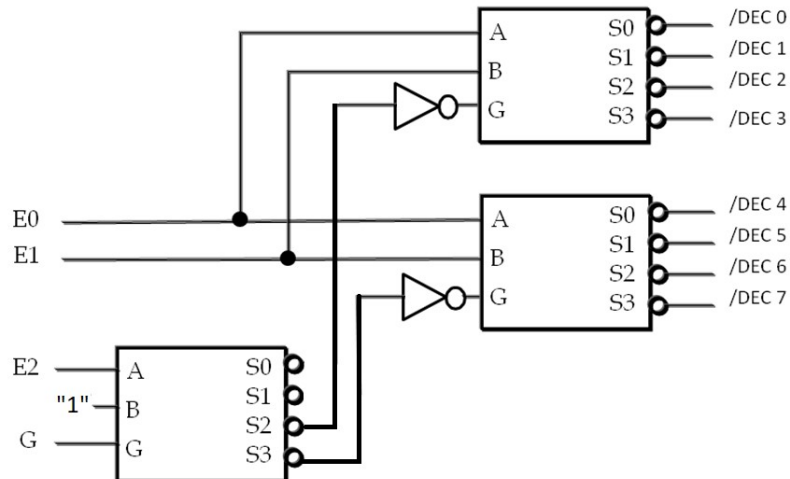
SOLUCIÓN:



3.2.4. Construya un decodificador binario de 3 a 8 con salidas activas a nivel bajo y con entrada de habilitación activa a nivel alto. Para ello dispone de tres decodificadores binarios de 2 a 4 con salidas activas a nivel bajo y entrada de habilitación a nivel alto, pero uno de ellos tiene estropeada la salida de menor peso ($/s_0$). Puede usar hasta 2 puertas lógicas adicionales. Etiquete correctamente todas las entradas y salidas de los símbolos lógicos y del circuito, e indique cuál de ellos es el que está estropeado

SOLUCIÓN:

Como el nivel de activación de las salidas $/S_i$ es contrario al de las entradas de habilitación G , es necesario invertir las salidas del primer decodificador. Pongo el que está estropeado conectado a la entrada E_2 , y como tiene estropeada la salida S_0 , empleo S_2 y S_3 .

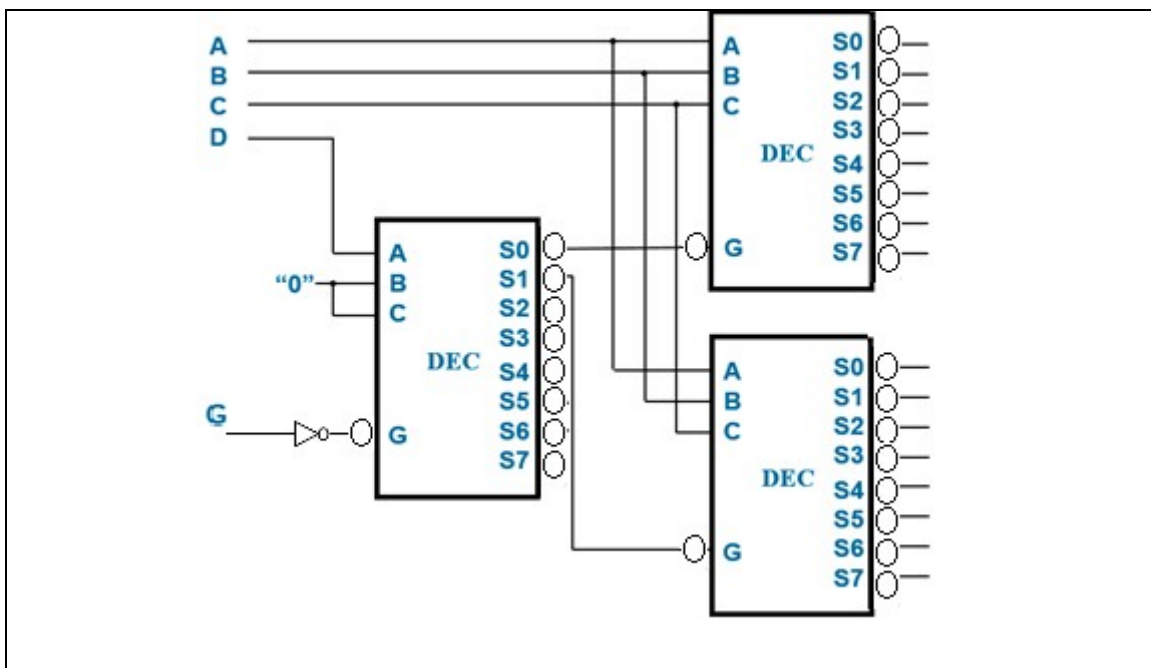


3.2.5. Diseñar un decodificador de 4 a 16 con salidas activas a nivel bajo, y entrada de habilitación activa a nivel alto.

Se pide:

Diseñarlo empleando decodificadores de 3 a 8 con salidas y entradas de habilitación a nivel bajo. También se pueden utilizar las puertas NOT que se estimen necesarias.

SOLUCIÓN:



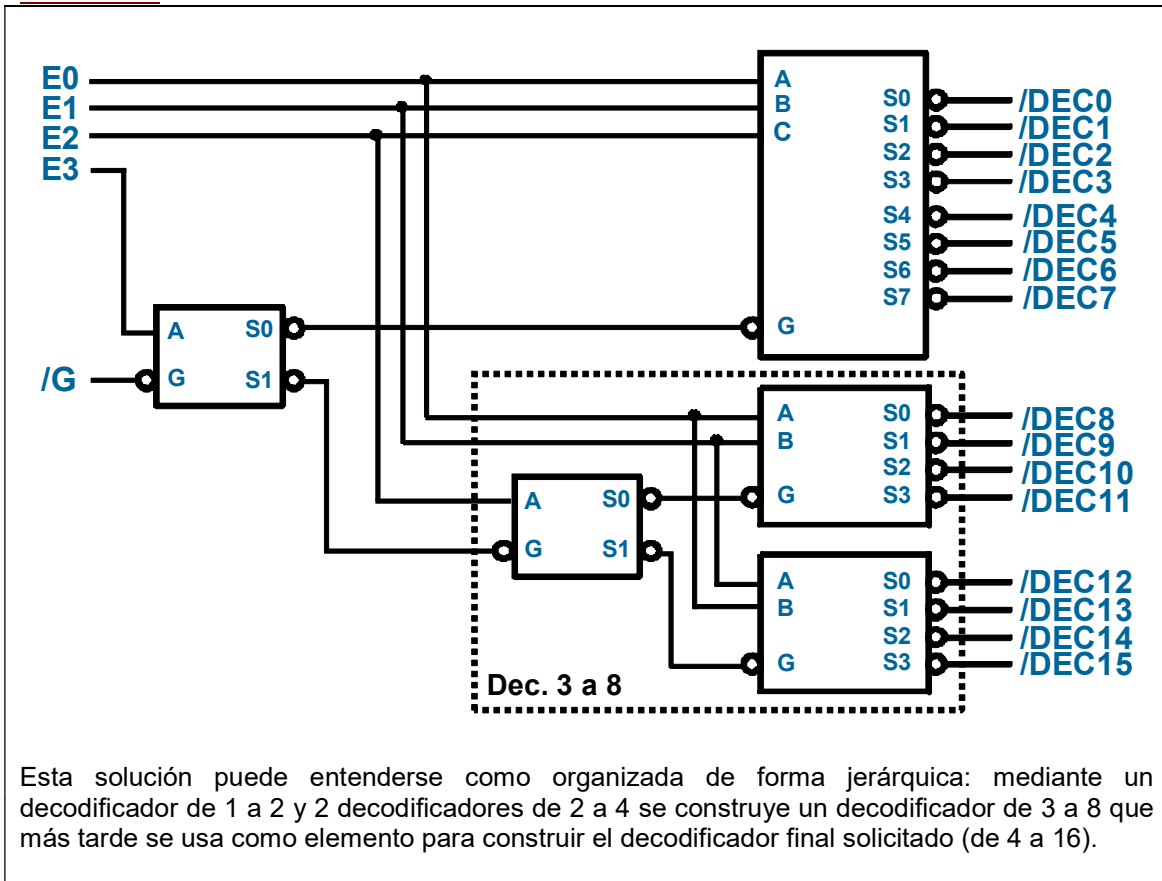
3.2.6. Se desea construir un decodificador de 16 a 65536 utilizando decodificadores de 4 a 16 con entrada de habilitación, y sin utilizar ninguna puerta adicional. Indique cuántos decodificadores son necesarios, detallando el razonamiento seguido para encontrar la solución.

SOLUCIÓN:

Para disponer de 65536 salidas, utilizando decos con 16 salidas, necesitamos $65536/16$, que son 4096 decodificadores. Para poder seleccionar (o habilitar) cada uno de estos 4096 decodificadores necesitamos 4096 líneas. Para generar estas líneas con decodificadores de 16 salidas necesitamos $4096/16$, que son 256 decodificadores. Igualmente, para seleccionar (o habilitar) cada uno de estos 256 decodificadores, hacen falta $256/16 = 16$ decodificadores. Estos 16 últimos decodificadores se pueden seleccionar (o habilitar) con un único decodificador. Así, el total de decodificadores necesarios es:
 $1 + 16 + 256 + 4096 = 4369$ decodificadores.

3.2.7. Construya un decodificador binario de 4 a 16 con entrada de habilitación y salidas activas a nivel bajo, a partir de un decodificador de 3 a 8, dos decodificadores de 2 a 4 y dos decodificadores de 1 a 2, todos ellos con entrada de habilitación y salidas activas a nivel bajo.

SOLUCIÓN



3.3 – Multiplexores, cuestiones teóricas

3.3.1. En un multiplexor sin entrada de habilitación, si se introduce un “1” en más de una entrada de datos a la vez:

- A) Como se trata de una situación no contemplada, en la salida se obtiene un valor no definido (“X”).
- B) Aparece a la salida el valor de la entrada más prioritaria.
- C) Aparece a la salida el código de la entrada más prioritaria.
- D) Aparece un “1” a la salida si se ha seleccionado una de las entradas a “1”.
- E) Si las entradas de selección fueran activas a nivel bajo y se seleccionase cualquiera de las entradas de datos a “1”, la salida sería “0”.

SOLUCIÓN:

D

3.3.2. Utilizando exclusivamente 585 multiplexores de 3 entradas de selección, diga cuál es el tamaño (en entradas de datos) del multiplexor más grande que se puede construir, sin utilizar otro tipo de puertas lógicas. Muestre sus cálculos. No es necesario que dibuje ningún circuito.

SOLUCIÓN:

Si hacemos la composición empezando por la salida, tendríamos:

Primer nivel: 1 mux con 8 entradas.

Segundo nivel: 8 muxs con un total de $8 \times 8 = 64$ entradas, más el de antes, 9

Tercer nivel: 64 muxs con un total de $8 \times 64 = 512$ entradas, más los de antes, 73

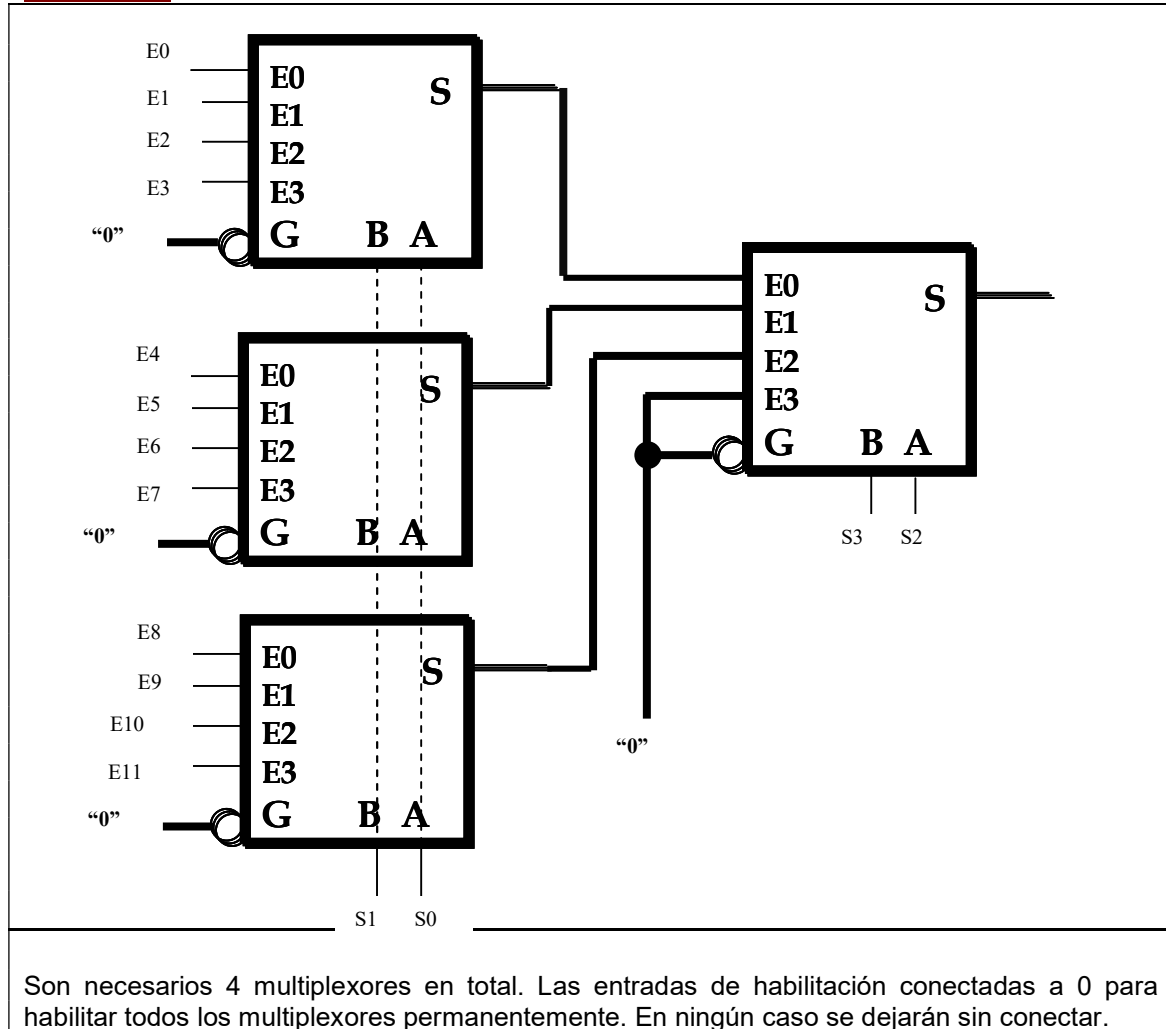
Cuarto nivel: 512 multiplexores con un total de $512 \times 8 = 4096$ entradas, más los de antes, 585, y se nos han acabado.

Respuesta final. Podemos construir un multiplexor de 4096 entradas de datos.

3.4 – Multiplexores, composición

3.4.1. Se desea construir un multiplexor de **12 a 1** con 4 entradas de selección, sin entrada de habilitación. Para ello, se dispone de multiplexores de 4 a 1 con entrada de habilitación G activa a nivel bajo. Indique el número de multiplexores necesarios y realice el dibujo del circuito detallando todas las conexiones necesarias.

SOLUCIÓN:



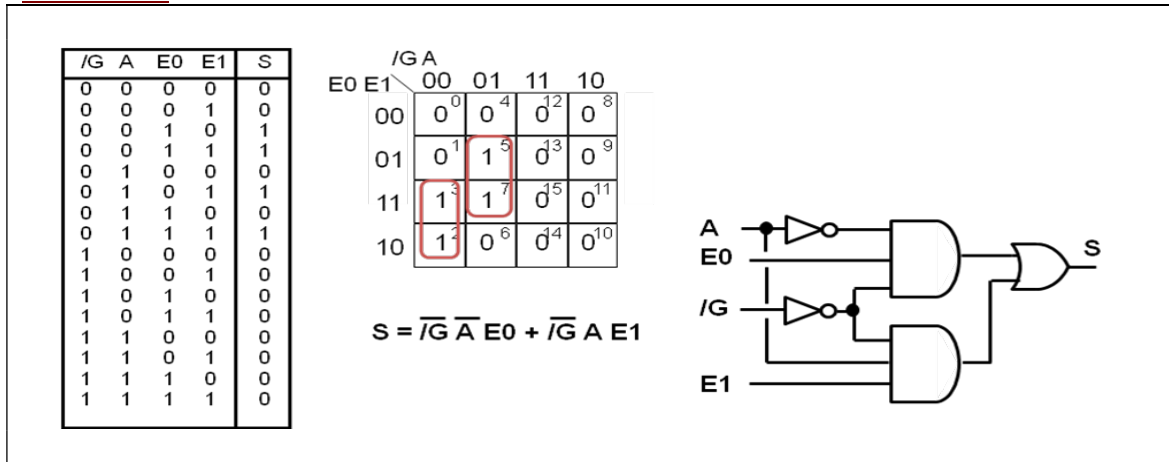
3.4.2. Se desea construir un multiplexor de 64 entradas de datos utilizando multiplexores de 2 entradas de selección. Diga cuantos multiplexores serán necesarios en total. Detalle las operaciones realizadas y los razonamientos seguidos.

SOLUCIÓN:

Los multiplexores de 2 entradas de selección disponen de 4 entradas de datos, por lo que para conseguir las 64 entradas deseadas serán necesarios $64/4 = 16$ multiplexores. Estos 16 multiplexores producen 16 salidas (lógicamente), por lo que hace falta un segundo nivel (o columna) con $16/4 = 4$ multiplexores para seleccionar una de las 16 salidas. Pero estos 4 últimos multiplexores ofrecen 4 salidas (y como ya se sabe, el multiplexor debe ser de 64 a 1) por lo que es necesario un tercer nivel (o columna) de $4/4 = 1$ multiplexor, que ofrece la última salida. En total, $16 + 4 + 1 = 21$ multiplexores.

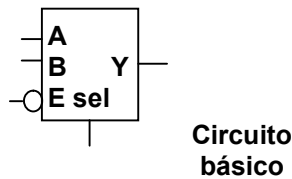
3.4.3 Diseñe un multiplexor de 2 entradas de datos y entrada de habilitación activa a nivel bajo. Detalle todo el proceso seguido. Utilice el número de puertas mínimo.

SOLUCIÓN:



3.4.4. Se desea componer un multiplexor de 2 entradas de 2 bits (A1, A0 y B1, B0) y 1 salida de 2 bits (Y1, Y0), y con entrada de habilitación /G, activa a nivel bajo.

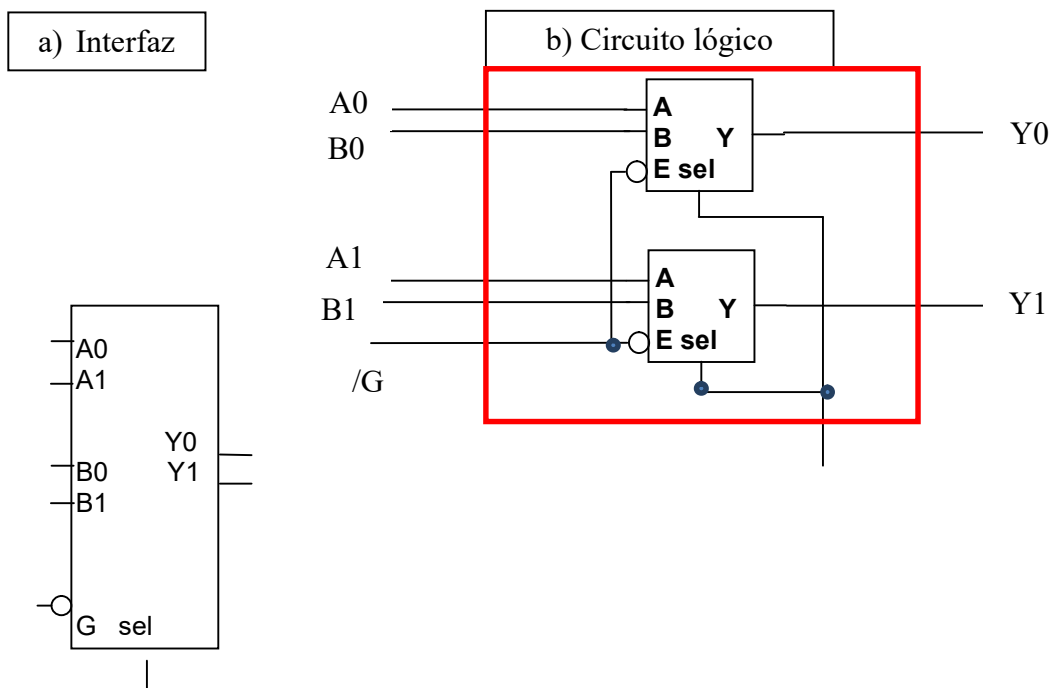
Para ello, se dispone exclusivamente y como elementos básicos de diseño (ver la figura) de un número suficiente de multiplexores de 2 entradas y 1 salida, con entrada de habilitación /E activa a nivel bajo.



Se pide:

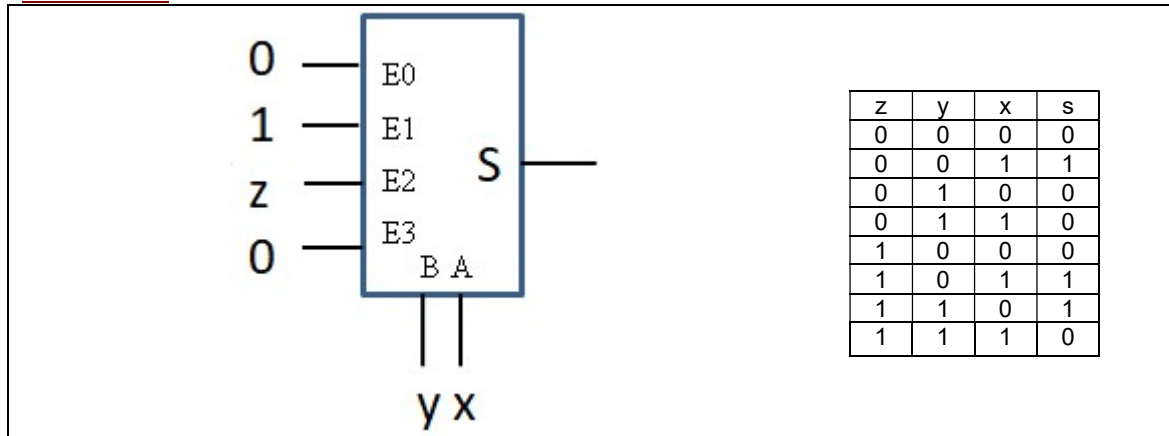
- Dibujar la interfaz (o símbolo lógico) del circuito.
- Dibujar las conexiones correspondientes entre los elementos básicos, con las entradas y salidas del circuito global.

SOLUCIÓN:



3.4.5 Obtenga la tabla de verdad del siguiente circuito combinacional diseñado a partir de un multiplexor con dos entradas de selección B (MSB) y A (LSB). Para la tabla de verdad considere “z” como la variable de mayor peso y “x” la de menor peso.

SOLUCIÓN:

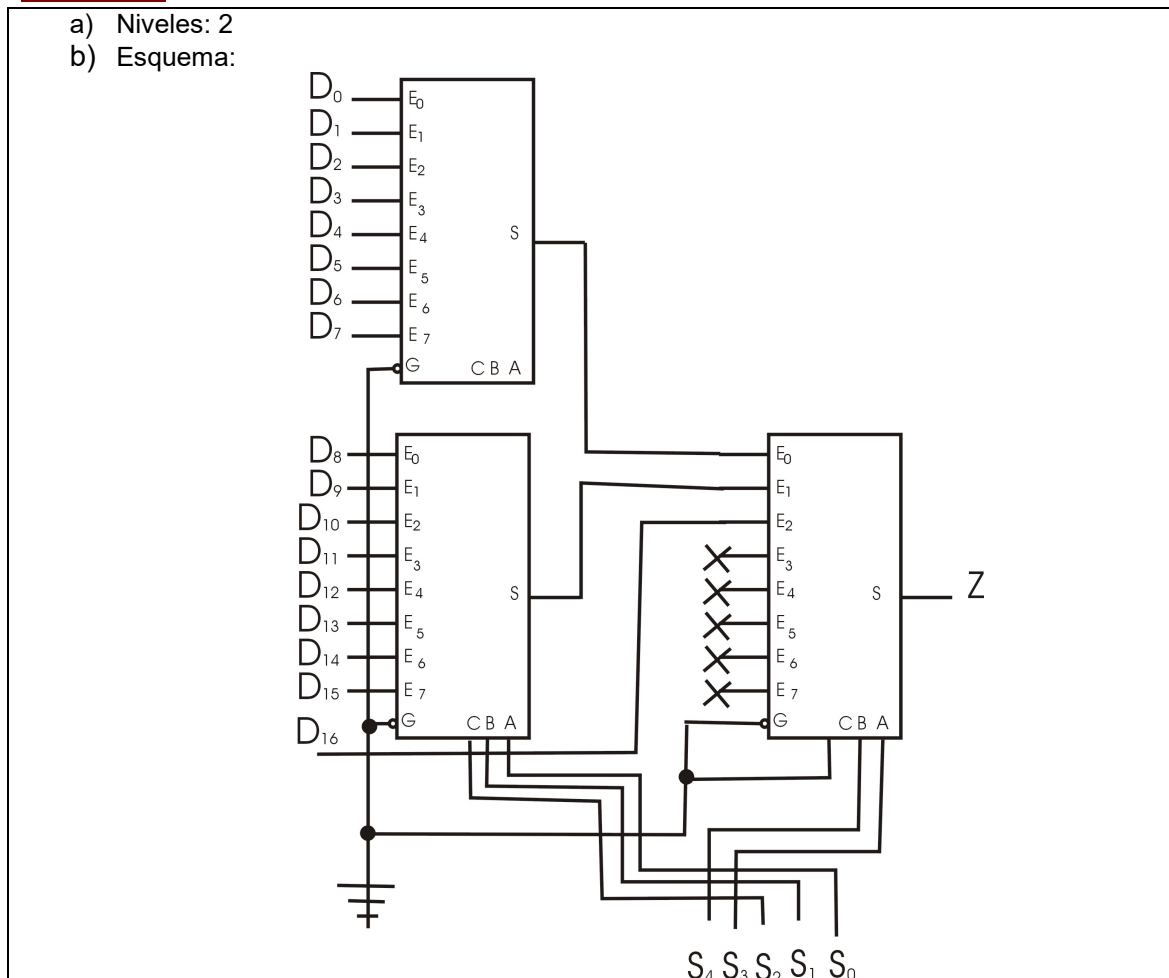


3.4.6. Se desea implementar un multiplexor de 17 a 1, construido exclusivamente con multiplexores de 8 a 1 (ver figura). Se pide que:

- Indique el número de niveles de la composición:
- Realice un posible esquema, indicando las entradas de datos (D_i), ($0 \leq i \leq 16$), las de selección (S_j) con sus correspondientes pesos y la salida del circuito (Z).

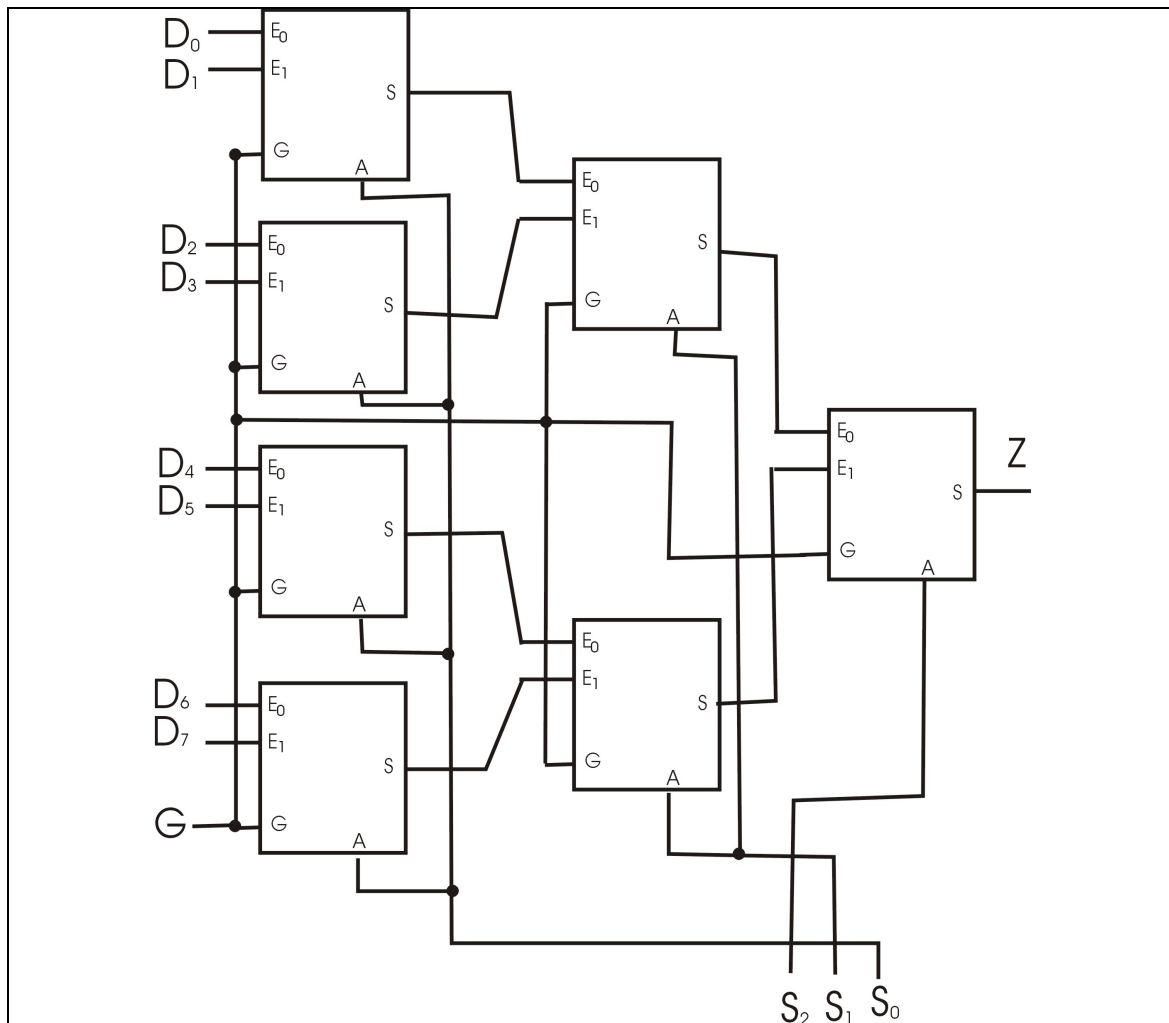
Para ello, declárense como bits menos significativos (o LSB), tanto a la entrada de datos D_0 , como a la de selección S_0 . **IMPORTANTE:** no puede dejar ninguna entrada SIN conectar.

SOLUCIÓN:



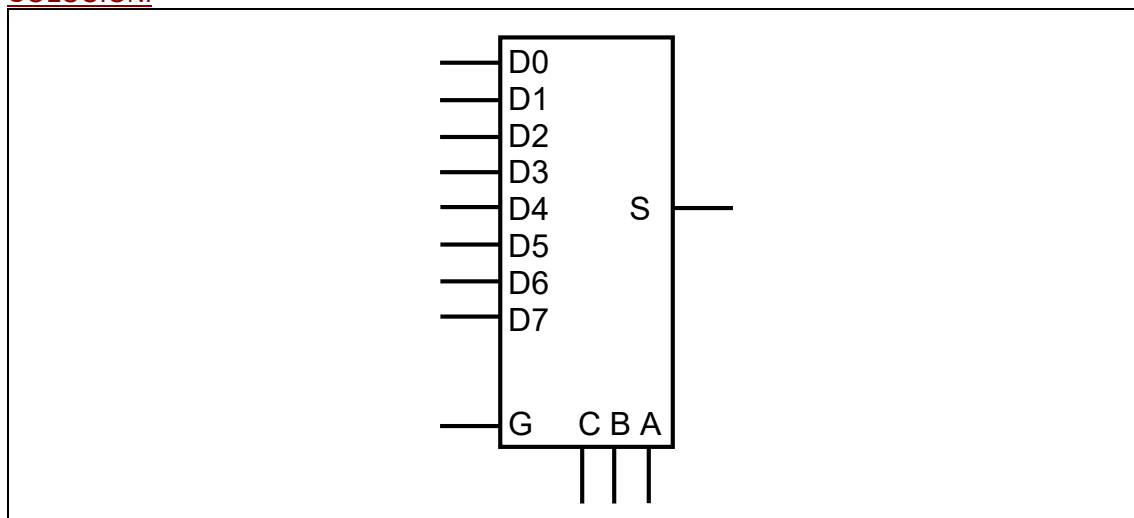
3.4.7 Realice el diseño de un multiplexor de 8 a 1 con entrada de habilitación activa a nivel alto utilizando multiplexores de 2 a 1 con entrada de habilitación activa a nivel alto.

SOLUCIÓN:



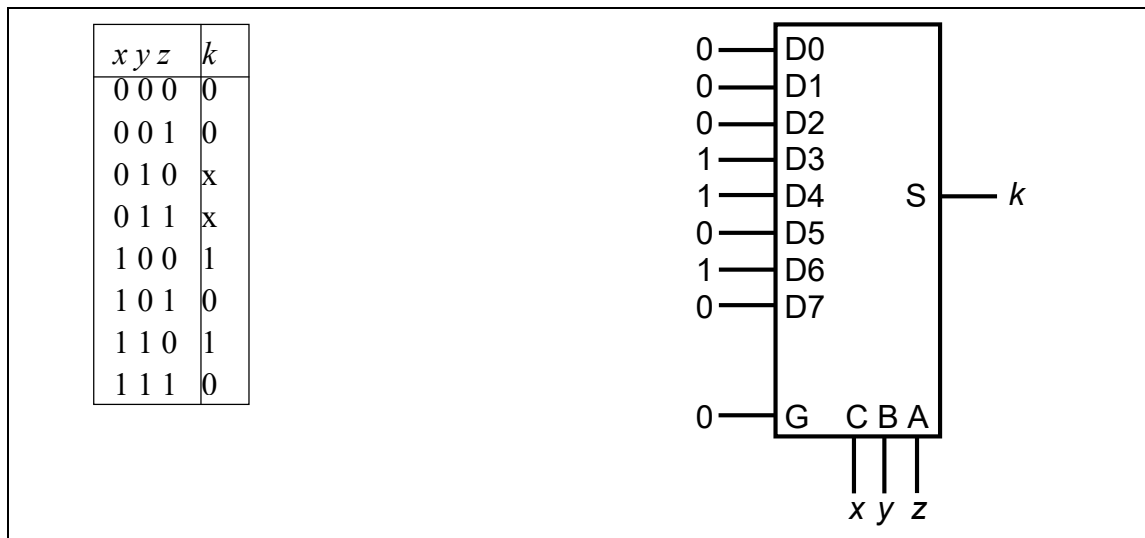
3.4.8 Dibuje la interfaz o símbolo lógico del multiplexor de 8 a 1.

SOLUCIÓN:



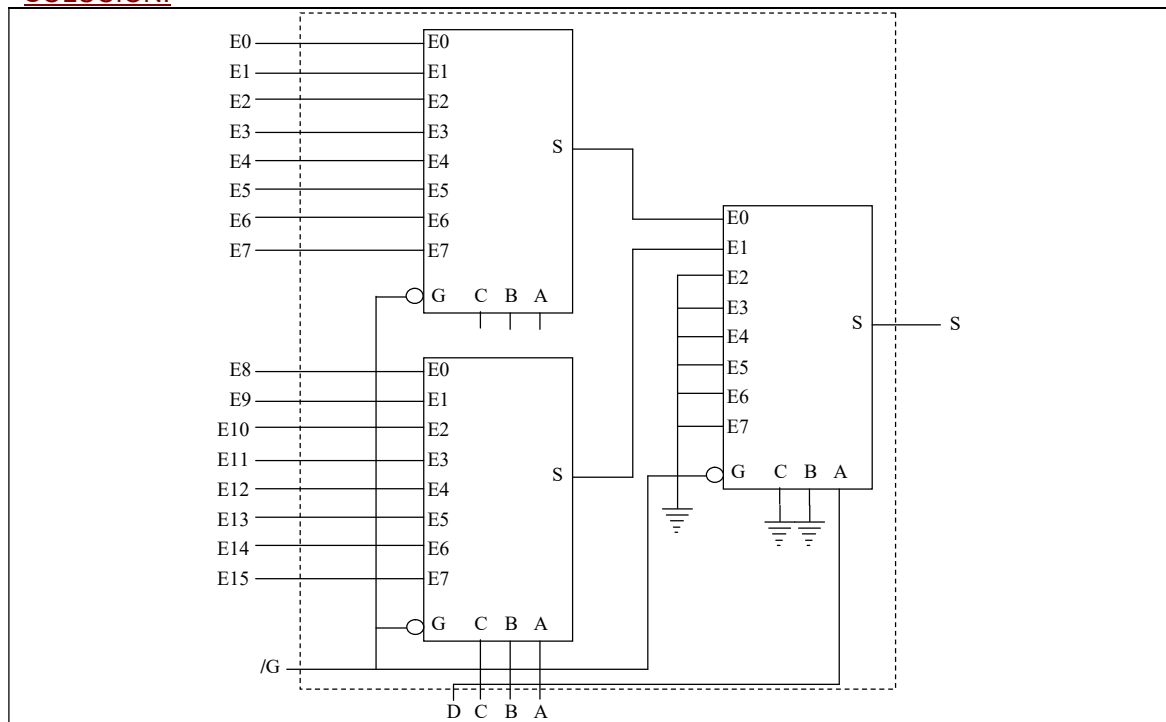
3.4.9 Utilizando el símbolo lógico del multiplexor de 8 a 1 anterior implemente la función lógica k indicada a continuación.

$$k = \prod_{x,y,z} (0, 1, 5, 7) \cdot \prod_{\emptyset} (2, 3)$$



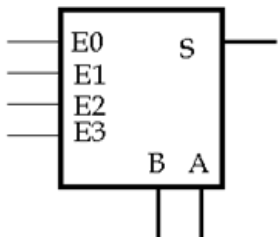
3.4.10. Se desea implementar un multiplexor de 16 entradas de datos con entrada de habilitación a nivel bajo a partir de multiplexores de 8 entradas de datos con entrada de habilitación a nivel bajo, sin emplear puertas lógicas adicionales. Dibuje el circuito resultante sin olvidar detallar los nombres, valores y pesos de las entradas y salidas, tanto del multiplexor resultante como de los empleados.

SOLUCIÓN:



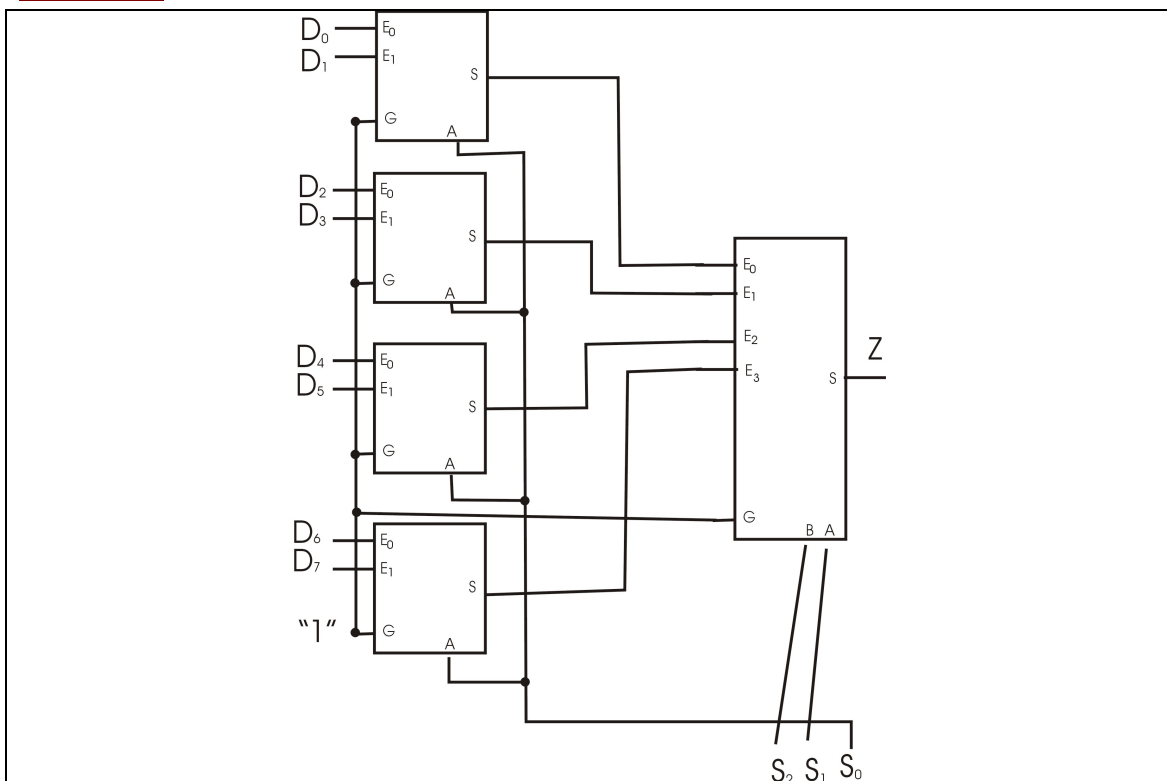
3.4.11. Se desea implementar un multiplexor de 1024 a 1 a base de una composición con multiplexores de 2 entradas de selección y entrada de habilitación activa a nivel alto. Indique el número de dichos multiplexores que serán necesarios y detalle el razonamiento seguido para obtener la respuesta.

SOLUCIÓN:

<p>Al tener Multiplexores de 2 entradas de selección, se tiene 4 entradas de datos:</p> 	$\text{Primer nivel} = \frac{1024}{4} = 256$
	$\text{Segundo nivel} = \frac{256}{4} = 64$
	$\text{Tercer nivel} = \frac{64}{4} = 16$
	$\text{Cuarto nivel} = \frac{16}{4} = 4$
	$\text{Quinto Nivel} = \frac{4}{4} = 1$
	<p>Total: $256 + 64 + 16 + 4 + 1 = 341$ Multiplexores 4 a 1</p>

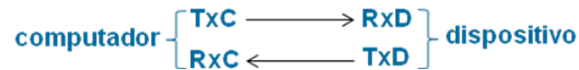
3.4.12 Realice el diseño de un multiplexor de 8 a 1 SIN entrada de habilitación utilizando 1 multiplexor de 4 a 1 y varios de 2 a 1 con entrada de habilitación activa a nivel alto.

SOLUCIÓN:

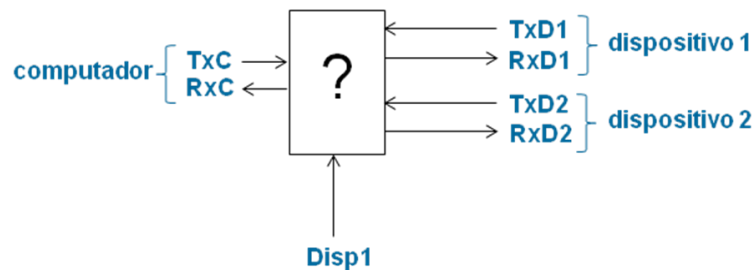


3.5 – Diseño con bloques combinacionales básicos

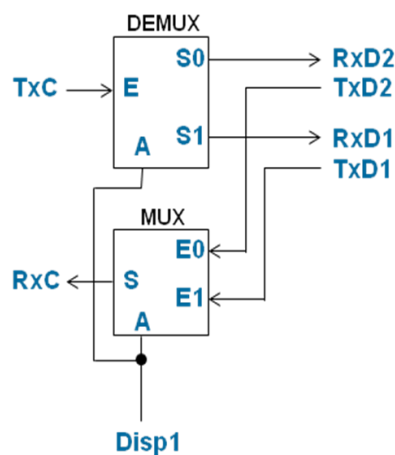
3.5.1. Para realizar una conexión bidireccional de un dispositivo a un computador a través de su puerto serie debe conectarse la salida serie del computador TxC a la entrada serie del dispositivo RxD y la salida del dispositivo TxD a la entrada del computador RxC.



Construir un circuito que permita conectar el puerto serie del computador [TxC, RxC] a los puertos de dos dispositivos diferentes [TxD1, RxD1], [TxD2, RxD2]. Un interruptor activa a nivel alto una señal Disp1 para indicar que debe establecerse conexión con el dispositivo 1. Si esta señal está desactivada, indica que la conexión debe hacerse con el dispositivo 2. No puede usarse ninguna puerta lógica elemental, sólo dispositivos combinacionales básicos de los estudiados en este tema.



SOLUCIÓN:



El problema de conectar una única entrada (TxC) a varias salidas alternativamente (RxD1, RxD2) debe solucionarse con un demultiplexor. El caso contrario, seleccionar una de entre varias entradas (TxD1, TxD2) lo solucionamos con un multiplexor. Ambos se gobiernan mediante la misma señal Disp1, pues deben actuar de forma sincronizada. Como cuando la señal Disp1 vale 0 deben seleccionarse las señales del dispositivo 2, conectamos éstas a las entradas/salidas numeradas con 0 en los bloques combinacionales.

3.5.2. Un sistema posicionador realiza un movimiento en 2 direcciones, horizontal y vertical. Para poder determinar la posición, cada eje dispone de un codificador mecánico que activa una de entre 10 señales, numeradas de 0 a 9. Así, la activación de la señal H0 indica una posición horizontal extrema mientras que H9 indica que se ha alcanzado el extremo horizontal opuesto. La activación de la señal V5 indicaría que el dispositivo se encuentra en una posición centrada en el eje vertical.

Diseñe un circuito digital que permita visualizar un dígito de 0 a 9 que indique la posición en cada uno de los ejes. Sólo dispondrá de un display de 7 segmentos, así que un interruptor permitirá seleccionar cuál de las dos informaciones (vert. u horiz.) se debe visualizar en cada momento. Este interruptor genera una señal V/H (V/H=1→vertical; V/H= 0→ horizontal). Utilice los bloques combinacionales estudiados. Minimice el número y tamaño de los componentes.

SOLUCIÓN:

