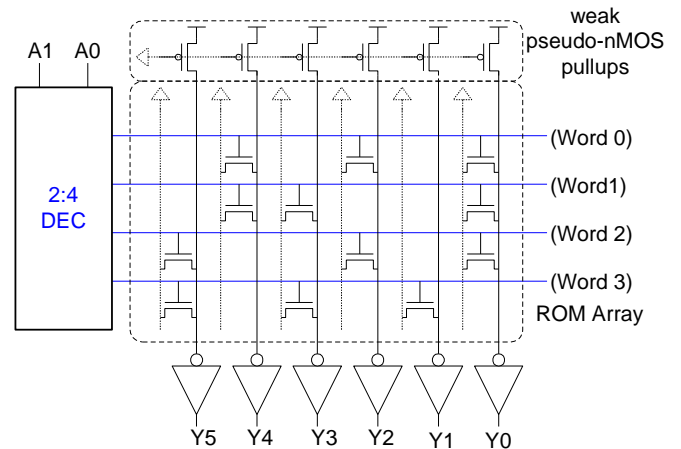


1. Dada la memoria de la figura, indique la respuesta **FALSA**:

- [A] Es una memoria ROM de 4 palabras de 6 bits cada una.
- [B] Si $A1=0$ y $A0=1$, en las salidas Y_i se leerá la palabra 011001.
- [C] La presencia de un transistor pone un 1 en la celda, que se lee 0 en la salida Y_i , por tratarse de transistores NMOS con inversores a la salida.
- [D] La presencia o ausencia de los transistores en las celdas, justifica la NO volatilidad en este tipo de memorias.

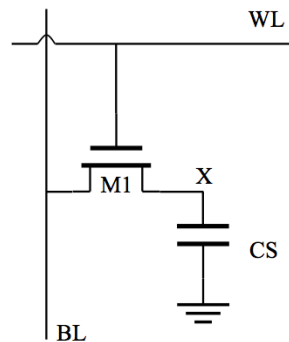


2. Se dispone de una memoria con 4096 palabras de 16bits cada una. ¿Cuál de las siguientes afirmaciones es **CORRECTA**?

- [A] Tendría una capacidad de 2KBytes
- [B] Se podría estructurar en una matriz interna de 256*256 celdillas.
- [C] Tendría una capacidad de 8Kbits.
- [D] Tendría 8 líneas de direccionamiento y 16 líneas de bit.

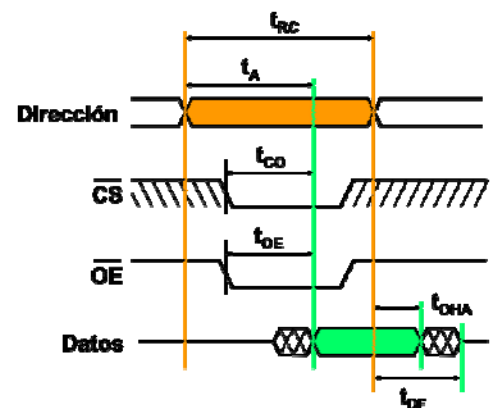
3. Acerca de la celda de memoria dinámica de la figura, indique cuál es la afirmación **CORRECTA**:

- [A] La información almacenada (1 ó 0) corresponde al estado de conducción del MOSFET
- [B] El condensador mantendrá indefinidamente su carga mientras que la línea de selección WL se mantenga a nivel bajo.
- [C] La línea de bit (BL) permite leer o escribir la información en la celda cuando WL se mantiene a nivel bajo.
- [D] La información almacenada (1 ó 0) corresponde al estado de carga o descarga del condensador Cs



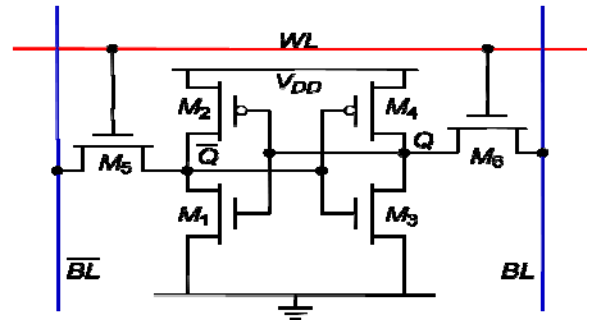
4. Para el siguiente cronograma de tiempos, indique cuál es la afirmación **CORRECTA**:

- [A] t_{RC} es el tiempo mínimo del ciclo de lectura.
- [B] Transcurrido el tiempo de acceso t_A , ya puede empezar un nuevo ciclo de lectura o escritura.
- [C] El tiempo t_{OE} es el mínimo tiempo de escritura de la memoria.
- [D] Se corresponde con el cronograma de lectura de una RAM dinámica.



5. Dada la celda de memoria de la figura, indique la respuesta **FALSA**:

- [A] Es una celda de memoria estática con 6 transistores
- [B] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="1"
- [C] El proceso de lectura consiste en precargar BL y /BL a 0V, activar WL a "1" y leer de las líneas de bit.
- [D] Para su correcto funcionamiento, los transistores tienen diferente relación W/L, para así conseguir distintas R_{ON} .



6. En relación a las distintas tecnologías de memorías no volátiles, señale la respuesta **FALSA**:

- [A] Las **ROM** se programan mediante máscaras en el momento de la fabricación.
- [B] La celda de almacenamiento en una FLASH es un transistor FAMOS.
- [C] Las **PLA's** y las **PAL's** son ejemplos de ROM programables.
- [D] Tanto las memorias **PROM** como las **FLASH** son ejemplos de memorias de lectura / escritura.

7. A la vista del cronograma de la figura, podemos afirmar que:

- [A] Se trata del cronograma de un refresco "RAS before CAS".
- [B] Corresponde a un refresco oculto en una DRAM.
- [C] Corresponde a un ciclo de lectura normal en una DRAM.
- [D] Es una lectura en ráfaga de 2 bits consecutivos.

