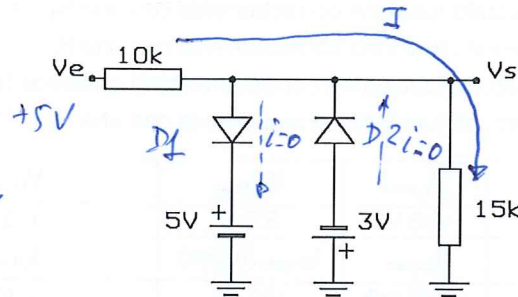


TEORÍA 1^{er}.Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 pto., MAL -0.3 pto., N.C.: 0

1. Dado el circuito de la figura, indique el valor de la tensión en V_s , cuando $V_e = 5V$.

[A] $V_s = 5.7V$ [B] $V_s = -3.7V$ [C] $V_s = 0V$ [D] $V_s = 3V$ (Datos: $V_T = 0.7V$) $D1$ off $D2$ off $V_s = I \cdot 15k$

$$V_s = \frac{5 \times 15}{10 + 15} = 3V$$



2. A la vista de los datos que se suministran, ¿Cuál será el valor de R_2 que dejará al transistor en el límite entre la zona activa y la de saturación, si la tensión de entrada V_e es de $1.7V$?

[A] $R_2 = 1.2k$ [B] $R_2 = 1.6k$ [C] $R_2 = 2k$ [D] $R_2 = 2.4k$

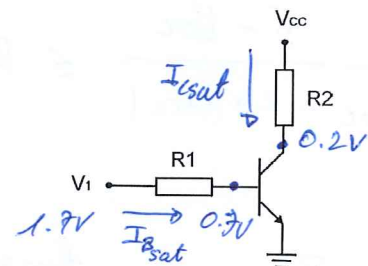
Datos:

 $\beta = 100$ $R_1 = 50k$ $V_{CC} = 5V$ $V_{BEON} = 0.7V$, $V_{CESAT} = 0.2V$

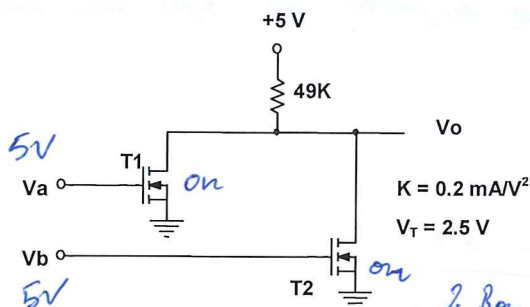
$$I_{Bsat} = \frac{1.7 - 0.7}{R_1} = \frac{1}{50k} = 0.02mA$$

$$\beta I_{Bsat} = I_{Csat} \rightarrow I_{Csat} = 2mA = \frac{5 - 0.2}{R_2}$$

$$R_2 = \frac{4.8}{2} = 2.4k$$



3. En la puerta lógica de la figura, la tensión de salida cuando $A=B=1$ es:



Datos:

Considere en las entradas 5V para nivel alto y 0V para nivel bajo. Zona lineal (óhmica): $I_{DS} \approx 2K(V_{GS} - V_T)V_{DS}$

[A] 0V

[B] 0.05V

[C] 0.1V

[D] 0.2V

 T_1 y T_2 en zona lineal

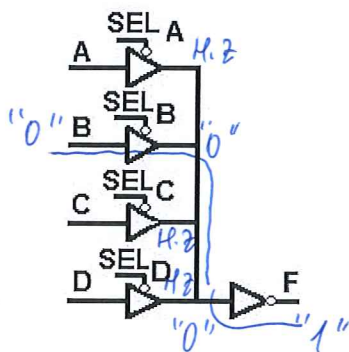
$$R_{on} = 1 / 2K(V_{GS} - V_T)$$

$$R_{on} = 1 / 2 \times 0.2 (5 - 2.5) = 1k\Omega$$

$$2 R_{on} \text{ en paralelo } \rightarrow R_{on \text{ equivalente}} = R_{on} / 2 = 0.5k\Omega$$

$$\text{Divisor resistivo } \rightarrow V_o = 5 \times 0.5 / (49 + 0.5) = 0.05V$$

4. El circuito de la figura está compuesto de puertas de la misma familia TTL. Determine cuál de las siguientes respuestas es la CORRECTA:



[A] El circuito no funciona porque necesita una resistencia de pull-up en la salida.

[B] La función $F = A \cdot B \cdot C \cdot D$

[C] Se pueden seleccionar varias puertas al mismo tiempo, pues tienen salida triestado.

[D] Si $SEL_B = 0$, (con $SEL_A = SEL_C = SEL_D = 1$), y la entrada $B = 0.5V$, la salida F deberá ser un nivel alto.

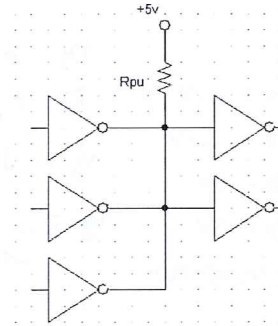
Son puertas triestado. Hay que activar una y desactivar las demás. Se activan con la señal \overline{SEL} a nivel bajo.

En el caso D) se activa B. A, C y D están en alta impedancia.
 $F = \overline{B} = 1$.

5. Considere el circuito adjunto y los parámetros característicos siguientes. Si se trata de salidas en colector abierto, indique la respuesta **correcta**.

- [A] El circuito funciona correctamente con una $R_{PU} = 1.2k$
 [B] El circuito funciona correctamente con una $R_{PU} = 3k$
 [C] El circuito funcionará correctamente si quitamos la R_{PU}
 [D] El circuito funciona correctamente con una $R_{PU} = 0.5k$

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fugas)$	I_{OLmax}
300 μA	-0.36 mA	100 μA	7 mA



$$\frac{5 - V_{OL}}{I_{OL} - 2 \times |I_{IL}|} \leq R_{pu} \leq \frac{5 - V_{IH}^*}{\underbrace{3 \times I_{OH}}_{\text{fugas}} + 2 I_{IH}}$$

* Para que funcione, basta con que el "1" sea $\geq V_{IHmin}$.
 Si usamos V_{OHmin} , también será compatible y además $NMH > 0$. En este caso la cota superior de R_{pu} será menor que la cota superior con V_{IH} .

Dando valores,

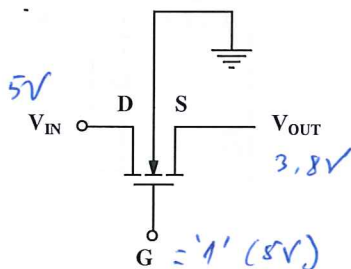
$$\frac{5 - 0.5}{7 - (2 \times 0.36)} \leq R_{pu} \leq \frac{5 - 2.5}{0.3 + 0.6}$$

$$0.72k \leq R_{pu} \leq 2.78k$$

TEORÍA 2º.Parcial (8 cuestiones) (6 puntos) . Puntuación: BIEN +0.75 ptos., MAL -0.18 ptos, N.C.: 0

1. Sea la puerta de transmisión de la figura, que emplea un transistor con una $|V_T|=1.2V$. Si se aplican 5V en los terminales V_{IN} y G. ¿Qué voltaje se obtendrá en el terminal V_{OUT} ?

- [A] 1.2V
 [B] 3.8V
 [C] 0V
 [D] 5V



Es una puerta de transmisión
 NMOS

Definida el "1" de entrada

$$V_{out} = V_{in} - |V_T| = 5 - 1.2 = 3.8V$$

2. Señalar la afirmación **FALSA** entre las siguientes relacionadas con la tecnología CMOS:

- [A] En la actualidad la corriente total de pérdidas (corrientes de fuga) en un chip CMOS es muy importante, ya que la densidad de integración supera los 1000 millones de transistores/chip.
 [B] La tecnología BiCMOS es un híbrido con el núcleo lógico CMOS y salidas bipolares que proporcionan una mayor corriente de salida.
 [C] El consumo dinámico de los circuitos de tecnología CMOS es máximo con frecuencias de trabajo próximas a cero.
 [D] Una de las principales características de la tecnología CMOS es su alta inmunidad al ruido, muy superior a la de la tecnología TTL.

$$P_d = (V_{dd})^2 C_L f, \quad f = \text{frecuencia}. \quad \text{Si } f \approx 0 \rightarrow P_d \approx 0$$

3. Señalar la afirmación **FALSA** de entre las siguientes relacionadas con la tecnología CMOS:

- [A] Los circuitos CMOS con transistores de mayores dimensiones (W/L) tendrán menor retardo de conmutación.
 [B] Como los circuitos CMOS tienen un consumo muy bajo, se pueden integrar muchas puertas lógicas de esta tecnología en un chip, pudiéndose implementar por ejemplo, microprocesadores potentes en un solo chip.
 [C] Para una tensión de alimentación V_{DD} mayor, un circuito CMOS será más rápido, aunque consumirá más potencia.
 [D] Con mayor capacidad parásita en la salida, el retardo del circuito CMOS será menor.

$$t_p \approx \frac{C_L}{2(V_{DD} - V_T)} \left(\frac{1}{K_p} + \frac{1}{K_n} \right)$$

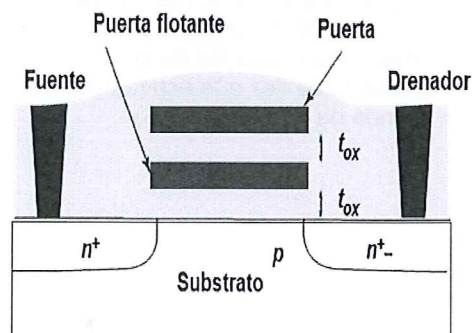
4. Acerca del proceso de fabricación y diseño de los chips VLSI CMOS, indique la respuesta **FALSA**:

- [A] Las vías son contactos verticales entre capas metálicas depositadas en distintos niveles.
 [B] La oblea de silicio tipo P actúa como sustrato de los transistores NMOS y el pozo-N actúa como sustrato de los transistores PMOS.
 [C] Se suele emplear un láser de luz UV (ultravioleta) para proyectar las máscaras en la oblea.
 [D] En el diseño full-custom, las celdas se disponen en filas que comparten las mismas líneas metálicas de alimentación (V_{DD} y GND).

Esto corresponde al diseño basado en celdas estándar

5. Dada la celda de memoria de la figura, indique la respuesta **FALSA**:

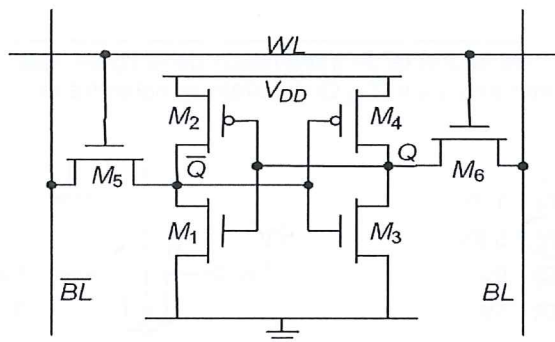
- [A] Es la celda que utiliza la memoria Flash, basada en un transistor FAMOS.
 [B] La información se almacena como carga eléctrica (electrones) en la puerta flotante.
 [C] La lectura requiere de tensiones más elevadas de lo normal, típicamente 12V.
 [D] Se trata de una memoria no volátil, pues la puerta flotante está rodeada de aislante.



Las tensiones de 12V se usan en el borrado y la escritura, para vaciar y llenar la puerta flotante, atravesando la capa de aislante.

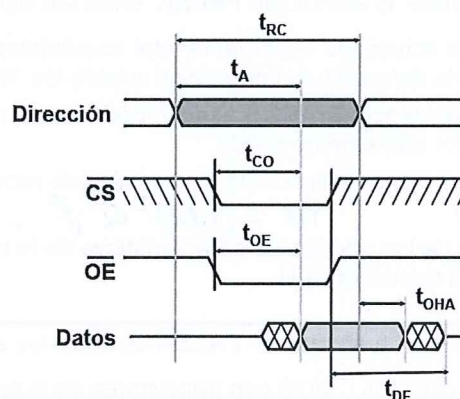
6. Dada la celda de memoria de la figura, indique la respuesta **CORRECTA**:

- [A] Es una celda de memoria DRAM (Dynamic RAM).
- [B] Es una memoria no volátil, pues el latch interno regenera la señal e impide que se pierda la información.
- [C] Para escribir un '1' en la celda ($Q=1$ y $\bar{Q}=0$), hay que colocar un '0' en \bar{BL} y un '1' en BL , y a continuación se habilita la celda poniendo $WL=0$.
- [D] En la lectura se efectúa una precarga de las líneas de bit (BL y \bar{BL}) a V_{DD} y se habilita la celda con $WL=1$.



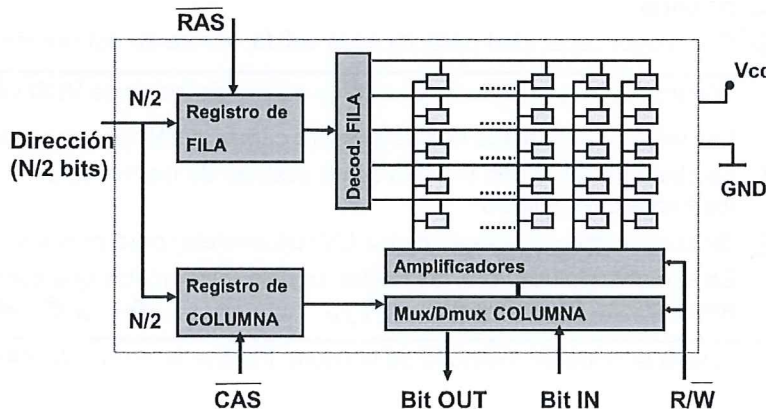
7. A la vista del siguiente cronograma, indique la respuesta **FALSA**:

- [A] t_{RC} es el tiempo mínimo del ciclo de lectura.
- [B] t_{CO} es el tiempo de acceso desde la activación del chip.
- [C] La figura representa el cronograma de lectura de una memoria SRAM.
- [D] El diagrama es incorrecto: la activación del \bar{CS} debe ser anterior al cambio de dirección.



8. Acerca del siguiente diagrama, podemos afirmar que:

- [A] Se trata del diagrama de una memoria RAM estática, de capacidad $2^N \times 1$ bit y con entrada/salida de datos independientes.
- [B] Es una memoria RAM dinámica, con dos entradas de selección de chip (\bar{RAS} y \bar{CAS}) activas a nivel bajo.
- [C] Representa la estructura interna de una memoria RAM dinámica con 2^N palabras de 1 bit.
- [D] Representa la estructura interna de una RAM dinámica, que refresca toda una fila de la matriz, cada vez que activamos la línea de refresco (\bar{CAS}).



La dirección (N bits) se proporciona en 2 pasos:

- 1) Fila, activando \bar{RAS}
- 2) columna, activando \bar{CAS}

Capacidad = 2^N palabras \times 1 bit línea de datos

EXAMEN DE TCO SOLUCIONES

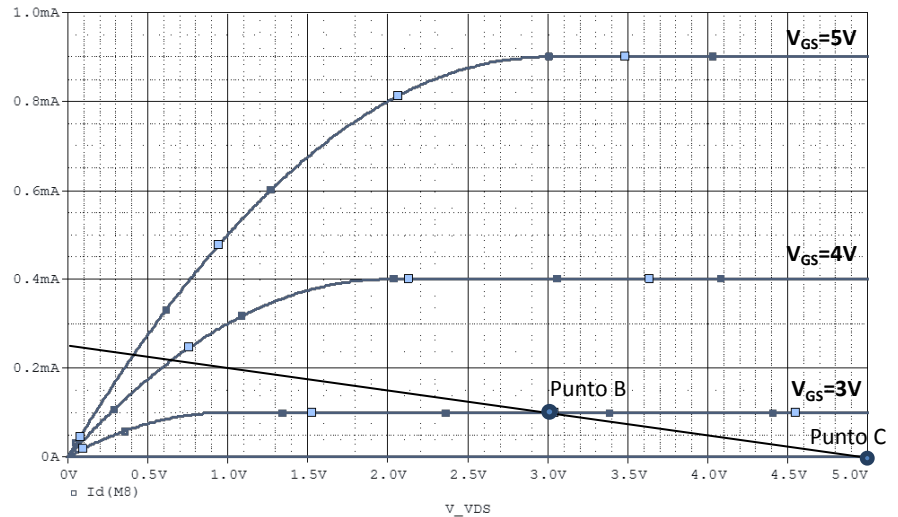
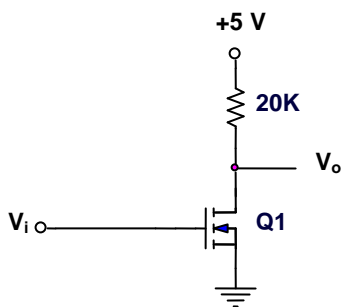
Apellidos:

Nombre:

PROBLEMA 1 (4 PTOS)

El circuito de la figura es un inversor NMOS y la gráfica adjunta muestra las curvas características del MOSFET. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $R_{ON} \approx 1/(2K(V_{GS} - V_T))$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$



[A] (0.4p) A partir de la gráfica adjunta, justifique adecuadamente como obtener el valor de V_T y la K del MOSFET

Observando las curvas para V_{GS} , el incremento es 1V y la última es 3V, luego $V_T = 2V$
A partir de la curva de $V_{GS} = 5V$, se obtiene: $K = 0.9mA / (5-2)^2 = 0.9/9 = 0.1mA/V^2$

$V_T = 2V$	$K = 0.1 (mA/V^2)$
------------	--------------------

[B] (0.8p) A partir de este apartado, considere $V_T = 2$ y $K = 0.1mA/V^2$. Calcule analíticamente el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) cuando la entrada es $V_i = 3V$. Justifique la respuesta y compruebe la zona de trabajo. (Sugerencia: suponga inicialmente que se encuentra en saturación).

$V_{GS} = V_i = 3V > V_T \rightarrow$ Conduce

Suponiendo saturación: $I_{DS} = 0.1(3-2)^2 = 0.1mA$, luego $V_{DS} = 5V - 20k \times 0.1mA = 5-2=3V$

Comprobación de saturación: $V_{DS} = 3V > V_{GS} - V_T = 3V - 2V = 1V$, entonces SAT OK

$V_{GS} = 3(V)$	$V_{DS} = 3(V)$	$I_{DS} = 0.1 (mA)$	Zona: SAT
-----------------	-----------------	---------------------	-----------

[C] (0.8p) Calcule analíticamente el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a $V_i = 1V$. Justifique la respuesta y compruebe la zona de trabajo.

$V_{GS} = V_i = 1V < V_T \rightarrow$ NO Conduce, luego está en Corte $\rightarrow I_{DS} = 0mA$

Ecuación de la recta: $V_{DS} = 5V - 20k I_{DS}$, con $I_{DS} = 0 \rightarrow V_{DS} = 5V - 0V = 5V$

$V_{GS} = 1V (V)$	$V_{DS} = 5V (V)$	$I_{DS} = 0 (mA)$	Salida = "1" ('1' ó '0')	Zona: Corte
-------------------	-------------------	-------------------	--------------------------	-------------

EXAMEN DE TCO SOLUCIONES

[D] (0.8p) Obtenga la ecuación de la recta de carga del circuito. Dibuje sobre las curvas características, la recta de carga y marque los dos puntos de trabajo de los apartados anteriores. Justifique la respuesta, calculando los puntos de corte de la recta de carga sobre los ejes.

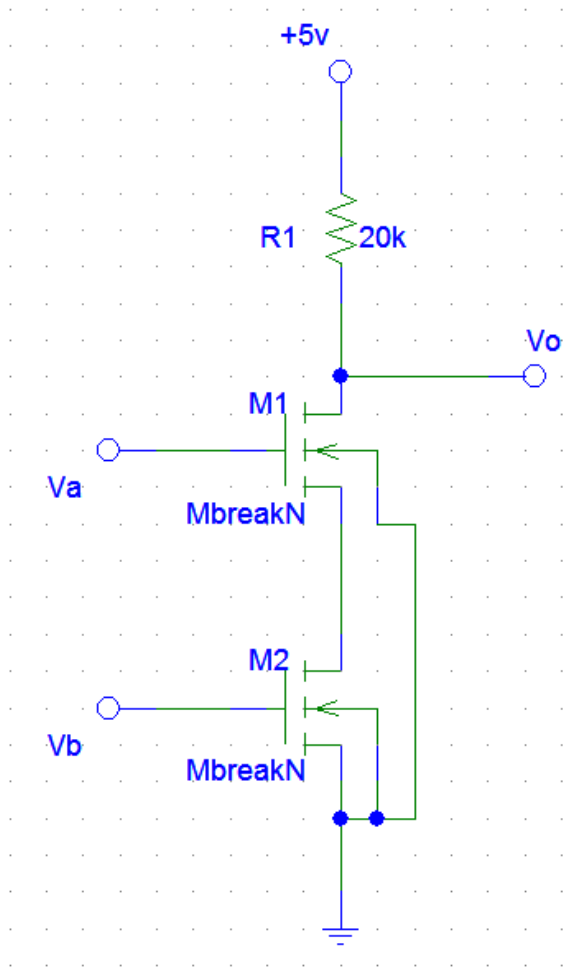
Ecuación de la recta: $V_{DS} = 5V - 20k I_{DS}$

Sustituyendo en la ecuación de la recta para $V_{DS} = 0$ y luego para $I_{DS} = 0$, se obtienen los cortes en los ejes.

La recta de carga cortará en el eje vertical en $I_{DSMAX} = 5V/R_D = 5V/20k = 0.25mA$

Y en el eje horizontal en $V_{DD}=5V$ (tensión de alimentación)

[E] (1.2p) Partiendo del diseño base del inversor, diseñe una puerta **NAND NMOS** de 2 entradas, y rellene la tabla de verdad adjunta.



Calculamos la $R_{ON} \approx 1/(2K(V_{GS} - V_T)) = 1/(2 \times 0.1 \times (5-2)) = 1/0.6 = 1.666 \text{ kOhm}$,

Por lo que la tensión de salida a nivel bajo la podemos obtener a partir del divisor resistivo formado por R_D y dos R_{ON} en serie: $2 \times 1.666 = 3.333$

$V_{DS} = 5V \times 2R_{ON}/(2R_{ON} + R_D) = 5 \times 3.33 / (20 + 3.33) = 0.714V$, correspondiente a un '0' lógico

La salida a nivel alto se produce cuando uno o los dos mosfet están en corte, resultando en $I_{DS} = 0mA$, y por tanto $V_o = 5V$

Va	Vb	T1 (OFF/ON)	T2 (OFF/ON)	Salida (Valor lógico)	V _o (V)
0	0	Corte	Corte	'1'	5V
0	1	Corte	Ohmica	'1'	5V
1	0	Ohmica	Corte	'1'	5V
1	1	Ohmica	Ohmica	'0'	0.714V

Apellidos:

Nombre:

PROBLEMA 2 (Segundo Parcial) (4 PTOS.)

A. (1.5 pts) Diseñe una función XOR en lógica CMOS complementaria. Dibuje un esquema con transistores.

$$F = A \oplus B = \overline{A}B + A\overline{B}$$

Justifique el diseño resultante indicando si ha comenzado por el bloque NMOS o PMOS.

Nota: utilice el símbolo simplificado de los transistores.

Dada la función F, si negamos dos veces y aplicamos de Morgan, se tiene:

$$F = \overline{\overline{\overline{A}B + \overline{A}B}} = \overline{(A + \overline{B}).(\overline{A} + B)} = \overline{G}$$

Por tanto, la función G intermedia se implementará mediante el bloque NMOS.

$$G = (A + \overline{B}).(\overline{A} + B)$$

Las sumas (OR) se implementan mediante estructuras en paralelo.

Los productos (AND) se implementan mediante estructuras en serie.

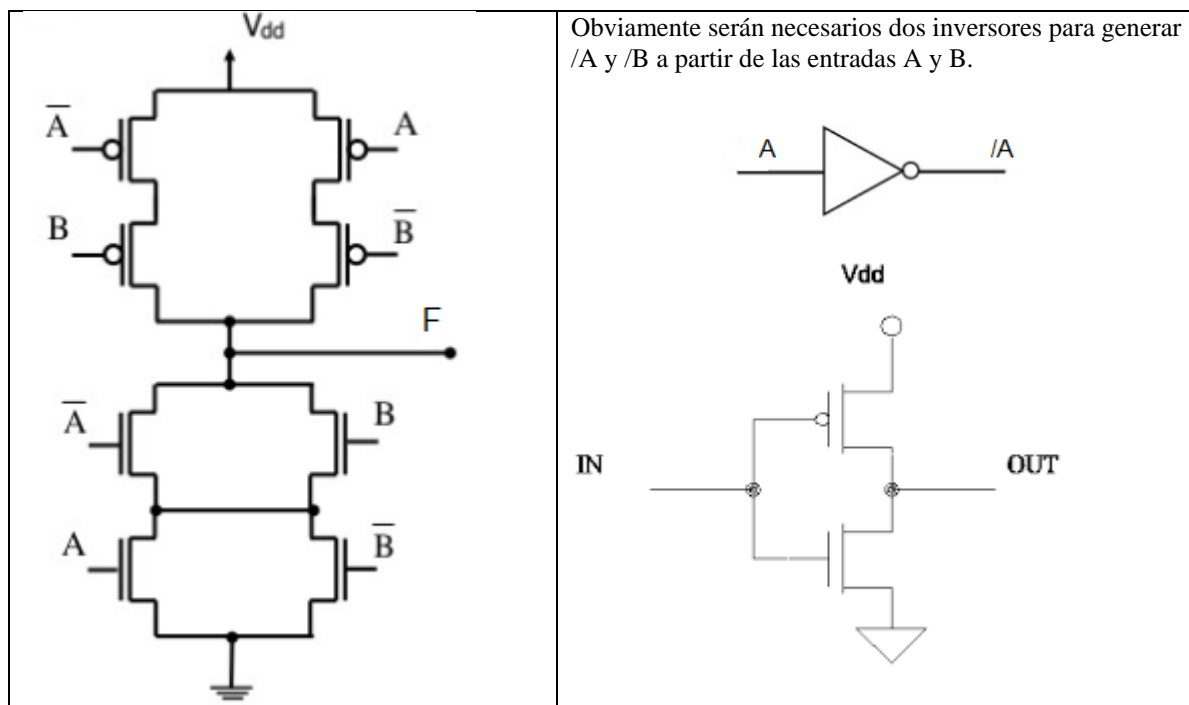
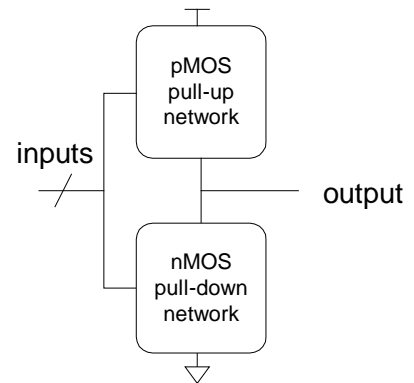
El bloque NMOS se conecta entre la salida y masa.

El bloque PMOS, entre V_{DD} y la salida, es el dual del bloque NMOS, esto es:

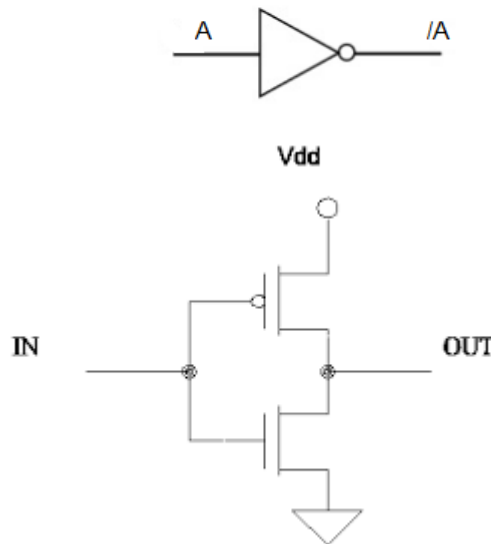
Las estructuras en paralelo se convierten en estructuras en serie.

Las estructuras en serie se convierten en estructuras en paralelo.

Al estar la función sin negar, se podría haber empezado también por el bloque PMOS, pero negando cada una de las entradas.



Obviamente serán necesarios dos inversores para generar \overline{A} y \overline{B} a partir de las entradas A y B.



B. (0.5 pts.) Calcule el número de transistores utilizado en el diseño en lógica CMOS complementaria y compárelo con un diseño tradicional (suma de productos) basado en puertas CMOS básicas. Justifique el resultado.

Si contamos los dos inversores, el total de transistores necesarios en lógica CMOS complementaria sería:

$$N = 2 \cdot 2 \text{ (NOT)} + 8 = 12 \text{ transistores.}$$

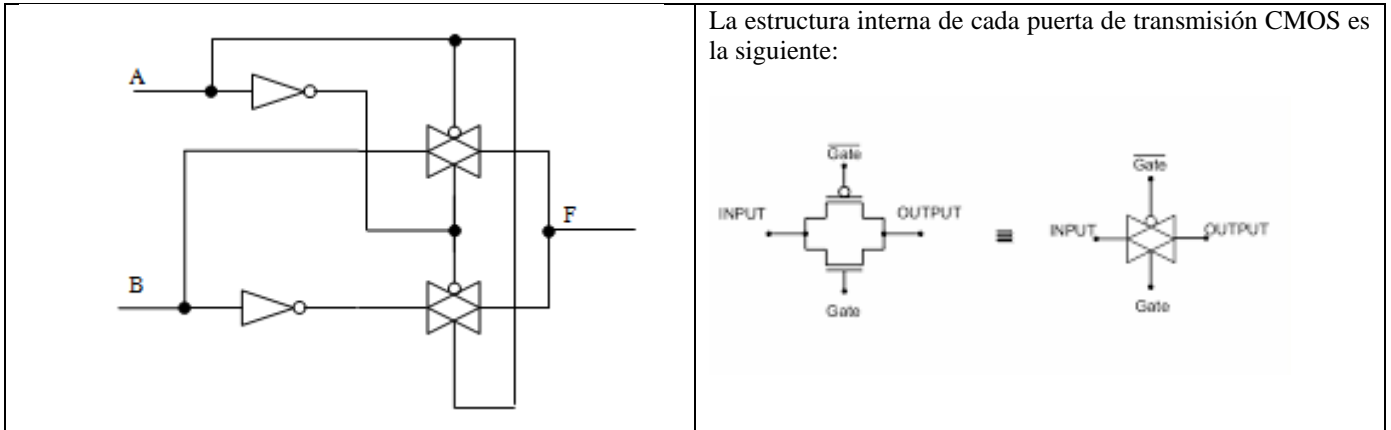
En un diseño tradicional basado en puertas CMOS básicas se tiene:

$$N = 2 \cdot 2 \text{ (NOT)} + 2 \cdot 6 \text{ (AND)} + 1 \cdot 6 \text{ (OR)} = 22 \text{ transistores}$$

C. (1 pto) Realice un nuevo diseño de la función XOR de dos entradas, basado en puertas de transmisión CMOS y las puertas adicionales necesarias. Sugerencia: utilice la estructura básica de un multiplexor de 2 canales.

Podemos plantear el diseño a partir de un MUX de dos canales, B y /B, y una señal de selección SEL=A (obviamente también se podrían elegir los canales A y /A, y una señal de selección SEL=B)

El esquema quedaría así:

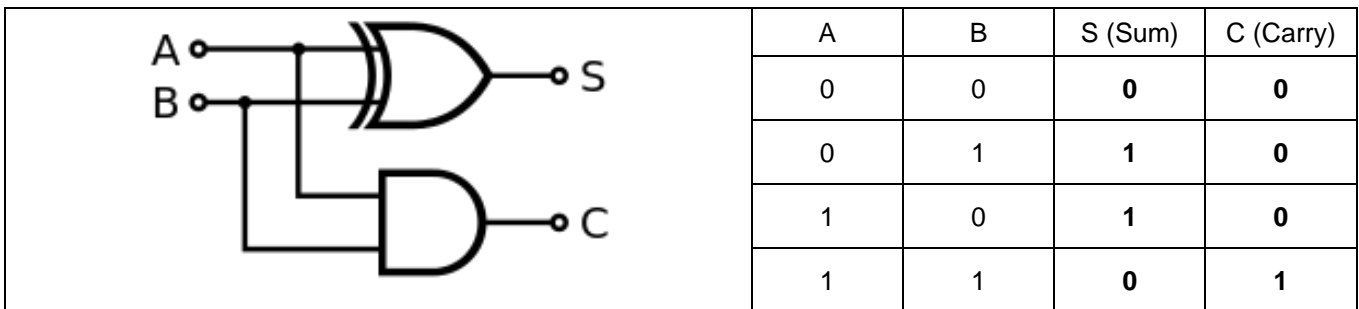


La función nos dice que:

Si A = "0" $\rightarrow F = B$ (está habilitada la puerta de arriba)

Si A = "1" $\rightarrow F = \neg B$ (está habilitada la puerta de abajo)

D. (1 pto.) La figura representa el esquema de un semisumador (*half adder*).



Complete la tabla de verdad del circuito y realice el diseño de este circuito utilizando una **ROM NOR**. Dibuje la estructura interna con transistores e indique el tamaño de la memoria. Justifique el resultado.

Para implementar la tabla de verdad mediante una estructura ROM NOR se utilizará un decodificador de 2 a 4 para generar las 4 líneas de palabra, que hacen el papel de minitérminos.

Las entradas del decoder son las 2 variables A y B (sumandos). La ROM tendrá 4 posiciones de memoria con 2 líneas de bit, una para cada función S y C. Esto es, el tamaño de la memoria es 4 palabras de 2 bits cada una (4*2).

Para seguir una estructura NOR, las líneas de bit se conectan a V_{DD} mediante resistencias de pull-up (o cargas PMOS con su entrada conectada a masa). Se establecerán transistores de contacto en la intersección de la línea de bit (B_L) con la línea de palabra (W_L) correspondiente a los minitérminos de la función. Finalmente, situaremos inversores en las salidas.

