

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

#### Parámetros característicos de los componentes digitales

1. Una subfamilia lógica TTL tiene las especificaciones indicadas en la tabla adjunta. Calcule los márgenes de ruido de nivel bajo, de nivel alto y de la familia.

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
4 V	2 V	4.5 V	1 V

$$NM_L = 1V, NM_H = 0.5V, NM = 0.5V$$

2. Una familia lógica CMOS alimentada a 3.3 V tiene las especificaciones indicadas en la tabla adjunta. Calcule los márgenes de ruido de nivel bajo, de nivel alto y de la familia.

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.3 V	1 V	3.2 V	0.1 V

$$NM_L = 0.9V, NM_H = 0.9V, NM = 0.9V$$

3. En las tablas adjuntas se indican algunas de las características eléctricas de dos familias lógicas genéricas A y B.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu A$	-1.6 mA	-400 $\mu A$	16 mA

Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.7 V	0.5 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 $\mu A$	-0.36 mA	-400 $\mu A$	8 mA

A partir de ellas, calcule:

- El *fan-out*  $B \rightarrow A$  (número de entradas de componentes de la familia A que se pueden conectar a la salida de un componente de la familia B).
- El *fan-out*  $A \rightarrow B$  (número de entradas de componentes de la familia B que se pueden conectar a la salida de un componente de la familia A).

Los valores obtenidos son, respectivamente:

[A] 10 y 20.

[B] 5 y 20.

[C] 44 y 20.

[D] 2 y 1.

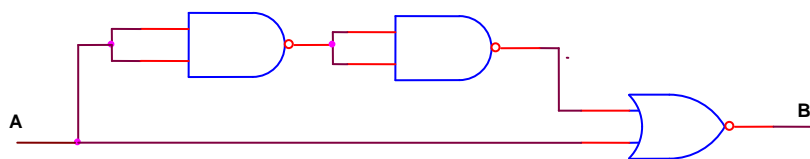
### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

4. ¿Cuál es el *fan-out* de la familia lógica cuyas especificaciones se indican en la tabla adjunta?

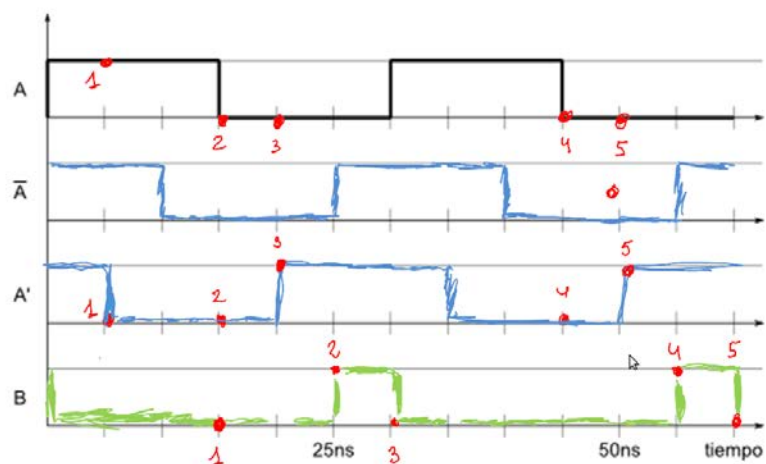
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.7 V	0.5 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 $\mu$ A	-0.36 mA	-400 $\mu$ A	8 mA

- [A] 10.  
[B] 22.  
[C] 20.  
[D] El fabricante recomienda 50 para no provocar tiempos de propagación excesivos.

5. Si las puertas del circuito de la figura tienen unos retardos de propagación  $t_{pHL}$  y  $t_{pLH}$  típicos de 10 ns, dibuje el cronograma de la salida si en la entrada hay una señal como la de la figura (señal cuadrada periódica):

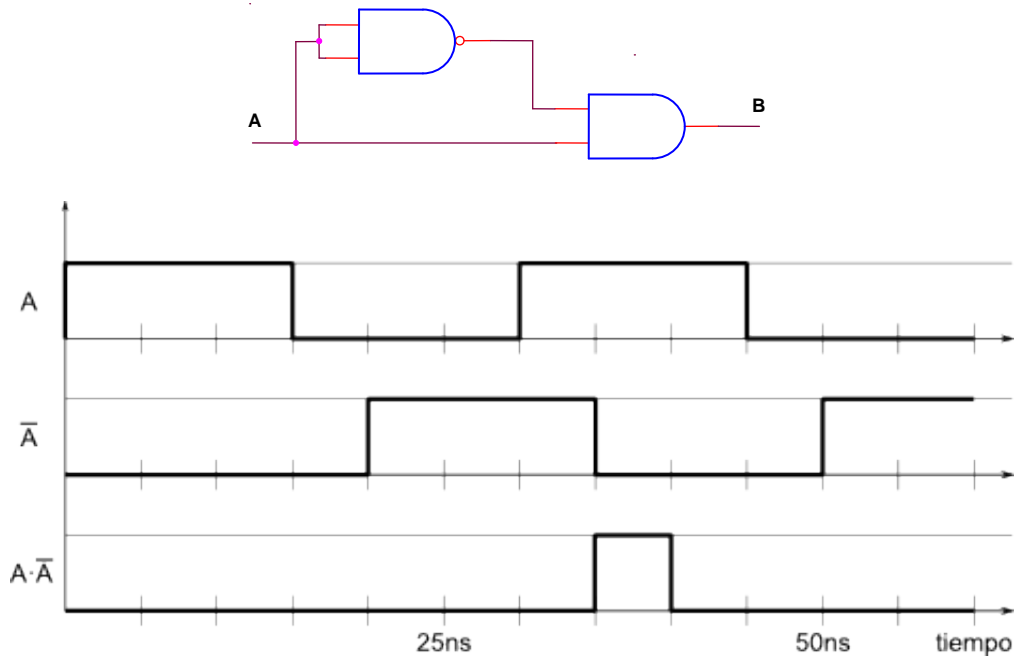


**Solución:**



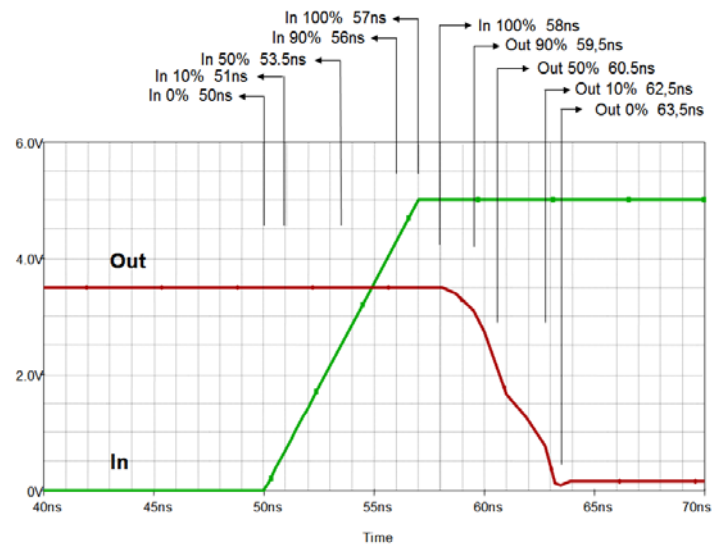
### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

6. A la vista del cronograma, calcule el retardo de propagación típico  $t_{pd}$  de las puertas.



$$t_{pd} = 5\text{ns}$$

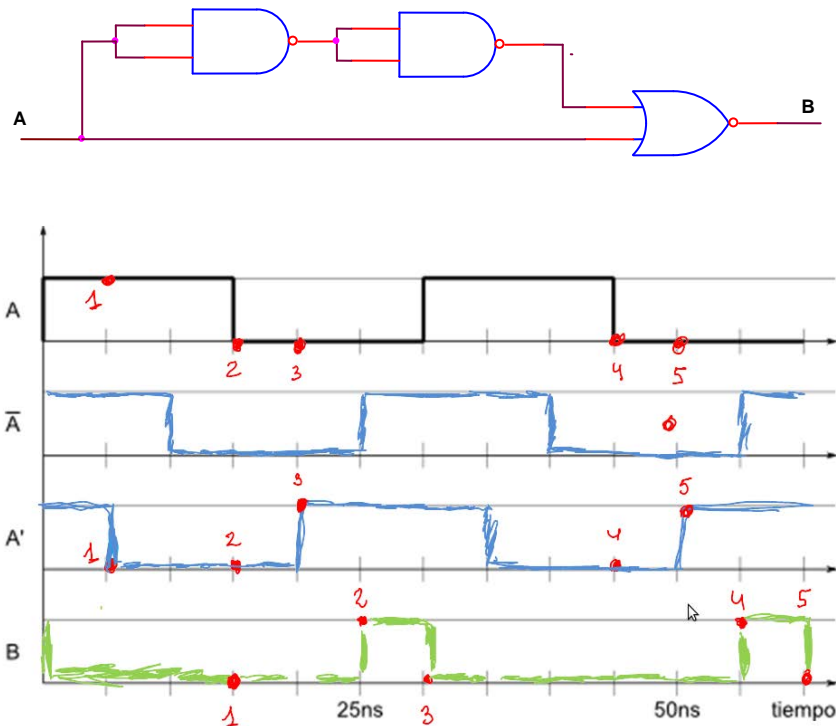
7. Dada la gráfica correspondiente a la entrada y salida de un inversor en función del tiempo, señale aquella afirmación que sea **CIERTA**:



- [A] El retardo de propagación  $t_{pd}(\text{HL})$  del inversor es de 7 ns.  
[B] El retardo de propagación  $t_{pd}(\text{HL})$  del inversor es de 5.5 ns.  
[C] El retardo de propagación  $t_{pd}$  del inversor es de 13.5 ns.  
[D] El retardo de propagación  $t_{pd}$  del inversor es de 7 ns.

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

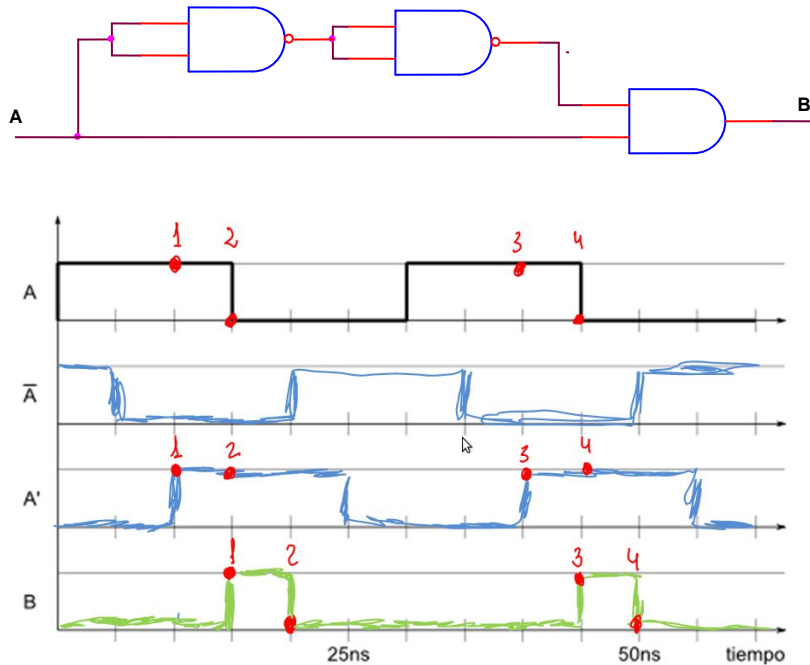
8. Si las puertas del circuito de la figura están implementadas con tecnología TTL, con  $I_{CCL} = 4.5 \text{ mA}$ , e  $I_{CCH} = 0.5 \text{ mA}$ , y su retardo de propagación es de  $10 \text{ ns}$ , calcule la potencia estática promedio consumida por el circuito teniendo en cuenta el valor de la entrada A que se indica en el cronograma.



Potencia Estática Promedio Total=44.17mW

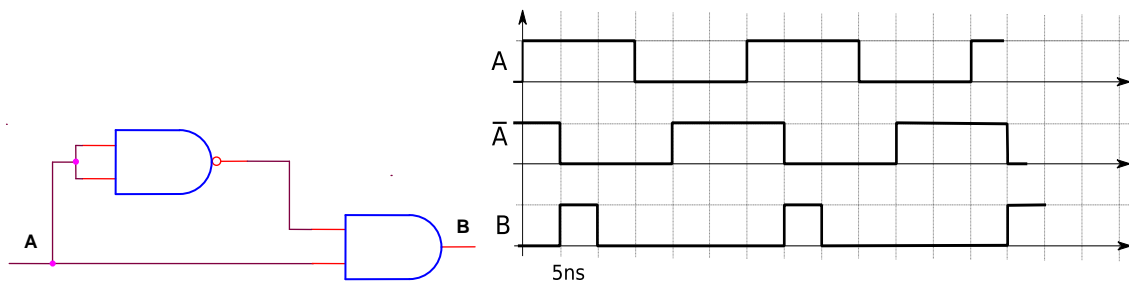
### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

9. Si las puertas del circuito de la figura están implementadas con tecnología TTL, con  $I_{CCL} = 6 \text{ mA}$ , e  $I_{CCH} = 2 \text{ mA}$ , y su retardo de propagación medio es de  $5 \text{ ns}$ , calcule la potencia estática promedio consumida por el circuito teniendo en cuenta el valor de la entrada A que se indica en el cronograma.



$$\bar{P} = 66.7 \text{ mW}$$

10. Para el circuito de la figura, se ha dibujado el cronograma de las distintas salidas, siendo la señal A la entrada al mismo. Cada marca vertical corresponde a  $5 \text{ ns}$ . Se puede afirmar que:



#### Datos:

$V_{CC} = 5 \text{ V}$ ;  $I_{CCL} = 6 \text{ mA}$  e  $I_{CCH} = 2 \text{ mA}$ , y el retardo de propagación medio de una puerta es de  $5 \text{ ns}$ .

- [A] La potencia estática promedio consumida por la puerta NAND es  $40 \text{ mW}$ .
- [B] La potencia estática promedio consumida por la puerta AND es  $20 \text{ mW}$ .
- [C] La potencia estática promedio consumida por el conjunto del circuito es  $46.67 \text{ mW}$ .
- [D] Para realizar los cálculos de la potencia estática promedio consumida, se necesita conocer la frecuencia de la señal de entrada.

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

11. Indique cuál es el PDP (producto potencia x retardo) de un componente TTL con las siguientes características:  $I_H$  (consumo en el nivel alto de salida) = 1 mA,  $I_L$  (consumo en el nivel bajo de salida) = 3.18 mA,  $t_{pHL}$  = 1.4 ns,  $t_{pLH}$  = 3.2 ns.  
**NOTA.-** Considere despreciable la potencia dinámica.

[A] 5.86 pJ  
[B] 26.79 pJ  
[C] 6.07 pJ  
[D] 24.04 pJ

12. La hoja de especificaciones de un determinado biestable indica para la señal de reloj, una duración mínima del nivel ALTO de 30ns, y una duración mínima del nivel BAJO de 37ns. ¿Cuál es la frecuencia máxima de funcionamiento?

[A] 30MHz  
[B] 15MHz  
[C] 33.3MHz  
[D] 15GHz

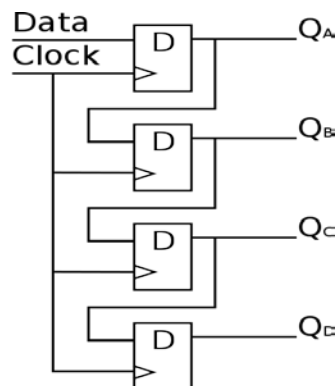
- 13.Cuál de las siguientes afirmaciones relacionadas con una misma familia lógica es FALSA:

[A] Siempre se cumple  $V_{OHmin} \geq V_{IHmin}$ .  
[B] El margen de ruido se define como  $NM = \min(NM_L, NM_H)$   
[C] Las corrientes en las entradas son siempre positivas, en cambio, las corrientes en las salidas son siempre negativas.  
[D] Si no se cumplen los tiempos de  $t_{su}$  (setup) y de  $t_h$  (hold) durante la escritura de un biestable, éste puede entrar en modo metaestable y no efectuar correctamente el almacenamiento del dato de entrada.

14. Considere un registro de desplazamiento síncrono diseñado con 4 biestables. Si para cada biestable, los parámetros son:  $t_{su}=5ns$ ,  $t_h=2ns$ ,  $t_{pLH}=10ns$ ,  $t_{pHL}=8ns$ , ¿Cuál es la frecuencia máxima de funcionamiento? ¿Depende del número de biestables?

[A] 10MHz  
[B] 100MHz  
[C] 67MHz  
[D] 62.5MHz

No depende del nº de biestables

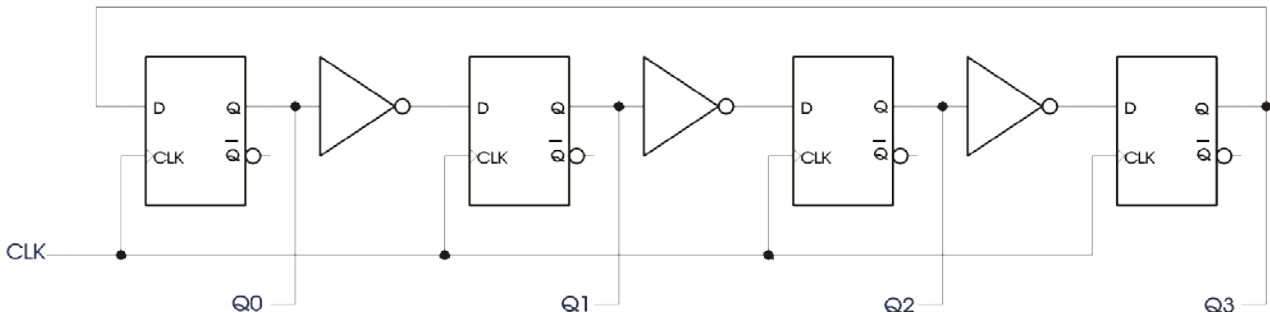


### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

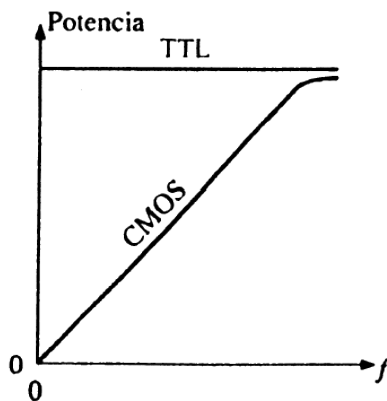
15. Dado el siguiente circuito secuencial, implementado con biestables D, señale la afirmación CORRECTA:

Parámetros temporales: Biestables: (Set up:  $t_{su} = 10$  ns, Hold:  $t_h = 5$  ns, Retardo:  $t_{pd(m\acute{a}x)} = 20$  ns), Puertas NOT: (Retardo:  $t_{pd(m\acute{a}x)} = 20$  ns).

- [A] La frecuencia de funcionamiento no debe superar los 20MHz.
- [B] La frecuencia de funcionamiento ha de ser mayor de 15 MHz.
- [C] El período de reloj no debe superar los 50ns.
- [D] El circuito no funciona bien por tener un tiempo de hold muy bajo.



16. A partir la figura adjunta, indique la afirmación FALSA:



- [A] La potencia estática de los circuitos digitales CMOS crece con la frecuencia.
- [B] Los circuitos lógicos TTL presentan consumo estático, independiente de la frecuencia.
- [C] Los circuitos lógicos CMOS presentan un consumo estático despreciable.
- [D] El consumo dinámico de los circuitos lógicos CMOS es directamente proporcional a la frecuencia.

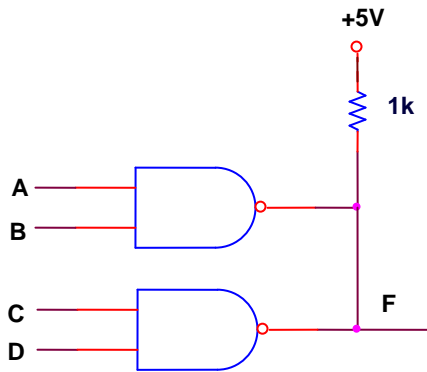
17. Indique la afirmación CORRECTA acerca de algunas familias lógicas:

- [A] La familia pseudo-NMOS es la más empleada en los chips VLSI debido a su bajo consumo.
- [B] La familia pseudo-NMOS es una variante de la NMOS que sustituye la resistencia  $R_D$  por un transistor NMOS, al objeto de reducir el área de silicio.
- [C] La subfamilia LSTTL utiliza transistores Schottky para aumentar la velocidad.
- [D] La familia NMOS presenta consumo estático cuando la salida es '1'.

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

#### Salidas especiales

18. Dado el circuito de la figura, realizado con puertas TTL con salida en colector abierto, indique cuál es la expresión lógica CORRECTA de la función cableada F del circuito:



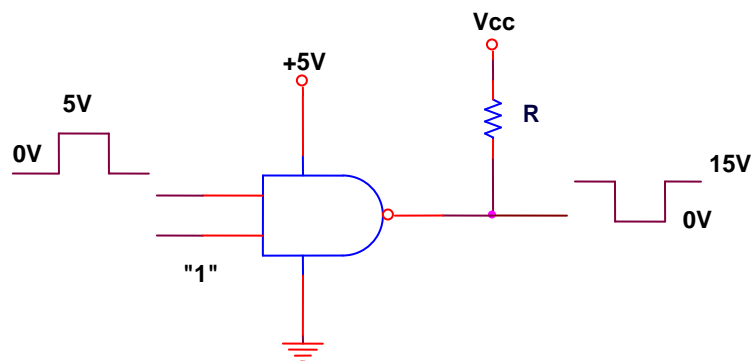
[A]  $F = \overline{(A.B.C.D)}$

[B]  $F = \overline{(A + B + C + D)}$

[C]  $F = \overline{(A.B)} + (C.D)$

[D] Las puertas no pueden conectarse entre sí de esa forma.

19. Con el circuito de la figura adjunta se pretende generar pulsos de +15 V a partir de pulsos de +5 V. Si la puerta tiene salida en colector abierto, con  $I_{OH} \approx 0$  mA,  $V_{OL} \approx 0$  V,  $I_{OLmax} \approx 16$  mA, ¿cuál de las siguientes propuestas para el circuito de *pull-up* es válida?



[A]  $V_{CC} = 5$  V y  $R = 1$  k $\Omega$ .

[B]  $V_{CC} = 15$  V y  $R = 0.5$  k $\Omega$ .

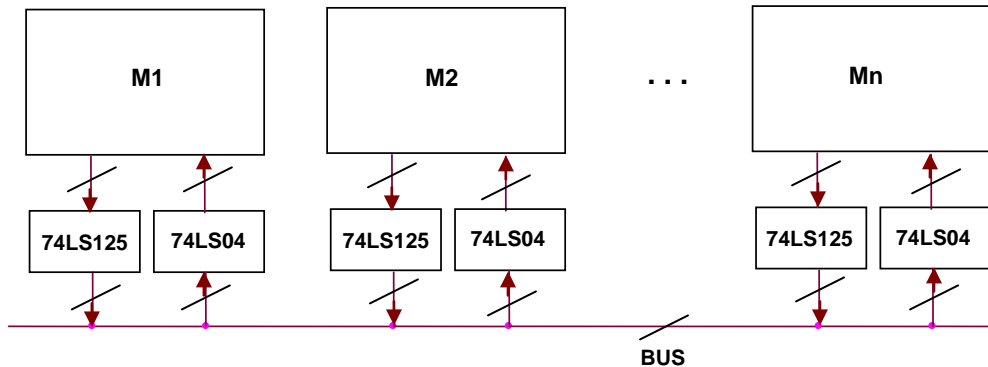
[C]  $V_{CC} = 15$  V y  $R = 1$  k $\Omega$ .

[D] Este tipo de conexión no es válido para una puerta con salida en colector abierto.



### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

20. Se ha implementado un circuito con componentes TTL. El circuito integrado 74LS125 está constituido por *buffers* con salida triestado. Estos *buffers*, cuando están habilitados, son capaces de absorber 24 mA a nivel bajo y de dar 2.6 mA a nivel alto. Cuando están deshabilitados (estado de alta impedancia), la salida tiene una corriente de fuga de  $\pm 20 \mu\text{A}$  (signo + si la salida es '1', - si la salida es '0'). La figura muestra un sistema diseñado con múltiples módulos conectados a un bus, donde cada módulo está compuesto por un buffer 74LS125 para dar información al bus y un inversor 74LS04 (con unas corrientes de entrada  $I_{IL} = -0.4 \text{ mA}$  e  $I_{IH} = 20 \mu\text{A}$ ) para recibir información del bus. ¿Cuál es el número máximo de módulos que pueden conectarse al bus sin exceder las especificaciones del 74LS125?

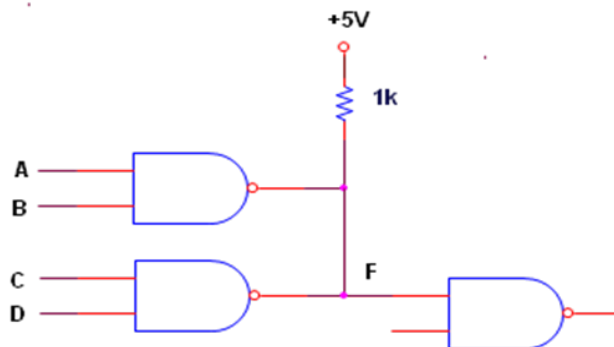


- [A] 10.  
[B] 57.  
[C] 65.  
[D] 30.

21. El circuito de la figura está compuesto de puertas NAND con salida en colector abierto. A partir de las especificaciones de la tabla (tensiones y corrientes) y para las entradas (A=4V, B=0.2V, C=4.5V, D=0.6V), CALCULE el voltaje aproximado en F.

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.5 V	0.8 V	3.0 V	0.5 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
600 $\mu$ A	-0.36 mA	200 $\mu$ A	7 mA

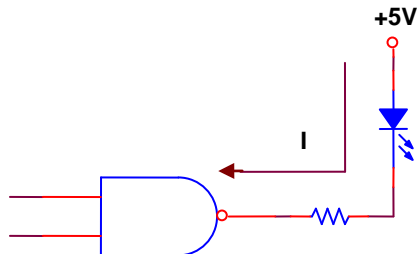
- [A]  $F=0.5V$   
[B]  $F=3.0V$   
[C]  $F=4.0V$   
[D]  $F=5.0V$



### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

#### Encendido de LED

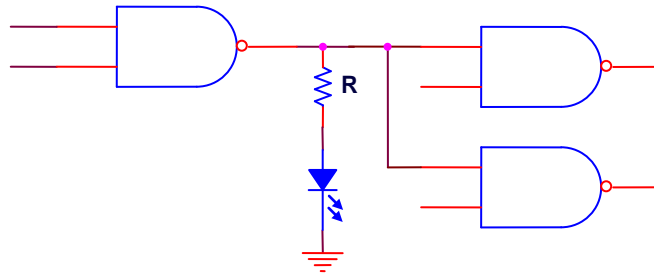
22. Se pretende que el LED del circuito tenga el máximo brillo posible. Teniendo en cuenta los valores de los parámetros de la puerta lógica detallados en la tabla adjunta, y que  $V_{Y(LED)} = 2.2 \text{ V}$ , calcule el valor de  $R$  de modo que la puerta lógica funcione dentro de sus especificaciones.



$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.5 V	0.8 V	3.0 V	0.5 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 $\mu\text{A}$	-0.36 mA	-100 $\mu\text{A}$	7 mA

$R \geq 328\Omega$

23. Para visualizar una variable interna de un circuito digital se introduce un LED con una resistencia  $R$  de  $50 \Omega$ . Teniendo en cuenta las especificaciones de la puerta, detalladas en la tabla adjunta, y que  $V_{Y(LED)} = 1.8 \text{ V}$ , ¿Es correcta la conexión? En caso de ser correcta, ¿cuántas entradas se pueden conectar en total? Si no lo es, ¿cuál será el valor de  $R$  que permitirá conectar hasta cuatro entradas?



$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.5V	0.8 V	3 V	0.2 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
1 mA	-3.5 mA	-16 mA	25 mA

No.  $R \geq 100\Omega$ .

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

24. Para visualizar una variable interna de un circuito digital se introduce un LED con una resistencia  $R_{pu}$  en el circuito de la figura. Calcule el valor de la resistencia  $R_{pu}$ . Considere los siguientes datos:

*Circuito:*

$V_{DD}=5V$

*Puertas:*

Tipo de Salida: Colector abierto para OR y NOT.

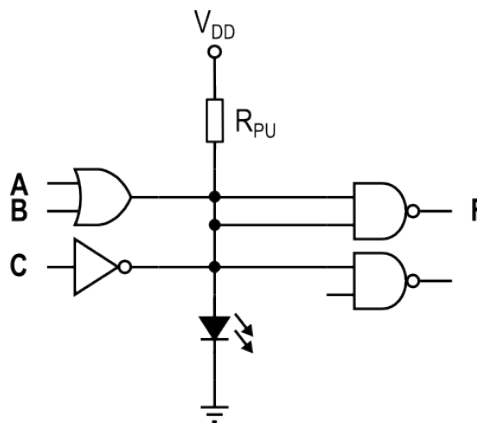
Voltajes:  $V_{IHmin}=1.5V$ ,  $V_{ILmax}=0.8V$ ,  $V_{OHmin}=3V$ ,  $V_{OLmax}=0.2V$

Corrientes:  $I_{IHmax}=1mA$ ,  $I_{ILmax}=-3.5mA$ ,  $I_{OHmax(fugas)}=0.5mA$ ,  $I_{OLmax}=35mA$

*Diodo LED:*

$V_f(LED) = 1.8 V$

Intensidad necesaria para que ilumine correctamente  $I_{LED}=10mA$ .



$$196\Omega \leq R_{pu} \leq 229\Omega$$

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

#### Interconexión de familias lógicas

25. Se quiere conectar las salidas de 2 componentes estándar de una familia lógica alimentada a 5 V, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta.

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

Para poder efectuar esta conexión:

- [A] No es necesario añadir nada.
- [B] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.41 k $\Omega$  y 8.12 k $\Omega$ .
- [C] No se puede efectuar la conexión de las salidas, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
- [D] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.41 k $\Omega$  y 11.82 k $\Omega$ .

26. Se quiere conectar las salidas de 2 componentes con salida en colector abierto de una familia lógica alimentada a 5 V, y éstas, a su vez a 3 entradas de componentes de la misma familia. Las especificaciones de la familia se indican en la tabla adjunta (teniendo en cuenta que  $I_{OHmax} = 100 \mu$ A para los componentes en colector abierto).

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

Para poder efectuar esta conexión:

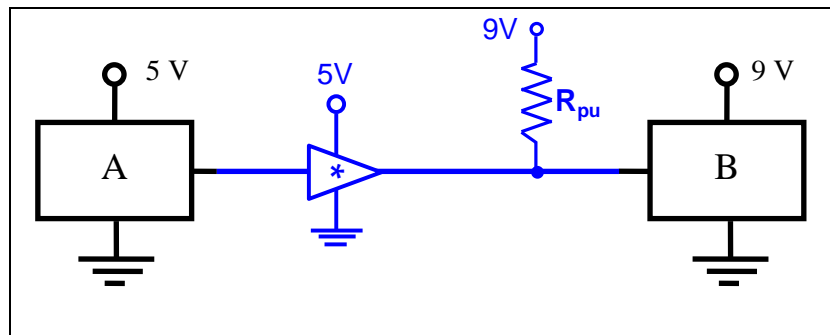
- [A] No es necesario añadir nada.
- [B] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up* con un rango de valores permitido entre 0.41 k $\Omega$  y 8.12 k $\Omega$ .
- [C] No se puede efectuar la conexión de las salidas, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
- [D] Es necesario añadir, entre la salida y la alimentación, una resistencia de *pull-up*, con un rango de valores permitido entre 0.41 k $\Omega$  y 11.82 k $\Omega$ .

### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

27. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

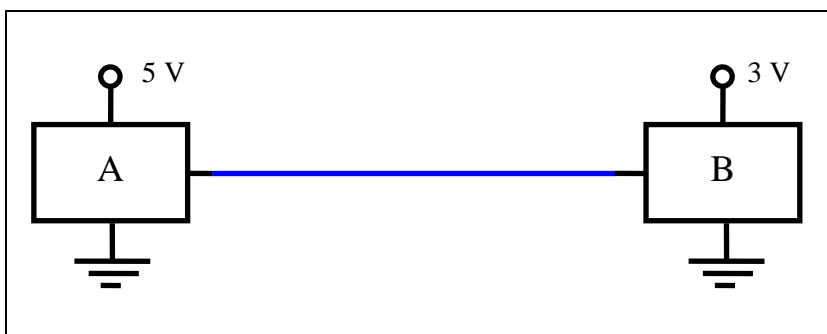
Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
6.3 V	2.7 V	8.9 V	0.1 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 pA	-20 pA	-0.5 mA	0.5 mA



28. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.1 V	0.9 V	2.9 V	0.1 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
1 pA	-1 pA	-0.5 mA	0.5 mA

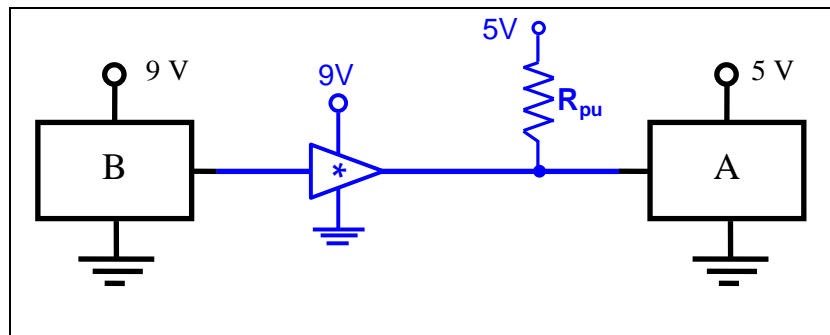


### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

29. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

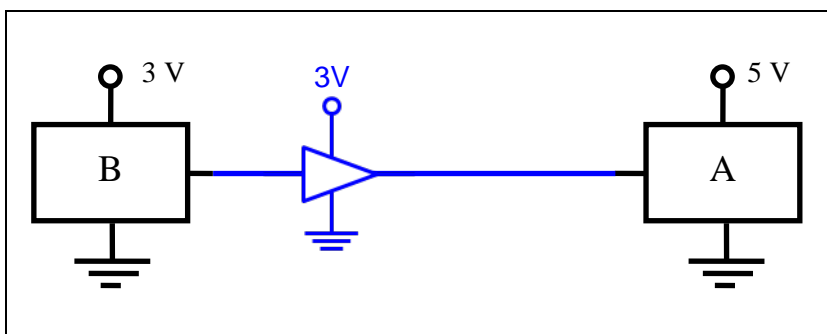
Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
6.3 V	2.7 V	8.9 V	0.1 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
20 pA	-20 pA	-0.5 mA	0.5 mA



30. Realice el conexionado de los componentes de la figura a partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas. En caso de tener que añadir algún componente, no es preciso hacer los cálculos.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu$ A	-1.6 mA	-400 $\mu$ A	16 mA

Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.1 V	0.9 V	2.9 V	0.1 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
1 pA	-1 pA	-0.5 mA	0.5 mA



### T3. Introducción a las familias lógicas integradas – Ejercicios Propuestos

31. Se quiere conectar una salida TTL en colector abierto con una entrada de un circuito lógico CMOS alimentado a +9V. Indique la respuesta CORRECTA:

Familia A (TTL colector abierto)			Familia B (CMOS +9V)			
$V_{OLmax}$	$I_{OHmax}$ (fugas)	$I_{OLmax}$	$V_{IHmin}$	$V_{ILmax}$	$I_{IHmax}$	$I_{ILmax}$
0.4 V	100 $\mu A$	16 mA	6.3 V	2.7 V	0.1 $\mu A$	-0.1 $\mu A$

- [A] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación. de +9V. El valor de la resistencia debe estar comprendido entre 0.54K $\Omega$  y 26.97K $\Omega$ .
- [B] Se pueden conectar directamente.
- [C] Es necesario poner un buffer TTL en la salida para compatibilizar la corriente a nivel bajo.
- [D] Es necesario conectar una resistencia de pull-up entre la salida y la alimentación de +9V. El valor de la resistencia debe estar comprendido entre 2.1K $\Omega$  y 41.4K $\Omega$ .