

Lo que hay que saber del TEMA 6

1. Saber por qué es necesario el empleo de una jerarquía de memoria, cuál es su modo básico de operación, los conceptos básicos de la cache, sus configuraciones básicas (unificada vs segregada/dual) y cómo ésta explota el principio de localidad
2. Saber calcular el tiempo medio de acceso a memoria en función de los tiempos de acceso a la cache y memoria principal, la tasa de aciertos/fallos de los distintos niveles de cache y del porcentaje de accesos a instrucciones y a datos
3. Saber determinar la geometría de la cache (bloques y conjuntos que la componen) a partir de sus parámetros básicos (tamaño de la cache, número de vías y tamaño de bloque)
4. Saber calcular el número de bloque (dirección de bloque) al que pertenece una cierta dirección de memoria y el rango de direcciones de MP que el bloque comprende
5. Saber identificar y aplicar los distintos esquemas de correspondencia
6. Saber identificar los campos (y su tamaño) en que se descompone la dirección de memoria de acuerdo al esquema de correspondencia aplicado
7. Saber identificar la etiqueta y la línea de memoria cache en la que se debe almacenar un cierto bloque de memoria principal de acuerdo al esquema de correspondencia aplicado.
8. Saber identificar el número de bloque de memoria principal a partir del conjunto en que se halla almacenado en la cache y de su etiqueta.
9. Saber identificar todos y cada uno de los bloques de memoria (obtener su número de bloque), tanto de instrucciones como de datos, accedidos durante la ejecución de un programa.
10. Saber calcular los fallos/aciertos/número de accesos que se producen en la ejecución de un programa de acuerdo al patrón de accesos a memoria
11. Saber cuándo y para qué se requieren los algoritmos de reemplazo y, en particular, cómo trabaja el algoritmo de reemplazo LRU
12. Saber qué son las políticas actualización (acierto) y de ubicación (fallo) en escritura y cómo éstas influyen en la tasa de aciertos y comportamiento de la cache
13. Saber distinguir los distintos tipos de fallos que se pueden producir en la cache
14. Conocer cómo se organiza internamente la cache al nivel físico
15. Saber por qué se necesita una memoria de control asociada a la cache y qué información contiene
16. Saber calcular el tamaño de la memoria de control asociada a la cache
17. Comprender globalmente la influencia que tienen los parámetros de diseño de la cache, el esquema de correspondencia y las políticas empleadas, junto con el patrón de accesos a código y datos, en el rendimiento de la cache.
18. Saber en qué consiste una TLB y por qué es necesario su empleo.
19. Saber cómo se estructura internamente la TLB y cómo trabaja.
20. Comprender cómo se integran la memoria virtual y la cache en un sistema.