

PROBLEMA 1 Un chip de memoria SDRAM se conecta a un bus que funciona a 100 MHz. Los parámetros temporales de este chip son $t_{RAS} = 5$, $t_{RC} = 6$, $t_{RCD} = 2$ y $t_{RP} = 2$. La latencia de CAS (CL) puede ser 2 o 3 ciclos. La longitud de bloque es de 4 palabras. La precarga es automática.

1. Dibuje el cronograma de lectura de un bloque para $CL = 2$. Indique cuál es el tiempo de acceso a la primera palabra del bloque, en nanosegundos.
2. Repita el apartado anterior con $CL = 3$.

SOLUCIÓN:

1. El tiempo de ciclo de reloj es de 10 ns. A continuación se muestra la temporización de una lectura de bloque de cuatro palabras que satisface los requisitos temporales del chip.

Ciclo	1	2	3	4	5	6	7	8
Orden	ACT	NOP	READ	NOP	NOP	NOP	NOP	NOP
Datos					W1	W2	W3	W4
Direcciones	Fil		Col					

Entre ACT y READ hay un espacio de dos ciclos (t_{RCD}). Entre READ y la aparición del primer dato del bloque en el bus de datos (W1) hay un espacio de dos ciclos (latencia de CAS). El tiempo de acceso a la primera palabra es de 40 ns.

2. La latencia de CAS es ahora de 3 ciclos, uno más que en el caso anterior. El cronograma resultante se muestra a continuación.

Ciclo	1	2	3	4	5	6	7	8	9
Orden	ACT	NOP	READ	NOP	NOP	NOP	NOP	NOP	NOP
Datos						W1	W2	W3	W4
Direcciones	Fil		Col						

Los datos aparecen en el bus en el ciclo 6, por lo que el tiempo de acceso a la primera palabra es en este caso 50 ns. ■

PROBLEMA 2 Considere un chip de memoria SDRAM de 64×32 bits, 4 filas y bloques de 4 palabras. Este chip se conecta a un bus que funciona a 75 MHz (tiempo de ciclo de 13.3 ns). Los parámetros temporales de este chip son $t_{RAS} = 3$, $t_{RC} = 5$, $t_{RCD} = 2$ y $t_{RP} = 2$. La latencia de CAS (CL) es de 2 ciclos. La precarga es automática. Se pide dibujar el cronograma asociado a las operaciones siguientes:

1. Lectura de los bloques 0x9 y 0xB.
2. Lectura de los bloques 0x1 y 0x4.

SOLUCIÓN:

1. En primer lugar determinamos la geometría de la matriz de bits:

$$\text{Bloques en el chip} = \frac{\text{Palabras en el chip}}{\text{Palabras por bloque}} = \frac{64}{4} = 16$$

$$\text{Bloques por fila} = \frac{\text{Bloques en el chip}}{\text{Filas en el chip}} = \frac{16}{4} = 4$$

Por lo tanto, el chip se organiza en cuatro filas de 4 bloques cada fila. En definitiva, hay una distribución de 4×4 bloques como la mostrada a continuación:

Bloque 0	Bloque 1	Bloque 2	Bloque 3
Bloque 4	Bloque 5	Bloque 6	Bloque 7
Bloque 8	Bloque 9	Bloque A	Bloque B
Bloque C	Bloque D	Bloque E	Bloque F

Por otra parte, las direcciones son de 6 bits (hay 64 palabras en el chip), y se interpretan:

- Fila: A_5 y A_4 . Columna: A_3, A_2, A_1, A_0
- Bloque: A_6, A_5, A_4, A_3, A_2 . Desplazamiento dentro de cada bloque: A_1 y A_0

Si nos centramos en los dos bloques que se acceden, $0x9$ y $0xB$, observamos que se sitúan en la misma fila. Por tanto, podemos concatenar dos órdenes READ seguidas, sin necesidad de cambiar de fila, una vez se ha activado la fila. El cronograma siguiente muestra los detalles:

Ciclo	1	2	3	4	5	6	7	8
Orden	ACT	NOP	READ	NOP	NOP	NOP	READ	NOP
Datos					W1	W2	W3	W4
Direcciones	Fil:10 ₂		Col:0100 ₂				Col:1100 ₂	

Ciclo	9	10	11	12
Orden	NOP	NOP	NOP	NOP
Datos	X1	X2	X3	X4
Direcciones				

La disposición de las órdenes READ permite enlazar el fin del primer bloque de datos con el comienzo del siguiente. En los dos casos, los datos salen al bus 2 ciclos después de especificar la orden de lectura. La latencia de acceso al bloque $0x9$ es de 4 ciclos y la del bloque $0xB$ es de 8 ciclos con respecto a la activación de la fila en el ciclo 1.

- Al contrario que el caso anterior, los bloques $0x1$ y $0x4$ no pertenecen a la misma fila. Esto implica que es necesario cerrar la primera fila antes de abrir la segunda. El cronograma siguiente muestra los detalles:

Ciclo	1	2	3	4	5	6	7	8
Orden	ACT	NOP	READ	NOP	NOP	NOP	NOP	NOP
Datos					W1	W2	W3	W4
Direcciones	Fil:00 ₂		Col:0100 ₂					

Ciclo	9	10	11	12	13	14	15	16
Orden	ACT	NOP	READ	NOP	NOP	NOP	NOP	NOP
Datos					X1	X2	X3	X4
Direcciones	Fil:01 ₂		Col:0000 ₂					

Esta operación lleva un total de 16 ciclos, frente a los 12 del caso anterior. La latencia de acceso del bloque $0x1$ es de 4 ciclos, mientras que la del bloque $0x4$ es de 12 ciclos (con respecto a la activación de la primera de las dos filas). ■

PROBLEMA 3 Un módulo de memoria DDR SDRAM tiene una capacidad de 512 MB y está construido con chips de $32M \times 8$ bits. Las temporizaciones $t_{CL}-t_{RCD}-t_{RP}-t_{RAS}$ en función de la frecuencia de reloj son las siguientes:

- Configuración A. Reloj a 166 MHz (periodo de 6 ns): 2.5–3–3–7
- Configuración B. Reloj a 133 MHz (periodo de 7.5 ns): 2.0–2–2–6

1. Determine el número de chips que contiene el módulo.
2. ¿Qué configuración presenta un ancho de banda más grande?
3. ¿Qué configuración tiene una latencia de acceso en operaciones de lectura más baja?

SOLUCIÓN:

1. El número de chips en el módulo se puede calcular dividiendo la capacidad del módulo entre la capacidad de los chips que contiene:

$$\text{Número de chips} = \frac{\text{Capacidad del módulo}}{\text{Capacidad de los chips}} = \frac{512 \text{ MB}}{32 \text{ MB}} = 16$$

2. El ancho de banda se calcula multiplicando la frecuencia de reloj por 8 bytes (los módulos estándar tienen una longitud de palabra de 64 bits) y por 2 porque se transmiten dos datos por cada ciclo de reloj:
 - Ancho de banda de la configuración A: $166 \text{ MHz} \times 2 \times 8 = 2656 \text{ MB/s}$
 - Ancho de banda de la configuración B: $133 \text{ MHz} \times 2 \times 8 = 2128 \text{ MB/s}$

Este cálculo muestra que la configuración A tiene un ancho de banda más grande que la B.

3. La latencia de acceso a los datos en operaciones de lectura se calcula sumando los tiempo t_{RCD} y t_{CL} :
 - Latencia de acceso de la configuración A: $t_{RCD} + t_{CL} = 3 + 2.5 = 5.5$ ciclos
 - Latencia de acceso de la configuración B: $t_{RCD} + t_{CL} = 2 + 2.0 = 4.0$ ciclos

Si traducimos los ciclos a ns, la latencia de la configuración A será de $5.5 \times 6 = 33$ ns, mientras que la de la configuración B será de $4.0 \times 7.5 = 30$ ns. La configuración B es la que presenta una latencia de acceso más pequeña. ■

PROBLEMA 4 Un chip de memoria SDRAM contiene una matriz de 256 filas \times 256 columnas \times 8 bits y está configurado con bloques de 4 palabras y $CL = 1$. En la tabla siguiente se muestra una temporización que se supone satisface las restricciones temporales. Explique a qué direcciones del chip corresponden las palabras $P1$ y $P2$.

Ciclo	1	2	3	4
Orden	ACT	READ	READ	NOP
Direcciones	0xAF	0x23	0x45	
Datos			P1	P2

SOLUCIÓN: Sabiendo que se necesitan 8 bits para seleccionar una fila y 8 bits para seleccionar una columna, podemos deducir que las direcciones dentro del chip son de 16 bits. La orden ACTIVE abre la fila 0xAF. La primera orden READ (ciclo 2) provoca la lectura de la columna 0x23; por tanto la dirección de lectura es 0xAF23 y en el ciclo 3 empieza la ráfaga que transmite el bloque 0x2BC8 (basta eliminar los dos bits de menos peso de la dirección 0xAF23 para obtener este número de bloque, ya que el desplazamiento dentro del bloque de 4 palabras es de dos bits). Como la ráfaga de datos empieza con la palabra direccionada por la orden de lectura, podemos concluir que la palabra $P1$ es el contenido del byte de dirección 0xAF23.

Por otra parte, la segunda orden READ (ciclo 3) interrumpe la ráfaga ya empezada e inicia el acceso a la dirección 0xAF45, dentro de la misma fila. Por tanto, en el ciclo 4 empieza la ráfaga de datos contenidos en el bloque 2BD1. La palabra $P2$ es, pues, el contenido del byte de dirección 0xAF45. ■

PROBLEMA 5 Un módulo estándar de memoria DDR SDRAM tiene una capacidad de 1024 MB y está construido con chips de $128M \times 8$ bits. La temporización $t_{CL}-t_{RCD}-t_{RP}-t_{RAS}$ a una frecuencia de reloj de 166 MHz es 2-3-3-7.

1. Determine el número de chips que contiene el módulo.
2. Calcule el ancho de banda del módulo (expresela en MB/s).
3. ¿Cuántos ciclos de reloj se tardará en leer un bloque de 8 datos?

PROBLEMA 6 Una placa base para el procesador MIPS R2000 dispone de 4 ranuras (slots) para módulos de memoria DIMM. Los módulos se insertan empezando por la ranura 0 (dirección inicial del mapa de memoria) y siempre se van añadiendo en ranuras consecutivas (direcciones crecientes). Solo se permiten las cuatro configuraciones indicadas en la tabla 1. El programa de arranque del computador averigua los módulos instalados y apunta la configuración correspondiente en dos bits (CFG1,CFG0) de un registro de configuración del controlador de memoria.

Config.	CFG1	CFG0	Ranura 0	Ranura 1	Ranura 2	Ranura 3
0	0	0	1 GB	1 GB	1 GB	1 GB
1	0	1	1 GB	1 GB	1 GB	<vacío>
2	1	0	2 GB	1 GB	<vacío>	<vacío>
3	1	1	2 GB	<vacío>	<vacío>	<vacío>

Tabla 1: Selección de módulos de memoria DIMM.

Cada ranura dispone de su señal de selección (CS0, CS1, CS2 y CS3) activas a nivel alto.

1. Indique la función lógica de la señal CS1 de selección del módulo insertado en la ranura 1 en función de los bits de configuración (CFG1,CFG0) y de los bits de dirección oportunos.
2. Cualquier intento de acceder a una dirección donde no haya un módulo instalado provoca la activación de la señal $\overline{MEM_ERR}$ (activa por nivel bajo). Indique la función lógica de $\overline{MEM_ERR}$ en función de los bits de configuración (CFG1,CFG0) y los bits de dirección oportunos.