

Responde cada pregunta en una hoja distinta. Tiempo disponible: 1 hora 45 minutos

1. (4 puntos) Se dispone de un procesador MIPS superescalar de 2 vías con ejecución fuera de orden y especulación hardware basada en el algoritmo de Tomasulo. Las instrucciones atraviesan las siguientes etapas: IF (búsqueda de instrucciones), I (decodificación y lanzamiento de las instrucciones), En (ejecución en el operador multiciclo correspondiente), WB (transferencia del resultado por los buses comunes de datos) y C (confirmación de las instrucciones). El procesador dispone de un predictor de saltos del tipo *Branch Target Buffer* (BTB) de 1 bit que ofrece la predicción al final de la etapa IF.

Las características de los operadores son las siguientes:

	Nº Operadores	Latencia	Características
Carga/Almacenamiento	2	2	Segmentada; 4 buffers de lectura y 4 de escritura
Suma/Resta CF	2	2	No segmentada; 4 estaciones de reserva
Multiplicador CF.	2	3	Segmentada; 4 estaciones de reserva
Enteros/Saltos	2	1	8 estaciones de reserva

Se pretende evaluar el comportamiento del procesador ante el siguiente bucle, el cual es el resultado de aplicar loop unrolling al bucle DAXPY visto en prácticas:

$$z_i = a \cdot x_i + y_i \quad (1)$$

```

.data
x: .double 1.0,2.0,3.0, ...
y: .double 1.0,2.0,3.0, ...
z: .space 512
a: .double 1.0
.text
start: dadd r1,r0,x
      dadd r2,r0,y
      dadd r3,r0,z
      ld f0,a(r0)
      dadd r4,r1,#512      ; r1 apunta a x
loop:  ld f2,0(r1)
      ld f6,8(r1)
      mul.d f2,f0,f2
      mul.d f6,f0,f6
      ld f4,0(r2)
      ld f8,8(r2)
      add.d f4,f2,f4
      add.d f8,f6,f8
      sd f4, 0(r3)
      sd f8, 8(r3)
      dadd r1,r1,#16
      dadd r2,r2,#16
      dadd r3,r3,#16
      dsub r5,r4,r1
      bnez r5,loop
      trap #0              ; Fin de programa

```

La figura siguiente muestra el diagrama incompleto instrucciones–tiempo correspondiente a una iteración intermedia del bucle:

PC	Instruccion	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
16	dadd r4,r1,#512	IF	X																	
loop	ld f2,0(r1)	IF	I	AC	L1	L2	-	WB	-	-	-	C								
24	ld f6,8(r1)	IF	I	AC	L1	L2	WB	-	-	-	C									
28	mul.d f2,f0,f2	COMPLETAR																		
32	mul.d f6,f0,f6	IF	I	-	-	-	M1	M2	M3	WB	C									
36	ld f4,0(r2)	COMPLETAR																		
40	ld f8,8(r2)	IF	I	AC	L1	L2	WB	-	-	-	C									
44	add.d f4,f2,f4	IF	I	-	-	-	-	-	-	-	A1	A2	WB	C						
48	add.d f8,f6,f8	IF	I	-	-	-	-	-	-	-	A1	A2	WB	C						
52	sd f4, 0(r3)	COMPLETAR																		
56	sd f8, 8(r3)	IF	I	AC	-	-	-	-	-	-	-	-	-	C	S1	S2				
60	dadd r1,r1,#16	IF	I	E1	WB	-	-	-	-	-	-	-	-	C						
64	dadd r2,r2,#16	IF	I	E1	WB	-	-	-	-	-	-	-	-	C						
68	dadd r3,r3,#16	IF	I	E1	WB	-	-	-	-	-	-	-	-	C						
72	dsub r5,r4,r1	IF	I	E1	-	WB	-	-	-	-	-	-	-	C						
76	bnez r5,loop	COMPLETAR																		
16	dadd r4,r1,#512	COMPLETAR																		
loop	ld f2,0(r1)	IF	I	AC	L1	L2	-	WB	-	-	-	C								

- a) Rellene las filas incompletas del diagrama utilizando el diagrama instrucciones–tiempo proporcionado.
- b) Considerando la instrucción con PC 48 (add.d f8, f6, f8) indique en qué ciclo:
- 1) Dispone del contenido del operando correspondiente al registro f6.
 - 2) Dispone del contenido del operando correspondiente al registro f8.
 - 3) Se ocupa la estación de reserva.
 - 4) Se ocupa la entrada del ROB.
 - 5) Se escribe el registro f8.
 - 6) Se libera la estación de reserva.
 - 7) Se libera la entrada del ROB.
- c) Tomando el diagrama mostrado como una iteración representativa,
- 1) ¿Cuántos ciclos consume una iteración cuando el predictor acierta?
 - 2) ¿Y cuando falla?
 - 3) Si asumimos que se ejecutan 32 iteraciones a este bucle y considerando que el procesador funciona a una frecuencia de 1 GHz, ¿Cuántos MIPS ofrecerá el procesador ejecutando el código bajo estudio? Asume que el predictor falla en las predicciones de la primera y la última iteración. Para el cálculo, considera solamente las instrucciones que componen el bucle.

2. (1,5 puntos)

El fabricante del procesador del ejercicio 1 también vende un modelo menos potente con las mismas características excepto que sólo cuenta con un operador de cada tipo. Sobre este procesador se ejecuta el siguiente bucle:

```
loop:  dsub r1,r1,#8
      l.d f0, a(r1)
      add.d f4, f0, f2
      s.d f4, b(r1)
      s.d f4, c(r1)
      bnez r1,loop
      trap #0
```

El diagrama instrucciones–tiempo para dos iteraciones consecutivas cualesquiera del bucle es el siguiente:

PC	Instruc.	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21
loop	dsub r1,r1,8	IF	I	E1	WB	-	-	-	-	-	-	-	C						
1	l.d f0,A(r1)	IF	I	-	-	AC	L1	L2	WB	-	-	C							
2	add.d f4,f0,f2		IF	I	-	-	-	-	-	A1	A2	WB	C						
3	s.d f4,B(r1)		IF	I	-	-	AC	-	-	-	-	-	C	L1	L2				
4	s.d f4,C(r1)		IF	I	-	-	AC	-	-	-	-	-	C	L1	L2				
5	bnez r1,loop		IF	I	E1	WB	-	-	-	-	-	-	C						
loop	dsub r1,r1,8			IF	I	E1	WB	-	-	-	-	-	-	C					
1	l.d f0,A(r1)			IF	I	-	-	AC	L1	L2	WB	-	-	C					
2	add.d f4,f0,f2				IF	I	-	-	-	-	-	A1	A2	WB	C				
3	s.d f4,B(r1)				IF	I	-	-	AC	-	-	-	-	-	C	L1	L2		
4	s.d f4,C(r1)					IF	I	-	-	AC	-	-	-	-	-	C	L1	L2	
5	bnez r1,loop					IF	I	E1	WB	-	-	-	-	-	-	C			

Responde a las siguientes cuestiones, **justificando la respuesta**:

- a) ¿Cuántos ciclos toma lanzar (*Issue*) todas las instrucciones de la segunda iteración mostrada desde que se lanza la segunda dsub en el ciclo 8?
- b) ¿Cuántos ciclos toma retirar (*Commit*) todas las instrucciones de la segunda iteración mostrada desde que se retira la segunda dsub en el ciclo 17?
- c) Para implementar un modelo del mismo procesador con mayor frecuencia ha sido necesario incrementar la latencia del sumador de coma flotante a 5 ciclos. Esto afecta al diagrama instrucciones–tiempo, que queda como sigue. Observa que, en este caso, el número de ciclos que toma retirar todas las instrucciones de la segunda iteración desde que se retira la segunda dsub es 5.

PC	Instruc.	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
loop	dsub r1,r1,8	IF	I	E1	WB	-	-	-	-	-	-	-	-	-	C											
1	l.d f0,A(r1)	IF	I	-	-	AC	L1	L2	WB	-	-	-	-	-	C											
2	add.d f4,f0,f2		IF	I	-	-	-	-	-	-	-	A1	A2	A3	A4	A5	WB	C								
3	s.d f4,B(r1)		IF	I	-	-	AC	-	-	-	-	-	-	-	-	-	-	C	L1	L2						
4	s.d f4,C(r1)		IF	I	-	-	AC	-	-	-	-	-	-	-	-	-	-	C	L1	L2						
5	bnez r1,loop		IF	I	E1	WB	-	-	-	-	-	-	-	-	-	-	-	C								
loop	dsub r1,r1,8			IF	I	E1	WB	-	-	-	-	-	-	-	-	-	-	-	C							
1	l.d f0,A(r1)			IF	I	-	-	AC	L1	L2	WB	-	-	-	-	-	-	-	C							
2	add.d f4,f0,f2				IF	I	-	-	-	-	-	-	-	-	-	A1	A2	A3	A4	A5	WB	C				
3	s.d f4,B(r1)				IF	I	-	-	AC	-	-	-	-	-	-	-	-	-	-	-	-	C	L1	L2		
4	s.d f4,C(r1)				IF	I	-	-	AC	-	-	-	-	-	-	-	-	-	-	-	-	C	L1	L2		
5	bnez r1,loop					IF	I	E1	WB	-	-	-	-	-	-	-	-	-	-	-	-	-	C			

Si se ejecutan suficientes iteraciones como las mostradas, se observa que finalmente se producen ciclos de parada en la etapa *Issue*. Razona cuál puede ser la causa.

- d) Observa que la suma (etapas A1–A5) de la segunda `add.d` se inicia en el ciclo 19, lo que retrasa su retiro (Commit) hasta el ciclo 25 y es la causa de que retirar las instrucciones de la segunda iteración cueste 5 ciclos. Este problema se podría evitar adelantando el inicio de la segunda suma al ciclo 17, o antes, pero esto no es posible con el actual sumador, ya que existe un riesgo estructural con la primera `add.d`, que finaliza su suma en el ciclo 18.

Explica si sería posible o no solucionar este problema con un sumador segmentado.

- e) Si finalmente se utiliza un sumador no segmentado, ¿cuál debería ser su latencia máxima para evitar que se produzca el problema anterior?

3. (4,5 puntos)

El computador de bajo coste Strawberry-E One cuenta con un procesador MIPS64 funcionando a 2000 MHz. Este procesador dispone de una cache L1 que almacena instrucciones y datos con tamaño de bloque de 64 bytes. La memoria instalada es una Samsung Hynix Micron DDR2 con temporización 10-10-10 y ancho de bus de memoria de 64 bits. La frecuencia del bus de memoria es 400 MHz.

Responda a las siguientes preguntas, justificando las respuestas:

- Calcula el ancho de banda del bus de memoria en Mbytes/s.
- El computador ejecuta una aplicación para medir las prestaciones de la cache L1. Se comprueba que la penalización por fallo de L1 es de 40 nanosegundos. ¿Cuál es la probabilidad ML de que un acceso a memoria principal encuentre la fila abierta?
- La mencionada aplicación tarda en ejecutarse 335 segundos. Se ha medido que ejecuta aproximadamente 10^{11} instrucciones, de las cuales un 40 % son de carga/almacenamiento. Por otro lado, la tasa de fallos de la cache L1 es del 5 %. ¿Cuál es el CPI de la aplicación en ausencia de fallos?
- Para la nueva versión de la Strawberry-E, se pretende incluir un nuevo procesador con una jerarquía de cache mejorada. Este nuevo procesador implementa una cache L2 con tiempo de acceso de 6 nanosegundos y se pretende que reduzca la penalización por fallo de L1 a aproximadamente la mitad (20 nanosegundos). ¿Cuál debería ser la tasa de fallos de la cache L2 para cumplir esta pretensión?
- Además de la inclusión de la cache L2, el nuevo procesador dispone de cache L1 de datos (L1D, con tasa de fallos del 4 %) e instrucciones (L1I, con tasa de fallos prácticamente nula 0 %) y un pipeline mejorado que permite que el CPI de la aplicación en ausencia de fallos sea 1. Asumiendo que se consigue que la penalización por fallo de L1 sea de 20 nanosegundos, ¿cuál sería el tiempo de ejecución de la aplicación?

Apellidos y Nombre:	
---------------------	--

Ejercicio 1

a) Diagrama instrucciones-tiempo.

PC	Instruccion	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
16	dadd r4,r1,#512	IF	X																	
loop	l.d f2,0(r1)	IF	I	AC	L1	L2	-	WB	-	-	-	C								
24	l.d f6,8(r1)		IF	I	AC	L1	L2	WB	-	-	-	C								
28	mul.d f2,f0,f2																			
32	mul.d f6,f0,f6			IF	I	-	-	-	M1	M2	M3	WB	C							
36	l.d f4,0(r2)																			
40	l.d f8,8(r2)				IF	I	AC	L1	L2	WB	-	-	-	C						
44	add.d f4,f2,f4				IF	I	-	-	-	-	-	-	A1	A2	WB	C				
48	add.d f8,f6,f8					IF	I	-	-	-	-	-	A1	A2	WB	C				
52	s.d f4, 0(r3)																			
56	s.d f8, 8(r3)						IF	I	AC	-	-	-	-	-	-	-	C	S1	S2	
60	dadd r1,r1,#16						IF	I	E1	WB	-	-	-	-	-	-	C			
64	dadd r2,r2,#16							IF	I	E1	WB	-	-	-	-	-	C			
68	dadd r3,r3,#16							IF	I	E1	WB	-	-	-	-	-	C			
72	dsub r5,r4,r1								IF	I	E1	-	WB	-	-	-	C			
76	bnez r5,loop																			
16	dadd r4,r1,#512																			
loop	l.d f2,0(r1)									IF	I	AC	L1	L2	-	WB	-	-	-	C