

Examen Parcial de FCO – Temas 1 al 5

23 de Enero de 2014

APELLIDOS: _____

NOMBRE: _____

DNI: _____

FIRMA: _____

Normativa:

- La duración del examen es de 2 horas.
- Escriba el nombre y los apellidos en letras MAYÚSCULAS y firme en TODAS las hojas.
- Debe responder en el espacio asignado.
- No se permiten calculadoras ni apuntes.
- Debe permanecer en silencio durante la realización del examen.
- No se puede abandonar el examen hasta que el profesor lo indique.
- Debe tener una identificación en la mesa a la vista del profesor (DNI, carnet UPV, tarjeta residente, etc.)

1. **(1 punto)** Dado el patrón binario 10010011, **a)** Representélo en hexadecimal. **b)** Suponiendo que el patrón binario está codificado en binario natural, obtenga el valor decimal que representa. **c)** Obtenga el valor decimal que representa suponiendo que el patrón está codificado en BCD. Muestre el método seguido para obtener las soluciones.

Solución

a) Se agrupan los bits de 4 en 4 comenzando por el de menos peso. Cada grupo da lugar al correspondiente dígito hexadecimal:

0011 -> 3

1001 -> 9

10010011 = **93₁₆**

b) Suponiendo que es un número binario:

Se desarrolla el polinomio de potencias en base 2:

$$1 \times 2^7 + 0 \times 2^6 + 0 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = 128 + 16 + 2 + 1 = 147$$

$$10010011_2 = \mathbf{147_{10}}$$

c) Suponiendo que es un número BCD:

Se agrupan los bits de 4 en 4 comenzando por el de menos peso. Cada grupo da lugar a su correspondiente cifra decimal:

0011 -> 3

1001 -> 9

10010011_{BCD} = **93₁₀**

2. **(3 puntos)** En el diseño de un circuito combinacional aritmético con las siguientes especificaciones:

Entradas: 2 números binarios de dos bits **A** (A_1, A_0) y **B** (B_1, B_0).

La **función** “M”, que se debe implementar, es la multiplicación ($M=B \times A$). Por ejemplo, el producto de $B=1$, y $A=3$; el resultado M es 3 ($1 \times 3 = 3$).

- a) ¿Cuántos bits de salida tiene como mínimo la función M, para que el resultado permita representar todos los productos posibles para estas dos entradas? **(0,25 puntos)**

Solución

4 bits de salida. El mayor valor de salida será $3 \times 3 = 9$. Se requieren 4 bits para representar $9_{10} = 1001_2$

- b) Obtenga y rellene la tabla de verdad para dicho circuito. **(1 punto)**

Solución

B		A		M			
B_1	B_0	A_1	A_0	M_3	M_2	M_1	M_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

- c) Obtenga la simplificación de la función lógica como suma de productos.

$$F = \sum_{(DCBA)} (5,7,13,15) + \sum_{\emptyset} (0,2,8,10) \quad \text{(1 punto)}$$

Examen Parcial de FCO – Temas 1 al 5

23 de Enero de 2014

APELLIDOS: _____

NOMBRE: _____

DNI: _____

FIRMA: _____

Solución

$$F = \sum_{(DCBA)} (5,7,13,15) + \sum_{\emptyset} (0,2,8,10) =$$

BA\DC	00	01	11	10
00	X_0	4	12	X_8
01	1	1_5	1_{13}	9
11	3	1_7	1_{15}	11
10	X_2	6	14	X_{10}

$F = CA$

- d) Obtenga la ecuación lógica de la función $F = B \cdot A$, mediante puertas NOR de 2 entradas. Indique en cada paso, las operaciones del álgebra de Boole y las leyes de De Morgan que ha aplicado. **(0,75 puntos)**

Solución

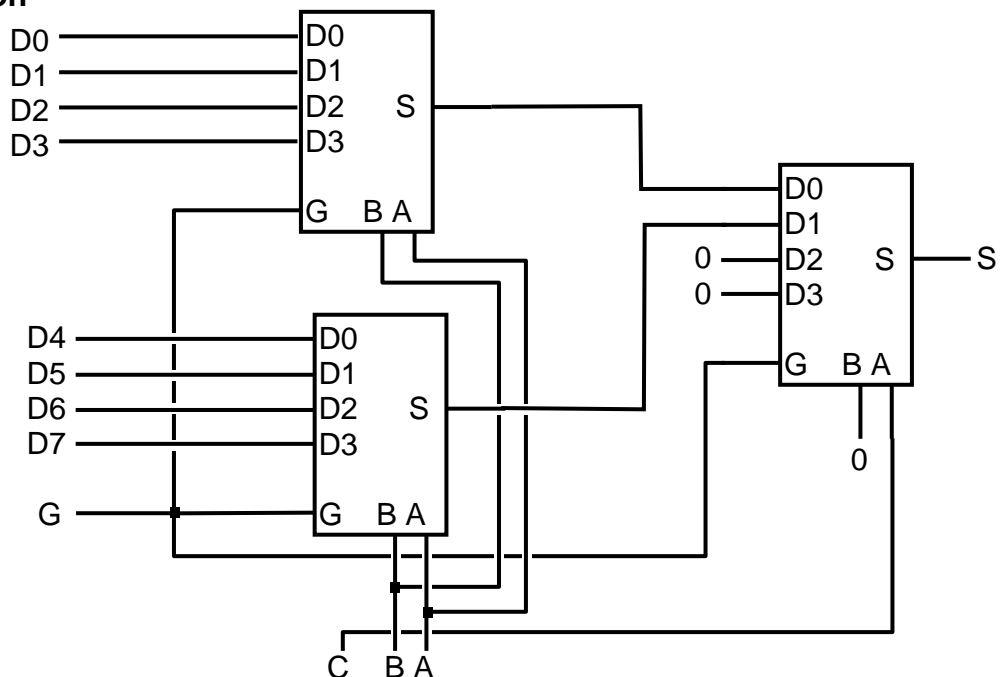
$$F = B \cdot A =$$

(Idempotencia) $\rightarrow \overline{\overline{B} \overline{A}} =$

(De Morgan) $\rightarrow \overline{\overline{B} + \overline{A}}$

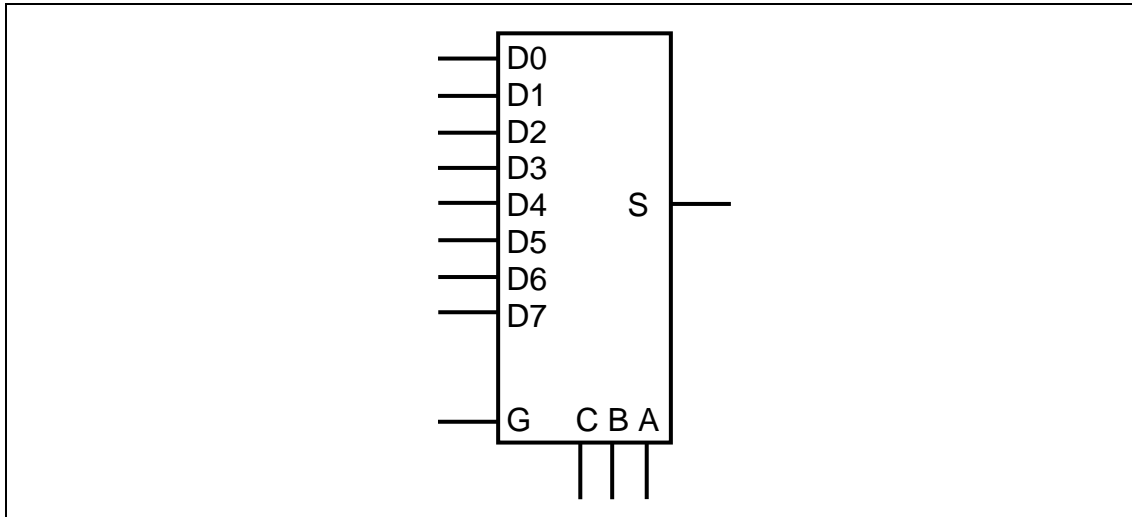
3. **(0,75 puntos)** Realice el diseño de un multiplexor de 8 a 1 con entrada de habilitación activa a nivel alto utilizando exclusivamente multiplexores de 4 a 1 con entrada de habilitación activa a nivel alto. No olvide etiquetar todas las entradas y salidas, tanto del circuito como de los símbolos lógicos.

Solución



Utilizamos el patrón de composición de multiplexores para realizar el diseño. En el último nivel debemos conseguir que el multiplexor de 4 a 1 se comporte como si fuera un multiplexor de 2 a 1 (que es lo que realmente necesitamos en ese nivel); para ello basta con forzar la entrada de selección de mayor peso (B) a cero, con lo que este multiplexor nunca seleccionará ni la entrada de datos D2 ni la D3 (que como no se pueden dejar al aire forzamos conectando las entradas a un valor cualquiera).

4. **(0,25 puntos)** Dibuje la interfaz o símbolo lógico del multiplexor de 8 a 1 de la pregunta anterior.

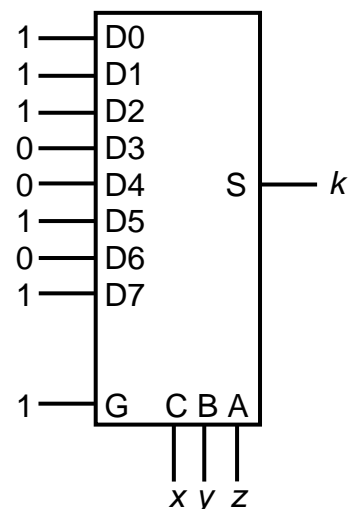


5. **(0,5 puntos)** Utilizando el símbolo lógico del multiplexor de 8 a 1 anterior implemente la función lógica k indicada a continuación.

$$k = \sum_{x,y,z} (0, 1, 5, 7) + \sum_{\emptyset} (2, 3)$$

Solución

$x y z$	k
0 0 0	1
0 0 1	1
0 1 0	x
0 1 1	x
1 0 0	0
1 0 1	1
1 1 0	0
1 1 1	1



Aunque no es necesario, resulta útil escribir la tabla de verdad de la función k . Con la tabla de verdad solamente tenemos que copiar la columna de valores de salida de la función k como entradas de datos del multiplexor, y conectar las variables de la función a las entradas de selección del multiplexor (respetando el orden de los pesos). En este caso, dado que hay combinaciones con salida indiferentes debemos elegir un valor (de forma independiente para cada caso) para conectar a la correspondiente entrada de datos del multiplexor; en este caso se han elegido, arbitrariamente, el valor 1 para la entrada

Examen Parcial de FCO – Temas 1 al 5

23 de Enero de 2014

APELLIDOS: _____

NOMBRE: _____

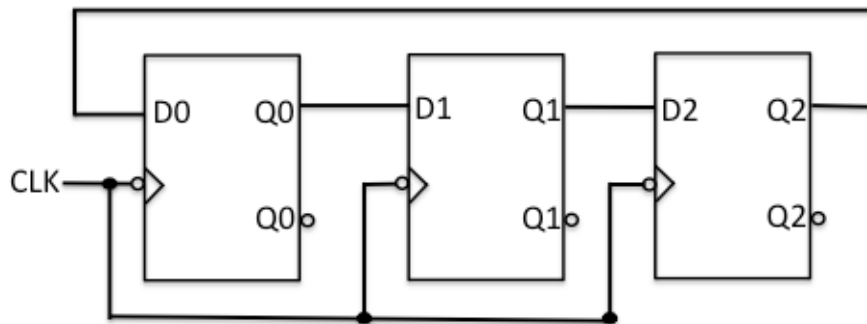
DNI: _____

FIRMA: _____

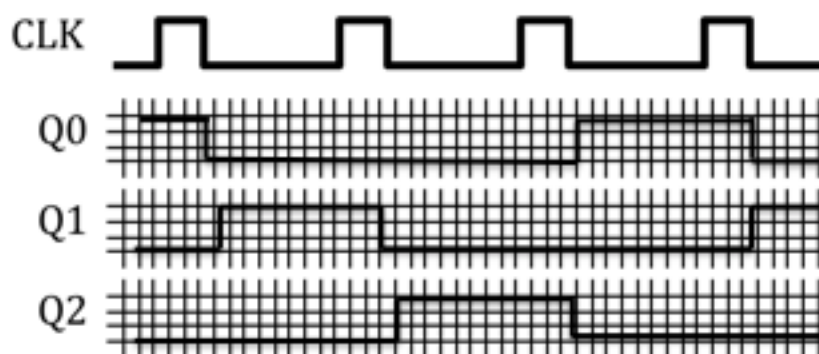
D2 y el valor 0 para la entrada D3. Téngase en cuenta que cualquier valor lógico sería correcto.

Como el multiplexor tiene habilitación pero para implementar la función k realmente necesitaríamos un multiplexor sin habilitación tenemos que conseguir que éste se comporte como si no tuviera entrada de habilitación, esto es, que esté siempre habilitado; y esto se consigue forzando a que la entrada de habilitación (B) esté siempre activada.

6. **(1,5 puntos)** Analice por medio de cronograma el siguiente circuito, teniendo en cuenta que el estado inicial es $Q0=1, Q1=0, Q2=0$.



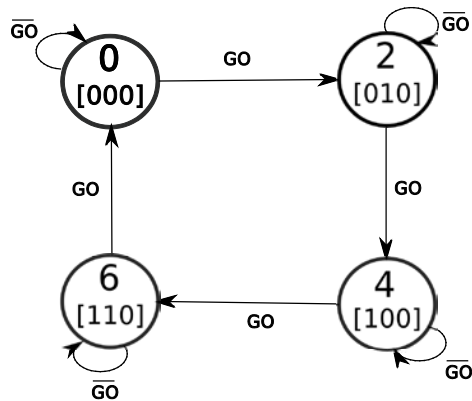
Solución



7. **(1,5 puntos)** Construya un contador de números pares de 3 bits (0-2-4-6) de tipo "stop & go", es decir que tenga una entrada (Go) y solo avance en la cuenta cuando (Go=1). Para ello realice los siguientes pasos:

a) Diagrama de estados (0,75 puntos)

Solución



b) Tabla de estados (0,75 puntos)

Solución

Estado actual	Estado Siguiende		S2 S1 S0
	Go=0	Go=1	
0	0	2	000
2	2	4	010
4	4	6	100
6	6	0	110

8. (1,5 puntos) Dada la siguiente tabla de estados:

Estado Actual	Estado Siguiende	S1 S0
0	1	00
1	2	10
2	3	11
3	0	10

a) Obtenga la tabla de estados codificada mediante codificación compacta (0,5 puntos)

Solución

Q1(t) Q0(t)	Q1(t+1) Q0(t+1)	S1 S0
00	01	00
01	10	10
10	11	11
11	00	10

Examen Parcial de FCO – Temas 1 al 5

23 de Enero de 2014

APELLIDOS: _____

NOMBRE: _____

DNI: _____

FIRMA: _____

b) Tablas de verdad de las funciones de excitación y salida **(0,5 puntos)**

Solución

T.V. excitación

Q1 Q0	D1 D0
00	01
01	10
10	11
11	00

T.V. salida

Q1 Q0	S1 S0
00	00
01	10
10	11
11	10

c) Obtenga las ecuaciones simplificadas por unos para S0 y D0 **(0,5 ptos)**

Solución

$D0 = \neg Q0$

Q0\Q1	0	1
0	1	1
1	0	0

$S0 = Q1/Q0$

Q0\Q1	0	1
0	0	0
1	1	0