

1. Per al circuit de la figura podem afirmar que l'expressió booleana de F és:

[A]  $F = (A + B) \cdot C$

[B]  $F = (A \cdot B) + C$

[C]  $F = (A + B) \cdot C$

[D]  $F = (A \cdot B) + C$

Bloc NMOS:

$\bar{A}$  i  $\bar{B}$  en paral·lel

$\rightarrow (\bar{A} + \bar{B})$

En sèrie amb  $\bar{C}$

$\rightarrow G = (\bar{A} + \bar{B}) \cdot \bar{C}$

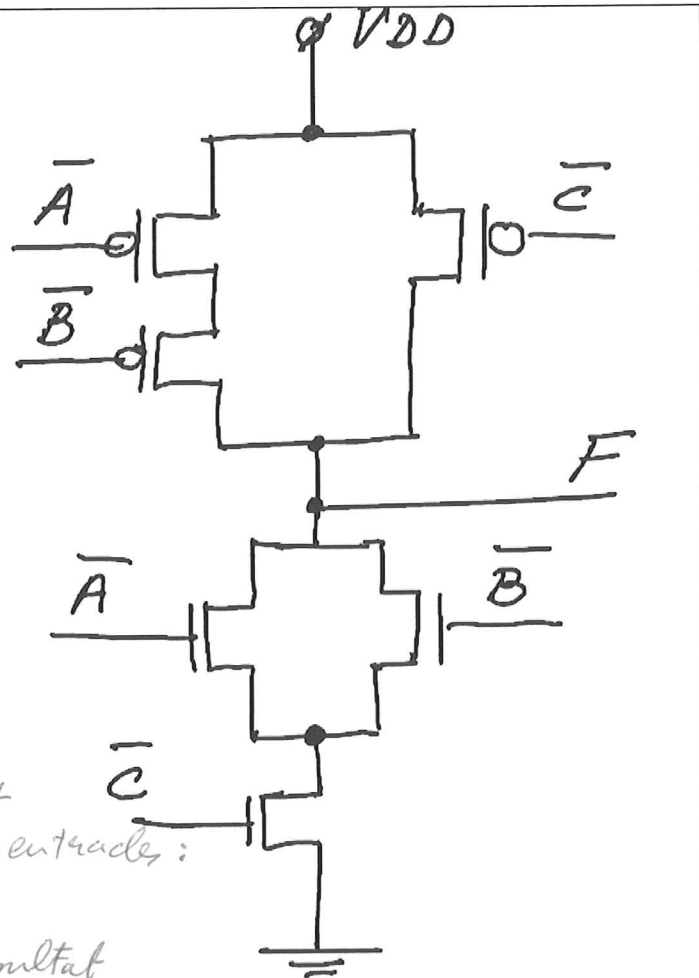
$F = \bar{G} = \overline{(\bar{A} + \bar{B}) \cdot \bar{C}}$

Aplicant De Morgan:

$F = (A \cdot B) + C$

\* També es pot fer prenent el bloc PMOS i negant les entrades:

$G_{PMOS} = F = (A \cdot B) + C$   
dona el mateix resultat



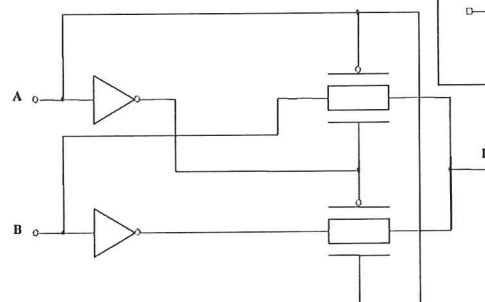
2. Respecte al circuit de la figura, basat en portes de transmissió CMOS, assenyalet la resposta **VERTADERA**:

[A] És una porta XOR de 2 entrades.

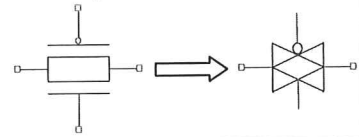
[B] El disseny no és correcte, perquè les eixides de les 2 portes de transmissió estan connectades entre sí.

[C] És un multiplexor de 2 canals.

[D] És una porta AND de 2 entrades.



Símbol de la porta de transmissió CMOS



senyal de control  $\rightarrow A$   
senyal de dades  $\rightarrow B$

\* Si  $A = 0 \rightarrow$  passa B per la porta de dalt  
 $F = B$   
\* Si  $A = 1 \rightarrow$  passa  $\bar{B}$  per la porta de baix

Aleshores  $F = \bar{A}B + A\bar{B} = A \oplus B = \text{XOR}$

3. Un determinat processador CMOS té  $10^7$  transistors dedicats a lògica combinacional/seqüencial, i  $10^8$  transistors dedicats a la memòria. El factor d'activitat mitjà de la lògica és 0.1, i el de la memòria és 0.01. La capacitat mitjana per transistor és de 1 fF (1 femtofarad =  $10^{-15}$ F), l'alimentació és 2V i la freqüència del rellotge és 1000MHz. Podem afirmar que la potència dinàmica consumida serà, aproximadament:

[A] La potència dinàmica en CMOS és nominalment zero.

[B] 2W

[C] 8W

[D] 4W

$$P_d = (V_{DD})^2 \alpha f_{clock} C_L$$

$$P_{d \text{ lògica}} = (2)^2 \times 0.1 \times 10^9 \times 10^{-15} \times 10^9 = 4W$$

$$P_{d \text{ mem}} = (2)^2 \times 0.01 \times 10^9 \times 10^{-15} \times 10^9 = 4W$$

$$P_d = P_{d \text{ lògica}} + P_{d \text{ mem}} = 8W$$

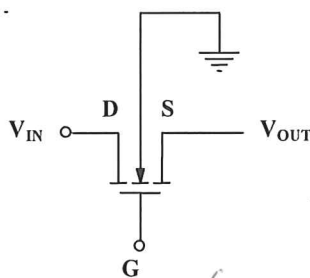
4. Siga una porta de transmissió NMOS que utilitza un transistor amb  $|V_T| = 1.5V$ . Si apliquem 2.5V a la tensió d'entrada ( $V_{IN}$ ) i 5V al terminal de porta G. Quin voltatge s'obindrà en l'eixida ( $V_{OUT}$ )?

[A] 5V

[B] 2.5V

[C] 3.5V

[D] 1V



$$V_G = 5V \rightarrow \text{NMOS ON}$$

Degrada els "1" d'entrada

una quantitat =  $|V_T|$

Això vol dir que  $V_{out \text{ m\acute{a}x}} = 5 - 1.5 = 3.5V$

Com que  $V_{in} = 2.5V$ , passaria íntegrament sense degradar-se

5. Diga quina de les afirmacions següents relatives a la tecnologia de circuits digitals CMOS és **FALSA**:

[A] Admet tensions d'alimentació en un rang ampli de valors, en particular per a circuits integrats SSI i MSI.

[B] Un dels principals avantatges de la tecnologia CMOS respecte de la TTL és el seu menor consum de potència.

[C] La potència estàtica consumida per la tecnologia CMOS creix linealment amb la freqüència de funcionament.

[D] El marge de soroll és elevat, i és directament proporcional a la tensió d'alimentació.

6. En el circuit CMOS de la figura

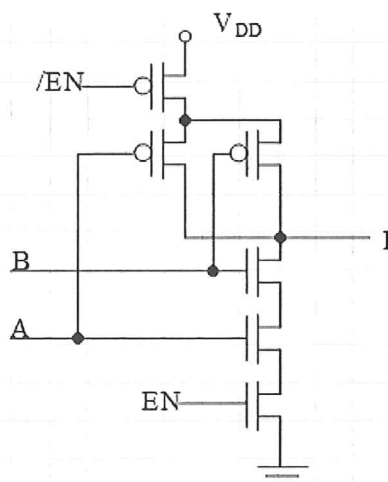
[A] Si  $EN = "0"$ ,  $F = \overline{A.B}$

[B] Si  $EN = "1"$ ,  $F = \overline{A + B}$

[C] Si  $EN = "0"$ ,  $F = H.Z$  (alta impedància)

[D]  $F = \overline{A.B}$  sempre

Es una Nand tri-estat



1. Un determinat processador CMOS té  $10^7$  transistors dedicats a lògica combinacional/seqüencial, i  $10^8$  transistors dedicats a la memòria. El factor d'activitat mitjà de la lògica és 0.1, i el de la memòria és 0.01. La capacitat mitjana per transistor és de 1 fF (1 femtofarad =  $10^{-15}$ F), l'alimentació és 2V i la freqüència del rellotge és 500 MHz. Podem afirmar que la potència dinàmica consumida serà, aproximadament:

[A] La potència dinàmica en CMOS és nominalment zero.

[B] 2W

[C] 8W

[D] 4W

$$P_d = (V_{DD})^2 \alpha f_{clock} C_L$$

$$P_{d\text{ lògica}} = (2)^2 \times 0.1 \times 5 \times 10^8 \times 10^{-15} \times 10^9 = 2W$$

$$P_{d\text{ mem}} = (2)^2 \times 0.01 \times 5 \times 10^8 \times 10^{-15} \times 10^9 = 2W$$

$$P_d = P_{d\text{ lògica}} + P_{d\text{ mem}} = 4W$$

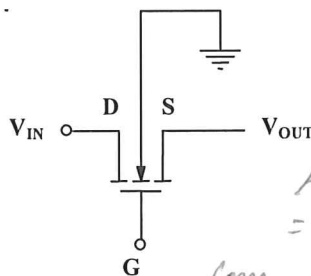
2. Siga una porta de transmissió NMOS que utilitza un transistor amb  $|V_T| = 1V$ . Si apliquem 3.5V a la tensió d'entrada ( $V_{IN}$ ) i 5V al terminal de porta G. ¿Quin voltatge s'obté en l'eixida ( $V_{OUT}$ )?

[A] 5V

[B] 4V

[C] 3.5V

[D] 1V



$V_G = 5V \rightarrow$  NMOS on

Degrada els "1" d'entrada

una quantitat =  $1V_T$

Això val dir que  $V_{out\text{màx}} = 5 - 1 = 4V$

Com que  $V_{in} = 3.5V$ , passarà íntegra sense degradar-se

3. Diga quina de les afirmacions següents relatives a la tecnologia de circuits digitals CMOS és **FALSA**:

[A] La potència estàtica és molt baixa, deguda als corrents de fuga en els transistors.

[B] La potència dinàmica depèn del quadrat de la tensió d'alimentació.

[C] La subfamília HCMOS presenta uns nivells lògics de tensió més extrems que la família CMOS estàndard.

[D] El marge de soroll és elevat, i és directament proporcional a la tensió d'alimentació.

$$V_{OH\text{mín}} = 3.84V, V_{OL\text{màx}} = 0.33V \text{ per a } V_{DD} = 5V$$

HCMOS té corrents d'eixida majors, i per tant els nivells de tensió són menys ideals

4. En la porta lògica CMOS de la figura

[A]  $F = \text{AND triestat}$

[B]  $F = \overline{A \cdot B \cdot EN}$

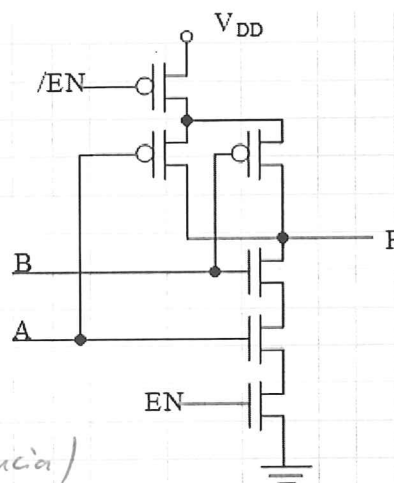
[C]  $F = \text{NAND triestat}$

[D]  $F = \text{NAND drenador obert}$



Si  $EN = "1"$   $\rightarrow F = \overline{A \cdot B}$

Si  $EN = "0"$   $\rightarrow F = H.Z$  (alta impedància)



5. Per al circuit de la figura podem afirmar que l'expressió booleana de F és:

[A]  $F = \bar{A} \cdot \bar{B} + \bar{A} \cdot \bar{C} + \bar{B} \cdot \bar{C}$

[B]  $F = (A \cdot B) + (A \cdot C) + (B \cdot C)$

[C]  $F = (A + B) \cdot (A + C) \cdot (B + C)$

[D]  $F = (A \cdot B) + (A \cdot C) + (B \cdot C)$

Bloc NMOS:

$\bar{A}$  i  $\bar{B}$  a paral·lel  $\rightarrow (\bar{A} + \bar{B})$

$\bar{A}$  i  $\bar{C}$  " "  $\rightarrow (\bar{A} + \bar{C})$

$\bar{B}$  i  $\bar{C}$  " "  $\rightarrow (\bar{B} + \bar{C})$

els 3 subblocs anteriors en sèrie  $\rightarrow G_{NMOS} = (\bar{A} + \bar{B}) \cdot (\bar{A} + \bar{C}) \cdot (\bar{B} + \bar{C})$

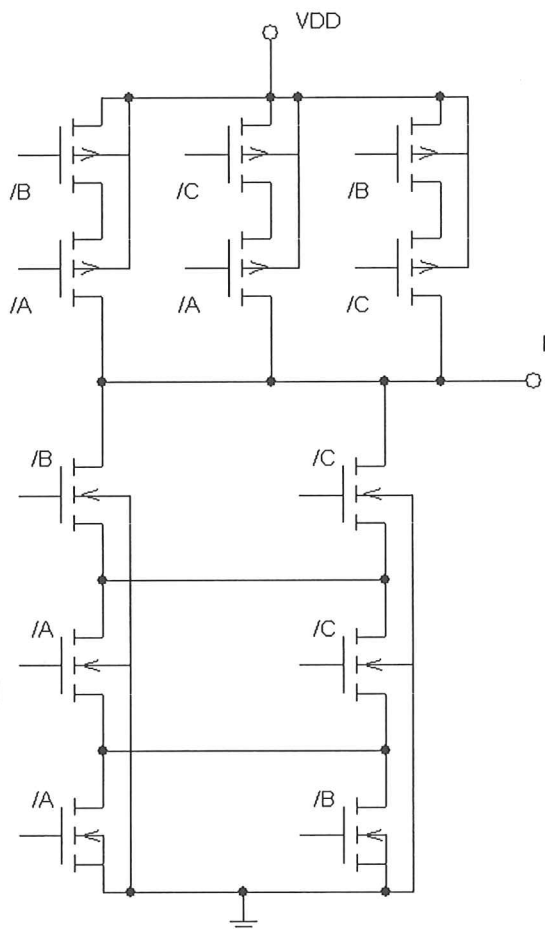
$F = \bar{G}_{NMOS} = \overline{(\bar{A} + \bar{B}) \cdot (\bar{A} + \bar{C}) \cdot (\bar{B} + \bar{C})}$

Aplicant De Morgan:

$F = \overline{G_{NMOS}} = (A \cdot B) + (A \cdot C) + (B \cdot C)$

\* També es pot fer a partir del bloc PMOS i negant les entrades

$F = G_{PMOS} = (A \cdot B) + (A \cdot C) + (B \cdot C)$   
doncs el mateix resultat



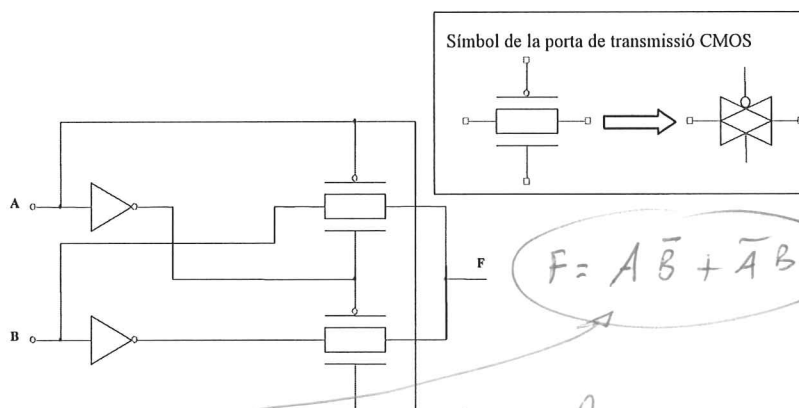
6. Respecte al circuit de la figura, basat en portes de transmissió CMOS, assenyalet la resposta **FALSA**:

[A] És una porta XOR de 2 entrades.

[B] El disseny no és correcte, perquè les eixides de les 2 portes de transmissió estan connectades entre sí.

[C] Les portes de transmissió no presenten degradació del senyal.

[D]  $F = A \cdot \bar{B} + \bar{A} \cdot B$



Símbol de la porta de transmissió CMOS

$F = A \bar{B} + \bar{A} B$

No hi ha conflicte lògic perquè només s'activa una porta de transmissió. L'altra està OFF.

{ Si  $A = '0'$   $\rightarrow F = B$  (porta de dalt on porta de baix off)  
Si  $A = '1'$   $\rightarrow F = \bar{B}$  (al contrari)