

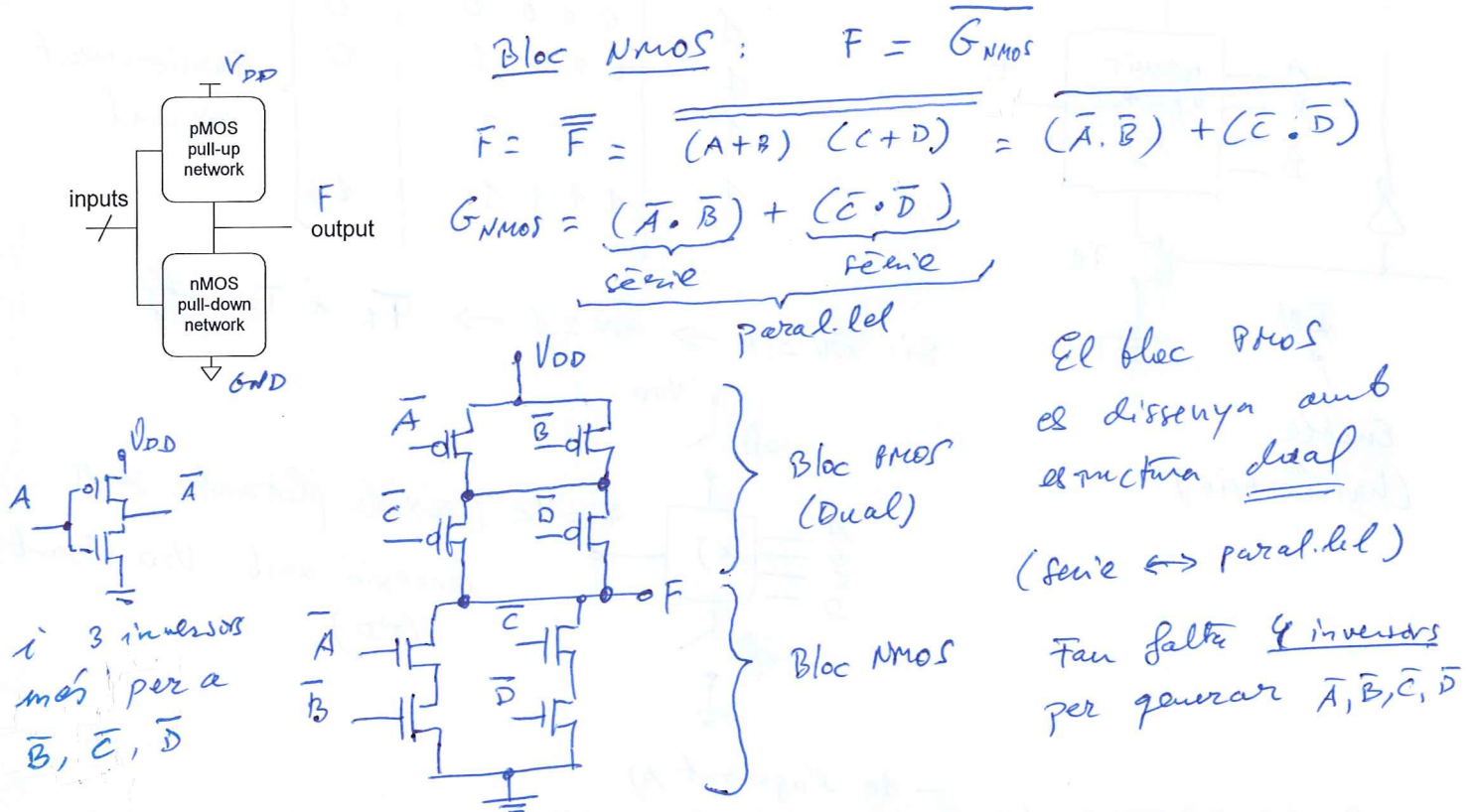
Problema (4 punts)

Nom i cognoms:

Solucions

- A. (1 punt) Es pretén dissenyar la funció $F = (A+B)(C+D)$ en lògica CMOS complementària. Dibuixe un esquema amb transistors. Justifique el disseny.

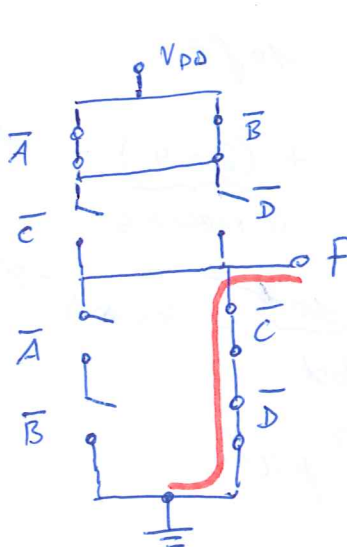
Nota: utilitze el símbol simplificat dels transistors



- B. (1 punt) Per a la combinació d'entrades: $A=B=1$, $C=D=0$, dibuixe l'esquema amb interruptors (oberts/tancats) i justifique el valor de F.

$$A=B=1 \rightarrow \overline{A}=\overline{B}=0 \rightarrow \text{NMOS off, PMOS on}$$

$$C=D=0 \rightarrow \overline{C}=\overline{D}=1 \rightarrow \text{PMOS on, NMOS off}$$



Hi ha un camí que connecta F amb GND $\rightarrow F=0$

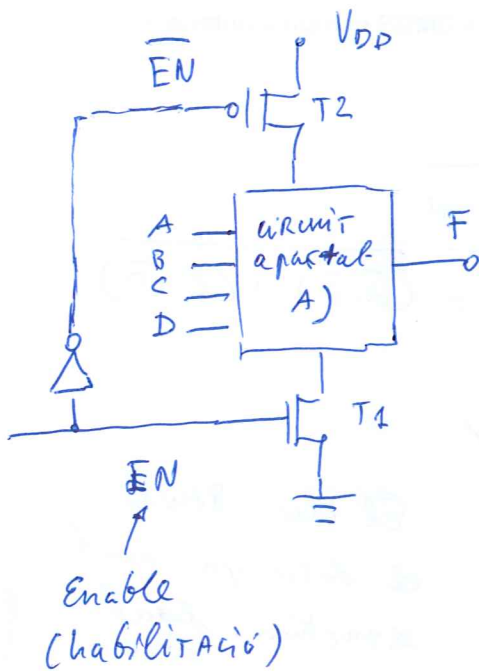
F està desconnectat de V_{DD}

Verifiquem el valor de F:

$$F = (A+B) \cdot (C+D) = (1+1) \cdot (0+0) = 0$$

- C. (1 punt) Modifique l'esquema de l'apartat A) per dotar al circuit d'eixida triestat. Afegeix els transistors i els senyals de control necessaris.

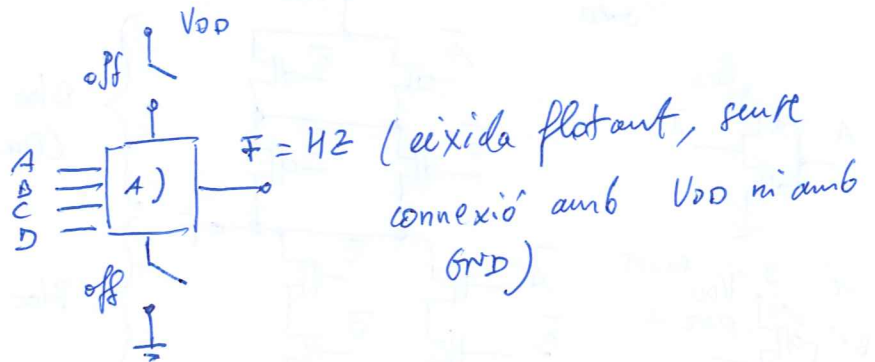
- Dibuixi l'esquema
- Escribi la taula de la veritat del circuit



EN	A	B	C	D	F
0	x	x	x	x	H.Z (alta impedància)
1	0	0	0	0	0
1	0	0	0	1	0
1	-	-	-	-	-
1	1	1	1	1	1

Funcionament normal

si $EN = 0 \rightarrow \overline{EN} = 1 \rightarrow T_1 \text{ i } T_2 \text{ off}$



- D. (1 punt) Supose que el circuit pertany a un xip amb una tensió d'alimentació $V_{DD} = 2.5V$ i freqüència de rellotge $f_{clock} = 1GHz$. A més el factor d'activitat mitjà de les entrades és $\alpha = 0.4$ i la capacitat mitjana per transistor és $C_L = 10 \text{ fF}$ ($1\text{fF} = 10^{-15}\text{F}$). Estime la potència dinàmica del circuit, en mW. Incloga en el còmput els transistors dels inversors necessaris per generar les variables negades.

$$P_d = (V_{dd})^2 C_L \alpha f_{clock}$$

$$C_L = \text{Nombre de transistors} \times 10 \text{ fF}$$

$$\text{Nombre de transistors} = 8 + \underbrace{(2 \times 4)}_{4 \text{ inversors}} = 16$$

$$P_d = (2.5)^2 \times \underbrace{16 \times 10^{-15}}_{C_L} \times \underbrace{0.4 \times 10^9}_{\alpha f_{clock}} = 40 \times 10^{-5} \text{ W}$$

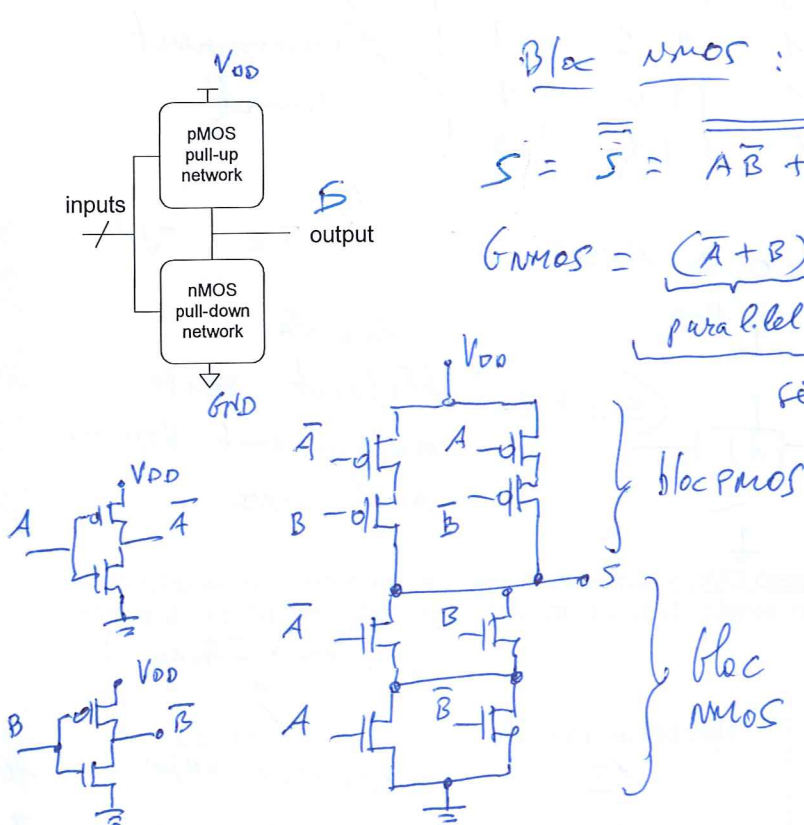
$$P_d = 40 \times 10^{-2} \text{ mW} = 400 \text{ } \mu\text{W}$$

Problema (4 punts)

Nom i cognoms: soluciones

- A. (1 punt) Es pretén dissenyar la funció Suma d'un Half-Adder, $S = \overline{A}B + A\overline{B}$ en lògica CMOS complementària. Dibuixe un esquema amb transistors. Justifique el disseny.

Nota: utilitze el símbol simplificat dels transistors



Block nmos: $S = \overline{G_{NMOS}}$

$$S = \overline{\overline{S}} = \overline{\overline{A\overline{B} + \overline{A}B}} = \overline{(\overline{A} + B) \cdot (A + \overline{B})}$$

$$G_{NMOS} = \underbrace{(\overline{A} + B)}_{\text{parallel}} \cdot \underbrace{(A + \overline{B})}_{\text{parallel}}$$

series

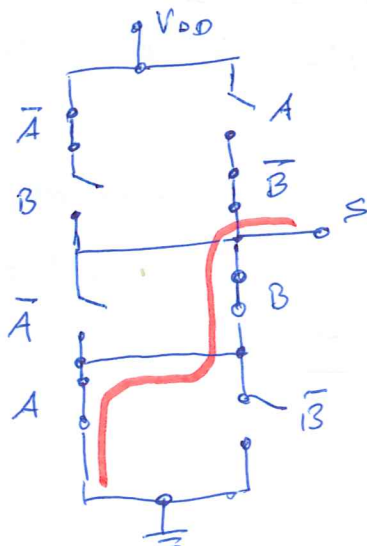
El bloc PMOS es dissenya amb estructura dual (sèrie ↔ paral·lel)

Fan falta 2 inversors per generar $\overline{A}, \overline{B}$

- B. (1 punt) Per a la combinació d'entrades: $A=B=1$ dibuixe l'esquema amb interruptors (oberts/tancats) i justifique el valor de F.

$A = B = 1 \rightarrow \overline{A} = \overline{B} = 0$

Els NMOS condueixen amb 1 i els PMOS condueixen amb 0



Hi ha un camí que connecta S amb GND $\rightarrow S = 0$

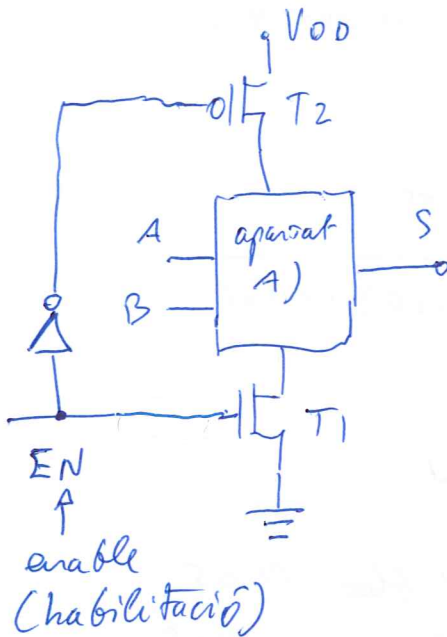
Verifiquem que és consistent amb l'expressió de S:

$$S = 1 \cdot 0 + 0 \cdot 1 = 0 \rightarrow \text{OK}$$

l'apartat A)

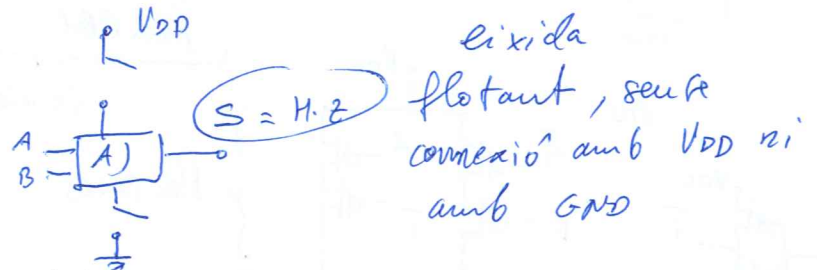
C. (1 punt) Modifique l'esquema de l'apartat A) per dotar al circuit d'eixida triestat. Afegeix els transistors i els senyals de control necessaris.

- Dibuixe l'esquema
- Escriba la taula de la veritat del circuit



EN	A	B	S
0	x	x	H.Z (alta impedància)
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Si $EN=0 \rightarrow EN=1 \rightarrow T1 \text{ i } T2 \text{ off}$



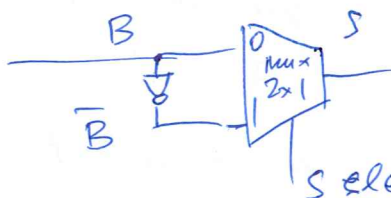
D. (1 punt) Dissenye S amb portes de transmissió CMOS. Compare el nou disseny amb el de l'apartat A), en termes de nombre de transistors i consum estàtic. Supose un corrent de fuga de 5pA per transistor. Supose una alimentació $V_{DD} = 1.5V$.

($V_{DD} \times I_{leakage}$)

Tipus de disseny	Nombre de transistors	Potència estàtica (mW)
CMOS complementària (apartat A)	12	$1.5 \times 12 \times 5 = 90 \text{ pW} = 90 \times 10^{-9} \text{ mW}$
Portes de transmissió (apartat D)	8	$1.5 \times 8 \times 5 = 60 \text{ pW} = 60 \times 10^{-9} \text{ mW}$

Disseny amb portes de transmissió:

Reprodueix l'estructura d'un $4 \times 2 \times 1$



$$\begin{cases} \text{si } A=0 \rightarrow S=B & (\text{canal 0}) \\ \text{si } A=1 \rightarrow S=\bar{B} & (\text{canal 4}) \end{cases}$$

S elecció = A

Nombre de transistors:

$$4 + 4 = 8$$

