

## 10 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN: +0.6 puntos. MAL: -0.15 puntos. N.C.: 0

1. Dadas las especificaciones de una familia lógica que se muestran en la tabla adjunta, indique cuál de las siguientes afirmaciones es **VERDADERA**.

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
3V	1.5V	4V	1V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
$20\mu A$	$-0.36mA$	$-300\mu A$	6mA

- [A] El margen de ruido a nivel alto es 0.5V.  
 [B] El margen de ruido es 1V.  
 [C] El *fan-out* a nivel bajo es 17.  
 [D] El *fan-out* es 15.

$$NM_L = V_{IL(max)} - V_{OL(max)} = 1.5V - 1V = 0.5V$$

$$NM_H = V_{OH(min)} - V_{IH(min)} = 4V - 3V = 1V$$

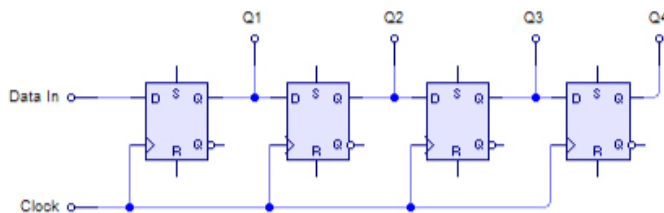
$$NM = \min(NM_L, NM_H) = 0.5V$$

$$FO_L = \left| \frac{I_{OL(max)}}{I_{IL(max)}} \right| = \left| \frac{6mA}{-0.36mA} \right| = 16$$

$$FO_H = \left| \frac{I_{OH(max)}}{I_{IH(max)}} \right| = \left| \frac{-300\mu A}{20\mu A} \right| = 15$$

$$FO = \min(FO_L, FO_H) = 15$$

2. En el siguiente registro de desplazamiento síncrono se están utilizando biestables tipo D con las siguientes especificaciones:  $t_{su} = 5ns$ ,  $t_h = 3ns$ ,  $t_{pLH} = 15ns$ ,  $t_{pHL} = 12ns$ . Indique cuál de las siguientes afirmaciones es **VERDADERA**.

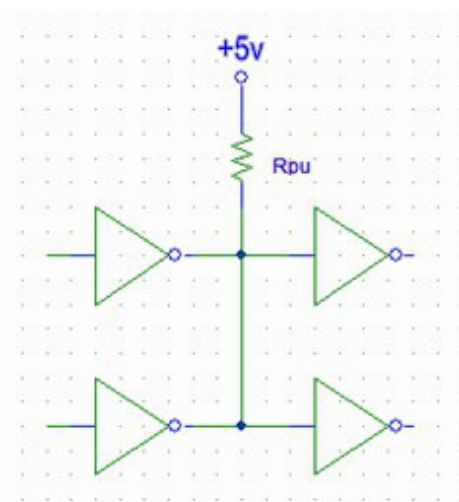


- [A] La frecuencia máxima de la señal de reloj es 50MHz.  
 [B] El periodo mínimo de la señal de reloj es 17ns.  
 [C] El  $t_r$  (rise time) y el  $t_f$  (fall time) de la señal de reloj deben ser como mínimo de 3ns.  
 [D] Para poder utilizar una señal de reloj de 100MHz debería haber solo 2 biestables.

$$T_{min} = t_p(\text{biestable}) + t_{ccex} + t_{su} = 15ns + 0 + 5ns = 20ns$$

$$f_{max} = \frac{1}{T_{min}} = \frac{1}{20ns} = 50MHz$$

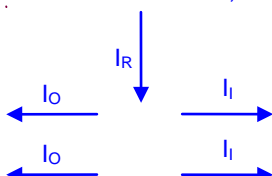
3. Considere el circuito adjunto y los parámetros característicos siguientes. Si las puertas tienen salidas en colector abierto, indique cuál de los valores propuestos sería adecuado para la resistencia de *pull-up*.



$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.5V	0.8V	3V	0.5V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax(fugas)}$	$I_{OLmax}$
$300\mu A$	$-0.36mA$	$100\mu A$	7mA

- [A]  $R_{PU} = 0.22k\Omega$   
 [B]  $R_{PU} = 2.2k\Omega$   
 [C]  $R_{PU} = 5k\Omega$   
 [D]  $R_{PU} = 10k\Omega$

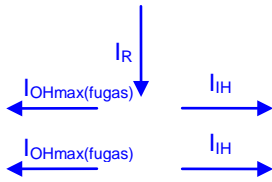
En el nudo se tendrá, de forma general, esta situación:



Si la tensión en el nudo es "1" se tiene que cumplir que:

$$V_O = 5V - I_R \cdot R_{PU} \geq V_{OH(min)} = 3V$$

En el nudo:



$$I_R = 2 \cdot I_{OH(max)(fugas)} + 2 \cdot I_{IL(max)} = 2 \cdot 0.1mA + 2 \cdot 0.3mA = 0.8mA$$

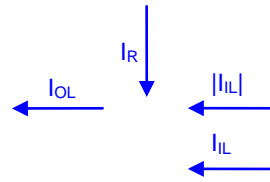
$$5V - 0.8mA \cdot R_{PU} \geq 3V \Rightarrow R_{PU} \leq \frac{5V-3V}{0.8mA} = 2.5k\Omega$$

Por tanto,  $0.72k\Omega \leq R_{PU} \leq 2.5k\Omega$

Si la tensión en el nudo es "0" se tiene que cumplir que:

$$I_{OL} \leq I_{OL(max)} = 7mA$$

En el nudo:



$$I_{OL} = I_R + 2 \cdot |I_{IL}|$$

$$I_R = \frac{5V - V_{OL(max)}}{R_{PU}} = \frac{5V - 0.5V}{R_{PU}} = \frac{4.5V}{R_{PU}}$$

$$I_{OL} = \frac{4.5V}{R_{PU}} + 2 \cdot 0.36mA = \frac{4.5V}{R_{PU}} + 0.72mA \leq 7mA \Rightarrow$$

$$R_{PU} \geq \frac{4.5V}{7mA - 0.72mA} = \frac{4.5V}{6.28mA} = 0.72k\Omega$$

4. Se desea realizar la conexión de dos familias lógicas tal y como se muestra en la figura. A partir de las especificaciones de las familias A y B indicadas en las tablas adjuntas, indique cuál de las siguientes opciones permitiría una conexión **CORRECTA**.

Familia A			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
40 $\mu A$	-1.6 mA	-400 $\mu A$	16 mA

Familia B			
$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2.1 V	0.9 V	2.9 V	0.1 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
1 pA	-20 pA	-0.5 mA	0.5 mA



- [A] Se puede realizar la conexión directamente, ya que existe compatibilidad a nivel de tensión y corrientes.  
 [B] La conexión no es posible de ninguna manera, ya que están alimentadas a diferente tensión.  
 [C] Existe incompatibilidad de tensiones. Se puede solucionar intercalando un *buffer* en colector abierto a la salida de la puerta A y una resistencia de *pull-up* entre la salida del *buffer* y 5V.  
 [D] Existe incompatibilidad de corrientes. Se puede solucionar intercalando un *buffer* de la familia B alimentado a 3V que proporcione suficiente corriente a la puerta A

Como el componente donante dispone de salidas a nivel bajo y alto, a priori no es preciso un circuito de *pull-up*.

Analizando la compatibilidad de las tensiones:

$$\checkmark V_{OL(max)}(B) \leq V_{IL(max)}(A)?$$

$$0.1V < 0.8V \checkmark$$

$$\checkmark V_{OH(min)}(B) \geq V_{IH(min)}(A)?$$

$$2.9V > 2V \checkmark$$

Analizando la compatibilidad de las corrientes:

$$\checkmark |I_{OL(max)}(B)| \geq |I_{IL(max)}(A)|?$$

$$0.5mA < 1.6mA \times$$

$$\checkmark |I_{OH(max)}(B)| \geq |I_{IH(max)}(A)|?$$

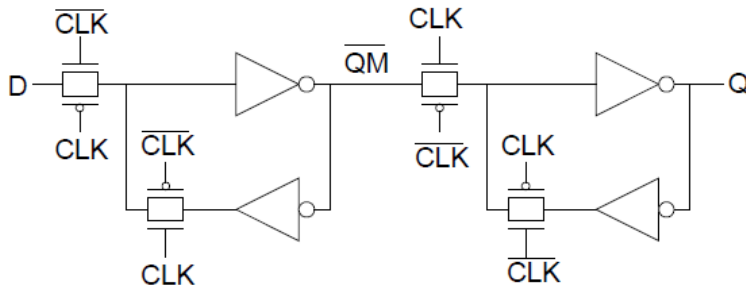
$$0.5mA > 40\mu A \checkmark$$

Por tanto, las tensiones son compatibles

La solución pasa por intercalar un *buffer* de la familia donante (B), alimentado a la tensión de alimentación de la familia donante (3V). Como las tensiones de las familias A y B son compatibles, no hace falta nada más.

Por tanto, las corrientes son incompatibles

5. Dado el biestable D *master-slave* de la figura, diseñado con puertas de transmisión CMOS, indique la afirmación **CORRECTA**:



- [A] Está formado por dos *latches* D activos a nivel bajo.  
 [B] Cuando CLK = '0', se mantiene /QM gracias al bucle de realimentación.  
 [C] Cuando CLK = '1' el maestro envía el dato al esclavo y la entrada D se bloquea.  
 [D] Funciona como un *flip-flop* D activo por flanco de bajada.

6. Un procesador CMOS contiene  $10^6$  transistores dedicados a la lógica combinacional/secuencial y  $10^8$  transistores dedicados a la memoria *cache*. El factor de actividad medio es 0.1 para la lógica, y 0.01 para la memoria. La capacidad media de cada transistor es 1 fF (1 femtofaradio =  $10^{-15}$ F), el voltaje de alimentación es 2V y la frecuencia de reloj 3 GHz (1GHz =  $10^9$  Hz). Calcule la potencia dinámica aproximada que consume el procesador.

- [A] No se puede calcular, ya que faltan las corrientes de fuga de los transistores.  
 [B] 13.2W  
 [C] 15W  
 [D] 12.5W

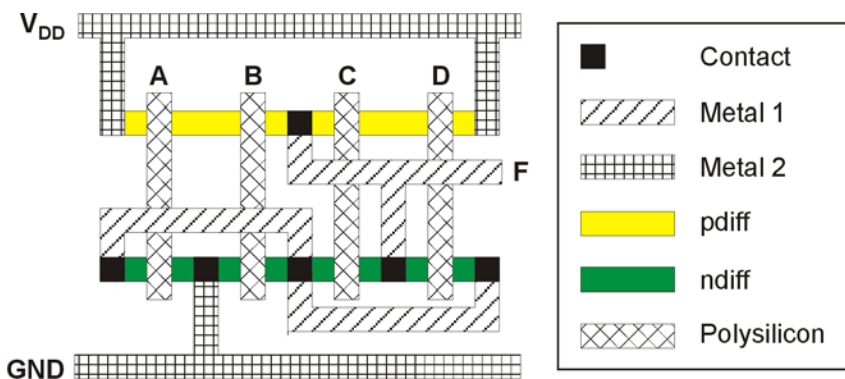
$P_{\text{dinámica (total)}} = P_{\text{dinámica (lógica)}} + P_{\text{dinámica (memoria)}}$

$P_{\text{dinámica (lógica)}} = N_{\text{transistores (lógica)}} \cdot (V_{DD})^2 \cdot C_L \cdot \alpha(\text{lógica}) \cdot f_{CLK}$

$P_{\text{dinámica (mem.)}} = N_{\text{transistores (memoria)}} \cdot (V_{DD})^2 \cdot C_L \cdot \alpha(\text{memoria}) \cdot f_{CLK}$

$P_{\text{dinámica (total)}} = N_{\text{transistores (lógica)}} \cdot (V_{DD})^2 \cdot C_L \cdot \alpha(\text{lógica}) \cdot f_{CLK} +$   
 $N_{\text{transistores (memoria)}} \cdot (V_{DD})^2 \cdot C_L \cdot \alpha(\text{memoria}) \cdot f_{CLK} =$   
 $(V_{DD})^2 \cdot C_L \cdot f_{CLK} \cdot (N_{\text{transistores (lógica)}} \cdot \alpha(\text{lógica}) + N_{\text{transistores (memoria)}} \cdot \alpha(\text{memoria})) =$   
 $(2V)^2 \cdot 10^{-15}F \cdot 3 \cdot 10^9Hz \cdot (10^6 \cdot 0.1 + 10^8 \cdot 0.01) = 4 \cdot 10^{-15} \cdot 3 \cdot 10^9 \cdot (0.1 \cdot 10^6 + 10^6)W =$   
 $4 \cdot 10^{-15} \cdot 3 \cdot 10^9 \cdot 1.1 \cdot 10^6W = 13.2W$

7. A partir del *layout* de la celda estándar de la figura, identifique la función que implementa:



- [A]  $F = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D}$   
 [B]  $F = (A \cdot B) + (C \cdot D)$   
 [C]  $F = (A + B) + (C + D)$   
 [D]  $F = \overline{A + B + C + D}$

NOTA.- Para simplificar la explicación, se referirá al transistor PMOS (o NMOS) cuya puerta esté conectada con la entrada "X" como el "transistor PMOS (o NMOS) X". Por otra parte, los transistores PMOS están situados en la parte superior, y los NMOS en la inferior.

Analizando los transistores PMOS se puede observar que hay dos conexiones con  $V_{DD}$  (desde las fuentes de los transistores A y D; por otra parte, la zona común entre los transistores B y C está conectada con la salida F, por lo que esa zona común a ambos no pueden ser más que sus drenadores. Por tanto, se puede deducir que:

- a) La zona común entre los transistores A y B tiene que ser el drenador de A (su fuente está conectada a  $V_{DD}$ ) y la fuente del B (su drenador está conectado a la salida). Por tanto, A y B están en serie.  
 b) Por el mismo motivo, C y D también están en serie.  
 c) Las parejas A-B y C-D están en paralelo, puesto que comparten sus fuentes (las de A y D) y sus drenadores (los de B y C).

Por esta razón, se puede deducir que la función implementada por el bloque PMOS es  $G_{PMOS} = A \cdot B + C \cdot D$

Como  $F = G_{PMOS}^*$  (es decir, la misma función, pero con las variables invertidas)  $\Rightarrow F = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D}$

Si se analizan los transistores NMOS, se puede observar que sólo hay una conexión con GND, desde la zona común entre los transistores A y B, por lo que esta zona común deben ser las fuentes de ambos transistores; por otra parte, los drenadores de estos transistores (al otro lado de sus correspondientes puertas) están interconectados entre sí mediante una conexión metálica. En cuanto a los transistores C y D, la zona común entre ellos transistores está conectada con la salida F, por lo que esa zona común a ambos no pueden ser más que sus drenadores, y sus fuentes (al otro lado de sus correspondientes puertas) están interconectadas mediante una conexión metálica, que además está conectada con los drenadores comunes de la pareja A-B. Por tanto, se puede deducir que:

- Los transistores A y B tienen que estar en paralelo, ya que sus fuentes y sus drenadores están conectados (las primeras a GND, y los últimos a otros transistores).
- De forma similar, C y D también están en paralelo (sus drenadores están conectados con la salida F, y sus fuentes están interconectadas).
- Las parejas A-B y C-D están en serie, puesto que los drenadores de A-B están conectados con las fuentes de C-D.

Por esta razón, se puede deducir que la función implementada por el bloque NMOS es  $G_{NMOS} = (A + B) \cdot (C + D)$

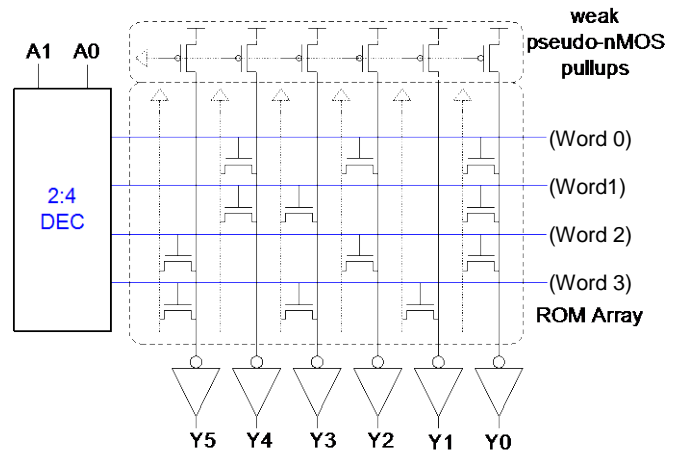
Como  $F = \overline{G_{NMOS}} \Rightarrow F = \overline{(A + B) \cdot (C + D)}$

Esta expresión no coincide con ninguna de las opciones propuestas, pero si se le aplica el teorema de DeMorgan se tendrá que:  $F = \overline{(A + B) \cdot (C + D)} = \overline{A} \cdot \overline{B} + \overline{C} \cdot \overline{D}$

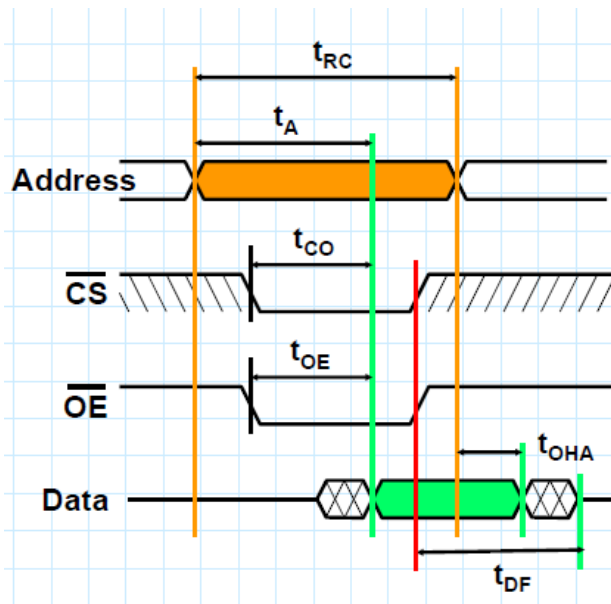
8. Dada la memoria de la figura, indique la afirmación **FALSA**:

*Nota: El bit menos significativo es el 0, tanto en las direcciones (A0) como en los datos (Y0)*

- Es una memoria ROM de 4 palabras de 6 bits.
- Si  $A1 = "1"$  y  $A0 = "0"$ , en el bus de datos se leerá la palabra "100101".
- La presencia de un transistor en la intersección entre la línea de palabra y la línea de bit pone un "1" en la celda, que se lee como "0" en la correspondiente salida  $Y_x$ .
- Los transistores PMOS de la parte superior se comportan como resistencias de *pull-up* conectadas a alimentación.



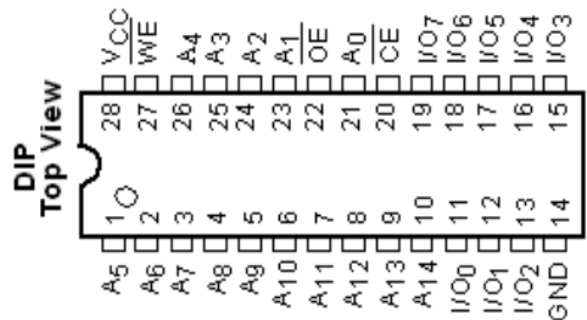
9. A la vista del cronograma de la figura determine cuál de las afirmaciones es la **FALSA**:



- [A] Es un cronograma de escritura de una memoria SRAM.
- [B]  $t_{CO}$  es el tiempo de acceso desde la selección de chip.
- [C]  $t_A$  es el tiempo de acceso desde las direcciones.
- [D]  $t_{DF}$  es el tiempo (desde que se desactiva CS) que ha de transcurrir para que el bus pueda ser ocupado por otro dispositivo.

10. El circuito integrado CY62256, cuyo patillaje se indica en la figura, es una memoria SRAM con un tiempo de acceso típico de unos 70ns. A la vista del dibujo, se puede afirmar que:

- [A] Su capacidad de almacenamiento será de 32KB ( $2^{15}$  palabras de 8 bits).
- [B] 70 ns es el tiempo máximo que tarda un dato en ser escrito en las celdas de almacenamiento desde que se estabiliza la dirección ( $A_0...A_{14}$ ).
- [C] La línea /CE (pin 20) corresponde a la selección de chip, por lo que deberá mantenerse a "1" durante cualquier operación de lectura o escritura que afecte al chip.
- [D] La línea /WE permite controlar la temporización del proceso de lectura, mientras que la línea /OE nos permite el control temporal del proceso de escritura.



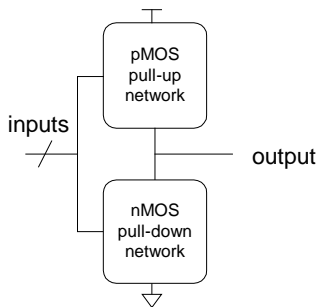
Apellidos:

Nombre:

**PROBLEMA (4 PUNTOS)**

- A. (1 pto.) Se pretende diseñar la función  $F = A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C}$  en **lógica CMOS complementaria**. Dibuje un esquema con transistores. Justifique el diseño.

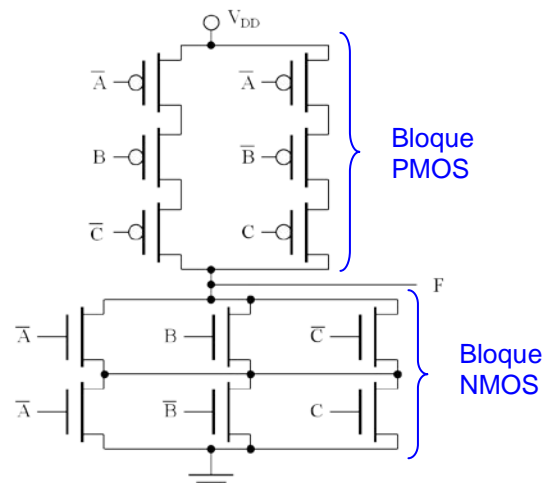
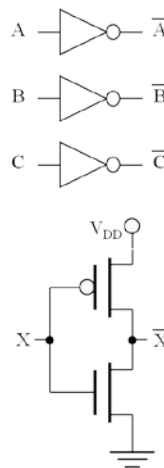
**NOTA:** Utilice el símbolo simplificado de los transistores.



Opción a)  $F = \overline{G_{NMOS}} \Rightarrow F = \bar{F} = \overline{A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C}} = \overline{(A + B + C) \cdot (A + \bar{B} + \bar{C})}$   
 $G_{NMOS} = (A + B + C) \cdot (A + \bar{B} + \bar{C})$

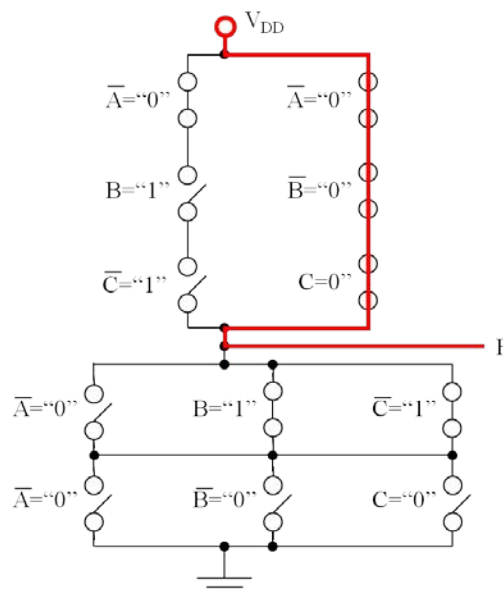
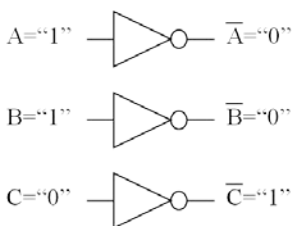
Opción b)  $F = G_{PMOS}^*$  (la función  $G_{PMOS}$  tiene las entradas invertidas respecto a F)  
 $G_{PMOS} = \bar{A} \cdot B \cdot \bar{C} + \bar{A} \cdot \bar{B} \cdot C$

A partir de cualquiera de las dos expresiones obtenidas ( $G_{NMOS}$  o  $G_{PMOS}$ ) se puede implementar directamente cada uno de los bloques, representando las sumas lógicas ("+" con transistores (o grupos de transistores) en paralelo, y los productos lógicos ("·" con transistores (o grupos de transistores) en serie; el otro bloque se obtendrá de forma dual al realizado, cambiando las representaciones (de transistores o grupos de transistores) en paralelo por representaciones en serie, y viceversa.



**NOTA.-** También se admitirá como válida la solución generada a partir de la versión de la función F aplicando la propiedad distributiva:  $F = A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} = A \cdot (\bar{B} \cdot C + B \cdot \bar{C})$

- B. (1 pto.) Compruebe el funcionamiento del circuito para la combinación de entradas:  $A = B = "1"$ ,  $C = "0"$ .
- B.1. (0.75 ptos.) Dibuje el circuito sustituyendo los transistores por **interruptores (abiertos y/o cerrados)**.
- B.2. (0.25 ptos.) Justifique el **valor lógico de la salida F**.

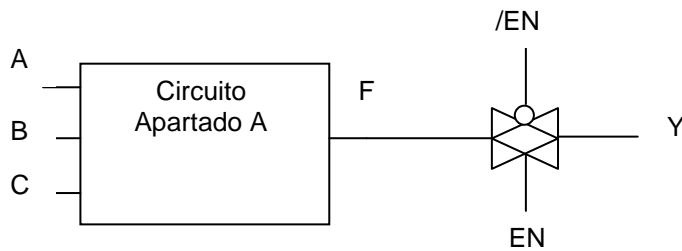


Aplicando a cada transistor el valor de su entrada:

- a) Los transistores PMOS que tengan un "0" en su entrada conducirán (interruptores cerrados) y los que tengan un "1" se cortarán (interruptores abiertos).
- b) Los transistores NMOS que tengan un "1" en su entrada conducirán (interruptores cerrados) y los que tengan un "0" se cortarán (interruptores abiertos)

Como hay un camino desde  $V_{DD}$  a la salida a través del bloque PMOS,  $F = "1"$

C. (1 pto.) Suponga que se modifica el circuito del apartado A, tal como muestra la figura adjunta.

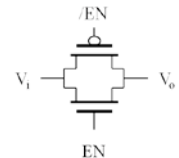


C.1. (0.25 ptos.) Indique el tipo de salida (estándar / drenador abierto / triestado):

Triestado

C.2. (0.25 ptos.) Indique el nombre del elemento añadido y dibuje su estructura interna con transistores.

Es una puerta de transmisión CMOS



C.3. (0.5 ptos.) Explique el funcionamiento del circuito modificado y rellene la tabla de verdad adjunta.

La misión de la puerta de transmisión es controlar la salida Y, de forma que **si EN="0"** (y /EN="1"), la puerta de transmisión se cortará, y en la salida Y habrá alta impedancia (es decir, Y="Z").

Por el contrario, **si EN="1"** (y /EN="0"), la puerta de transmisión dejará pasar la salida F del circuito del apartado A hasta la salida (o sea, Y=F).

Es decir, se ha dotado al circuito del apartado A de salida triestado.

A	B	C	EN	Y
0	0	0	0	"Z"
0	0	1	0	"Z"
0	1	0	0	"Z"
.....				
1	1	1	0	"Z"
0	0	0	1	0
0	0	1	1	0
0	1	0	1	0
.....				
1	1	0	1	1
1	1	1	1	0

D. (1 pto.) Complete la tabla de verdad de la función F del apartado A y realice el diseño de esta función utilizando una memoria ROM NOR. Dibuje la **estructura interna con transistores** e indique el **tamaño de la memoria**. Justifique el resultado.

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Para implementar la función F mediante una memoria ROM, hay que partir de la tabla de verdad, y mapear (conectar) las entradas de la función (A, B y C) a las entradas de direcciones de una memoria (A0, A1 y A2), y las salidas (F) a las salidas de datos (D0). Así, pues, es necesaria una memoria de 8 palabras de 1 bit: 8x1 (o 2<sup>3</sup>x1).

En la estructura interna de la memoria, habrá que poner transistores en las intersecciones de las líneas de palabra 5 ("101" en binario) y 6 ("110" en binario).

Dado que la memoria tiene estructura NOR (con transistores NMOS), habrá que intercalar buffers de salida inversores entre la línea de bit (BL0) y la salida (D0).

