

Tema 5

La memòria principal



UNIVERSITAT
POLITÈCNICA
DE VALÈNCIA



Objectius

- Presentar una visió del conjunt del sistema de memòria del computador
- Revisar les característiques bàsiques i més rellevants de les memòries RAM, concretament les que determinen les seues prestacions
- Comprendre l'organització i accés a la memòria principal
- Descriure les característiques estructurals i funcionals més rellevants de les memòries RAM dinàmiques síncrones (SDRAM)
- Interpretar els paràmetres de temporització de les memòries síncrones SDRAM
- Comprendre la configuració dels mòduls de memòria
- Definir el concepte de mapa de memòria i introduir el disseny dels sistemes de descodificació
- Entendre les funcions del controlador de memòria dinàmica

Continguts

1. El sistema de memòria del computador
2. Característiques bàsiques de les memòries i mesura de prestacions
3. Memòria principal
4. Memòries RAM dinàmiques
5. Mòduls de memòria
6. Mapes de memòria
7. El controlador de memòria

Bibliografia


- Stallings, W.
 - Organización y arquitectura de computadores. 7a edició, Prentice Hall, 2006
 - Cap 5 (5.3)
- Hamacher, V.C., Vranesic, Z.G., Zaky, S.G.
 - Organización de computadores. 5a edició. McGraw Hill, 2002.
 - Cap 5 (5.2.4, 5.2.5, 5.2.6, 5.6.1)
- Notes en PoliformaT sobre disseny de mòduls de memòria
- Pàgines web:
 - www.micron.com (xips)
 - www.kingston.com (mòduls)
 - www.tomshardware.com

1. El sistema de memòria del computador

- Què és i on està la memòria?
- Concepte de jerarquia de memòria

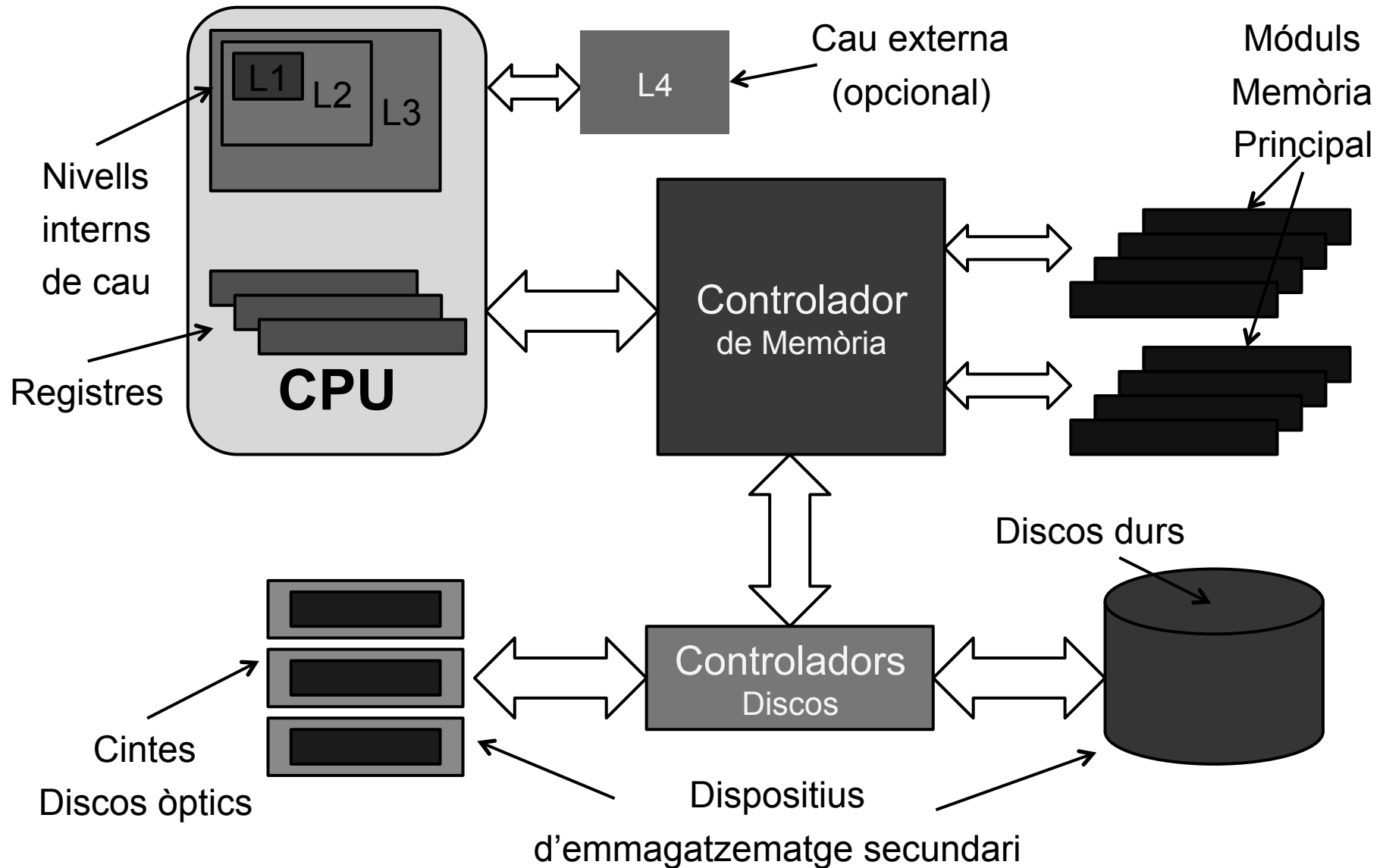
¿Què és i on està la memòria?

- Medi físic capaç d'emmagatzemar informació de forma temporal o permanent
 - Tipus d'operació: lectura i/o escriptura
- ¿On està la memòria en un computador?
 - Registres del processador
 - Memòria cache
 - Memòria principal
 - Memòria secundària
 - Discos
 - Cintes
- Objectiu: dissenyar una memòria amb capacitat elevada i temps d'accés petit



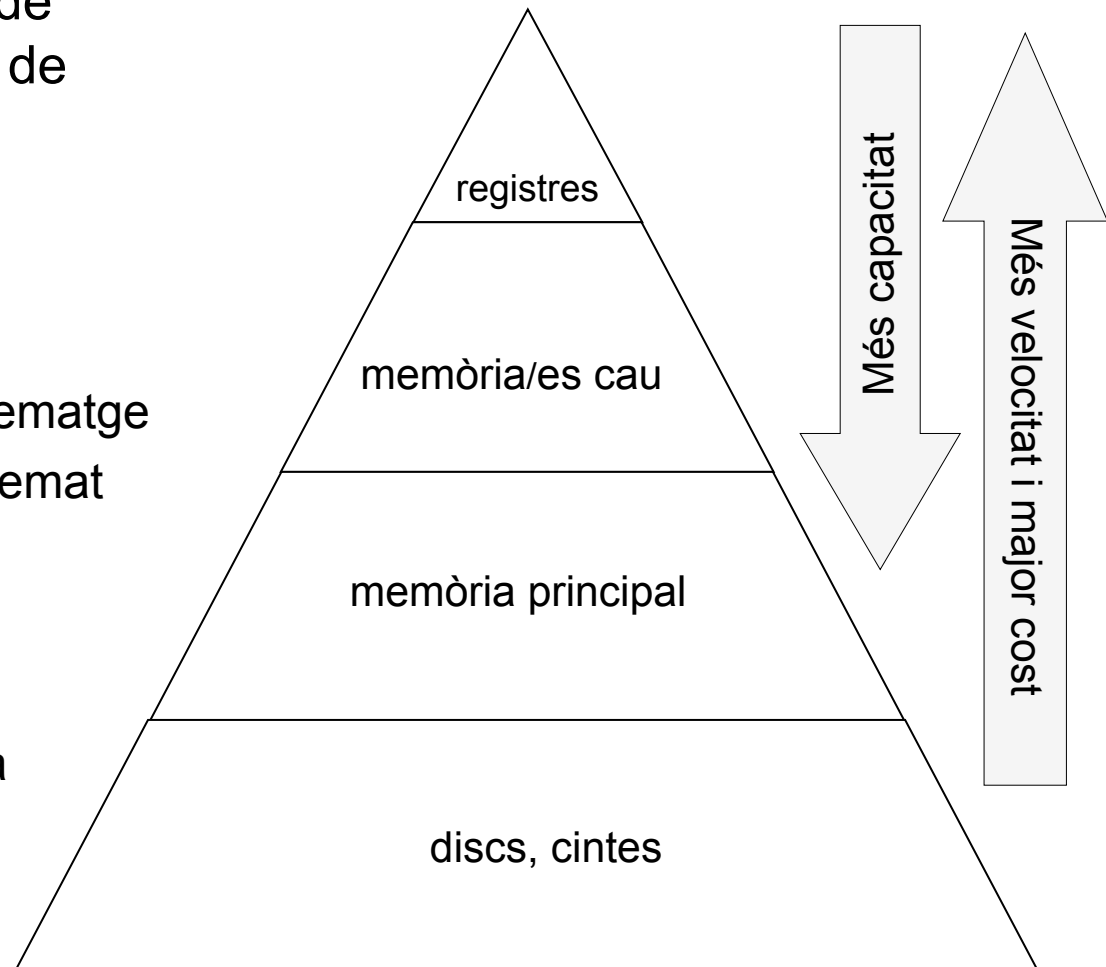
Tecnologies diferents
Fonaments físics diferents
Localització en diversos llocs

Sistema de memòria d'un computador



Jerarquia de memòria: què és?

- Situació ideal: disposar de memòria ràpida i barata de gran capacitat
- Criteris tecnològics contraposats
 - Velocitat d'accés
 - Capacitat d'emmagatzematge
 - Cost per bit emmagatzemat
 - Consum d'energia
 - Fiabilitat
- Solució
 - Organització jeràrquica



2. Característiques bàsiques de les memòries

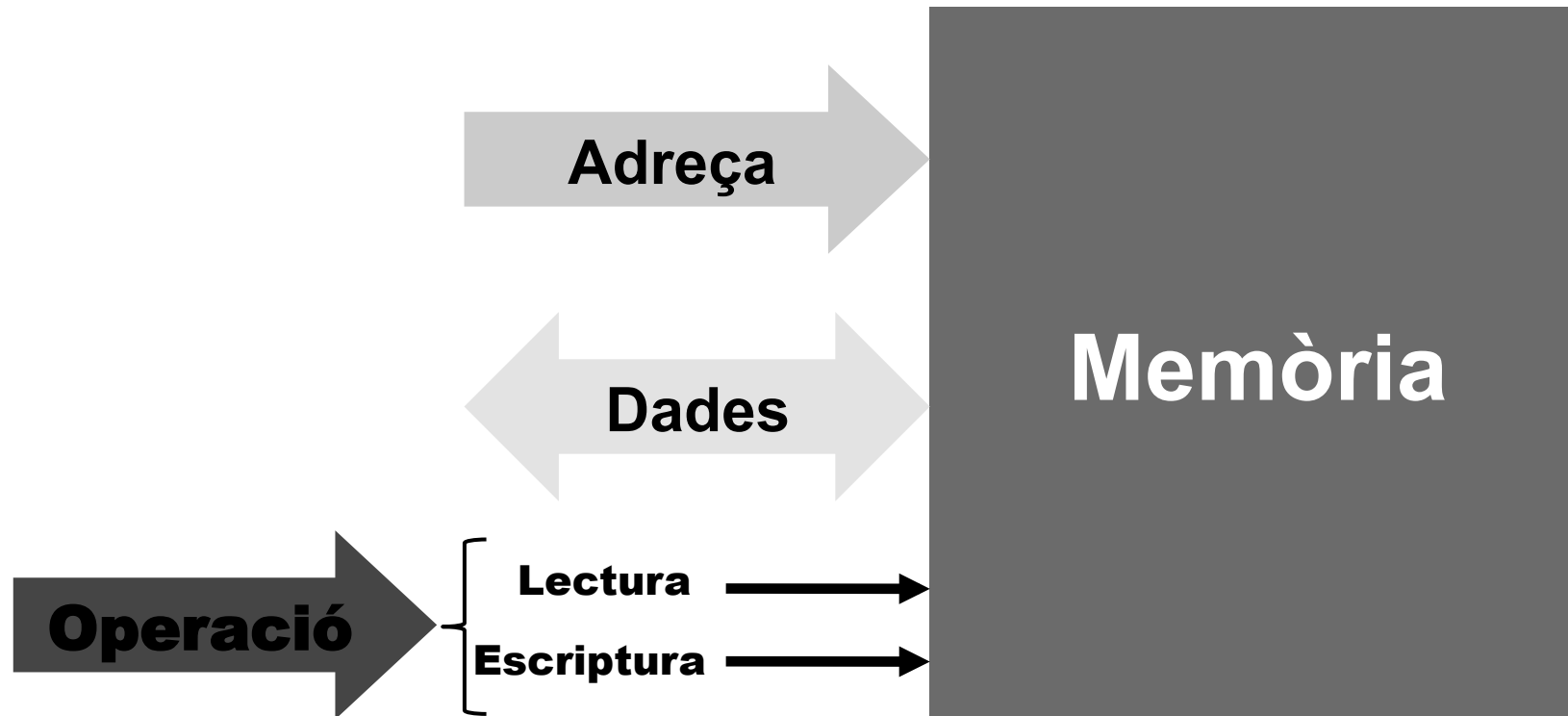
- Modes d'accés
- Capacitat d'emmagatzematge
- Temps d'accés i de cicle
- Amplada de banda

Paràmetres característics de les memòries

- Mode d'accés
 - Com accedim a la informació?
- Capacitat
 - Quanta informació hi cap?
- Velocitat de transferència o amplada de banda
 - Com de ràpid es transfereix la informació?

Modes d'accés

- Operació bàsica d'accés a memòria



- El byte es la unitat mínima d'informació que pot ser accedida/adreçada per la CPU

Informació accedida en un accés

- Paraula

- Unitat màxima de transferència en un accés
- La longitud en bytes sol ser una potència entera de 2 (1, 2, 4, 8, 16, ...)
- Exemple
 - Transferències entre memòria principal i processador sense memòria cache

- Bloc

- Conjunt de paraules a què s'accedeix per mitjà d'una petició
- Exemples
 - Transferències entre discos i memòria principal
 - Transferències entre memòria cache i memòria principal

Modes d'accés

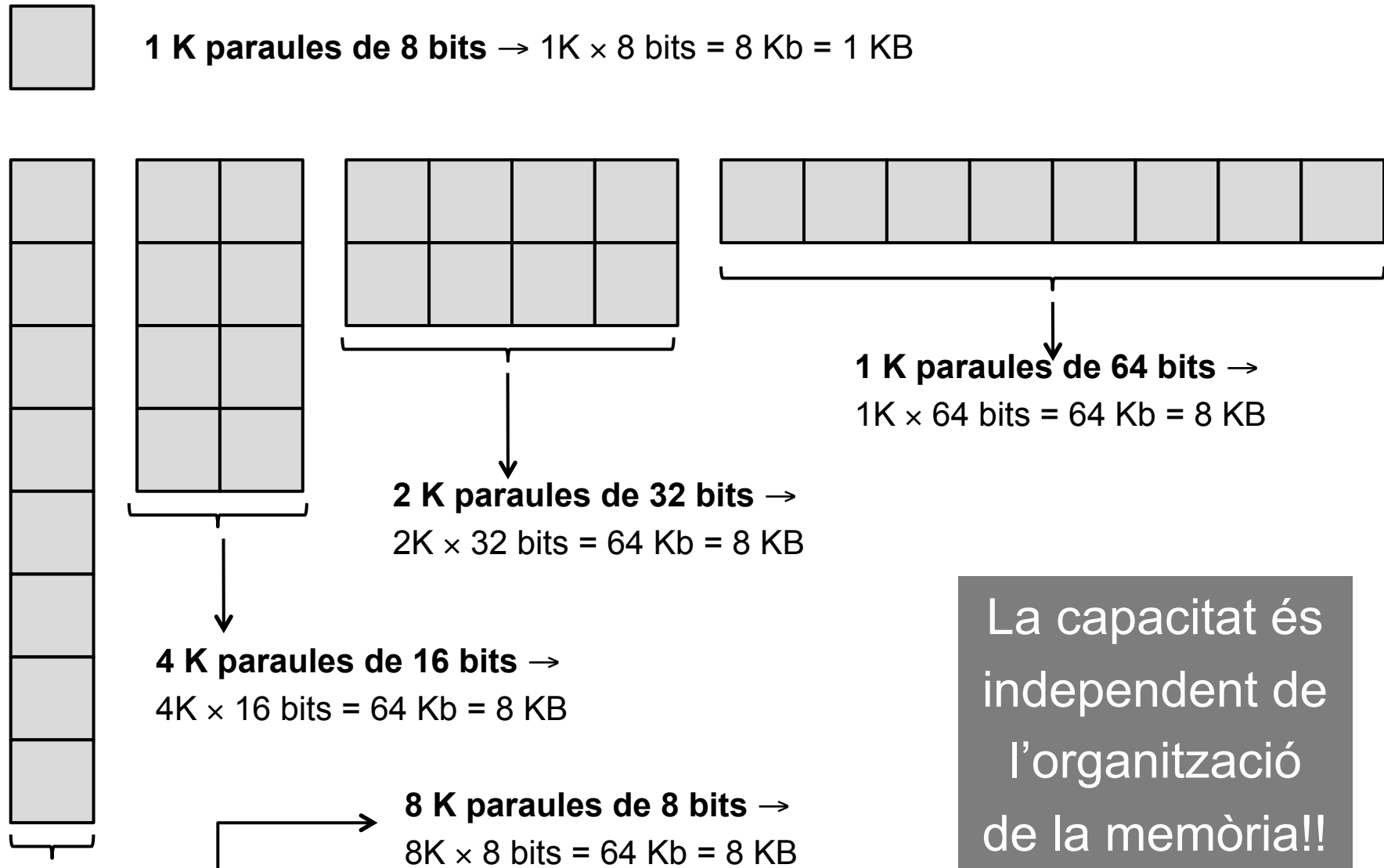
- Aleatori (*random access*)
 - Temps d'accés independent de la posició de la informació
 - Exemples: memòries principal i cache, memòries ROM
- Seqüencial (*sequential access*)
 - Temps d'accés proporcional a la distància de la informació
 - Exemple: cintes magnètiques
- Directe (*direct access*)
 - Temps d'accés proporcional a la distància física entre la informació i el lector (capçal)
 - Hi ha dues components: l'una directa i l'altra seqüencial
 - Exemple: discos magnètics
- Accés associatiu (content-addressable memory; CAM)
 - Memòries adreçables per contingut
 - Duen un major temps d'accés per la necessitat de comparació, que és independent de la posició
 - Exemple: TLB, directori memories cache

Capacitat d'emmagatzematge

- Quantitat d'informació emmagatzemada: bits o bytes
 - Nomenclatura: B = 1 byte, b = 1 bit
- Com s'expressa la capacitat?
 - Capacitat total: en bytes o múltiples de byte
 - Nombre de paraules x Tamany de paraula (bits/bytes)
- Prefixos
 - Segons el context, són del tipus 2^n o del tipus 10^n
 - Exemple: la capacitat de la memòria principal sempre s'expressa en unitats del tipus 2^n

Prefixos aplicables:	Nom	Valor (2^n)	Valor (10^n)
	Kilo (K)	2^{10}	10^3
	Mega (M)	2^{20}	10^6
	Giga (G)	2^{30}	10^9
	Tera (T)	2^{40}	10^{12}
	Peta (P)	2^{50}	10^{15}

Capacitat d'emmagatzematge i organització



Exemples de capacitat d'emmagatzematge

- Capacitat total expressada en bytes
 - $1024 \text{ bytes} = 2^{10} \text{ bytes} = 1 \text{ KB}$
- La memòria té 128K posicions de 16 bits cadascuna
 - $128\text{K} \times 16 \text{ bits} = 128\text{K} \times 2^4 \text{ bits} = 128\text{K} \times 2^1 \text{ bytes} = 256 \text{ KB}$
- La memòria té 8 MB en paraules de 32 bits
 - $8 \text{ MB} = 2^3 \times 2^{20} \times 2^3 \text{ bits} = 2^1 \times 2^{20} \times 2^5 \text{ bits} = 2\text{M} \times 32 \text{ bits}$
- D'altres exemples
 - $64 \text{ Kbits} = 64\text{K} \times 1 \text{ bits} = 2^{16} \text{ bits} = 2^{13} \times 2^3 \text{ bits} = 2^{13} \text{ bytes}$
 - $256 \text{ Mbits} = 2^8 \times 2^{20} \text{ bits} = 2^5 \times 2^{20} \times 2^3 \text{ bits} = 32 \text{ MB}$

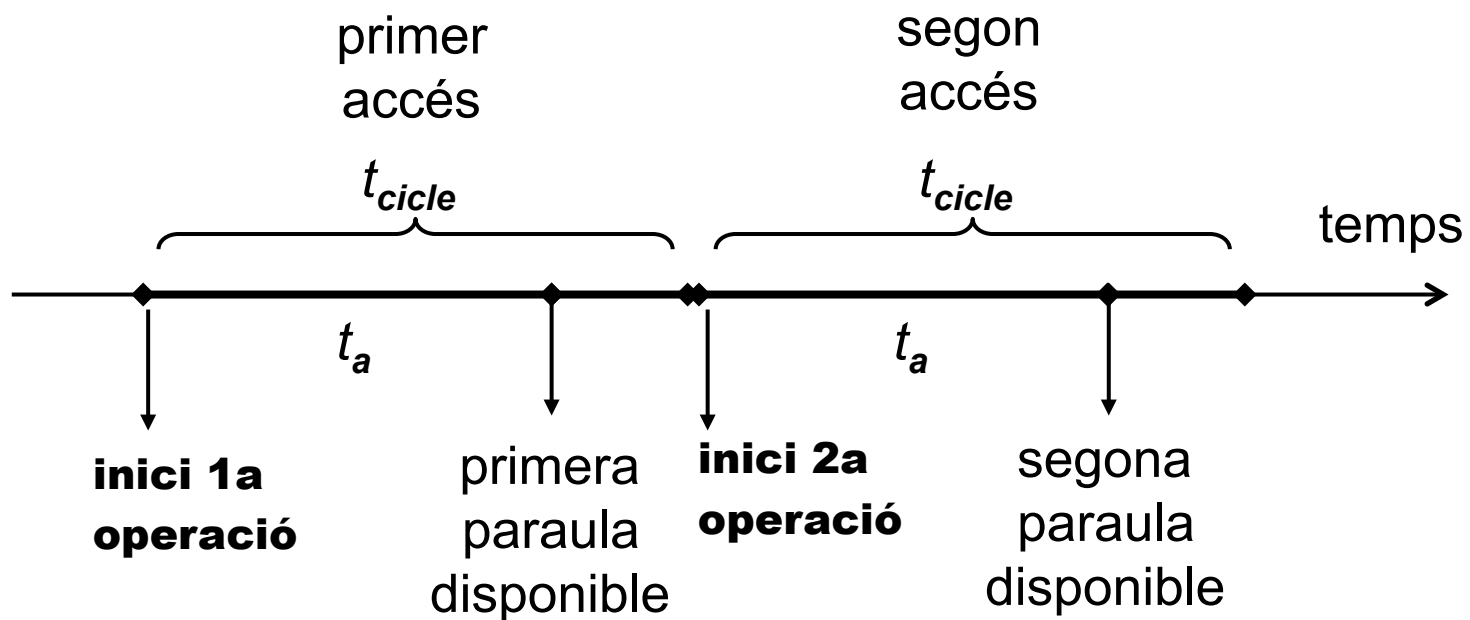
Paràmetres temporals

- Temps d'accés
 - Temps **màxim** entre l'inici de l'operació i l'obtenció o emmagatzematge de:
 - la paraula
 - la primera dada del bloc
 - Es mesura en unitats de temps

Prefixos aplicables a les unitats de temps:	Nom	Valor
	mil·li (m)	10^{-3}
	micro (μ)	10^{-6}
	nano (n)	10^{-9}
	pico (p)	10^{-12}

Temporització d'un accés a paraula

- Temps de cicle
 - Temps **mínim** entre dues operacions consecutives de memòria
 - En general, $T_{\text{cicle}} \geq T_{\text{accés}}$
- Exemple: dos accessos de lectura a paraula



Velocitat de transferència

- Amplada de banda (*Bandwidth*)
 - Genèricament: quantitat d'informació transferida per unitat de temps

$$B = \frac{\text{bytes/bits transferits}}{\text{temps}}$$

- Mesurada en bytes (o bits) per unitat de temps: MB/s, GB/s (MBps, GBps), Mb/s, Gb/s (Mbps, Gbps)
 - Els prefixos són sempre del tipus 10^n
- Exemple amb accés a paraula
 - Temps de cicle: 20 ns
 - Temps d'accés: 15 ns
 - En cada accés es transmet una paraula de 32 bits

$$B = \frac{4\text{bytes}}{T_{\text{cicle}}} = \frac{4\text{bytes}}{20 \times 10^{-9}\text{s}} = 2 \times 10^8 \frac{\text{bytes}}{\text{s}} = 200\text{MB/s}$$

Velocitat de transferència

- Amplada de banda (bandwidth)
 - Un altra forma alternativa d'interpretat l'amplada de banda

$$B = \text{bytes transferits en un cicle} \times \text{freqüència transmissió}$$

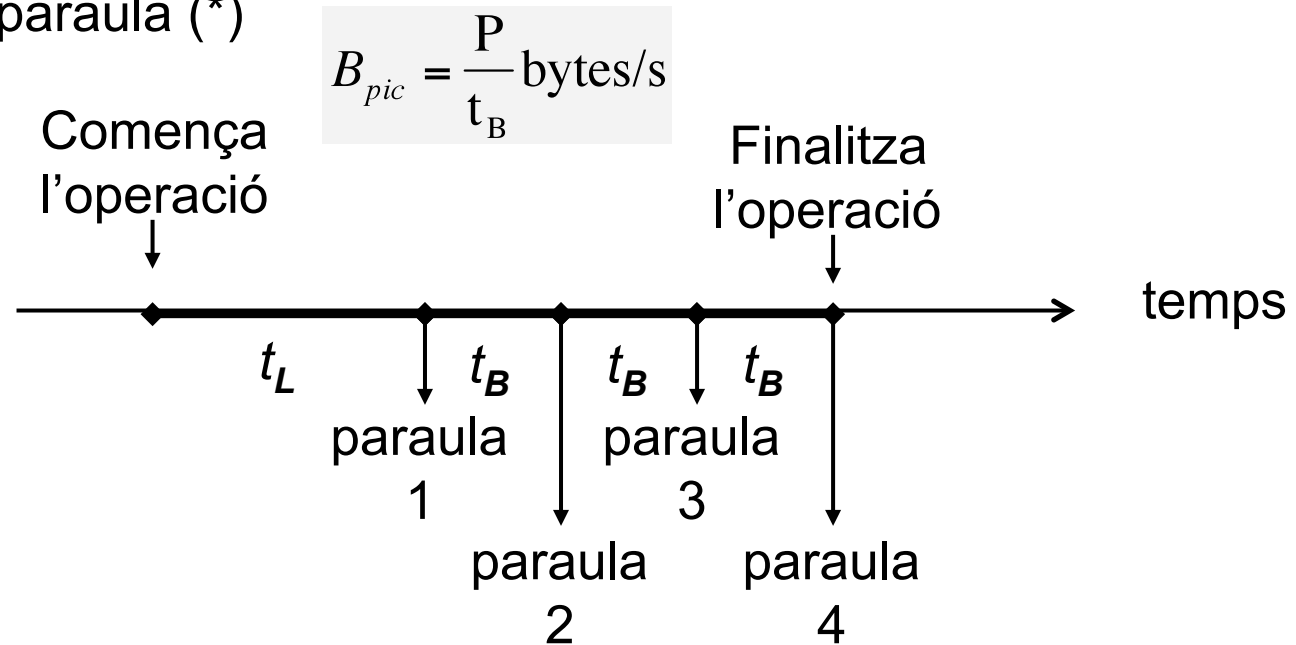
- Els bytes transferits en un cicle corresponen al tamany del bus de dades de la memòria
- La freqüència de transmissió correspon a l'invers del temps de cicle de la memòria

$$\begin{aligned} B &= \text{Grandària_bus_dades} \times \left(\frac{1}{T_{\text{ciclo}}} \right) = 4\text{bytes} \times \left(\frac{1}{20 \times 10^{-9} \text{s}} \right) = \\ &= 4\text{bytes} \times 50 \times 10^6 \text{ Hz} = 4\text{bytes} \times 50\text{MHz} = 200\text{MB/s} \end{aligned}$$

- L'amplada de banda també sol associarse al terme de productivitat del sistema de memòria

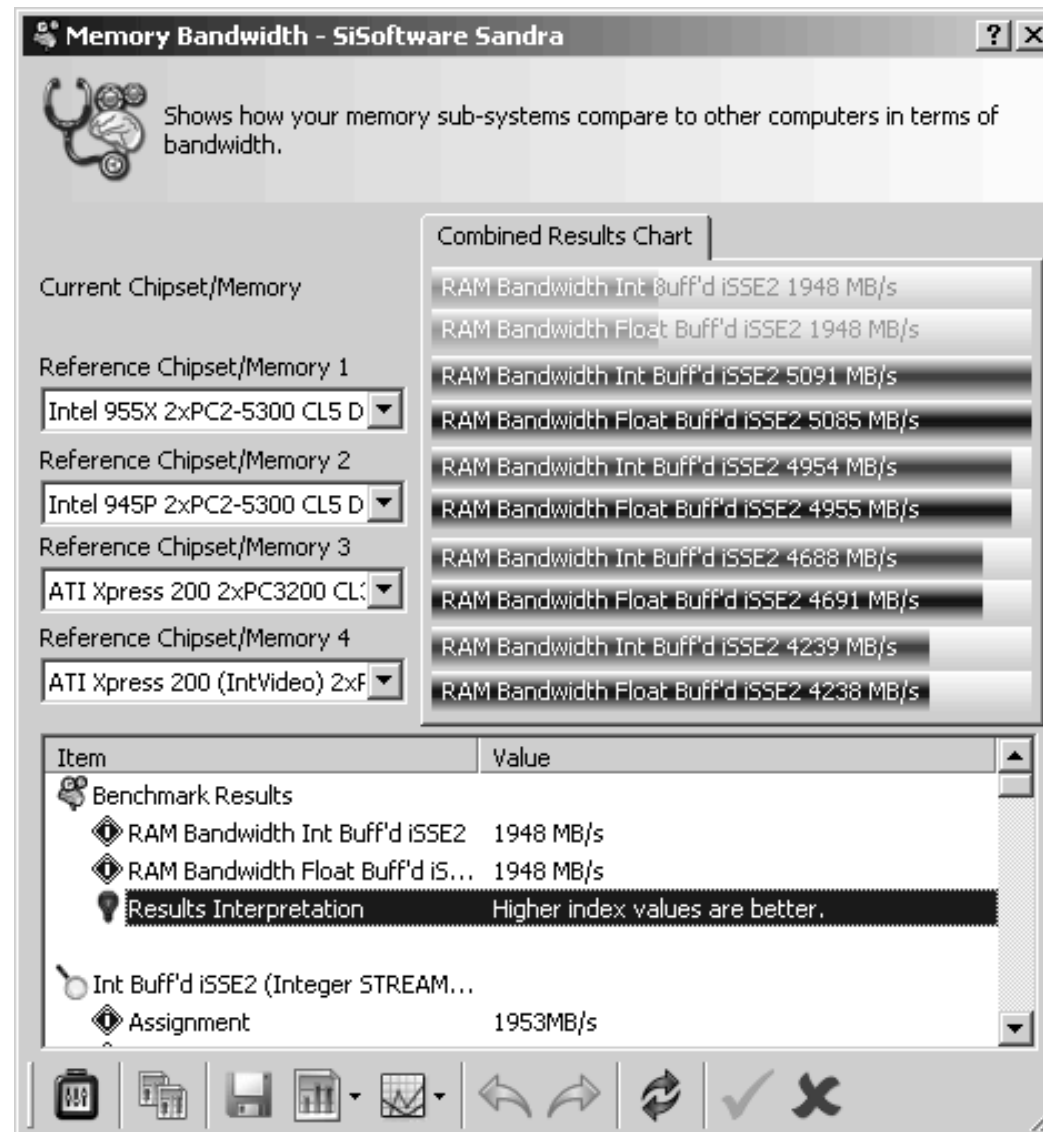
Temporització d'un accés a bloc

- Temps d'accés i amplada de banda
 - En accedir a un bloc, cal dedicar un temps d'accés o *latència* t_L fins que es transfereix la primera paraula de P bytes
 - La resta de paraules del bloc es transfereixen a intervals de t_B
 - L'amplada de banda (màxim o pic) es mesura a partir de la primera paraula (*)



(*) S'assumeix que és possible concatenar l'accés a blocs solapant el final del bloc actual amb el temps d'accés del següent bloc

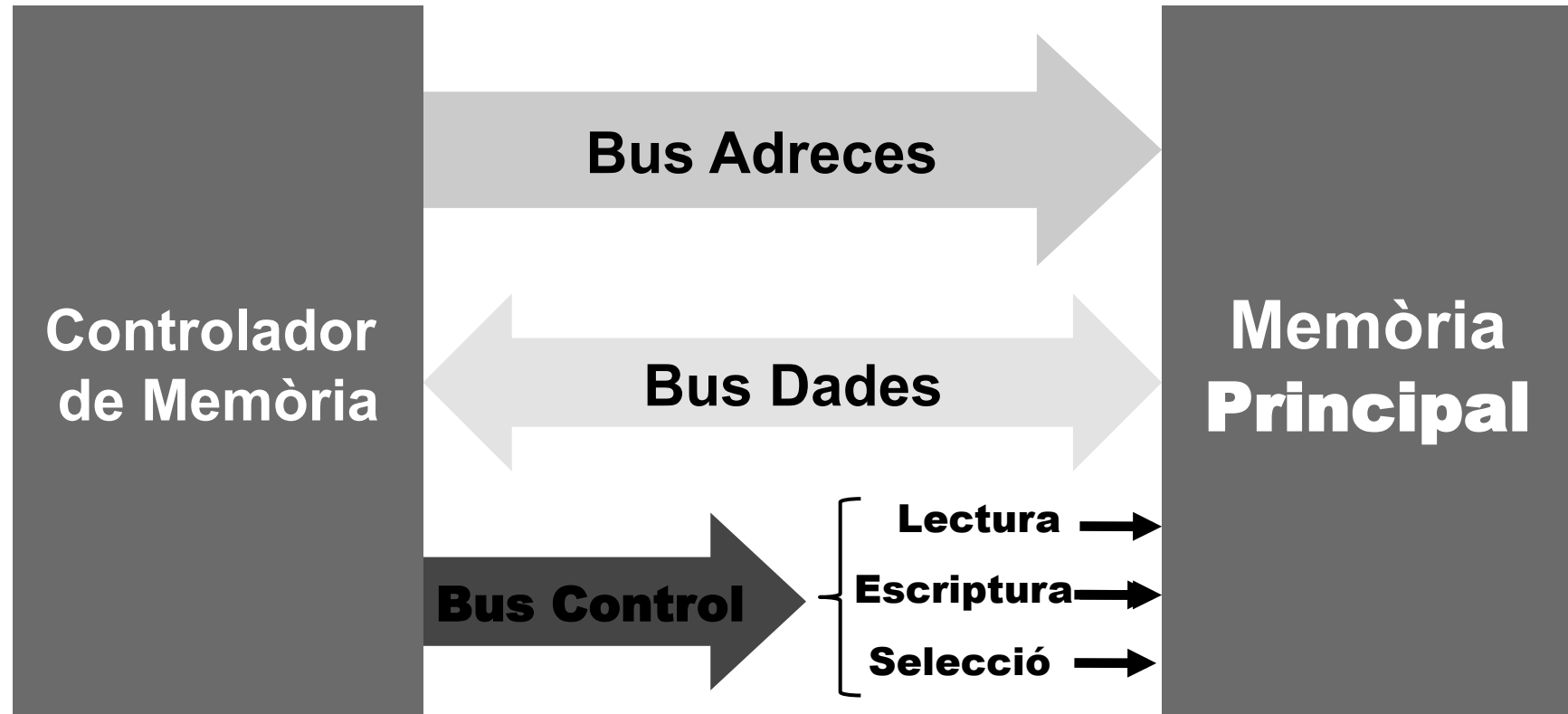
SiSoftware Sandra: amplitud de banda



3. La memòria principal

- Interfície externa de memòria
- Adreçament de la memòria principal
- Formats d'emmagatzematge
- Ubicació de dades en el MIPS R2000
- Organització lògica
- Accés a memòria en el MIPS R2000
- Accés a memòria: estructura de busos

Interfície externa de memòria



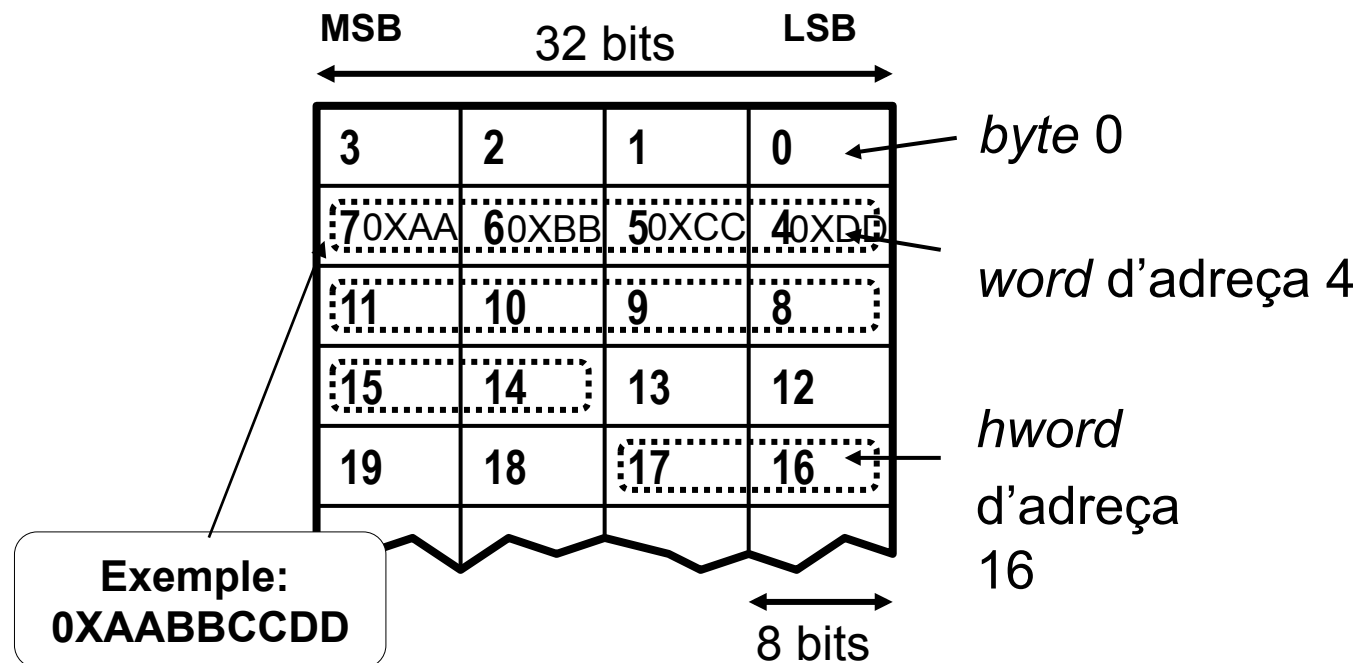
- El controlador de memòria adapta els busos d'adreces/dades/control de la CPU a les necessitats de connexió de la memòria principal

Adreçament de la memòria principal

- Adreces
 - Van referides a cada byte
 - **Cada byte té una adreça única**
- Paràmetres (definites per la CPU)
 - Amplada de paraula ← bus de dades
 - En bits o bytes
 - Adreçament ← bus d'adreces
 - En bits/línies d'adreça
 - En capacitat d'adreçament (unitats 2^n)
 - Format emmagatzematge paraules
 - Little-endian / big-endian
- Exemple d'espai d'adreçament: MIPS R2000
 - 32 bits de dades (D_{31} fins D_0)
 - 32 bits d'adreça (A_{31} fins A_0)
 - Pot referenciar 2^{32} bytes, això és, 4 GB

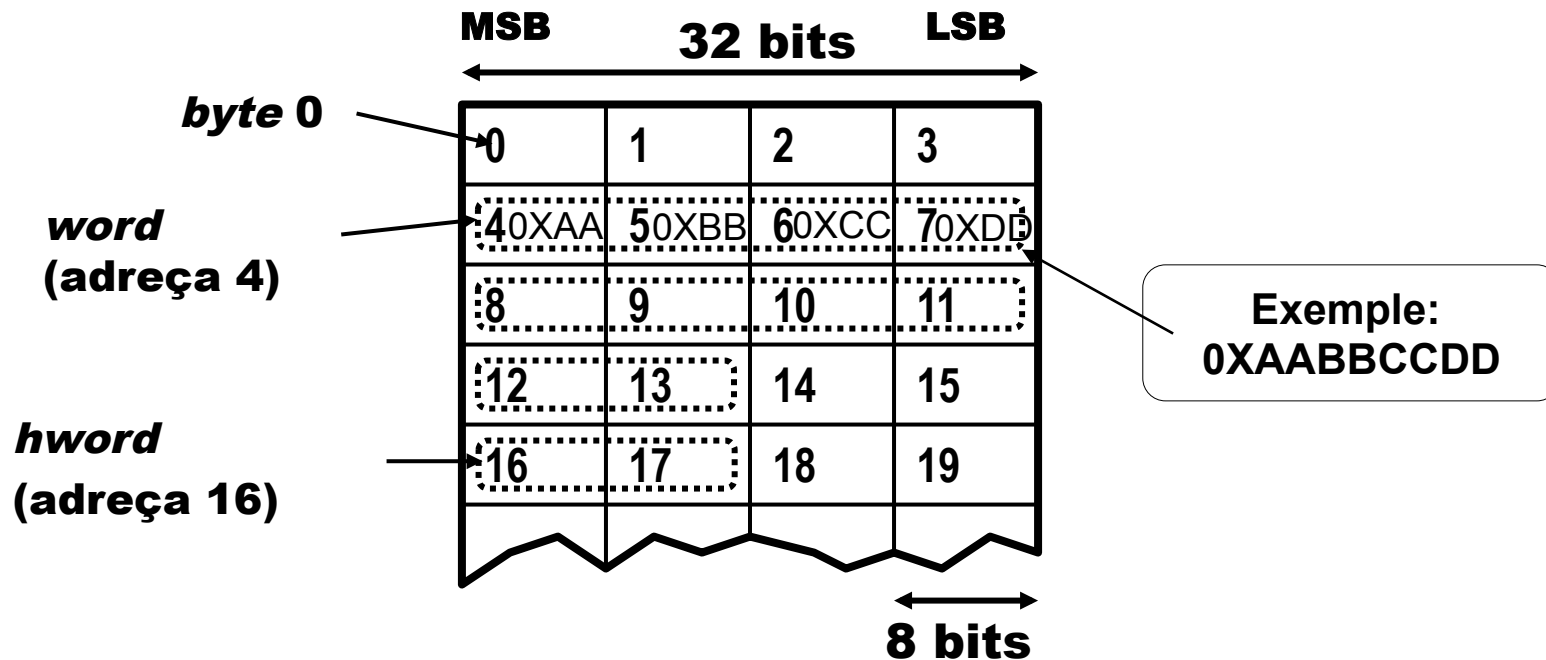
Adreçament (*little-endian*)

- MIPS R2000
 - Paraules (*words*) de 32 bits en adreça múltiple de 4
 - Mitges paraules (*hwords*) de 16 bits en adreça parella
 - Bytes en adreça qualsevol



Adreçament big-endian

- Motorola 68000
 - Paraules (words) de 32 bits en adreces multiples de 4
 - Mitges paraules (hword) de 16 bits en adreces parelles
 - Bytes en qualsevol adreça



Ubicació de dades en el MIPS R2000

- Directives
 - Octets: `.byte`
 - Mitges paraules: `.half`
 - Paraules senceres: `.word`
 - Cadenes de caràcters:
`.ascii` `.asciiz`
- Alineament automàtic

```
.data 0x1000A000
dni:   .word 0x98534169
lletra: .asciiz "K"
codbar: .half 0x8733
data:   .byte 0x54
nom:    .ascii "Pere"
        .word 0x12345678
        .space 2
```

0x98	0x53	0x41	0x69
0x87	0x33	0x00	0x4B
0x72	0x65	0x50	0x54
0x00	0x00	0x00	0x65
0x12	0x34	0x56	0x78
		0x00	0x00

0x1000A000

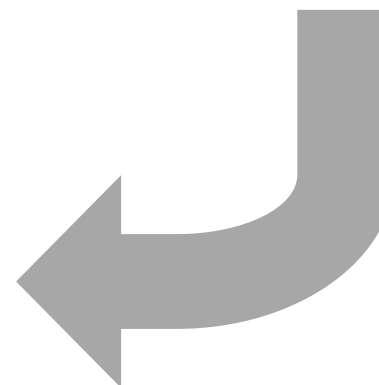
0x1000A004

0x1000A008

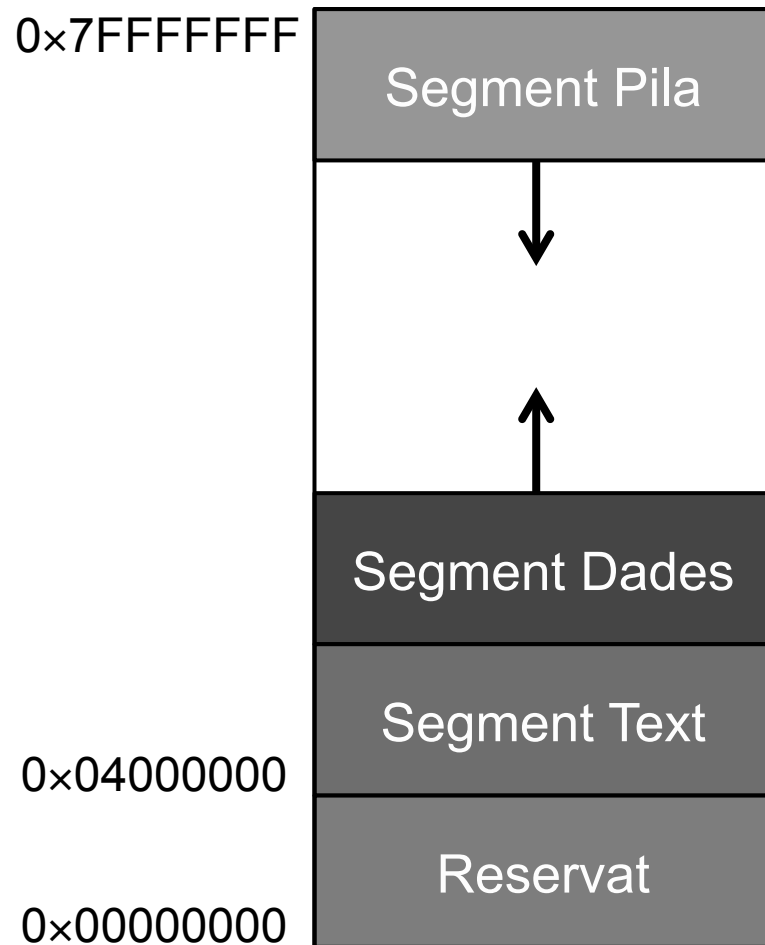
0x1000A00C

0x1000A010

0x1000A014



Organització lògica de la memòria



- La memòria no és un simple espai d'adreçament pla
- Distintes zones o segments des del punt de vista del programari (compilador/SO)
- Els segments estableixen les àrees de memòria on ubicar els diferents tipus d'informació

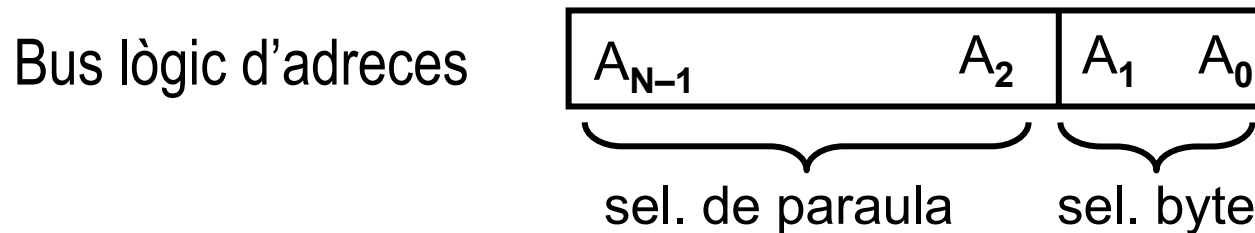
Tipus d'accessos a memòria en el MIPS R2000

- La memòria principal es l'única visible pel programador (amb les instruccions de load i store)
- Lectura (*load*)
 - Octets: **lb** \$3, 0 (\$6)
 - Mitges paraules (16 bits): **lh** \$3, 0 (\$6)
 - Paraules senceres (32 bits): **lw** \$3, 0 (\$6)
- Escriptura (*store*)
 - Octets: **sb** \$3, 0 (\$6)
 - Mitges paraules (16 bits): **sh** \$3, 0 (\$6)
 - Paraules senceres (32 bits): **sw** \$3, 0 (\$6)
- El tipus d'accés depén de:
 - Codi d'operació (codi de la instrucció màquina)
 - Valor de l'adreça (parella, senar, múltiple de 2, de 4, etc.)

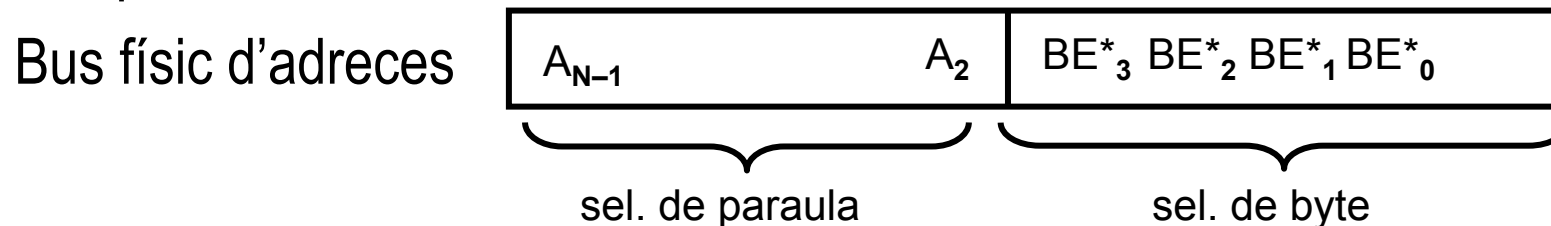
Bits d'adreça i línies d'adreça en el bus

- Per tal d'accedir a una paraula, cal fer-ho al conjunt de bytes que la componen
- Els bits de l'adreça utilitzats pel processador estan estructurats:

exemple amb $W=32$

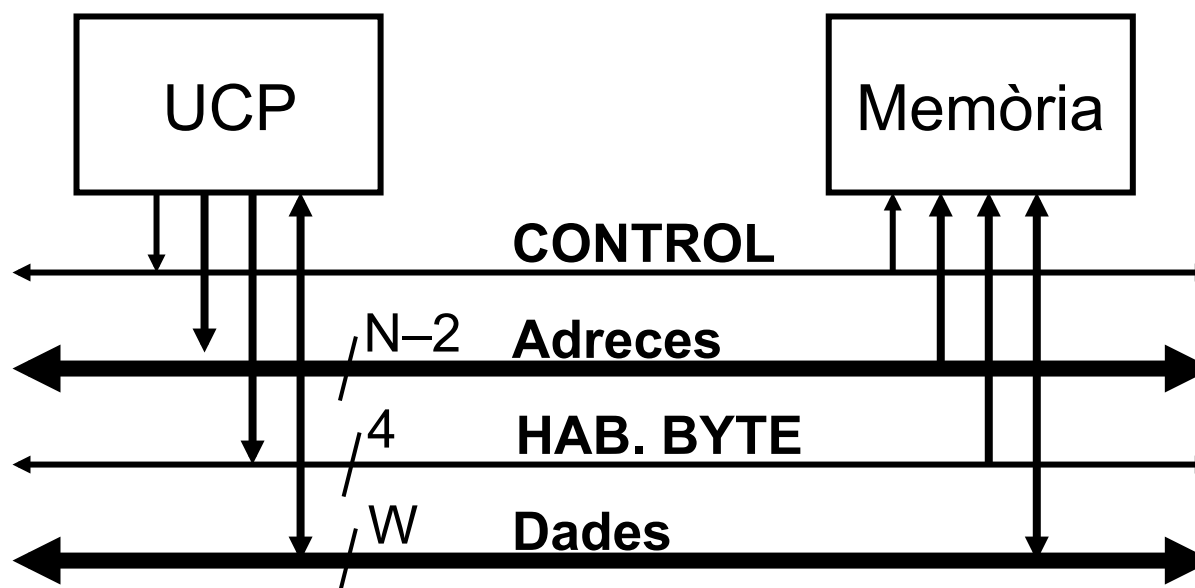


- En el bus, les línies d'adreça sempre seleccionen paraules
- La selecció dels bytes implicats en l'accés es fa per mitjà de línies d'habilitació o màscara de byte (senyals $/BE_i$) emeses pel processador



Estructura del bus de memòria

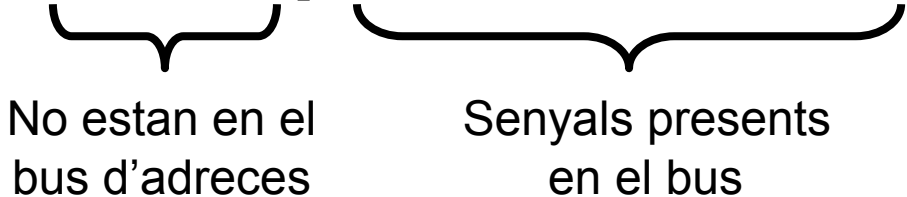
- Exemple amb $W=32$ i N bits d'adreça
 - $N-2$ línies físiques d'adreça $A_{N-1} \dots A_2$
 - 4 línies d'habilitació de byte $BE_0^* \dots BE_3^*$
 - W línies de dades $D_{31} \dots D_0$
 - Línies de control



Generació dels senyals $/BE_i$

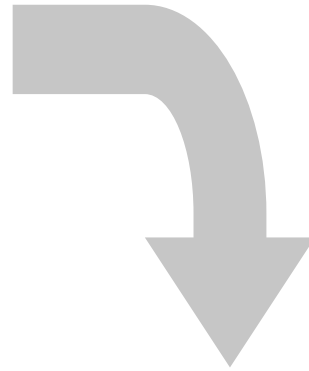
- UCP de 32 bits
 - El circuit de control del processador, segons el tipus d'accés i els bits menys significatius de l'adreça, activa els senyals $/BE_i$

Accés	A_1	A_0	BE_3^*	BE_2^*	BE_1^*	BE_0^*
a byte	0	0	1	1	1	0
	0	1	1	1	0	1
	1	0	1	0	1	1
	1	1	0	1	1	1
a hword	0	0	1	1	0	0
	1	0	0	0	1	1
a word	0	0	0	0	0	0



Exemple d'activacions dels senyals $/BE_i$

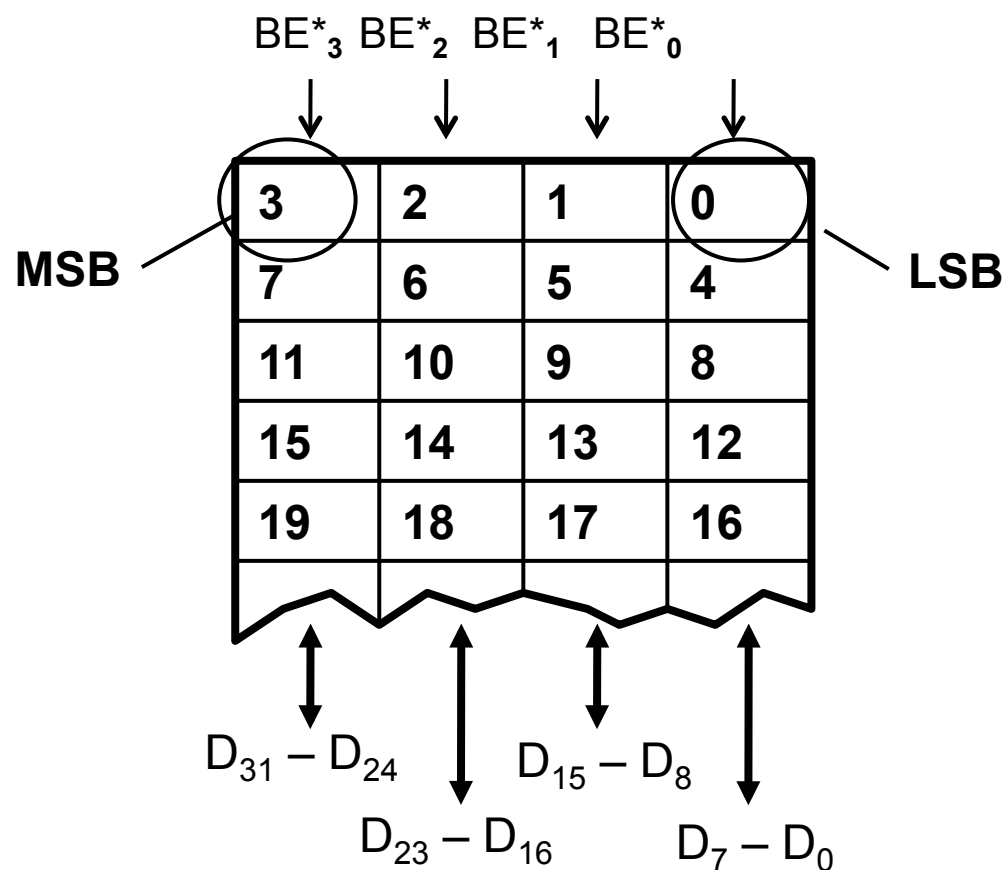
```
li $t0, 0x100000000
lw $a0, 0($t0)
lb $a1, 5($t0)
sh $a2, 6($t0)
sb $a3, 8($t0)
```



	A_1	A_0	BE_3^*	BE_2^*	BE_1^*	BE_0^*
lw	0	0	0	0	0	0
lb	0	1	1	1	0	1
sh	1	0	0	0	1	1
sb	0	0	1	1	1	0

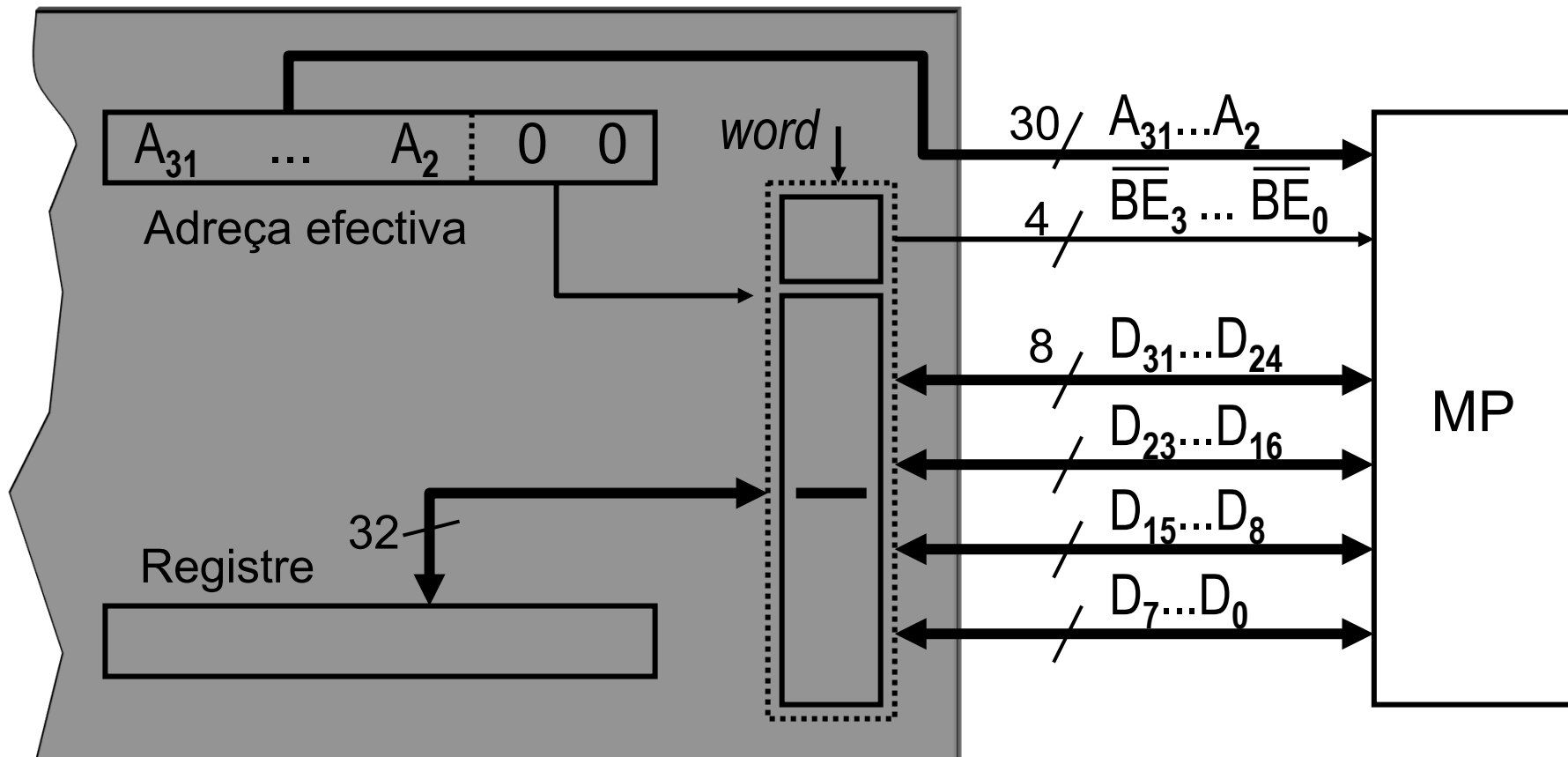
Bus d'adreces i línies de selecció de byte

- El format d'emmagatzematge determina l'associació de línies BE^*_i a bytes del bus de dades



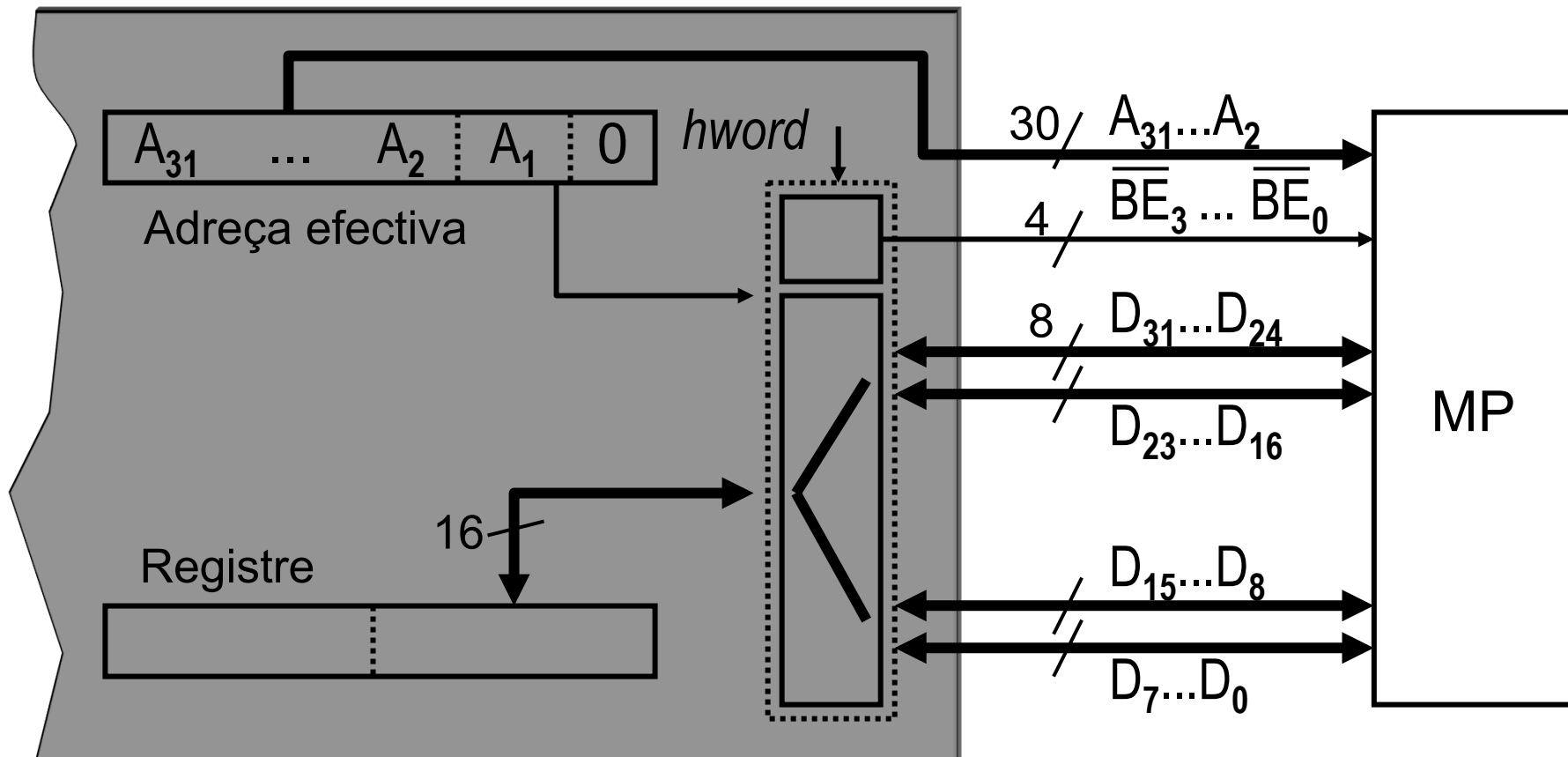
Accés a una paraula de 32 bits

- UCP de 32 bits
 - Adreça efectiva múltiple de 4 (bits $A_1A_0 = 00$)



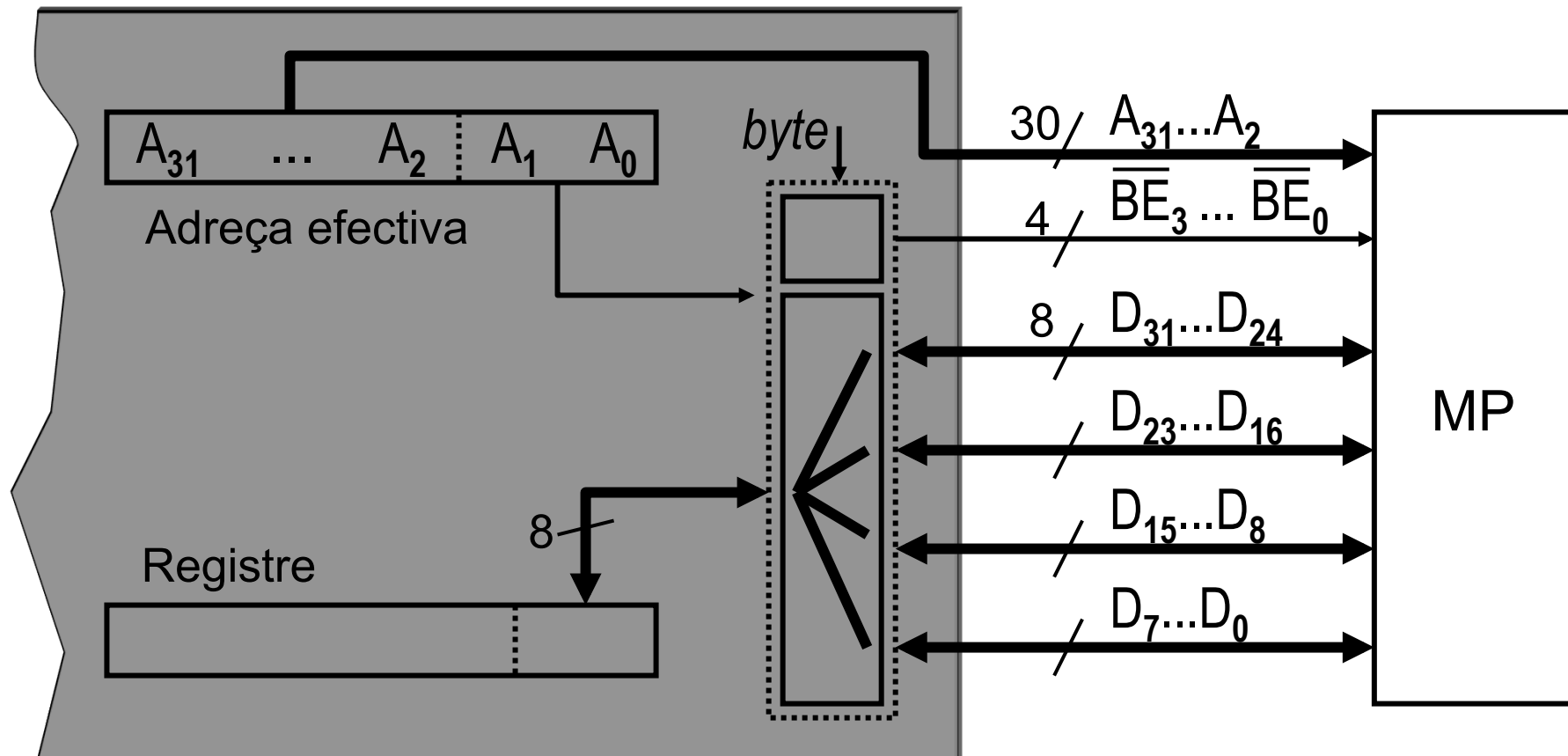
Accés a mitja paraula (16 bits)

- UCP de 32 bits
 - Adreça efectiva múltiple de 2 (bit $A_0 = 0$)



Accés a un byte (8 bits)

- UCP de 32 bits
 - L'adreça efectiva pot prendre qualsevol valor



4. Memòries RAM dinàmiques

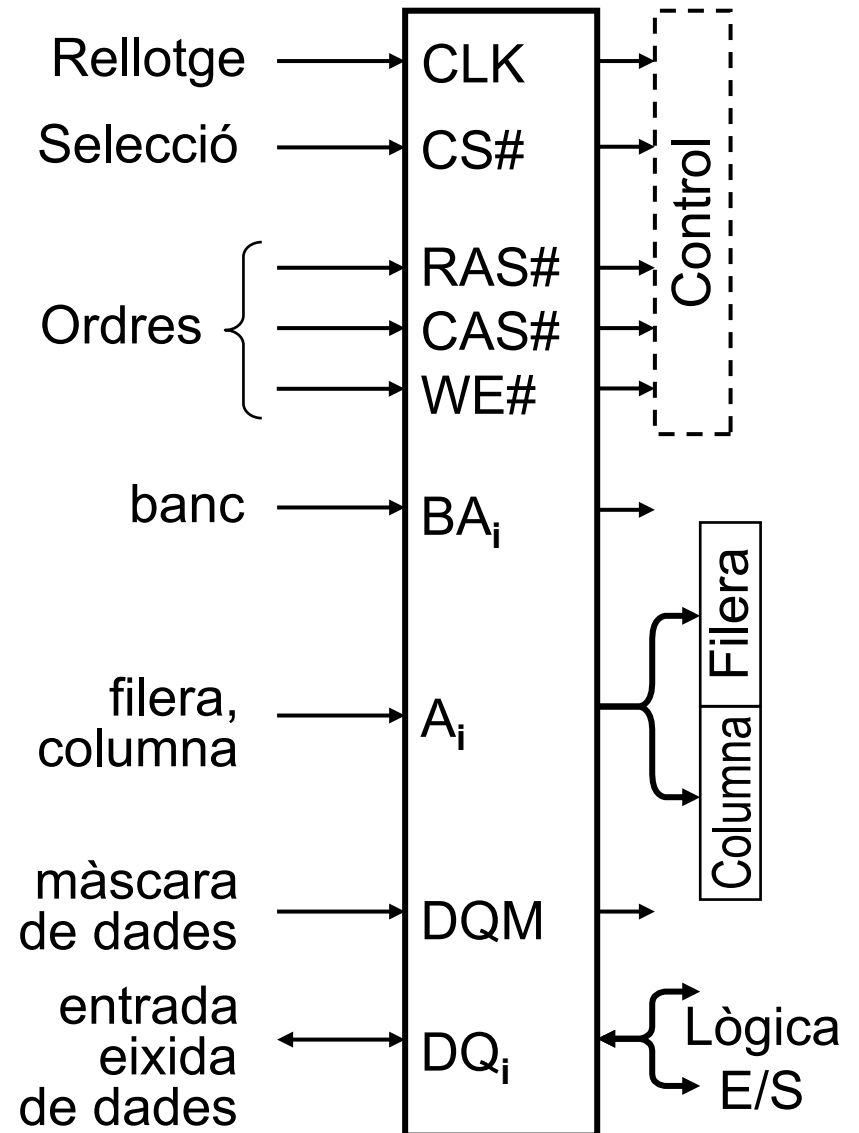
- Organització
- Adreçament
- Temporització
- Xips SDRAM i tendències tecnològiques

Memòries RAM dinàmiques

- Per què RAM dinàmica en la memòria principal?
 - Alta integració
 - La cel·la de memòria dinàmica (transistor+condensador) ocupa molt poc espai de xip (menor que la cel·la de la SRAM; biestable)
 - Al mateix cost de fabricació, més capacitat que SRAM
 - Menor cost per bit
 - Baix consum en relació a la SRAM
 - Amb les memòries DRAM síncrones (SDRAM) actuals es consegueix una amplada de banda major en els accésos a blocs
 - S'adapta als processadors amb memòries cache
- Inconvenients
 - Són més lentes que les SRAM
 - Requereixen d'un refresc periòdic per evitar la pèrdua d'informació

Memòries SDRAM

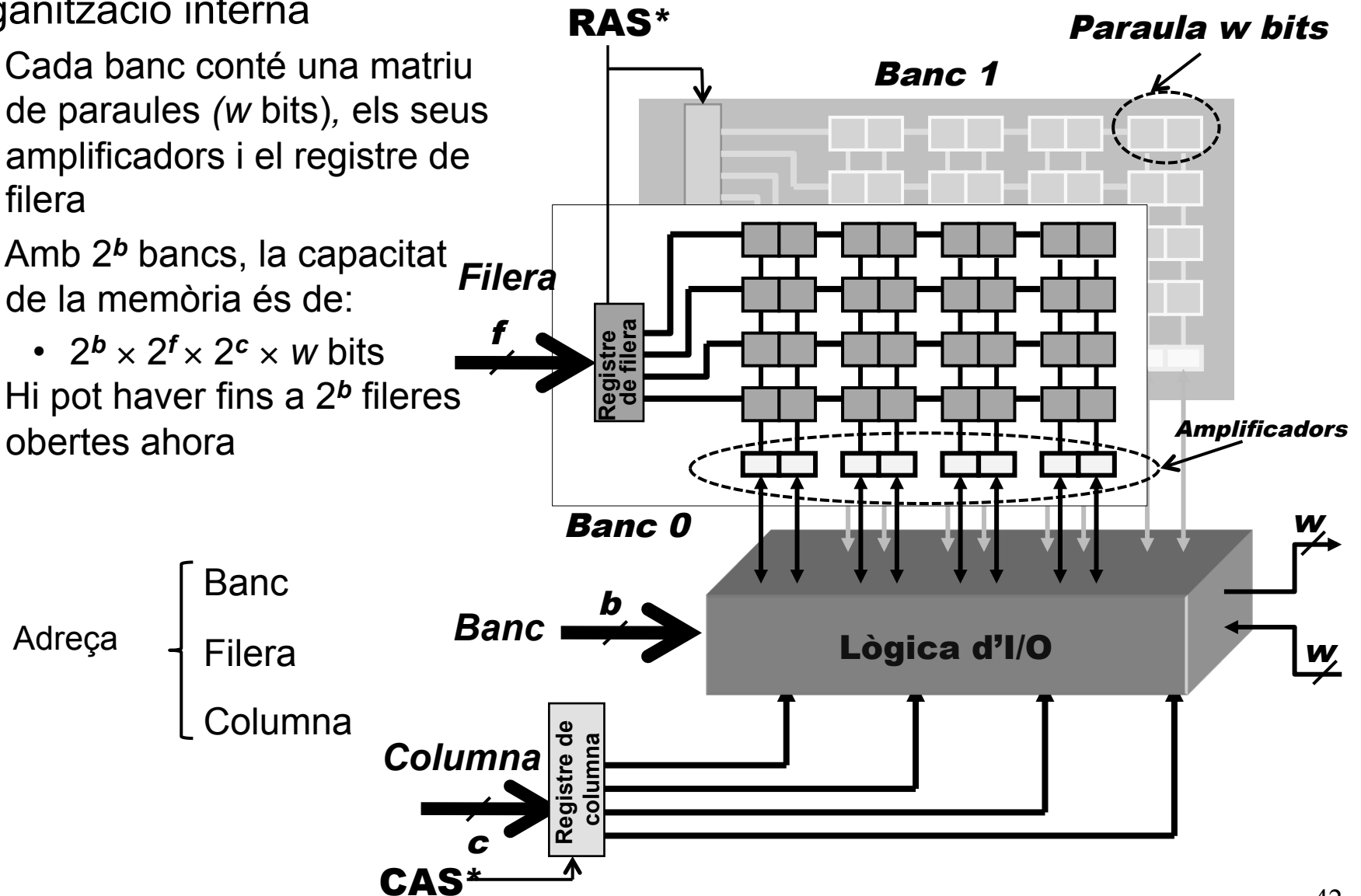
- Interfície del xip
 - Ordres: són combinacions de tres senyals (RAS*, CAS* y WE*)
 - Banc: selecciona un dels bancs interns de la SDRAM
 - Adreça: segons l'ordre, aprofiten per a especificar una filera, una columna o d'altres coses. El nombre de bits de fila sol determinar el nombre de línies
 - Dades: tantes línies com l'ample de paraula
 - Màscara de dades: útil per a seleccionar octets dins la paraula



Memòries SDRAM

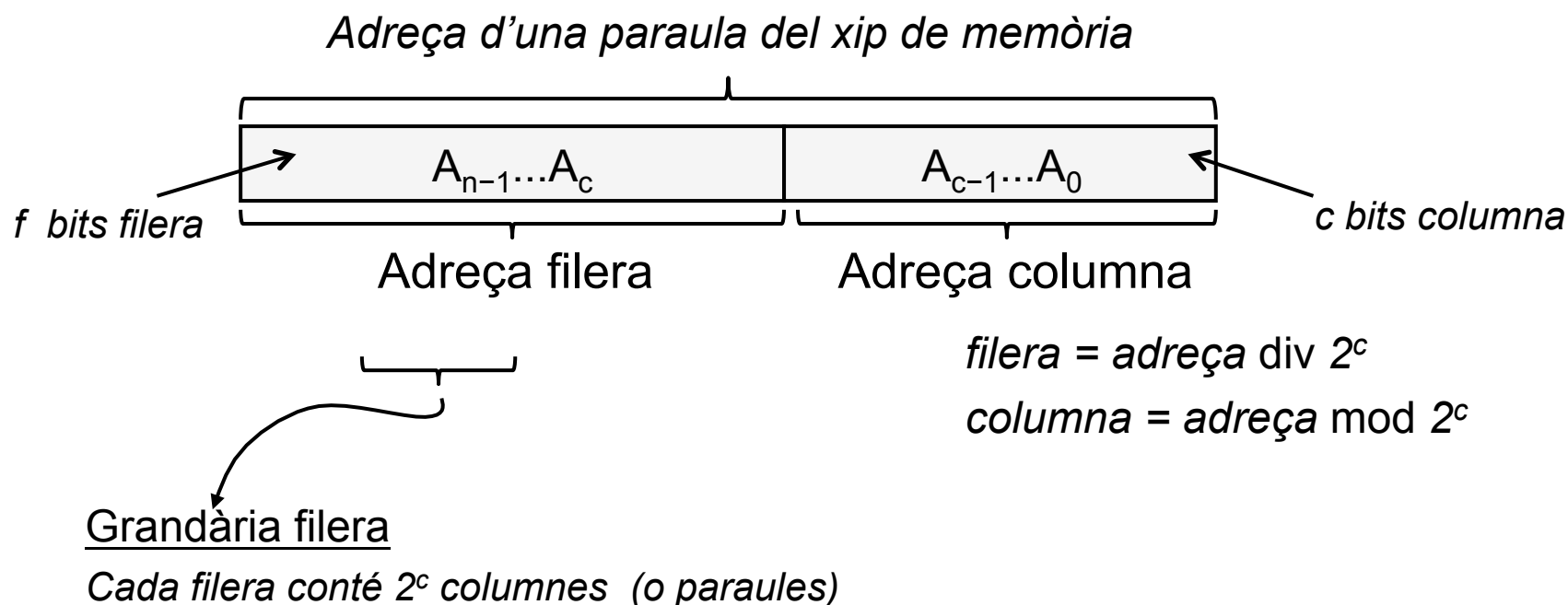
■ Organització interna

- Cada banc conté una matriu de paraules (w bits), els seus amplificadors i el registre de filera
- Amb 2^b bancs, la capacitat de la memòria és de:
 - $2^b \times 2^f \times 2^c \times w$ bits
- Hi pot haver fins a 2^b fileres obertes a la vegada



Adreçament de la matriu DRAM

- Adreces estructurades*
 - En una matru de 2^{f+c} paraules organitzades en 2^f fileres i 2^c columnes, l'adreça de $n = f + c$ bits queda

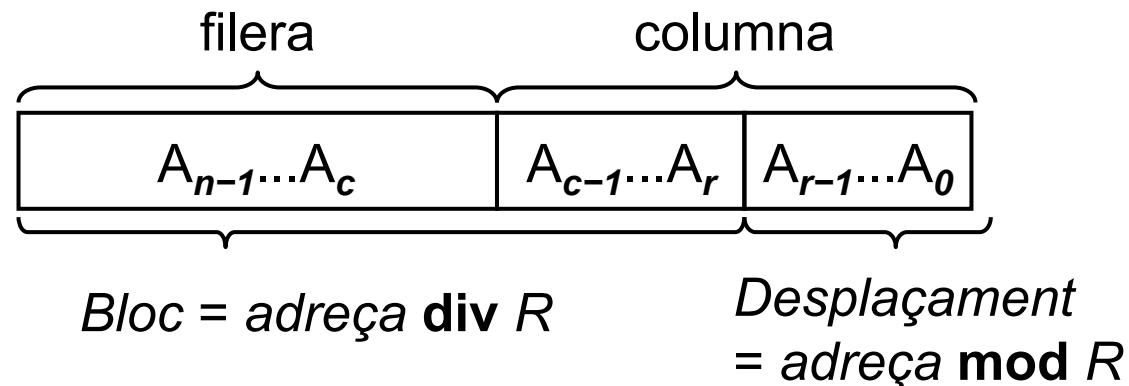


(*) Per simplificació, s'assumeix un únic banc o matriu SDRAM

Adreçament de la matriu DRAM

■ Blocs de memòria

- És la unitat més freqüent de comunicació entre el processador amb memòria cache i la memòria principal
- Un bloc està format per $R = 2^r$ paraules (típicament 4 o 8) consecutives amb adreça de la forma $A_{n-1}...A_rX...X$, encara que podria ser programat entre 1 i la grandària de la filera
- La longitud R de bloc és una constant per a un computador donat
- Dins d'un xip de DRAM, l'adreça queda estructurada de la manera següent:

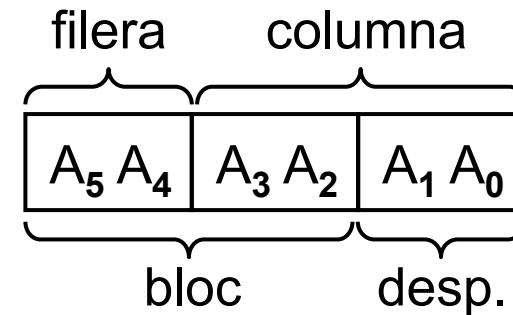


Noteu que en una filera hi ha 2^{c-r} blocs i que cap bloc es troba repartit entre dues fileres

Adreçament de la matriu DRAM

■ Exemple de matriu

- DRAM 64x8 bits
- 4 fileres de 16 paraules
- Blocs de 4 paraules



bloc 0

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63

bloc 9

• Components:

16 x 8 amplificadors

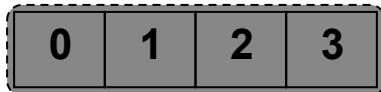
Registre de filera de 2 bits + descodificador de 2 a 4

Registre de columna de 4 bits + descodificador de 4 a 16

Adreçament de la matriu DRAM

- Accés a blocs de memòria
 - Les ordres de lectura i escriptura indiquen l'adreça d'una paraula, però el xip opera amb les R paraules del bloc que la conté
 - La paraula adreçada és la primera transmesa, seguida de la resta del bloc en forma de ràfega de dades (burst)
 - La seqüència de paraules accedides fins completar el bloc depén de l'adreça especificada en l'ordre

*Exemple amb
tamany bloc = 4*

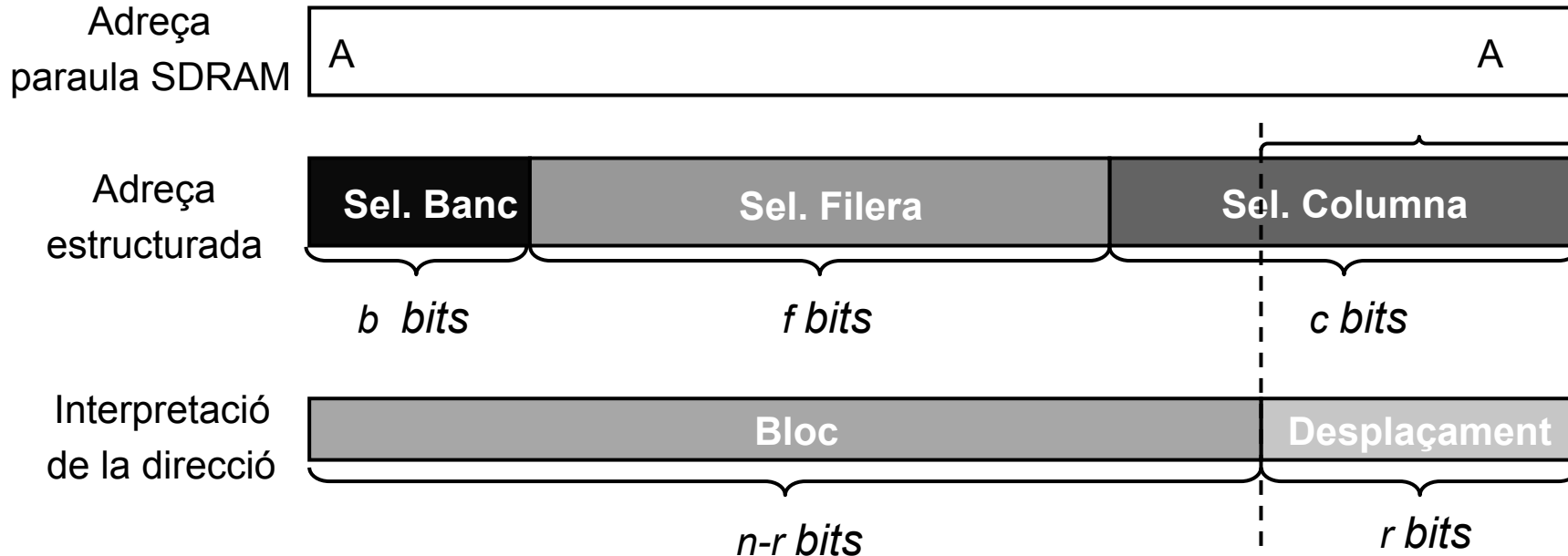


bloc 0

Adreça	Seqüència d'accesos
0	0-1-2-3
1	1-2-3-0
2	2-3-0-1
3	3-0-1-2

Adreçament complet SDRAM

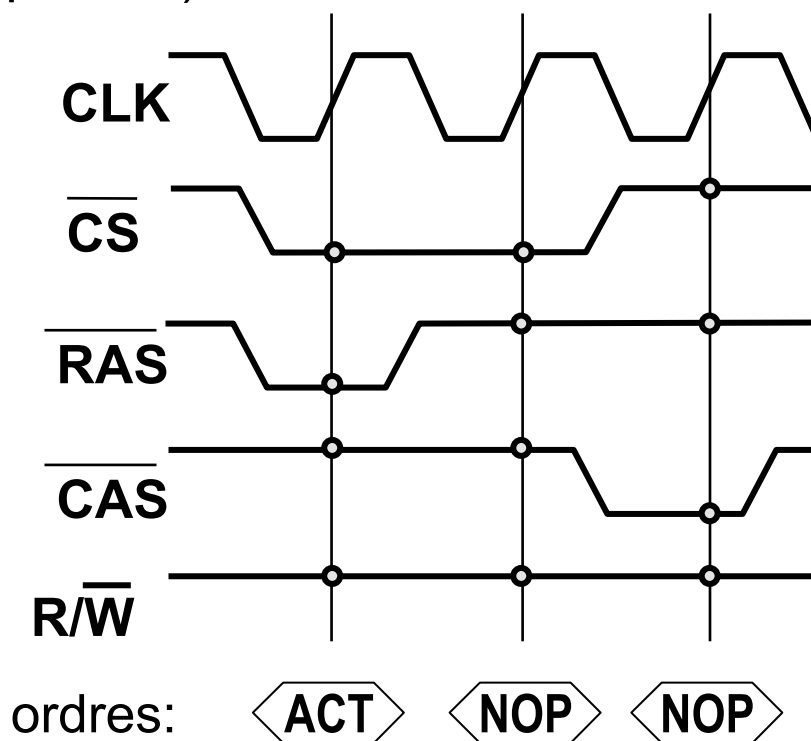
- Grandària SDRAM: $2^n \times w$ bits
- Organització: 2^b bancs \times 2^f fileres \times 2^c columnes
- Format adreça: $n = b + f + c$
- Blocs de 2^r paraules



Memòries SDRAM

■ Emissió d'ordres

- Els flancs ascendents del senyal de rellotge marquen els instants en que el xip accepta ordres
- Si el xip està deshabilitat per CS#, l'ordre interpretada és NOP (cap operació)



Ordres més importants:

ACTIVATE

READ

WRITE

PRECHARGE

NOP (també quan $CS^*=1$)

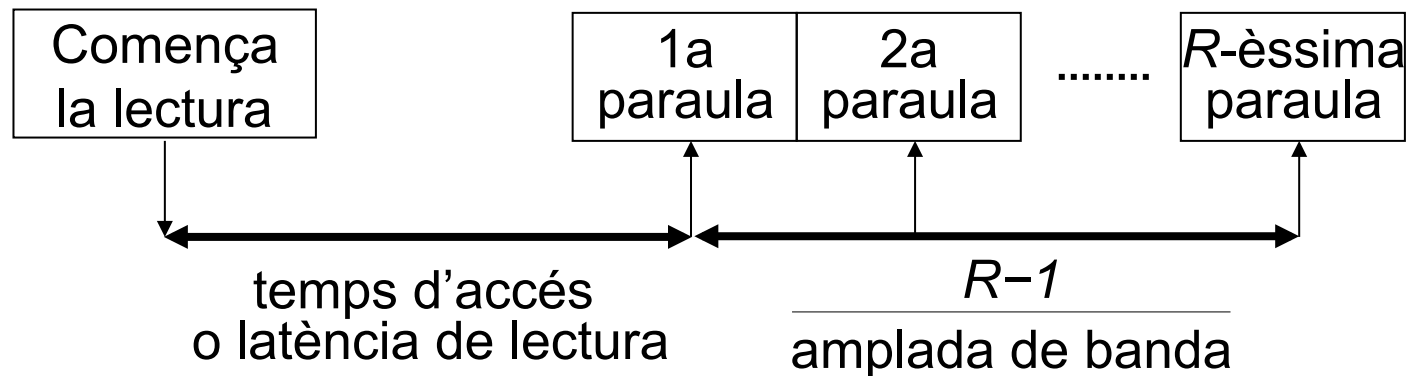
Memòries SDRAM

- Activació
 - Carrega el registre de fila, desencadenat per l'activació del senyal /RAS (Row Address Strobe). La filera seleccionada queda “oberta” i els amplificadors s'apliquen sobre la filera
 - Després de l'activació, la filera completa queda retesa per amplificadors, i es pot accedir a diferents columnes repetint les operacions de lectura o escriptura sobre la filera oberta
- Operació: lectura o escriptura
 - El senyal /CAS (Column Address Strobe) carrega el registre de columna i el senyal R/W* activa la lògica d'E/E a la columna seleccionada
- Precàrrega
 - La precàrrega allibera (o tanca) la fila activa i els amplificadors queden en repós. Ja no es pot llegir ni escriure sobre la filera fins després de la propera activació

(*) Cadascuna de les ordres anteriors van lligades a un banc determinat.

Temporització memòries SDRAM

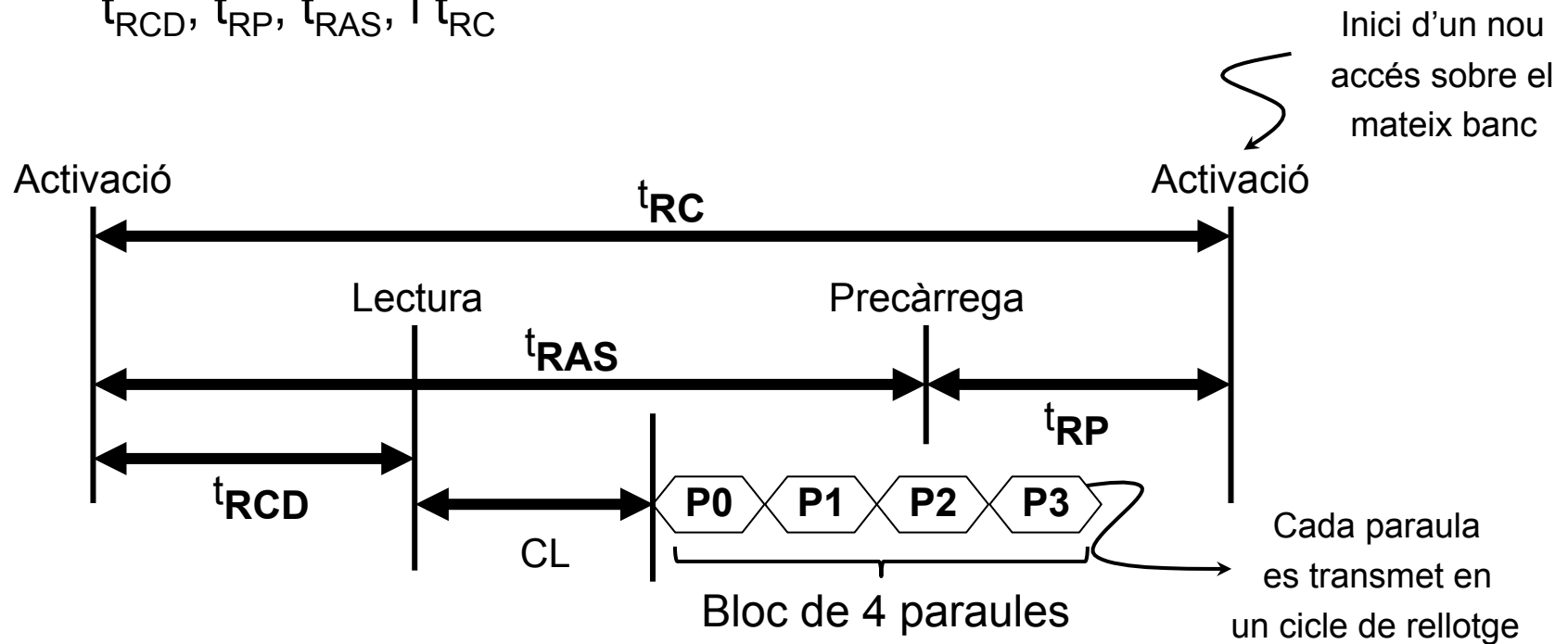
- Accés a blocs de memòria: Temporització
 - Les lectures i escriptures afecten a les R paraules d'un bloc
 - Una volta la filera que conté el bloc està activa, la transferència és ràpida
 - El temps necessari per a **llegir** un bloc té dues components:
 - La **latència** o temps d'accés a la primera paraula, independent de R
 - El temps de transmissió de les paraules restants, que depèn de R i de la velocitat de la lògica d'E/S del xip o **amplada de banda**



Temporització memòries DRAM

- Accés a blocs de memòria
 - La seqüència d'ordres en un accés té la forma:
 - ACTIVE — READ — PRECHARGE
 - ACTIVE — WRITE — PRECHARGE

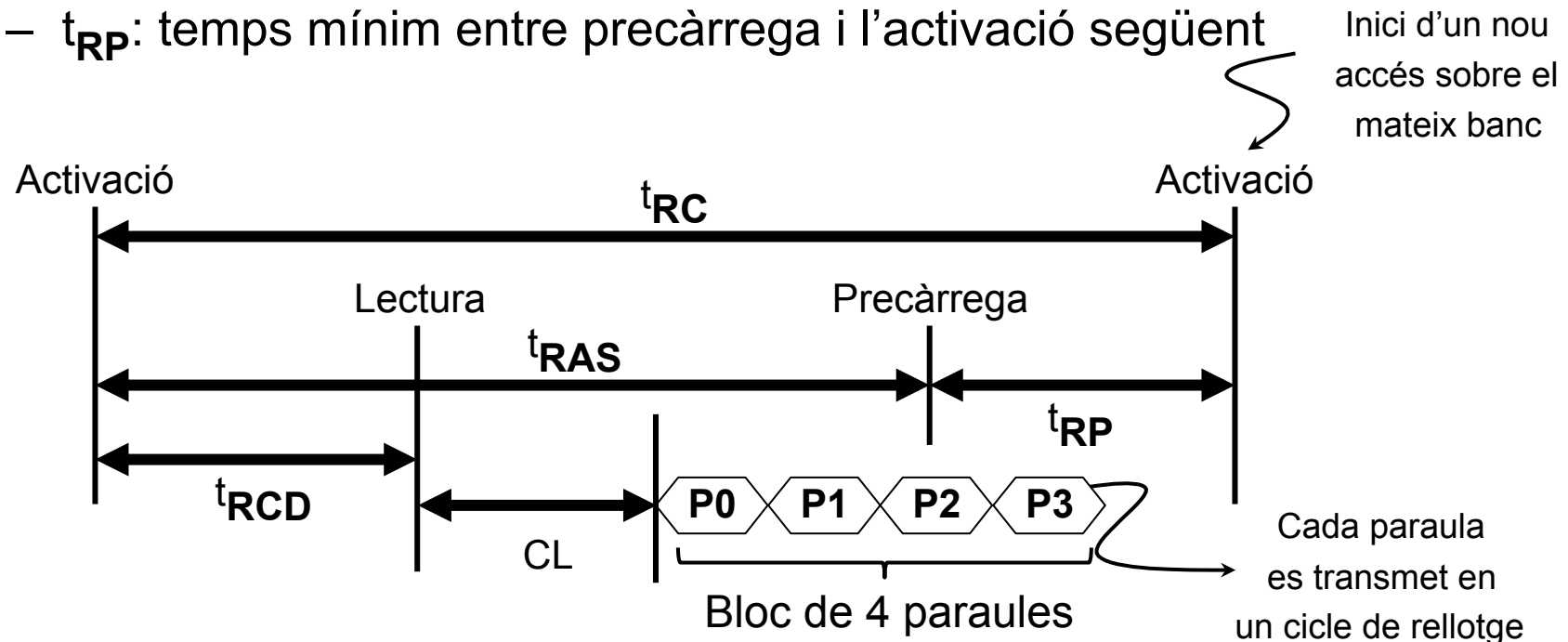
on cal inserir ordres NOP per satisfer restriccions temporals, com t_{RCD} , t_{RP} , t_{RAS} , i t_{RC}



Temporització memòries SDRAM

■ Paràmetres temporals importants

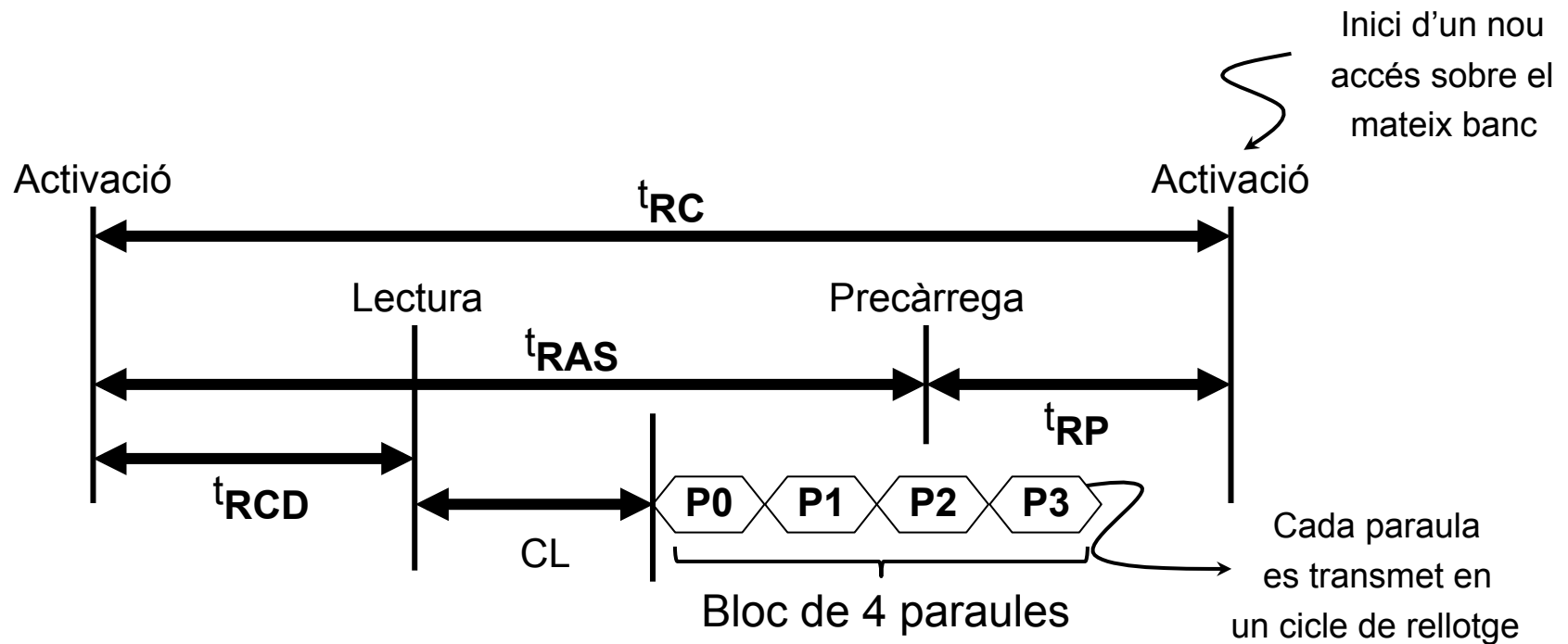
- t_{RCD} : temps mínim des de l'activació d'una filera fins a l'inici de l'operació. Contribueix al temps d'accés
- t_{RAS} : temps mínim entre l'activació i la precàrrega d'una filera
- t_{RC} : temps mínim entre dues activacions. S'entén com a temps de cicle
- t_{RP} : temps mínim entre precàrrega i l'activació següent



Temporització memòries SDRAM

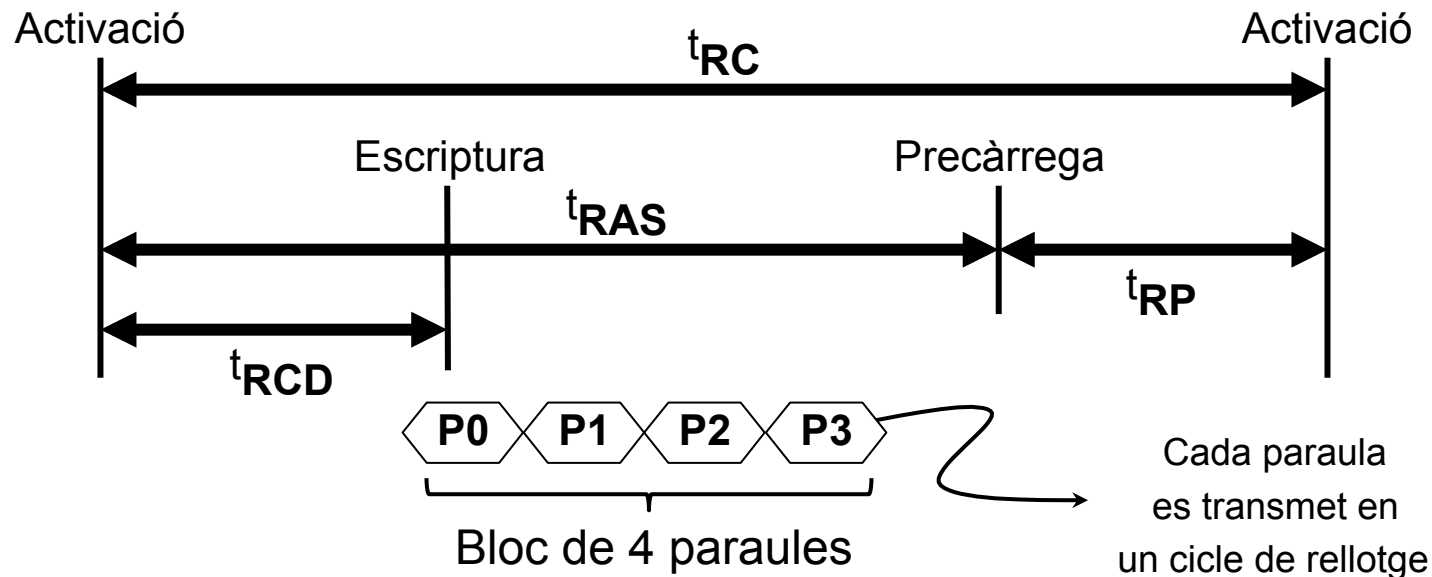
- Latència de CAS

- t_{CL} : latència de CAS o temps màxim entre l'inici de la lectura i l'eixida de dades vàlides
- Temps d'accés a les dades $\geq t_{RCD} + t_{CL}$



Temporització memòries SDRAM

- Operació d'escriptura
 - La transferència d'escriptura comença en el mateix cicle en el qual es dona l'ordre WRITE



Temporització memòries SDRAM

■ Restriccions temporals

- Un xip SDRAM té una freqüència màxima (o un període de rellotge mínim) de funcionament. L'usuari pot fer servir aquesta freqüència o altra inferior
- Per a una freqüència de rellotge donada el controlador haurà d'inserir cicles NOP entre les ordres ACTIVE, READ/WRITE i PRECHARGE d'una operació i també entre operacions successives per tal de satisfer les restriccions temporals de la matriu DRAM
- Exemple:

	50 MHz ($t_{CK} = 20 \text{ ns}$)	100 MHz ($t_{CK} = 10 \text{ ns}$)	166 MHz ($t_{CK} = 6 \text{ ns}$)
$t_{RCD} = 18 \text{ ns}$	1	2	3
$t_{RAS} = 42 \text{ ns}$	3	5	7
$t_{RC} = 60 \text{ ns}$	3	6	10
$t_{RP} = 18 \text{ ns}$	1	2	3

Temporització memòries SDRAM

- Freqüència de rellotge i latència de CAS
 - La latència de CAS (CL) és un valor que s'escriu en el registre de mode del xip durant l'inicialització de la memòria
 - Per a una freqüència donada, el xip té un CL mínim
 - o al revés: per a fer servir un valor CL donat, el xip té una freqüència màxima (o un període mínim)

PARAMETER		SYMBOL	MIN	MAX	UNITS
Clock cycle time	CL = 3	$t_{CK}(3)$	6		ns
	CL = 2	$t_{CK}(2)$	10		ns
	CL = 1	$t_{CK}(1)$	20		ns
ACTIVE to PRECHARGE command		t_{RAS}	42	120k	ns
ACTIVE to ACTIVE command period		t_{RC}	60		ns
AUTO REFRESH period		t_{RFC}	60		ns
ACTIVE to READ or WRITE delay		t_{RCD}	18		ns
Refresh period (4,096 rows)		t_{REF}		64	ms
PRECHARGE command period		t_{RP}	18		ns
ACTIVE bank to ACTIVE bank command		t_{BBN}	12		ns

Temporització memòries SDRAM

- Temporització de la transferència
 - El moment òptim d'enviament de l'ordre de PRECHARGE coincideix amb $R^{(1)}$ cicles després d'ordenar l'operació de READ⁽²⁾ o WRITE
 - Les ordres READ i WRITE tenen un mode automàtic que provoca la precàrrega en el moment òptim i estalvia l'enviament d'una ordre PRECHARGE explícita.

(1) R representa la grandària del bloc (nombre de paraules que s'accedeixen)

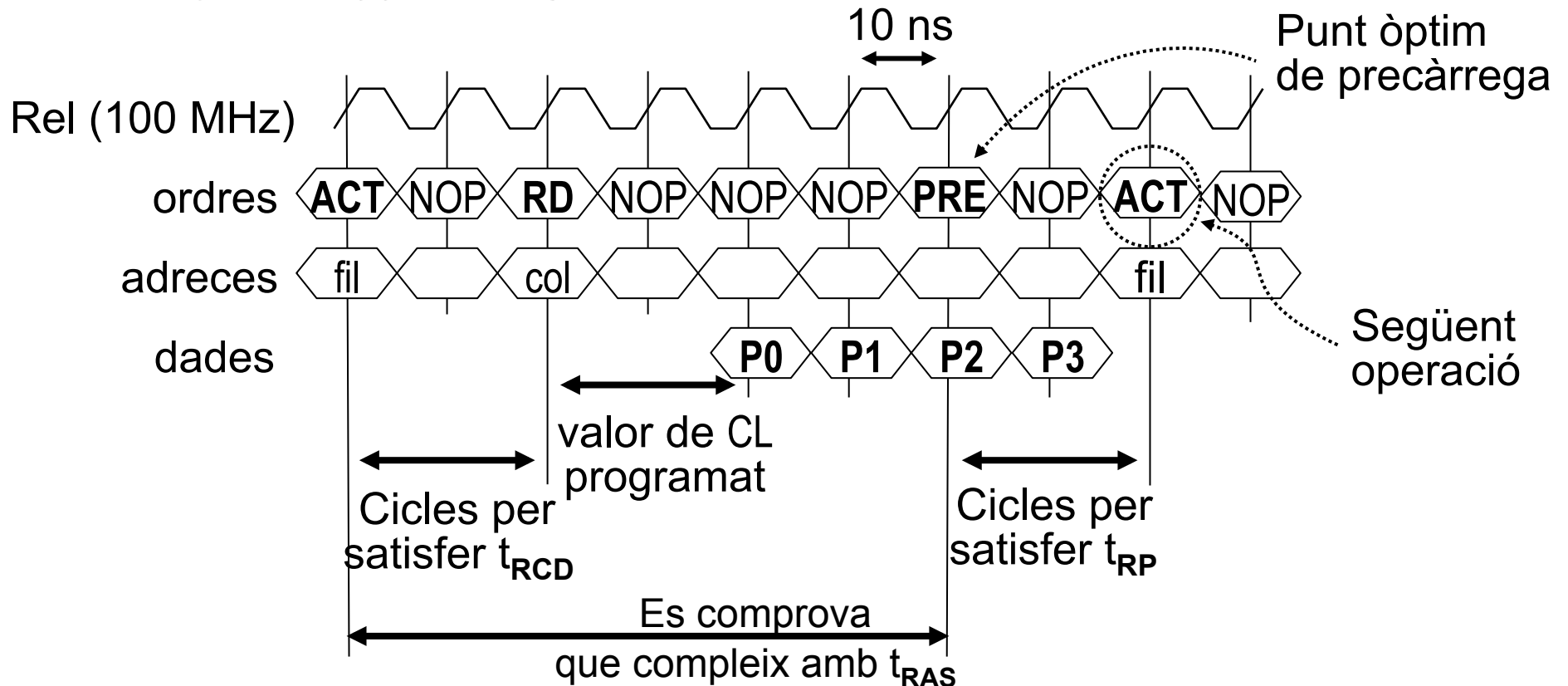
(2) En el cas de lectura, és equivalent a enviar l'ordre PRECHARGE

CL-1 cicles abans de transferir-se la darrera paraula del bloc

Temporització memòries SDRAM

- Cronograma de lectura: exemple

- Triem $f = 100 \text{ MHz}$ i $CL = 2$

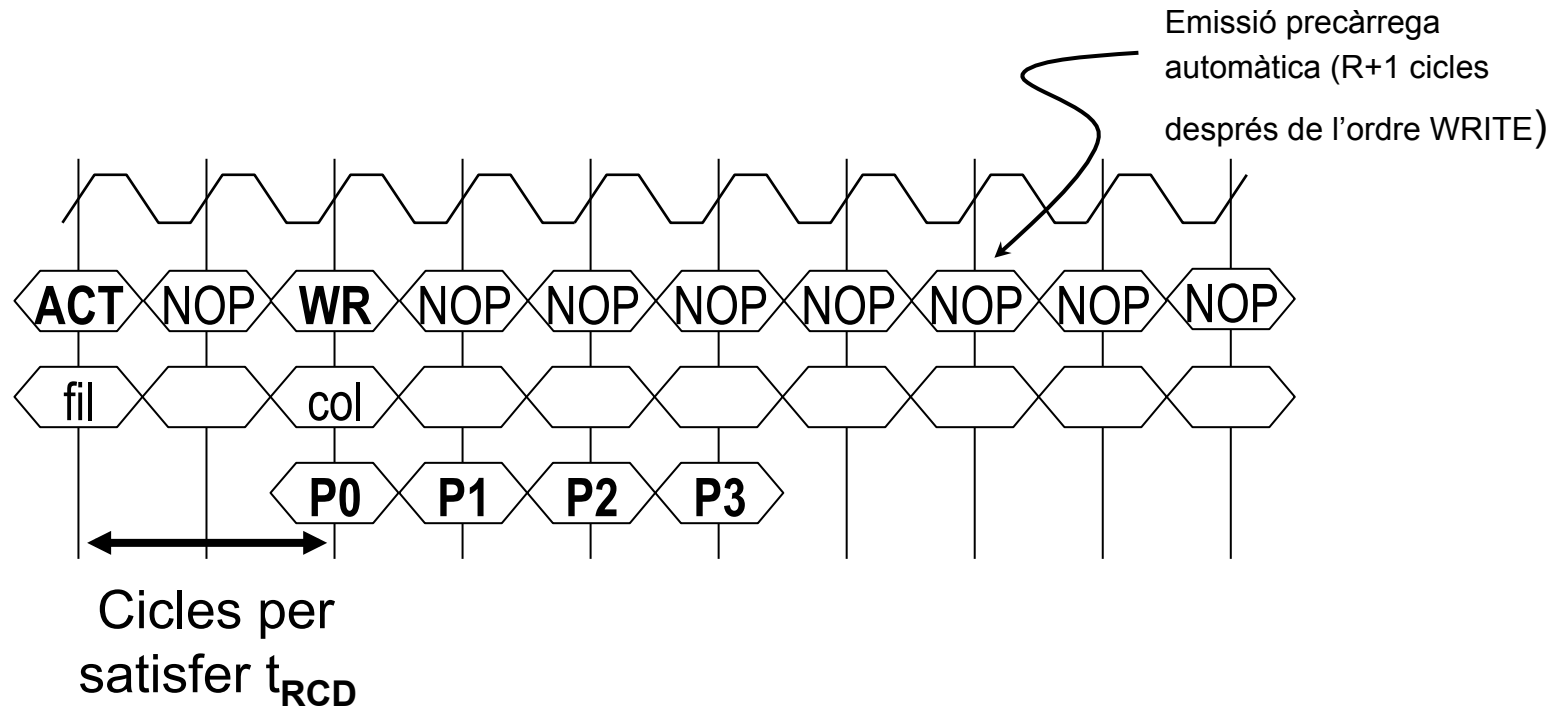


Latència de lectura resultant = $4 \times 10 = 40 \text{ ns}$

Amplada de banda = $100 \cdot 10^6 \times w \text{ bits/s}$

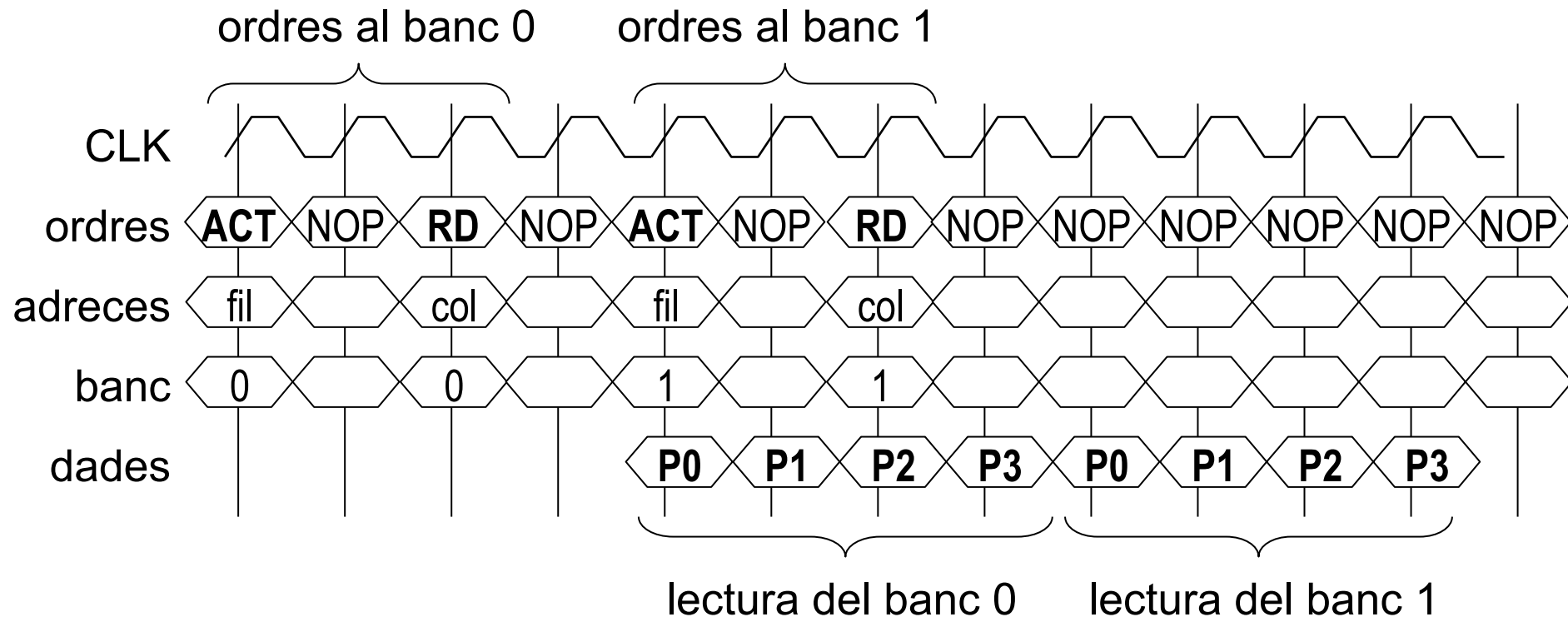
Temporització memòries SDRAM

- Cronograma d'escriptura
 - A 100 MHz. Suposem precàrrega automàtica



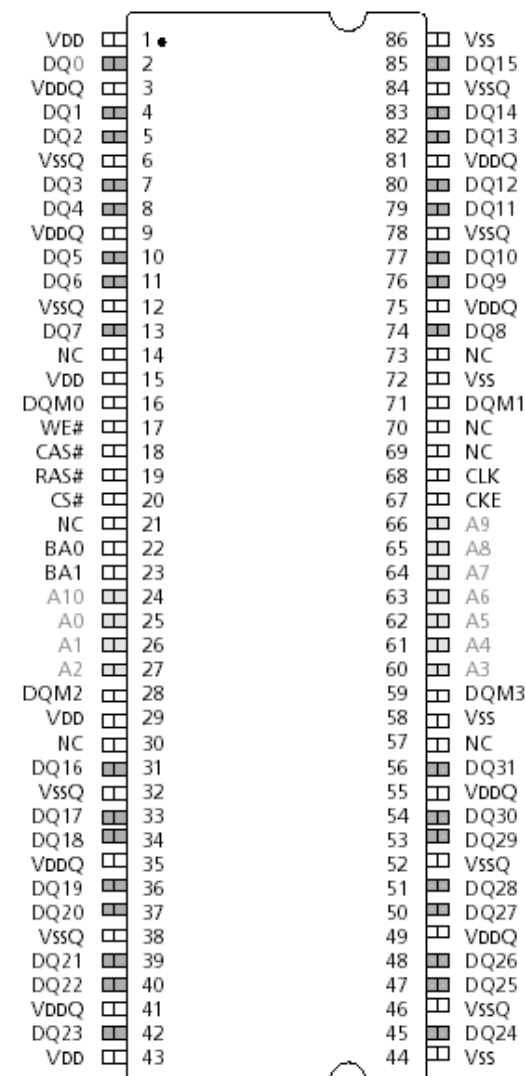
Temporització memòries SDRAM

- Cronograma de lectura amb bancs
 - Es poden donar ordres a bancs independents
 - *Pipelining*: les dades ixen en el mateix ordre amb el qual es demanen, amb una latència constant

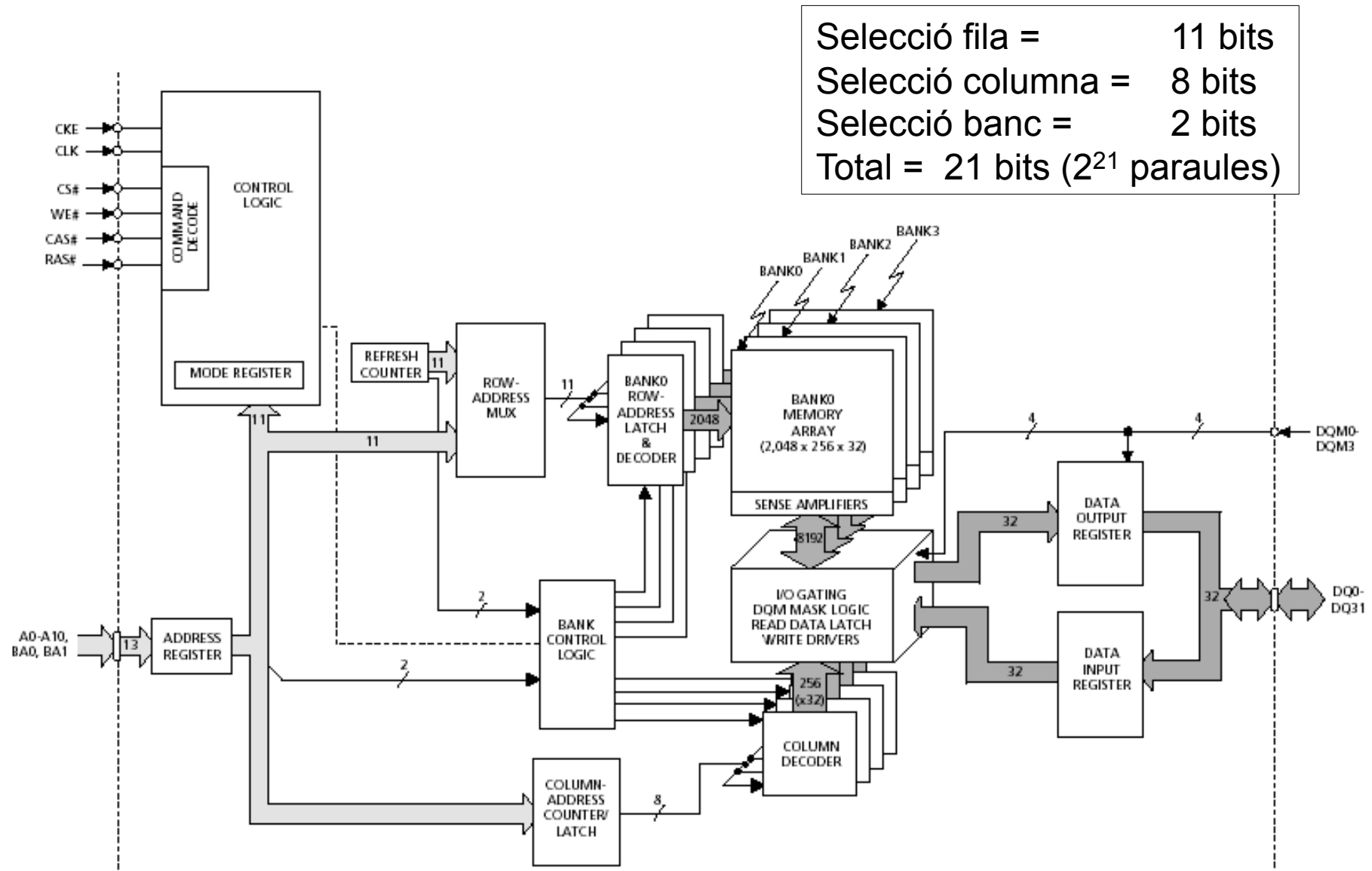


Xip comercial SDRAM 2Mx32 bits (64 Mbits)

- Model: MT49LC2M32B2 (www.micron.com)
- Encapsulat en plàstic amb 86 potetes
- Freqüències de rellotge i temps de cicle
 - 143 , 166, 183 i 200 MHz
 - 7 ns, 6 ns, 5.5 ns, 5 ns, respectivament
- Latència de CAS programable
 - 143, i 166 MHz: 1, 2 ó 3 cicles
 - 183 i 200 MHz: 3 cicles
- Ràfegues programables
 - 1, 2, 4, 8 o 256 paraules de 32 bits
- Organització en bancs
 - 4 bancs de 2048x256x32 bits
 - $2\text{M} \times 32 = 2^{26} = 4 \times 2^{24} = 4 \times (2^{11} \times 2^8 \times 32)$
- Període de refresc: 64 ms (comptador: 11 bits)



Xip comercial SDRAM 2Mx32 bits (64 Mbits)



Memòries SDRAM

- Technologies

- Memòries SDRAM (*Synchronous* DRAM): els xips tenen una interfície síncrona regulada per una ona de rellotge de freqüència característica: 100, 133, 200, etc. MHz
- Estàndards d'interés, mantinguts per JEDEC (*Joint Electron Device Engineering Council*)
 - SDRAM, la més antiga, de la qual deriven les tecnologies posteriors
 - DDR-SDRAM (*Double Data Rate* SDRAM), en versions successives: DDR, DDR2 i DDR3
- Les tecnologies DDR, DDR2 i DDR3 multipliquen per 2, 4 i 8, respectivament, l'amplada de banda de la SDRAM
- Per a una tecnologia donada, l'amplada de banda depén linealment de la freqüència de rellotge

Memòries SDRAM

- Com explicar l'increment de l'amplada de banda?
 - JEDEC va proposar les tecnologies DDR, DDR2 i DDR3 com una solució ràpida, simple i de baix cost per tal d'incrementar l'amplada de banda de les memòries sense incrementar la seva complexitat VLSI
 - Per aixó, es va proposar:
 - 1) que les memòries treballen amb dos rellotges, un intern per accedir a les matrius DRAM i l'altre extern per fer les transferències de dades
 - 2) utilitzar la tècnica de prebusca (PREFETCH)
 - La freqüència interna és la mateixa en SDRAM, DDR, DDR2 i DDR3 mentre que l'externa és 2 i 4 voltes major que l'interna en DDR2 i DDR3, respectivament
 - S'accedeix simultaniament a 2, 4 o 8 paraules a la freqüència interna de rellotge i es transfereixen d'una en una al/des de l'exterior a una freqüència efectiva 2, 4 o 8 voltes major

Memòries SDRAM

- Tendències

- Increment de la densitat d'integració
- Increment de l'amplada de banda apujant la freqüència del rellotge
- Baixada de la tensió d'alimentació. El calor generat (proporcional a V^2 i a f) limita la densitat i la freqüència dels circuits integrats

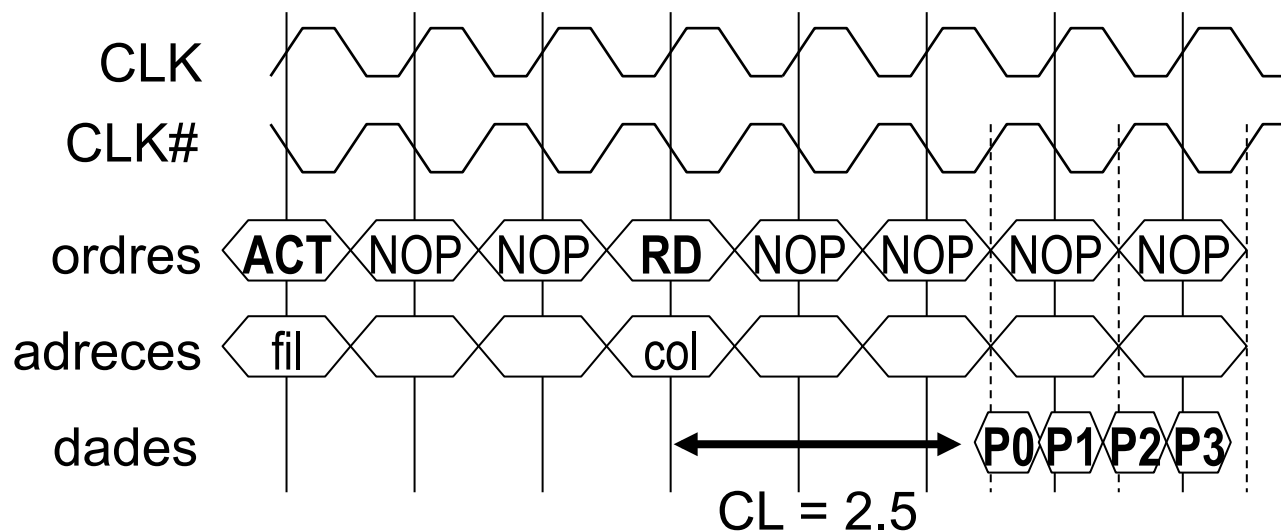
Any	Tecnologia	Densitats (bits)	Vdd (V)	Freqüències (MHz)
1997	SDRAM	64M–512 M	3.3	66–167
1999	DDR	128M–1G	2.5	133–200
2004	DDR2	256M–2G	1.8	200–400
2006	DDR3	1G–4G?	1.5	400–800?
2013	DDR4		1.2	

- Desenvolupament de la lògica de control per tal d'aprofitar l'amplada de banda
- Les latències de lectura DRAM baixen molt lentament al llarg del temps

1.5 1.2 1.0 0.8 0.6 0.5 0.4 0.3 0.2 0.1 0.05 0.025 0.0125 0.00625 0.003125 0.0015625 0.00078125 0.000390625 0.0001953125 0.00009765625 0.000048828125 0.0000244140625 0.00001220703125 0.000006103515625 0.0000030517578125 0.00000152587890625 0.000000762939453125 0.0000003814697265625 0.00000019073486328125 0.000000095367431640625 0.0000000476837158203125 0.00000002384185791015625 0.000000011920928955078125 0.0000000059604644775390625 0.00000000298023223876953125 0.000000001490116119384765625 0.0000000007450580596923828125 0.00000000037252902984619140625 0.000000000186264514923095703125 0.0000000000931322574615478515625 0.00000000004656612873077392578125 0.000000000023283064365386962890625 0.0000000000116415321826934814453125 0.00000000000582076609134674072265625 0.000000000002910383045673370361328125 0.0000000000014551915228366851806640625 0.00000000000072759576141834259033203125 0.000000000000363797880709171295166015625 0.0000000000001818989403545856475830078125 0.00000000000009094947017729282379150390625 0.000000000000045474735088646411895751953125 0.0000000000000227373675443232059478759765625 0.00000000000001136868377216160297393798828125 0.000000000000005684341886080801486968994140625 0.0000000000000028421709430404007434844970703125 0.00000000000000142108547152020037174224853515625 0.000000000000000710542735760100185871124267578125 0.0000000000000003552713678800500929355621337890625 0.00000000000000017763568394002504646778106689453125 0.000000000000000088817841970012523233890533447265625 0.0000000000000000444089209850062616169452667236328125 0.00000000000000002220446049250313080847263336181640625 0.000000000000000011102230246251565404236316680908203125 0.0000000000000000055511151231257827021118158404541015625 0.00000000000000000277555756156289135105590792022705078125 0.000000000000000001387778780781445675527953960113525390625 0.0000000000000000006938893903907228377639769800567626953125 0.00000000000000000034694469519536141888198849002838134765625 0.000000000000000000173472347597680709440994245014190673828125 0.0000000000000000000867361737988403547204971225070953369140625 0.00000000000000000004336808689942017736024856125354766845703125 0.00000000000000000002168404344971008868012428062677383428515625 0.000000000000000000010842021724855044340062140313386917142578125 0.0000000000000000000054210108624275221700310701566934587112890625 0.00000000000000000000271050543121376108501553507834672935564453125 0.000000000000000000001355252715606880542507767539173364677822265625 0.0000000000000000000006776263578034402712538837695866823389111328125 0.00000000000000000000033881317890172013562694188479334116945556640625 0.000000000000000000000169406589450860067813470942396670584727783203125 0.0000000000000000000000847032947254300339067354711983352923638916015625 0.00000000000000000000004235164736271501695336773559916764618194580078125 0.000000000000000000000021175823681357508476683867799583823090972900390625 0.0000000000000000000000105879118406787542383419338997919115454864501953125 0.00000000000000000000000529395592033937711917096694989595577274322509765625 0.000000000000000000000002646977960169688559585483474947977886371612548828125 0.0000000000000000000000013234889800848442797927417374739889431858062744140625 0.00000000000000000000000066174449004242213989637086873699447159290313720703125 0.000000000000000000000000330872245021211069948185434368497235796451568603515625 0.0000000000000000000000001654361225106055349740927171842486178982257843017578125 0.00000000000000000000000008271806125530276748704635859212430894911289215087890625 0.000000000000000000000000041359030627651383743523179296062154474556446075439453125 0.0000000000000000000000000206795153138256918717615896480310772372782230377197265625 0.00000000000000000000000001033975765691284593588079482401553861863911151885986328125 0.000000000000000000000000005169878828456422967940397412007769309319555759429931640625 0.0000000000000000000000000025849394142282114839701987060038846546597778797149658203125 0.00000000000000000000000000129246970711410574198509935300194223272988893988748291015625 0.000000000000000000000000000646234853557052870992549676500971116364944469943741455078125 0.0000000000000000000000000003231174267785264354962748382504855581824722349718707275390625 0.00000000000000000000000000016155871338926321774813741912524277909123611748593536376953125 0.000000000000000000000000000080779356694631608874068709562621389545618058742967681884765625 0.0000000000000000000000000000403896783473158044370343547813106947728090293714838409423828125 0.00000000000000000000000000002019483917365790221851717739065534738640451468574192047119140625 0.000000000000000000000000000010097419586828951109258588695327673693202257342870960235595703125 0.0000000000000000000000000000050487097934144755546292943476638368466011286714354801177978515625 0.00000000000000000000000000000252435489670723777731464717383191842330056433571774005889892578125 0.000000000000000000000000000001262177448353618888657323586915959211650282167858870029449462890625 0.0000000000000000000000000000006310887241768094443286617934579796058251410839294350014724731453125 0.00000000000000000000000000000031554436208840472216433089672898980291257054196471750073623657265625 0.000000000000000000000000000000157772181044202361082165448364494901456285270982358750368118286328125 0.0000000000000000000000000000000788860905221011805410827241822474507281426354911793751840591431640625 0.00000000000000000000000000000003944304526105059027054136209112372536407131774558968759202957158203125 0.000000000000000000000000000000019721522630525295135270681045561862682035658872794843796014785791015625 0.000000000000000000000000000000009860761315262647567635340522780931341017829436397421898007392895578125 0.00000000000000000000000000000000493038065763132378381767026139046567050891471819871094900369644778125 0.000000000000000000000000000000002465190328815661891908835130695232835254457359099355474501848223890625 0.0000000000000000000000000000000012325951644078309459544175653476164176272286795496777372509241119453125 0.00000000000000000000000000000000061629758220391547297720878267380820881361433977483886862546205597265625 0.000000000000000000000000000000000308148791101957736488604391336904104406807169887419434312731027986328125 0.0000000000000000000000000000000001540743955509788682443021956684520522034035849437097171563655139931640625 0.00000000000000000000000000000000007703719777548943412215109783422602610170179247185485857818275699658203125 0.000000000000000000000000000000000038518598887744717061075548917113013050850896235927429289091378498291015625 0.0000000000000000000000000000000000192592994438723585305377744585565065254254481179637146445456892491455078125 0.00000000000000000000000000000000000962964972193617926526888722927775326271272405898185723227284462457275390625 0.000000000000000000000000000000000004814824860968089632634443614638876631356362029490928616136422312286376953125 0.0000000000000000000000000000000000024074124304840448163172218073194383156781810147454643080682111561431884765625 0.00000000000000000000000000000000000120370621524202240815861090365971915783909050737273215403410557807159423828125 0.000000000000000000000000000000000000601853107621011204079305451829859578919545253686366077017052789035797119140625 0.0000000000000000000000000000000000003009265538105056020396527259149297894597726268431830385085263945178985595703125 0.00000000000000000000000000000000000015046327690525280101982636295746489472988631342159151925426319725894927978515625 0.000000000000000000000000000000000000075231638452626400509913181478732447364944316710795779627131598629474639892578125 0.0000000000000000000000000000000000000376158192263132002549565907393866236824721583553978898135657993147373199462890625 0.00000000000000000000000000000000000001880790961315660012747829536969331184123607917769894490678289965736865997314453125 0.000000000000000000000000000000000000009403954806578300063739147684846655920618039588849472450391449828684329986572265625 0.0000000000000000000000000000000000000047019774032891500318695738424233279603090197944247362251957249143421649932861328125 0.00000000000000000000000000000000000000235098870164457501593478692121166398015450989721236811259786245717108249664306640625 0.000000000000000000000000000000000000001175494350822287507967393460605831990077254948606184056298931228585541248321533203125 0.0000000000000000000000000000000000000005877471754111437539836967303029159950386274743030920281494656142927706241607666015625 0.00000000000000000000000000000000000000029387358770557187699184836515145799751931373715154601407473280714638531208038330078125 0.000000000000000000000000000000000000000146936793852785938495922182575728998759656868575773007037366403573192656040191650390625 0.00734683969263929692479610912878644993798284342878865035186832017865963280200958251953125 0.003673419846319648462398054564393222496899141711439325175934160089329816401004791259765625 0.0018367099231598242311990272821966112484495708557196625879670800446649082005023956298828125 0.00091835496157991211559951364109830562422478542785983129398354002233245410025119776494140625 0.000459177480789956057799756820549152812112392711429915646991770011166227050125598882470703125 0.0002295887403949780288998784102745764060561963557149578234958850055831135250627994412353515625 0.00011479437019748901444993920513728820302809817785747891174794250279155676253139972061767578125 0.0057397185098744507224994602568614101514049088928739455873971251195778381265699860308837890625 0.00286985925493722536124973012843070507570245444643697279369856255978891906328499301544169453125 0.001434929627468612680624865064215352537851227223218486396849281279894459531642496507720847265625 0.00071746481373430634031243253210767626892561136160924319842241403994722976582124825386042361328125 0.000358732406867153170156216266053838134462805680804621599211207019973614882910624126930211806640625 0.0001793662034335765850781081330269190672314028404023107996056035099868074414553120634651059033203125 0.0089683101716788292539054066513459533615701422020115399802801754993403720727656031732552951666015625 0.00448415508583941462695270332567297668078507110100576999014008774967018603638280158662764758330078125 0.002242077542919707313476351662836488340392535550502884995070043874835093018191400793313823791650390625 0.0011210387714598536567381758314182441701962677752514424975350219374175465090957003966569118958251953125 0.0005605193857299268283690879157209220850981338876257212497675109687087732545478500198329559477912890625 0.00028025969286496341418454395786046104254906694381286062488375548435438662727392500991647797389564453125 0.000140129846432481707092271978930230521274533471906430312444377742177193313636962504958238986947822265625 0.0070064923216240853546135989465115260637266735953215156222188871088596656818481252479119

Memòries SDRAM DDR

- Interfície del xip
 - La velocitat de transmissió és el doble de la freqüència del rellotge
 - Es duplica la tasa efectiva de transferència de dades sense modificar la freqüència del rellotge mitjançant la prebusca interna de dos paraules al mateix temps
 - La latència de CAS és un múltiple de 0.5 cicles
 - Senyals afegits a la interfície SDRAM:
 - Un senyal CLK# invertit



SiSoftware Sandra: temporització

The screenshot shows the 'Mainboard - SiSoftware Sandra' window. It contains a table of memory modules. The first module is from Samsung and the second is from Kingston. Both are 512MB DDR-SDRAM, 16x(32Mx8), PC2700U 2.5-3-3-7. The timing values are 2.5-3-3-7 for 167MHz and 2.0-2-2-6 for 133MHz. Annotations point to the first module, the timing values, and the second module.

Information about your computer's mainboard, chassis, chipset(s), bus(es), system memory(es), cache(s) and other related devices.

Item	Value
Memory Module 1	
Manufacturer	Samsung
Type	512MB DDR-SDRAM
Technology	16x(32Mx8)
Speed	PC2700U 2.5-3-3-7
Date of Manufacture	miércoles, 14 de noviembre de 2159
Set Timing @ 167MHz	2.5-3-3-7
Set Timing @ 133MHz	2.0-2-2-6
Memory Module 2	
Manufacturer	Kingston
Model	K
Serial Number	0008E500
Type	512MB DDR-SDRAM
Technology	16x(32Mx8)
Speed	PC2700U 2.5-3-3-7
Date of Manufacture	miércoles, 30 de abril de 2003
Set Timing @ 167MHz	2.5-3-3-7
Set Timing @ 133MHz	2.0-2-2-6

Environment Monitor 1

Annotations:

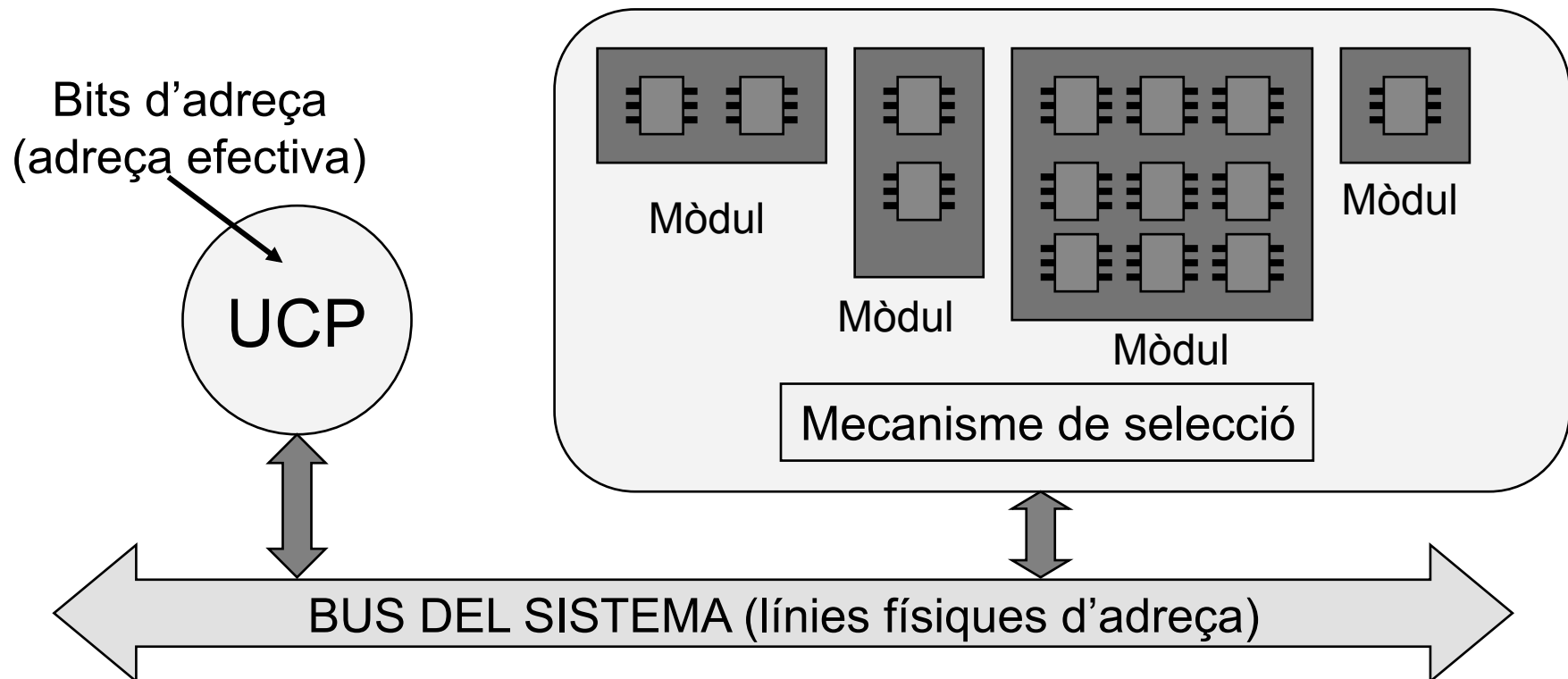
- Primer mòdul (points to Memory Module 1)
- $t_{CL} - t_{RCD} - t_{RP} - t_{RAS}$ segons la freqüència (points to the timing values for both modules)
- Segon mòdul (points to Memory Module 2)

5. Mòduls de memòria

- Conceptes bàsics
- Organització interna dels mòduls
- Mòduls comercials de memòria dinàmica

Conceptes bàsics

- El sistema de memòria principal d'un computador sol estar format per un conjunt de mòduls
- El sistema de memòria i l'estructura del bus s'ajusten a una organització determinada pel processador

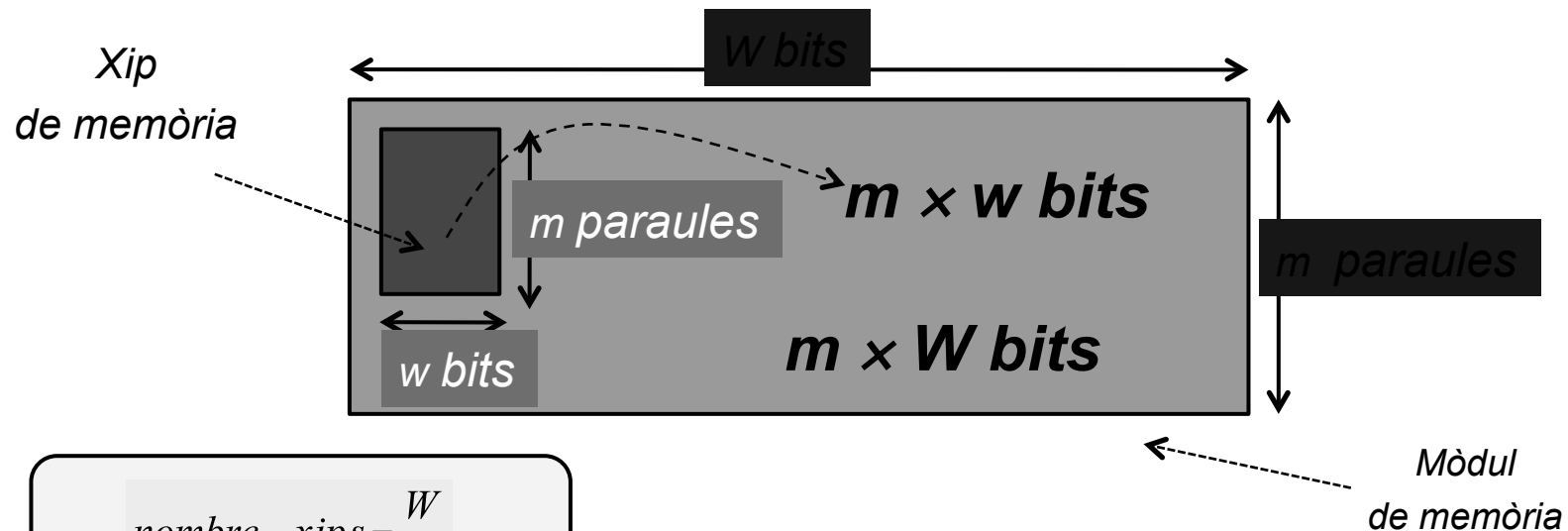


Conceptes bàsics

- Un mòdul de memòria és un conjunt de xips que satisfà uns determinats requeriments
 - Usualment, cada mòdul és d'un tipus de memòria determinat: ROM, SRAM, DRAM, etc.
- Cada mòdul, a través d'un mecanisme de selecció, suporta un conjunt d'adreces dins de l'espai d'adreçament global del processador
- El repartiment de les adreces per mòduls (conjunt d'adreces que pertany a cada mòdul) es denomina mapa de memòria

Organització de mòduls de memòria

- Els xips DRAM d'un mòdul de memòria estan habitualment distribuïts al llarg d'una única filera. El nombre de xips del mòdul depèn de la grandària de paraula (nombre de bits) dels xips (w) i de la grandària de paraula del mòdul (W)



$$\text{nombre_xips} = \frac{W}{w}$$

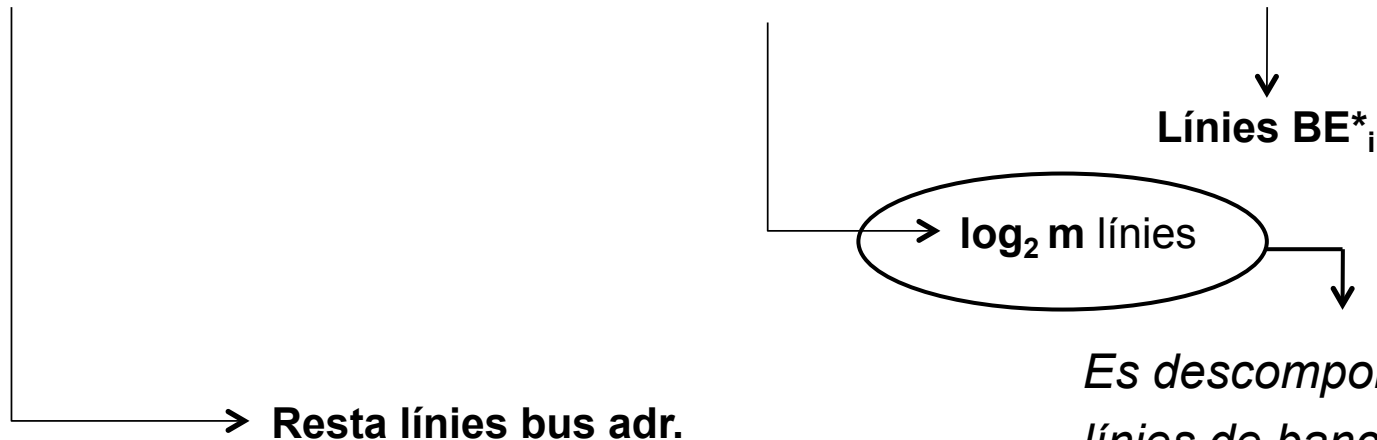
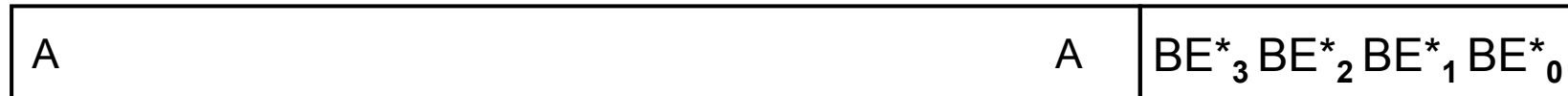
$$\text{grandària_mòdul} = m \times \frac{W}{8} \text{ bytes}$$

Actualment, el valor típic de W és 64 bits

Organització de mòduls de memòria

- Adreçament dels mòduls de memòria

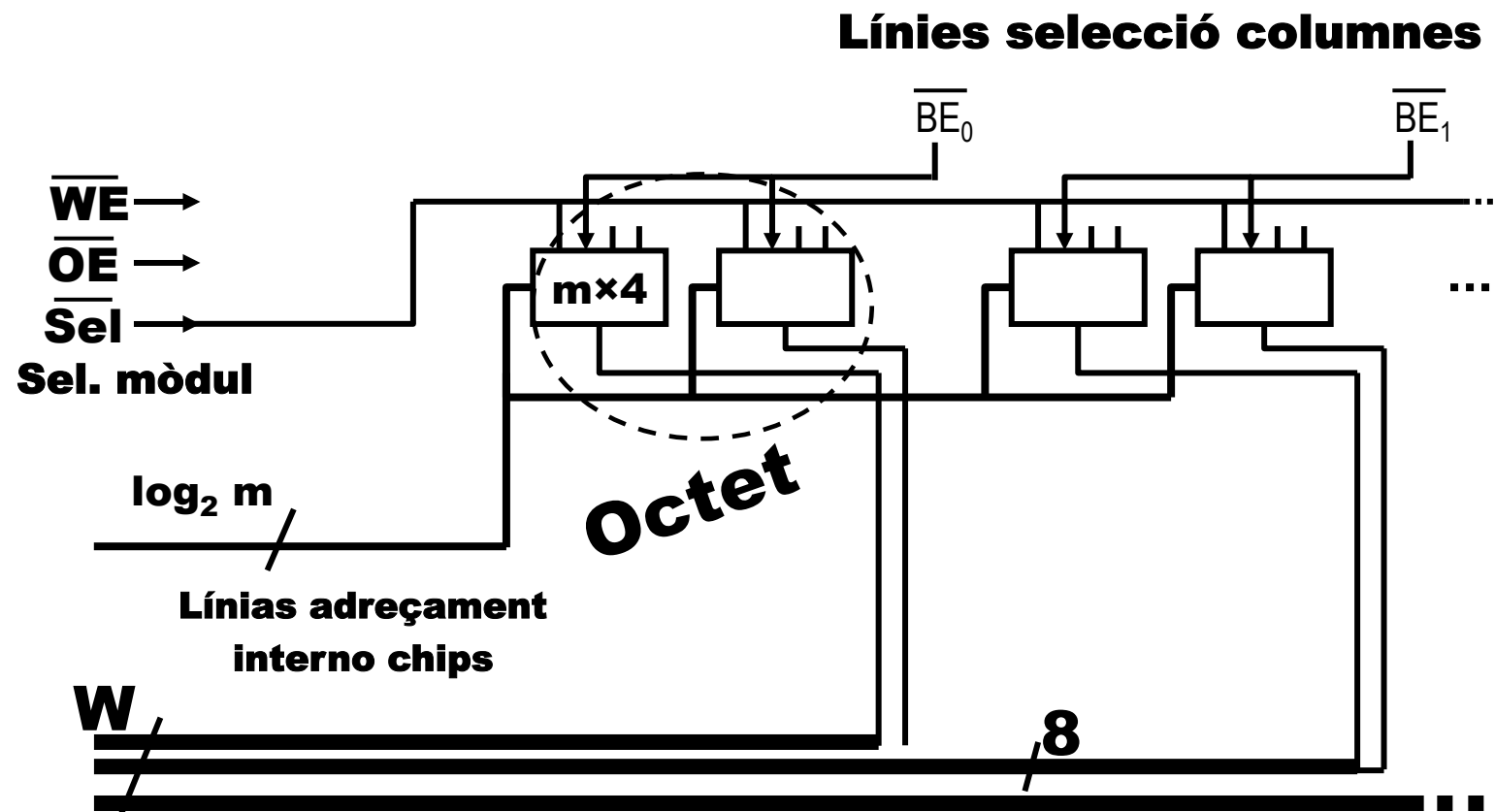
Bus físic d'adreces (CPU 32 bits)



Es descomponen en línies de banc, filera i columna internes de la DRAM

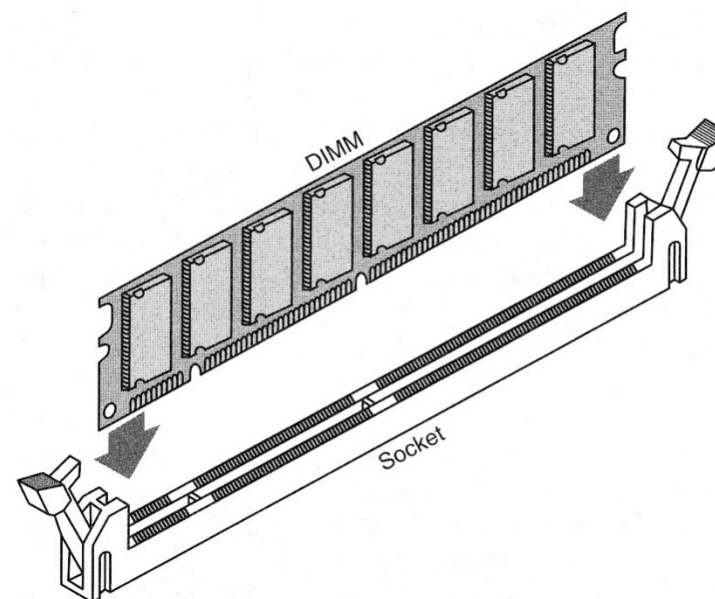
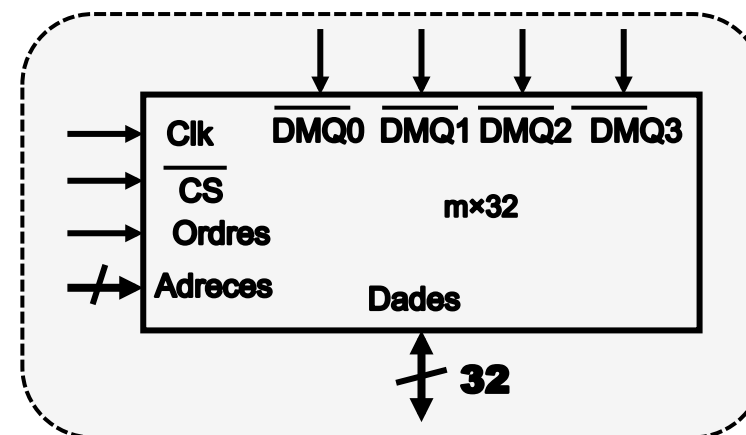
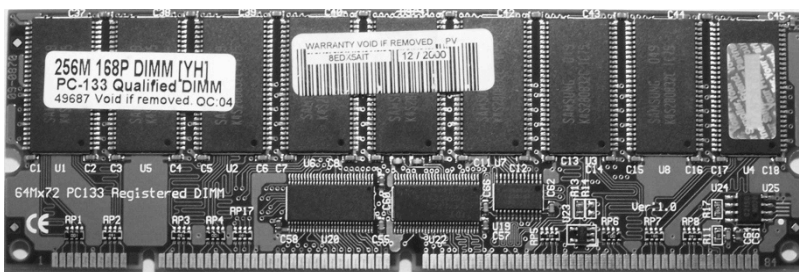
Organització de mòduls de memòria

Cada BE_i^ selecciona tantes columnes com es requereixen per a formar un byte*



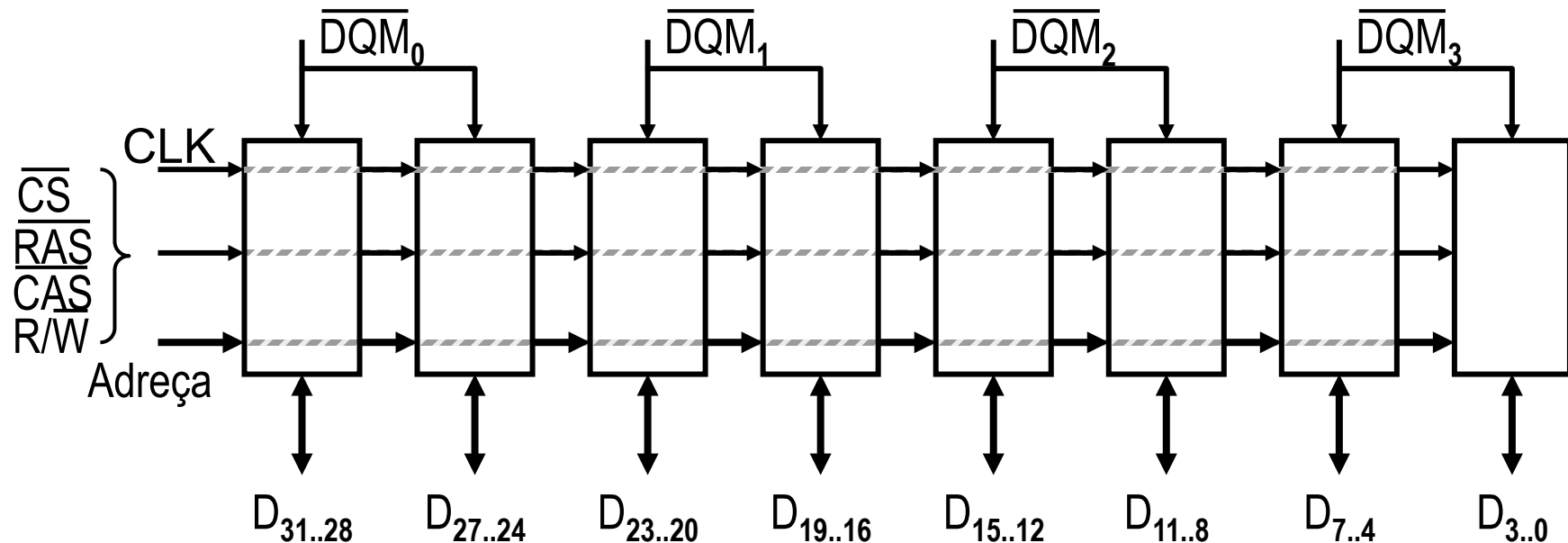
Mòduls estàndard de memòria dinàmica

- Terminals
 - Línies d'adreces multiplexades
 - L'entrada CS* fa de línia de selecció de mòdul
 - Les entrades DMQ*(CAS) són les línies d'habilitació de byte (només en escriptura)
- Els mòduls s'insereixen i extrauen per mitjà de les ranures (slots)
 - Opcionalment poden tenir un bit de paritat (informació redundant per cada byte per tal de detectar errors)



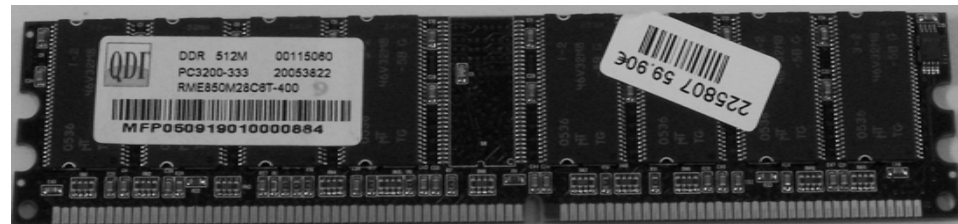
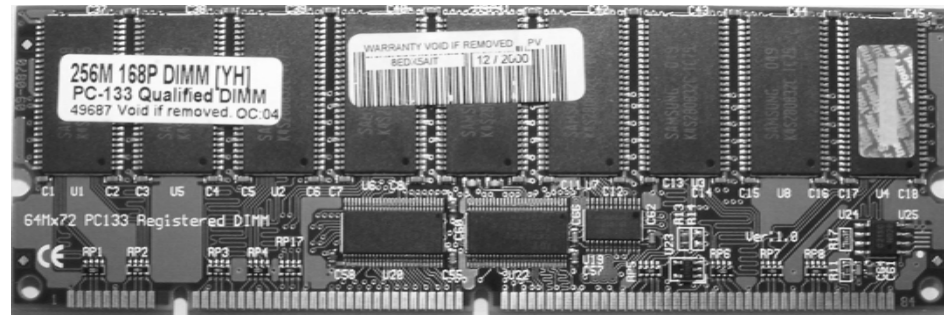
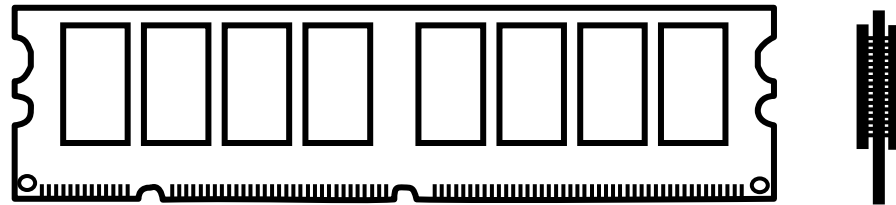
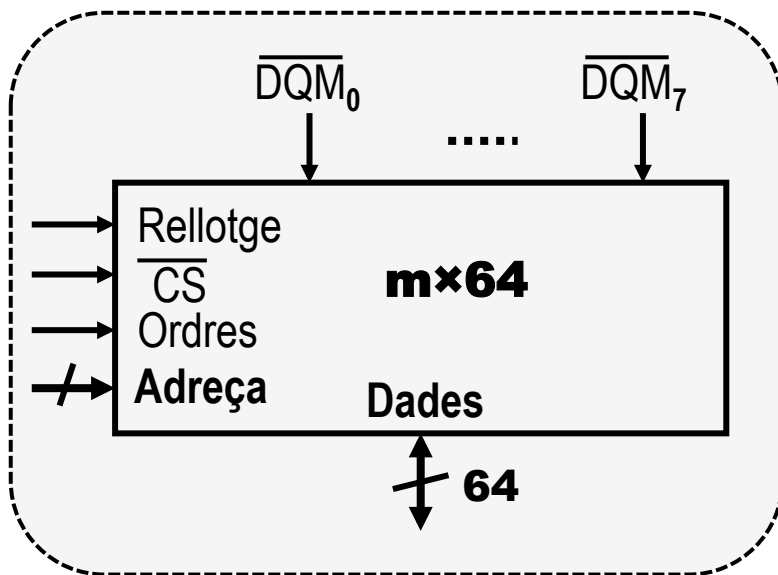
Organització del mòdul de memòria dinàmica

- Sol tenir una fila de xips idèntics
 - Les entrades de rellotge, selecció, ordres i adreça són comunes
 - Les entrades de màscara de dades DQM dels xips aprofiten per a seleccionar els bytes
 - L'amplada de banda del mòdul és la suma de les amplades de banda dels xips
- Exemple: mòdul de $m \times 32$ bits amb xips de $m \times 4$



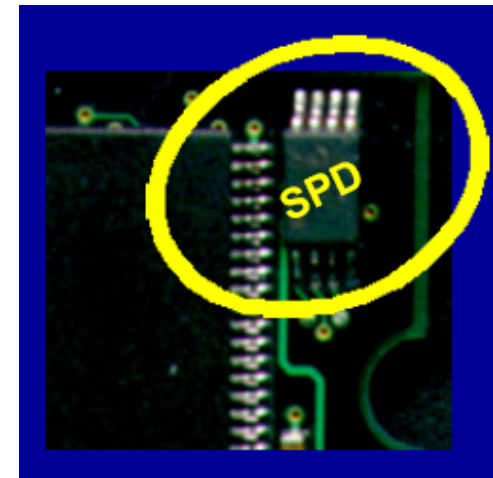
Mòduls DIMM (*Dual Inline Memory Module*)

- 168/184/240 contactes, 64 bits de dades, 13 cm de longitud



SPD (*Serial Presence Detect*)

- Memòria EEPROM de pocs bytes
- Emmatzema informació sobre el mòdul de memòria
 - Temporització
 - Capacitat
 - Fabricant
 - Número de sèrie
- Permet la configuració automàtica del sistema de memòria
- Hi ha programes que poden accedir a aquesta informació
 - CPU-Z, Sisoft Sandra, entre d'altres



Informació continguda en el SPD

The screenshot shows the CPU-Z application window with the SPD tab selected. The window title is "CPU-Z". The tabs at the top are CPU, Cache, Mainboard, Memory, SPD, and About. The SPD tab displays the following information:

Memory Slot Selection

Slot #1 (dropdown) | DDR

Module Size	512 MBytes	Correction	None
Max Bandwidth	PC2700 (166 MHz)	Registered	no
Manufacturer	Samsung	Buffered	no
Part Number		SPD Ext.	
Serial Number	FFFFFFFF	Week/Year	255 / 255

Timings Table

Frequency	133 MHz	166 MHz		
CAS# Latency	2.0	2.5		
RAS# to CAS#	3	3		
RAS# Precharge	3	3		
tRAS	6	7		
tRC				
Command Rate				
Voltage	2.5 V	2.5 V		

Version 1.47

CPU-Z OK

Comparativa de mòduls i denominacions

- Empaquetament

- SDRAM: DIMM 168 c
- DDR SDRAM: DIMM 184 c
- DDR2 SDRAM: DIMM 240 c
- DDR3 SDRAM: DIMM 240 c

- Amplades de banda i denominacions

- SDRAM (100 MHz): $100 \text{ MHz} \times 8 \text{ bytes} = 800 \text{ MB/s}$
 - Nomenclatura: PC100
- DDR SDRAM (100 MHz): $100 \text{ MHz} \times 8 \text{ bytes} \times 2 = 1600 \text{ MB/s}$
 - Nomenclatura: PC1600
- DDR2 SDRAM (200 MHz): $200 \text{ MHz} \times 8 \text{ bytes} \times 2 = 3200 \text{ MB/s}$
 - Nomenclatura: PC2-3200
- DDR3 SDRAM (400 MHz): $400 \text{ MHz} \times 8 \text{ bytes} \times 2 = 6400 \text{ MB/s}$
 - Nomenclatura: PC3-6400

Mòduls DDR estàndard

Nom	Freq.	Retard	F. rel. E/E	V. Transf.	Denom.	Taxa Transf. Màx.
DDR-200	100 MHz	10 ns	100 MHz	200 MT/s	PC1600	1.600 MB/s
DDR-266	133 MHz	7,5 ns	133 MHz	266 MT/s	PC2100	2.133 MB/s
DDR-300	150 MHz	6,6 ns	150 MHz	300 MT/s	PC2400	2.400 MB/s
DDR-333	166 MHz	6 ns	166 MHz	333 MT/s	PC2700	2.667 MB/s
DDR-366	183 MHz	5,5 ns	183 MHz	366 MT/s	PC3000	2.933 MiB/s
DDR-400	200 MHz	5 ns	200 MHz	400 MT/s	PC3200	3.200 MB/s
DDR-433	216 MHz	4,6 ns	216 MHz	433 MT/s	PC3500	3.500 MB/s
DDR-466	233 MHz	4,2 ns	233 MHz	466 MT/s	PC3700	3.700 MB/s
DDR-500	250 MHz	4 ns	250 MHz	500 MT/s	PC4000	4.000 MB/s
DDR-533	266 MHz	3,7 ns	266 MHz	533 MT/s	PC4300	4.264 MB/s

MT/s: Milions de transferències per segon

Mòduls DDR estàndard

Nom	Freq.	Retard	F. rel. E/E	V. Transf.	Denom.	Taxa Transf. Màx.
DDR2-400	100 MHz	10 ns	200 MHz	400 MT/s	PC2-3200	3.200 MB/s
DDR2-533	133 MHz	7,5 ns	266 MHz	533 MT/s	PC2-4300	4.264 MB/s
DDR2-600	150 MHz	6,7 ns	300 MHz	600 MT/s	PC2-4800	4.800 MB/s
DDR2-667	166 MHz	6 ns	333 MHz	667 MT/s	PC2-5300	5.336 MB/s
DDR2-800	200 MHz	5 ns	400 MHz	800 MT/s	PC2-6400	6.400 MB/s
DDR2-1000	250 MHz	3,75 ns	500 MHz	1.000 MT/s	PC2-8000	8.000 MB/s
DDR2-1066	266 MHz	3,75 ns	533 MHz	1.066 MT/s	PC2-8500	8.530 MB/s
DDR2-1150	286 MHz	3,5 ns	575 MHz	1.150 MT/s	PC2-9200	9.200 MB/s
DDR2-1200	300 MHz	3,3 ns	600 MHz	1.200 MT/s	PC2-9600	9.600 MB/s

MT/s: Milions de transferències per segon

Mòduls DDR estàndard

Nom	Freq.	Retard	F. rel. E/E	V. Transf.	Denom.	Taxa Transf. Màx.
DDR3-1.066	133 MHz	7,5 ns	533 MHz	1.066 MT/s	PC3-8500	8.530 MB/s
DDR3-1.200	150 MHz	6,7 ns	600 MHz	1.200 MT/s	PC3-9600	9.600 MB/s
DDR3-1.333	166 MHz	6 ns	667 MHz	1.333 MT/s	PC3-10667	10.664 MB/s
DDR3-1.375	170 MHz	5,9 ns	688 MHz	1.375 MT/s	PC3-11000	11.000 MB/s
DDR3-1.466	183 MHz	5,5 ns	733 MHz	1.466 MT/s	PC3-11700	11.700 MB/s
DDR3-1.600	200 MHz	5 ns	800 MHz	1.600 MT/s	PC3-12800	12.800 MB/s
DDR3-1.866	233 MHz	4,3 ns	933 MHz	1.866 MT/s	PC3-14900	14.930 MB/s
DDR3-2.000	250 MHz	4 ns	1000 MHz	2.000 MT/s	PC3-16000	16.000 MB/s

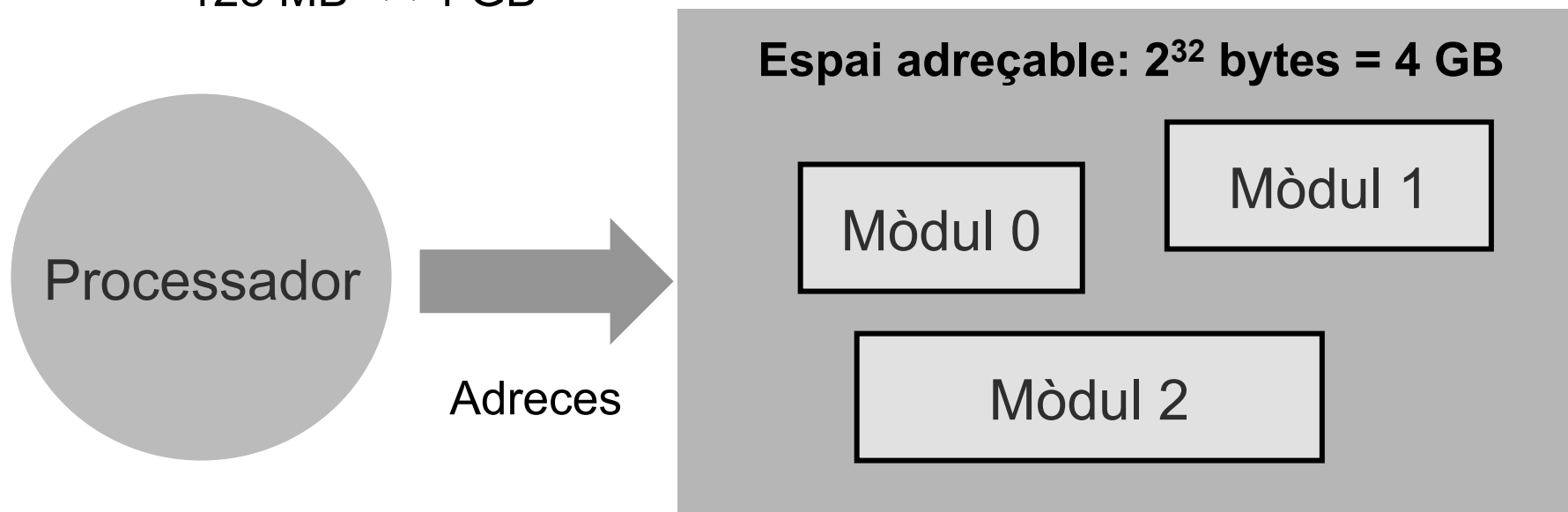
MT/s: Milions de transferències per segon

6. Mapes de memòria

- Concepte de mapa
- Funcions de selecció de mòdul

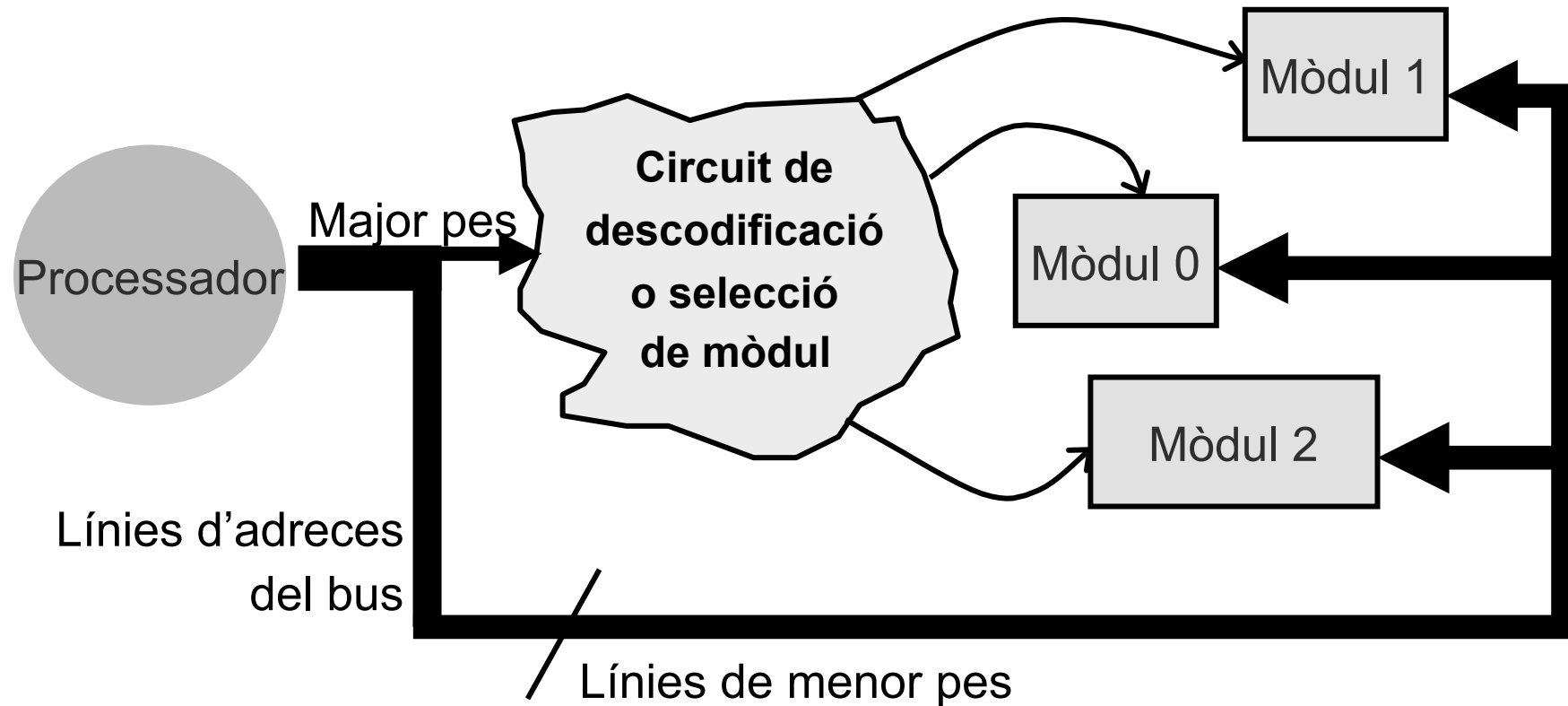
Concepte de mapa de memòria

- Distribució dels distints mòduls en l'espai físic d'adreçament del processador
 - L'espai adreçable sol ser molt més gran que l'espai ocupat pels mòduls físics de la memòria
 - Exemple: processador amb 32 bits d'adreces i memòria principal de 128 MB implementada mitjançant 2 mòduls de 32 MB i un de 64 MB
 - $128 \text{ MB} \ll 4 \text{ GB}$



Circuit de descodificació o selecció

- Cal descodificar l'adreça emesa pel processador per tal d'identificar el mòdul referenciat



Paràmetres a considerar

- **Processador**
 - Espai d'adreçament
 - Depén de la longitud de les adreces efectives
- **Mòdul**
 - Adreça d'inici dins del mapa
 - Capacitat expressada en bytes
 - Compte: no influeix l'organització interna del mòdul
- **Nivell d'activació de les funcions de selecció**
 - Nivell alt o baix

Un cas particular de mapa

- Processador de 32 bits i espai d'adreçament de 256 KB
- Mòdul DRAM de 64 KB i adreça d'inici en 0x20000

A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	. . .	A_2	A_1	A_0	
1	0	0	0	0	. . .	0	0	0	0x20000
1	0	0	0	0	. . .	0	0	1	0x20001
1	0	0	0	0	. . .	0	1	0	0x20002
1	0	1	1	1	. . .	1	1	0	0x2FFFE
1	0	1	1	1	. . .	1	1	1	0x2FFFF

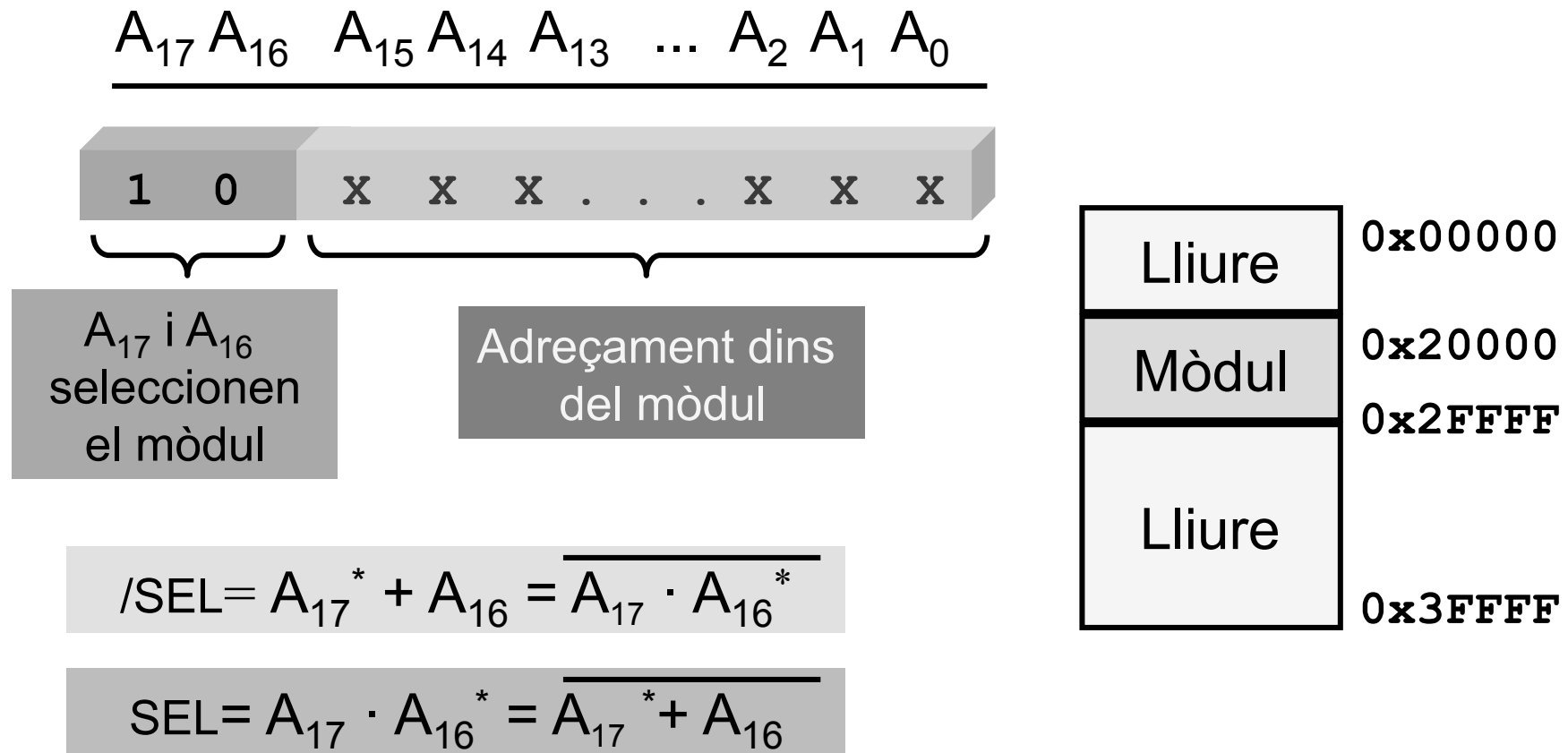


1	0	x	x	x	. . .	x	x	x
---	---	---	---	---	-------	---	---	---

Forma general de
les adreces que
pertanyen al mòdul

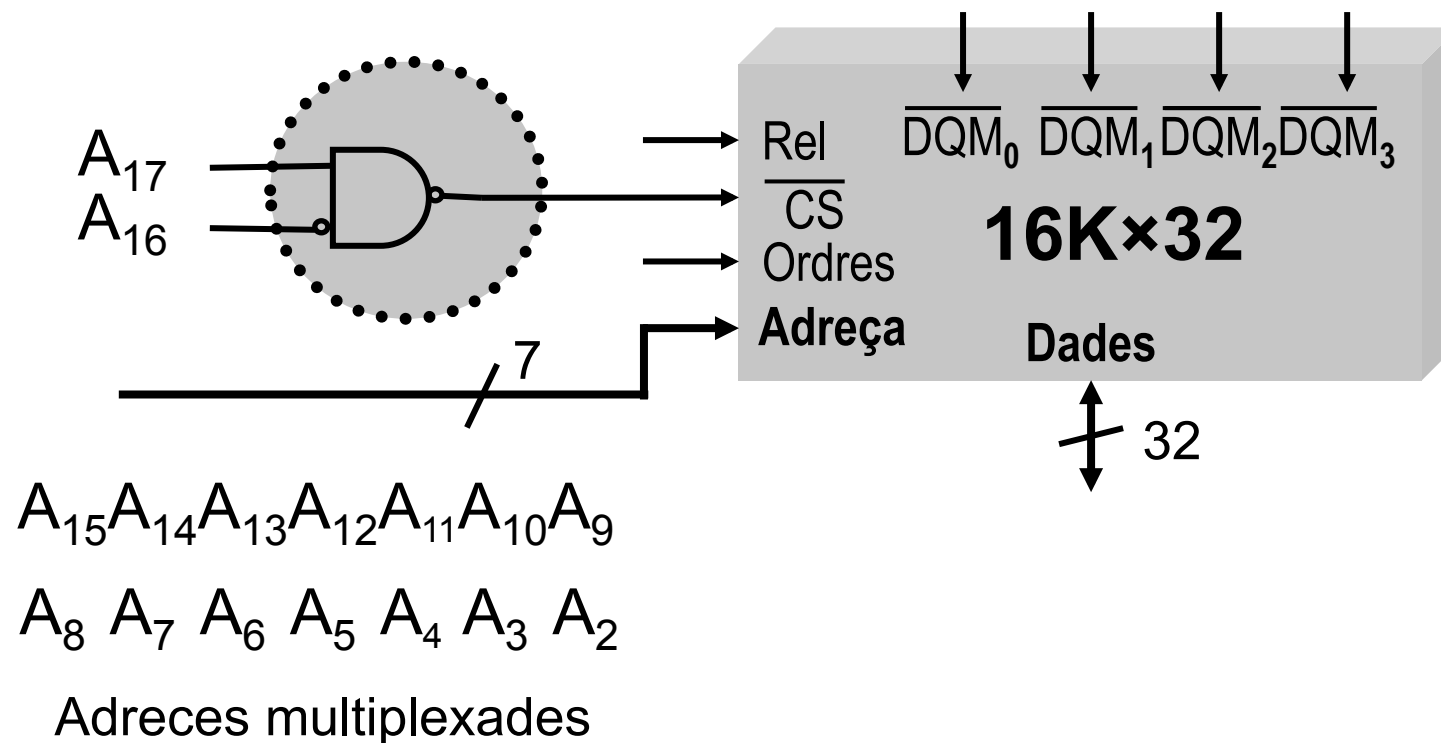
Funció de selecció del mòdul

- El mòdul conté totes les adreces de la forma 0x2????
 - Rang d'adreces : 0x20000 fins 0x2FFFF



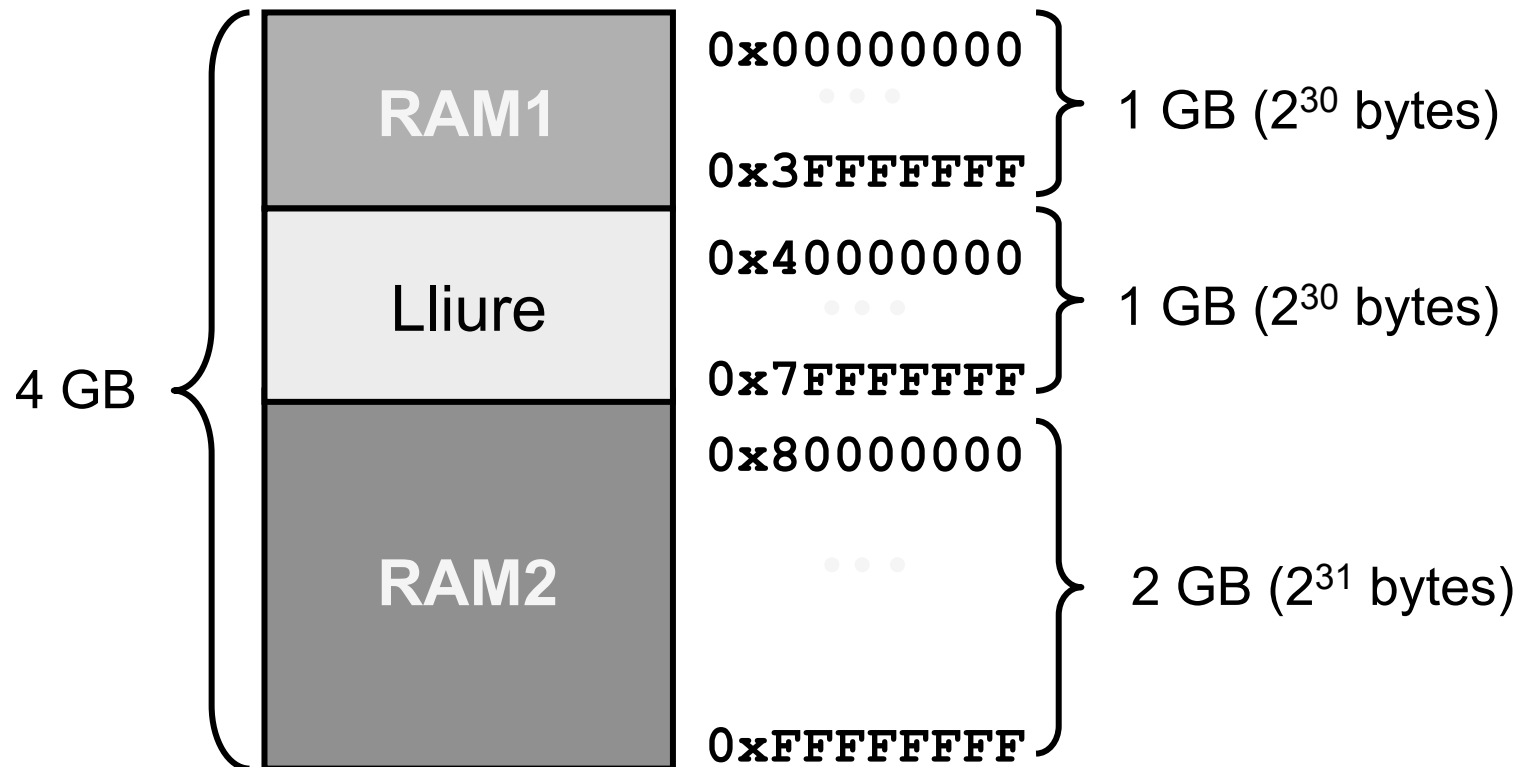
Detall de la implementació física

- Cal considerar les línies físiques



Exemple de mapa amb dos mòduls

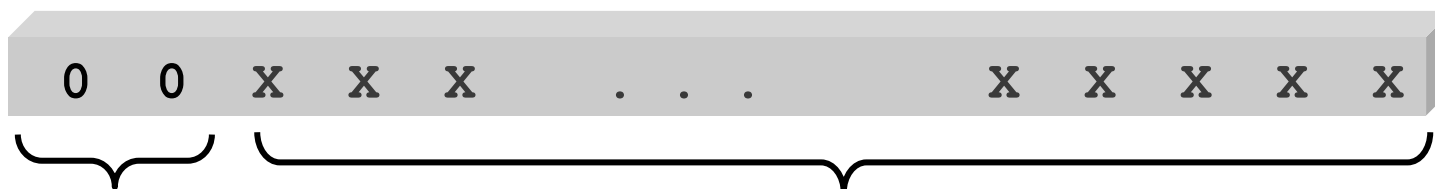
- MIPS R2000: espai d'adreçament de 4 GB (2^{32} bytes)
- Mòduls, capacitat i adreça de començament
 - RAM1, 1 GB, a partir de `0x00000000`
 - RAM2, 2 GB, a partir de `0x80000000`



Detall del mapa de memòria per a RAM1

	A_{31}	A_{30}	A_{29}	A_{28}	A_{27}	. . .			A_4	A_3	A_2	A_1	A_0
0x00000000	0	0	0	0	0	.	.	.	0	0	0	0	0
0x00000001	0	0	0	0	0	.	.	.	0	0	0	0	1
0x00000002	0	0	0	0	0	.	.	.	0	0	0	1	0
...													
0x3FFFFFFE	0	0	1	1	1	.	.	.	1	1	1	1	0
0x3FFFFFFF	0	0	1	1	1	.	.	.	1	1	1	1	1

$$\text{/SEL}_{\text{RAM1}} = A_{31} + A_{30}$$



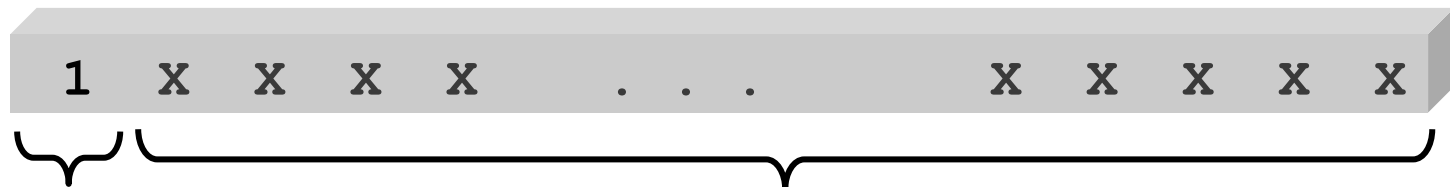
A_{31} i A_{30} seleccionen el mòdul

Adreçament dins del mòdul

Detall del mapa de memòria per a RAM2

	A_{31}	A_{30}	A_{29}	A_{28}	A_{27}	. . .	A_4	A_3	A_2	A_1	A_0
0x80000000	1	0	0	0	0	. . .	0	0	0	0	0
0x80000001	1	0	0	0	0	. . .	0	0	0	0	1
0x80000002	1	0	0	0	0	. . .	0	0	0	1	0
...											
0xFFFFFFFFE	1	1	1	1	1	. . .	1	1	1	1	0
0xFFFFFFFFF	1	1	1	1	1	. . .	1	1	1	1	1

$/\text{SEL}_{\text{RAM1}} = /A_{31}$



A_{31} selecciona el mòdul

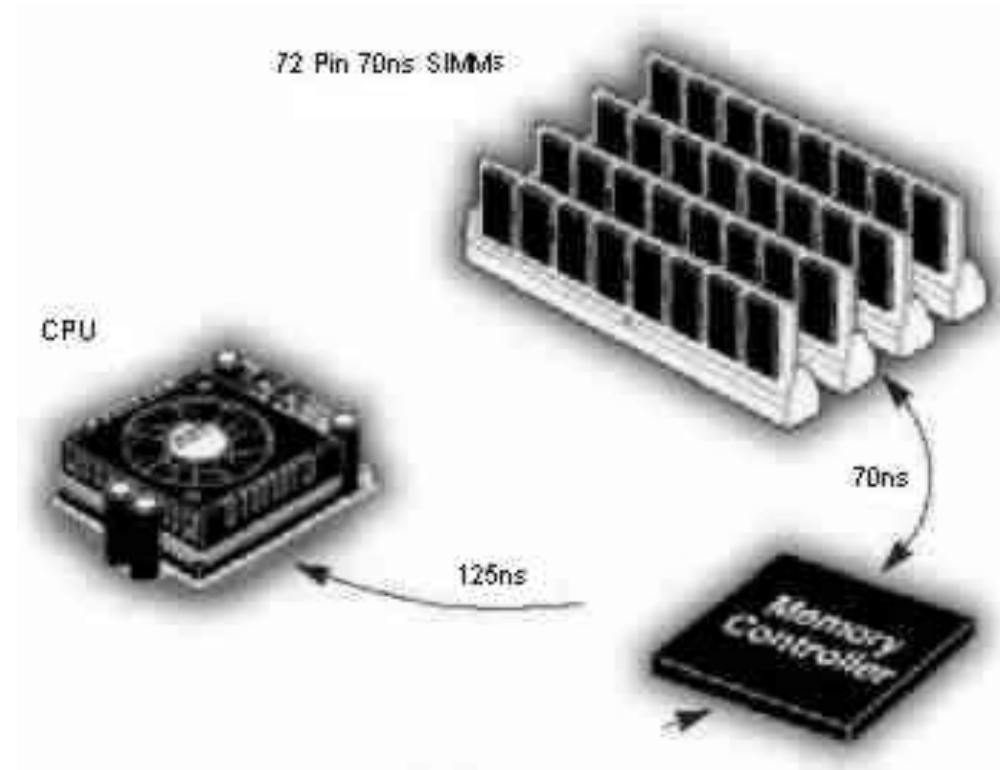
Adreçament dels
bytes del mòdul

7. El controlador de memòria dinàmica

- Funcions del controlador
- Inicialització del sistema de memòria

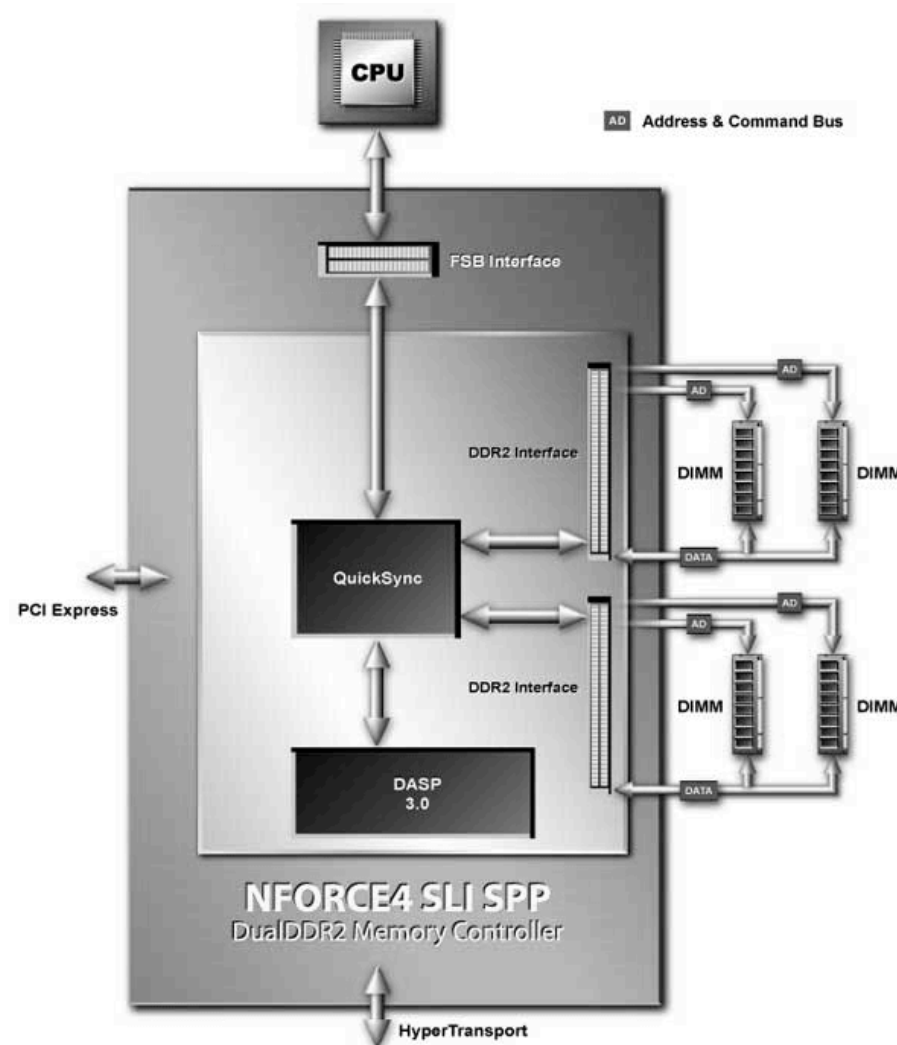
El controlador de memòria

- Gestiona els mòduls de memòria dinàmica i fa d'intermediari entre aquesta i el processador
- El seu principal objectiu és maximitzar l'amplada de banda efectiva de memòria i reduir la latència en els accessos



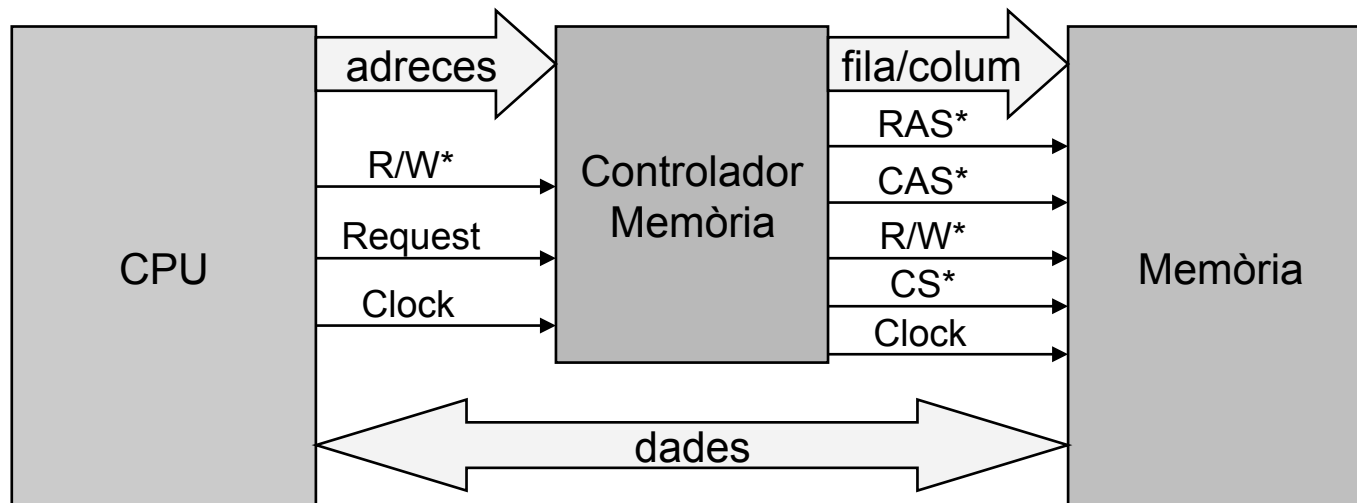
El controlador de memòria

- Disponibilitat d'un o varios canals independents
- L'amplada de banda total del sistema de memòria és la suma de les amplades de banda de cada canal
- Convé conèixer les limitacions i requeriments del controlador abans d'ampliar la memòria!!!



El controlador de memòria

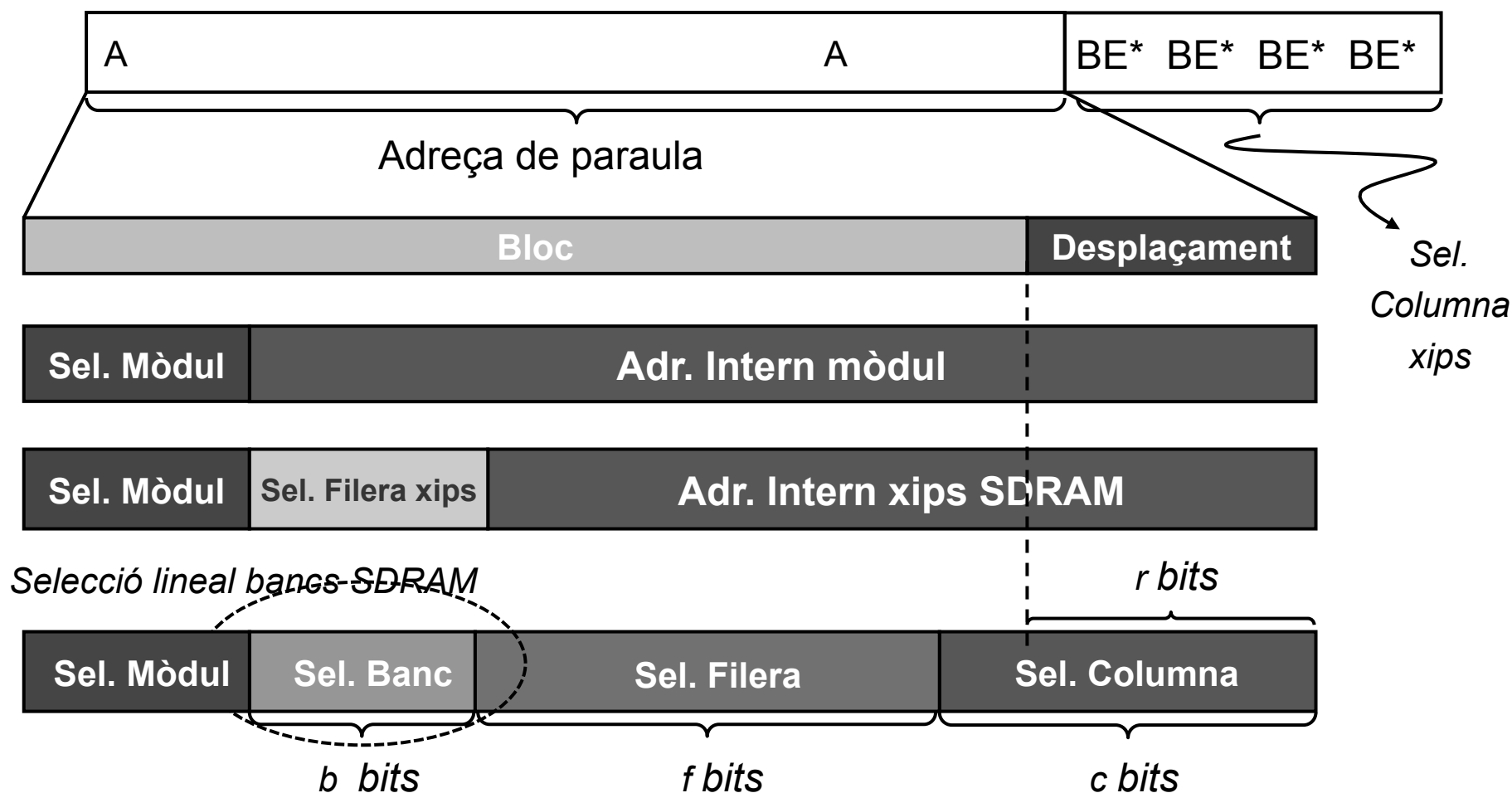
- Funcions del controlador:
 - Selecció del mòdul de DRAM segons l'adreça de paraula del bus i activació de la línia CS* corresponent
 - Traducció de l'adreça física lineal en adreces de banc, fileres i columnes (i línies BE* del bus en línies DQM*), tractant de minimitzar els conflictes de bancs en accesos adjacents i maximitzar el paralelisme proporcionat per el sistema de memòria (canal, mòdul, filera, columna)
 - Sincronització amb els xips (aplica el protocol d'accés)
 - Generació del senyal de rellotge i gestió del refresc



El controlador de memòria

- Estructura resultant de les adreces

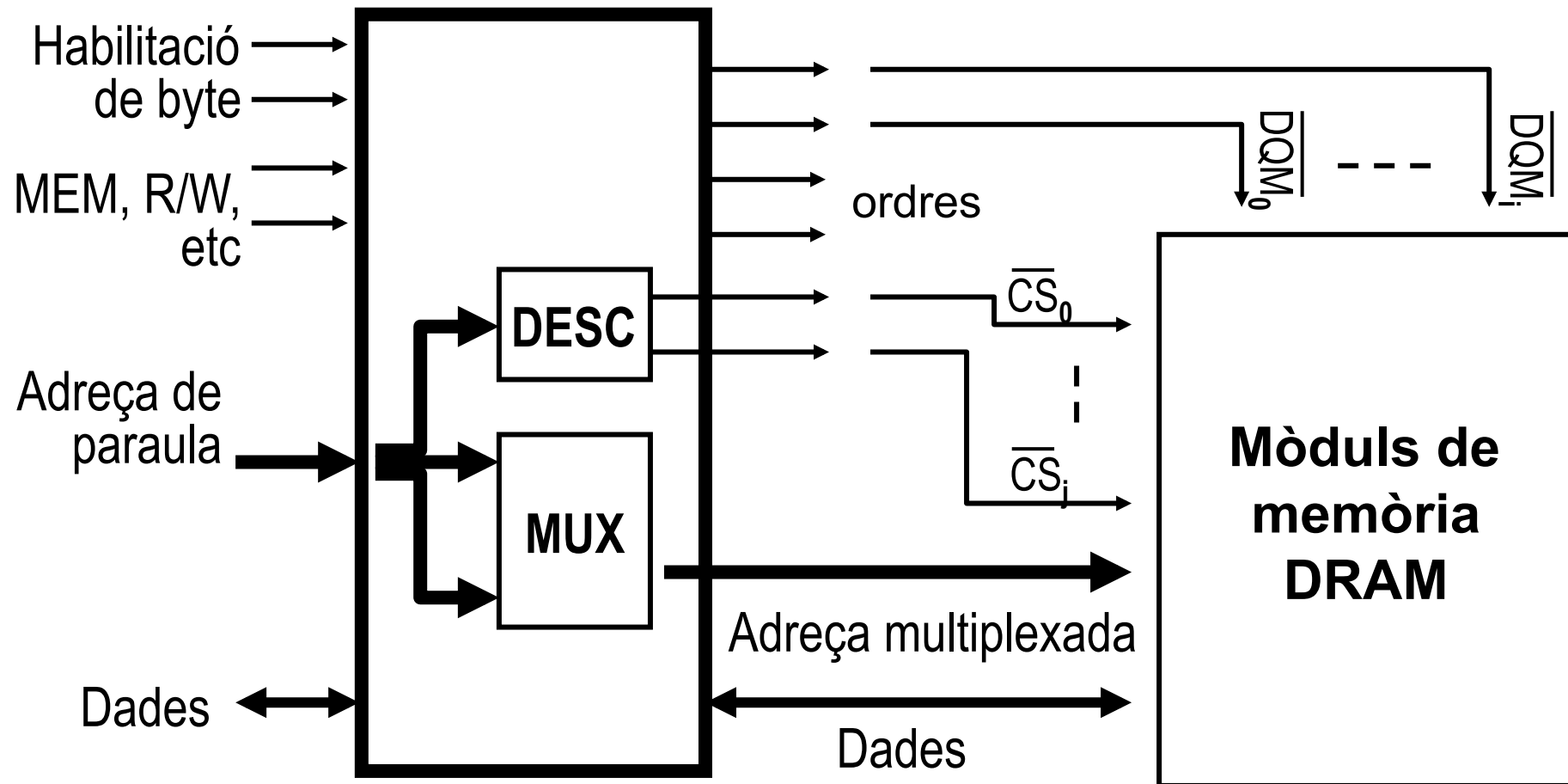
Bus físic d'adreces (CPU 32 bits)



El controlador de memòria

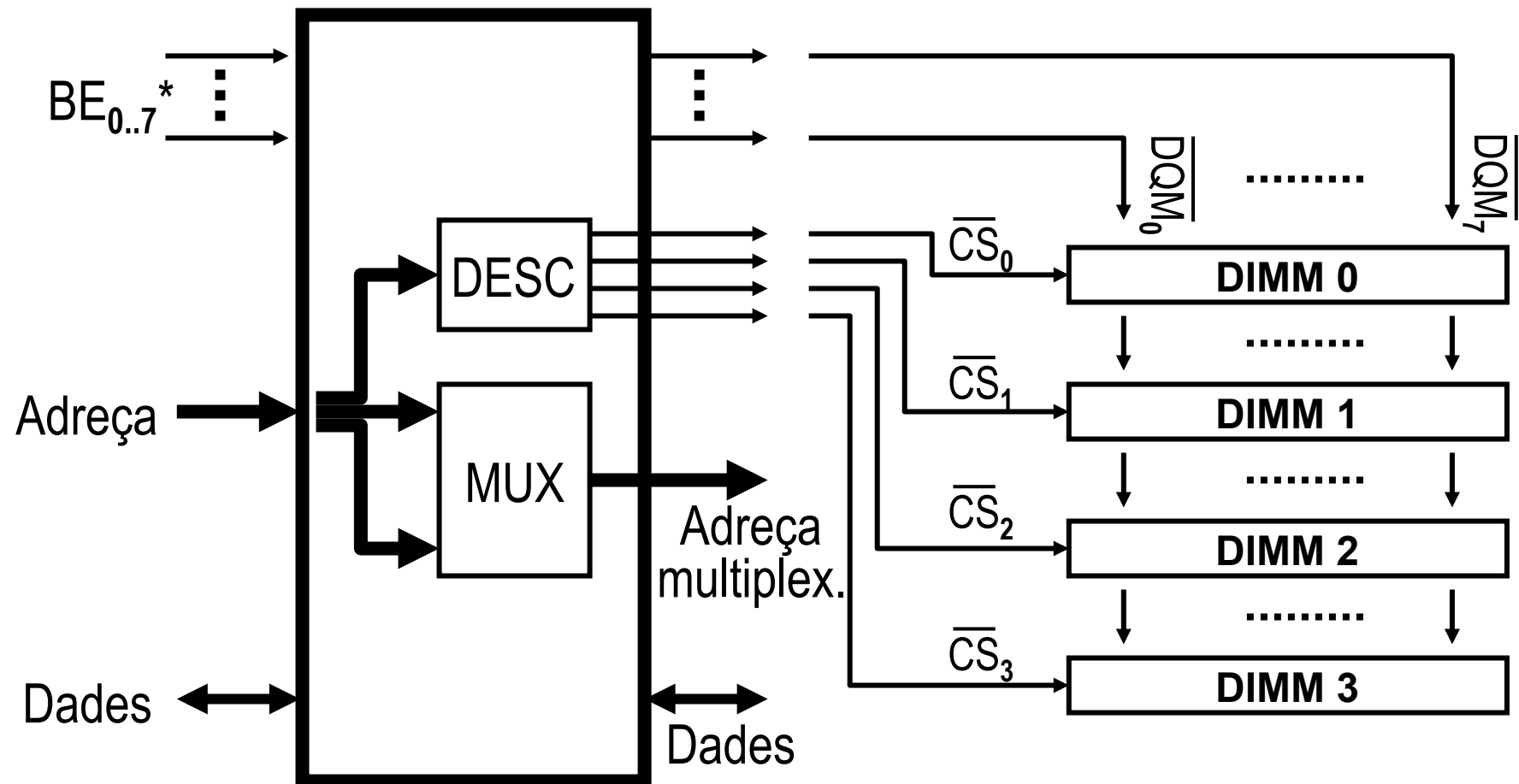
- Estructura resultant de les adreces
 - n : nombre de bits de l'adreça. Depén del processador
 - b bits d'adreça de banc. $b = \log_2 \text{num_bancs}$
 - f bits d'adreça de fileres. $f = \log_2 \text{num_fileres}$
 - c bits d'adreçament de columna. $c = \log_2 \text{num_columnes}$
 - r bits de desplaçament dins del bloc. Depén del tamany de bloc determinat pel sistema de memòria

Estructura del controlador de memòria DRAM



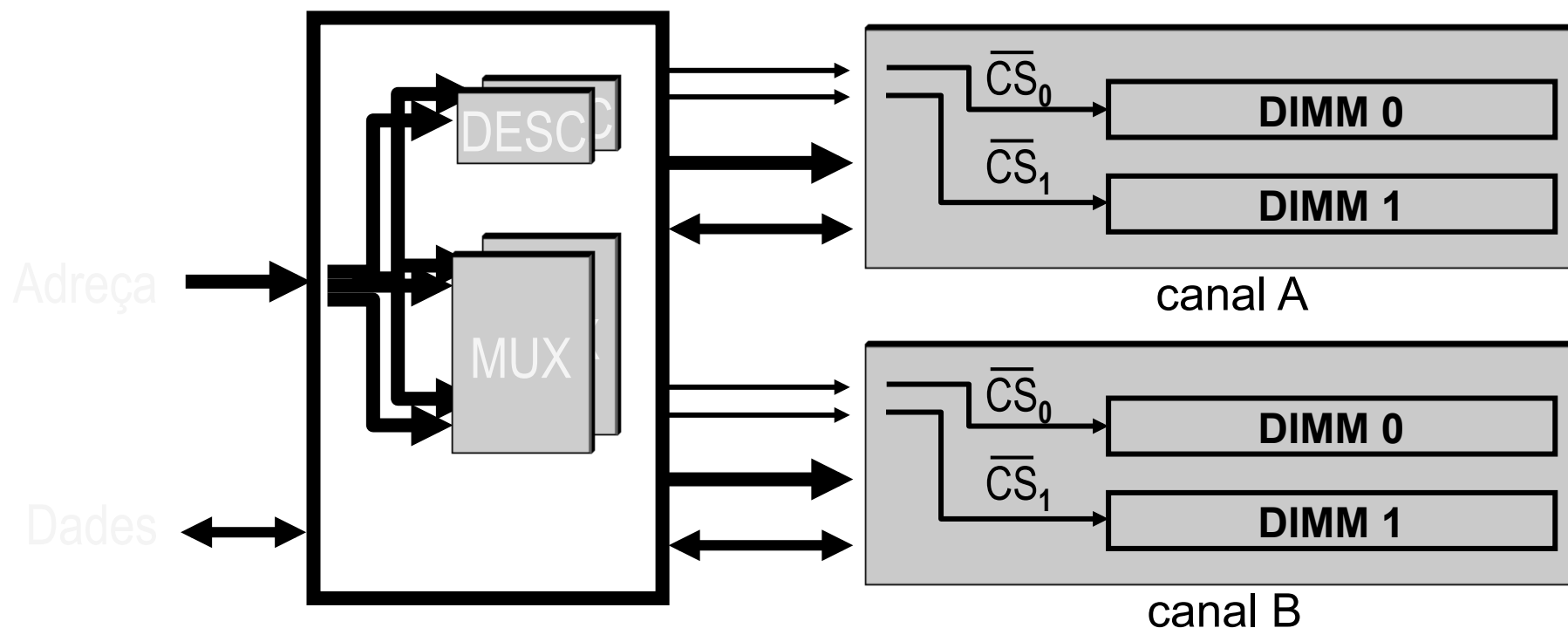
Exemple de configuració DRAM estàndard

- W=64 bits, 4 mòduls DIMM



Exemple de configuració DRAM estàndard

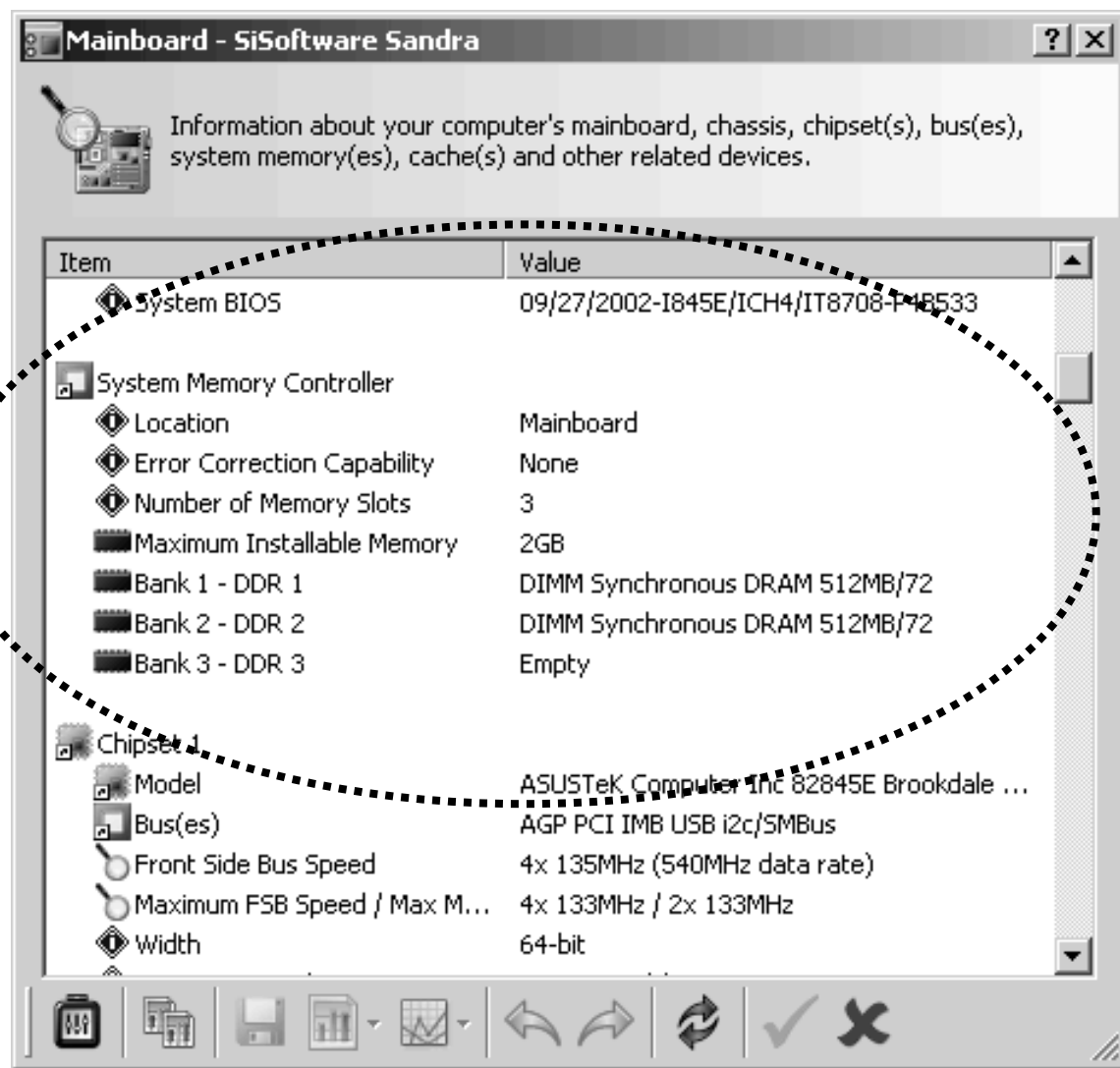
- W=64 bits, 4 mòduls DIMM en dos canals
 - Els més freqüents ara (2006 en endavant)
 - Permet duplicar l'amplada de banda dels mòduls
 - S'obliga a una certa distribució de mòduls entre els canals!



Funcions del controlador de memòria SDRAM

- Inicialització del sistema de memòria
 - El controlador de memòria forma part del controlador de sistema o xipset. El xipset és un circuit de complexitat comparable al processador, i que concentra moltes funcions crítiques
 - Al engegar un computador, el controlador comprova, un a un, tots els mòduls connectats, n'obté les característiques clau a partir del SPD (capacitat, geometria de matriu, restriccions temporals, etc.) i inicialitza els xips
 - El controlador configura
 - el mapa de memòria amb els mòduls presents i en fixa les funcions de selecció
 - la freqüència de rellotge
 - la temporització adient per a accedir correctament als mòduls
 - la freqüència d'emissió d'ordres AUTOREFRESH

SiSoftware Sandra: controlador de memòria



Tres sòcols de memòria, dos d'ells ocupats per mòduls d'igual capacitat