

# ESTRUCTURA DE COMPUTADORES

## Ejercicios Tema 6

- 1.- Se dispone de un procesador de ancho de palabra de 32 bits con capacidad para direccionar 256MB de memoria. Dicho procesador posee una memoria cache de 512 bytes con una correspondencia asociativa de 2 vías, tamaño de bloque de 32 bytes y política de escritura write-back y algoritmo de reemplazo LRU. Se asume la lectura de la siguiente secuencia de direcciones decimales de palabra (32 bits): {2080 → 2140, 4128 → 4188, 8256 → 8348}. Dicha secuencia se repite N veces. Se pide:
- Identifíquense los campos en que se descompone la dirección de memoria y el tamaño en bits de cada uno de ellos.
  - Calcúlese el tamaño de la memoria de control, indicando con claridad el tamaño en bits de cada uno de los campos. ¿Cuál sería el tamaño de la memoria de control si el esquema de correspondencia en la cache fuese completamente asociativo?
  - Si asumimos que los tres primeros conjuntos de la memoria cache están inicializados con los bloques X, Y y Z, cuyas etiquetas se muestran en el esquema ¿cuáles serán los bloques, y sus correspondientes etiquetas, que quedarán almacenados en los tres primeros conjuntos al término de la segunda secuencia de accesos indicada en el enunciado? ¿A qué números de bloque corresponden los bloques X, Y y Z?

Estado Inicial M.Cache			Estado M.Cache al término 2ª iteración		
Conjunto	Bloque	Etiqueta	Conjunto	Bloque	Etiqueta
0	X	5	0		
1	Y	16	1		
2	Z	20	2		

X=	Y=	Z=
----	----	----

- d) Indíquese el número de fallos y aciertos en las dos primeras iteraciones

Iteración	Nº de Fallos	Nº de Aciertos
1ª		
2ª		

- e) ¿Se puede llegar a obtener con esta configuración una tasa de aciertos del 98%? ¿Qué número N de iteraciones haría falta? Razona la respuesta.
- f) Para este patrón de accesos concreto ¿qué beneficiaría más a la tasa de aciertos? ¿el aumento o la disminución del grado de asociatividad? Razona la respuesta.

2.- Se dispone de un microcontrolador con ancho de palabra de 32 bits y con capacidad para direccionar 1MB de memoria. Este procesador tiene una cache de 128 bytes y un tamaño de bloque de 16 bytes.

- a) Considerando una correspondencia totalmente asociativa, la utilización del algoritmo de reemplazo LRU y una política de escritura simultánea (write-through). Indíquese el tamaño en bits de la memoria de control necesaria, especificando el significado de cada caso.
- b) En el mismo supuesto anterior indíquese la descomposición en campos de la dirección de memoria tal y como la interpreta el control de la cache así como el número de bits de cada campo.
- c) En este microcontrolador se va a ejecutar un programa que accede a un vector de 40 elementos ( **vec[0] .. vec[39]** ), colocados a partir de la posición 0x00020 y donde cada elemento es de tipo entero (32 bits). Con el fin de evaluar cual es la mejor configuración de cache se pretende ejecutar el siguiente bucle :

```
for (i=0;i<2;i++)
  for (j=0;j<40;j++)
    vec[j]++;
```

Calcule cual será la tasa de fallos cuando se opta por una **correspondencia asociativa de 2 vías**. Incluya los cálculos y dibujos que crea oportunos para justificar la respuesta.

Iteración	Nº de Fallos	Nº de Aciertos	Nº de Accesos
1ª			
2ª			
Tasa de Aciertos			

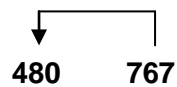
3.- Un cierto sistema computador dispone de una memoria principal (espacio direccionable) de 64 KBytes junto a una memoria cache L1 de 512 Bytes con tamaño de bloque 32 Bytes y política de escritura Write-Back. Se pide:

- a) Calcúlese el tamaño de la memoria de control cuando se emplea un esquema de correspondencia con número de vías igual 4 y algoritmo de reemplazo LRU.

Nombre del campo	Tamaño en bits

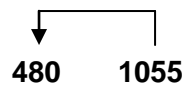
Tamaño total Memoria Control (justificar la respuesta)

- b) El en los mismos supuestos del apartado anterior se accede a un conjunto de caracteres (tamaño byte) consecutivamente desde la dirección 480 a la 767 cuatro veces, se pide:



Iteración	Nº Fallos	Nº Aciertos
1ª		
2ª		
3ª		
4ª		
Tasa de aciertos		

- c) Idem que en el apartado anterior, pero accediendo ahora consecutivamente desde la dirección 480 a la 1055 cuatro veces:



Iteración	Nº Fallos	Nº Aciertos
1ª		
2ª		
3ª		
4ª		
Tasa de aciertos		

- 4.- En un sistema con un ancho de palabra de 8 bits y cuyo espacio de direccionamiento es de 1 KB se dispone de una cache de 128 bytes y con tamaño de bloque de 4 bytes. Dicha cache es asociativa por conjuntos de 2 vías, con algoritmo de reemplazo LRU y método de escritura “write-back” (actualización posterior)

- a) ¿Cuáles son los campos que forman la información de control necesaria para controlar esta cache? Indique claramente cuantos bits se necesitan para cada campo y el tamaño de la memoria de control.
- b) Rellene la siguiente tabla (con valores decimales):

**Dirección**

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
32				
431				
1010				

- c) Suponiendo que se ejecuta un bucle con 5 iteraciones y que en cada iteración se accede a las posiciones de memoria 64 .. 274, calcule la tasa de aciertos justificando la respuesta.
- d) Indique cuál será el contenido de los siguientes conjuntos al finalizar la primera pasada del bucle.

Conjunto	Bloque de Cache	Bloque de MP	Etiqueta	Contador
2				
15				

- 5.- Un procesador de 32 bits y capacidad de direccionamiento de 1GBytes dispone de una memoria central de 64 MBytes y de una cache de 8 KBytes con un tamaño de bloque de 16 bytes que utiliza actualización posterior o copy-back en su política de escritura.

- a) Si se opta por establecer una correspondencia directa entre la memoria principal y la cache, especifica cuál es la interpretación en campos de la dirección de memoria por parte de la circuitería de control de la cache así como el número de bits de cada campo.
- b) En el caso de que se opte por una correspondencia asociativa por conjuntos con grado de asociatividad 4 y algoritmo de reemplazo LRU, especifica que información deberá almacenar la parte de control de la memoria y cuál será su tamaño en bits.
- c) Si se optase por una correspondencia totalmente asociativa ¿Sería posible implementar el algoritmo de reemplazo LRU? En caso afirmativo ¿cuántos contadores y de cuántos bits cada uno harían falta?
- d) En el mismo supuesto de correspondencia asociativa por conjuntos con grado 4 del apartado b, si se opta por definir un tamaño de bloque de 64 bits ¿Aumentará o

disminuirá la necesidad de información de control a almacenar? Razona la respuesta.

6.- Un computador dispone de un espacio de direccionamiento de 32 bits y una memoria cache de 32 Kbytes completamente asociativa, si se ha definido el tamaño de bloque en 32 bytes y el algoritmo de reemplazo utilizado es el LRU. Especifica:

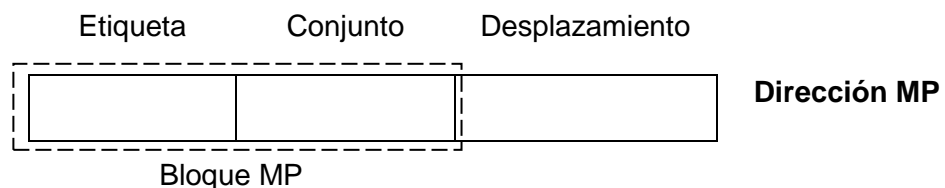
- Interpretación en campos de la dirección de memoria por parte del control de cache (identifica el significado de los campos y el número de bits de cada uno de ellos)
- Tamaño necesario de memoria de control para esta organización
- En qué bloque/s de memoria cache se puede ubicar el bloque 544 de memoria principal, si se considera la cache inicialmente “vacía”.

Repite el ejercicio para el caso en que se adopte una **cache de 4 vías**

- Interpretación en campos de la dirección de memoria por parte del control de cache (identifica el significado de los campos y el número de bits de cada uno de ellos)
- Tamaño necesario de memoria de control para esta organización
- En qué bloque/s de memoria cache se puede ubicar el bloque 544 de memoria principal, si se considera la cache inicialmente “vacía”

7.- En un sistema con un espacio de direccionamiento de 1 KB se dispone de una cache de 128 bytes y con tamaño de bloque de 4 bytes. Dicha cache es asociativa por conjuntos de 2 vías.

- Indíquese el tamaño (en bits) de cada uno de los campos en que se subdivide la dirección de memoria.



- Rellene la siguiente tabla (con valores decimales):

**Dirección MP**

(byte)	Bloque de MP	Etiqueta	Conjunto	Desplazamiento
32				
431				
1010				

- Rellene la siguiente tabla (con valores hexadecimales):

**Dirección MP****(byte)****Bloque de MP****Etiqueta****Conjunto****Desplazamiento**

0x385				
0x00F				
0x1F2				

- 8.- Se está diseñando un procesador de 32 bits que dispondrá de una cache L1 de instrucciones de 4KB y correspondencia completamente asociativa. Para el tamaño de bloque se barajan 3 opciones: 8, 16 o 32 bytes. Este procesador se va a utilizar en entornos de control industrial en el que mayoritariamente se van a ejecutar pequeños programas que caben en esta cache (o que acceden desde la posición de memoria 0 a la 4092 consecutivamente).

- a) Justificar la elección del tamaño de bloque en función de la tasa de aciertos para este entorno de trabajo.
- b) ¿Qué relación existe entre la localidad temporal y el tamaño de bloque? ¿Y entre la localidad espacial y el tamaño de bloque?

- 9.- En un sistema con un ancho de palabra de 16 bits y cuyo espacio de direccionamiento es de 64 KB se dispone de una cache de 1 KBytes y con tamaño de bloque de 32 bytes. Dicha cache es asociativa por conjuntos de 2 vías, con algoritmo de reemplazo LRU y método de escritura "write-back" (actualización posterior)

- a) ¿Cuáles son los campos que forman la información de control necesaria para controlar esta cache? Indique claramente cuantos bits se necesitan para cada campo.
- b) Rellene la siguiente tabla (con valores decimales):

**Dirección****(byte)****Bloque de MP****Etiqueta****Conjunto****Desplazamiento**

32				
431				
1010				

- c) Suponiendo que se ejecuta un bucle con 5 iteraciones y que en cada iteración se accede BYTES en las posiciones de memoria 64 .. 1343, calcule la tasa de aciertos justificando la respuesta

Iteración	Nº de fallos	Nº de aciertos
1ª		
2ª		
3ª		
4ª		
5ª		
Tasa de Aciertos		

d) Indique cuál será el contenido del **conjunto 2** al finalizar la primera pasada del bucle.

**Conjunto    Bloque de Cache    Bloque de MP    Contador**

**2**


- 10.- Se dispone de un sistema computador que puede direccionar hasta 1GB de memoria principal y que cuenta con una memoria cache de 512KB con política de escritura *write-back* y algoritmo de reemplazo LRU. Sabiendo que la memoria cache interpreta las direcciones procedentes de la CPU bajo la siguiente forma

n-1		0
	10 bits	6 bits
Campo-3	Campo-2	Campo-1

Se pide:

Denominación del Campo-1	
Denominación del Campo-2	
Denominación del Campo-3	
Tamaño del Campo-3	
Número de bloques en la cache	
Número de vías	

Política de correspondencia empleada		
	Campo M.Control	Tamaño campo
Denominación y tamaño de los campos de que consta cada una de las entradas de la Memoria de Control		
Tamaño total de la Memoria de Control (en bits)		

- 11.- Supóngase que el tamaño de bloque de la cache de un cierto computador es de 16 bytes y se desea acceder dos veces a un vector de números enteros (32 bits) cuyo primer elemento se halla almacenado en la dirección 3232 y el último en la 3388 (decimal).

	Cache	Etiqueta	LRU
Conjunto 0	B(X)	52	0
	B(Y)	51	1
Conjunto 1	--	--	1
	--	--	1
Conjunto 2	--	--	1
	B(250)	Etiqueta <sub>250</sub>	0
Conjunto 3	B(207)	Etiqueta <sub>207</sub>	0
	--	--	1

Asumiendo que el contenido de la memoria cache es el que se indica en el esquema anterior, responda las siguientes cuestiones:



- a) Contenido de la cache al término del primer acceso al vector

	Cache	Etiqueta	LRU
Conjunto 0			
Conjunto 1			
Conjunto 2			
Conjunto 3			

- b) Calcular el número de aciertos y fallos en cada una de los dos accesos al vector, así como la tasa de aciertos resultante

	Número de fallos	Número de aciertos
<b>Primer acceso</b>		
<b>Segundo acceso</b>		
<b>Tasa de aciertos</b>		

- 12.- Se dispone de un procesador con ancho de palabra de 32 bits y con capacidad para direccionar 64KB de memoria. Este procesador tiene una cache de 128 bytes con una correspondencia asociativa de 2 vías y un tamaño de bloque de 32 bytes.

- a) Indíquese la descomposición en campos de la dirección de memoria tal y como la interpreta el control de la cache así como el número de bits de cada campo.
- b) Considerando la utilización del algoritmo de reemplazo LRU y una política de escritura simultánea (write-through). Indíquese el tamaño en bits de la memoria de control necesaria. Detallar claramente el tamaño de cada entrada.
- c) ¿Qué alternativas habrían para reducir el tamaño de la memoria de control?

- 13.- En el procesador del ejercicio anterior se va a ejecutar un programa que accede a un vector de 40 elementos ( vec[0] .. vec[39] ) de tipo entero (32 bits), colocados a partir de la posición 0x8060. El acceso al vector se realiza a través de los siguientes bucles:

```
for (i=0;i<4;i++)
  for (j=0;j<40;j++)
    vec[j]++;
```

- a) Indíquese los número de bloque a los que se accedería y en qué bloque de la memoria cache quedarán almacenados al término de la primera iteración. Indíquense también las etiquetas correspondientes a dichos bloques. Establecer la marcas divisorias de cada bloque dentro de cada uno de los recuadros

**Memoria Cache**

**Etiquetas**

- b) Calcular la tasa de aciertos

Iteración	Nº Fallos	Nº Aciertos	Total Accesos
1ª			
2ª			
3ª			
4ª			
Tasa de aciertos			

- c) ¿Cómo se podría mejorar la tasa de aciertos? Razona la respuesta.

**14.-** En el diseño de un nuevo procesador de 32 bits se quiere incluir una cache L1 de 16 KB. Por cuestiones de eficiencia en la transferencia de datos entre las caches L1 y L2 se sabe que el tamaño de bloque deberá ser de 16 bytes y, la elección de la correspondencia entre ambas memorias y otras políticas de escritura y reemplazo asociadas L1 deberán minimizar la memoria de control asociada. Bajo estas premisas,

- Especifíquese cuáles serán las características de esta cache tanto en la correspondencia elegida como en las políticas de gestión asociadas.
- Indíquese el tamaño en bits de la memoria de control para esta elección, especificando cuantos bits se corresponden con cada necesidad.
- ¿Cuál será la interpretación en campos de la dirección de memoria por parte del control de cache?. Especificar nombre de cada campo y número de bits requeridos.