

## 6 Qüestions : (7.5 pts): Bé: 1.25 pts, Mal: -0.31 pts, Blanc: 0 pts.

1. Determine la funció booleana F que implementa el següent circuit:

[A]  $F = \overline{(A+B)} \cdot \overline{C}$

[B]  $F = \overline{(A \cdot B)} + C$

[C]  $F = (A+B) \cdot C$

→ [D]  $F = (A \cdot B) + C$

Bloc NMOS :

$G_{NMOS} = \overline{(A+B)} \cdot \overline{C}$

$F = \overline{G_{NMOS}} = \overline{\overline{(A+B)} \cdot \overline{C}}$

$F = (A \cdot B) + C$

Bloc PMOS :

$G_{PMOS} = \overline{A} \cdot \overline{B} + \overline{C}$

$G_{PMOS} = (A \cdot B) + C$

NEGANT LES ENTRADES

2. Un processador CMOS té  $10^7$  transistors per a la lògica combinacional/seqüencial i  $10^8$  transistors per a la memòria. El factor d'activitat mitjana és 0.1 per a la lògica, i 0.01 per a la memòria. La capacitat mitjana de cada transistor és 1 fF (1 femtofarad =  $10^{-15}$ F), el voltatge d'alimentació és 2V i la freqüència de rellotge 1GHz. Amb totes aquestes dades, calcule la potència dinàmica aproximada que consumeix el processador:

[A] No es pot calcular, falten els corrents de fuga dels transistors.

[B] 2W

→ [C] 8W

[D] 4W

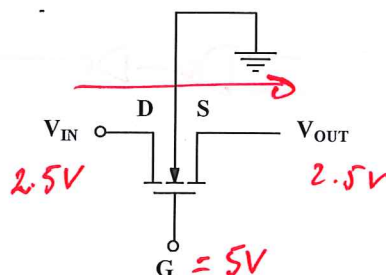
$$P_{d \text{ Lògica}} = (V_{dd})^2 \cdot \alpha \cdot f \cdot C = (2)^2 \times 0.1 \times 10^9 \times 10^7 \times 10^{-15} = 4W$$

$$P_{d \text{ memòria}} = (2)^2 \times 0.01 \times 10^9 \times 10^8 \times 10^{-15} = 4W$$

$$P_d = 4W + 4W = 8W$$

3. La figura mostra una porta de transmissió NMOS. El transistor té una tensió llindar  $|V_T| = 1.5V$ . Si s'aplica una tensió de 2.5V a l'entrada ( $V_{IN}$ ) i 5V al terminal de porta (G). Quin serà el voltatge en l'eixida ( $V_{OUT}$ )?

- [A] 5V
- [B] 2.5V
- [C] 3.5V
- [D] 1V



$V_G = 5V \Rightarrow$  porta funciona

PORTA NMOS: degrada el '1'

$V_{OUT \max} = 5 - 1.5 = 3.5V$

Com  $V_{in} < 3.5V$ , no es degrada i es transmet íntegra

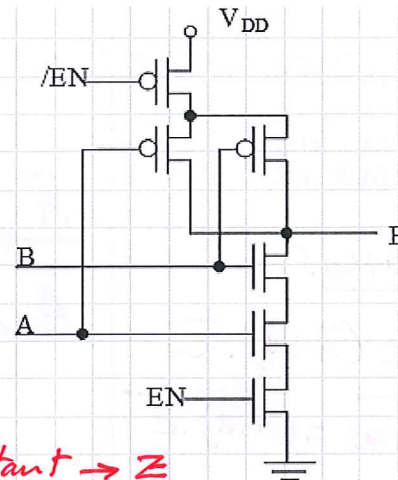
Maig 2017

4. En el circuit CMOS de la figura:

[A] Si  $EN = "0"$ ,  $F = \overline{A \cdot B}$ [B] Si  $EN = "1"$ ,  $F = \overline{A + B}$ → [C] Si  $EN = "0"$ ,  $F = Z$  (alta impedància)[D]  $F = \overline{A \cdot B}$  sempre

Es una NAND triestat

$A$   $B$   $F$  Si  $EN = 0$   
 Es tallen el transistor superior i inferior →  $F$  flotant →  $Z$

5. Assenyele l'afirmació **FALSA** sobre la tecnologia CMOS:

[A] Admet un ampli rang de tensions d'alimentació, especialment en els circuits SSI i MSI.

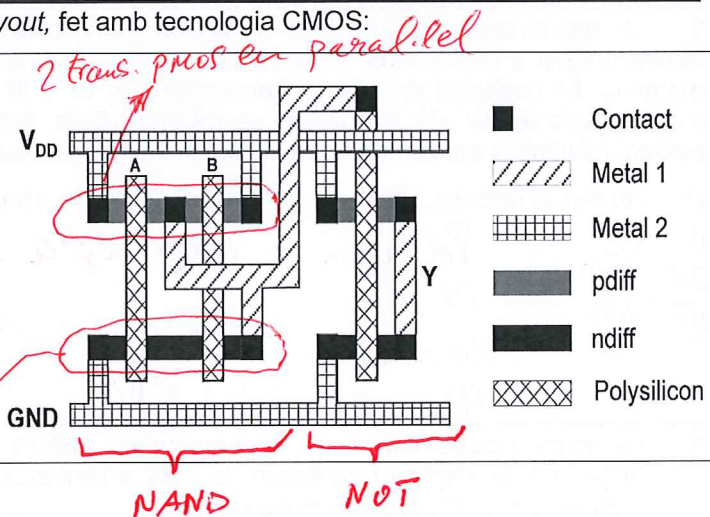
[B] Un gran avantatge de CMOS sobre TTL és el baix consum de potència, la qual cosa permet que els xips tinguin una elevada densitat d'integració.

→ [C] La potència estàtica creix linealment amb la freqüència.

[D] Una de les bones propietats de CMOS és l'elevada immunitat al soroll, que creix linealment amb la tensió d'alimentació.

$P_{est} = V_{DD} \times I_{CC}$  no depèn de la freqüència

6. Indique la funció del següent layout, fet amb tecnologia CMOS:

[A]  $F = \overline{A \cdot B}$ [B]  $F = \overline{A + B}$ → [C]  $F = AB$ [D]  $F = \overline{A \cdot B}$  amb eixida triestate

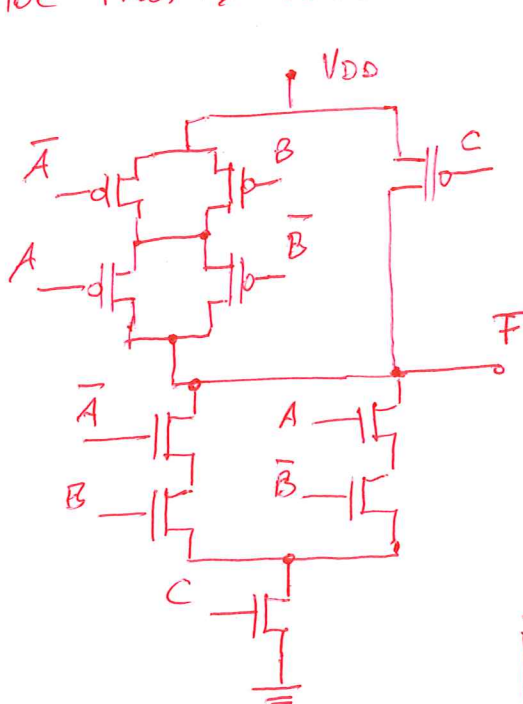
**Problema: (2.5 pts):** Dissenye la funció següent amb lògica CMOS complementària. Estime el nombre de transistors i compare-ho amb un disseny tradicional basat en portes lògiques.

$$F = (\overline{AB} + A\overline{B}) \cdot C$$

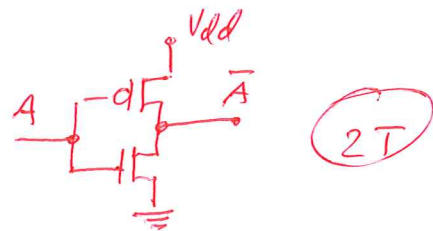
$$F = \overline{G_{NMOS}} \Rightarrow G_{NMOS} = (\underbrace{\overline{A} \cdot B}_{\text{sèrie}} + \underbrace{A \cdot \overline{B}}_{\text{sèrie}}) \cdot C$$

paral·lel  
sèrie

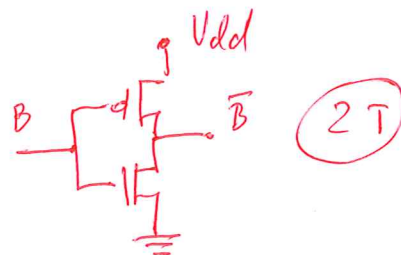
Bloc PMOS  $\Rightarrow$  DUAL



10 T



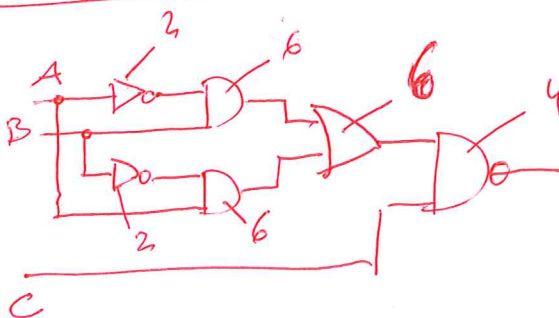
2 T



2 T

$$\text{total} = 14 T$$

Disseny tradicional:



$$N_{\text{total}} = 26 T$$

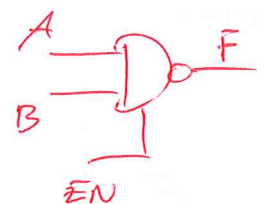




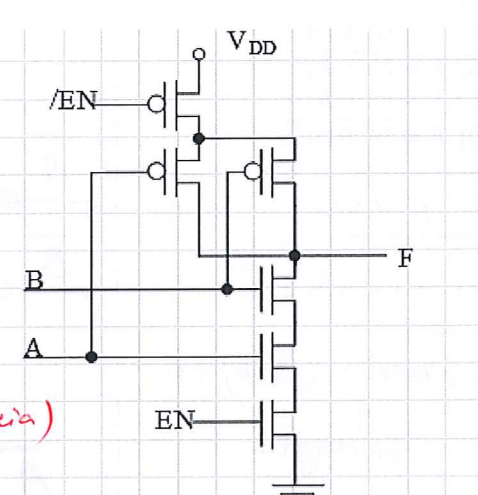
6 Qüestions : (7.5 pts): Bé: 1.25 pts, Mal: -0.31 pts, Blanc: 0 pts.

1. Indique la funció del circuit CMOS de la figura:

[A] NAND drenador obert  
☒ [B] NAND triestate  
 [C] OR triestate  
 [D] Porta de transmissió CMOS



$EN = 0' \rightarrow F = Z$  (alta impedància)  
 $EN = 1' \rightarrow F = \overline{A \cdot B}$



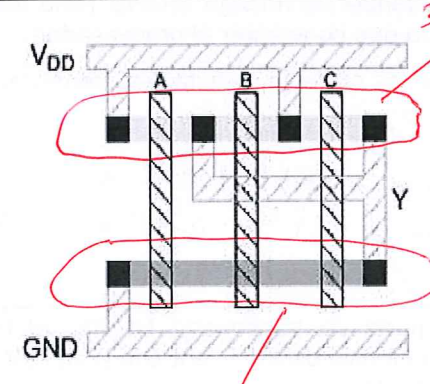
2. Assenyal l'afirmació **FALSA** sobre la tecnologia CMOS:

- ☒ [A] La velocitat es pot millorar augmentant la tensió llindar  $V_T$  dels transistors.  
 [B] Un gran avantatge de CMOS sobre TTL és el baix consum de potència, la qual cosa permet que els xips tinguin una elevada densitat d'integració.  
 [C] La potència estàtica més important és deguda al corrent *subthreshold*.  
 [D] Els xips es fabriquen projectant les màscares sobre l'oblea, mitjançant llum ultraviolada i un sistema de lents de reducció.

*detallat*  $t_p \sim \frac{C_L}{2(V_{DD} - V_T)} \left( \frac{1}{K_p} + \frac{1}{K_n} \right)$

3. Indique la funció del següent layout, fet amb tecnologia CMOS:

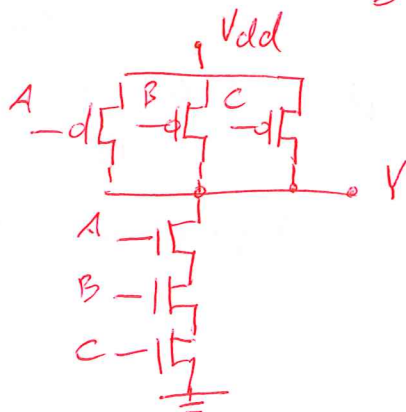
☒ [A]  $F = \overline{ABC}$   
 [B]  $F = A + B + C$   
 [C]  $F = ABC$   
 [D]  $F = \overline{ABC}$  amb eixida triestate



3 transistors PMOS en paral·lel  
 3 transistors NMOS en sèrie

Legend:

- Contact
- Metal1
- pdiff
- ndiff
- Polysilicon



4. Determine la funció booleana  $F$  que implementa el següent circuit:

⇒ [A]  $F = (A.B) + C$   
 [B]  $F = (A+B).C$   
 [C]  $F = (A+B).C$   
 [D]  $F = (A.B) + C$

Bloc NMOS :  
 $G_{NMOS} = (A+B).C$   
 $F = G_{NMOS} = (A.B) + C$   
 ↑  
 de Morgan

Bloc PMOS :  
 $G_{PMOS} = \overline{A}. \overline{B} + \overline{C}$   
 negant les entrades  
 $G_{NMOS} = (A.B) + C$

5. Un processador CMOS té  $10^7$  transistors per a la lògica combinacional/seqüencial i  $10^8$  transistors per a la memòria. El factor d'activitat mitjana és 0.1 per a la lògica, i 0.01 per a la memòria. La capacitat mitjana de cada transistor és 1 fF (1 femtofarad =  $10^{-15}$ F), el voltatge d'alimentació és 2V i la freqüència de rellotge 2 GHz. Amb totes aquestes dades, calcule la potència dinàmica aproximada que consumeix el processador:

[A] No es pot calcular, falten els corrents de fuga dels transistors.

[B] 8W

[C] 4W

⇒ [D] 16W

$$P_{cl} = (V_{dd})^2 \times f \times C_L$$

$$P_{cl \text{ lògica}} = (2)^2 \times 0.1 \times 2 \times 10^9 \times 10^7 \times 10^{-15} = 8W$$

$$P_{cl \text{ mem}} = (2)^2 \times 0.01 \times 2 \times 10^9 \times 10^8 \times 10^{-15} = 8W$$

$$P_{cl} = 8W + 8W = 16W$$

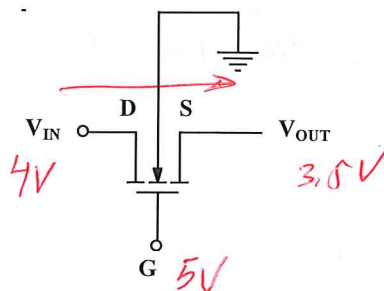
6. La figura mostra una porta de transmissió NMOS. El transistor té una tensió llindar  $|V_T| = 1.5V$ . Si s'aplica una tensió de 4V a l'entrada ( $V_{IN}$ ) i 5V al terminal de porta (G). ¿Quin serà el voltatge en l'eixida ( $V_{OUT}$ )?

[A] 5V

[B] 2.5V

[C] 3.5V

[D] 4V



$V_G = 5V \rightarrow$  porta funciona  
 Però no transmet tot  
 el senyal, transmet fins  
 a  $5 - V_t = 3.5V$   
 Degradació dels 1'

**Problema: (2.5 pts):** Dissenye la funció següent amb lògica CMOS complementària. Estime el nombre de transistors i compare-ho amb un disseny tradicional basat en portes lògiques.

$$F = ABC + \overline{D}$$

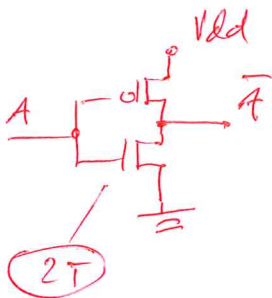
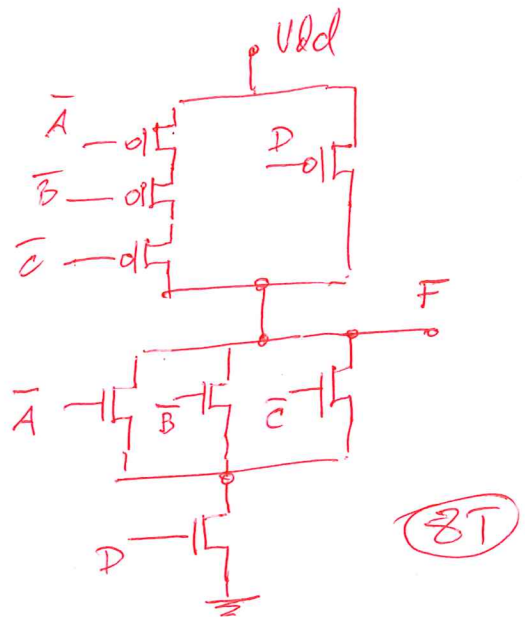
$$F = \overline{\overline{F}} = \overline{ABC + D} = (\overline{A} + \overline{B} + \overline{C}) \cdot \overline{D}$$

↑
↑  
 Com F negé      De Morgan

Com F no ve  
negada, la negue  
2 vegades i  
es queda igual

$$G_{NMOS} = \underbrace{(\bar{A} + \bar{B} + \bar{C})}_{\text{parallel}} \cdot \underbrace{D}_{\text{series}}$$

Bloc PMOS  $\Rightarrow$  Dual



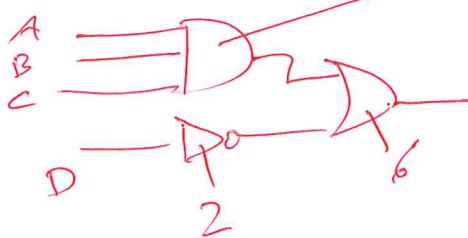
idem per  $\overline{B}, \overline{C} \rightarrow$

TOTAL:  $8 + 6 = 14$

Disseny tradicional ! 6 2

---

8 ≡ Do-Do-



$$N_{TOTAL} = 16T$$

