

Estructura de Computadores

Grado de Ingeniería Informática
ETSINF

Tema 5 La memoria principal

Objetivos

- Presentar una visión de conjunto del sistema de memoria del computador
- Revisar las características básicas de las memorias, en particular aquellas que determinan sus prestaciones
- Comprender la organización y acceso a la memoria principal
- Describir las características estructurales y funcionales más relevantes de las memorias RAM dinámicas síncronas (SDRAM)
- Interpretar los parámetros de temporización de las SDRAM
- Comprender la configuración de los módulos de memoria
- Definir el concepto de mapa de memoria e introducir el diseño de los sistemas de decodificación
- Entender las funciones del controlador de memoria dinámica

Contenidos

1. El sistema de memoria del computador
2. Características básicas de las memorias y medida de prestaciones
3. Memoria principal
4. Memorias RAM dinámicas
5. Módulos de memoria
6. Mapas de memoria
7. El controlador de memoria

Bibliografía

- Stallings, W.
 - ✓ Organización y arquitectura de computadores. 7ª edición, Prentice Hall, 2006. Cap.5 (5.3)
- Hamacher, V.C., Vranesic, Z.G., Zaky, S.G.
 - ✓ Organización de computadores. 5ª edición. McGraw Hill, 2002. Cap.5 (5.2.4, 5.2.5, 5.2.6, 5.6.1)
- Patterson, D.A., Hennessy, J.L.
 - ✓ Estructura y diseño de computadores. La interfaz hardware/software. 4ª edición. Reverté, 2011
- Páginas web:
 - ✓ www.micron.com (chips)
 - ✓ www.kingston.com (módulos)
 - ✓ www.tomshardware.com

I. El sistema de memoria del computador

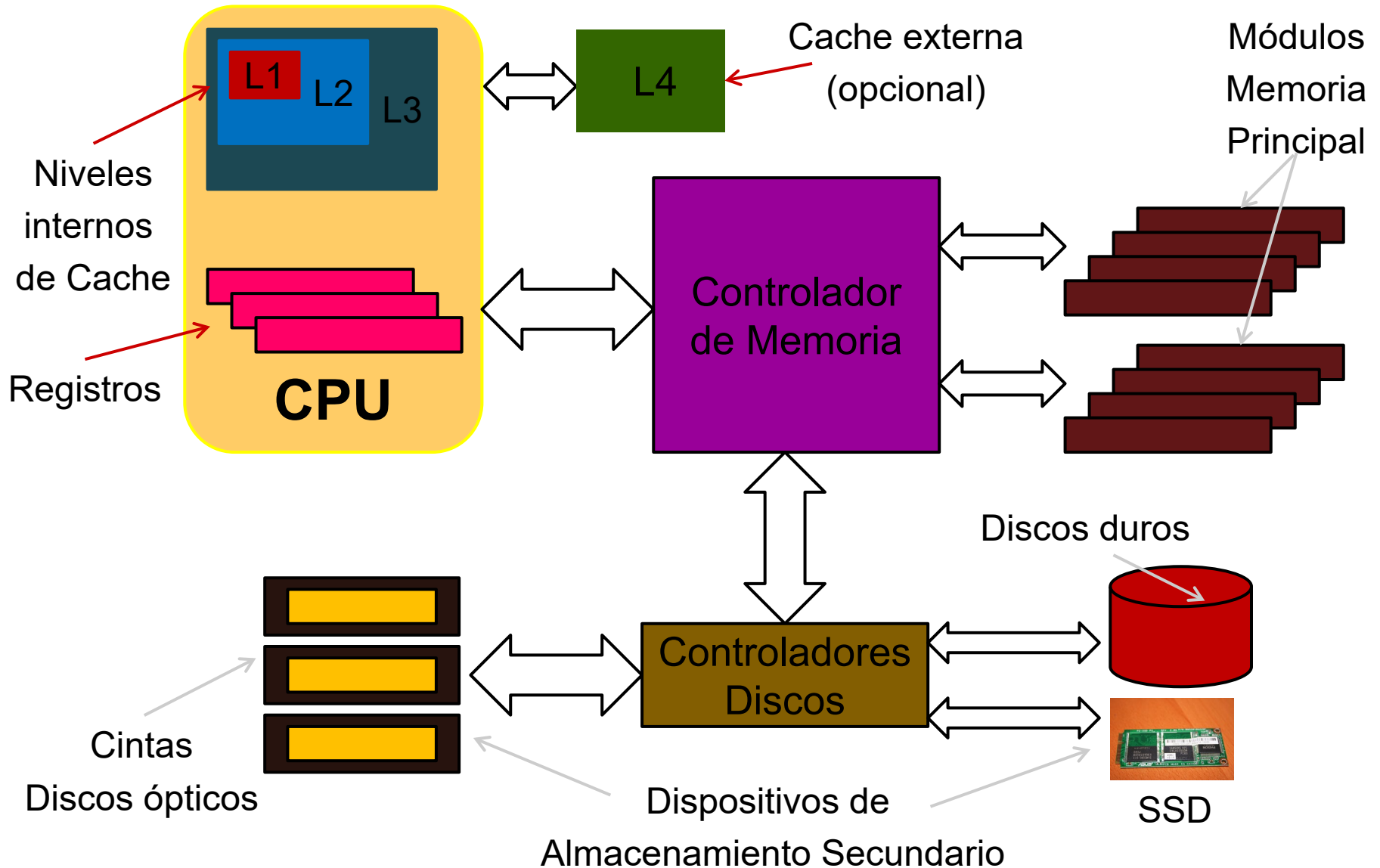
- Qué es y dónde se sitúa la memoria
- Concepto de jerarquía de memoria

¿Qué es y dónde se sitúa la memoria?

- Medio físico capaz de almacenar información de forma temporal o permanente
- ¿Dónde se sitúa la memoria en un computador?
 - ✓ Registros del procesador
 - ✓ Memoria caché
 - ✓ Memoria principal
 - ✓ Memoria secundaria
 - SSD
 - Discos
 - Cintas
 - Discos ópticos
- Objetivo: diseñar una memoria con capacidad elevada y tiempo de acceso pequeño
- Ello se posibilita mediante el concepto de Jerarquía de Memoria

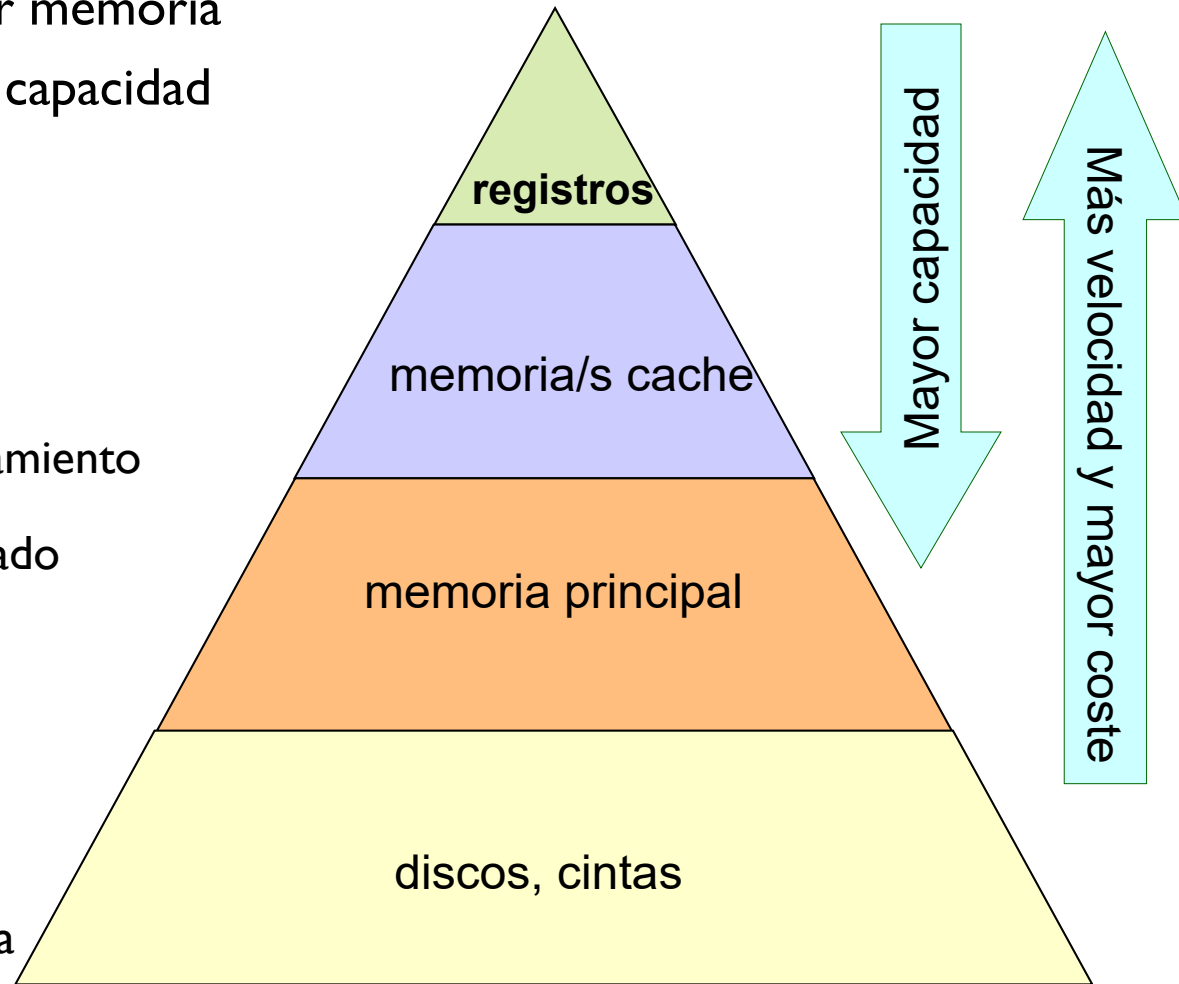
Tecnologías diferentes
Fundamentos físicos diferentes
Localización en diversos lugares

Sistema de memoria de un computador



Jerarquía de memoria: ¿qué es?

- Situación ideal: disponer memoria rápida y barata de gran capacidad
- Criterios tecnológicos contrapuestos
 - ✓ Velocidad de acceso
 - ✓ Capacidad de almacenamiento
 - ✓ Coste por bit almacenado
 - ✓ Consumo de potencia
 - ✓ Fiabilidad
- Solución
 - ✓ Organización jerárquica



Tecnologías para memorias

- Las principales tecnologías usadas hoy en día son:
 - ✓ La memoria principal se implementa mediante **RAM Dinámica Síncrona (SDRAM)**
 - ✓ La Memoria cache mediante **RAM estática (SRAM)**
 - ✓ Los discos duros utilizados en la memoria secundaria son **magnéticos**
 - ✓ La memoria **Flash** tiene diferentes usos
 - Memoria principal en dispositivos móviles
 - Dispositivo de almacenamiento secundario de altas prestaciones SSD
 - ✓ El almacenamiento externo es muy variado en dispositivos y tecnología
 - Ópticos (CD-ROM, DVD...)
 - Flash (pendrives)
 - Magnética (discos externos, cintas)
- Las características y prestaciones de cada tecnología son muy diferentes

Ejemplos

Tecnología	Tiempo acceso	Coste/GB (2018)
SRAM	0.5 .. 2.5 ns	\$300
DRAM	50 .. 70 ns	\$6
Flash	5,000 .. 50,000 ns	\$0.40
Disco magnético	5,000,000 .. 20,000,000 ns	\$0.02

2. Características básicas de las memorias y prestaciones

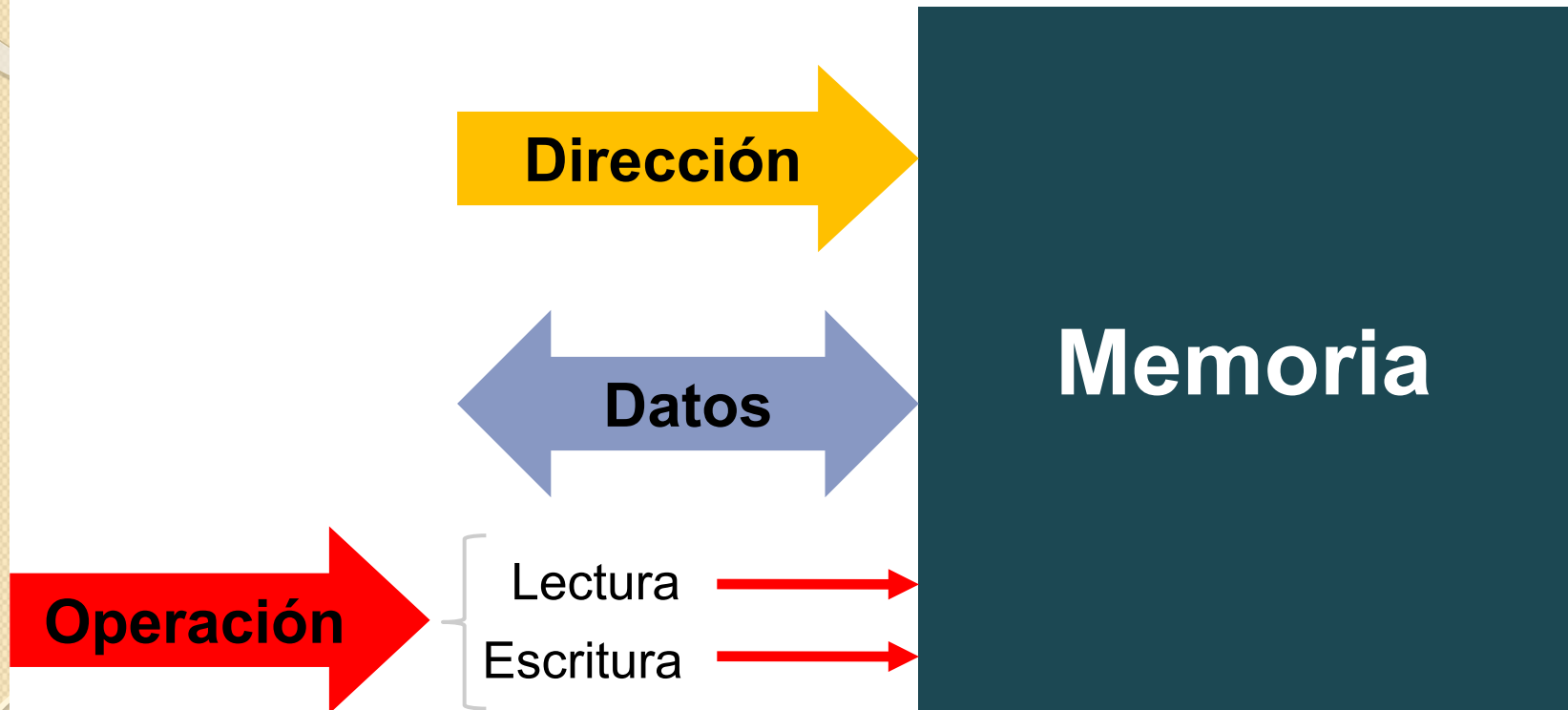
- Modo de acceso
- Capacidad de almacenamiento
- Tiempos de acceso y de ciclo
- Ancho de banda

Parámetros característicos de las memorias

- Modo de acceso
 - ✓ ¿Cómo accedemos a la información?
- Capacidad
 - ✓ ¿Cuánta información cabe?
- Ancho de banda (velocidad de transferencia)
 - ✓ ¿Cómo de rápido se transfiere la información?

Modos de acceso

Operación básica de acceso a memoria



- El Byte es la unidad mínima de información que puede ser accedida/direccionada por la CPU

Modos de acceso

Información accedida en cada acceso

- Palabra
 - ✓ Unidad máxima de transferencia en un acceso
 - ✓ Su longitud en bytes suele ser una potencia entera de 2 (1, 2, 4, 8, 16, ...)
 - ✓ Ejemplo
 - Transferencias entre memoria principal y procesador sin cache
- Bloque
 - ✓ Conjunto de palabras al que se accede por medio de una petición
 - ✓ Ejemplos
 - Transferencias entre memoria cache y memoria principal
 - Transferencias entre discos y memoria principal

Modos de acceso

- **Aleatorio** (*random access*)
 - ✓ Tiempo de acceso independiente de la posición de la información
 - Ejemplos: memorias principal y caché, memorias ROM
- **Secuencial** (*sequential access*)
 - ✓ Tiempo de acceso proporcional a la distancia de la información
 - Ejemplo: cintas magnéticas
- **Directo** (*direct access*)
 - ✓ Tiempo de acceso proporcional a la distancia entre la información y el lector (cabezal)
 - ✓ Hay dos componentes: uno directo y otro secuencial
 - Ejemplo: discos magnéticos
- **Acceso asociativo** (*content-addressable memory -CAM*)
 - ✓ Memorias direccionables por contenido
 - ✓ Comportan mayor tiempo de acceso por la necesidad de comparación, si bien éste es independiente de la posición
 - Ejemplo: TLB, directorio memoria cache

Capacidad de almacenamiento

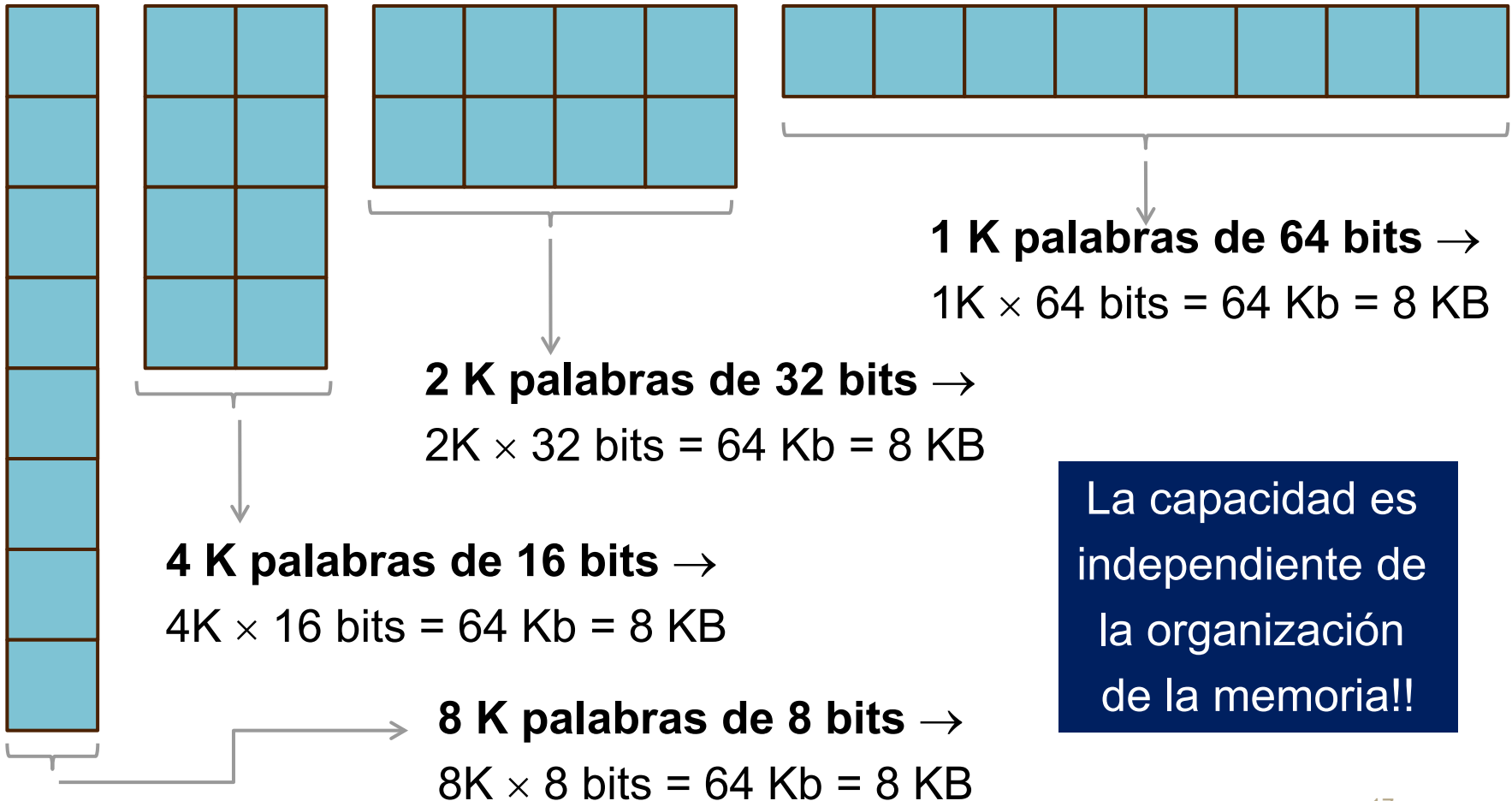
- Cantidad de información almacenada: bits o bytes
 - ✓ Nomenclatura: B = 1 byte, b = 1 bit
- ¿Cómo se expresa la capacidad?
 - ✓ Capacidad total: en bits, en bytes o múltiplos de byte \Rightarrow
 \Rightarrow **Número de palabras \times Tamaño de palabra (bits/bytes)**
- Prefijos
 - ✓ Según el contexto, son del tipo 2^n o del tipo 10^n
 - Ejemplo: la capacidad de la memoria principal siempre se expresa en unidades del tipo 2^n

Prefijos aplicables:	nombre	valor (2^n)	valor (10^n)
	Kilo (K)	2^{10}	10^3
	Mega (M)	2^{20}	10^6
	Giga (G)	2^{30}	10^9
	Tera (T)	2^{40}	10^{12}
	Peta (P)	2^{50}	10^{15}

Capacidad de almacenamiento y organización



1 K palabras de 8 bits $\rightarrow 1K \times 8 \text{ bits} = 8 \text{ Kb} = 1 \text{ KB}$



La capacidad es independiente de la organización de la memoria!!

Ejemplos de capacidad de almacenamiento

- Capacidad total expresada en bytes
 - ✓ $1024 \text{ bytes} = 2^{10} \text{ bytes} = 1 \text{ KB}$
- Memoria de 128K posiciones de 16 bits cada una
 - ✓ $128\text{K} \times 16 \text{ bits} = 128\text{K} \times 2^4 \text{ bits} = 128\text{K} \times 2^1 \times 2^3 \text{ bits} = 128\text{K} \times 2^1 \text{ bytes} = 256 \text{ KB}$
- Memoria de 8 MB en palabras de 32 bits
 - ✓ $8 \text{ MB} = 2^3 \times 2^{20} \times 2^3 \text{ bits} = 2^1 \times 2^{20} \times 2^5 \text{ bits} = 2\text{M} \times 32 \text{ bits}$
- Otros ejemplos
 - ✓ $64 \text{ Kbits} = 64\text{K} \times 1 \text{ bits} = 2^{16} \text{ bits} = 2^{13} \times 2^3 \text{ bits} = 2^{13} \text{ bytes} = 8 \text{ KB}$
 - ✓ $256 \text{ Mbits} = 2^8 \times 2^{20} \text{ bits} = 2^5 \times 2^{20} \times 2^3 \text{ bits} = 32 \text{ MB}$

Parámetros temporales

- Tiempos de acceso

- ✓ Tiempo **máximo** entre el inicio de la operación y la obtención o almacenamiento de:
 - la palabra
 - el primer dato del bloque
- ✓ Se mide en unidades de tiempo

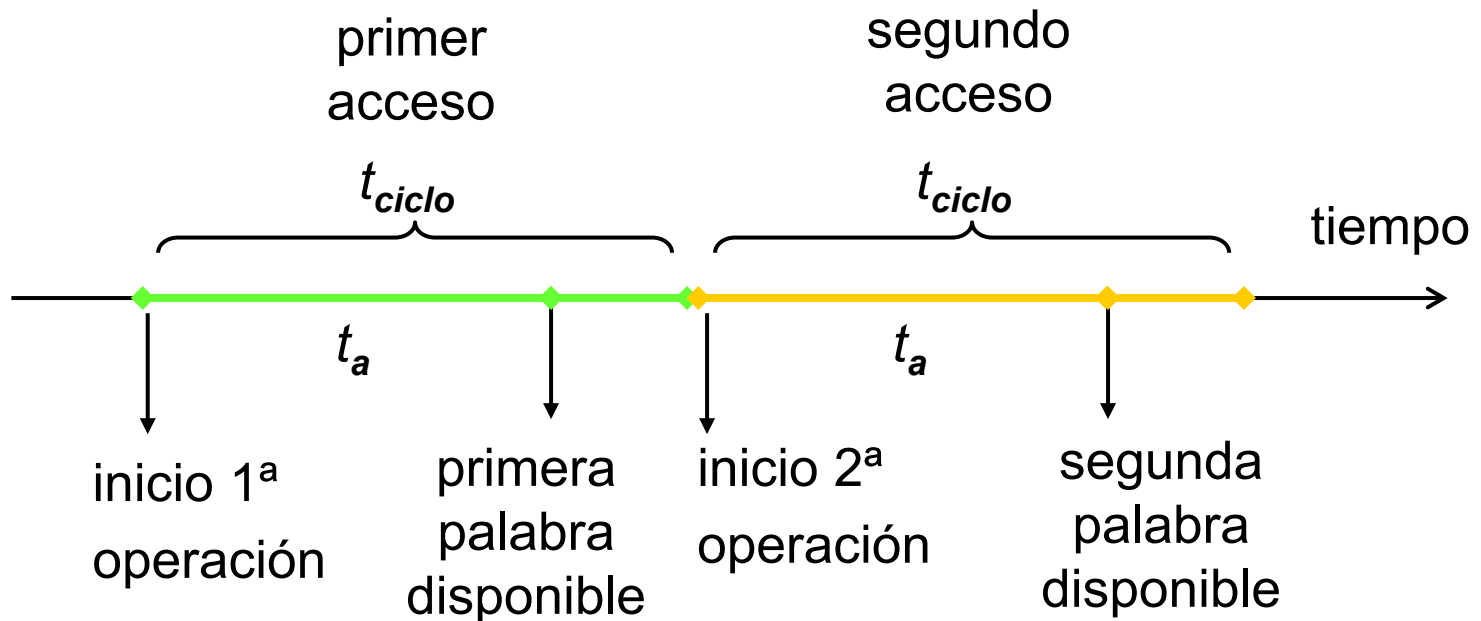
Prefijos aplicables a las unidades de tiempo:	Nombre	Valor
	mili (m)	10^{-3}
	micro (μ)	10^{-6}
	nano (n)	10^{-9}
	pico (p)	10^{-12}

Temporización de un acceso a palabra

- **Tiempo de ciclo**

- ✓ Tiempo mínimo entre dos operaciones consecutivas de memoria
- ✓ En general, $t_{\text{ciclo}} \geq t_{\text{acceso}}$

- Ejemplo: dos accesos de lectura a palabra



Velocidad de transferencia

- Ancho de banda (*Bandwidth*)

- ✓ Genéricamente: cantidad de información transferida por unidad de tiempo

$$B = \frac{\text{bits/bytes transferidos}}{\text{tiempo}}$$

- ✓ Medida en bytes por unidad de tiempo: MB/s, GB/s (MBps, GBps), Mb/s, Gb/s (Mbps, Gbps)
 - Los prefijos siempre son del tipo 10^n
- ✓ Ejemplo con acceso a palabra
 - Tiempo de ciclo: 20 ns
 - Tiempo de acceso: 15 ns
 - En cada acceso se transmite una palabra de 32 bits

$$B = \frac{4 \text{ bytes}}{T_{\text{ciclo}}} = \frac{4 \text{ bytes}}{20 \times 10^{-9} \text{ s}} = 2 \times 10^8 \frac{\text{bytes}}{\text{s}} = 200 \text{ MB/s}$$

Velocidad de transferencia

- Ancho de banda (*Bandwidth*)
 - ✓ Otra forma alternativa de interpretar el ancho de banda

$$B = \text{bytes transferidos en un ciclo} \times \text{frecuencia transmision}$$

- ✓ Los bytes transferidos en un ciclo corresponden al tamaño del bus de datos de la memoria
- ✓ La frecuencia de transmisión corresponde al inverso del tiempo de ciclo de la memoria

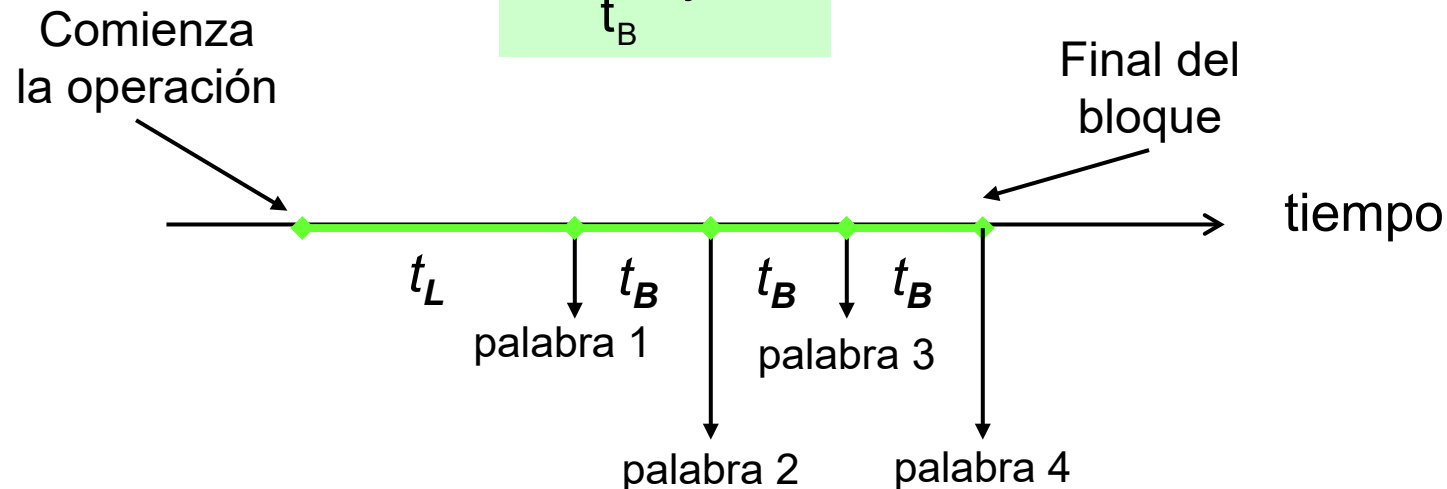
$$\begin{aligned} B &= \text{Tamaño_bus_datos} \times \left(\frac{1}{T_{\text{ciclo}}} \right) = 4\text{bytes} \times \left(\frac{1}{20 \times 10^{-9} \text{s}} \right) = \\ &= 4\text{bytes} \times 50 \times 10^6 \text{ Hz} = 4\text{bytes} \times 50\text{MHz} = 200\text{MB/s} \end{aligned}$$

- ✓ El ancho de banda también suele asociarse al término de *productividad del sistema de memoria*

Temporización de un acceso a bloque

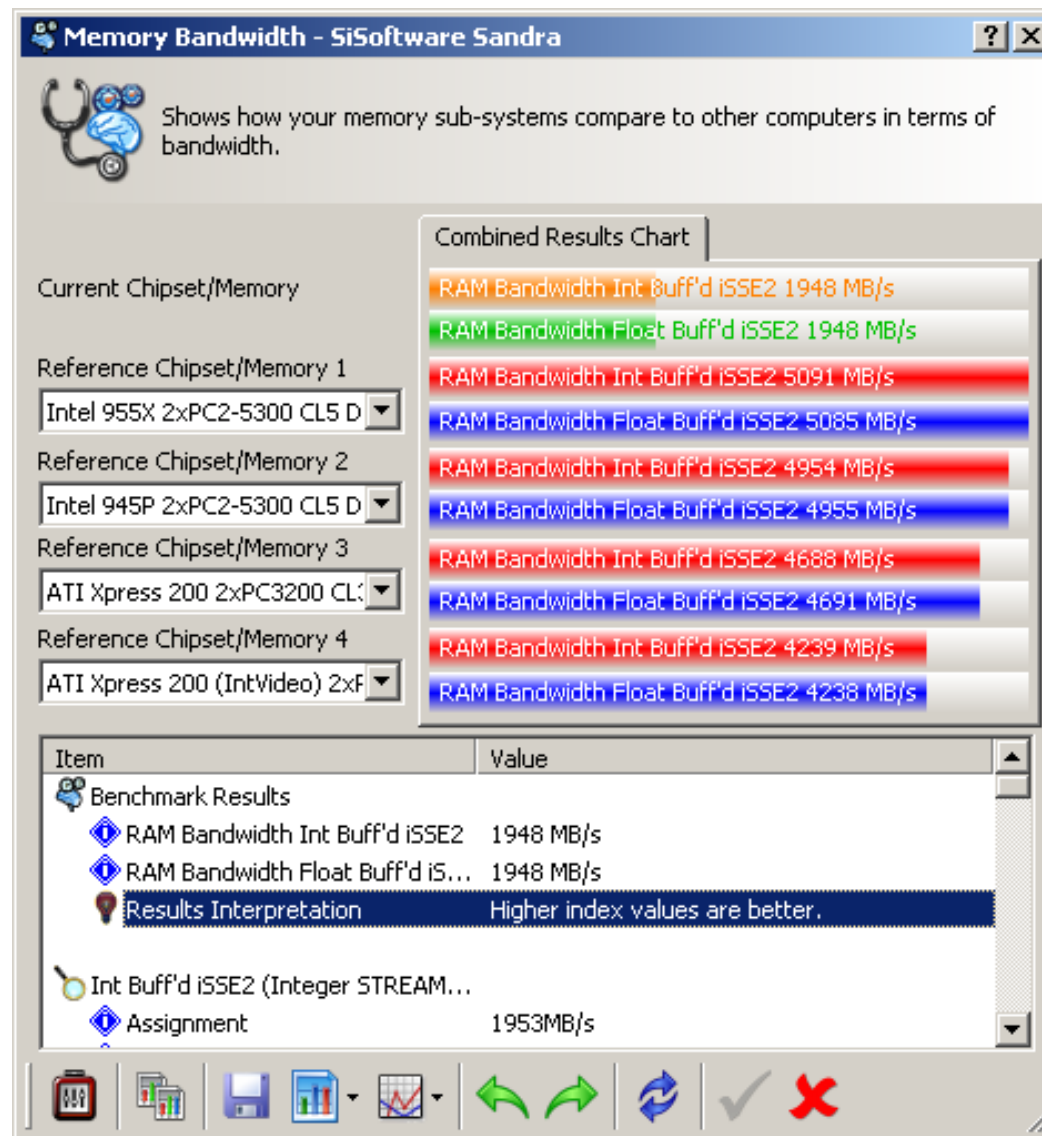
- Tiempo de acceso y ancho de banda
 - ✓ Al acceder a un bloque, hay que dedicar un tiempo de acceso o *latencia* t_L hasta que se transfiere la primera palabra de P bytes
 - ✓ El resto de palabras del bloque se transfieren a intervalos de t_B
 - ✓ El ancho de banda se mide a partir de la primera palabra (*)

$$B = \frac{P}{t_B} \text{ bytes/s}$$



(*) Se asume que es posible concatenar el acceso a sucesivos bloques solapando el final del bloque actual con el tiempo de acceso del bloque siguiente

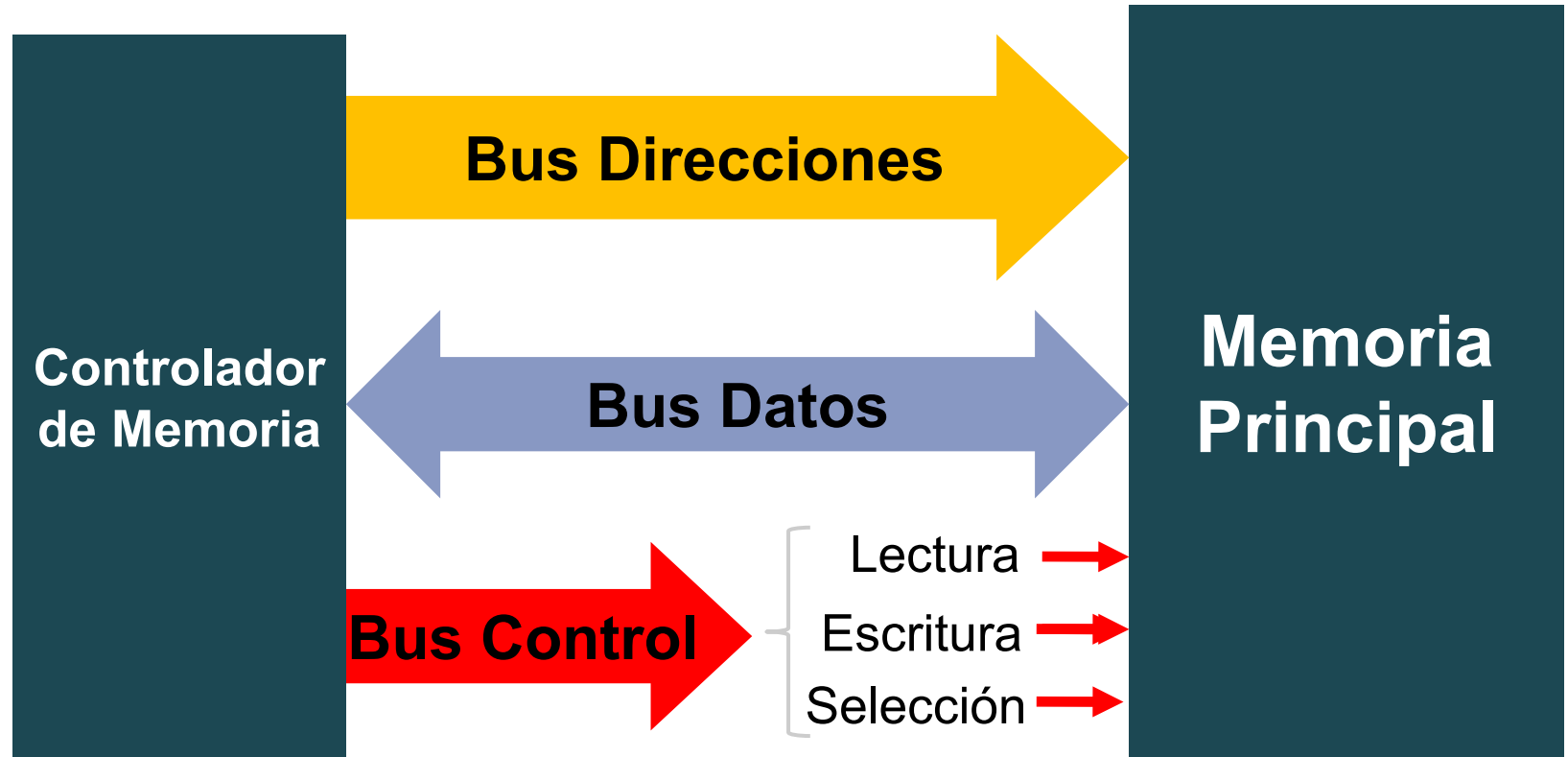
SiSoftware Sandra: ancho de banda



3. La memoria principal

- Interfaz externa de memoria
- Direccionamiento de la memoria principal
 - El problema de la selección de bytes
- Formatos de almacenamiento
- Ubicación de datos en el MIPS R2000
- Organización lógica
- Acceso a memoria en el MIPS R2000
- Acceso a memoria: estructura de buses

Interfaz externa de memoria

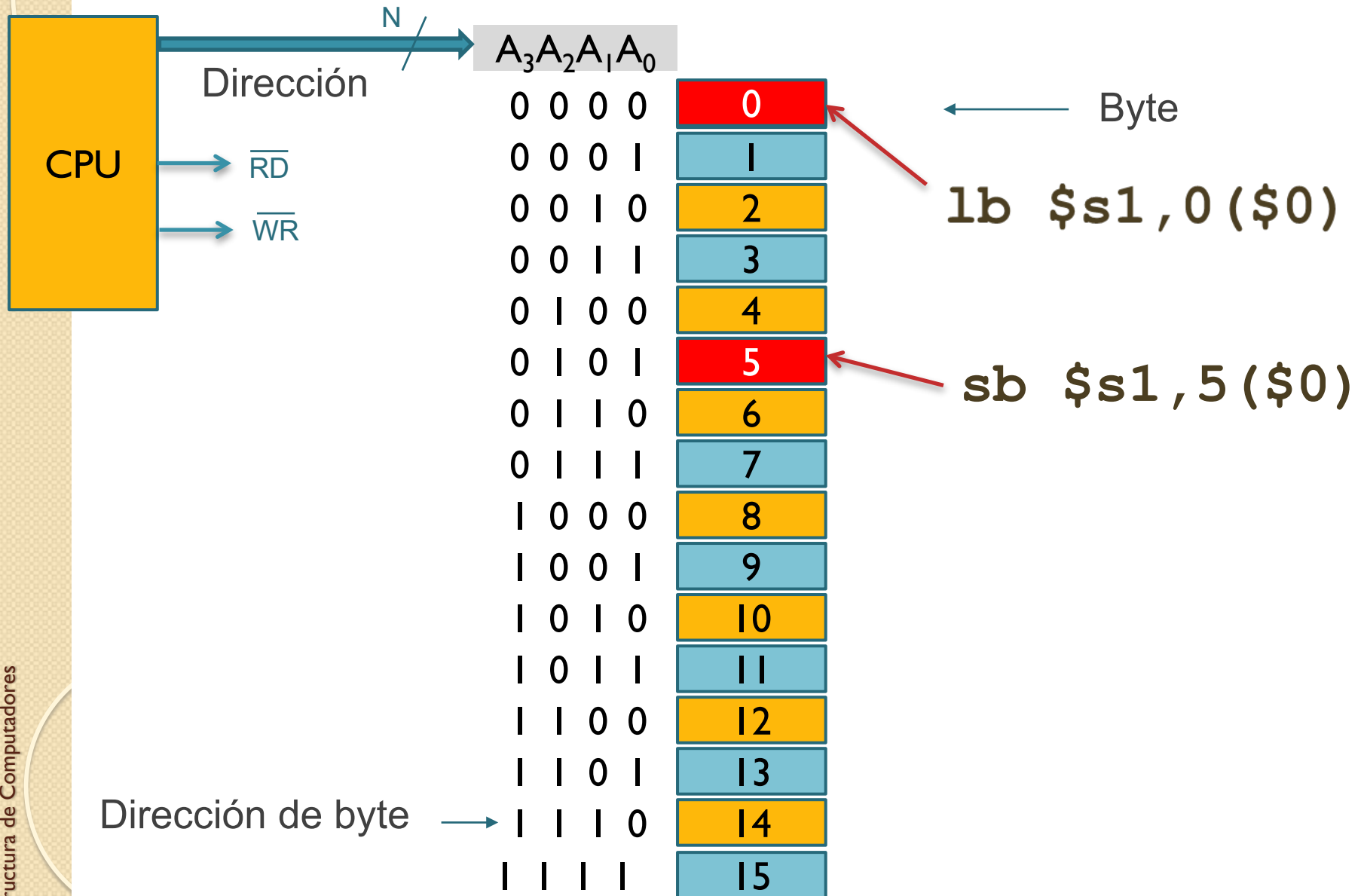


- El controlador de memoria adapta los buses de direcciones/datos/control procedentes de la CPU a las necesidades de conexionado de la memoria principal

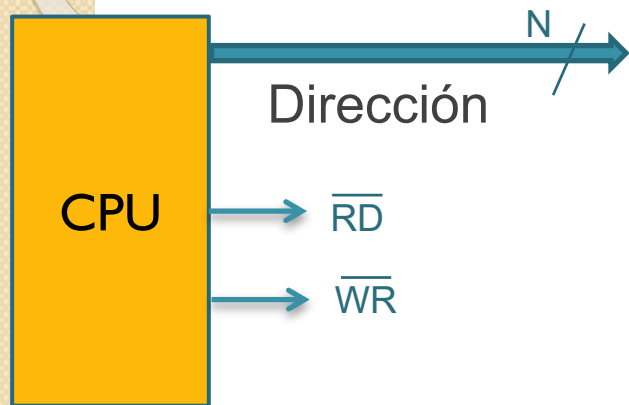
Direccionamiento de la memoria principal

- Direcciones
 - ✓ Van referidas a cada byte
 - ✓ **Cada byte tiene una dirección única**
- Parámetros impuestos por la CPU
 - ✓ Tamaño de palabra ← bus de datos
 - En bits o bytes
 - ✓ Direccionamiento ← bus de direcciones
 - En bits/líneas de dirección
 - En capacidad de direccionamiento (unidades 2^n)
 - ✓ Formato almacenamiento palabras
 - *little-endian / big-endian*
- Ejemplo: MIPS R2000
 - ✓ 32 bits de datos (D_{31} hasta D_0)
 - ✓ 32 bits de dirección (A_{31} hasta A_0) Puede referenciar 2^{32} bytes, es decir, 4 GB

Direccionamiento de memoria en CPU de 8 bits



Direccionamiento de memoria en CPU de 16 bits



$A_3 A_2 A_1$	$A_0=0$	$A_0=1$
0 0 0	0	1
0 0 1	2	3
0 1 0	4	5
0 1 1	6	7
1 0 0	8	9
1 0 1	10	11
1 1 0	12	13
1 1 1	14	15

A_0 no puede
valer 0 y 1 al
mismo tiempo

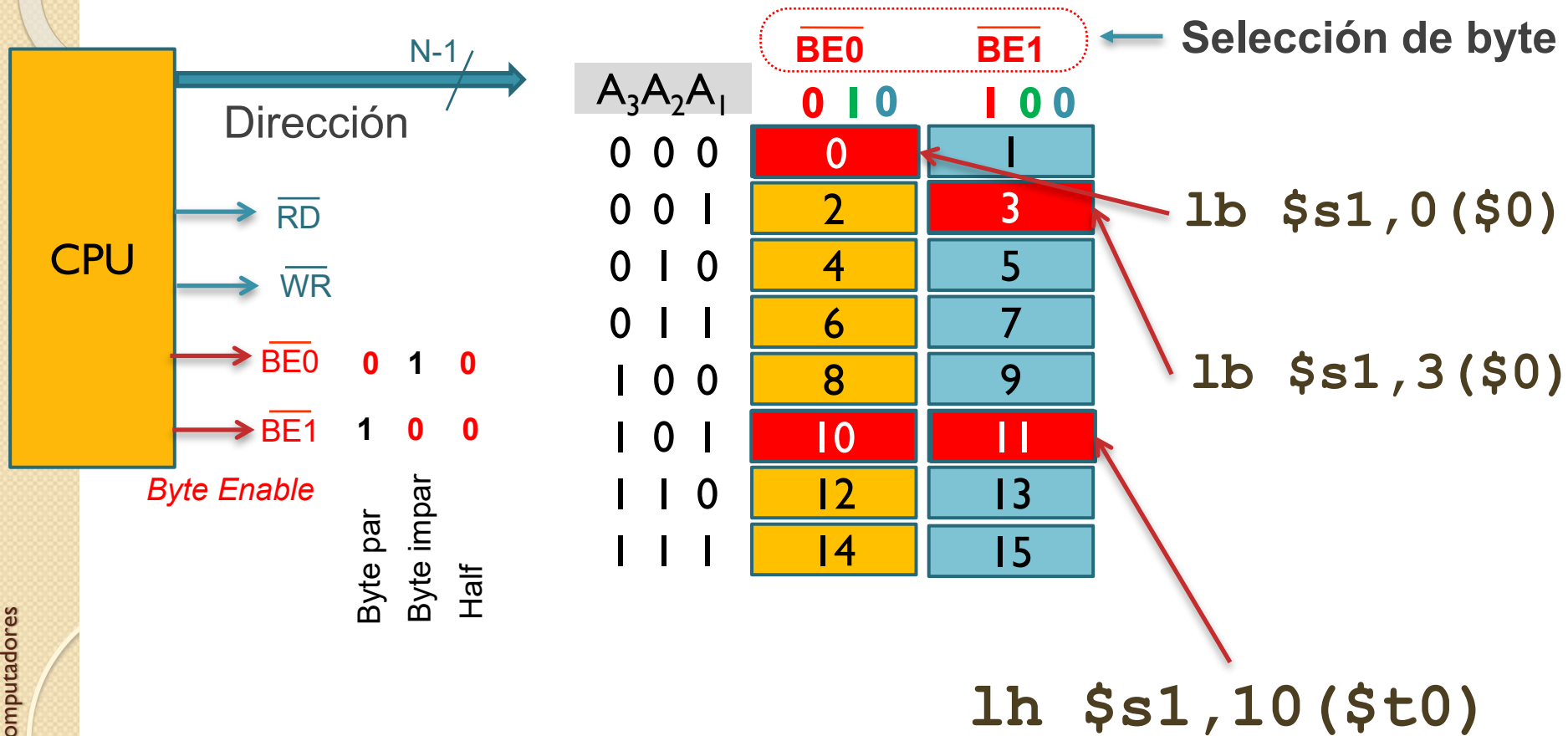
Selección de byte

1b $\$s1, 0 (\$0)$

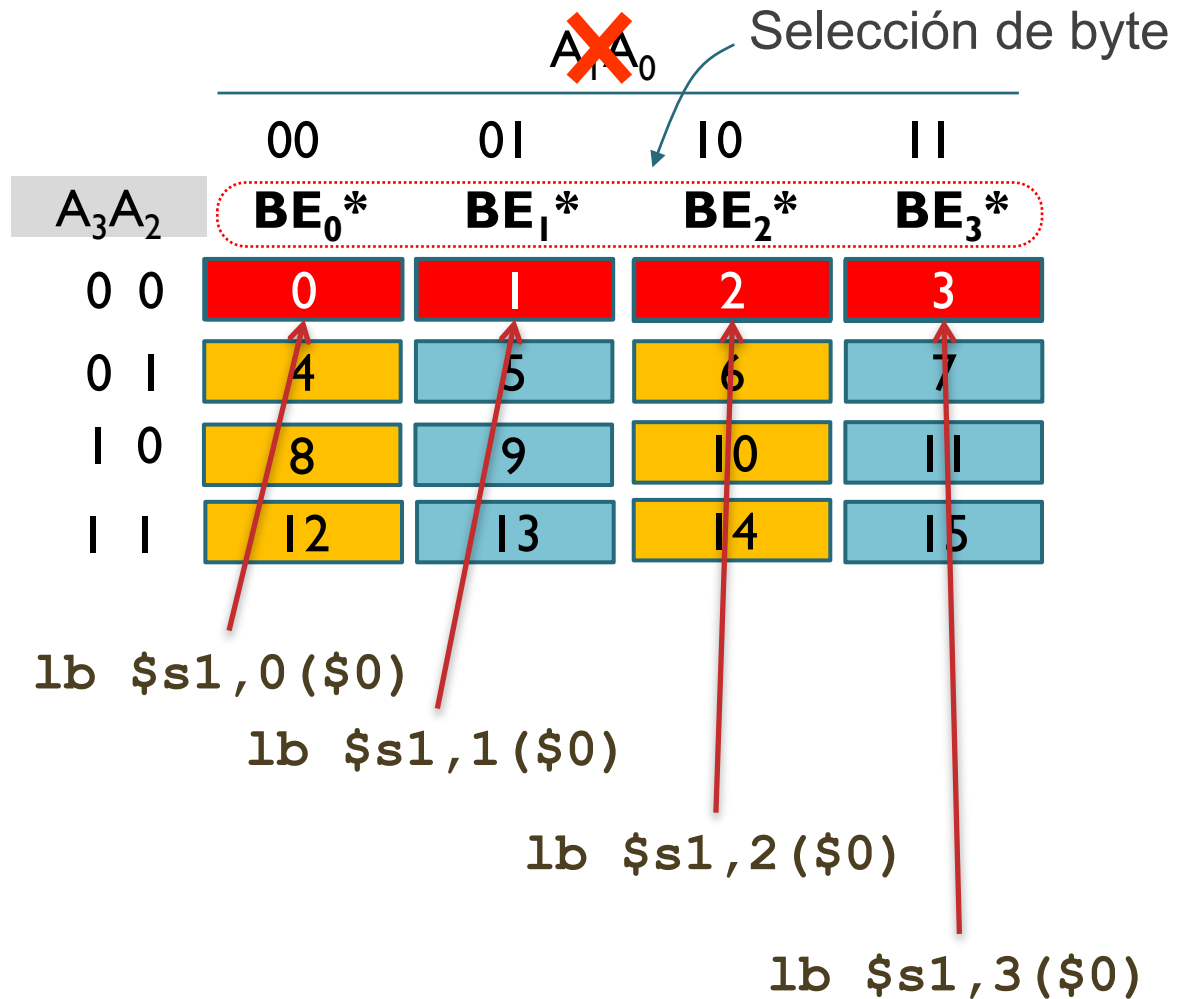
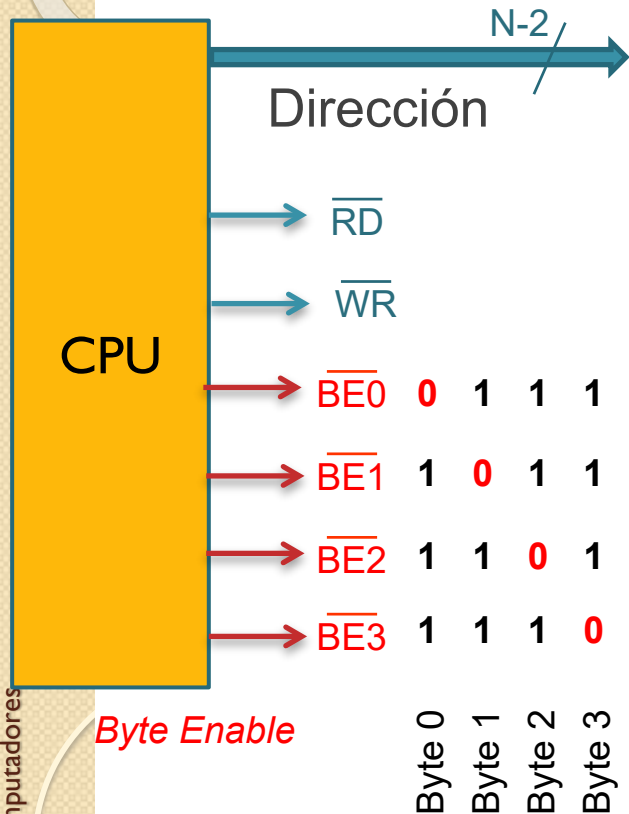
1b $\$s1, 7 (\$0)$

1h $\$s1, 10 (\$t0)$

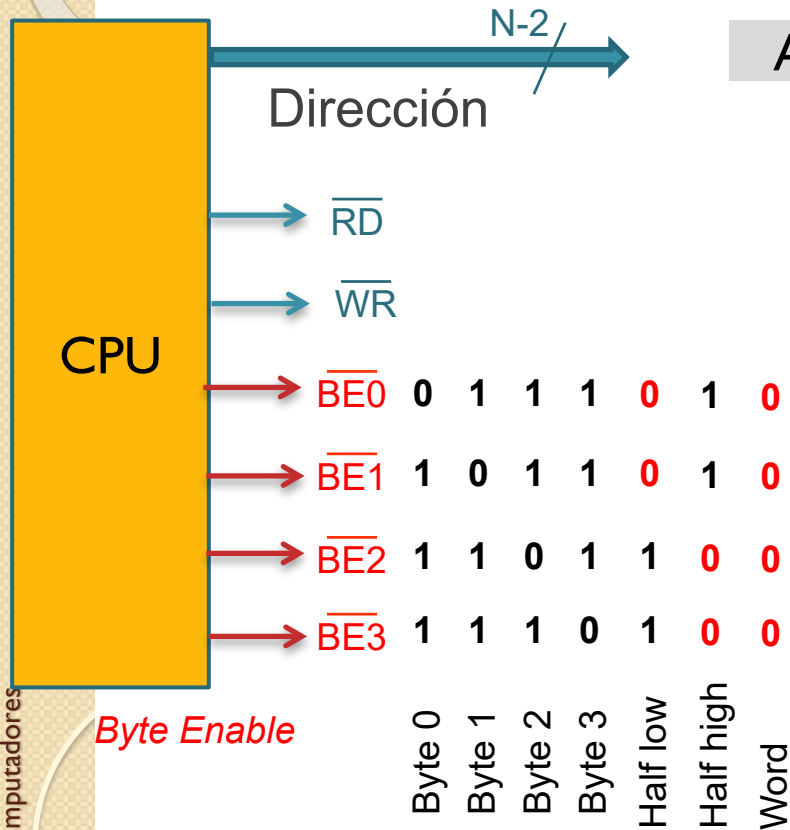
Direccionamiento de memoria en CPU de 16 bits



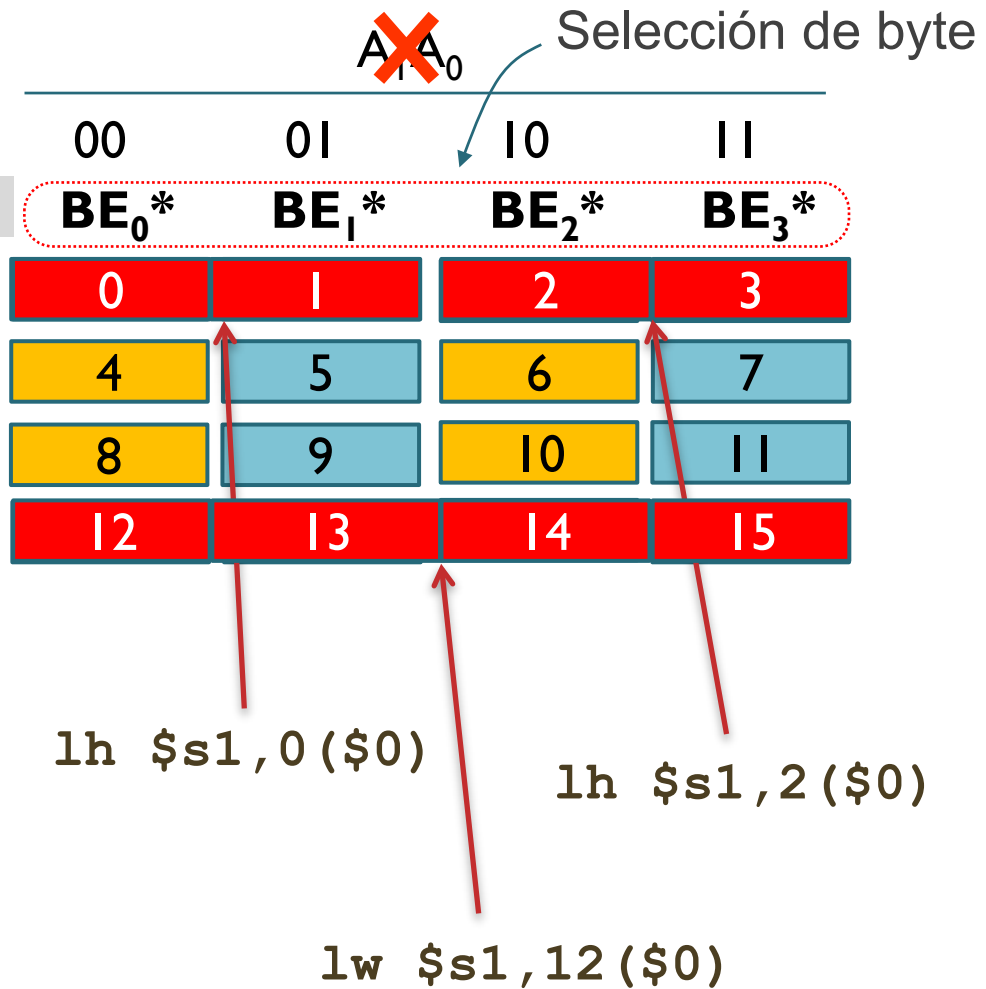
Direccionamiento de memoria en CPUs de 32 bits



Direccionamiento de memoria en CPUs de 32 bits



Byte Enable



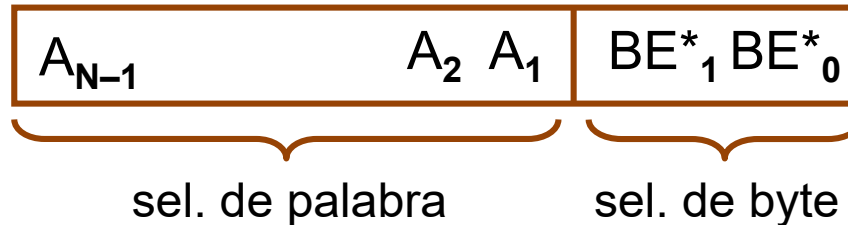
Estructura del bus de direcciones

Dirección de memoria



CPU
16 bits

Bus de Direcciones

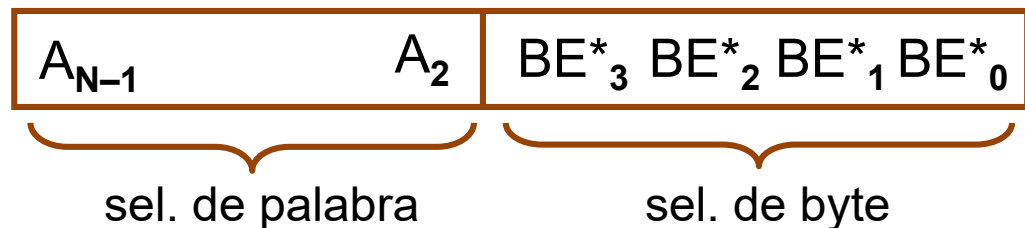


Dirección de memoria



CPU
32 bits

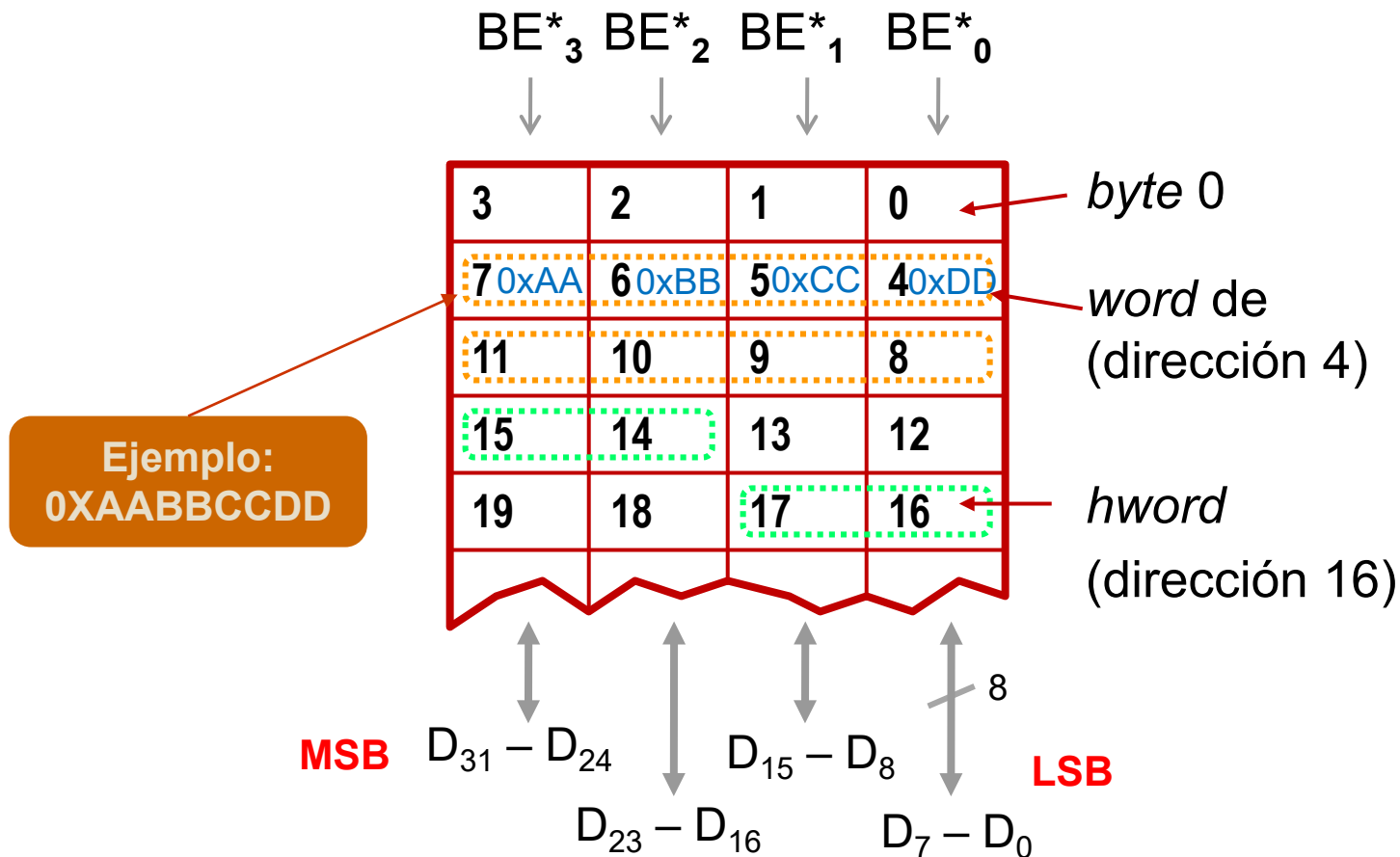
Bus de Direcciones



En el bus, las líneas de dirección siempre seleccionan palabras

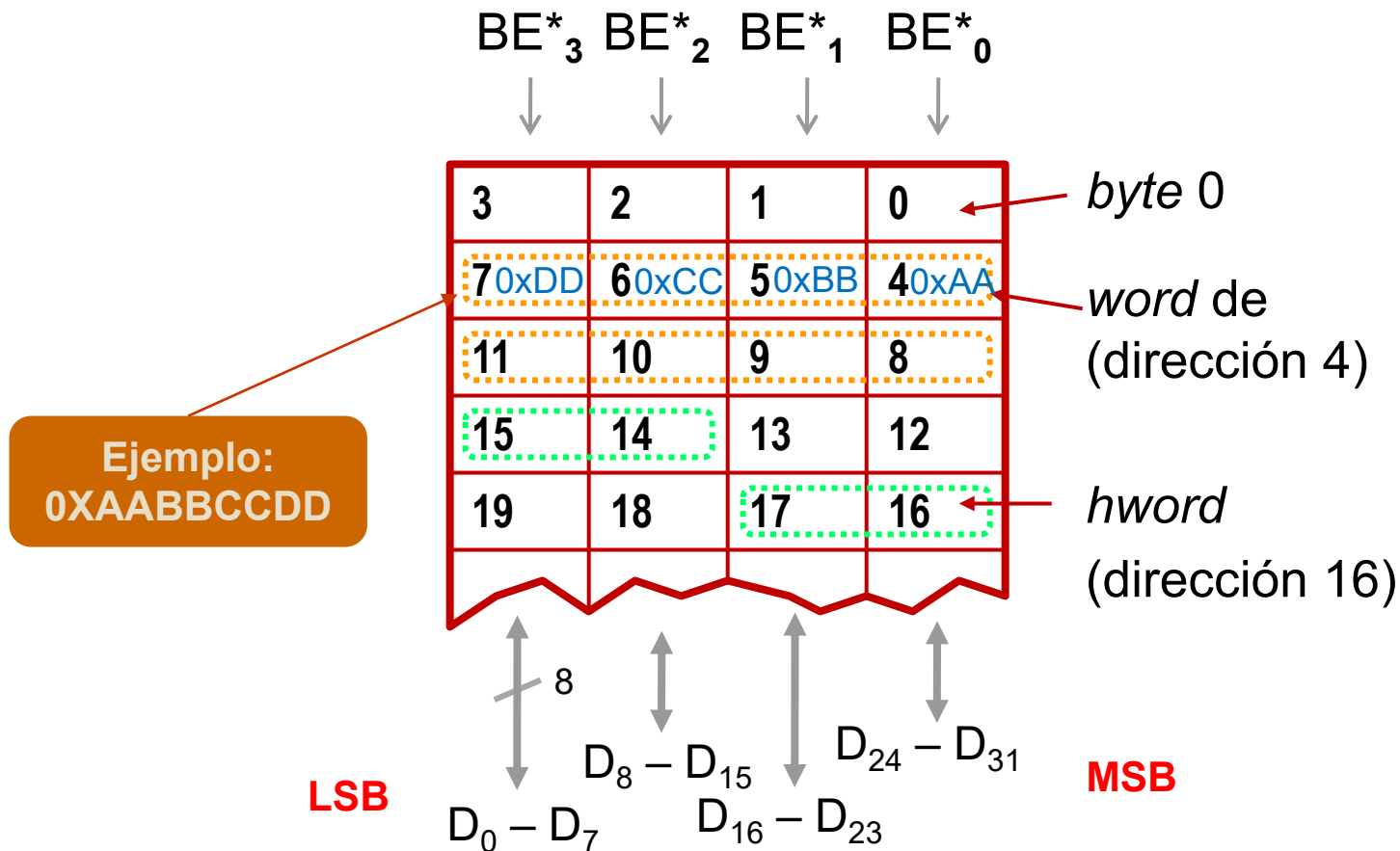
Formato almacenamiento *little-endian*

- ✓ Byte de menos peso (LSB) en la dirección más baja. Byte de más peso (MSB) en la dirección más alta.



Formato almacenamiento *Big-endian*

- ✓ Byte de menos peso (LSB) en la dirección más alta. Byte de más peso (MSB) en la dirección más baja.



Ubicación de datos en el MIPS R2000

- Directivas

- ✓ Octetos: **.byte**
- ✓ Medias palabras: **.half**
- ✓ Palabras enteras: **.word**
- ✓ Cadenas de caracteres:
.ascii **.asciiz**

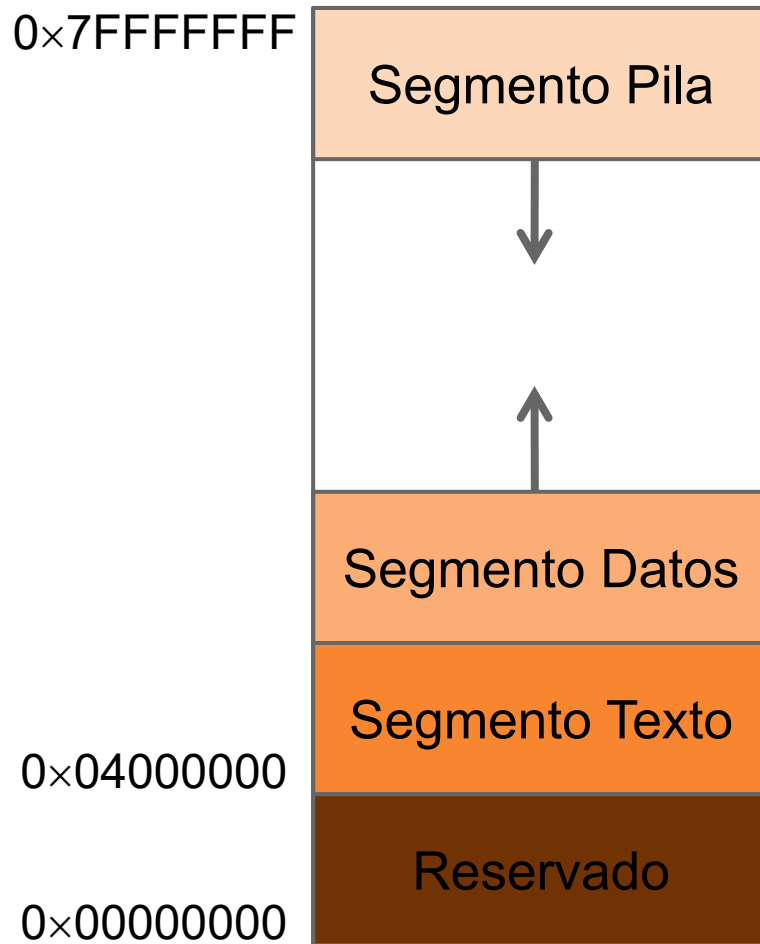
- Alineamiento automático

```

                .data 0x1000A000
dni:           .word 0x98534169
letra:         .asciiz "K"
codbar:        .half 0x8733
fecha:         .byte 0x54
nombre:        .ascii "Pere"
                .word 0x12345678
                .space 2
    
```

0x98	0x53	0x41	0x69	0x1000A000
0x87	0x33	0x00	0x4B	0x1000A004
0x72	0x65	0x50	0x54	0x1000A008
0x00	0x00	0x00	0x65	0x1000A00C
0x12	0x34	0x56	0x78	0x1000A010
		0x00	0x00	0x1000A014

Organización lógica de la memoria



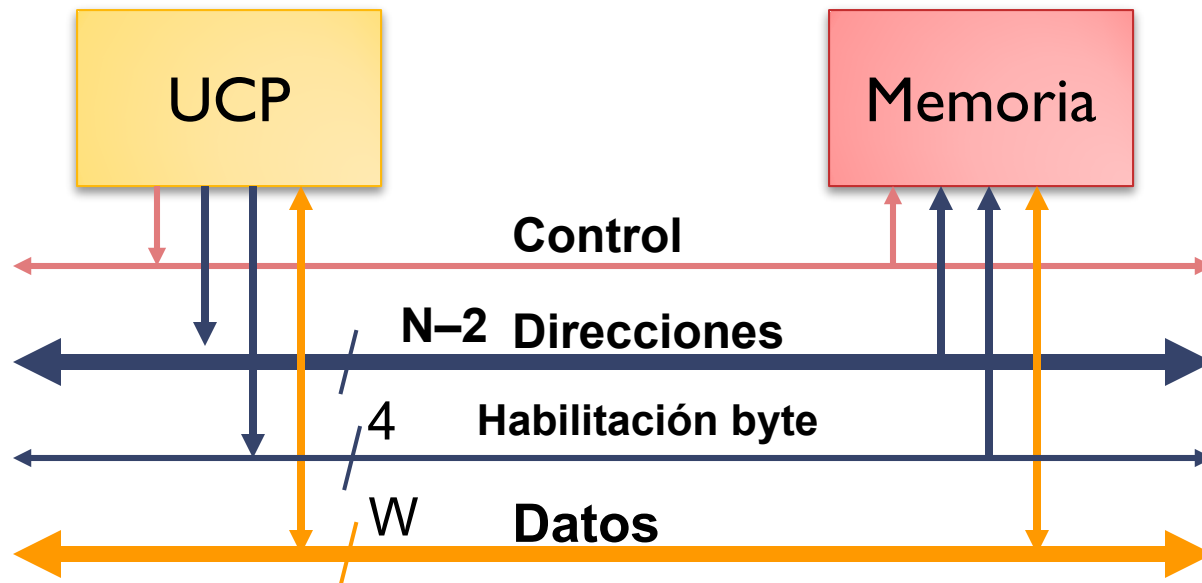
- La memoria no es un simple espacio plano de direcciones, sino que éste se halla organizado en distintas zonas o segmentos desde el punto de vista del software (compilador / SO)
- Los referidos segmentos establecen las áreas de memoria en que ubicar los distintos tipos de información

Acceso a memoria en el MIPS R2000

- La memoria principal es la única visible por el programador (a través de las instrucciones de ***load*** y ***store***)
- **Lectura (*load*)**
 - ✓ Octetos: ***lb*** \$3, 0 (\$6)
 - ✓ Medias palabras (16 bits): ***lh*** \$3, 0 (\$6)
 - ✓ Palabras enteras (32 bits): ***lw*** \$3, 0 (\$6)
- **Escritura (*store*)**
 - ✓ Octetos: ***sb*** \$3, 0 (\$6)
 - ✓ Medias palabras (16 bits): ***sh*** \$3, 0 (\$6)
 - ✓ Palabras enteras (32 bits): ***sw*** \$3, 0 (\$6)
- El tipo de acceso depende de:
 - ✓ Código de operación (código de la instrucción máquina)
 - ✓ Valor de la dirección (par, impar, múltiplo de 2, de 4, etc.)

Estructura del bus de memoria

- Ejemplo con $W=32$ bits de datos y N bits de dirección
 - ✓ $N-2$ líneas físicas de dirección $A_{N-1} \dots A_2$
 - ✓ 4 líneas de habilitación de byte $BE_0^* \dots BE_3^*$
 - ✓ W líneas de datos $D_{31} \dots D_0$
 - ✓ Líneas de control



Generación de las señales $/BE_i$

- **UCP de 32 bits**

- ✓ La unidad de control del procesador, según el tipo de acceso y los bits menos significativos de la dirección, activa las señales $/BE_i$

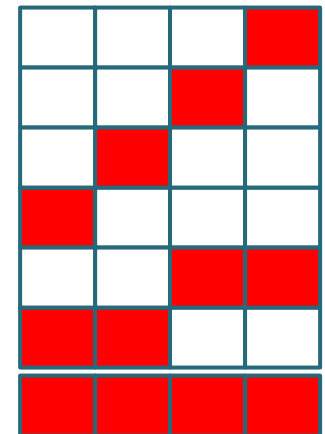
Acceso	A_1	A_0	BE_3^*	BE_2^*	BE_1^*	BE_0^*
a byte	0	0	1	1	1	0
	0	1	1	1	0	1
	1	0	1	0	1	1
	1	1	0	1	1	1
a hword	0	0	1	1	0	0
	1	0	0	0	1	1
a word	0	0	0	0	0	0

⏟

No están en el
bus de direcciones

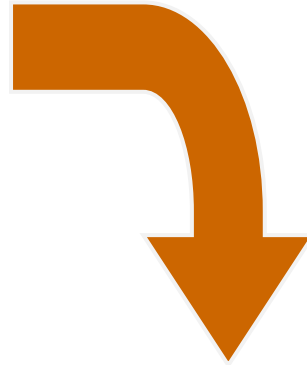
⏟

Señales presentes
en el bus



Ejemplo de activaciones de las señales $/BE_i$

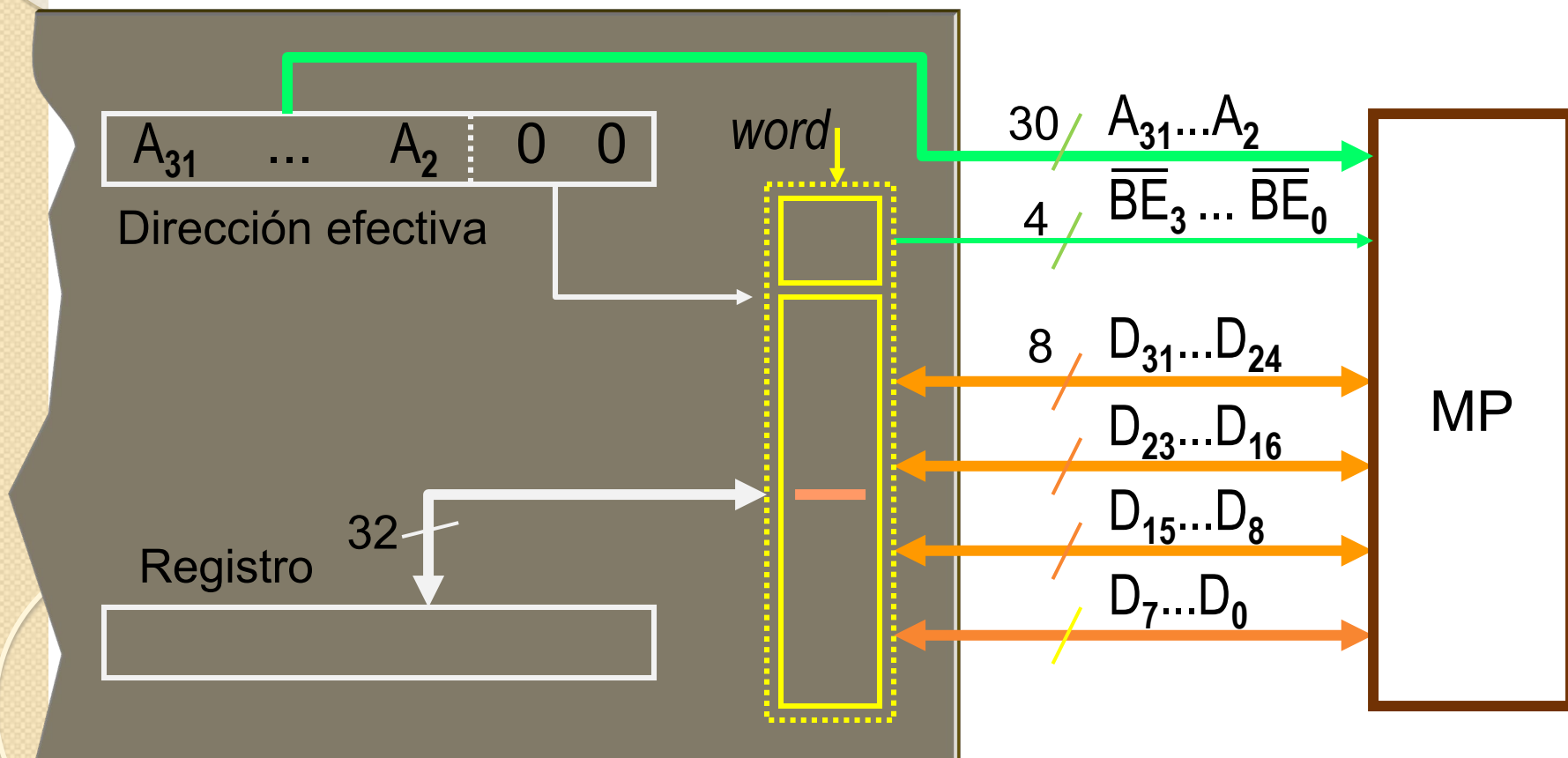
```
li $t0, 0x10000000  
lw $a0, 0($t0)  
lb $a1, 5($t0)  
sh $a2, 6($t0)  
sb $a3, 8($t0)
```



	A_1	A_0	BE_3^*	BE_2^*	BE_1^*	BE_0^*
lw	0	0	0	0	0	0
lb	0	1	1	1	0	1
sh	1	0	0	0	1	1
sb	0	0	1	1	1	0

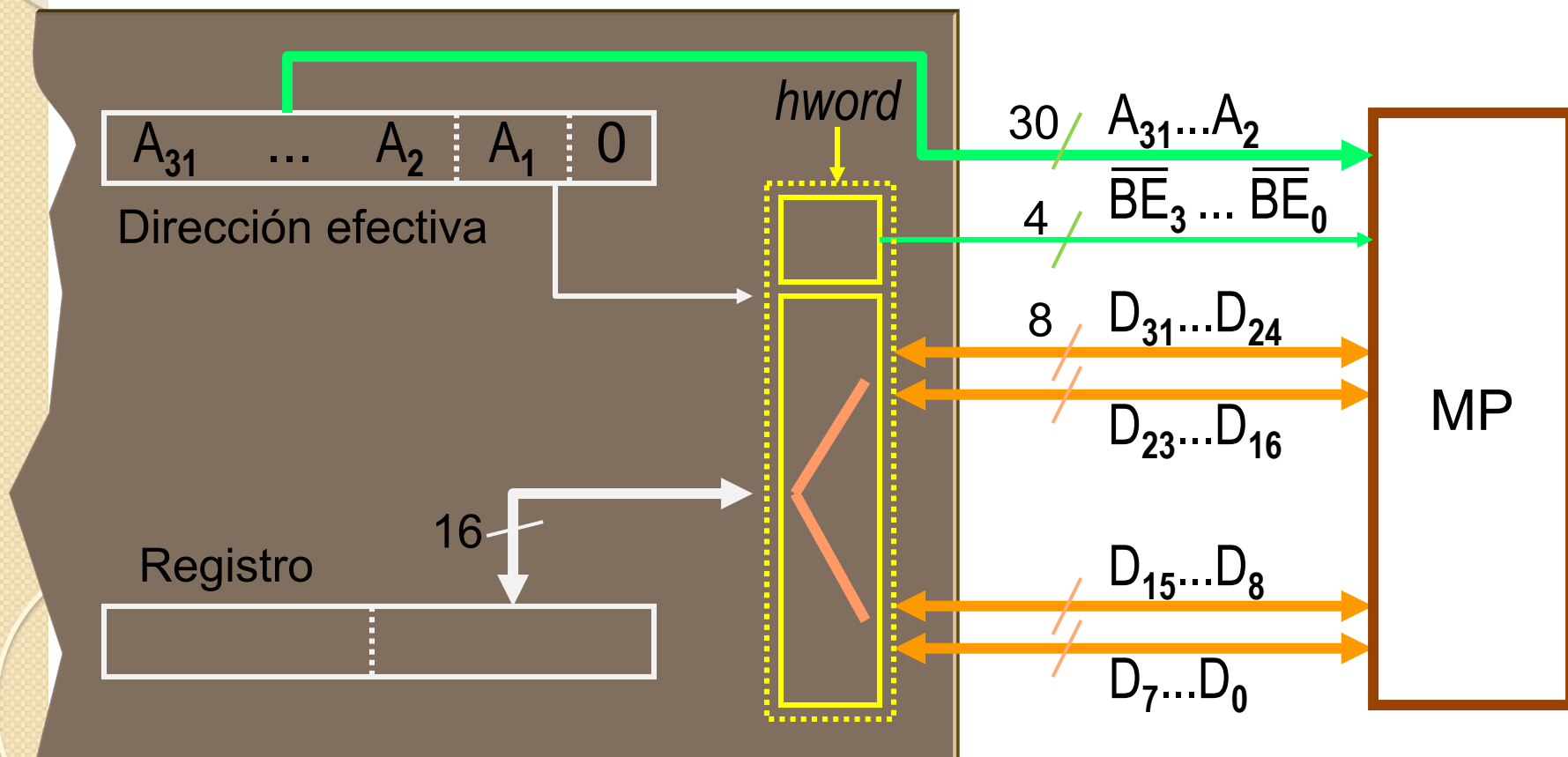
Acceso a una palabra de 32 bits

- Dirección efectiva múltiplo de 4 (bits $A_1A_0 = 00$)



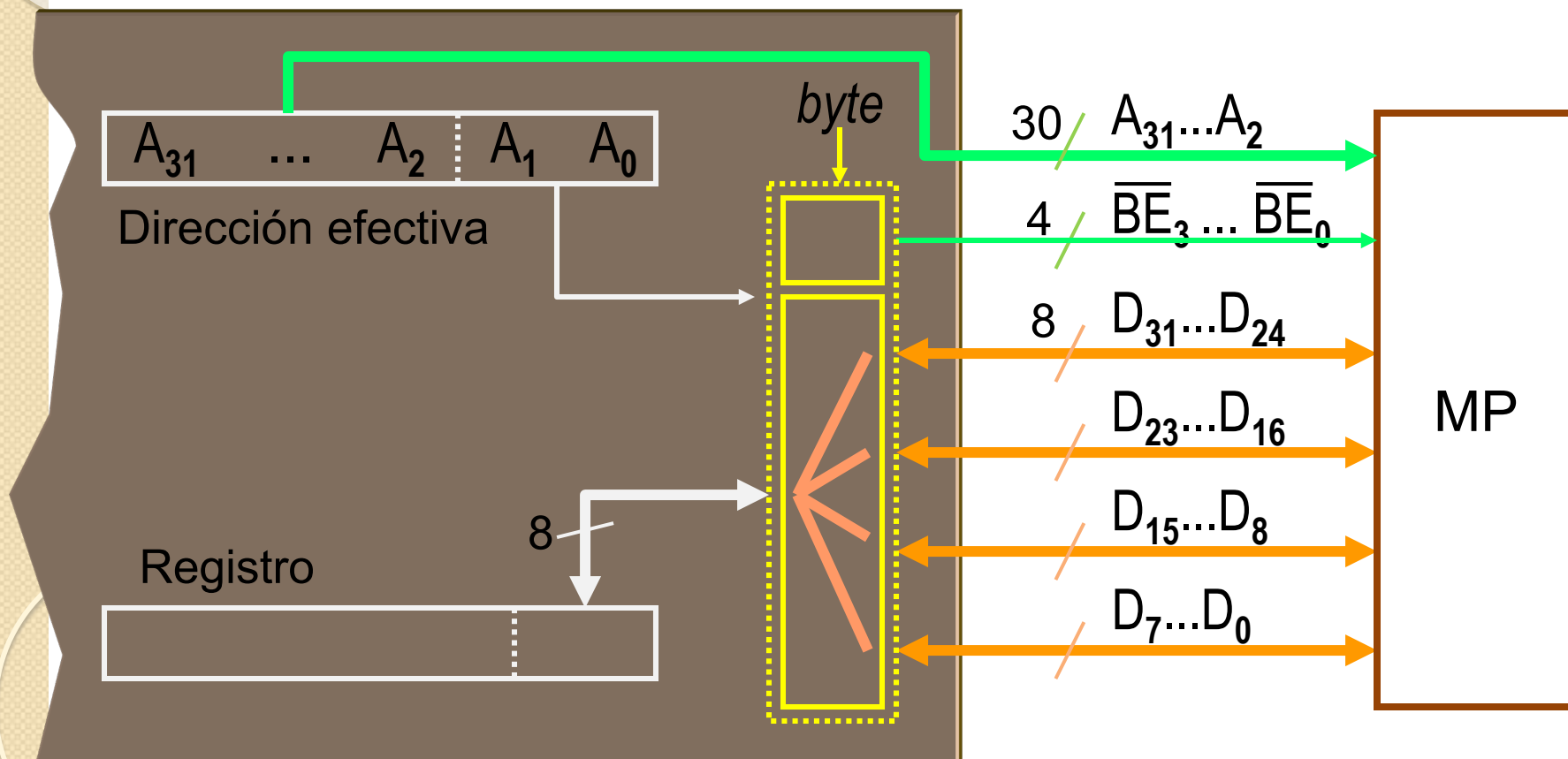
Acceso a media palabra (16 bits)

- UCP de 32 bits
 - ✓ Dirección efectiva múltiplo de 2 (bit $A_0 = 0$)



Acceso a un byte (8 bits)

- La dirección efectiva puede tomar cualquier valor

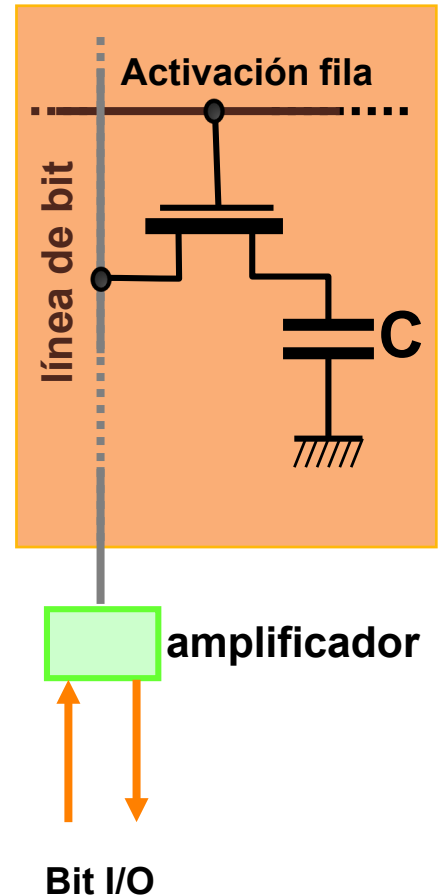


4. Memorias RAM dinámicas

- Organización
- Direccionamiento
- Temporización
- Chips SDRAM y tendencias tecnológicas

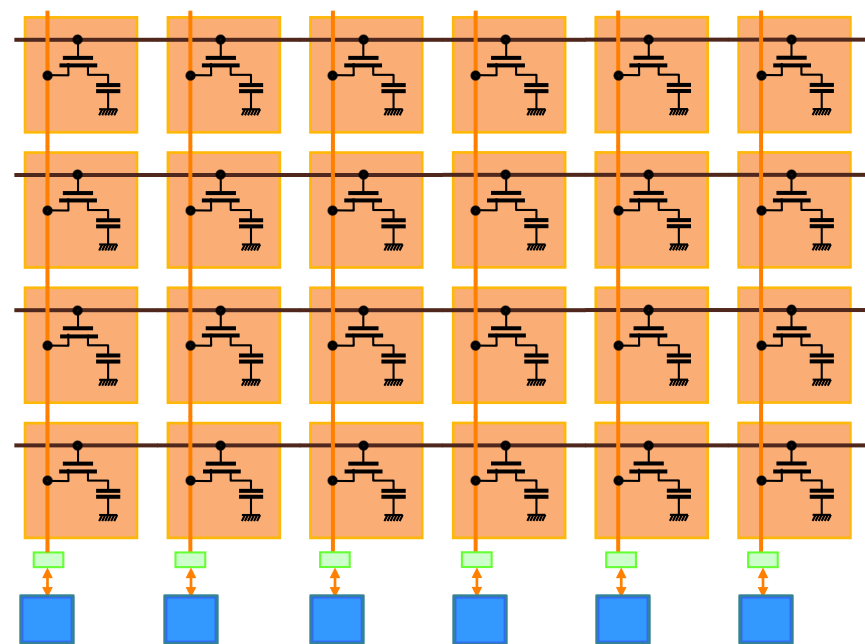
Memorias RAM dinámicas

- Por qué RAM dinámica en la memoria principal?
 - ✓ Alta integración
 - La celda de memoria dinámica (transistor+ condensador) ocupa menor área de silicio que la celdilla de la SRAM (biestable)
 - Al mismo coste de fabricación, más capacidad que SRAM
 - Menor coste por bit
 - ✓ Bajo consumo en relación a SRAM
 - ✓ Con las actuales memorias DRAM síncronas (SDRAM) se consigue un mayor ancho de banda en el acceso por bloques
 - Se adapta a los procesadores con memoria cache
- Inconvenientes
 - ✓ Son más lentas que las SRAM
 - ✓ Requieren refresco periódico para evitar pérdida de información



Memorias RAM dinámicas

- Organización de las celdas internas en una matriz
 - ✓ Acceso en dos pasos: primero fila y después columna
- Se vuelcan a los amplificadores todos los bits de la fila
- Se puede leer los bits de columnas consecutivas sin necesidad de volver a especificar la
- El refresco se hace simultáneamente a todos los bits de una misma fila



Amplificadores

Memorias SDRAM

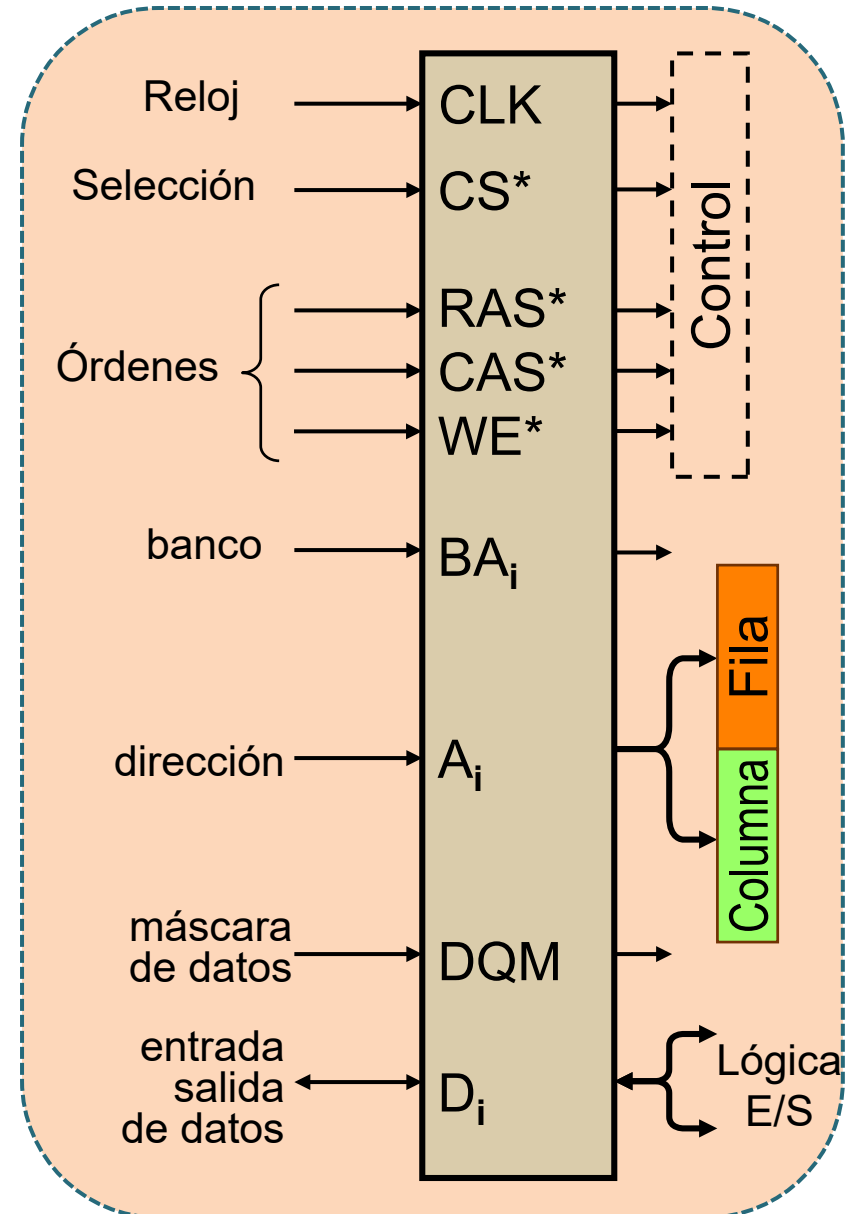
- Tecnologías

- ✓ Memorias SDRAM (Synchronous DRAM): los chips tienen una interfaz síncrona regulada por una señal de reloj de frecuencia característica: 100, 133, 200, etc. MHz
- ✓ Estándares de interés, mantenidos por JEDEC (*Joint Electron Device Engineering Council*):
 - SDRAM, la más antigua, de la cual derivan las tecnologías posteriores
 - DDR-SDRAM (Double Data Rate SDRAM), en versiones sucesivas: DDR, DDR2 y DDR3
- ✓ Las tecnologías DDR, DDR2 y DDR3 multiplican por 2, 4 y 8, respectivamente, el ancho de banda de la SDRAM

Memorias SDRAM

• Interfaz del chip

- ✓ Órdenes: son combinaciones de tres señales (RAS*, CAS* y WE*)
- ✓ Banco: Selecciona uno de los bancos internos de la SDRAM
- ✓ Dirección: según el orden, aprovechan para especificar una fila o una columna. El número de bits de la fila suele determinar el número de líneas
- ✓ Datos: tantas líneas como el ancho de palabra
- ✓ Máscara de datos: útil para seleccionar octetos dentro de la palabra

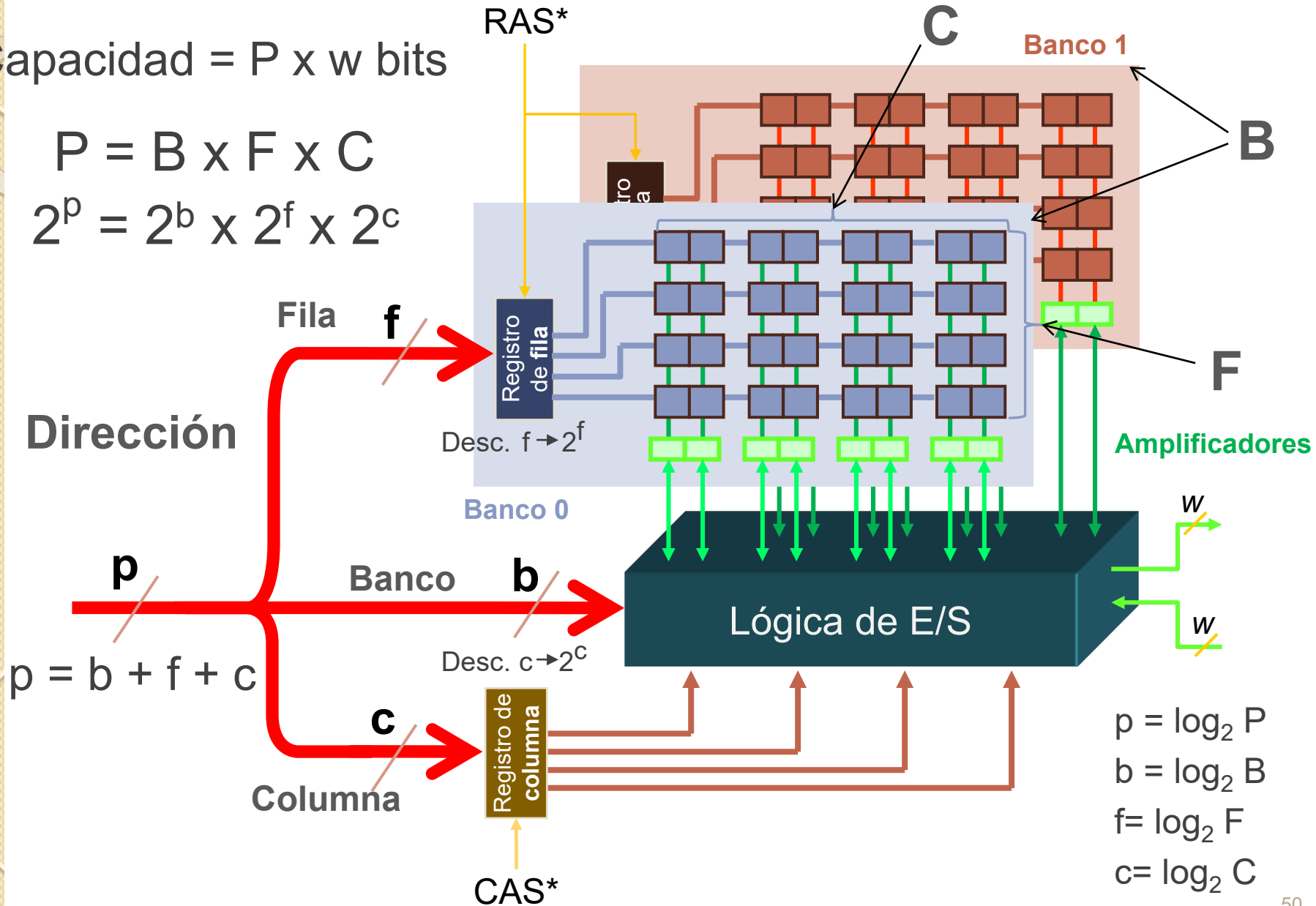


Direccionamiento Memorias SDRAM

Capacidad = $P \times w$ bits

$$P = B \times F \times C$$

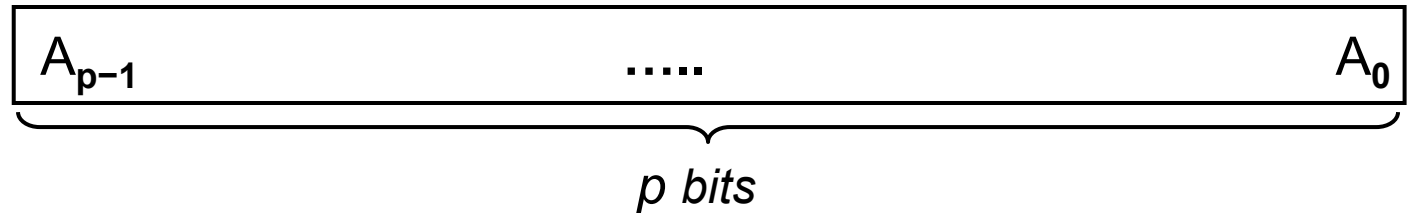
$$2^p = 2^b \times 2^f \times 2^c$$



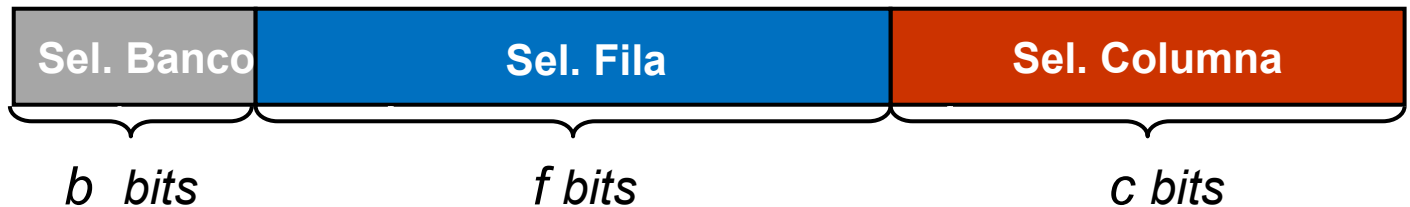
Direccionamiento Memorias SDRAM

- Tamaño SDRAM: $2^p \times w$ bits (2^p palabras de w bits)
- Organización: 2^b bancos \times 2^f filas \times 2^c columnas
- $p = b + f + c$

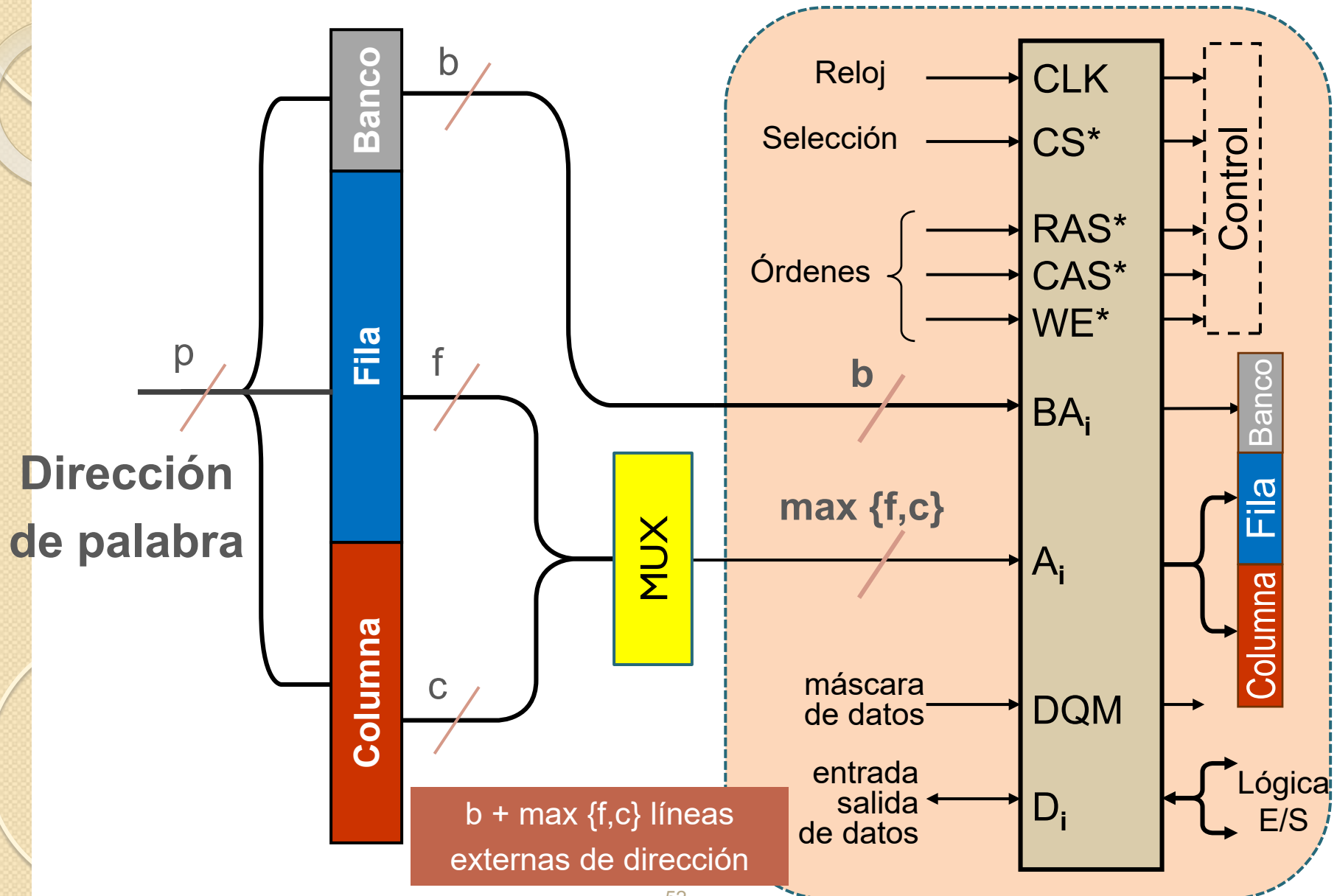
Dirección
Palabra SDRAM



Estructura
física de la
dirección

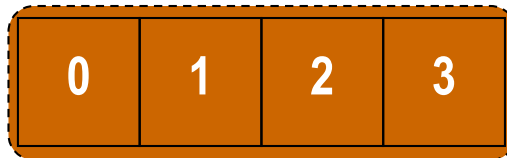


Direccionamiento Memorias SDRAM



Direccionamiento Memorias SDRAM

- Direccionamiento lógico de la SDRAM
- Bloque de memoria
 - ✓ Un bloque está formado por $R = 2^r$ palabras (típicamente 4 o 8) consecutivas
 - ✓ El tamaño R del bloque es una constante para un computador dado, pero configurable en los chips SDRAM
 - ✓ El acceso a una única palabra es un caso especial de acceso a bloque de tamaño igual 1.
 - ✓ Constituyen el medio más habitual de acceso a memoria principal (p.e., el acceso a bloques de cache)

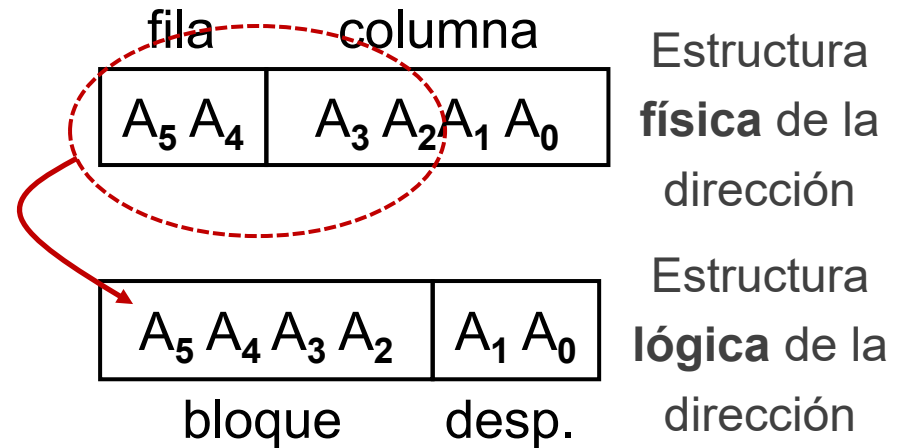


Bloque de 4 palabras

Direccinamiento Memorias SDRAM

- Ejemplo de matriz DRAM

- ✓ 64x8 bits
- ✓ Un único banco
- ✓ 4 (2^2) filas de 16 palabras (2^4)
- ✓ Bloques de 4 palabras (2^2)



bloque 0

Fila 0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Fila 1	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Fila 2	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
Fila 3	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63

bloque 9 *bloque 15*

Obsérvese que una fila contiene 2^{c-r} bloques y que ningún bloque se encuentra repartido entre dos filas

Direccionamiento de la matriz DRAM

- Acceso a bloques de memoria
 - ✓ Las órdenes de lectura y escritura indican la dirección de una palabra, pero el chip opera con las R palabras del bloque que la contiene
 - ✓ La palabra direccionada es la primera transmitida, y va seguida del resto del bloque en forma de ráfaga de datos (*burst*)
 - ✓ La secuencia de palabras accedidas hasta completar el bloque dependerá de la dirección especificada en la orden

Ejemplo con
tamaño bloque = 4



bloque 0

Dirección	Secuencia de accesos
0	0-1-2-3
1	1-2-3-0
2	2-3-0-1
3	3-0-1-2

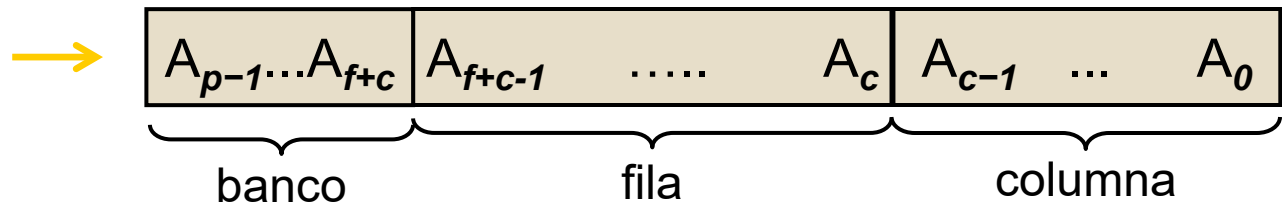
Direccionamiento Memorias SDRAM

- ✓ Así pues, la dirección de palabra que llega a un chip SDRAM es interpretada de dos formas:
 - Física: se trata de la tupla banco-fila-columna con el que se acceda a esa palabra.
 - Lógica: La palabra es la primera de un bloque de R palabras que serán leídas en sucesión.

Dirección de una
palabra del
chip de memoria



Estructura física
de la dirección
de palabra



Estructura lógica
de la dirección



Número o dirección de Bloque

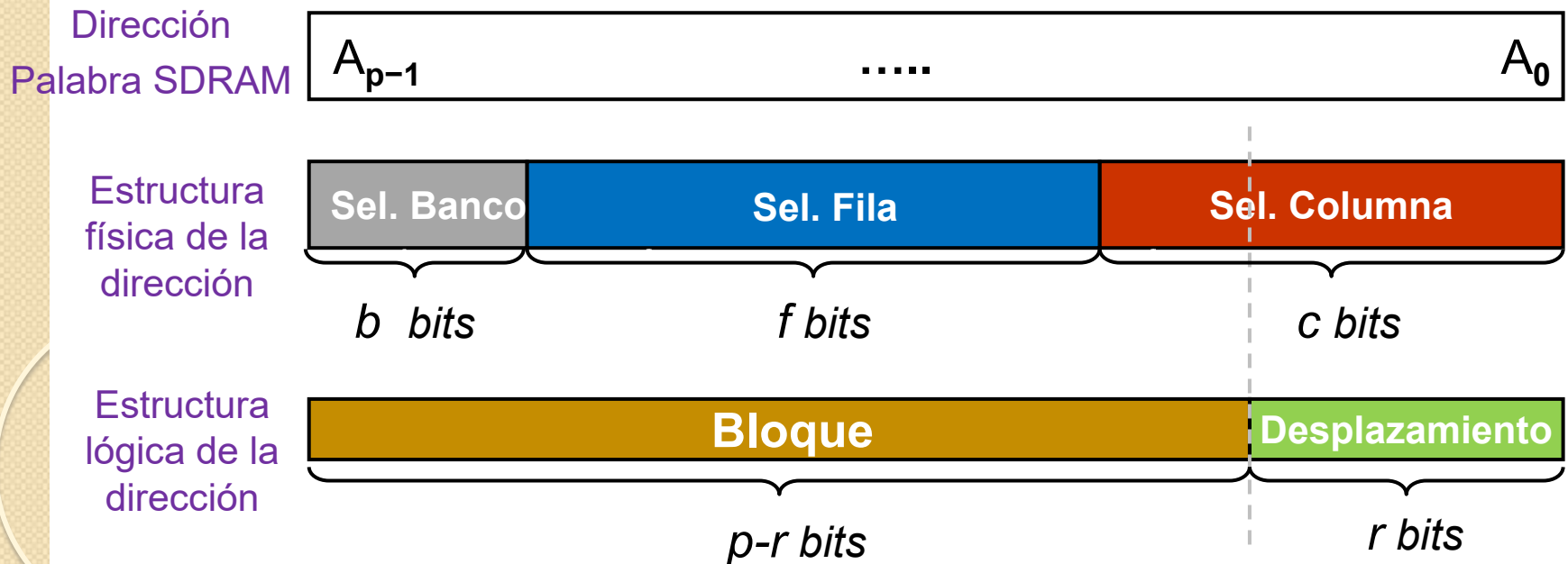
Desplazamiento

Bloque = dirección $\text{div } R$

Desplazamiento = dirección $\text{mod } R$

Direcccionamiento completo SDRAM

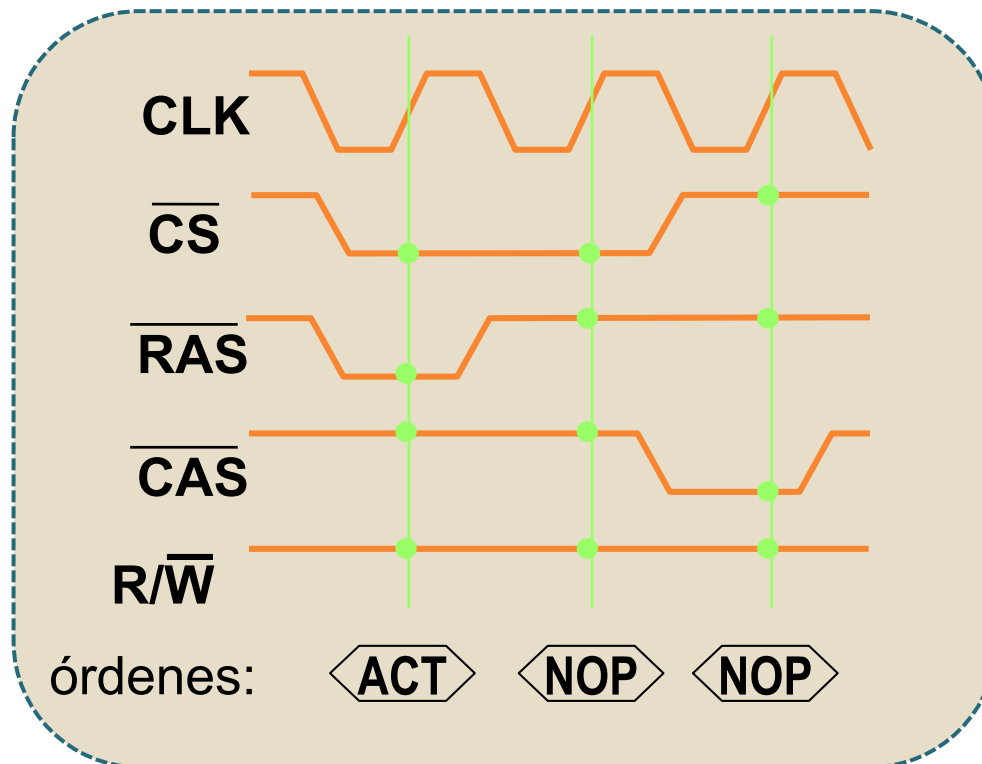
- Tamaño SDRAM: $2^p \times w$ bits (2^p palabras de w bits)
- Organización: 2^b bancos $\times 2^f$ filas $\times 2^c$ columnas
- Formato dirección: $p = b + f + c$
- Bloques de 2^r palabras (2^{n-r} bloques en SDRAM)



Órdenes SDRAM

Emisión de órdenes

- ✓ Los flancos ascendentes del señal de reloj marcan los instantes en los que el chip acepta órdenes. La combinación de RAS*, CAS* y WE* se llama COMMAND, función u orden. Según la orden leída, el chip interpreta las líneas de dirección



Órdenes más importantes:

ACTIVATE

READ

WRITE

PRECHARGE

NOP

Si el chip está deshabilitado por CS, la orden interpretada es NOP (ninguna operación)*

Órdenes SDRAM

• Activación

- ✓ Carga del registro de fila con el contenido del bus de direcciones a través de la activación de la señal /RAS (*Row Address Strobe*). La fila seleccionada queda “abierta” y su contenido se lleva a los amplificadores
- ✓ Después de la activación, la fila completa queda retenida por los amplificadores, pudiéndose acceder a diversas columnas repitiendo las operaciones de lectura o de escritura sobre la fila abierta

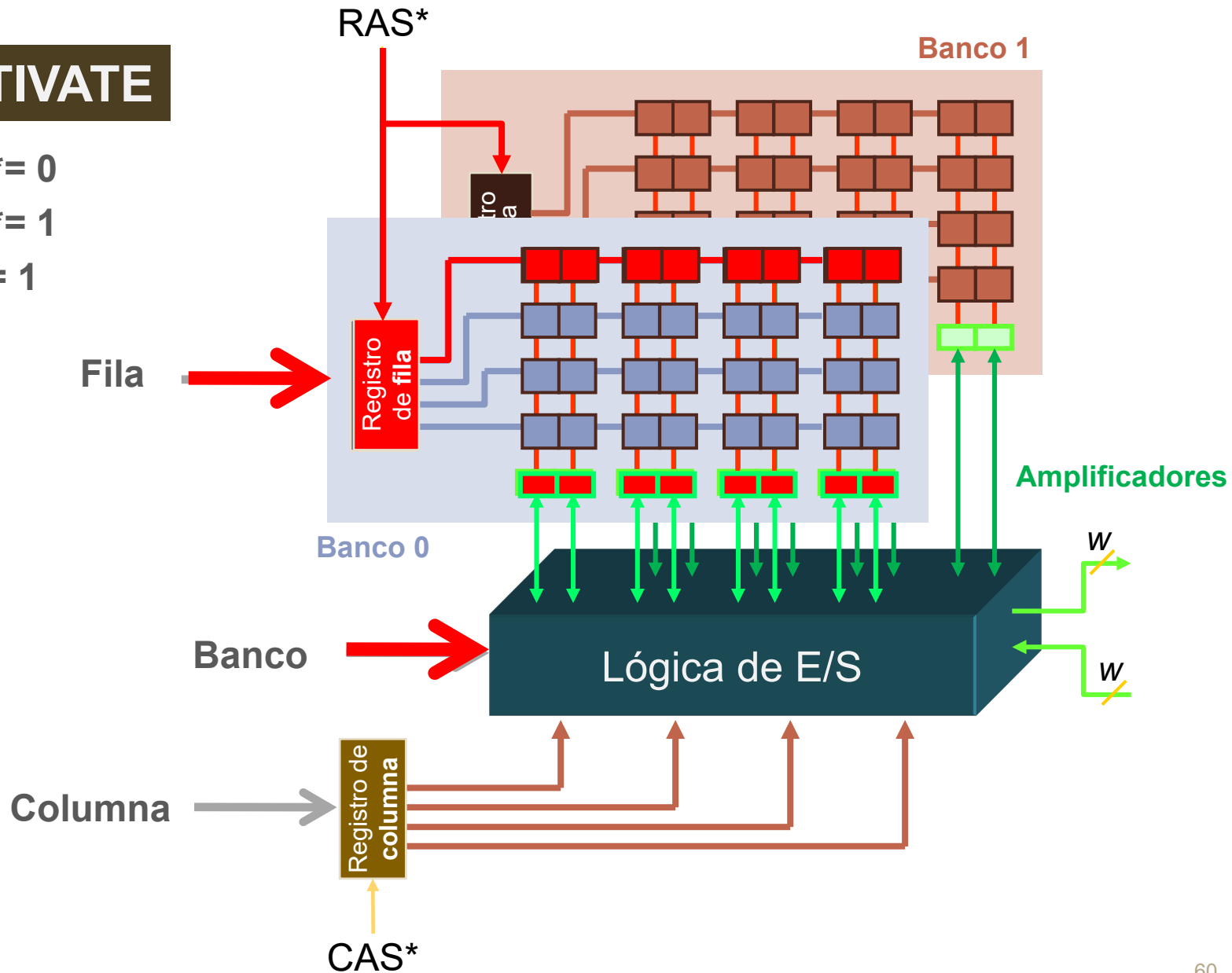
Órdenes SDRAM

ACTIVATE

$RAS^* = 0$

$CAS^* = 1$

$WE^* = 1$



Órdenes SDRAM

Activación

- ✓ Carga del registro de fila con el contenido del bus de direcciones a través de la activación de la señal /RAS (*Row Address Strobe*). La fila seleccionada queda “abierta” y su contenido se lleva a los amplificadores
- ✓ Después de la activación, la fila completa queda retenida por los amplificadores, pudiéndose acceder a diversas columnas repitiendo las operaciones de lectura o de escritura sobre la fila abierta

Operación: lectura o escritura

- ✓ La señal /CAS (*Column Address Strobe*) carga el registro de columna con el contenido del bus de direcciones y la señal R/W* activa la lógica de E/S a la columna seleccionada.

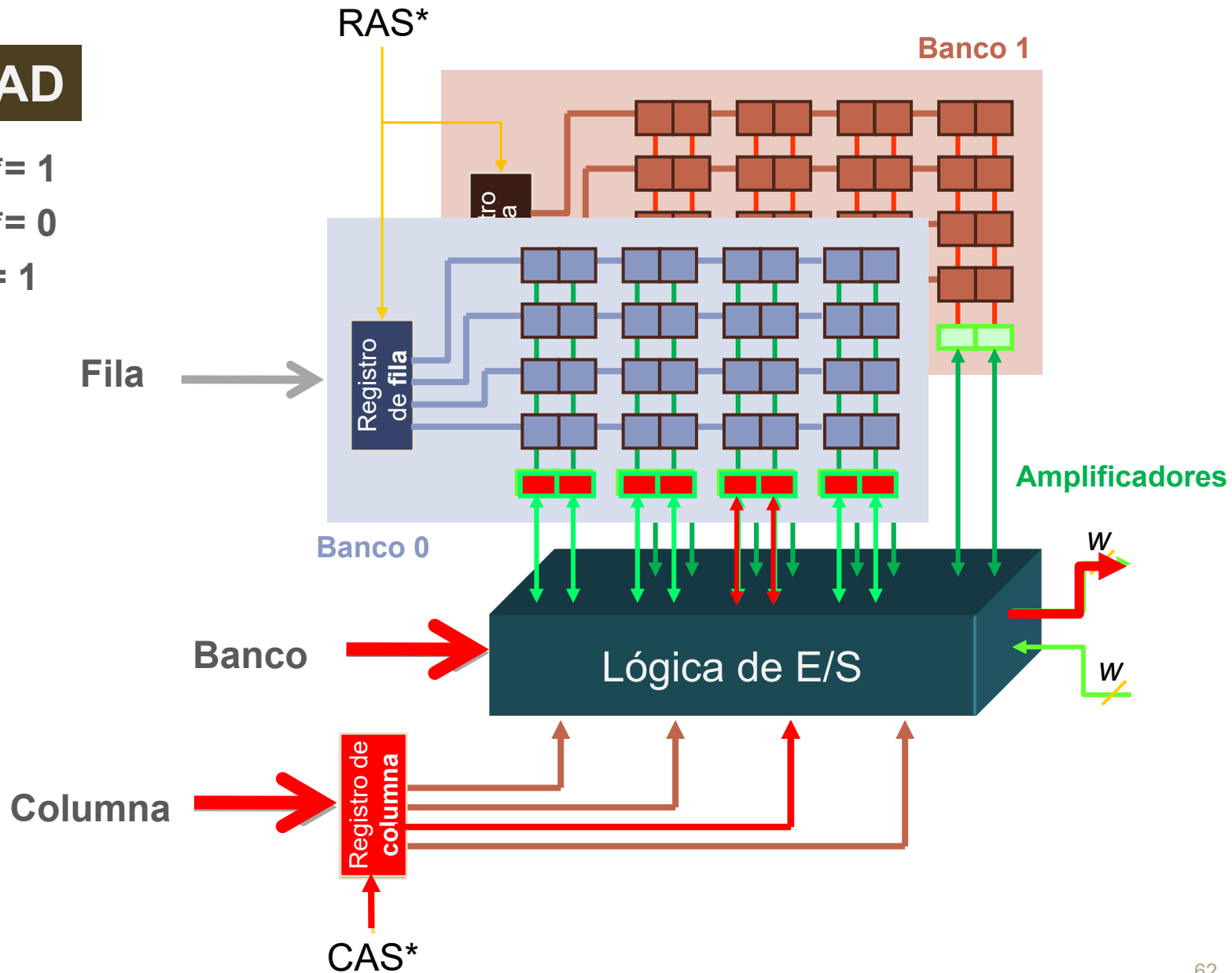
Órdenes SDRAM

READ

$RAS^* = 1$

$CAS^* = 0$

$WE^* = 1$



Órdenes SDRAM

Activación

- ✓ Carga del registro de fila con el contenido del bus de direcciones a través de la activación de la señal /RAS (*Row Address Strobe*). La fila seleccionada queda “abierta” y su contenido se lleva a los amplificadores
- ✓ Después de la activación, la fila completa queda retenida por los amplificadores, pudiéndose acceder a diversas columnas repitiendo las operaciones de lectura o de escritura sobre la fila abierta

Operación: lectura o escritura

- ✓ La señal /CAS (*Column Address Strobe*) carga el registro de columna con el contenido del bus de direcciones y la señal R/W* activa la lógica de E/S a la columna seleccionada.

Precarga

- ✓ La precarga libera (o cierra) la fila activa y los amplificadores quedan en reposo. Prepara las líneas de bit para el siguiente acceso. Ya no se puede leer ni escribir sobre la fila hasta después de la próxima activación

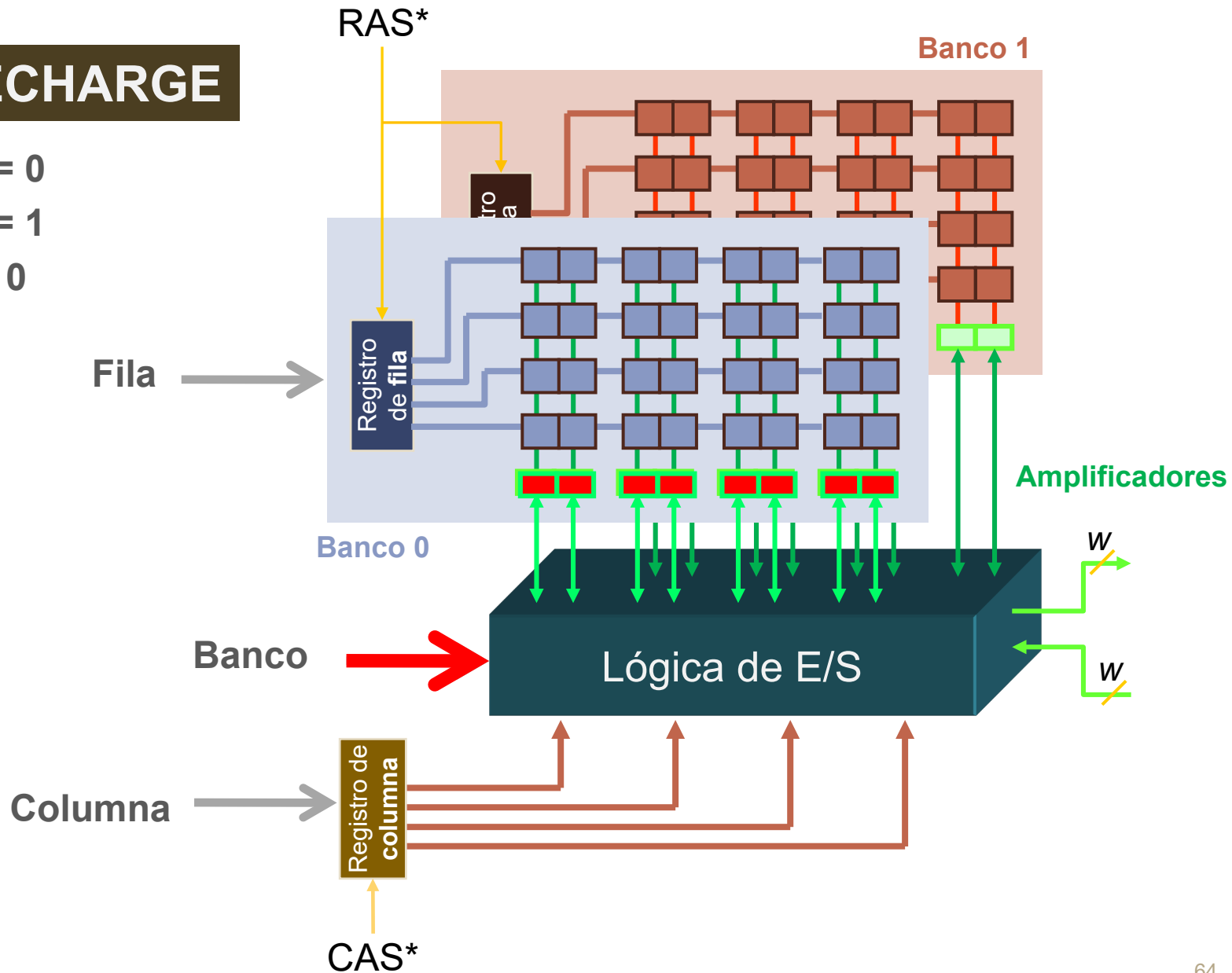
Órdenes SDRAM

PRECHARGE

$RAS^* = 0$

$CAS^* = 1$

$WE^* = 0$

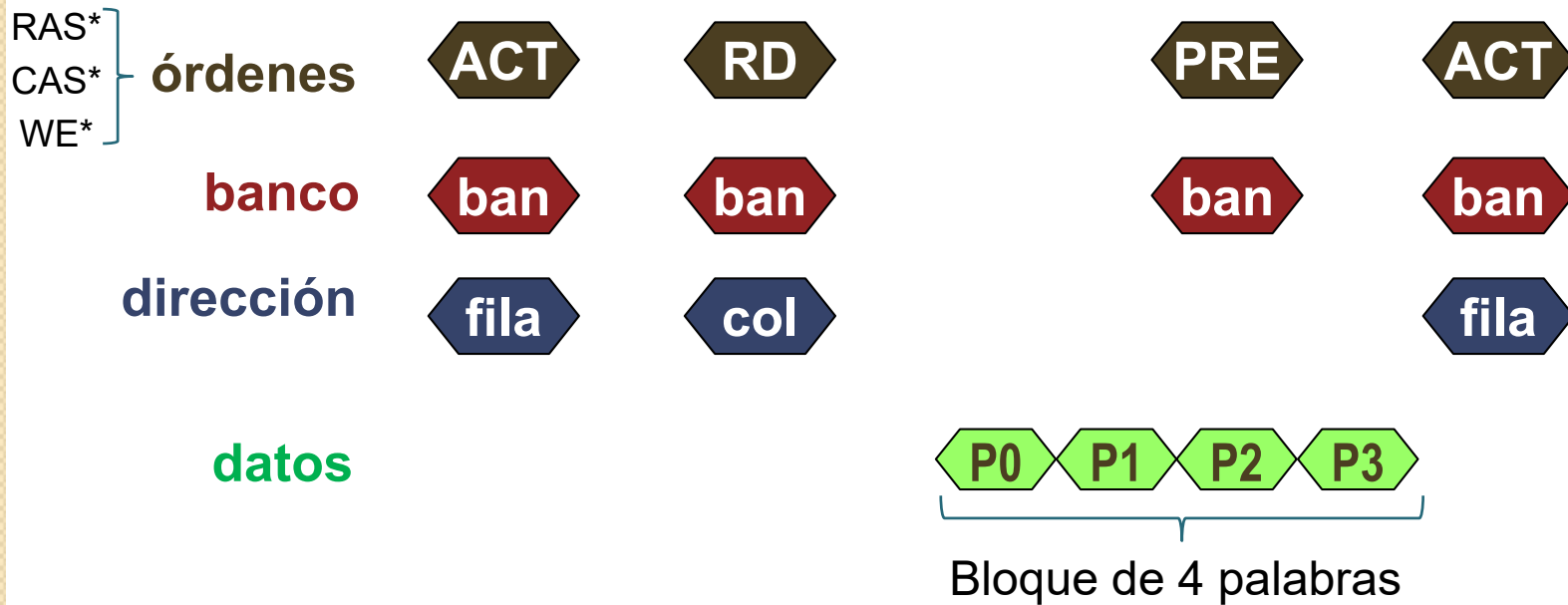


Órdenes SDRAM: Secuenciación

- **Acceso a bloque (lectura)**

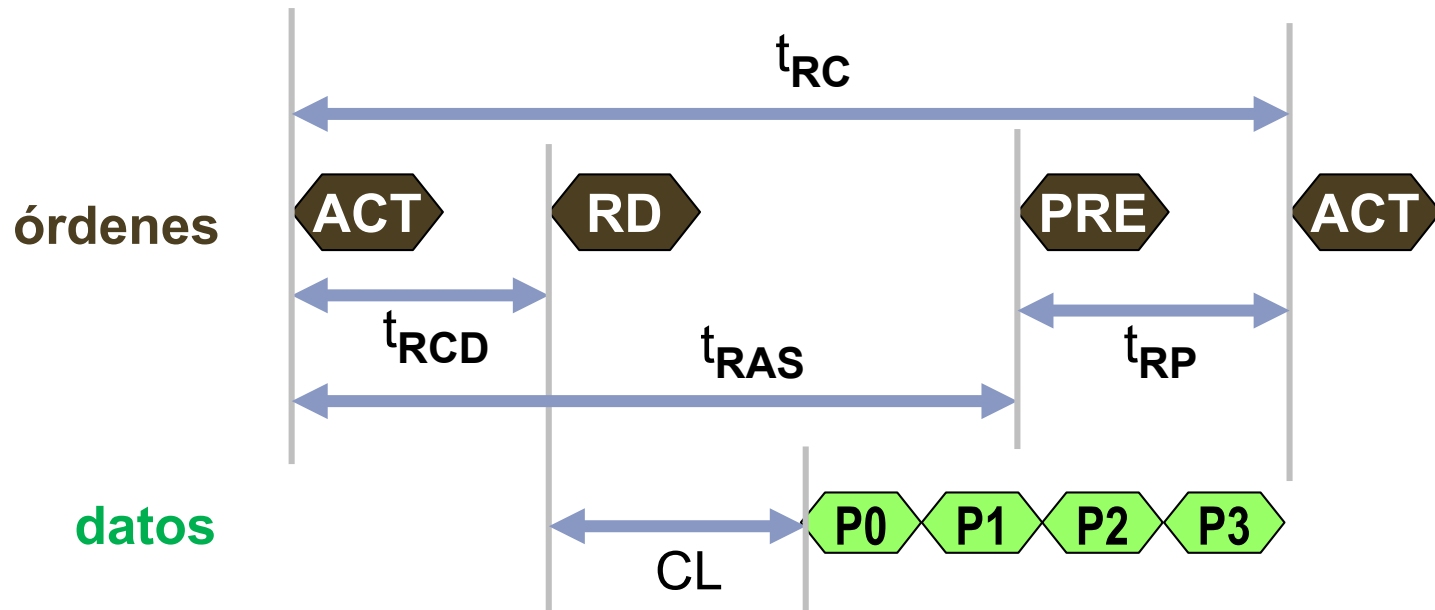
Tamaño bloque: 4 palabras

Inicio de un nuevo
acceso



Órdenes SDRAM: Temporización

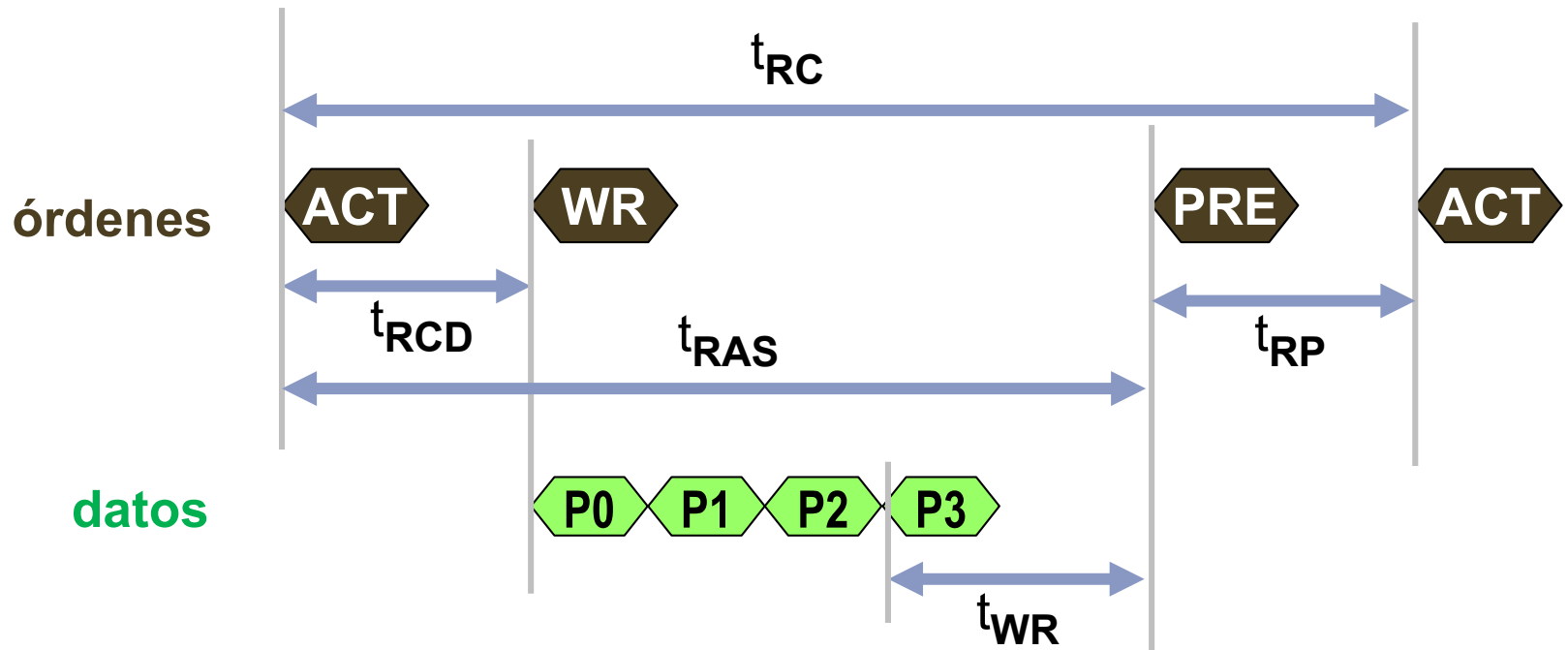
- Acceso a bloque (lectura)



- ✓ CL: latencia de CAS o tiempo entre la orden de lectura y la salida de datos válidos
- ✓ Tiempo de acceso a los datos (latencia de lectura) $\geq t_{RCD} + CL$
- ✓ $t_{RC} \geq t_{RAS} + t_{RP}$

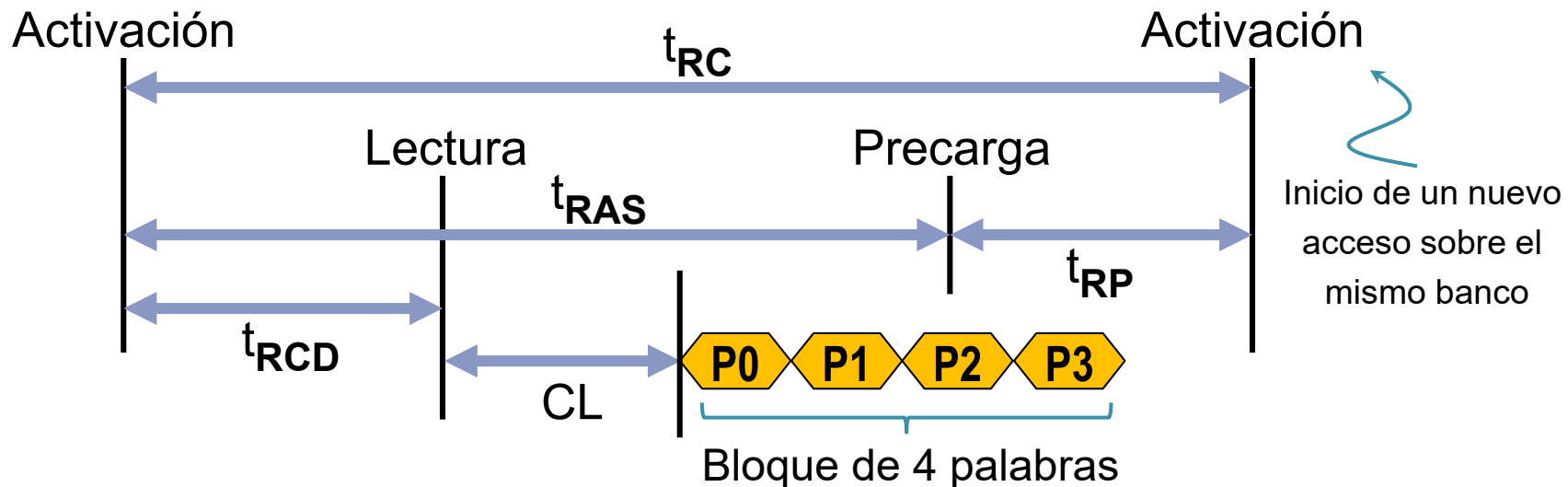
Órdenes SDRAM: Temporización

- **Acceso a bloque (escritura)**

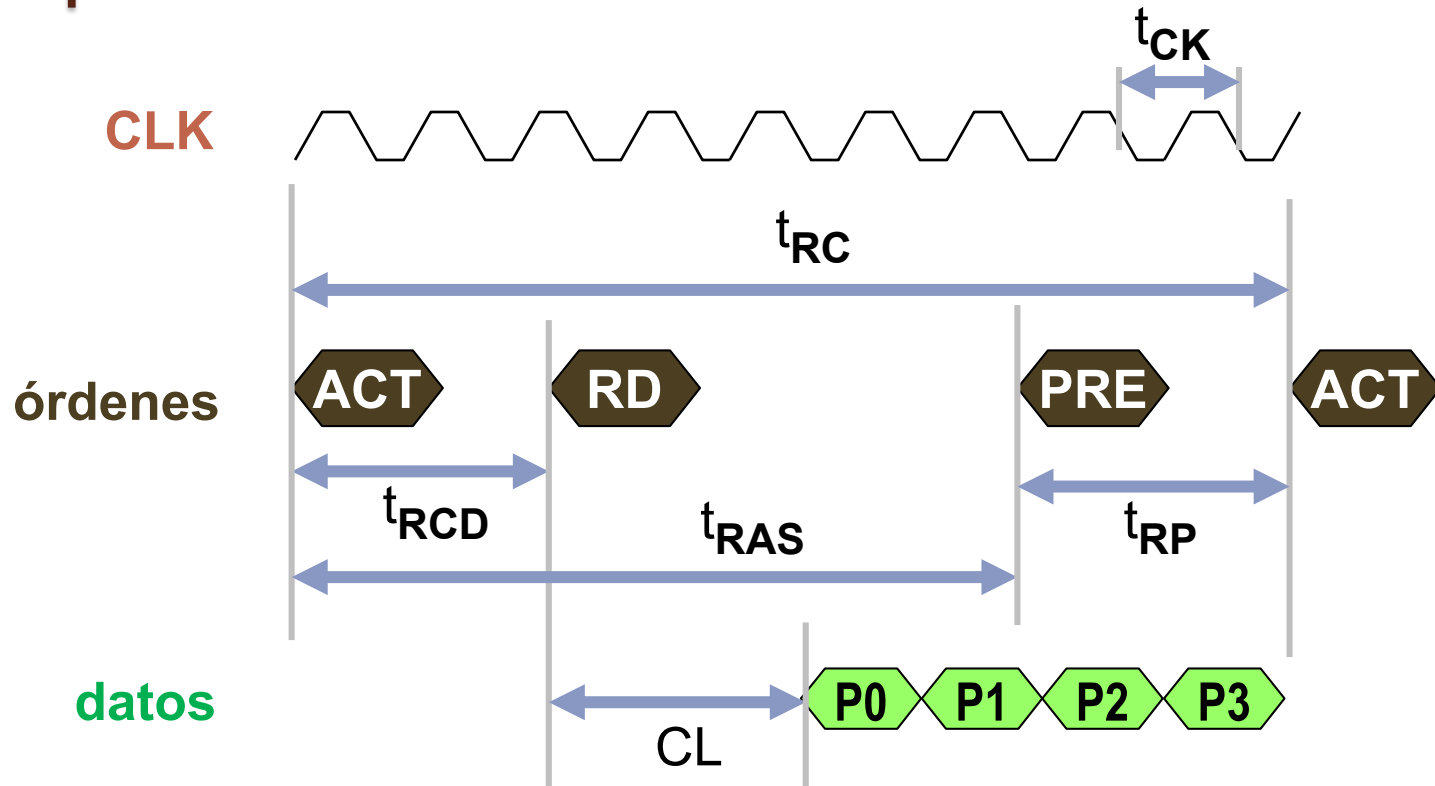


Temporización memorias SDRAM

- Parámetros temporales importantes
 - ✓ t_{RCD} : tiempo mínimo entre la activación de una fila y el inicio de la operación de lectura/escritura. Contribuye al tiempo de acceso
 - ✓ t_{RAS} : tiempo mínimo entre la activación y la precarga de una fila
 - ✓ t_{RC} : tiempo mínimo entre dos activaciones. Se entiende como tiempo de ciclo
 - ✓ t_{RP} : tiempo mínimo entre la precarga y la activación siguiente
 - ✓ t_{WR} : tiempo mínimo entre el envío del último dato y la precarga (escritura)
 - ✓ CL: tiempo máximo entre la lectura y la salida del primer dato



Temporización memorias SDRAM



- ✓ En las memorias SDRAM todas las transacciones se sincronizan con la señal de reloj (clk)
- ✓ Los parámetros temporales (valorados en ns) deben expresarse en números enteros de ciclos de reloj

Temporización memorias SDRAM

- Expresión de los parámetros temporales en ciclos de reloj
 - ✓ Un chip SDRAM tiene una frecuencia máxima (o un periodo de reloj mínimo) de funcionamiento. El usuario puede utilizar esta frecuencia u otra inferior
 - ✓ Para una frecuencia de reloj dada el controlador tendrá que insertar ciclos NOP entre las órdenes ACTIVE, READ/WRITE y PRECHARGE de una operación y también entre operaciones sucesivas para satisfacer las restricciones temporales de la SDRAM
 - ✓ Ejemplo:

	50 MHz ($t_{CK} = 20$ ns)	100 MHz ($t_{CK} = 10$ ns)	166 MHz ($t_{CK} = 6$ ns)
$t_{RCD} = 18$ ns	1	2	3
$t_{RAS} = 42$ ns	3	5	7
$t_{RC} = 60$ ns	3	6	10
$t_{RP} = 18$ ns	1	2	3

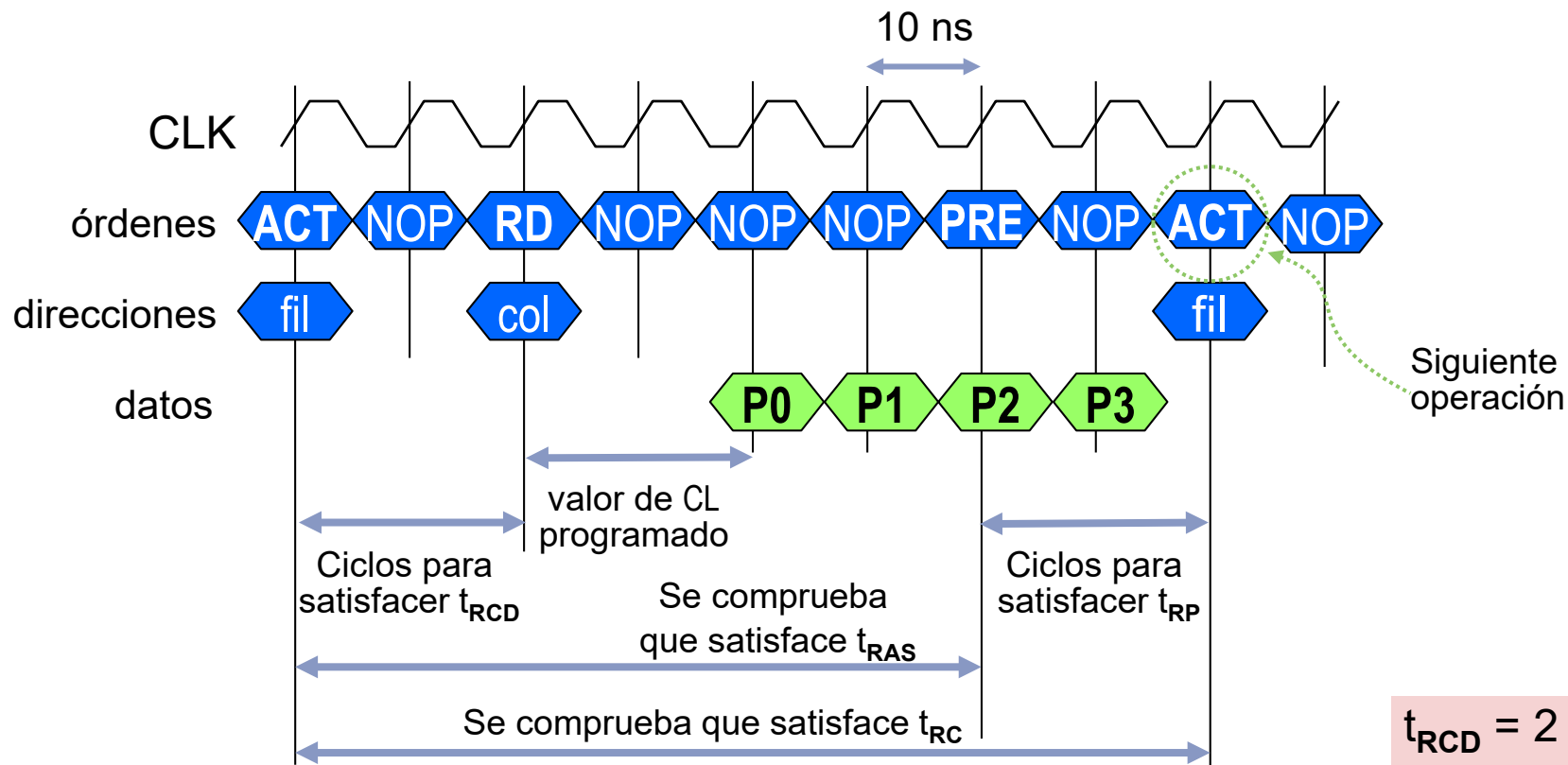
Temporización memorias SDRAM

- Expresión de la latencia de CAS en ciclos de reloj
 - ✓ La latencia de CAS (CL) es un valor que se programa en el registro de modo del chip durante la inicialización de la memoria
 - ✓ Para una frecuencia dada, el chip tiene un CL mínimo
 - o al revés: para usar un valor CL dado, el chip tiene una frecuencia máxima (o un periodo mínimo)

PARAMETER		SYMBOL	MIN	MAX	UNITS
Clock cycle time	CL = 3	$t_{CK} (3)$	6		ns
	CL = 2	$t_{CK} (2)$	10		ns
	CL = 1	$t_{CK} (1)$	20		ns
ACTIVE to PRECHARGE command		t_{RAS}	42	120k	ns
ACTIVE to ACTIVE command period		t_{RC}	60		ns
AUTO REFRESH period		t_{RFC}	60		ns
ACTIVE to READ or WRITE delay		t_{RCD}	18		ns
Refresh period (4,096 rows)		t_{REF}		64	ms
PRECHARGE command period		t_{RP}	18		ns
ACTIVE bank to ACTIVE bank command		t_{RRR}	12		ns

Temporización memorias SDRAM

- Cronograma de lectura: ejemplo ($f = 100 \text{ MHz}$)



Por simplificación se omite el envío del banco que acompaña a las órdenes de ACTIVATE, READ y PRECHARGE

$t_{RCD} = 2$
 $t_{RAS} = 5$
 $t_{RC} = 6$
 $t_{RP} = 2$
 $CL = 2$

Temporización memorias SDRAM

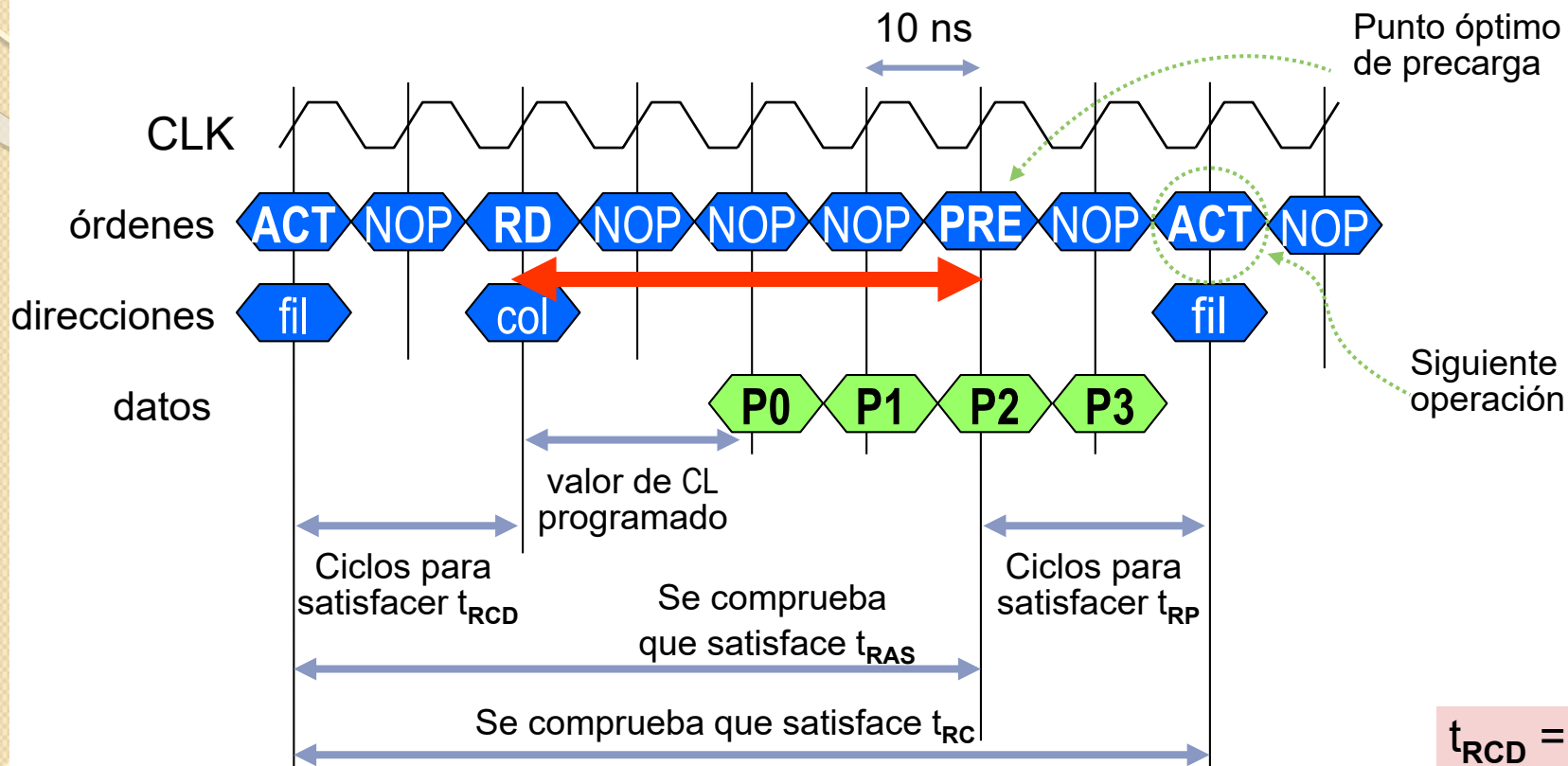
- Temporización de la PRECHARGE
 - ✓ El cumplimiento de t_{RAS} es una condición necesaria para la orden PRECHARGE, pero no es suficiente.
 - ✓ En caso de tamaño de bloque elevado, aun cumpliendo t_{RAS} , el envío prematuro PRECHARGE podría abortar la operación de lectura /escritura.
 - ✓ El momento óptimo de envío de la orden de PRECHARGE coincide con $R^{(1)}$ ciclos después de ordenar la operación de READ⁽²⁾ o WRITE

(1) *R representa el tamaño del bloque (número de palabras que se acceden)*

(2) *En el caso de lectura, ello es equivalente a enviar la orden de PRECHARGE CL-1 ciclos antes de que se transfiera la última palabra del bloque*

Temporización memorias SDRAM

- Punto óptimo de la PRECHARGE



R=4 ciclos posterior a orden READ

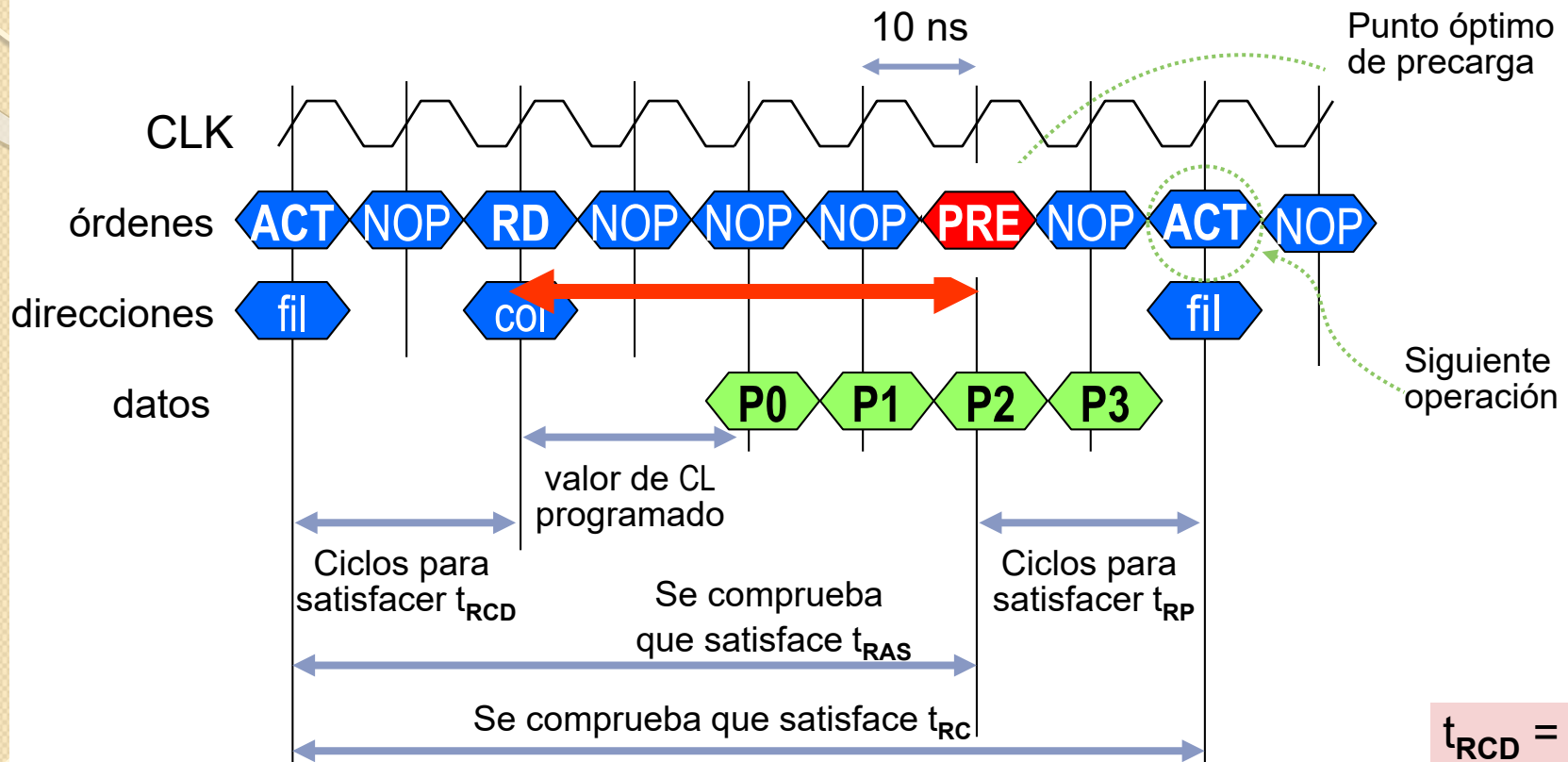
$t_{RCD} = 2$
 $t_{RAS} = 5$
 $t_{RC} = 6$
 $t_{RP} = 2$
 $CL = 2$

Temporización memorias SDRAM

- La precarga automática
 - ✓ Las operaciones READ y WRITE tienen un modo automático, que provoca la precarga en el momento óptimo y ahorra la orden PRECHARGE explícita.

Temporización memorias SDRAM

- PRECHARGE automática



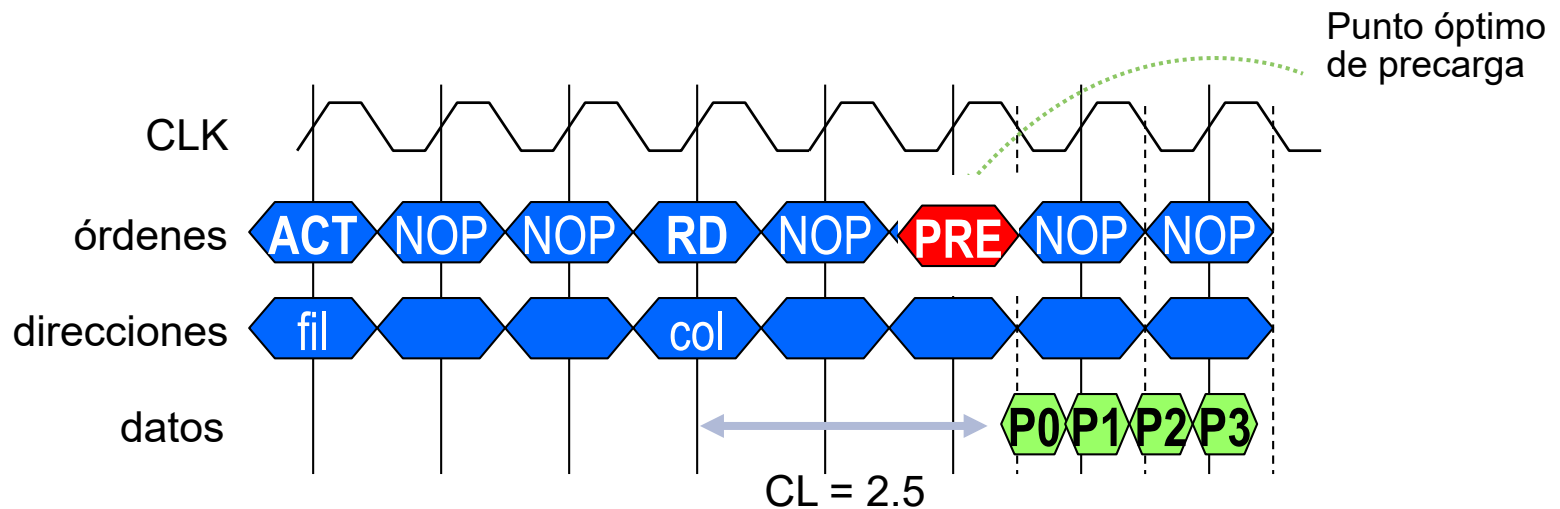
R=4 ciclos posterior a orden READ
PRECHARGE automática

$t_{RCD} = 2$
 $t_{RAS} = 5$
 $t_{RC} = 6$
 $t_{RP} = 2$
 $CL = 2$

Memorias SDRAM de doble velocidad (DDR)

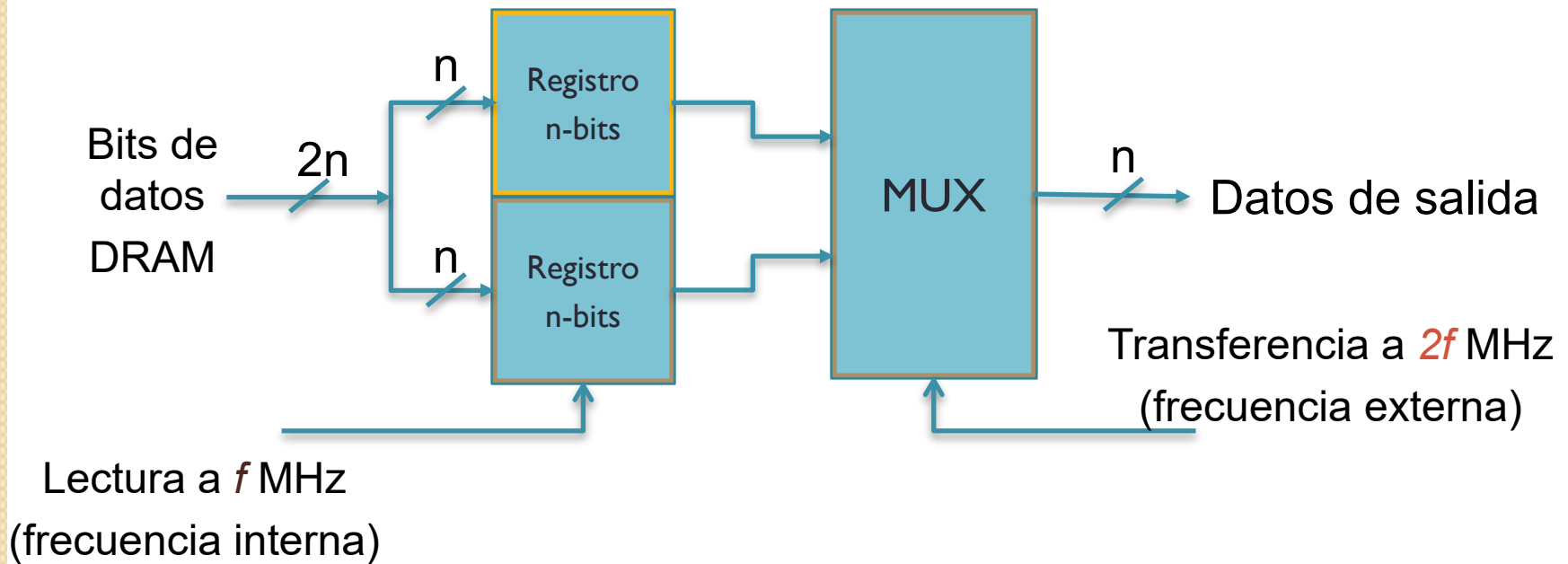
Cronograma de lectura: Memorias SDRAM DDR

- ✓ La velocidad de transmisión es el doble de la frecuencia del reloj
 - Se duplica la tasa efectiva de transferencia de datos, transmitiendo dos palabras por ciclo de reloj: una en flanco de bajada y otra en flanco de subida de CLK
 - La latencia de CAS es un múltiplo de 0.5 ciclos
 - El tiempo óptimo de PRECHARGE será $R/2$ ciclos de reloj tras las órdenes READ o WRITE



Memorias SDRAM de doble velocidad (DDR)

Organización interna: prebúsqueda de $2n$ bits

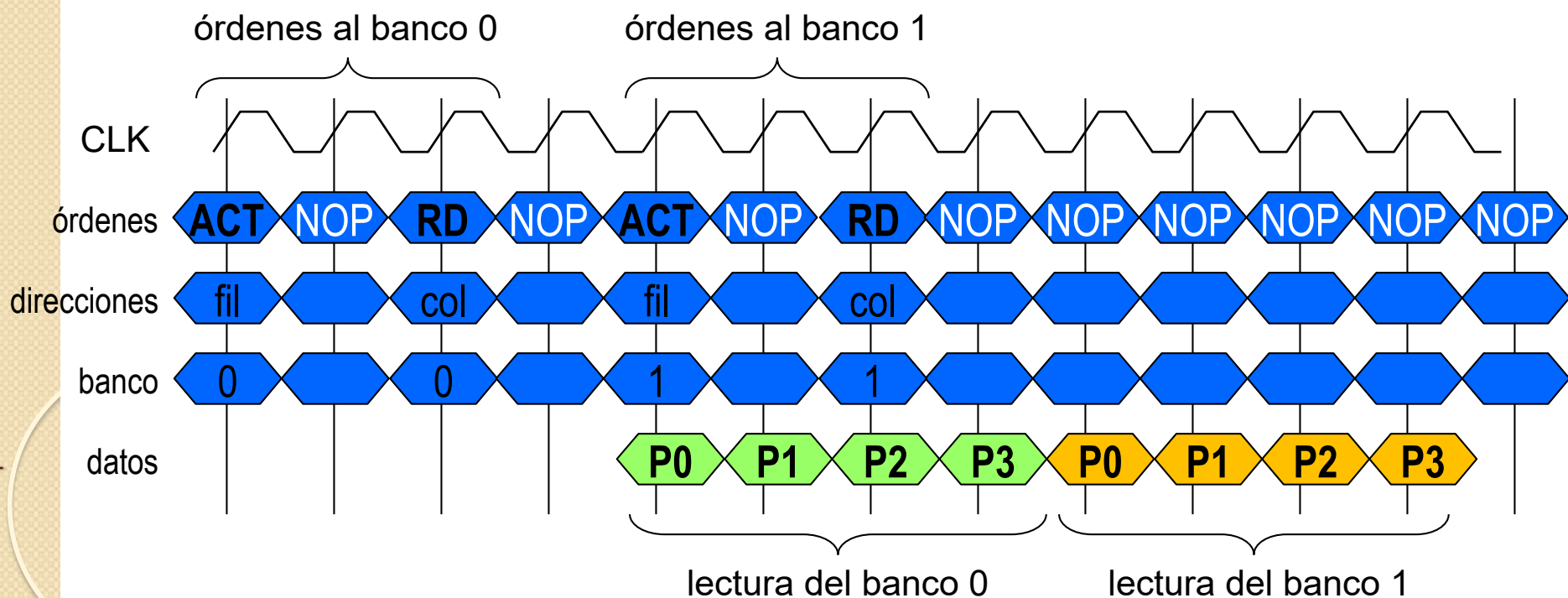


- DDR2 y DDR3 hacen prebúsqueda de $4n$ y $8n$ bits para acceder a grandes ráfagas de datos a alta frecuencia
- DDR4 utiliza prebúsqueda de $8n$, reduce el consumo e incrementa la tasa de transferencia agrupando diferentes bancos.

Aumento de prestaciones en las SDRAM

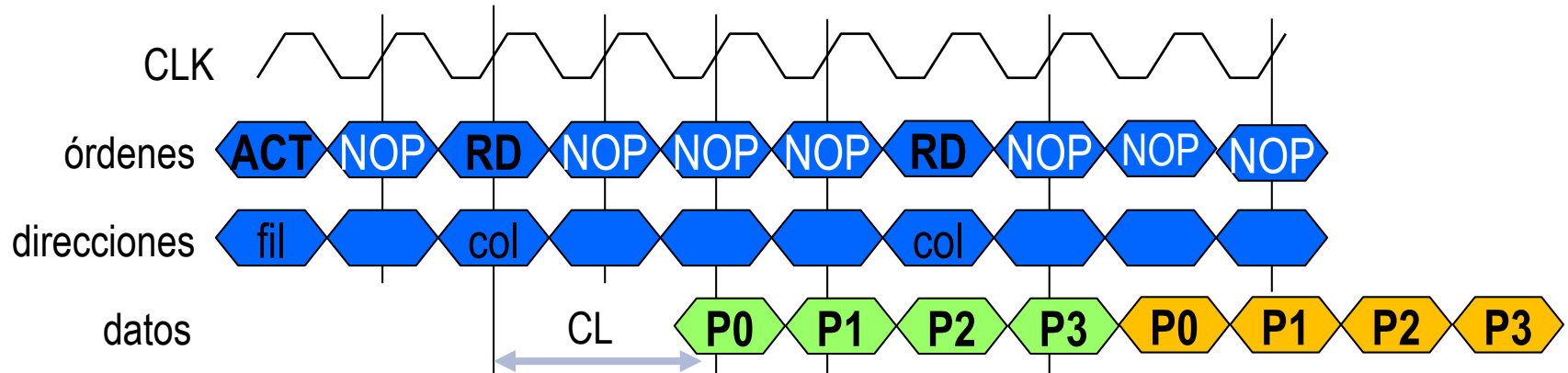
- Solapamiento de lectura entre bancos

- ✓ Se pueden dar órdenes a bancos independientes solapándolas parcialmente (*pipelining*).
- ✓ Los datos se obtienen en el mismo orden con que se solicitan, con una latencia constante



Aumento de prestaciones en las SDRAM

- Acceso encadenado a bloques de una misma fila
 - ✓ Se pueden encadenar operaciones READ sobre la misma fila enviando el comando R ciclos después del envío del comando anterior, evitando así que los buses queden inactivos por un periodo de tiempo



(*) *R* representa el tamaño del bloque (número de palabras que se acceden)

Nomenclatura estándar SDRAM

- Según el estándar JEDEC los chips de SDRAM incluyen el ancho de banda de transmisión en su nombre.
 - ✓ SDR (No DDR SDRAM): **PC F**
 - Donde F es la frecuencia de reloj del chip. En este caso, especifica el ancho de banda al multiplicarse por el número de pines de datos del chip
 - ✓ DDR: **DDR_X MT_{ps}**
 - X puede ser "", "2", "3" o "4" para DDR, DDR2, DDR3 y DDR4 respectivamente
 - MTPs (or MT/s) Mega (Millones) Transacciones por Segundo
 - El ancho de banda del chip depende de este valor y del número de pines de datos de que dispone

Nomenclatura estándar SDRAM

- Ejemplos:

- Micron's MT46V32M8-5B es **32M×8b DDR-400**
 - A 200 MHz de frecuencia de reloj puede alcanzar 400 MTps
 - Ancho de banda para 8 bits: $400 \text{ MT/s} \times 1 \text{ B/T} = 400 \text{ MBps}$
- Micron's MT41K64M16-125 es **64M×16b DDR3-1600**
 - A 800 MHz de frecuencia de reloj puede alcanzar 1600 MTps,
 - Ancho de banda = $1600 \text{ MT/s} \times 2 \text{ B/T} = 3200 \text{ MBps}$

Nomenclatura estándar SDRAM

- Ejemplos de chips

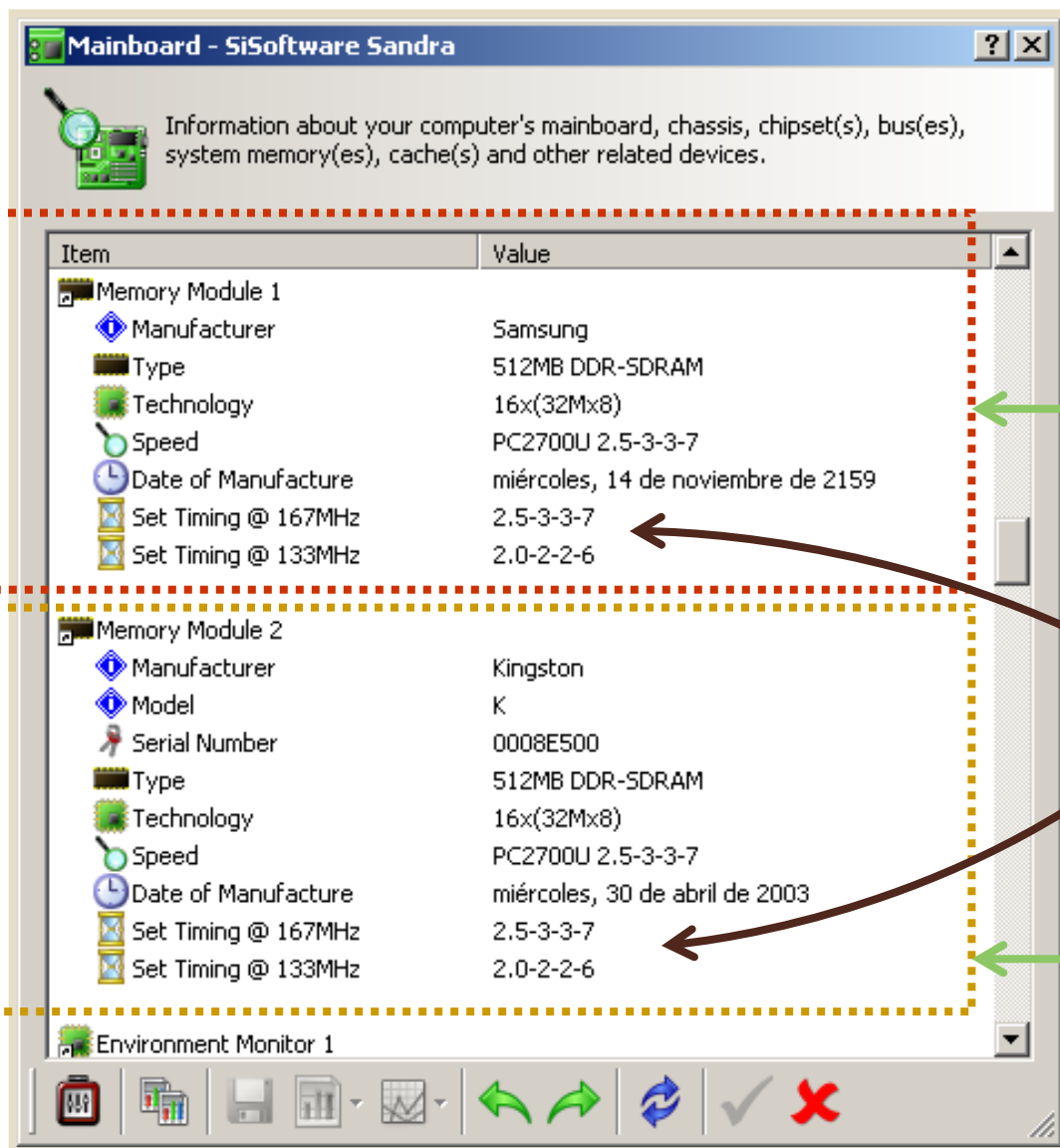
Nombre	Frec. interna (MHz)	Prebús- queda (ráfaga)	Frec. externa (MHz)	Tasa Transfe- rencia (MT/s)	Voltaje (V)
SDR	66-133	1n	66-133	66-133	3.3
DDR	100-200	2n	100-200	200-400	2.5-2.6
DDR2	100-267	4n	200-533	400-1067	1.8
DDR3	100-267	8n	400-1066	800-2133	1.35-1.5
DDR4**	133-267	8n	1066-2133	2133-4267	1.05-1.2

(*) Pueden encontrarse chips con otras especificaciones y límites

(**)Hasta Nov. de 2015 solo se están fabricando DDR4-2400 @1.2V

(fuente: Micron DDR4 SDRAM Part Catalog)

SiSoftware Sandra: temporización



Primer módulo

$t_{CL} - t_{RCD} - t_{RP} - t_{RAS}$
según la frecuencia

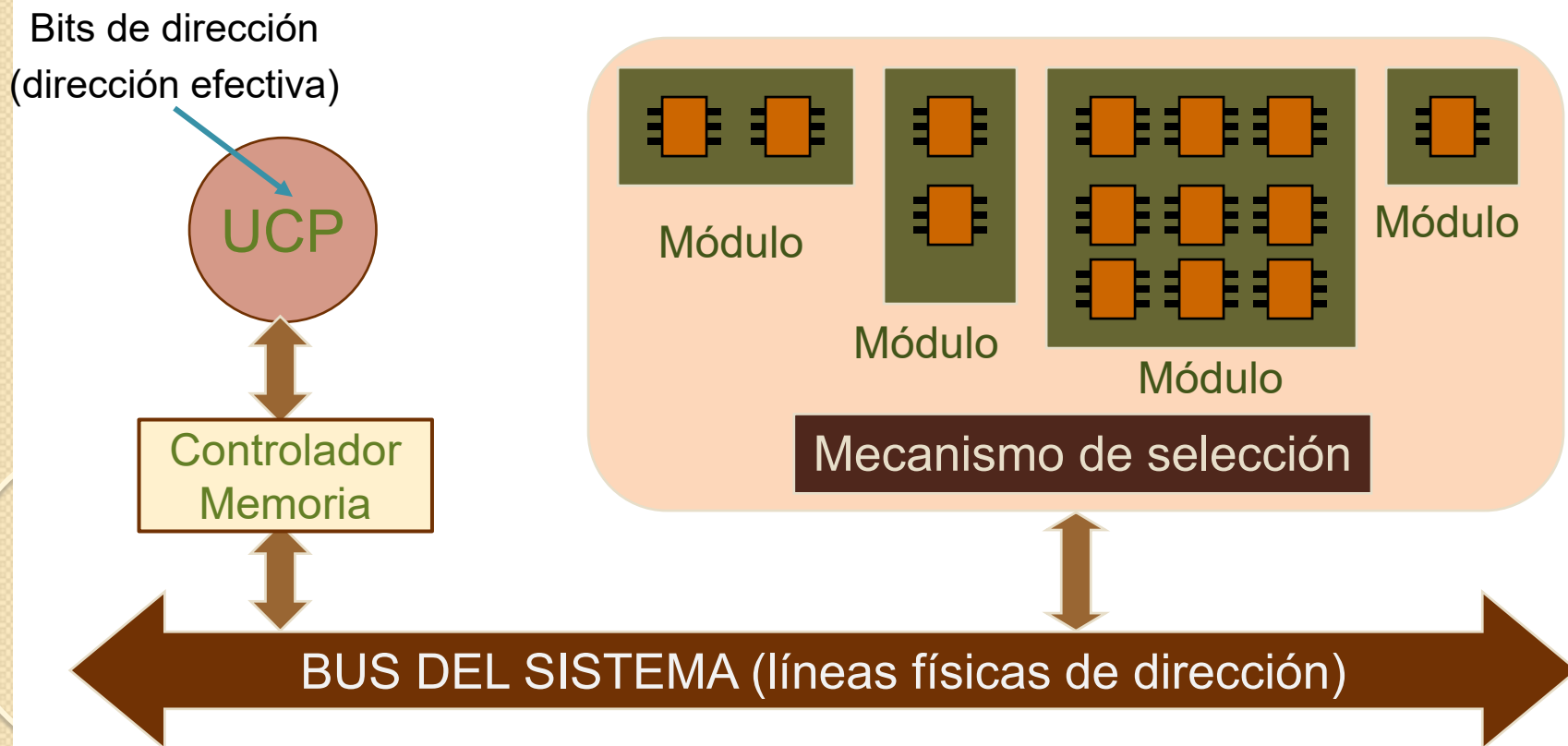
Segundo módulo

5. Módulos de memoria

- Conceptos básicos
- Organización interna de los módulos
- Módulos comerciales de memoria dinámica

Conceptos básicos

- El sistema de memoria principal de un computador suele estar formada por un conjunto de módulos
- El sistema de memoria y la estructura del bus se ajustan a una cierta organización determinada por el procesador

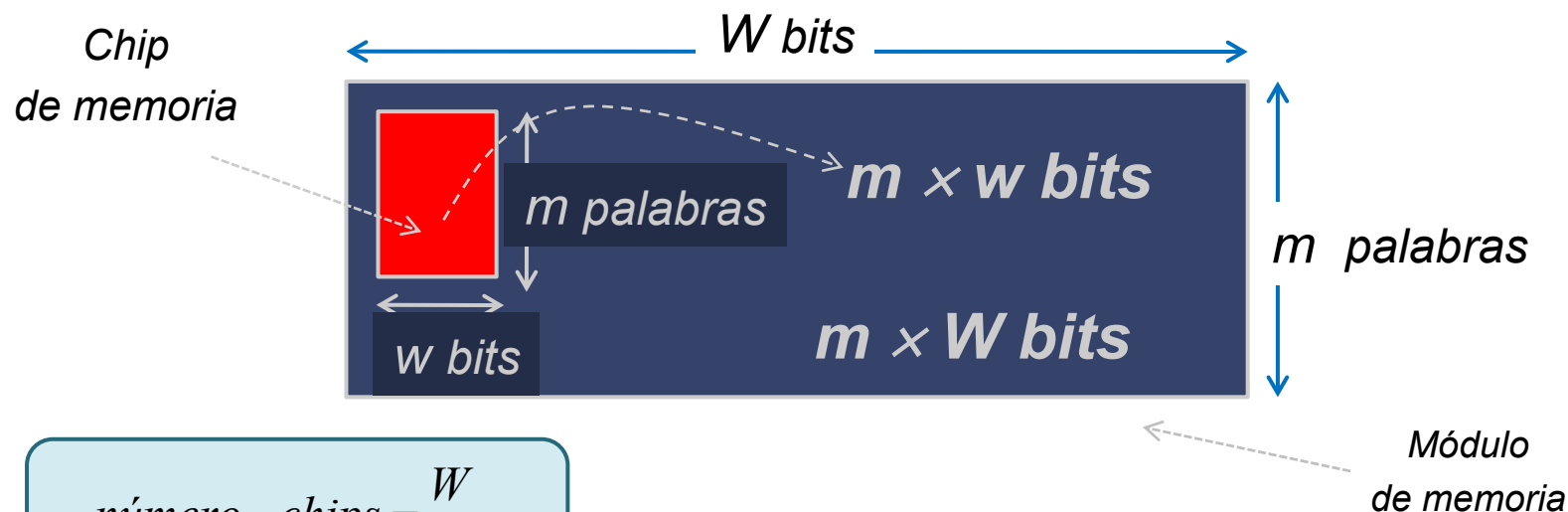


Conceptos básicos

- Un módulo de memoria es un conjunto de chips que cumplen unos determinados requerimientos
 - ✓ Usualmente, cada módulo es de un tipo de memoria determinado: ROM, SRAM, DRAM, etc.
- Cada módulo, a través de un mecanismo de selección, soporta un conjunto de direcciones dentro del espacio de direccionamiento global del procesador
- La distribución del espacio direccionable del procesador entre los módulos (conjunto de direcciones que corresponden a cada módulo) se denomina mapa de memoria

Organización de módulos de memoria

- Los chips DRAM que integran el módulo de memoria de hallan comúnmente distribuidos a lo largo de una única fila. El número de chips del módulo dependerá del tamaño de palabra (número de bits) de los mismos (w) y del tamaño de palabra del módulo (W)



$$\text{número_chips} = \frac{W}{w}$$

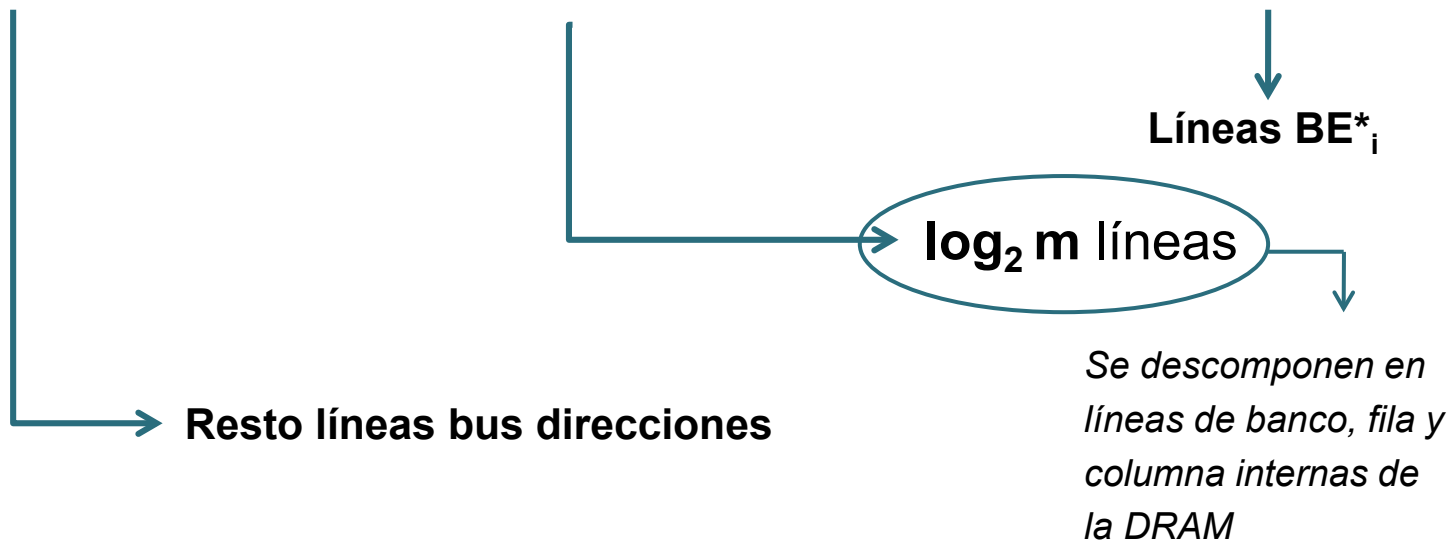
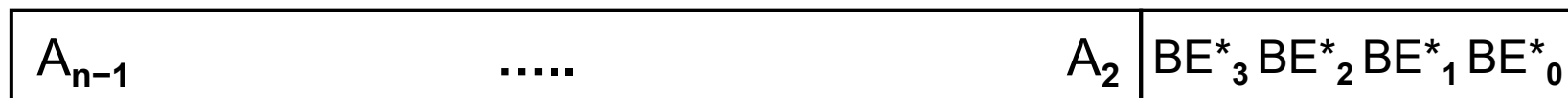
$$\text{tamaño_módulo} = m \times \frac{W}{8} \text{ bytes}$$

Actualmente, el valor típico de W es 64 bits

Organización de módulos de memoria

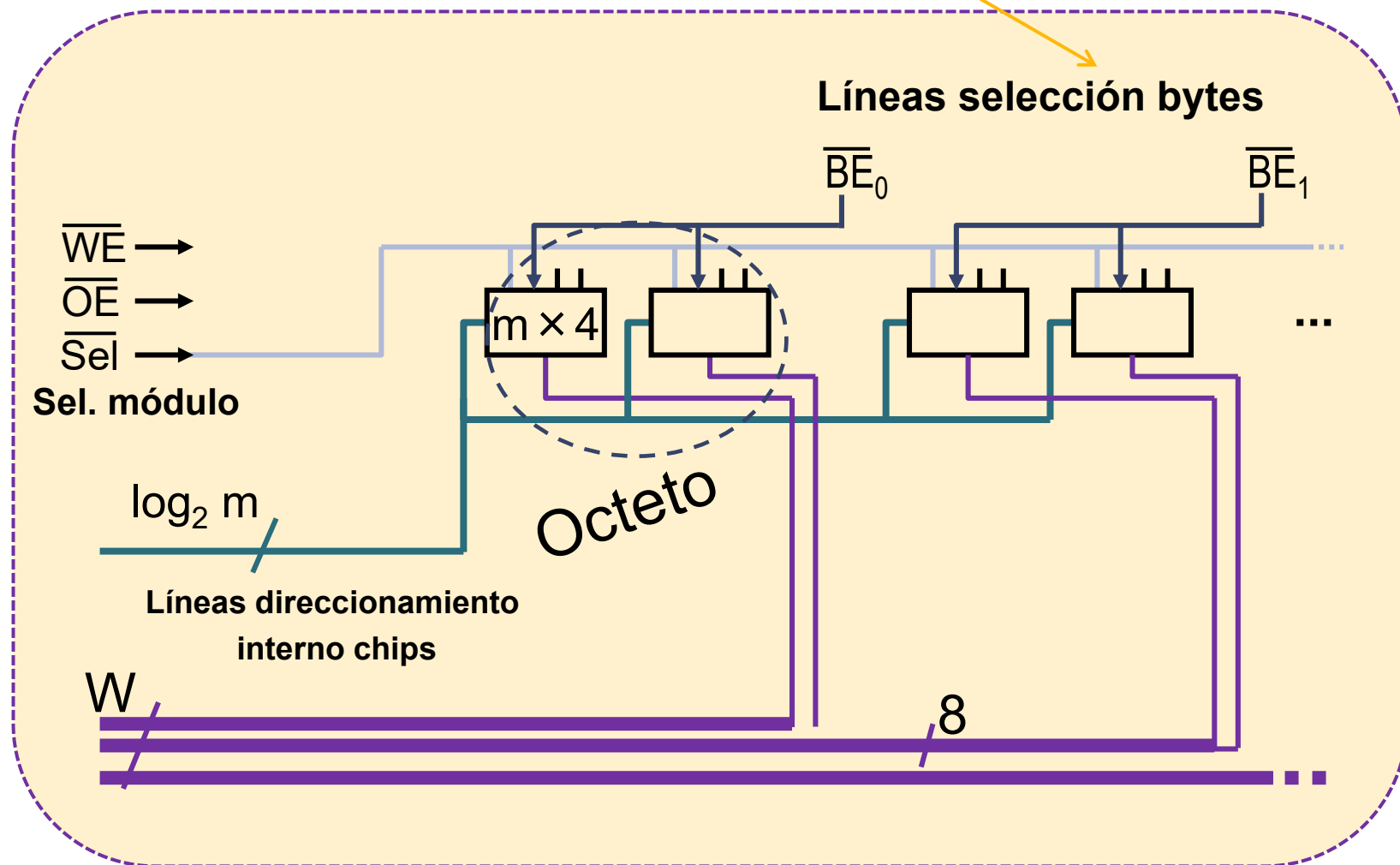
- Direccionamiento de los módulos de memoria

Bus físico de direcciones (CPU 32 bits)



Organización de módulos de memoria

Cada \overline{BE}_i seleccionará tantas columnas como se requieran para formar un octeto

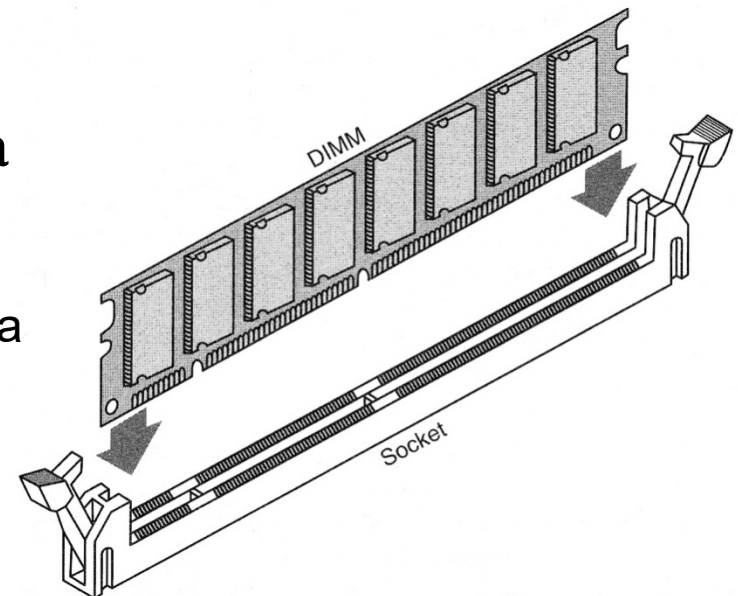
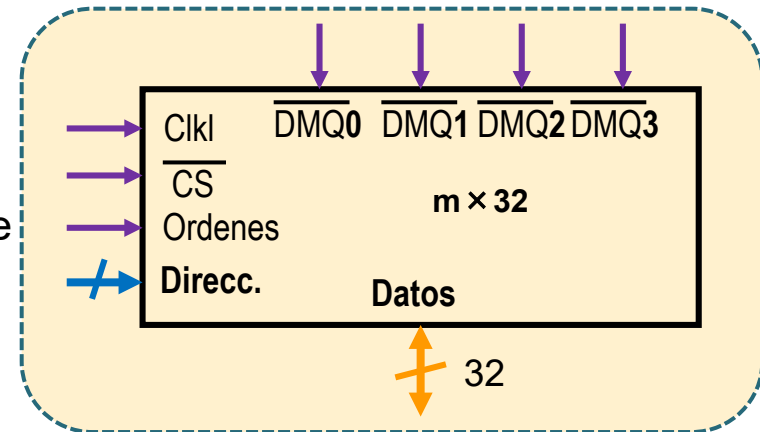
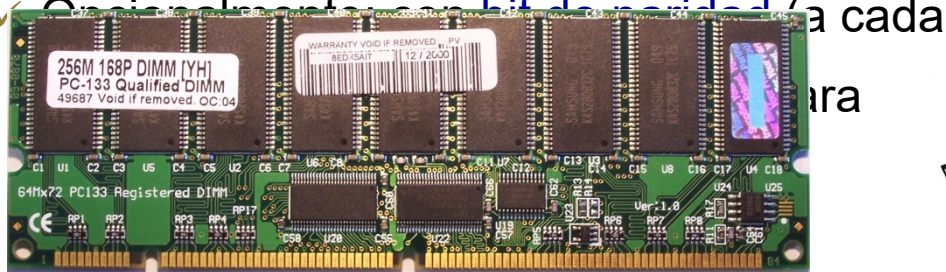


3.2. Módulos estándar de memoria dinámica

- Terminales

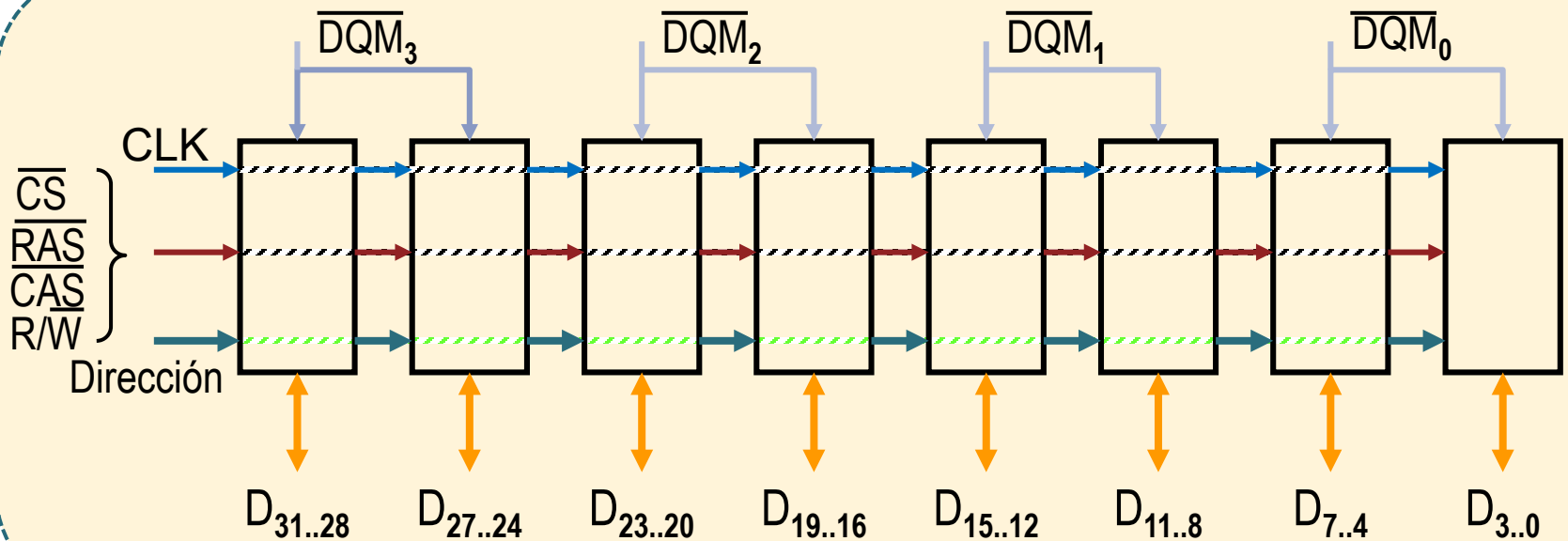
- ✓ Las líneas de dirección están multiplexadas
- ✓ Una entrada CS* actúa de línea de selección de módulo
- ✓ Las entradas DMQ*(CAS) son las líneas de habilitación de byte (sólo para la escritura)

- Los módulos se insertan y extraen fácilmente en las ranuras (slots) de la placa base



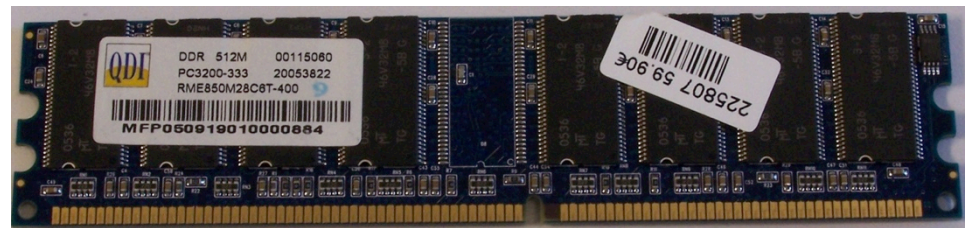
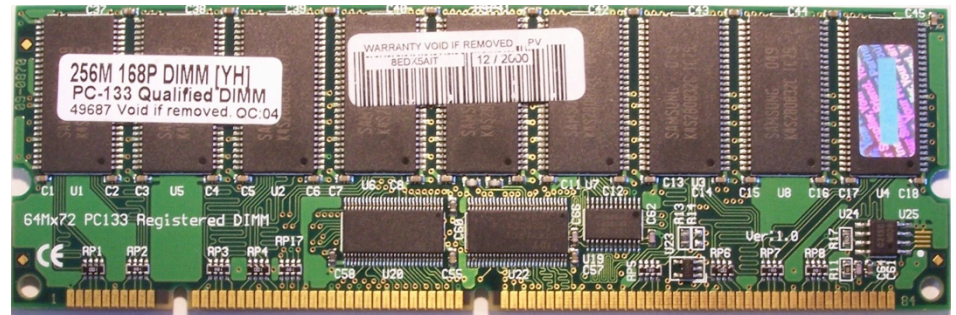
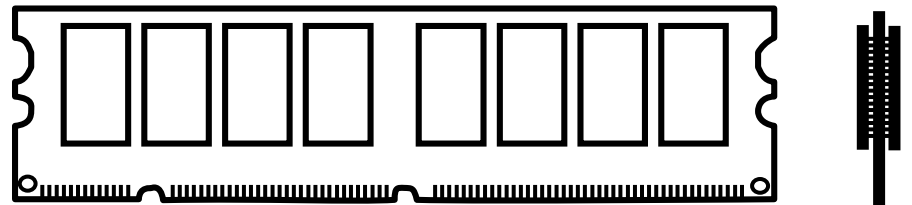
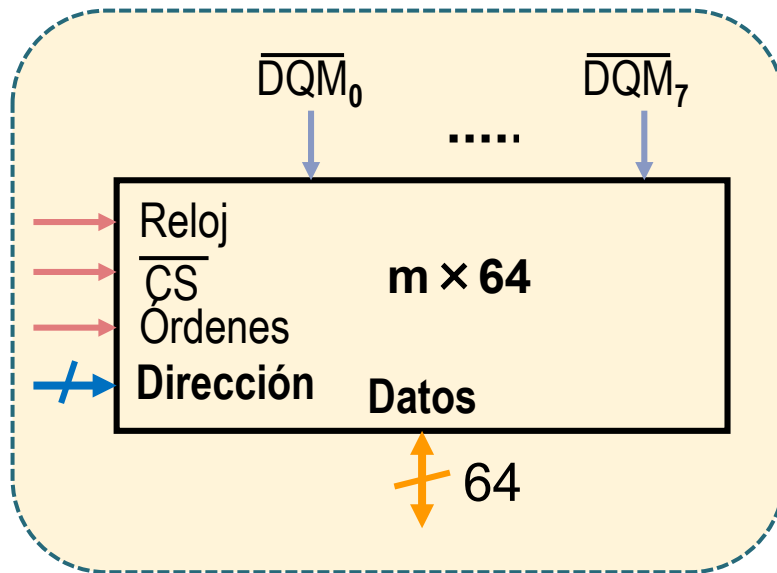
Módulos de memoria dinámica: Organización

- Suele tener una o dos filas de chips
 - ✓ Las entradas de reloj, selección, órdenes y dirección son comunes
 - ✓ Las entradas de máscara de datos DQM de los chips aprovechan para seleccionar los bytes
 - ✓ El ancho de banda del módulo es la suma de los anchos de banda de los chips
- Ejemplo: módulo de $m \times 32$ bits con chips de $m \times 4$ bits



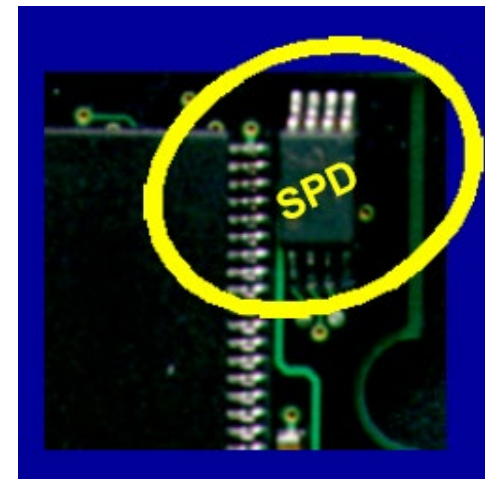
Módulos DIMM (*Dual Inline Memory Module*)

- 168/184/240 contactos, 64 bits de datos, 13 cm de longitud



SPD (*Serial Presence Detect*)

- Memoria EEPROM de pocos bytes
- Almacena información sobre el módulo de memoria
 - ✓ Temporización
 - ✓ Capacidad
 - ✓ Fabricante
 - ✓ Número de serie
- Permite la configuración automática del sistema de memoria
- Hay programas que pueden acceder a esta información
 - ✓ CPU-Z, Sisoft Sandra, entre otros



Información contenida en el SPD

The screenshot shows the CPU-Z application window with the SPD tab selected. The 'Memory Slot Selection' section shows Slot #1 as DDR. The 'Timings Table' section displays various memory parameters for 133 MHz and 166 MHz frequencies.

Memory Slot Selection

Slot #1	DDR
Module Size	512 MBytes
Max Bandwidth	PC2700 (166 MHz)
Manufacturer	Samsung
Part Number	
Serial Number	FFFFFFFF
Correction	None
Registered	no
Buffered	no
SPD Ext.	
Week/Year	255 / 255

Timings Table

	133 MHz	166 MHz		
Frequency	133 MHz	166 MHz		
CAS# Latency	2.0	2.5		
RAS# to CAS#	3	3		
RAS# Precharge	3	3		
tRAS	6	7		
tRC				
Command Rate				
Voltage	2.5 V	2.5 V		

Version 1.47

CPU-Z OK

Comparativa de módulos y denominaciones

- Empaquetamiento
 - ✓ SDRAM: DIMM 168 c
 - ✓ DDR SDRAM: DIMM 184 c
 - ✓ DDR2 SDRAM: DIMM 240 c
 - ✓ DDR3 SDRAM: DIMM 240 c
- Ancho de banda y denominaciones
 - ✓ SDRAM (100 MHz): $100 \text{ MHz} \times 8 \text{ bytes} = 800 \text{ MB/s}$
 - Nomenclatura: PC100
 - ✓ DDR SDRAM (100 MHz): $100 \text{ MHz} \times 8 \text{ bytes} \times 2 = 1600 \text{ MB/s}$
 - Nomenclatura: PC1600
 - ✓ DDR2 SDRAM (200 MHz): $200 \text{ MHz} \times 8 \text{ bytes} \times 2 = 3200 \text{ MB/s}$
 - Nomenclatura: PC2-3200
 - ✓ DDR3 SDRAM (400 MHz): $400 \text{ MHz} \times 8 \text{ bytes} \times 2 = 6400 \text{ MB/s}$
 - Nomenclatura: PC3-6400

Módulos DDR estándar

Nombre	F. reloj	Retardo	F. reloj E/S	V.Transf.	Denom.	Tasa Transf. Max.
DDR-200	100 MHz	10 ns	100 MHz	200 MT/s	PC1600	1.600 MB/s
DDR-266	133 MHz	7,5 ns	133 MHz	266 MT/s	PC2100	2.133 MB/s
DDR-300	150 MHz	6,7 ns	150 MHz	300 MT/s	PC2400	2.400 MB/s
DDR-333	166 MHz	6 ns	166 MHz	333 MT/s	PC2700	2.667 MB/s
DDR-366	183 MHz	5,5 ns	183 MHz	366 MT/s	PC3000	2.933 MiB/s
DDR-400	200 MHz	5 ns	200 MHz	400 MT/s	PC3200	3.200 MB/s
DDR-433	216 MHz	4,6 ns	216 MHz	433 MT/s	PC3500	3.500 MB/s
DDR-466	233 MHz	4,2 ns	233 MHz	466 MT/s	PC3700	3.700 MB/s
DDR-500	250 MHz	4 ns	250 MHz	500 MT/s	PC4000	4.000 MB/s
DDR-533	266 MHz	3,7 ns	266 MHz	533 MT/s	PC4300	4.264 MB/s

MT/s: Millones de transferencias por segundo

Módulos DDR2 Estándar

Nombre	F. reloj	Retardo	F.Reloj E/S	V.Transf.	Denom.	Tasa Transf. Max
DDR2-400	100 MHz	10 ns	200 MHz	400 MT/s	PC2-3200	3.200 MB/s
DDR2-533	133 MHz	7,5 ns	266 MHz	533 MT/s	PC2-4300	4.264 MB/s
DDR2-600	150 MHz	6,7 ns	300 MHz	600 MT/s	PC2-4800	4.800 MB/s
DDR2-667	166 MHz	6 ns	333 MHz	667 MT/s	PC2-5300	5.336 MB/s
DDR2-800	200 MHz	5 ns	400 MHz	800 MT/s	PC2-6400	6.400 MB/s
DDR2-1000	250 MHz	3,75 ns	500 MHz	1.000 MT/s	PC2-8000	8.000 MB/s
DDR2-1066	266 MHz	3,75 ns	533 MHz	1.066 MT/s	PC2-8500	8.530 MB/s
DDR2-1150	286 MHz	3,5 ns	575 MHz	1.150 MT/s	PC2-9200	9.200 MB/s
DDR2-1200	300 MHz	3,3 ns	600 MHz	1.200 MT/s	PC2-9600	9.600 MB/s

MT/s: Millones de transferencias por segundo

Módulos DDR3 estándar

Nombre	F. reloj	Retardo	Freq. E/S	V.Transf.	Denom.	Tasa Transf. Max
DDR3-1.066	133 MHz	7,5 ns	533 MHz	1.066 MT/s	PC3-8500	8.530 MB/s
DDR3-1.200	150 MHz	6,7 ns	600 MHz	1.200 MT/s	PC3-9600	9.600 MB/s
DDR3-1.333	166 MHz	6 ns	667 MHz	1.333 MT/s	PC3-10667	10.664 MB/s
DDR3-1.375	170 MHz	5,9 ns	688 MHz	1.375 MT/s	PC3-11000	11.000 MB/s
DDR3-1.466	183 MHz	5,5 ns	733 MHz	1.466 MT/s	PC3-11700	11.700 MB/s
DDR3-1.600	200 MHz	5 ns	800 MHz	1.600 MT/s	PC3-12800	12.800 MB/s
DDR3-1.866	233 MHz	4,3 ns	933 MHz	1.866 MT/s	PC3-14900	14.930 MB/s
DDR3-2.000	250 MHz	4 ns	1000 MHz	2.000 MT/s	PC3-16000	16.000 MB/s

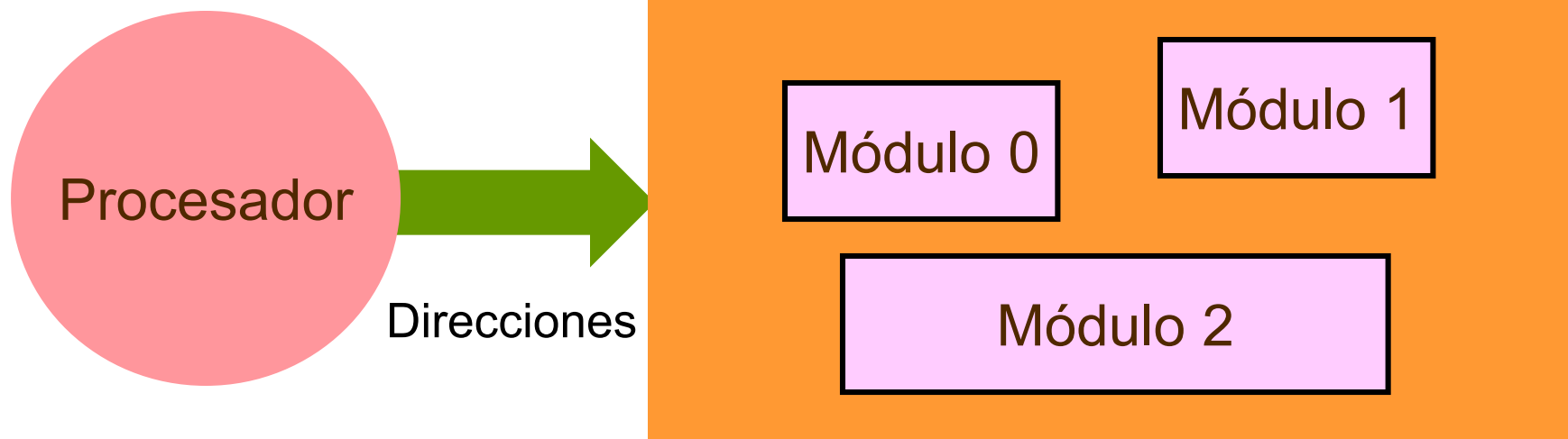
MT/s: Millones de transferencias por segundo

6. Mapas de memoria

- Concepto de mapa
- Funciones de selección de módulo

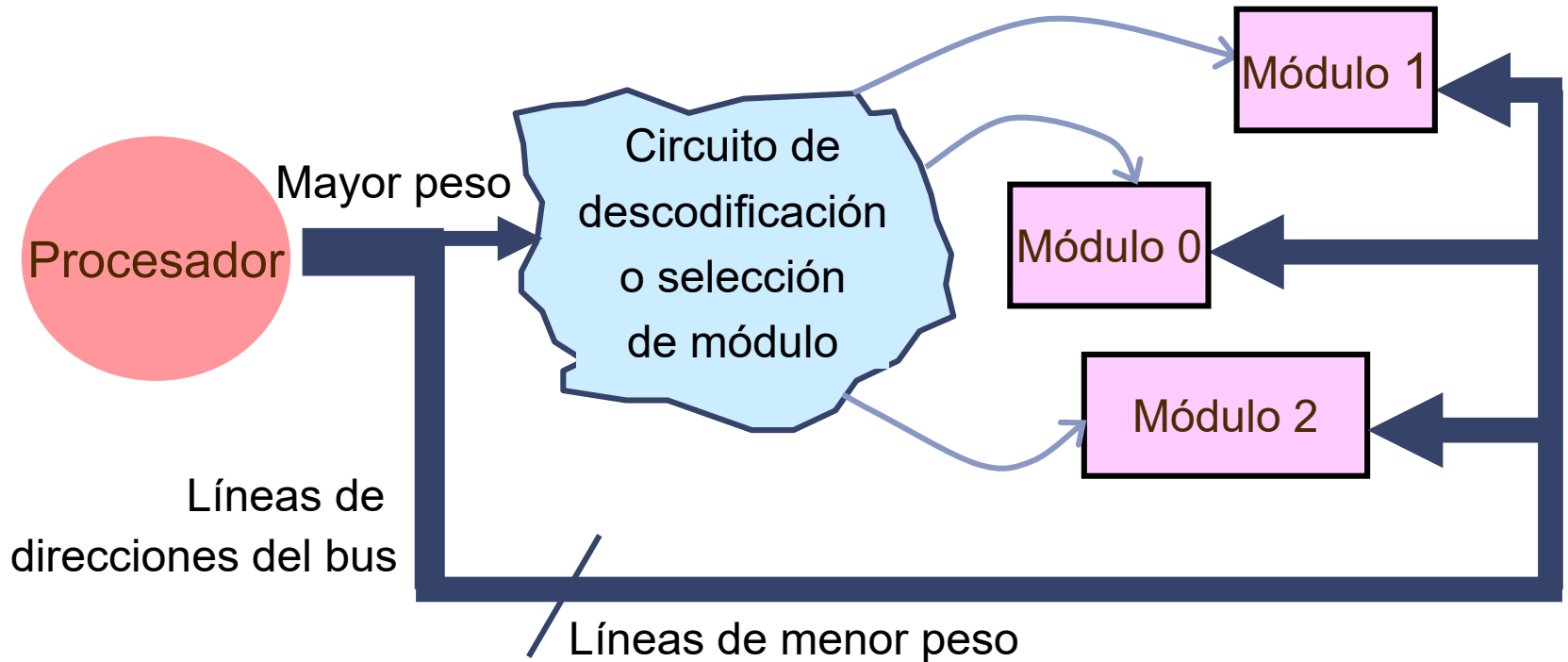
Concepto de mapa de memoria

- Distribución de los distintos módulos en el espacio físico de direccionamiento del procesador
 - ✓ El espacio direccionable suele ser mucho más grande que el espacio ocupado por los módulos físicos de la memoria
 - ✓ Ejemplo: procesador con 32 bits de direcciones y memoria principal de 128 MB implementada mediante 2 módulos de 32 MB y uno de 64 MB
 - $128 \text{ MB} \ll 4 \text{ GB}$



Circuito de descodificación o selección

- Es necesario descodificar la dirección emitida por el procesador para identificar el módulo referenciado



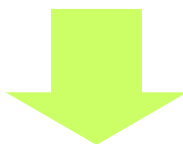
Parámetros a considerar

- Procesador
 - ✓ Espacio de direccionamiento
 - Depende de la longitud de las direcciones efectivas
- Módulo
 - ✓ Dirección de inicio dentro del mapa
 - ✓ Capacidad expresada en bytes
 - Ojo: no influye la organización interna del módulo
- Nivel de activación de las funciones de selección
 - ✓ Nivel alto o bajo

Un caso particular de mapa

- Procesador de 32 bits y espacio de direccionamiento de 256 KB
- Módulo DRAM de 64 KB y dirección de inicio en 0x20000

A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	.	.	.	A_2	A_1	A_0	
1	0	0	0	0	.	.	.	0	0	0	0x20000
1	0	0	0	0	.	.	.	0	0	1	0x20001
1	0	0	0	0	.	.	.	0	1	0	0x20002
1	0	1	1	1	.	.	.	1	1	0	0x2FFFE
1	0	1	1	1	.	.	.	1	1	1	0x2FFFF

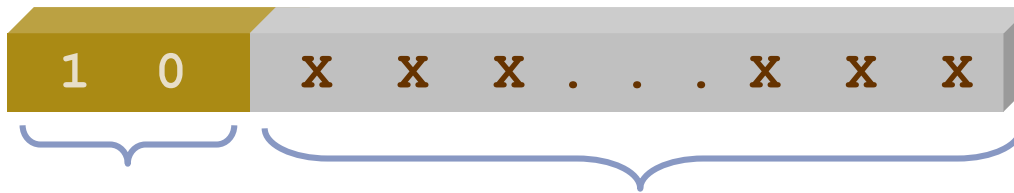


Forma general de las direcciones que pertenecen al módulo

Función de selección del módulo

- El módulo contiene las direcciones con forma **0x2????**
 - ✓ Rango de direcciones : **0x20000** hasta **0x2FFFF**

$A_{17} A_{16} A_{15} A_{14} A_{13} \dots A_2 A_1 A_0$



A_{17} i A_{16}
seleccionan
el módulo

Direccionamiento
dentro del módulo

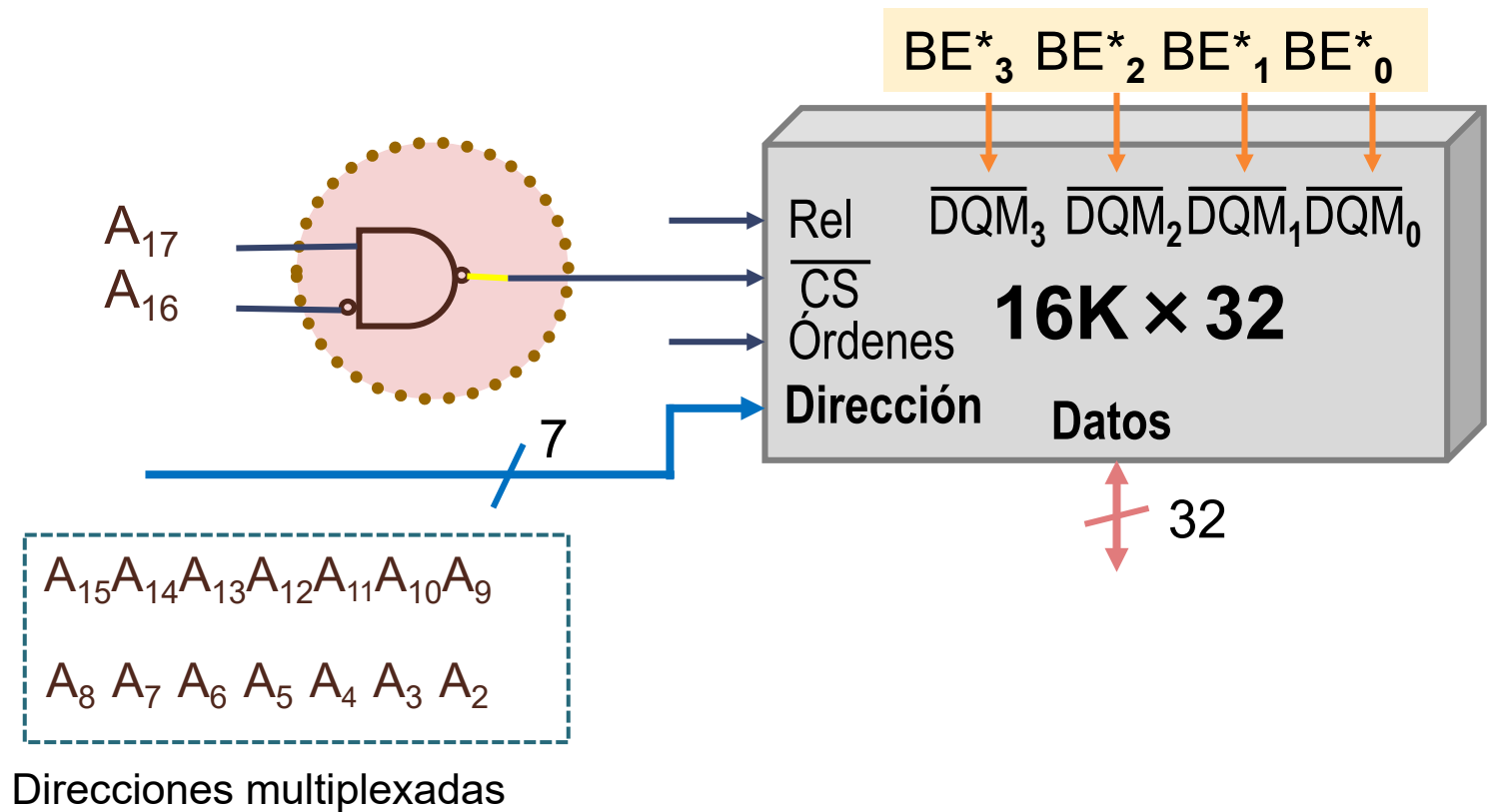


$$SEL^* = A_{17}^* + A_{16} = A_{17} \cdot A_{16}^*$$

$$SEL = A_{17} \cdot A_{16}^* = A_{17}^* + A_{16}$$

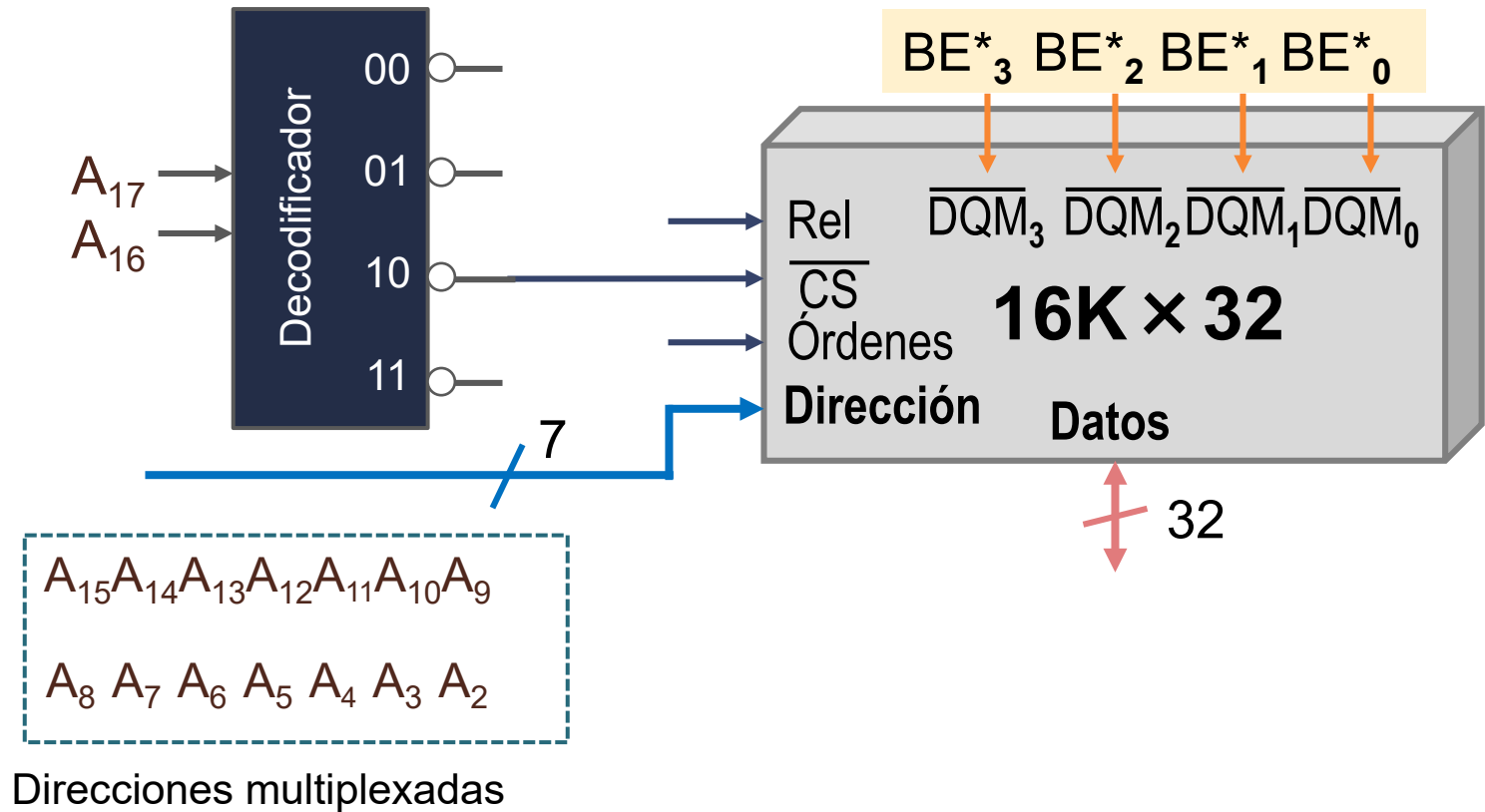
Detalle de la implementación física

- Con puertas lógicas



Detalle de la implementación física

- Con multiplexores

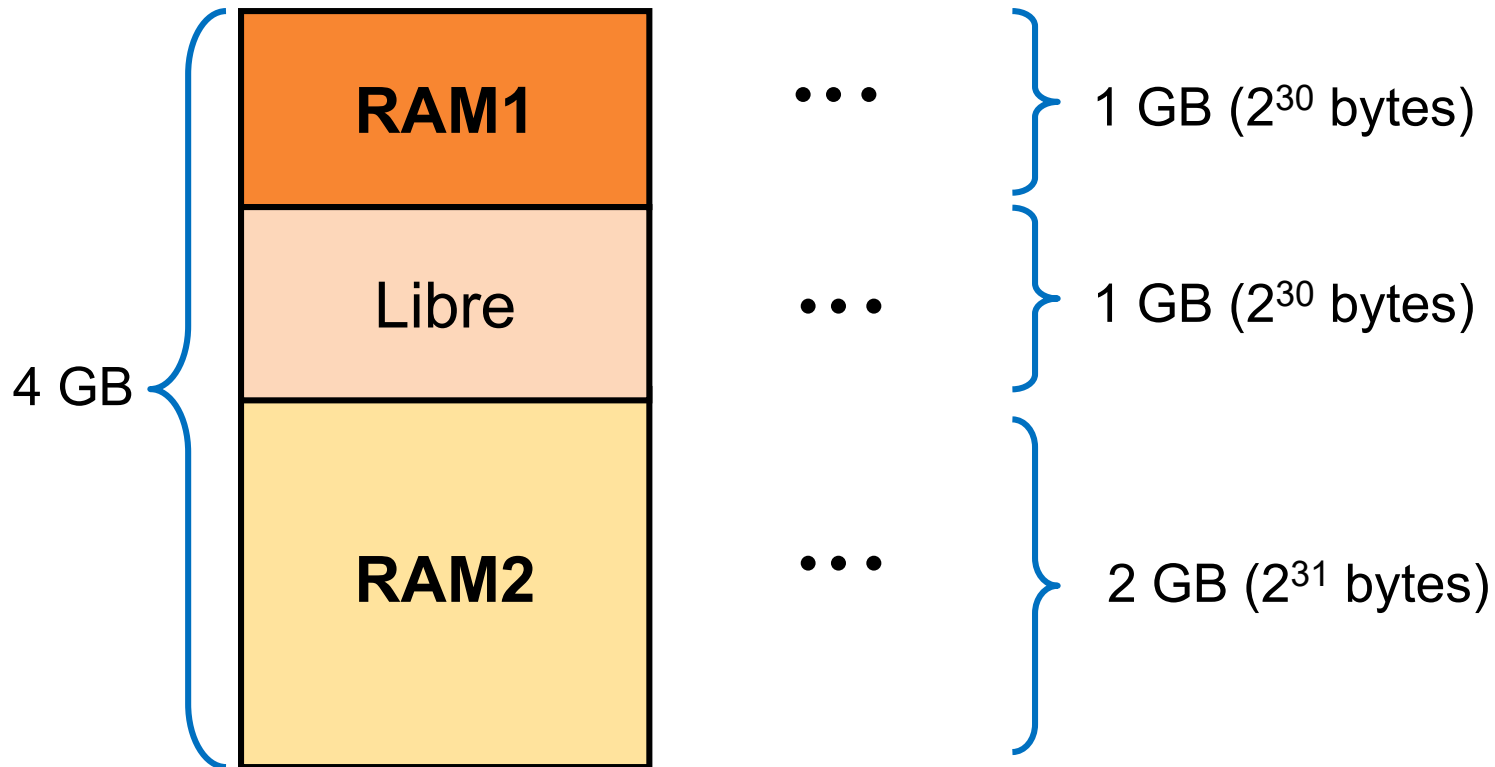


Ejemplo de mapa con dos módulos

- MIPS R2000, espacio direccionamiento: 4 GB (2^{32} bytes)
- Módulos, capacidad y dirección de comienzo

✓

✓



Detalle del mapa de memoria para RAM1

	A_{31}	A_{30}	A_{29}	A_{28}	A_{27}	...			A_4	A_3	A_2	A_1	A_0
0x00000000	0	0	0	0	0	.	.	.	0	0	0	0	0
0x00000001	0	0	0	0	0	.	.	.	0	0	0	0	1
0x00000002	0	0	0	0	0	.	.	.	0	0	0	1	0
...													
0x3FFFFFFE	0	0	1	1	1	.	.	.	1	1	1	1	0
0x3FFFFFFF	0	0	1	1	1	.	.	.	1	1	1	1	1

$$SEL^*_{RAM1} = A_{31} + A_{30}$$



A_{31} y A_{30} seleccionan el módulo

Direccionamiento dentro del módulo

Detalle del mapa de memoria para RAM2

	A_{31}	A_{30}	A_{29}	A_{28}	A_{27}	...	A_4	A_3	A_2	A_1	A_0
0x80000000	1	0	0	0	0	. . .	0	0	0	0	0
0x80000001	1	0	0	0	0	. . .	0	0	0	0	1
0x80000002	1	0	0	0	0	. . .	0	0	0	1	0
...											
0xFFFFFFFFE	1	1	1	1	1	. . .	1	1	1	1	0
0xFFFFFFFFF	1	1	1	1	1	. . .	1	1	1	1	1

$$SEL^*_{RAM1} = /A_{31}$$



A_{31} selecciona el módulo

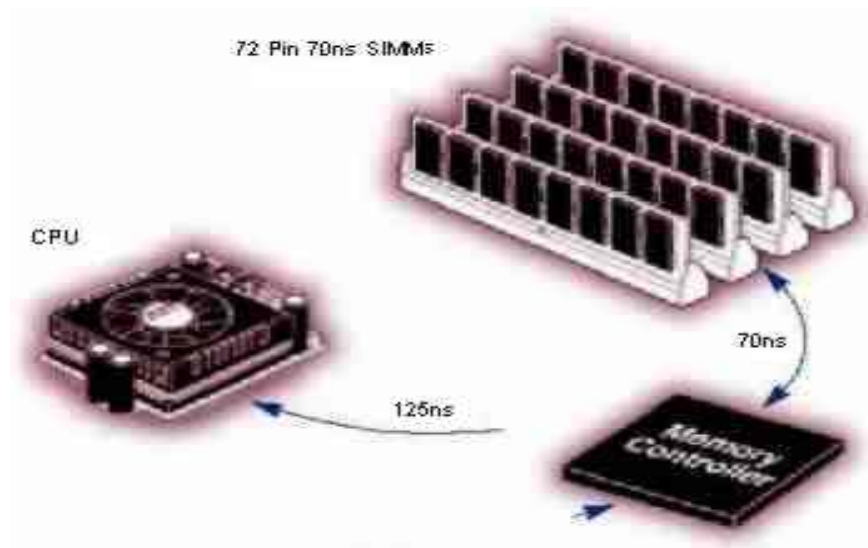
Direccionamiento de los bytes del módulo

7. El controlador de memoria

- Funciones del controlador
- Inicialización del sistema de memoria

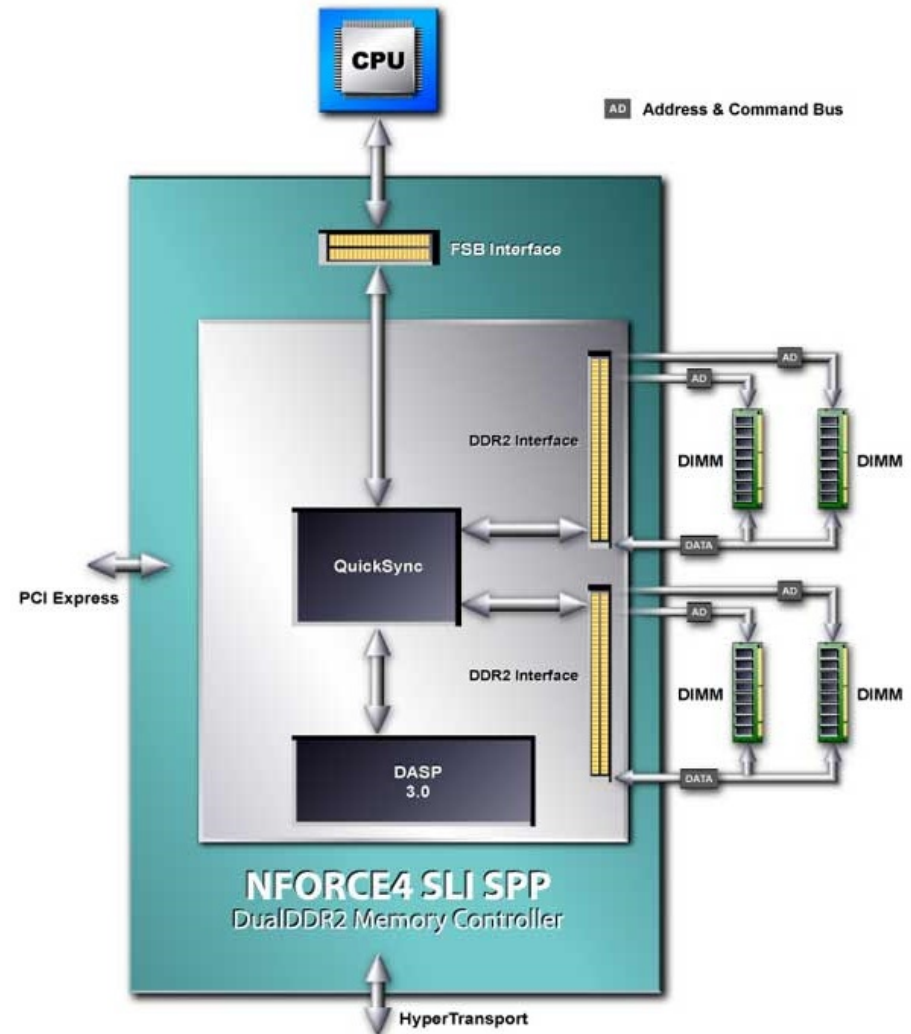
El controlador de memoria

- Gestiona los módulos de memoria dinámica y hace de intermediario entre ésta y el procesador
- Su principal objetivo es maximizar el ancho de banda efectivo de memoria y reducir la latencia de los accesos

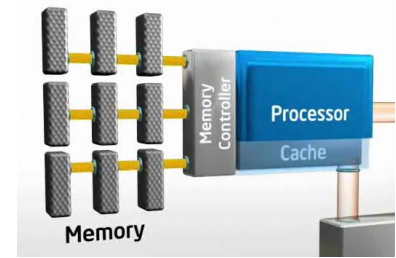


El controlador de memoria

- Disponibilidad de uno o varios canales independientes
- El ancho de banda total del sistema de memoria es la suma de los anchos de banda de cada canal
- ¡Conviene conocer las limitaciones y requerimientos del controlador antes de ampliar la memoria!

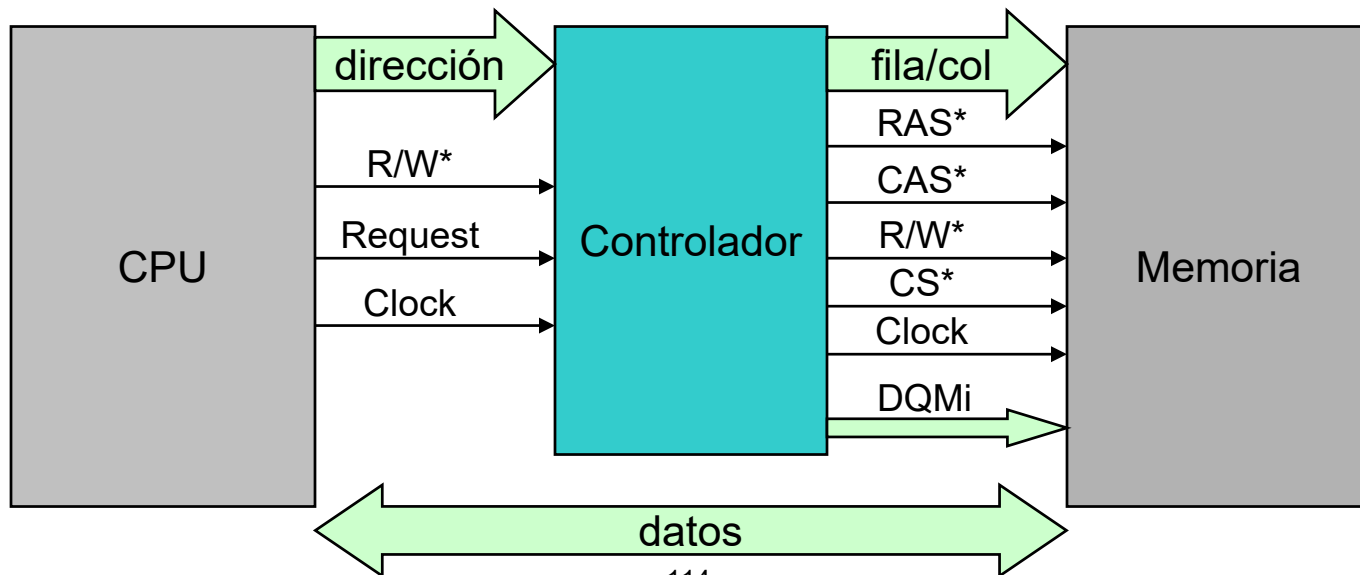


El controlador de memoria



Funciones del controlador:

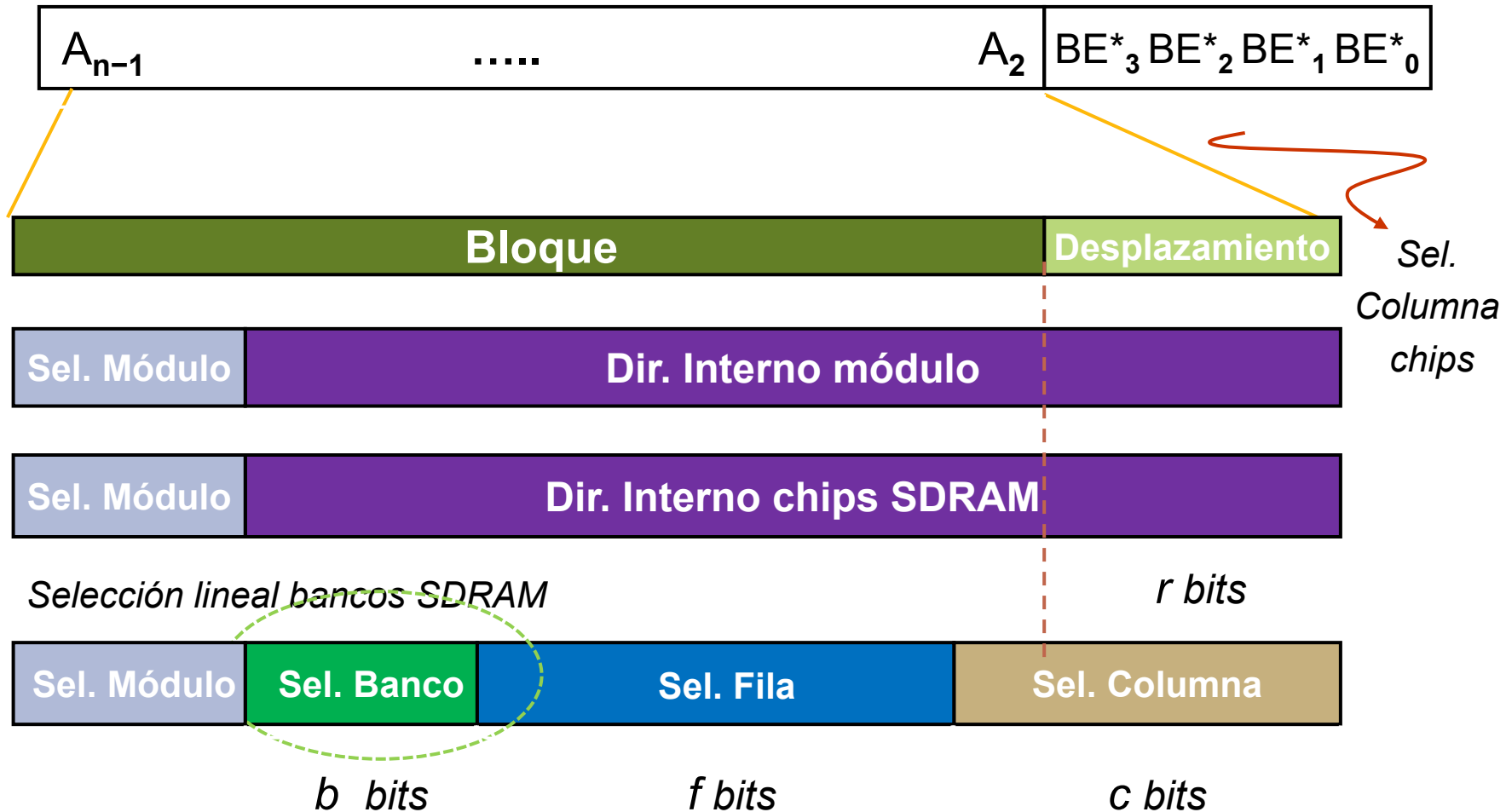
- ✓ Selección del módulo de DRAM según la dirección de palabra del bus y activación de las líneas CS*
- ✓ Traducción de la dirección física lineal en direcciones de banco, filas y columnas (y líneas BE* del bus en líneas DQM*), tratando de minimizar los conflictos de banco en accesos adyacentes y maximizar el paralelismo proporcionado por el sistema de memoria (canal, módulo, banco, fila, columna)
- ✓ Sincronización con DRAM (aplica los protocolos de acceso a DRAM)
- ✓ Generación de la señal de reloj y gestión del refresco



El controlador de memoria

- Estructura resultante de las direcciones

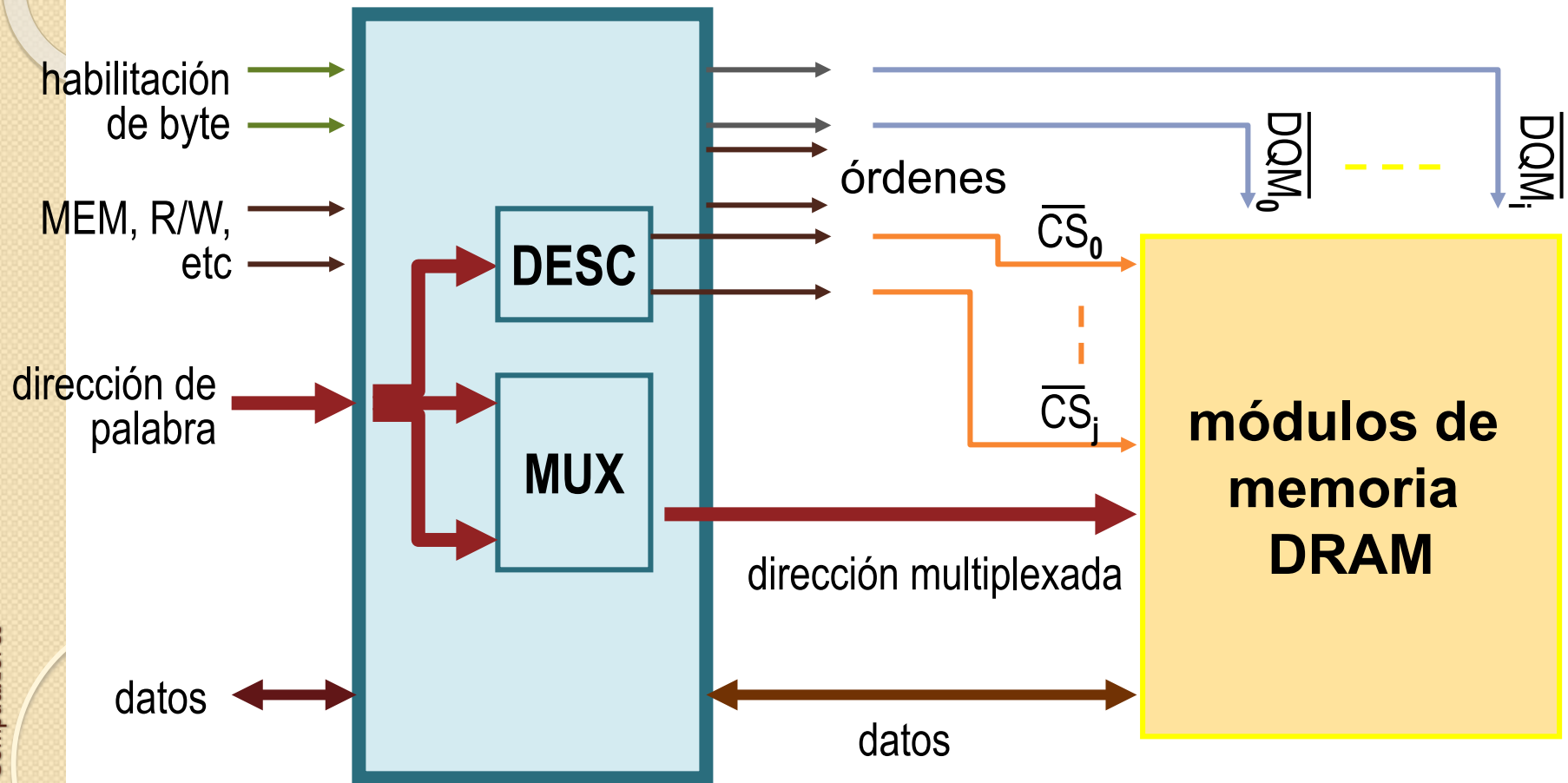
Bus físico de direcciones (CPU 32 bits)



El controlador de memoria

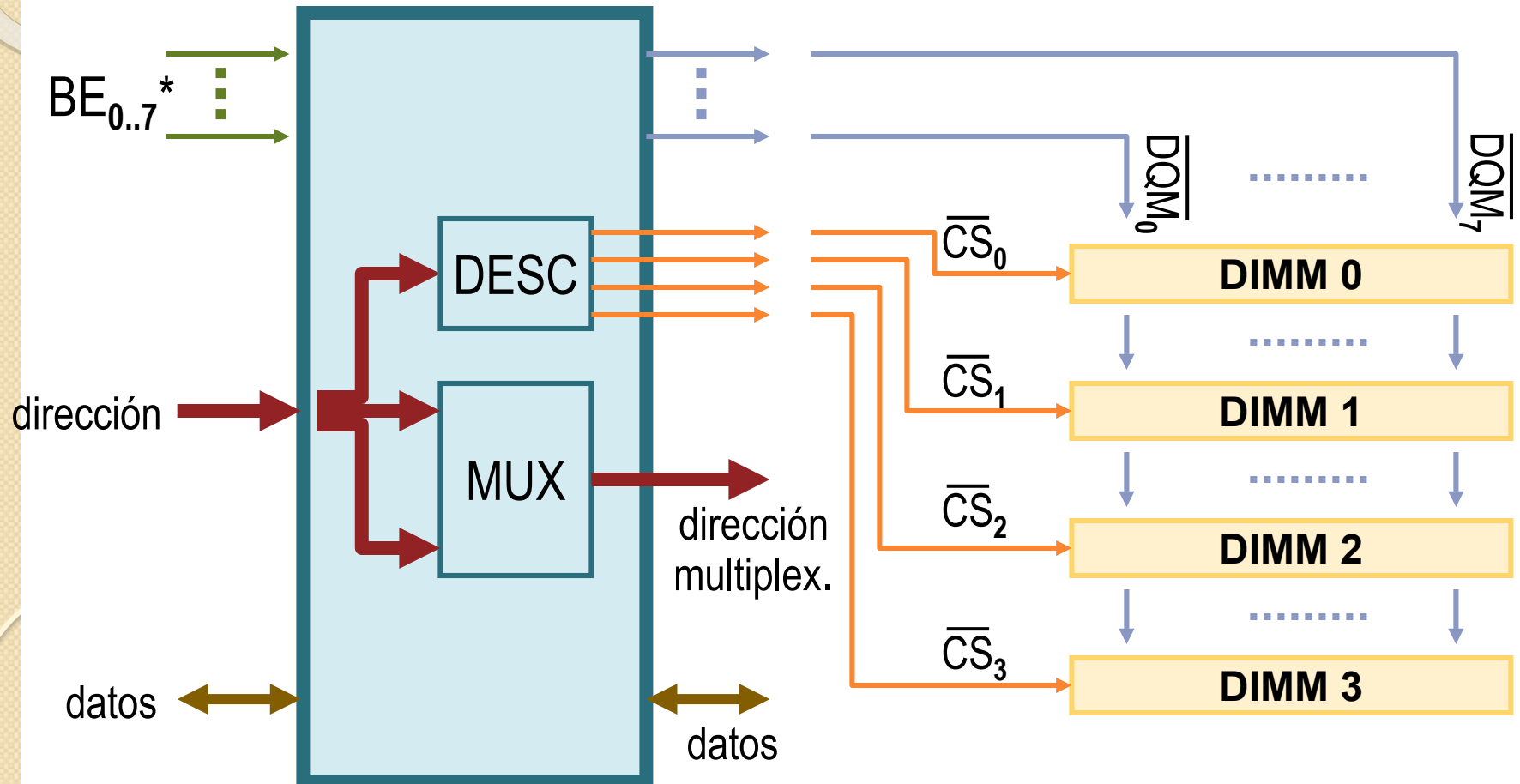
- Estructura resultante de las direcciones:
 - ✓ n : número de bits de la dirección. Depende del procesador
 - ✓ b bits de dirección de banco. $b = \log_2 \text{num_bancos}$
 - ✓ f bits de dirección de filas. $f = \log_2 \text{num_filas}$
 - ✓ c bits de direccionamiento de columna. $c = \log_2 \text{num_columnas}$
 - ✓ r bits de desplazamiento dentro del bloque. Depende del tamaño de bloque impuesto por el sistema de memoria

Controlador de memoria DRAM: estructura



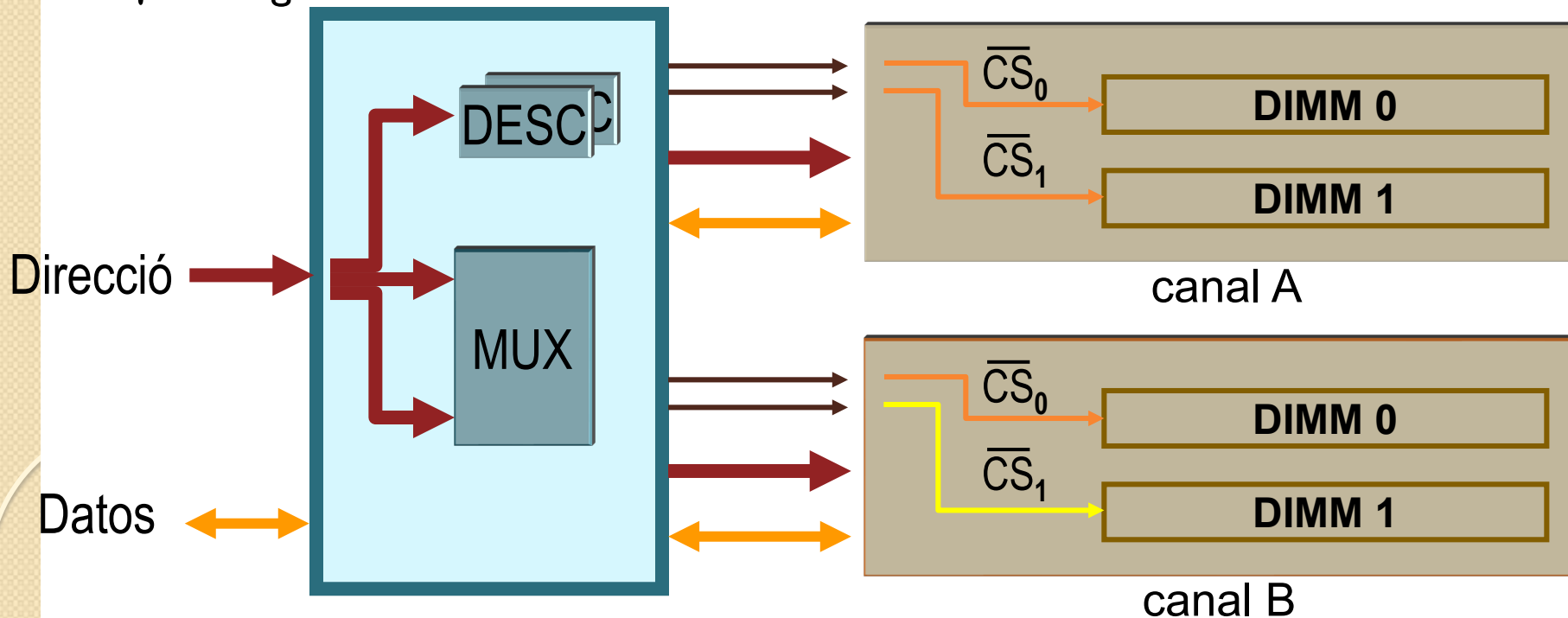
Ejemplo de configuración DRAM estándar

- W=64 bits, 4 módulos DIMM



Ejemplo de configuración DRAM estándar

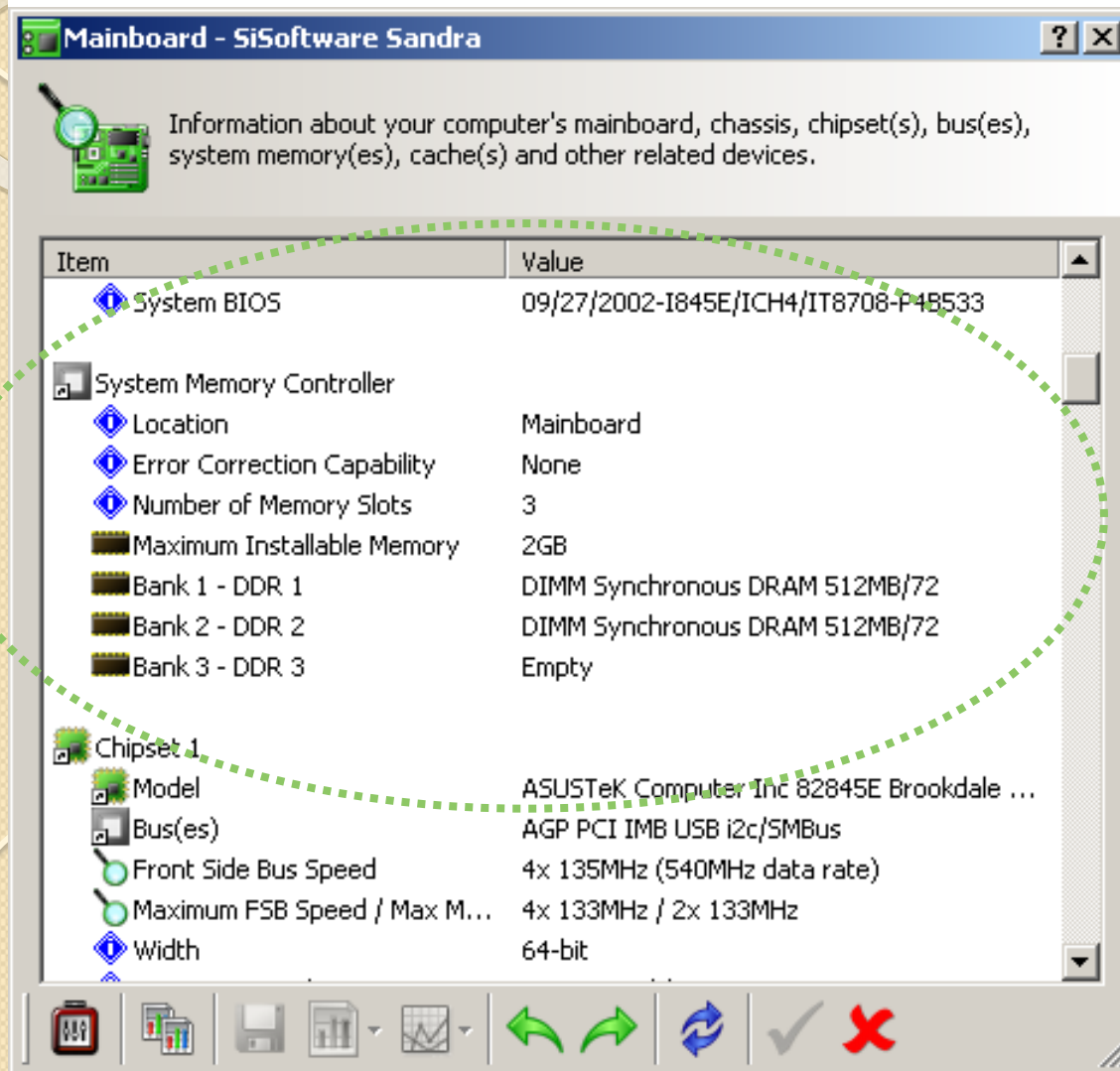
- W=64 bits, 4 módulos DIMM en dos canales
 - ✓ Los más frecuentes ahora (2006 en adelante)
 - ✓ Permite duplicar el ancho de banda de los módulos
 - ✓ ¡Se obliga a una cierta distribución de módulos entre los canales!



El controlador de memoria

- Inicialización del sistema de memoria
 - ✓ El controlador de memoria forma parte del controlador de sistema o chipset. El chipset es un circuito de complejidad comparable al procesador y que concentra muchas funciones críticas
 - ✓ Al encender un computador, el controlador comprueba, uno a uno, todos los módulos conectados, obtiene las características clave a partir del SPD (capacidad, geometría de matriz, restricciones temporales, etc.) e inicializa los chips
 - ✓ El controlador configura
 - el mapa de memoria con los módulos presentes y fija las funciones de selección
 - la frecuencia de reloj
 - la temporización adecuada para acceder correctamente a los módulos
 - la frecuencia de emisión de órdenes AUTOREFRESH

SiSoftware Sandra: controlador de memòria



Tres zócalos de memoria, dos de ellos ocupados por módulos de igual capacidad