

Soluciones a las Cuestiones y Ejercicios Propuestos.

1 Lógica CMOS Complementaria.

1.1 C

1.2 $F = \overline{D + A(B + C)}$

1.3 A) NAND de 2 entradas. B) Ventradas = $15 + V_\gamma = 15.7V$, que se interpreta como un "1" lógico $\rightarrow V_o = "0" \approx 0V$, C) Ventradas = $-V_\gamma = -0.7V$, que se interpreta como un "0" lógico $\rightarrow V_o = "1" \approx 15V$

1.4 Ejercicio de desarrollo por parte del alumno. Se sugiere **iniciar** la resolución de esta forma:

Negar dos veces y aplicar De Morgan: $F = \overline{(A + \overline{B})}(\overline{A} + B)$

La función $G = (A + \overline{B})(\overline{A} + B)$ implementará el bloque NMOS.

El bloque PMOS se implementa con la estructura dual al NMOS (cambiando las agrupaciones serie por paralelo y viceversa).

Número de transistores:

- Bloque NMOS: 4 transistores NMOS
- Bloque PMOS: 4 transistores PMOS
- 2 inversores para generar \overline{A} y $\overline{B} \rightarrow 4$ transistores
- TOTAL: 12 transistores

Comparación con diseño tradicional con puertas lógicas independientes:

$F = \overline{AB} + \overline{AB} \rightarrow 2 \text{ AND}, 1 \text{ OR}, 2 \text{ NOT} \rightarrow 2 \times 6 + 6 + 2 \times 2 = 22 \text{ transistores}$

1.5 Ejercicio de desarrollo por parte del alumno. Se sugiere **iniciar** la resolución de esta forma:

Negar dos veces y aplicar De Morgan: $F = \overline{\overline{AB} + \overline{AC} + \overline{BC}} = \overline{(\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})}$

La función $G = (\overline{A} + \overline{B})(\overline{A} + \overline{C})(\overline{B} + \overline{C})$ implementará el bloque NMOS.

El bloque PMOS se implementa con la estructura dual al NMOS (cambiando las agrupaciones serie por paralelo y viceversa)

1.6 B) ; si analizamos por ejemplo el bloque NMOS: B y C están en paralelo, y A en serie con el paralelo anterior. Por tanto, $G = A.(B + C)$

Negando G, $F = \overline{A.(B + C)}$

2 Puertas de transmisión

2.1 B

2.2 C

2.3 Diseño resumido (sin dibujar):

$$F = A \oplus B = \overline{A}B + A\overline{B}$$

La función nos dice que:

Si A="0" $\rightarrow F=B$

Si A="1" $\rightarrow F=\overline{B}$

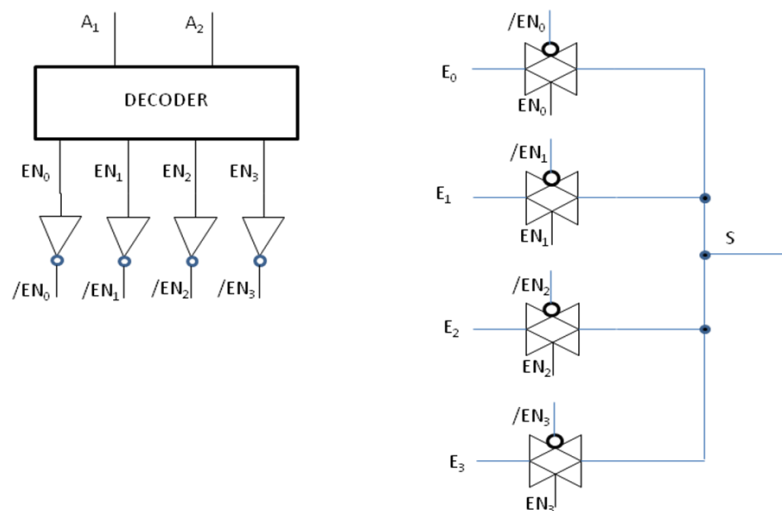
Podemos plantear el diseño a partir de un MUX de dos canales, B y \overline{B} , y una señal de selección SEL=A (obviamente también se podrían elegir los canales A y \overline{A} , y una señal de selección SEL=B). Si queremos que la señal se restaure a la salida, convendría poner la función en su versión negada, y de esta forma poner un inversor a la salida, que es el que restaura la señal. La función XOR se puede poner así:

$F = A \oplus B = \overline{\overline{A}B + A\overline{B}}$, que es la inversa de la XNOR. La parte interna se puede plantear con 2 puertas de transmisión, igual que antes. A continuación se sitúa el inversor de salida.

2.4 C

2.5 Diseño resumido:

4 puertas de transmisión CMOS, una por canal analógico. 4 entradas: E0, E1, E2, E3. Todas las puertas de transmisión comparten su salida S. El circuito digital de control se puede hacer con un decodificador 2, con 2 entradas de selección (A1 A0) y 4 salidas que habilitan cada una de las puertas de transmisión.



Opción alternativa: plantear el Mux 4x1 a base de 3 Mux 2x1 (diseño jerárquico de dos niveles) y 2 señales de selección.
No hace falta poner ningún inversor a la salida para restaurar la señal digital, pues el multiplexor es analógico y las señales son analógicas.

2.6 D

2.7 B

2.8 D

3 Salidas especiales

3.1 B

3.2 B

3.3 C

SOL:

$$V_{DD} = V_{led} + R I_{led} + V_{OLmax}$$

$$R = (V_{DD} - V_{led} - V_{OLmax}) / I_{led} = (15 - 1.6 - 0.37) / 10 = 1.3K\Omega$$

3.4 D

SOL:

* Nivel bajo (Bus="0") → una o más salidas = "0"

$$R \geq (V_{DD} - V_{OLmax}) / I_{OLmax} \rightarrow R \geq (5 - 0.33) / 4 \rightarrow R \geq 1.17K$$

* Nivel alto (Bus="1") → 8 salidas = "1" (8 transistores cortados con corriente de fuga IOH)

$$R \leq (V_{DD} - V_{OHmin}) / (8 \times I_{OHmax}) \rightarrow R \leq (5 - 3.84) / (8 \times 0.005) \rightarrow R \leq 29K$$

3.5 C; se trata de una NAND triestado, con señal de habilitación EN

3.6 A; el bloque de la izquierda, formado por 4 transistores, es una NOR de 2 entradas. La salida de la NOR va a un inversor con salida en drenador abierto y resistencia de pull-up externa. Por tanto, $F = \text{/NOR} = \text{OR}$

4 Parámetros característicos/Subfamilias CMOS.

4.1 B

4.2 B

4.3 0.04 pF (picofaradios)

4.4 383 mW

4.5

SOL: $P_d = P_d (\text{lógica}) + P_d (\text{memoria}) = V_{DD}^2 C_L f (20 \times 10^6 \alpha_{\text{lógica}} + 180 \times 10^6 \alpha_{\text{men}}) = (1.2)^2 \times 10^{-15} \times 10^9 \times 10^6 (20 \times 0.1 + 180 \times 0.05) = 1.44 \times (2 + 9) = 15.84 = 15.84 \text{ W}$

4.6

A) $NM_L = 1.02V$, $NM_H = 0.69V \rightarrow NM = 0.69V$

B) $Fan\text{-}out_L = 4000$, $Fan\text{-}out_H = 4000 \rightarrow Fan\text{-}out = 4000$

En la práctica el fan-out se reduce a unas 50 entradas para limitar el consumo dinámico y el retardo

C) $P_d = (V_{DD})^2 C f$, donde C es la capacidad parásita de drenador (salida) de la propia puerta lógica, dado que no hay nada conectado (en vacío). Por tanto:

$$P_d = (5)^2 \times 22 \times 10^{-12} \times 10 \times 10^6 = 550 \times 10^{-4} = 0.055 \text{ W} = 5.5 \text{ mW}$$

D) $P_{\text{estática}} = V_{CC} \times I_{CC} = 5V \times 0.002mA = 0.01mW = 10\mu W$, muy bajo, por ser CMOS

E) $F_{\text{max}} \approx 1/2t_{pd} = 0.055 \text{ GHz} = 55 \text{ MHz}$

4.7 El retardo es directamente proporcional a las capacidades parásitas e inversamente proporcional a V_{DD} y K de los transistores. A su vez, K es directamente proporcional a (W/L)

A) F

B) V

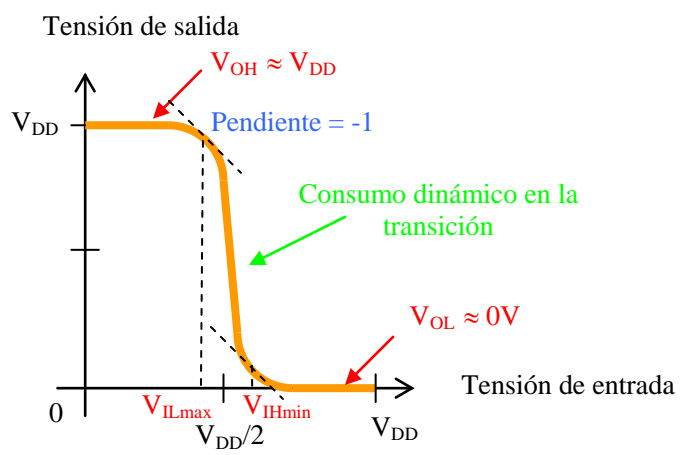
C) F

D) V

4.8 En CMOS estándar $V_{IL\text{max}} \approx 0.3 V_{DD}$, $V_{IH\text{min}} \approx 0.7 V_{DD}$

El consumo estática es prácticamente nulo porque siempre hay un transistor de la pareja NMOS-PMOS que está cortado

En la transición de la curva de transferencia hay consumo dinámico debido a la conducción simultánea de la pareja de transistores (PMOS y NMOS). Es el consumo dinámico de cortocircuito.



5 Fundamentos del diseño VLSI.

5.1

- a) Puerta NOT
 - b) Puerta NAND de 3 entradas
-

5.2

Bloque NMOS: A y B en paralelo, y en serie con C. Por tanto:

$$G = (A + B).C$$

$$F = \overline{G} = \overline{(A + B).C}$$

Se observa que el bloque PMOS tiene la estructura dual

5.3

- a) V
 - b) F
 - c) V
 - d) F, el orden típico es: pozo → poly → difusiones n+ y p+ → contactos → metal
 - e) V, típicamente 193 nm
 - f) V
-

5.4

- a) F
 - b) F
 - c) V
 - d) F
-

5.5

Placement: ubicación de las celdas estándar en un bloque (módulo) del floorplan

Routing: se establecen las conexiones metálicas entre las celdas y entre los bloques

Tiene gran importancia en el diseño actual, pues el retardo del cableado tiene cada vez más relevancia respecto al de la lógica. El retardo de la lógica (las celdas y macro-módulos) es conocido (librerías). Sin embargo, el retardo real de las conexiones sólo se sabe después de realizar el *place and route*. Y es un parámetro crítico para cumplir las especificaciones temporales (frecuencia máxima, hold time, set up time, etc.)

5.6 B; son dos inversores en serie = buffer

5.7 D; una NAND seguida de un inversor
