

Puntuació: BÉ: +2 punts., MAL: -0.5 punts, N.C: 0

1. En les taules adjuntes s'indiquen les característiques elèctriques de dos famílies lògiques A i B. Assenyal·la l'afirmació CORRECTA:

Família A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2V	0.7V	2.5V	0.4V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-400 μ A	-400 μ A	4 mA

Família B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
3.5V	1.5V	4.95V	0.05V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
10pA	-10pA	-0.5mA	0.5mA

[A] La família A té MILLOR marge de soroll que la família B, ja que és MENOR.

→ [B] La família B té MILLOR fan-out que la família A, ja que és MAJOR.

[C] El fan-out de la família A és 20.

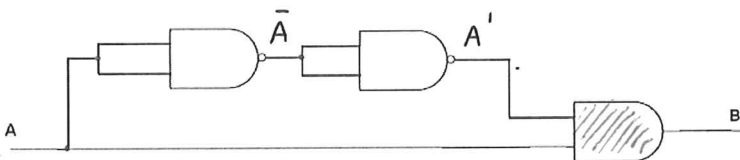
[D] El marge de soroll de la família A és 0.5V.

* SOL. al final de la pàgina

menor es pitjor

2. Per al circuit de la figura, s'ha dibuixat el cronograma amb les distintes eixides, sent el senyal A l'entrada al mateix. Es pot afirmar que:

Dades: $V_{CC} = 5V$; $I_{CCL} = 6 \text{ mA}$ i $I_{CCH} = 2 \text{ mA}$, i el retard de propagació mitjà d'una porta és de 5ns.

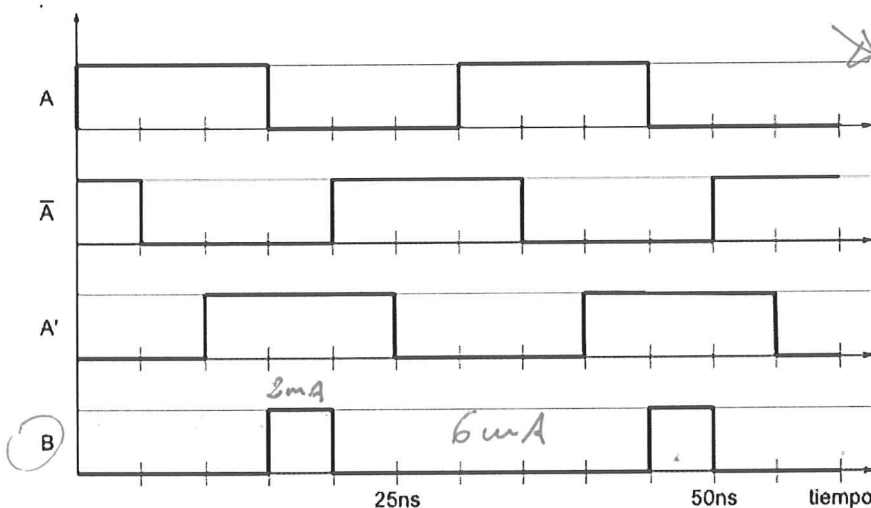


[A] La potència estàtica mitjana consumida per cada porta NAND és 30mW.

→ [B] La potència estàtica mitjana consumida per la porta AND és 26.7mW.

[C] La potència estàtica mitjana consumida pel conjunt del circuit és 100mW.

[D] Per a realitzar els càlculs de la potència estàtica mitjana consumida, es necessita conèixer la freqüència del senyal d'entrada.



$$P_{AND} = \frac{(2 \text{ mA} \times 5 \text{ V}) \times 4 + (6 \text{ mA} \times 5 \text{ V}) \times 5}{6} = \frac{10 + 150}{6} = 26.7 \text{ mW}$$

$$P_{AND} = \frac{P_H T_H + P_L T_L}{T}$$

* SOL (1) FAMÍLIA (A)

$$NM \begin{cases} NM_L = 0.7 - 0.4 = 0.3V \\ NM_H = 2.5 - 2 = 0.5V \end{cases}$$

$$\text{fan-out} \begin{cases} L: \frac{4}{0.4} = 10 \\ H: \frac{400}{20} = 20 \end{cases}$$

FAMÍLIA (B)

$$NM \begin{cases} L: 1.5 - 0.05 = 1.45 \\ H: 4.95 - 3.5 = 1.45 \end{cases}$$

$$\text{fan-out} \begin{cases} L: \frac{0.5 \times 10^{-3}}{10 \times 10^{-12}} \\ H: 10000 \end{cases}$$

3. Es vol connectar una eixida TTL en col·lector obert amb una entrada d'un circuit lògic CMOS alimentat a +9V. Indique la resposta CORRECTA:

Família A (TTL col·lector obert)			Família B (CMOS +9V)			
V_{OLmax}	I_{OHmax} (fuites)	I_{OLmax}	V_{IHmin}	V_{ILmax}	I_{IHmax}	I_{ILmax}
0.4 V	100 μ A	16 mA	6.3 V	2.7 V	0.1 μ A	-0.1 μ A

[A] És necessari connectar una resistència de pull-up entre l'eixida i l'alimentació de +9V. El valor de la resistència ha d'estar comprès entre 0.54K Ω i 26.97K Ω .

[B] Es poden connectar directament.

[C] És necessari posar un buffer TTL en l'eixida per compatibilitzar el corrent a nivell baix.

[D] És necessari connectar una resistència de pull-up entre l'eixida i l'alimentació de +9V. El valor de la resistència ha d'estar comprès entre 2.1K Ω i 41.4K Ω .

$$\frac{9 - V_{OLmax}}{I_{OL} - I_{IL}} \leq R \leq \frac{9 - V_{IHmin}}{I_{OHmax} + I_{IHmax}} \rightarrow \frac{9 - 0.4}{16 - 0.0001} \leq R \leq \frac{9 - 6.3}{0.1 + 0.0001}$$

4. Es desitja connectar entre sí dos famílies lògiques A i B ($A \rightarrow B$), les especificacions de les quals s'indiquen en les taules adjuntes. Seleccione l'opció CORRECTA d'entre les següents:

Família A (+5V)				Família B (+12V)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}	V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V	8.3 V	3.7 V	11.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}	I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA	100 pA	-100 pA	-0.5 mA	0.5 mA

[A] Es pot realitzar la connexió directament.

[B] Els nivells lògics són compatibles i el marge de soroll global és 0.7V

[C] No hi ha compatibilitat en tensions, i per tant hi ha que afegir un buffer en col·lector obert entre A i B amb una resistència de pull-up en la seva eixida, connectada a +12V.

[D] Els corrents són incompatibles, i per tant hi ha que afegir entre A i B un buffer amplificador de corrent.

5. Donat el següent circuit seqüencial, implementat amb biestables D, assenyale l'afirmació CORRECTA:

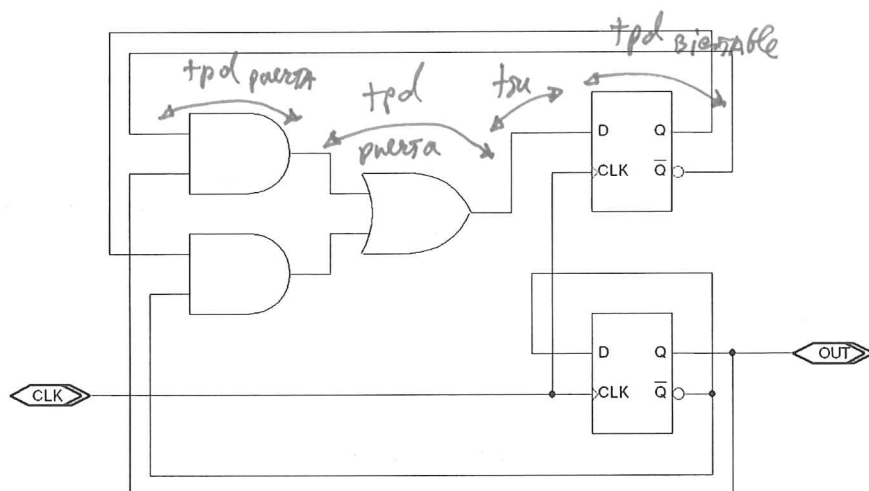
Paràmetres temporals: Biestable: (Set up: $t_{su} = 20$ ns, Hold: $t_h = 5$ ns, Retard: $t_{pd(max)} = 40$ ns), Portes AND i OR: (Retard: $t_{pd(max)} = 20$ ns).

[A] La freqüència màxima de funcionament és de 10MHz.

[B] La freqüència màxima de funcionament es de 11.76MHz.

[C] El circuit compleix la condició de set-up per a qualsevol freqüència.

[D] El circuit no funciona bé degut als retards excessius a l'eixida dels biestables.



$$F_{max} = \frac{1}{2 \times t_{pd}(\text{portes}) + t_{su} + t_{pdFF}}$$

$$F_{max} = \frac{1}{2 \times 20ns + 20ns + 40ns}$$

$$F_{max} = \frac{1}{100ns} = 10MHz$$