

The figure consists of two parts. The left part is a pin diagram of a 14-pin IC. The pins are numbered 1 to 14. Pins 1, 2, 3, 4, 5, 6, and 7 are on the left side, labeled 1A, 1Y, 2A, 2Y, 3A, 3Y, and GND respectively. Pins 8, 9, 10, 11, 12, 13, and 14 are on the right side, labeled 4Y, 4A, 5Y, 5A, 6Y, 6A, and Vcc respectively. The right part is a circuit diagram of a 3-input NAND gate. It uses three inverters (represented by triangles) and a 3-input AND gate (represented by a D-shaped symbol). The inputs are labeled A, B, and C. The output is labeled Y. The circuit is powered by Vcc and GND. Resistor values are given as 20k, 8k, and 4.5k.

The diagram shows a 4-bit counter implemented with four J-K flip-flops (FF0, FF1, FF2, FF3) and two T flip-flops (TC2, TC3). The clock (CK) is connected to the CK input of all J-K flip-flops. The J and K inputs of all J-K flip-flops are connected to Logic 1. The PR (preset) and CLR (clear) inputs of all J-K flip-flops are connected to the output of the first T flip-flop (TC1), which is also connected to Logic 1. The output of FF0 is Q0, the output of FF1 is Q1, the output of FF2 is Q2, and the output of FF3 is Q3. The output of TC2 is connected to the CK input of FF3. The output of TC3 is connected to the CK input of FF2.

4. Indique la respuesta **FALSA** acerca de las características de diferentes familias lógicas:

- [A] La familia NMOS presenta consumo estático cuando la salida es '0' lógico.
- [B] La familia TTL emplea transistores bipolares.
- [C] El consumo dinámico de la familia CMOS depende cuadráticamente de la frecuencia de funcionamiento.
- [D] El consumo estático en CMOS es prácticamente nulo, pues es debido a corrientes de fuga.

5. El circuito de la figura muestra la conexión de una puerta CMOS alimentada a +12V con una puerta TTL alimentada a +5V. Para ello se ha intercalado un buffer drenador abierto con una resistencia de pull-up. ¿Cuál es el valor máximo de R que asegura una correcta conexión?

Buffer CMOS

$$I_{OLmax} = 15 \text{ mA}$$

$$I_{OHmax} = 0.1 \text{ mA (fugas)}$$

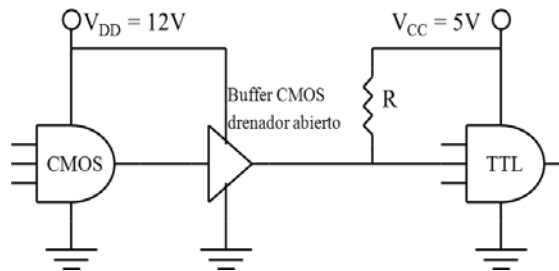
$$V_{OLmax} = 0.3V$$

TTL

$$I_{ILmax} = -1.6 \text{ mA}$$

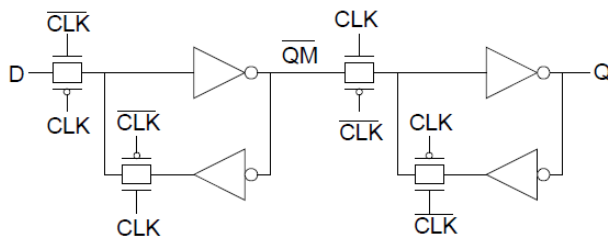
$$I_{IHmax} = 20 \mu A$$

$$V_{IHmin} = 2 \text{ V}$$



- [A] $R_{max} = 25 \text{ k}\Omega$
- [B] $R_{max} = 10 \text{ k}\Omega$
- [C] $R_{max} = 41.6 \text{ k}\Omega$
- [D] El diseño es erróneo, el buffer se ha de alimentar a +5V para compatibilizar las tensiones.

6. Dado el circuito adjunto, indique la afirmación **FALSA**:

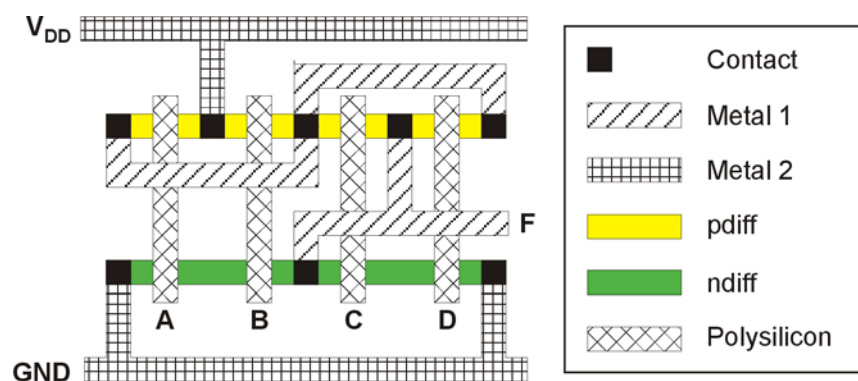


- [A] Es un biestable D activo por flanco, implementado con puertas de transmisión CMOS.
- [B] Está formado por dos *latches* D conectados en modo *master-slave*.
- [C] Cuando $CLK = '0'$, el *latch* maestro captura el valor de la entrada D.
- [D] Funciona como un biestable D activo por flanco de bajada.

7. Indique cuál de las siguientes opciones permite aumentar la velocidad de un determinado circuito lógico CMOS:

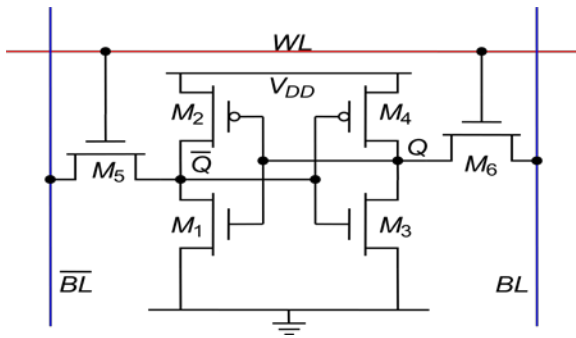
- [A] Disminuir la tensión de alimentación V_{DD} .
- [B] Aumentar la tensión umbral V_T de los transistores.
- [C] Disminuir la capacidad parásita de carga C_L .
- [D] Disminuir la constante K de los transistores.

8. A partir del *layout* de la figura, identifique la función que implementa:



- [A] $F = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}$
- [B] $F = (A \cdot B) + (C \cdot D)$
- [C] $F = (A + B) \cdot (C + D)$
- [D] $F = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D})$

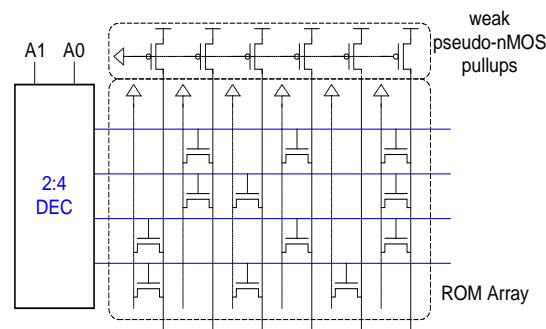
9. Dada la celda de memoria de la figura, indique la respuesta **FALSA**:



- [A] Es una celda de memoria estática formada por dos inversores CMOS realimentados y dos puertas de transmisión NMOS.
- [B] Los transistores de paso M5 y M6 permiten el acceso a la celda en los ciclos de lectura/escritura, cuando $WL=0$.
- [C] El proceso de lectura consiste en: precargar BL y \overline{BL} a V_{DD} , activar WL y leer de las líneas de bit.
- [D] La información almacenada en la celda se conserva sin necesidad de un refresco periódico, siempre que se mantenga conectada la alimentación.

10. De las siguientes afirmaciones acerca del contenido de la ROM de la figura, señale la **FALSA**: (asuma que la línea BL situada más a la derecha se corresponde con el bit Y_0 del dato almacenado y la línea $WL[0]$ es la salida superior del decodificador)

- [A] La posición $(A_1A_0) = (00)$ contiene el dato $(Y_5...Y_0) = (101010)$
- [B] Es una memoria ROM de cuatro palabras de 6 bits cada una.
- [C] La posición $(A_1A_0) = (11)$ contiene el dato $(Y_5...Y_0) = (010101)$
- [D] La posición $(A_1A_0) = (10)$ contiene el dato $(Y_5...Y_0) = (100101)$



PÁGINA INTENCIONADAMENTE EN BLANCO

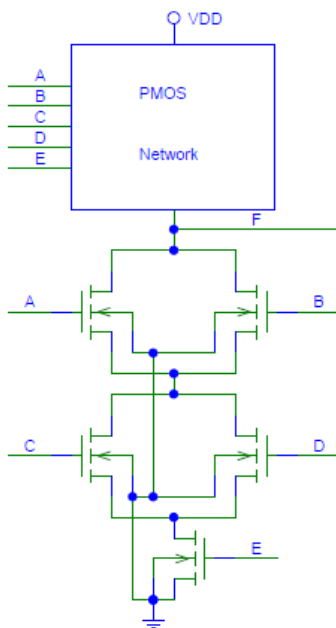
Apellidos:

Nombre:

PROBLEMA (4 PUNTOS)

- A. (0.8 ptos.) El esquema de la figura implementa una función lógica $F(A, B, C, D, E)$ en tecnología CMOS complementaria. En la figura se muestra solamente el esquema de la red de transistores NMOS. Se pide dibujar el esquema de la red complementaria de transistores PMOS. Justifique la respuesta.

Nota: utilice el símbolo con el sustrato de los transistores, tal y como se hace en el bloque NMOS.



- B. (0.6 ptos.) Escriba la ecuación lógica de la salida F en función de las entradas. Justifique la respuesta

$$F(A, B, C, D, E) = \underline{\hspace{10cm}}$$

- C. (0.8 ptos.) Suponga que el circuito pertenece a un chip con una tensión de alimentación $V_{DD} = 2.5V$ y frecuencia de reloj $f_{clock} = 1GHz$. Además el factor de actividad medio de las entradas es $\alpha = 0.4$ y la capacidad media por transistor es $C_L = 10 fF$ ($1fF = 10^{-15}F$). Calcule la **potencia dinámica** aproximada del circuito, en mW.

D. (0.8 ptos.) Para la combinación de entradas: $A=B=0$, $C=D=E=1$, se pide:

D.1. (0.4 ptos.) Sustituya los transistores por interruptores abiertos/cerrados, y dibuje el **circuito con interruptores**.

D.2. (0.4 ptos.) Justifique el valor lógico de F , a partir del circuito con interruptores.

E. (1 pto.) Modifique el esquema de la figura del apartado A (partiendo de dos cajas que representen los bloques NMOS y PMOS) para dotar al circuito de **salida triestado**. Añada los transistores y las señales de control necesarias.

E.1. (0.5 ptos.) Dibuje el esquema.

E.2. (0.5 ptos.) Explique su funcionamiento.