



Escola Tècnica
Superior d'Enginyeria
Informàtica

ESTRUCTURA DE COMPUTADORES (GII)

Ejercicios tema 7

Adaptadores e Interfaces de Entrada/Salida

Profesores:

Ana PONT
Antonio ROBLES
José M. VALIENTE
José FLICH
Xavi MOLERO
Jorge REAL
Álvaro DOMENECH
Milagros MARTÍNEZ
Julio PONS

Curso 2017 - 2018
versión 1

EJERCICIO 1 La figura 1 muestra el esquema de conexión de la interfaz de cierto dispositivo. Ésta contiene dos registros: el registro de Estado, solo de lectura, y el registro de Control, que solo es de escritura.

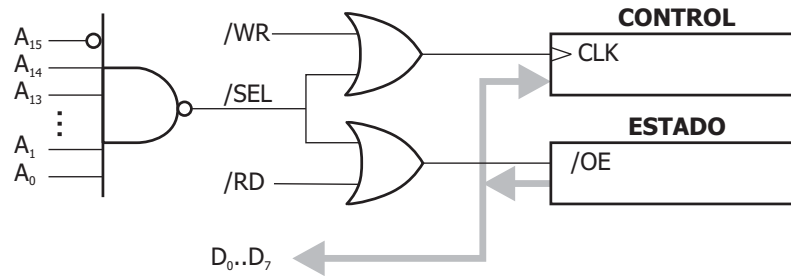


Figura 1: Interfaz del dispositivo del problema 1.

Esta interfaz se conecta a una versión reducida del MIPS R2000 que dispone de 16 bits de dirección y 8 de datos. A partir del circuito, deduzca su dirección base y escriba un fragmento de programa que, por consulta de estado, escriba un cero en el registro de control cuando detecte un valor distinto de cero en el registro de estado.

SOLUCIÓN

```

la $t0,0x7FFF
bucle: lb $t1,0($t0)
      beq $t1,$0,bucle
      sb $0,0($t0)

```



EJERCICIO 2 Se dispone de un adaptador de periférico que tiene tres registros internos de 8 bits. El registro de estado, el registro de control y un registro de datos. La dirección base de esta interfaz en un sistema basado en el MIPS R2000 es 0x0700FFF0. La figura 2 muestra un esquema de las conexiones a los distintos registros de la interfaz.

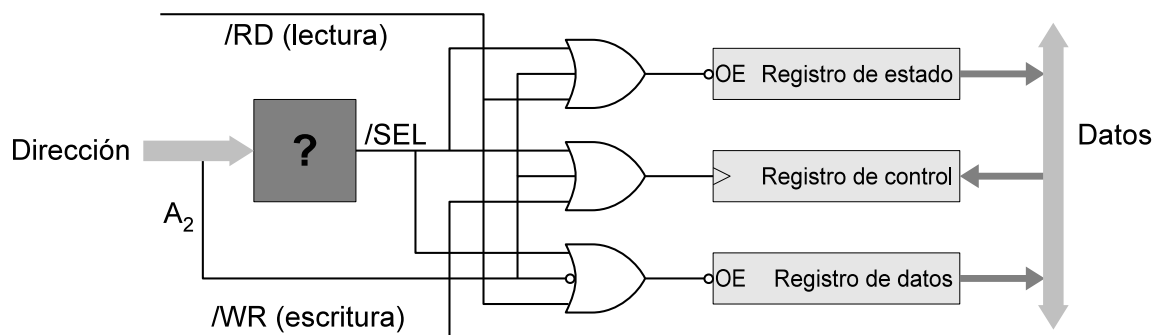


Figura 2: Esquema de selección de la interfaz del problema 2.

1. Indique la ecuación lógica de selección de la interfaz e impleméntela con puertas lógicas o con un comparador de la talla adecuada.
2. ¿Qué dirección le corresponde al registro de datos?
3. ¿Qué operaciones son posibles con el registro de control, leer, escribir o ambas?

4. Escriba las instrucciones necesarias en código máquina del MIPS R2000 que realicen la lectura del registro de datos.
5. Cual habría de ser la ecuación lógica de selección de la interfaz para que los registros sólo sean accesibles mediante instrucciones lb con la dirección correspondiente? Considere como entradas las líneas de dirección A_i y las líneas de selección de byte $/BE_i$, y como salida la línea $/SEL$.

SOLUCIÓN

1. El bus de direcciones del MIPS R2000 contiene las líneas $A_{31} \dots A_2$. La línea A_2 sirve para la selección de los registros, y quedan para la selección $A_{31} \dots A_3$. La Figura 3 muestra tres circuitos equivalentes que implementan la función de selección para la dirección base 0x0700FFF0.

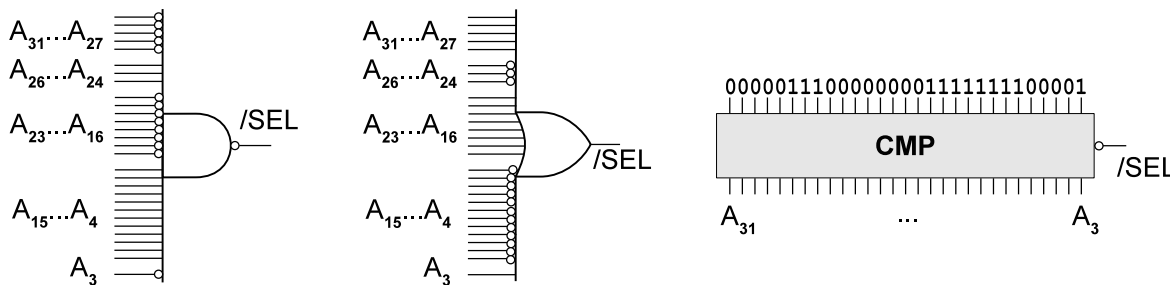


Figura 3: Tres circuitos para la selección de la interfaz del problema 2.

2. Para operar con un registro dado, hay que seleccionar la interfaz con el valor $A_{31} \dots A_3$ determinado en el apartado 1 y fijar el valor A_2 y la operación ($/RD$ o $/WR$) correspondientes. Es decir, que, además de la operación, hay que aplicar una dirección efectiva dada. En general, las direcciones que seleccionan los registros de esta interfaz son:

| Registro | Líneas de dirección | | Dirección efectiva | |
|-----------------|---------------------------|-------|--------------------|--------|
| | $A_{31} \dots A_2$ | A_2 | $A_{31} \dots A_0$ | |
| Estado, control | 0000 0111 ... 1111 1111 0 | 0 | 0x0700FFF0 | base |
| Datos | 0000 0111 ... 1111 1111 0 | 1 | 0x0700FFF4 | base+4 |

Por lo tanto, el registro de datos corresponde a la dirección $\text{base}+4$.

3. El registro de control solo se puede escribir, ya que la señal $/WR$ entra en su esquema de selección y solo cuando esta señal esté activa se volcará su contenido en las líneas $D_7 \dots D_0$ del bus de datos.
4. Instrucciones que leen el registro de datos:

```
li $t0, 0x0700FFF0    # Dirección BASE
lb $t1, 4($t0)         # Acceso a DATOS
```

5. La selección diseñada en el apartado 1 captura cualquier acceso a la memoria dentro del rango de direcciones 0x0700FFF0...0x0700FFF7. Si hay que restringir los accesos a los bytes de direcciones *base* y *base* + 4, la decodificación de las direcciones ha de considerar las máscaras de byte:

| | Dirección $A_{31} \dots A_0$ | Líneas de dirección $A_{31} \dots A_2$ | Selección de byte $/BE_3 \dots /BE_0$ |
|----------|---------------------------------|---|--|
| base | 0x0700FFF0 | 0000 0111 ... 1111 1111 00 | 1110 |
| base + 4 | 0x0700FFF4 | 0000 0111 ... 1111 1111 01 | 1110 |

Por lo tanto, la selección ha de asegurar que $/BE_3 = /BE_2 = /BE_1 = 1$ y que $/BE_0 = 0$. La Figura 4 muestra dos implementaciones.

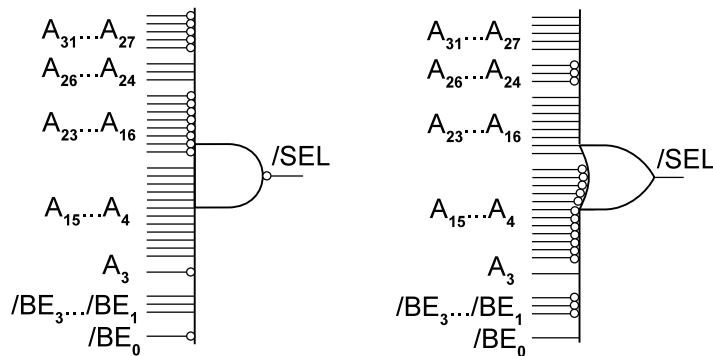


Figura 4: Selección de la interfaz del problema 2 (apartado 5).

EJERCICIO 3 Diseña la conexión de los registros de la interfaz de un periférico al bus de un procesador con un espacio de direccionamiento único de 1 KB y ancho de palabra de 8 bits. La interfaz está formada por cuatro registros de 8 bits con entrada de reloj CLK (flanco ascendente) y control de salida $/OE$ (por nivel bajo), como muestra la figura 5.

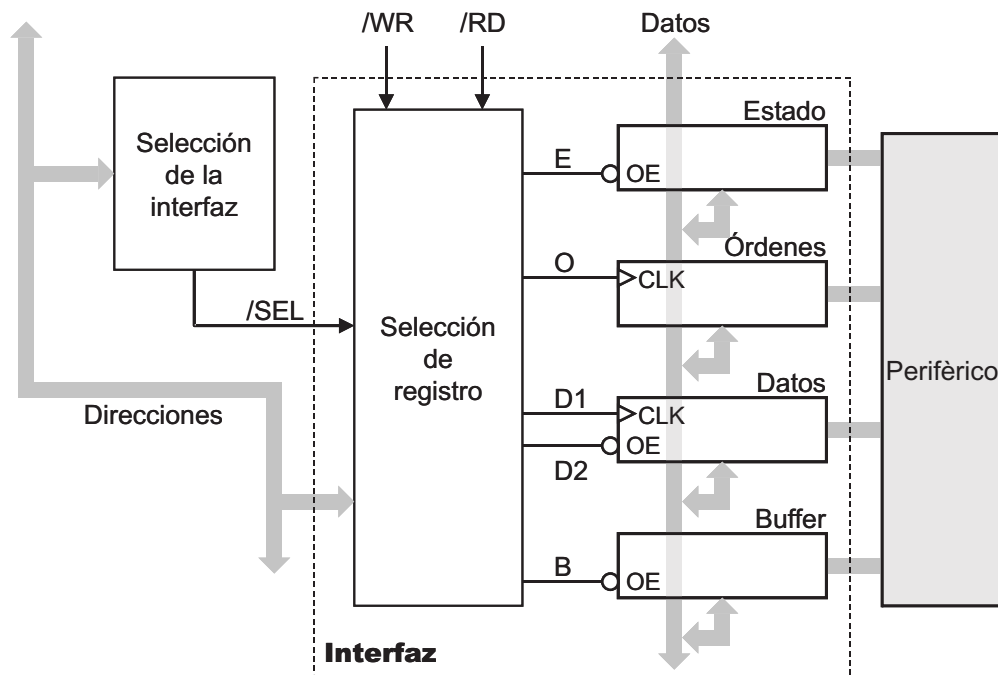


Figura 5: Esquema de la interfaz de E/S del problema 3.

La especificación de los registros es la siguiente:

| Dirección | Nombre | Tipo |
|-----------|---------|-----------|
| Base | Estado | Lectura |
| Base | Órdenes | Escritura |
| Base + 1 | Datos | L/E |
| Base + 2 | Buffer | Lectura |

Sigue los siguientes pasos:

1. Determina qué líneas de dirección se aplican a la selección de la interfaz y cuáles a la selección de registro.
2. Implementa el bloque de selección de la interfaz para que la dirección base sea 0x2F0. Nota que la línea de selección /SEL es activa a nivel bajo.
3. Diseña la función de selección de registros para que actúe sobre las señales de control de los registros de la interfaz. Utiliza un decodificador con habilitación y salidas activas a nivel bajo, además de las puertas adecuadas.

SOLUCIÓN

1. Del dato que el espacio direccionable es de 1 KB y la ancho de palabra de 8 bits, sabemos que las líneas de direcciones son A_9, \dots, A_0 . Dado que la interfaz del dispositivo abarca 3 bytes (desde *Base* a *Base* + 2), hay que reservar los dos bits menos significativos A_1 y A_0 de la dirección para seleccionar los registros. Por lo tanto, la selección del periférico es función de las líneas A_9, \dots, A_2 . Nota que, con este esquema de direccionamiento, la interfaz podría contener un registro adicional de dirección *Base* + 3.
2. La interfaz se ha de seleccionar cuando $A_9 \dots A_2 = 10111100$. Algebraicamente, la función de selección activa por nivel alto sería $A_9 \cdot \bar{A}_8 \cdot A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot \bar{A}_3 \cdot \bar{A}_2$. A nivel bajo, podemos obtener dos expresiones útiles, que son:

$$\begin{aligned} \text{/SEL} &= \overline{A_9 \cdot \bar{A}_8 \cdot A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot \bar{A}_3 \cdot \bar{A}_2} \quad (\text{para síntesis con una puerta NAND}) \\ &= \bar{A}_9 + A_8 + \bar{A}_7 + \bar{A}_6 + \bar{A}_5 + \bar{A}_4 + A_3 + A_2 \quad (\text{para síntesis con una puerta OR}) \end{aligned}$$

La Figura 6 en muestra tres implementaciones de la función. Las implementaciones sugeridas por el álgebra piden una puerta NAND o una puerta OR de 8 entradas con las entradas correspondientes complementadas. A la derecha de la figura hay una solución basada en un comparador de dos números de 8 bits.

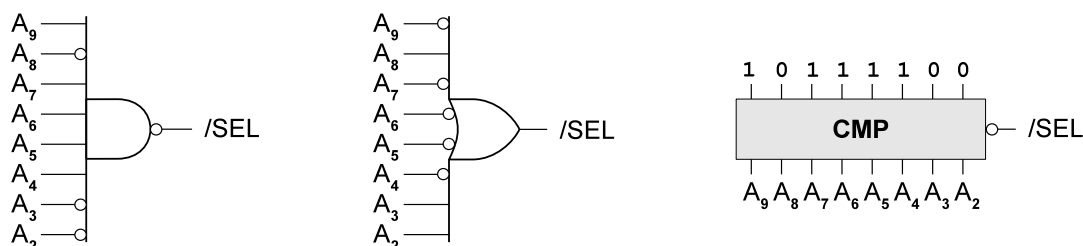


Figura 6: Selección de la interfaz d'E/S (problema 3, apartado 2).

3. Para la selección de los registros, el decodificador ha de discriminar entre las tres direcciones relevantes (Base, Base+1 i Base+2). La Figura 7 muestra la solución.

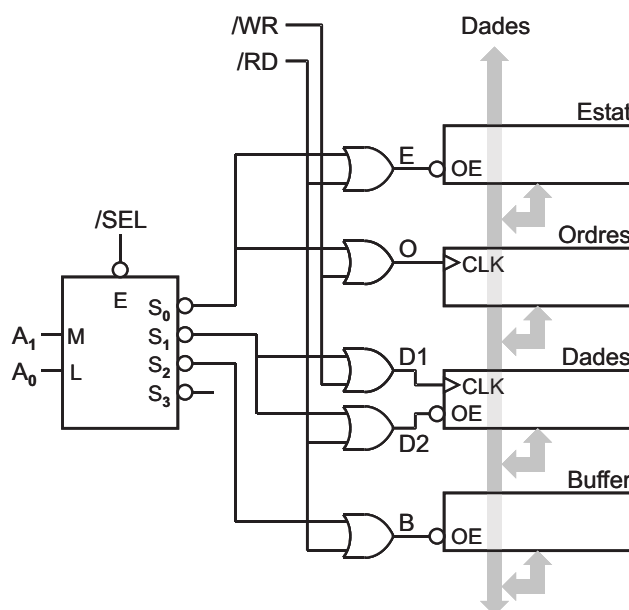


Figura 7: Selección de los registros de la interfaz (problema 3, apartado 3)

EJERCICIO 4 Se pretende diseñar una interfaz de entrada/salida para el procesador (imaginario) MC2000. El MC2000 está basado en el MIPS R2000, con la diferencia de disponer de un bus de datos de 8 bits y que su juego de instrucciones sólo incluye las instrucciones lb y sb para acceder a la memoria principal.

La interfaz necesita cuatro registros: CONTROL, ESTADO, DATOS1 y DATOS2, todos ellos de lectura/escritura, excepto el registro de ESTADO, que sólo es de lectura. Para el direccionamiento se utiliza entrada/salida por mapa de memoria, y la interfaz ocupa 4 bytes consecutivos a partir de la dirección *BASE*, pero en un orden desconocido. Por otra parte, el procesador dispone de una línea de lectura RD* y una de escritura WR*. La Figura 8 muestra un esquema de conexión entre el procesador y la interfaz d'entrada/salida.

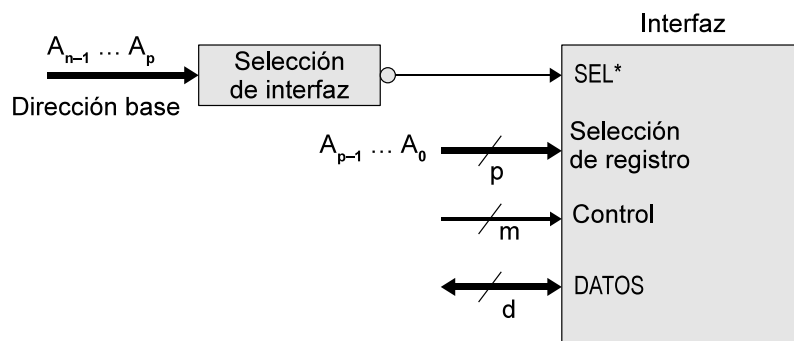


Figura 8: Esquema de conexión de la interfaz del problema 4.

Teniendo en cuenta que el siguiente fragmento de código hace una transferencia desde el registro de ESTADO hacia el registro de CONTROL,

```
1a $t0, 0xFFFFA800
1b $t1, 0(t0)
sb $t1, 2(t0)
```

1. Cuál será el valor de los parámetros p , n , m y d relativos a la interfaz a diseñar?
2. Cuál será la función lógica implementada por el decodificador?
3. Dibuje el detalle de diseño del adaptador asociado al registro de ESTADO.

SOLUCIÓN

1. La única diferencia que presenta el procesador MC2000 respecto al R2000 consiste en disponer de un bus de datos de 8 bits, para lo cual se deduce fácilmente que el parámetro d , que representa la anchura del bus de datos, ha de ser igual a 8, manteniéndose $n = 32$ exactamente como en el R2000 original. Por otra parte, la interfaz ocupa 4 bytes en el espacio de direccionamiento, por lo que se tendrá que cumplir $2^p = 4$ y por lo tanto dispondremos de $p = 2$ líneas de selección interna en la interfaz (A_1 y A_0). Finalmente, el número de señales de control incluidas será de $m = 2$ por necesitar tanto la lectura (RD^*) como la escritura (WR^*) de los registros internos.
2. Para obtener la función lógica del circuito de selección de la interfaz necesitamos conocer, en primer lugar, la dirección *BASE* de la interfaz. En el código adjunto observamos que el registro \$t0 se utiliza para almacenar dicha dirección (0xFFFFA800). Ya que A_1 y A_0 se utilizan para direccionar el interior de la interfaz, $A_{31} \dots A_2$ intervendrán en la generación de la función SEL^* de acuerdo con el valor fijo que toman en la dirección *BASE*: $A_{31} = \dots = A_{15} = 1$, $A_{14} = 0$, $A_{13} = 1$, $A_{12} = 0$, $A_{11} = 1$, $A_{10} = \dots = A_2 = 0$. En la Figura 9 puede observarse su implementación por medio de una puerta NAND.
3. El código en ensamblador que se adjunta lee de la dirección *BASE* y escribe en la dirección $BASE+2$. Ya que se indica en el enunciado que se lee del registro de estado, eso significa que éste se ubica en la misma dirección *BASE* de la interfaz y tomará por lo tanto la salida 0 del decodificador, a las entradas del cual traeremos A_0 y A_1 . Por otra parte, al tratarse de un registro de sólo lectura, únicamente necesitará la señal de control RD^* . El diseño completo aparece en la Figura 9.

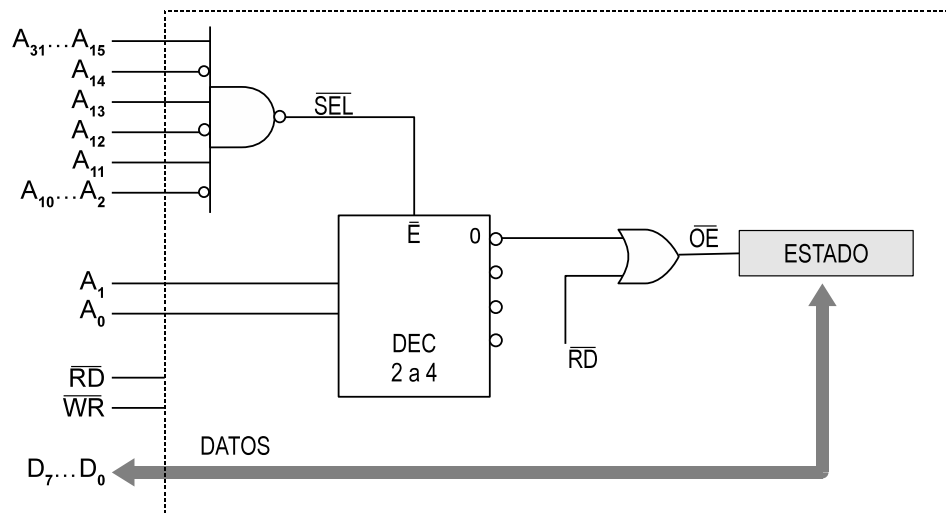


Figura 9: Detalle del diseño del registro de ESTADO (problema 4).

EJERCICIO 5 La interfaz que se muestra en la Figura 10 pensada para trabajar con el procesador MC2000ES, semejante al MC2000 (vea el problema 4), pero con interfaz de 8 bits de datos y modificado para incluir un mapa separado de direccionamiento de la entrada/salida (*I/O mapped I/O*). Respecto del juego de instrucciones, coincide con el del MC2000 y, además, añade dos nuevas instrucciones de acceso a bytes individuales del nuevo mapa: se trata de *leb* (lectura sobre el mapa de entrada/salida) y *seb* (escritura en el mapa de entrada/salida). Su formato es igual a las instrucciones de acceso a memoria *lb* y *sb*: *leb* *rt*, *desp(rs)* y *seb* *rt*, *desp(rs)*.

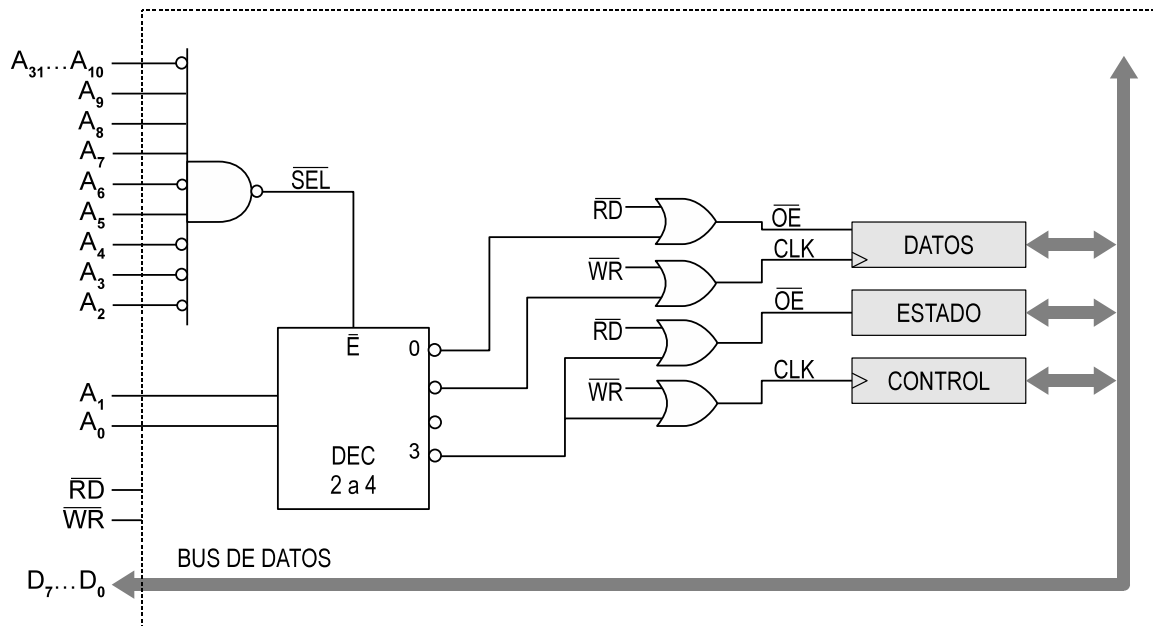


Figura 10: Diagrama de la interfaz de entrada/salida del problema 5.

No obstante, en el diseño mostrado en la Figura 10, a la interfaz le falta un detalle en su implementación, a causa del cual no funciona correctamente.

1. Qué modificación tendríamos que realizar sobre el diseño mostrado en la figura para que funcione correctamente?
2. Considerando resuelto el error anterior y, por tanto, que la interfaz trabaja adecuadamente, escriba un programa que inicialice a cero el registro de control y que escriba en el registro del procesador \$a0 el contenido del registro de datos de la interfaz.

SOLUCIÓN Según el esquema de la figura, hay 32 líneas de dirección involucradas en la selección del dispositivo periférico. De estas, las dos de menor peso (A_0 y A_1) se emplean en la selección de los registros, mientras que las de mayor peso (A_{31} , A_{30} , ..., A_2) intervienen en el proceso de selección de la interfaz que genera la señal de habilitación del decodificador). Por lo que respecta al bus de datos, su anchura es de 8 bits.

1. Tal como está indicado en la figura, no aparece ningún mecanismo que diferencie las direcciones de memoria de las de entrada/salida. Por tanto, en el esquema falta añadir una línea de tipo M/IO^* como entrada de la puerta NAND. El periférico se podrá seleccionar sólo cuando esta línea esté a nivel bajo.
2. La dirección base de la interfaz se conforma mediante la combinación de las líneas de mayor peso de la dirección que seleccionen la interfaz, más el resto de líneas de menor peso a cero. En este caso esta combinación es, expresada en binario, 0000 0000 0000 0000 0011 1010 0000; si

escribimos esta combinación de bits en hexadecimal tendremos $0000003A0_{16}$. Si representamos esta combinación con la variable B , a partir del conexionado indicado en la figura se puede deducir que el registro de control está situado en la dirección $B + 3$ (salida 3 del decodificador), mientras que el registro de datos está en la dirección $B + 0 = B$ (salida 0 del decodificador). El programa pedido será:

```
la $t0, 0x000003A0 # Dirección base
seb $zero, 3($t0) # Escribe cero en registro control
leb $a0, 0($t0) # Lee registro de datos en $a0
```

EJERCICIO 6 Un microprocesador con direcciones de 16 bits contiene tres módulos de memoria (*Mem 1*, *Mem 2* y *Mem 3*) y dos adaptadores de periférico (*Perif 1* y *Perif 2*) conectados al bus. Vea en la figura 11 el esquema de la decodificación de direcciones. Los módulos de memoria y los adaptadores de periférico disponen de una entrada de selección Sel^* activa a nivel bajo. Los comparadores *CMP* disponen de una entrada de habilitación (E^*) y de una salida (rotulada "=") activas también a nivel bajo.

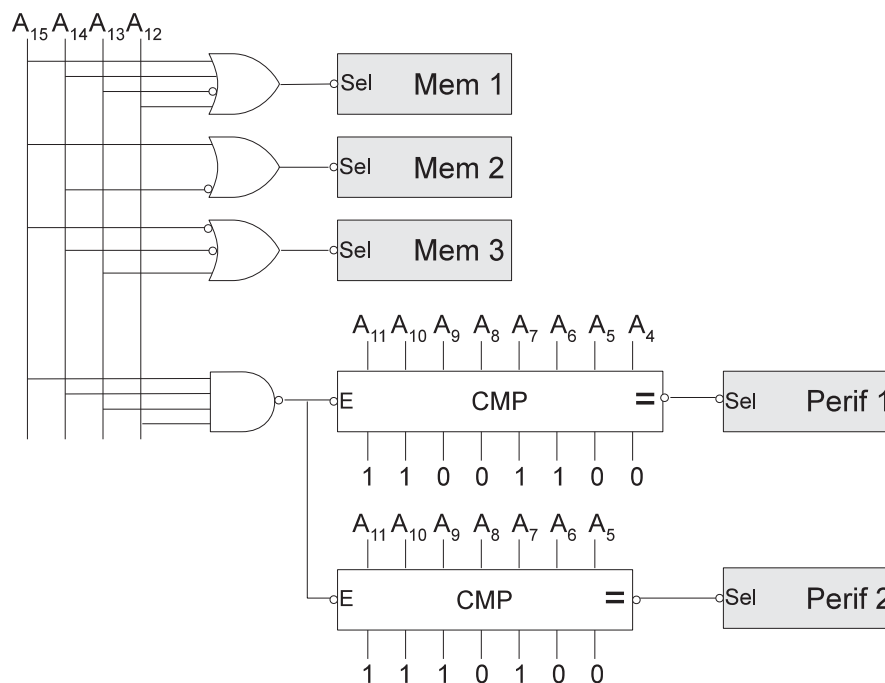


Figura 11: Decodificación de direcciones del problema 6

- 1.Cuál es la capacidad y el rango de direcciones de cada módulo de memoria? Dé el rango de direcciones en hexadecimal.
- 2.Cuál es la dirección base de cada adaptador de periférico (en hexadecimal)? Si los registros de las interfaces de *Perif 1* y *Perif 2* son de 16 bits, cuál es el máximo número de registros de lectura que puede tener cada adaptador?
3. Con qué función de selección podría añadir al microprocesador un cuarto módulo de memoria *Mem 4* de 16 KB sin modificar el resto del mapa? Dibuje el circuito de selección apropiado.

SOLUCIÓN

1. Las capacidades y rangos de direcciones de los módulos de memoria son:

| Módulo | A_{15} | A_{14} | A_{13} | A_{12} | A_{11} | Capacidad | Rango de direcciones |
|--------------|----------|----------|----------|----------|----------|-----------|----------------------|
| <i>Mem 1</i> | 0 | 0 | 1 | 0 | X | 4 KB | $0x2000$ a $0x2FFF$ |
| <i>Mem 2</i> | 0 | 1 | X | X | X | 16 KB | $0x4000$ a $0x7FFF$ |
| <i>Mem 3</i> | 1 | 1 | 0 | X | X | 8 KB | $0xC000$ a $0xDFFF$ |

2. Las direcciones base y el número máximo de registros de lectura de cada adaptador de periférico son:

| Adaptador | Dirección base | Núm. máximo de registros |
|----------------|----------------|--------------------------|
| <i>Perif 1</i> | $0xFCC0$ | 8 (16 bytes) |
| <i>Perif 2</i> | $0xFE80$ | 16 (32 bytes) |

3. La única selección posible es $Sel(Mem\ 4) = A_{15} \cdot \overline{A_{14}}$. El mapa de memoria quedaría así:

| Módulo | A_{15} | A_{14} | A_{13} | A_{12} | A_{11} |
|--------------|----------|----------|----------|----------|----------|
| <i>Mem 1</i> | 0 | 0 | 1 | 0 | X |
| <i>Mem 2</i> | 0 | 1 | X | X | X |
| <i>Mem 4</i> | 1 | 0 | X | X | X |
| <i>Mem 3</i> | 1 | 1 | 0 | X | X |
| Perifèrics | 1 | 1 | 1 | 1 | 1 |

Una implementación posible sería:

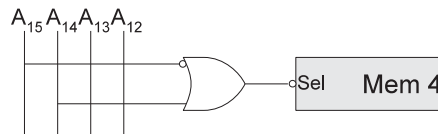


Figura 12: Selección del módulo *Mem 4* del problema 6

EJERCICIO 7 Un microprocesador con direcciones de 32 bits contiene dos módulos de memoria (*Mem 1* y *Mem 2*) y un adaptador de periférico (*P*) conectados al bus. Vea en la figura 13 el esquema de la decodificación de direcciones. Los módulos de memoria y los adaptadores de periféricos disponen de una entrada de selección Sel^* activa a nivel bajo. El comparador *CMP* dispone de una entrada de habilitación (E^*) y de una salida (rotulada "=") activas también a nivel bajo.

- 1.Cuál es la capacidad y el rango de direcciones del módulo de memoria *Mem1*? Diga el rango de direcciones en hexadecimal.
2. Con qué función de selección (caja *X* en la figura 13) activa a nivel bajo conectaría el módulo *Mem2* de memoria de 512 MB de capacidad de manera que la dirección más alta contenida en él fuera $0x7FFFFFFF$? Expresé la función de selección en forma algebraica y en forma de circuito.

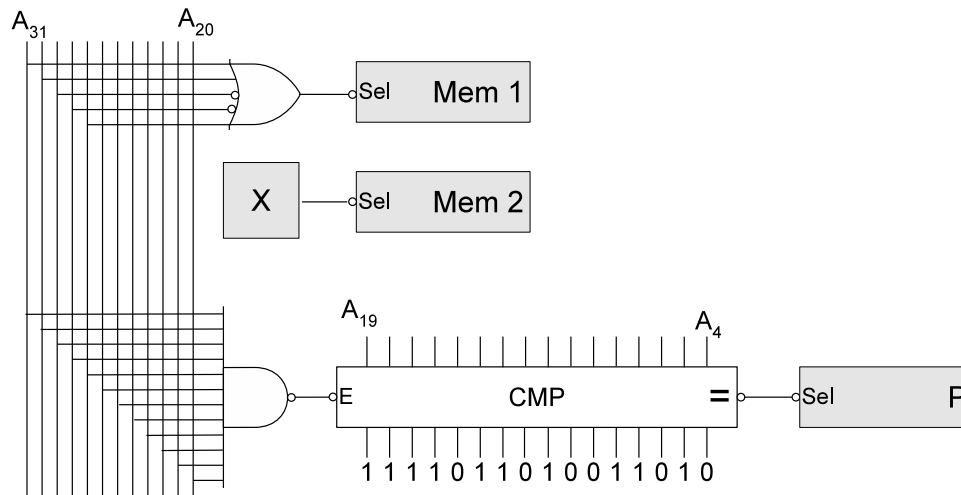


Figura 13: Decodificación de direcciones del problema 7

- 3.Cuál es la dirección base de la interfaz del periférico *P*? Diga la dirección en hexadecimal.
4. La interfaz del periférico *P* contiene cinco registros de 32 bits, denominados R_A , R_B , R_C , R_D y R_E . Complete el circuito de la figura 14 llenando el bloque incógnita para que tengan el acceso que se detalla en la tabla 1

| Registro | Desplazamiento | Acceso |
|----------|----------------|--------|
| R_A | 0 | R |
| R_B | 4 | W |
| R_C | 8 | RW |
| R_D | 12 | W |
| R_E | 12 | R |

Tabla 1: Características de los registros de la interfaz de *P*

SOLUCIÓN

1. Capacidad y rangos de direcciones de *Mem1*:

$$\text{Capacidad} = 2^{27} = 128MB$$

$$\text{Rango} = 3000\ 0000_h \dots 37FF\ FFFF_h$$

2. Función de selección de *Mem2*

De forma algebraica:

$$\text{Sel}_{M2} = \overline{A_{31}} \cdot A_{30} \cdot A_{29} = A_{31} + \overline{A_{30}} + \overline{A_{29}}$$

La figura 15 muestra dos implementaciones de la selección del módulo:

3. Dirección base de *P*: FFFF69A0_h
4. La figura 16 muestra una implementación posible de la selección de los registros de *P*.

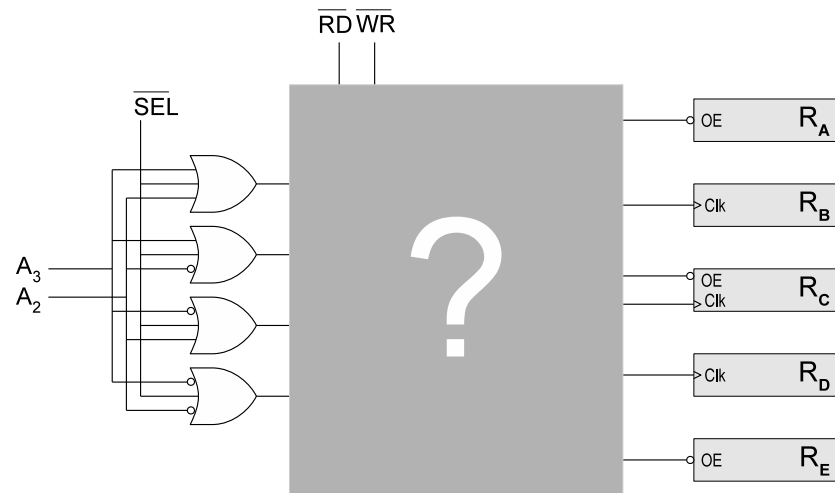


Figura 14: Selección de los registros de la interfaz *P* (problema 7, apartado 4)

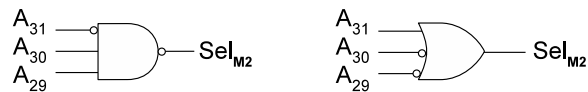


Figura 15: Dos soluciones de la selección del módulo *M2* de memoria (problema 7, apartado 2)

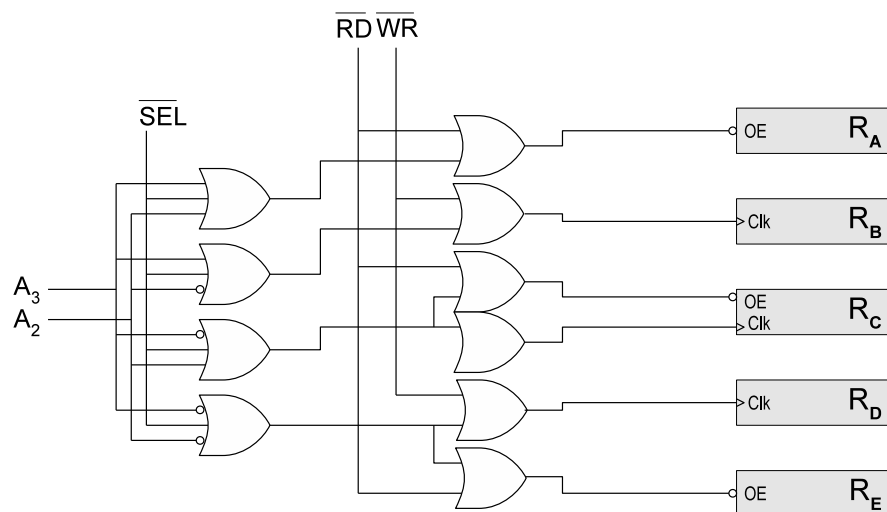


Figura 16: Contenido del cuadro incógnita de la interfaz de *P* (problema 7, apartado 4)