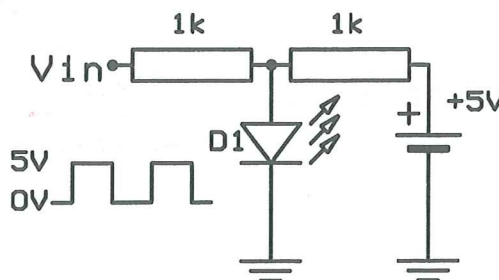


## — SOLUCIONES —

TEORÍA 1<sup>er</sup> Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 pto., MAL -0.3 pto., N.C.: 0

1. Teniendo en cuenta que  $V_f = 1.5V$  para el diodo LED D1 del circuito de la figura siguiente y que la tensión de entrada  $V_{in}$  es una onda cuadrada entre 0V y 5V, se puede afirmar que:

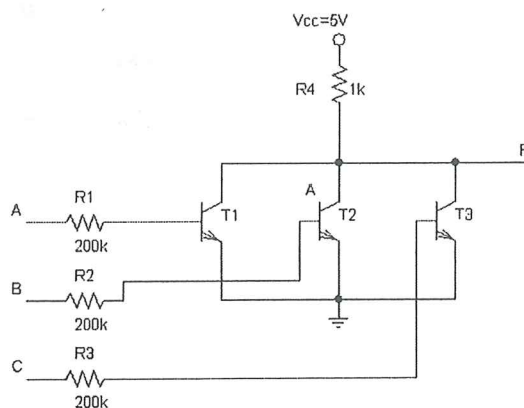
- [A] El diodo D1 no conduce en ningún caso
- [B] El diodo D1 conduce **siempre**, con independencia del estado de  $V_{in}$
- [C] El diodo D1 conduce cuando  $V_{in} = 0V$  y no conduce cuando  $V_{in} = 5V$
- [D] El diodo D1 conduce cuando  $V_{in} = 5V$  y no conduce cuando  $V_{in} = 0V$



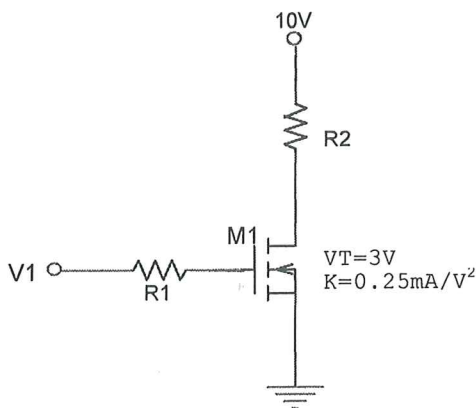
2. Dado el circuito lógico con transistores BJT y resistencias de la figura, indique la respuesta **FALSA**:

(DATOS de los transistores:  $V_{BE(on)} = 0.7V$ ,  $V_{CE(sat)} = 0.2V$ ,  $\beta = 500$ )

- [A] Cuando  $A = B = C = "0"$  (0V), los 3 transistores están en corte y el consumo (la corriente que proporciona  $V_{cc}$ ) es nulo. **OK**
- [B] Cuando una entrada es "1" (5V), el transistor correspondiente funciona en activa directa, pues  $\beta I_B < I_{C(sat)}$  **NO ES CIERTO**
- [C] Con una o más entradas a "1" (5V), la salida es 0.2V, y el consumo (la corriente que proporciona  $V_{cc}$ ) es aproximadamente de 4.8 mA. **OK**
- [D] Se trata de una puerta NOR de 3 entradas. **OK**



3. El circuito de la figura utiliza un transistor MOSFET. Indique cuál de las afirmaciones siguientes es correcta, si la entrada  $V_1$  la conectamos al drenador de  $M_1$ :



- [A] El Mosfet estaría en corte siempre, ya que no circularía corriente por la puerta.
- [B] El Mosfet estaría en saturación, ya que  $V_{DS} = V_{GS}$ .
- [C] El Mosfet estaría en Zona Ohmica.
- [D] El estado del transistor dependerá del valor de  $R_2$ .

**si  $V_1 = V_{DD} \Rightarrow V_{GS1} = V_{DS1} \Rightarrow$  SATURACIÓN SIEMPRE**

4. Se quiere conectar las salidas de 2 puertas lógicas TTL (con salida en colector abierto) a 3 entradas de otras puertas de la misma familia, utilizando una resistencia de Pull-Up ( $R_{PU}$ ). Las especificaciones de la familia se indican en la tabla adjunta. Indique cuál será el valor mínimo necesario de la resistencia  $R_{PU}$

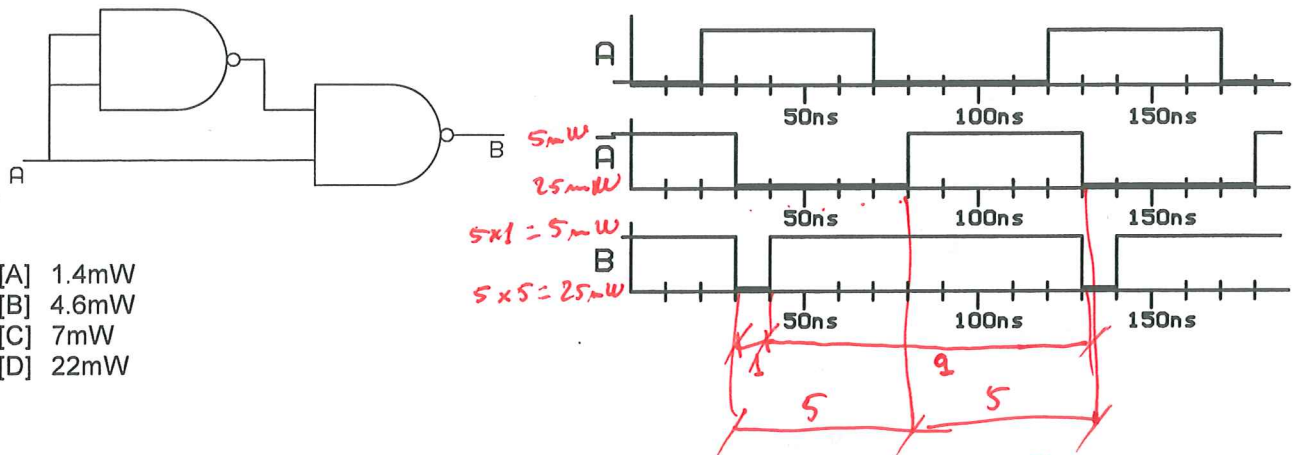
- [A]  $R_{PUMIN} = 319.4 \text{ Ohm}$   
 [B]  $R_{PUMIN} = 179.7 \text{ Ohm}$   
 [C]  $R_{PUMIN} = 479.2 \text{ Ohm}$   
 ● [D]  $R_{PUMIN} = 410.7 \text{ Ohm}$

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
2 V	0.8 V	2.4 V	0.4 V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax(Fugas)}$	$I_{OLmax}$
40 $\mu A$	-1.6 mA	0.2 mA	16 mA

Handwritten diagram showing a pull-up resistor circuit with  $V_{CC} = 5V$ , output voltage  $0.4V$ , and currents  $I_R$ ,  $1 \times I_{OL}$ , and  $3 \times I_{IL}$ .

$$R_{pu \min} = \frac{5V - 0.4V}{16mA - 3 \times 1.6mA} = \frac{4.6V}{11.2mA} = 0.4107 \text{ K}\Omega = \underline{\underline{410.7 \Omega}}$$

5. Si las puertas del circuito de la figura se alimentan con  $V_{CC} = 5V$ , y sus consumos estáticos son  $I_{CCL} = 5mA$ , e  $I_{CCH} = 1mA$ , y su retardo de propagación es de  $10ns$ , calcule la potencia estática media consumida por el conjunto del circuito teniendo en cuenta el valor de la entrada A y las demás señales que se indican en el cronograma adjunto.



- [A] 1.4mW  
 [B] 4.6mW  
 [C] 7mW  
 ● [D] 22mW

$$\overline{W_A} = \frac{25\mu W \times 5 + 5\mu W \times 5}{10} = 15\mu W$$

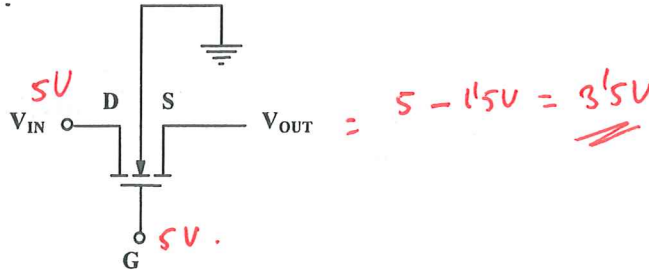
$$\overline{W_B} = \frac{25\mu W \times 1 + 5\mu W \times 9}{10} = 7\mu W$$

$$\overline{W_A} + \overline{W_B} = 15 + 7 = \underline{\underline{22\mu W}}$$

TEORÍA 2º.Parcial (8 cuestiones) (6 puntos) . Puntuación: BIEN +0.75 ptos., MAL -0.18 ptos, N.C.: 0

6. Sea una puerta de transmisión NMOS, que utiliza un transistor con  $|V_T|=1.5V$ . Si aplicamos 5V a la tensión de entrada ( $V_{IN}$ ) y 5V al terminal de puerta G. ¿Qué voltaje se obtendrá a su salida ( $V_{OUT}$ )?

- [A] 5V
- [B] 1V
- [C] 3.5V
- [D] 2.5V



7. Con relación a las familias lógicas CMOS, indica cuál de las siguientes afirmaciones es **FALSA**:

- [A] El consumo dinámico depende linealmente de la frecuencia. *OK*
- [B] Las puertas BCT (BiCMOS) son compatibles TTL, pero están realizadas sólo con transistores MOSFETS. *NO*
- [C] La subfamilia HCT es CMOS pero con entradas compatibles TTL. *OK*
- [D] Los márgenes de ruido dependen linealmente de  $V_{DD}$ . *OK*

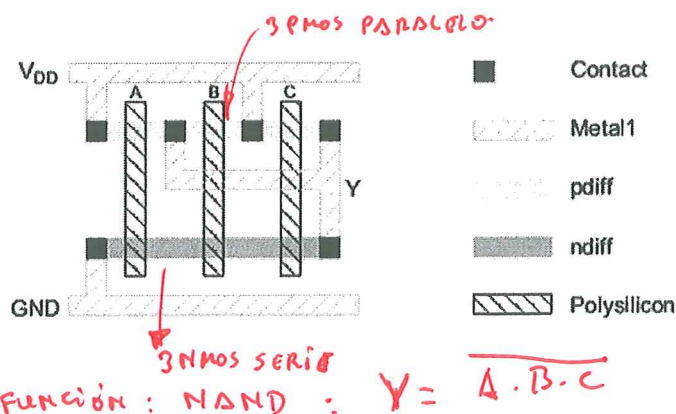
8. Un determinado procesador CMOS tiene  $10^7$  transistores dedicados a lógica combinacional/secuencial, y  $10^8$  transistores dedicados a la memoria. El factor de actividad medio de la lógica es 0.1, y el de la memoria es 0.01. La capacidad media por transistor es de 1 fF (1 femtofaradio =  $10^{-15}F$ ), la alimentación es 2V y la frecuencia del reloj es 1000MHz. A la vista de ello, podemos afirmar que la potencia dinámica consumida será, aproximadamente:

- [A] No se puede calcular, depende del núm. de transistores por puerta.
- [B] 2W
- [C] 4W
- [D] 8W

$$P = V_{DD}^2 \cdot C_L \cdot f = (2V)^2 \cdot (10^7 \times 0.1 + 10^8 \times 0.01) \cdot 10^{-15} \cdot 1000 \cdot 10^6 = 4 \cdot (10^6 + 10^6) \cdot 10^{-15} \cdot 10^9 = 8 \cdot 10^6 \cdot 10^{-15} \cdot 10^9 = 8W$$

9. ¿Cuál de las siguientes funciones lógicas implementa el layout de la figura?

- [A]  $Y = A \cdot B \cdot C$
- [B]  $Y = A + B + C$
- [C]  $Y = \overline{A \cdot B \cdot C}$
- [D]  $Y = A \cdot (B + C)$





10. La celda de almacenamiento en una FLASH es:

- [A] Un fusible
- [B] Un condensador
- [C] Un biestable
- [D] Un transistor FAMOS

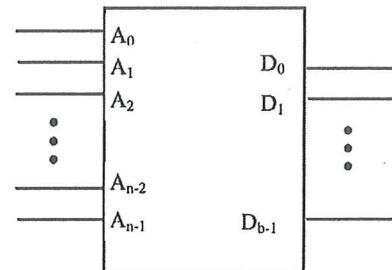
11. Si de una memoria semiconductora se nos indica que dispone de  $2^{21}$  palabras y que cada palabra es de 64 bits, podemos deducir que:

- [A] Necesitará 16 líneas de direccionamiento. *NO, SON 21*
- [B] Necesitará 20 líneas de direccionamiento. *NO, SON 21*
- [C] Su capacidad de almacenamiento será de 2MBytes *NO*
- [D] Su capacidad de almacenamiento será de 16MBytes

*$2^{21} \times 2^3 \text{ BYTES} = 2^{24} \text{ BYTES} = 16 \text{ MBYTES}$*

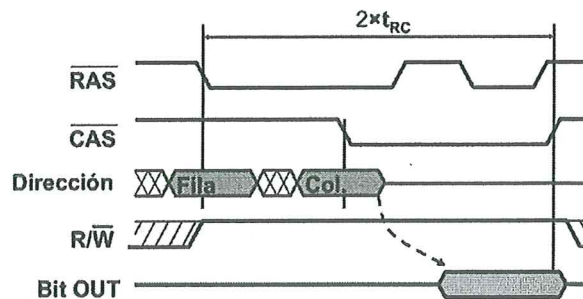
12. En relación con la ROM representada en la figura, señale la afirmación FALSA:

- [A] La capacidad es "n" palabras x "b" bits. *NO, SON 2<sup>n</sup> PALABRAS*
- [B] Su contenido se implementa en el momento de la fabricación. *SI*
- [C] Necesita un decodificador de n líneas de entrada. *SI*
- [D] Permite implementar un circuito combinacional con "n" entradas y "b" salidas. *OK*



13. A la vista del cronograma de la figura, podemos afirmar que:

- [A] Se trata del cronograma de un refresco "RAS before CAS".
- [B] Corresponde a un refresco oculto en una DRAM.
- [C] Corresponde a un ciclo de lectura normal en una DRAM.
- [D] Es una lectura en ráfaga de 2 bits consecutivos.



Apellidos:

SOLUCIONES

Nombre:

**Problema 1 (Primer PARCIAL) (4 puntos)**

El transistor MOSFET empleado en el circuito de la figura A tiene unas curvas características como las mostradas en la figura B. A la vista de ello, se pide:

**Nota:** En zona óhmica utilice la expresión aproximada  $R_{ON} = V_{DS} / I_{DS} \approx 1 / (2K(V_{GS} - V_T))$ , y en saturación  $I_{DS} = K(V_{GS} - V_T)^2$

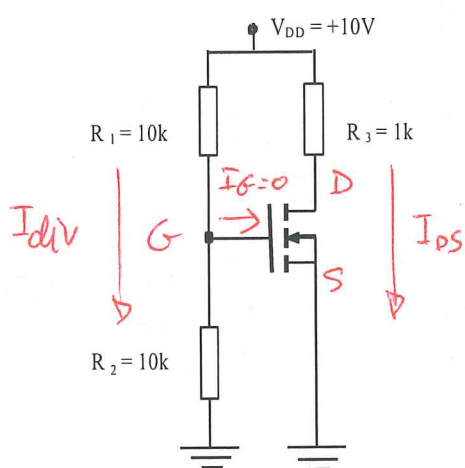
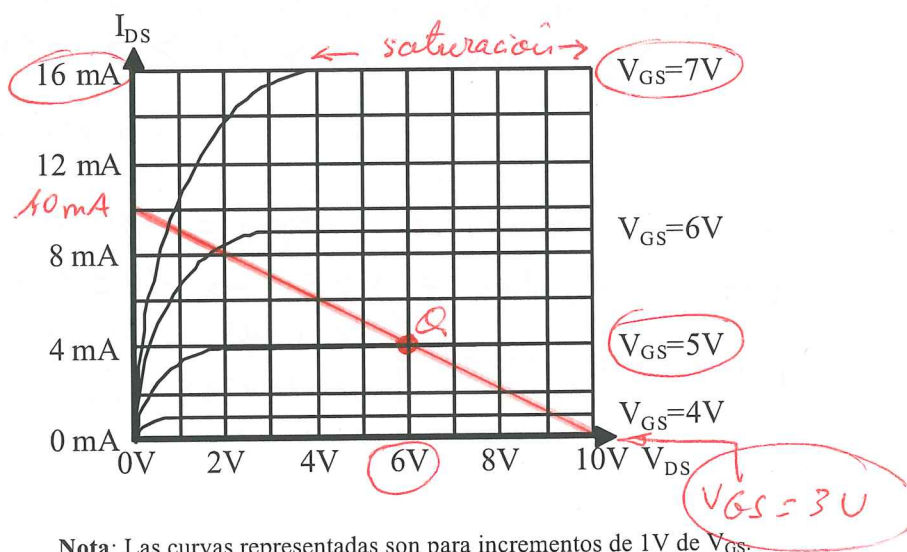


Fig. A



**Nota:** Las curvas representadas son para incrementos de 1V de  $V_{GS}$ .

Fig. B

- A. (0.3 ptos.) A partir de las curvas características del transistor, justifique que el valor de  $V_T$  (tensión umbral del transistor) es 3V.

Como para  $V_{GS} \leq V_T \rightarrow I_{DS} = 0$ ,  $V_T$  se identifica mirando la  $V_{GS}$  que coincide con el eje horizontal ( $I_{DS} = 0$ ). Como las  $V_{GS}$  van a incrementos de 1V, la siguiente a 4V es 3V. Por tanto,  $V_T = 3V$ .

- B. (0.3 ptos.) A partir de las curvas características del transistor, justifique que el valor de la constante  $K$  del transistor es  $1 \text{ mA/V}^2$ .

Nos situamos en la zona de saturación (zona plana) de cualquier curva para una  $V_{GS}$  dada. Por ejemplo, para  $V_{GS} = 7V \rightarrow I_{DS} = 16 \text{ mA}$ . Aplicando la fórmula de saturación,  $I_{DS} = K(V_{GS} - V_T)^2 \rightarrow 16 = K(7 - 3)^2 \rightarrow K = 1 \text{ mA/V}^2$ .

- C. (1.4 ptos.) Calcule el punto de trabajo del transistor y justifique su región de funcionamiento.

$V_{GS} = V_G - V_S = V_G - 0 = V_G$  (La  $S$  está conectada a masa)  
La  $V_G$  se calcula aplicando la fórmula del divisor resistivo formado por  $R_1$  y  $R_2$ .

$$V_{GS} = \frac{V_{DD} R_2}{R_1 + R_2} = I_{div} R_2 \rightarrow V_{GS} = \frac{10 \times 10}{10 + 10} = \frac{10}{2} = 5V$$

Como  $V_{GS} > V_T$ , el transistor NO está CORTADO.

Supongamos que está en saturación:

$$I_{DS} = K (V_{GS} - V_T)^2 = 1 \cdot (5 - 3)^2 = 4mA$$

$$V_{DS} = V_{DD} - I_{DS} R_3 = 10 - (4 \times 1) = 6V$$

Comprobamos que está en saturación:

$$V_{DS} > V_{GS} - V_T \rightarrow 6V > 5V - 3V \rightarrow \text{Si}$$

$V_{GS}$	5V
$I_{DS}$	4mA
$V_{DS}$	6V
Reg. func.	SATURACIÓN

- D. (0.8 ptos.) Indique la ecuación de la recta de carga del circuito y represéntela sobre el diagrama de la Fig. B. Sitúe el punto de trabajo sobre la recta de carga.

Ecuación de la recta de carga y puntos de corte:

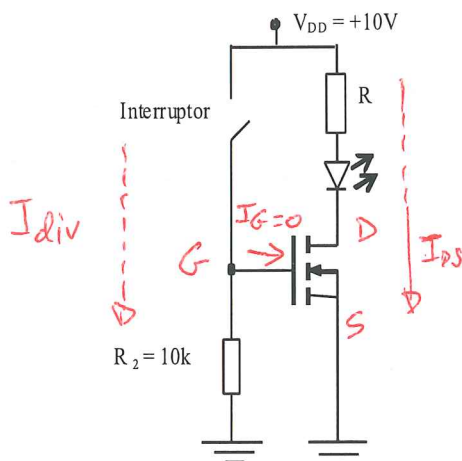
Ecuación recta de carga = ecuación malla D-S

$$V_{DD} = R_3 I_{DS} + V_{DS} \rightarrow 10 = 1 \cdot I_{DS} + V_{DS} = I_{DS} + V_{DS}$$

puntos de corte  $\left\{ \begin{array}{l} \text{vertical: } V_{DS} = 0 \rightarrow I_{DS} = \frac{V_{DD}}{R_3} = \frac{10V}{1K} = 10mA \\ \text{horizontal: } I_{DS} = 0 \rightarrow V_{DS} = V_{DD} = 10V \end{array} \right.$

- E. (1.2 ptos.) Suponga que se modifica el circuito para encender y apagar un LED con un interruptor, tal como muestra la figura adjunta. Rellene la tabla y calcule la resistencia R para que el LED presente una luminosidad adecuada. Justifique la respuesta. (Nota: Se recomienda sustituir el transistor por la resistencia equivalente de zona lineal,  $R_{on}$ . Verifique posteriormente que el transistor funciona en zona lineal).

Datos LED:  $I_{LED} = 10mA$ ,  $V_{LED} = 1.5V$   
 Datos Mosfet:  $V_T = 3V$ ,  $K = 1mA/V^2$

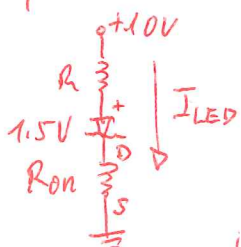


Interruptor	$V_{GS}$	$I_{DS}$	LED (encendido/apagado)
Abierto	0V	0	apagado
Cerrado	10V	$I_{LED} = 10mA$	encendido

Abierto:  $I_{div} = 0 \rightarrow V_G = I_{div} R_2 = 0$   
 $V_{GS} = 0 < V_T \rightarrow \text{CORTE} \rightarrow I_{DS} = 0$

CERRADO:  $V_G = V_{DD} = 10V$   
 $V_{GS} = V_{DD} - 0 = 10V > V_T \rightarrow \text{conduce}$

Suponemos que conduce en zona lineal, pues  $V_{GS}$  es la máxima posible.  
 $R_{on} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \cdot 1 \cdot (10 - 3)} = \frac{1}{14} \approx 0.071 k\Omega$



Calculamos R para que circule  $I_{DS} = I_{LED} = 10mA$   
 $10 = 1.5V + I_{LED} (R + R_{on})$

Valor de R: 0.78 k Ohms

$$R = \frac{10 - 1.5}{I_{LED}} - R_{on} = \frac{8.5}{10} - 0.071 = 0.779 k\Omega$$

Verificamos zona lineal:  $V_{DS} < V_{GS} - V_T \rightarrow 0.71 < 10 - 3 \rightarrow \text{Si}$



Apellidos:

Nombre:

**Problema 2 ( Segundo PARCIAL) (4 PTOS)**Se quiere diseñar la función lógica siguiente en **Lógica CMOS Complementaria**.

$$F = (A \cdot B) + C$$

A.1. (0.8ptos.) Explique el procedimiento de diseño.

Como la función no viene negada, tenemos dos opciones:

- a) Comenzar con el bloque PMOS, pero sabiendo que las variables van negadas. Por tanto, el producto  $(A \cdot B)$  se implementa con 2 transistores en serie con entradas  $\bar{A}$  y  $\bar{B}$ . Estos transistores se conectan en paralelo a otro PMOS con entrada  $\bar{C}$ , para implementar la suma. Todo el bloque PMOS conectado entre  $V_{DD}$  y la salida F.

El bloque NMOS será dual del anterior y quedará como sigue: dos transistores NMOS en paralelo con entradas  $A$  y  $B$ . Estos transistores en serie con otro NMOS con entrada  $C$ . Todo el bloque NMOS conectado entre la salida F y masa (GND en el esquema general).

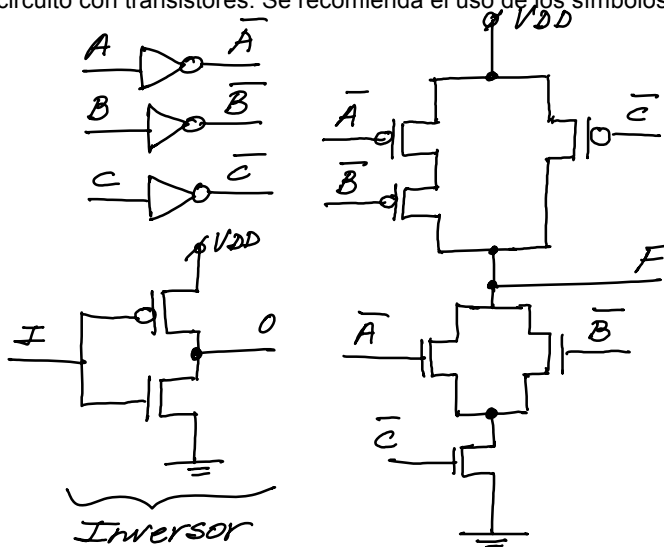
- b) Negar dos veces y aplicar De Morgan, con lo que nos queda la función:

$$F = \overline{(\bar{A} + \bar{B}) \cdot \bar{C}}$$

En este caso comenzaríamos con el bloque NMOS y, como se puede observar, el esquema resultante sería idéntico. La suma se implementa con dos NMOS en paralelo, y el producto con otro transistor NMOS en serie con los anteriores.

Para cada una de las entradas negadas sería necesario un inversor CMOS.

A.2. (0.8ptos) Dibuje el circuito con transistores. Se recomienda el uso de los símbolos simplificados.



A.3. (0.4ptos) Compruebe el correcto funcionamiento del circuito para la combinación de entradas:  $A = 1$ ,  $B = 0$ ,  $C = 1$ . Substituya los transistores MOSFET por interruptores abiertos/cerrados y explique el valor lógico de la salida F.

Hay un camino de corriente entre  $V_{DD}$  y la salida, por lo que la  $F = 1$ .

