

Examen Parcial de FCO – Temas 1 al 4

16 de Enero 2019

APELLIDOS: _____

NOMBRE: _____

DNI: _____

FIRMA: _____

Normativa:

- La duración del examen es de 2:00h.
- **Por favor, escriba su nombre y apellidos en letras MAYÚSCULAS.**
- DEBE responder en el espacio asignado.
- No se permiten calculadoras ni apuntes.
- Debe permanecer en silencio durante la realización del examen.
- No se puede abandonar el examen hasta que el profesor lo indique.
- Debe tener una identificación en la mesa a la vista del profesor (DNI, carnet UPV, tarjeta residente, etc.)

1. (2 puntos) Complete la tabla siguiente realizando los cambios de base y de codificación indicados. En la conversión de decimal a binario utilice 4 bits para la parte fraccionaria.

| | | |
|-------------|---------------------------|-----------------------|
| | 10001011,011 ₂ | 167,49 ₁₀ |
| Binario | ----- | 10100111.0111 |
| Decimal | 139.375 | ----- |
| Octal | 213.3 | 247.34 |
| Hexadecimal | 8B,6 | A7,7 |
| BCD | 000100111001,001101110101 | 000101100111,01001001 |

Realice aquí los cálculos oportunos:

La conversión de decimal a binario se obtiene haciendo divisiones sucesivas por 2 para la parte entera, y con multiplicaciones sucesivas por 2 para la parte fraccionaria. La conversión de binario a decimal se obtiene calculando el polinomio de potencias de 2, donde la potencia a la izquierda de la coma es 0, y a la derecha de la coma es -1.

La representación en hexadecimal y octal se puede obtener desde binario agrupando los bits de 4 en 4 para hexadecimal y de 3 en 3 para octal, empezando desde la coma hacia la izquierda y desde la coma hacia la derecha. Si el número de bits no es múltiplo de 4 (hexadecimal) o de 3 (octal), se completa con ceros por la izquierda en la parte entera y con ceros por la derecha en la parte fraccionaria.

Por último, los códigos BCD se obtienen a partir de la representación en base 10, sustituyendo cada dígito decimal por cuatro bits. Se puede comenzar la sustitución desde la izquierda o desde la derecha.

2. (2 puntos) Se dispone (ya diseñado) de un circuito sumador de 2 números A y B, de 4 bits cada uno $A = a_3 a_2 a_1 a_0$ y $B = b_3 b_2 b_1 b_0$. Se trata de números con signo, siendo a_3 el bit de signo del número A y b_3 el signo del número B. Un bit de signo a 0 indica que el número es positivo y a 1 negativo. La salida del sumador ofrece el resultado de la suma, también expresada con 4 bits, $S = s_3 s_2 s_1 s_0$, también con signo, con el mismo convenio usado en A y B. Este sumador además presenta una salida adicional Z que se activa a 1 para indicar que el resultado ha sido cero (en el convenio usado por este circuito el cero se representa de manera única, con todos los bits a cero ($s_3 = s_2 = s_1 = s_0 = 0$)).

Se desea diseñar otro circuito adicional que tome como entrada el indicador Z y los bits de signo de los números A y B, así como el bit de signo del resultado S y ofrezca una salida V activa a nivel alto que indique si ha habido desbordamiento durante la suma. Se determinará que ha habido desbordamiento si al sumar dos números positivos el resultado ha sido negativo o al sumar dos números negativos el resultado ha sido positivo. Considere que es posible que la suma de dos números negativos dé 0 como resultado y que en este caso se produciría desbordamiento.

Además, este circuito ofrecerá una segunda salida E que indicará (a nivel alto) que se cumple la condición $A = -B$ (esta condición se cumplirá cuando el resultado de la suma sea cero y no haya habido desbordamiento).

Complete la tabla de verdad de este segundo circuito.

Tabla de verdad del circuito:

| Z | a_3 | b_3 | s_3 | V | E |
|---|-------|-------|-------|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | X | X |
| 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | X | X |
| 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | X | X |
| 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | X | X |

3. (1 punto) Dada la siguiente tabla de verdad:

A. Obtenga la forma canónica disyuntiva (sumatorio).

$$S = \sum_{D,C,B,A} (2, 3, 5, 7, 13, 15) + \sum_{\emptyset} (4, 6, 10, 11, 12)$$

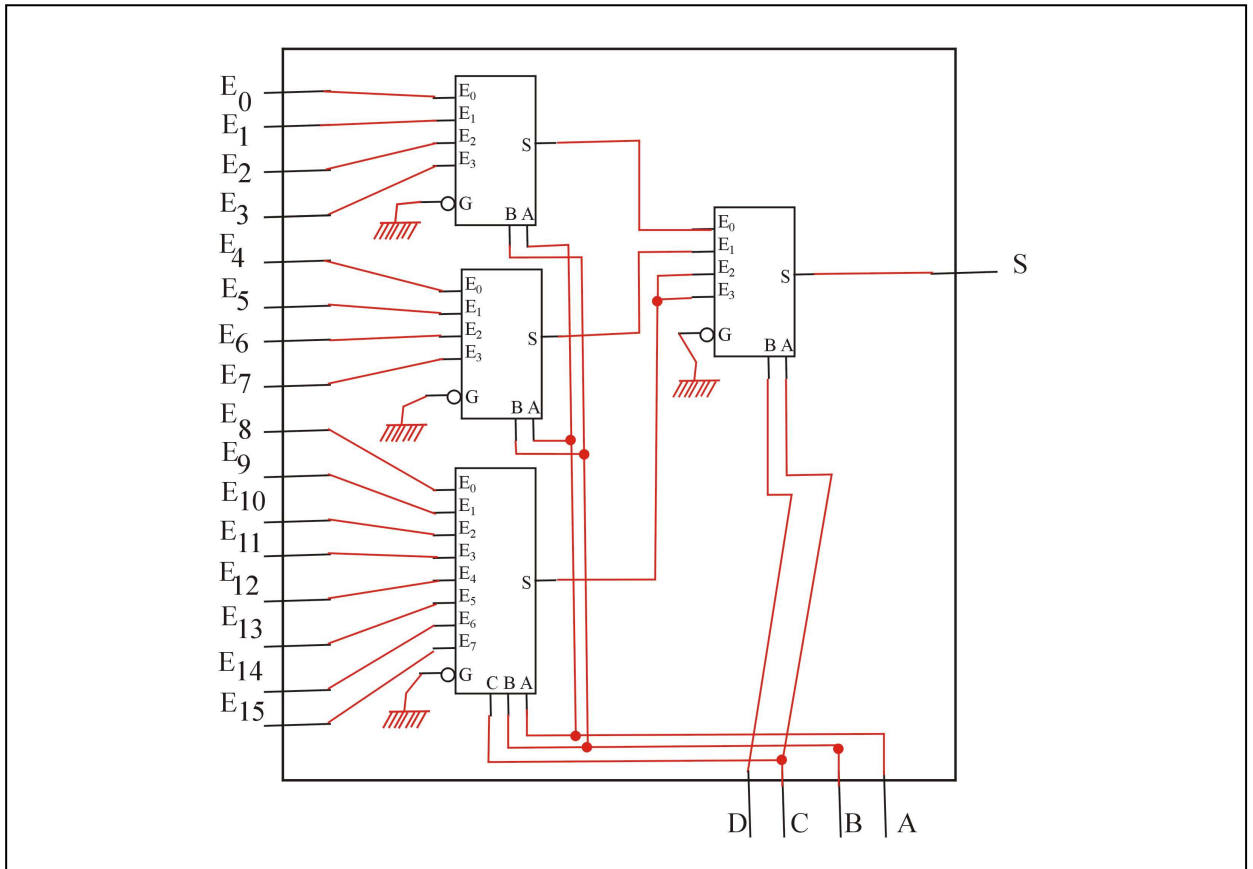
| D | C | B | A | S |
|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | X |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | X |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | X |
| 1 | 0 | 1 | 1 | X |
| 1 | 1 | 0 | 0 | X |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |

B. Simplifique la función correspondiente por ceros mediante mapas de Karnaugh. Marque claramente los grupos formados.

| | | | | | |
|----------|---|----|----|----|----|
| DC BA | | | | | |
| | | 00 | 01 | 11 | 10 |
| 00 | 0 | X | X | 0 | 00 |
| 01 | 0 | 1 | 1 | 0 | 01 |
| 11 | 1 | 1 | 1 | X | 11 |
| 10 | 1 | X | 0 | X | 10 |

$$S = (D+A) * (C+B)$$

4. (2 puntos) Complete el circuito de la figura adjunta para obtener un circuito equivalente a un multiplexor de 16x1.



Dibuje el símbolo lógico del multiplexor creado, y complete su tabla de verdad

Símbolo lógico:

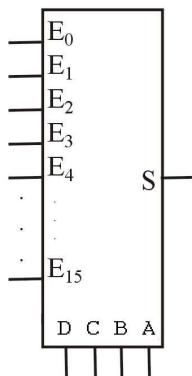
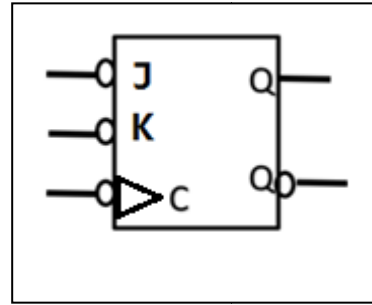


Tabla de verdad:

| D | C | B | A | S |
|---|---|---|---|-----------------|
| 0 | 0 | 0 | 0 | E ₀ |
| 0 | 0 | 0 | 1 | E ₁ |
| 0 | 0 | 1 | 0 | E ₂ |
| 0 | 0 | 1 | 1 | E ₃ |
| 0 | 1 | 0 | 0 | E ₄ |
| 0 | 1 | 0 | 1 | E ₅ |
| 0 | 1 | 1 | 0 | E ₆ |
| 0 | 1 | 1 | 1 | E ₇ |
| 1 | 0 | 0 | 0 | E ₈ |
| 1 | 0 | 0 | 1 | E ₉ |
| 1 | 0 | 1 | 0 | E ₁₀ |
| 1 | 0 | 1 | 1 | E ₁₁ |
| 1 | 1 | 0 | 0 | E ₁₂ |
| 1 | 1 | 0 | 1 | E ₁₃ |
| 1 | 1 | 1 | 0 | E ₁₄ |
| 1 | 1 | 1 | 1 | E ₁₅ |

5. (1 punto) Dado el siguiente biestable J K, con entradas activas a nivel bajo /J y /K, y activo por flanco de bajada /C, complete la tabla de funcionamiento reducida del mismo.

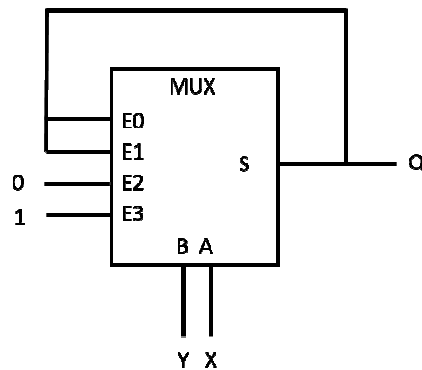


La Operación puede ser:

1. “ND: No deseada”, “S: SET”, “R: RESET”, “M: Memoria” o “T:Toggle (Invierte)”.

| /C | /J | /K | Q(t+1) | /Q(t+1) | Operación |
|-------|----|----|--------|---------|-----------|
| ↓ | 0 | 0 | /Q(t) | Q(t) | Invierte |
| ↓ | 0 | 1 | 1 | 0 | Set |
| ↓ | 1 | 0 | 0 | 1 | Reset |
| ↓ | 1 | 1 | Q(t) | /Q(t) | Memoria |
| 1/0/↑ | X | X | Q(t) | /Q(t) | Memoria |

6. (1 punto) Dado el siguiente circuito secuencial:



- A. Obtenga la tabla de funcionamiento, indicando en la columna “Operación” la operación lógica realizada seleccionando una entre las siguientes posibles operaciones: Set, Reset, Memoria, Invertir, No deseada

| Y | X | Q (t+1) | Operación |
|---|---|---------|-----------|
| 0 | 0 | Q(t) | Memoria |
| 0 | 1 | Q(t) | Memoria |
| 1 | 0 | 0 | Reset |
| 1 | 1 | 1 | Set |

- B. Identifique a cuál de los biestables estudiados corresponde este circuito, detallando la función de las entradas X e Y.

- Se trata de un biestable de tipo: **D**
- X hace la función de la entrada: **D**
- Y hace la función de la entrada: **C (Reloj)**

7. (1 punto) Dado el circuito siguiente, escriba las expresiones algebraicas de:

$$D0 = Q2 \oplus N$$

$$D1 = Q0 \oplus N$$

$$D2 = Q1 \oplus N$$

Considerando que el estado inicial es $Q0 = 0$, $Q1 = 1$, $Q2 = 0$, complete el cronograma que se presenta.

