

## Tema 4: CIRCUITS SEQÜENCIALS

Grau en Informàtica

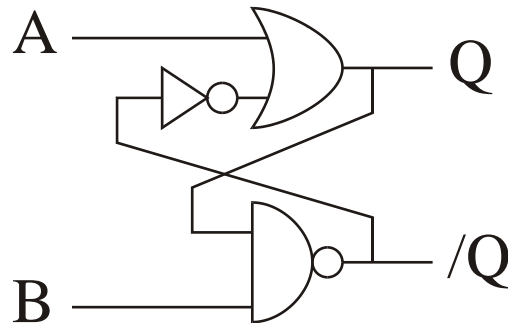
### **EXERCICIS**

#### Índex

4.1 – Circuits biestables.....	2
4.2 – Biestables. Cronogrames .....	3
4.3 – Disseny de registres de desplaçament .....	5
4.4 – Disseny de bancs de registres .....	5
4.5 – Disseny de comptadors.....	5
4.6 – Anàlisi de circuits seqüencials per cronograma .....	6

## 4.1 – Circuits biestables

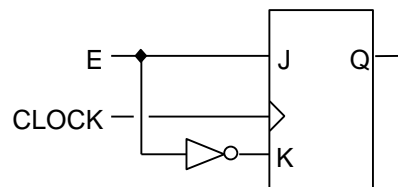
4.1. Per al biestable següent:



Representeu-ne la taula de veritat escrivint (\*) on hi haja una situació no volguda:

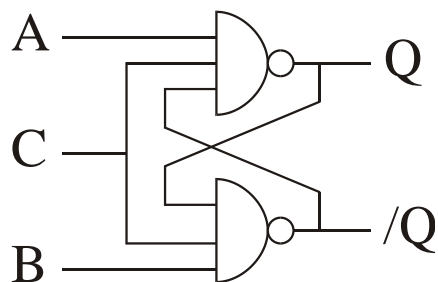
B	A	Q(t+1)	/Q(t+1)

4.2. Escriviu la taula de veritat del circuit següent. Es comporta com un altre circuit que conegues?



E	C	Q(t+1)

4.3. Per al biestable següent:



Representeu-ne la taula de veritat escrivint (\*) on hi haja una situació no volguda:

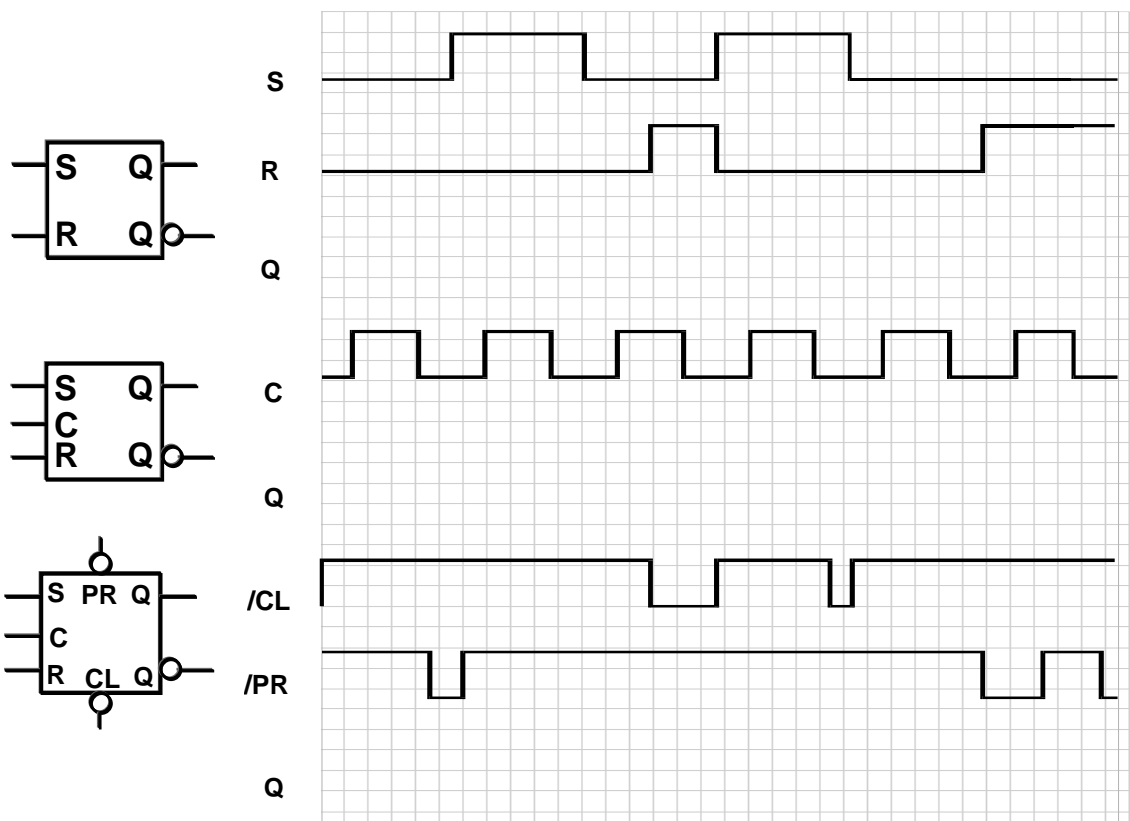
C	B	A	Q(t+1)	/Q(t+1)

4.4. Per a què serveixen les entrades asíncrones dels biestables?

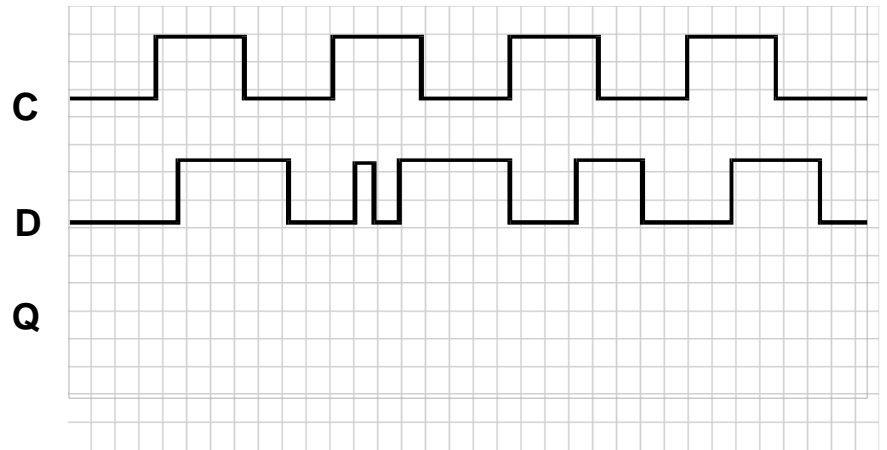
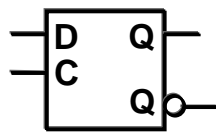
## 4.2 – Biestables. Cronogrames

4.5. Dibuixeu el cronograma d'un biestable D Mestre-Esclau actiu per flanc de pujada.

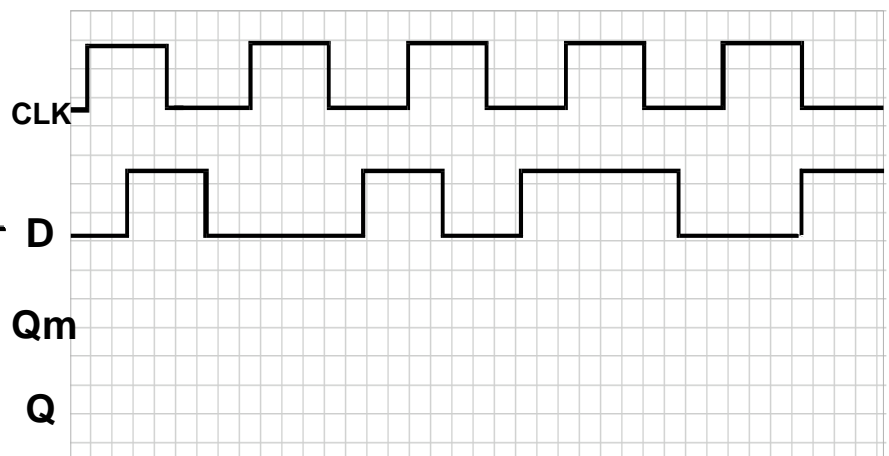
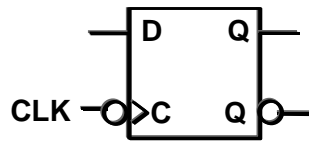
4.6. Completeu els cronogrames següents amb l'evolució de les eixides. El valor inicial del biestables és Q=0.



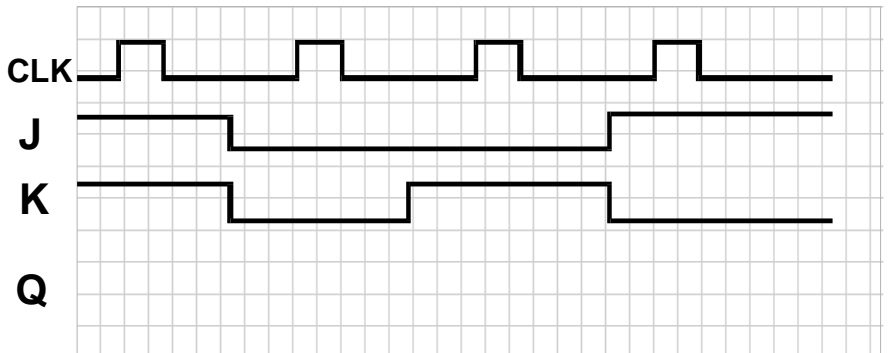
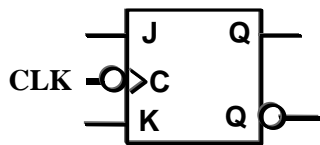
4.7.



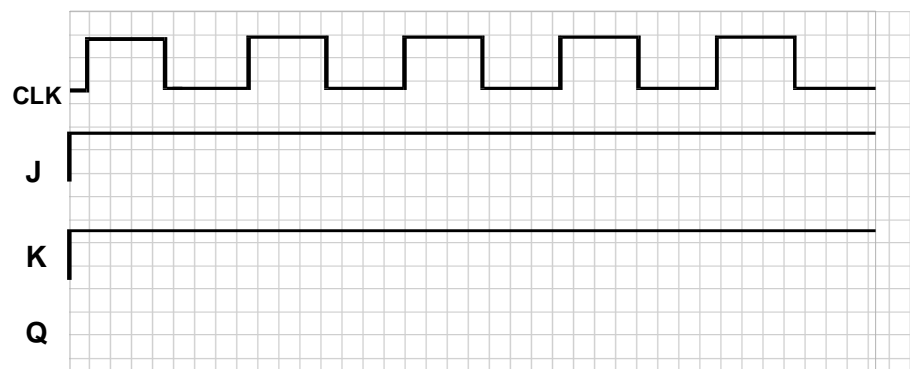
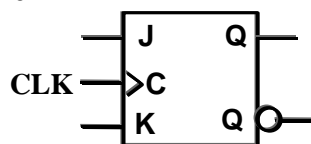
4.8.



4.9.



4.10.



---

### 4.3 – Disseny de registres de desplaçament

---

4.11.- El registre de desplaçament amb entrada sèrie i eixida paral·lela de la transparència 42 del tema correspon a un desplaçament des del LSB fins al MSB. Utilitzeu aquest circuit com a patró i dissenyeu el circuit d'un registre de desplaçament amb entrada sèrie i eixida paral·lela de 4 bits amb desplaçament des del MSB fins al LSB. El nom de l'entrada de dades sèrie ha de ser DD, el rellotge CLK i el flanc actiu ha de ser el flanc de baixada.

4.12 .- Dissenyeu un registre de desplaçament de 4 bits amb dues entrades sèrie i eixida paral·lela; per a fer aquest circuit cal "reunir" en un únic circuit de 4 bits tant les connexions del registre de desplaçament de la transparència 42 del tema com les de l'exercici anterior. Seguiu les indicacions següent:

- a) Nomeneu CLK a l'entrada de rellotge. El flanc actiu ha de ser el flanc de baixada.
- b) Nomeneu DI a l'entrada de dades sèrie des del LSB fins al MSB.
- c) Nomeneu DD a l'entrada de dades sèrie des del MSB fins al LSB.
- d) Nomeneu DIR a l'entrada de control que indiqueu el sentit del desplaçament, amb el comportament següent:

*"el desplaçament ha de ser DI -> Q0 -> Q1 -> Q2 -> Q3 quan DIR = 0"*

*"el desplaçament ha de ser DD -> Q3 -> Q2 -> Q1 -> Q0 quan DIR = 1"*

- e) Utilitzeu un MUX 2a1 para cada un dels biestables. L'entrada de selecció de tots ells ha d'estar connectada a l'entrada DIR, i l'eixida del MUX directament connectada a l'entrada de dades D del biestable corresponent.
- f) Utilitzeu les entrades de dades del MUX per a aconseguir el comportament desitjat.

---

### 4.4 – Disseny de bancs de registres

---

4.13.- Dissenyeu el circuit intern d'un banc de registres de 4 registres de 3 bits amb un port de lectura i un altre d'escriptura utilitzant únicament registres, descodificadors i multiplexors. Els registres són actius per flanc de pujada i amb senyal de càrrega en paral·lel activa a nivell alt, mentre que l'entrada d'habilitació del descodificador és activa a nivell baix. Dibuixeu tant la implementació com el símbol lògic que representa a aquest sistema.

---

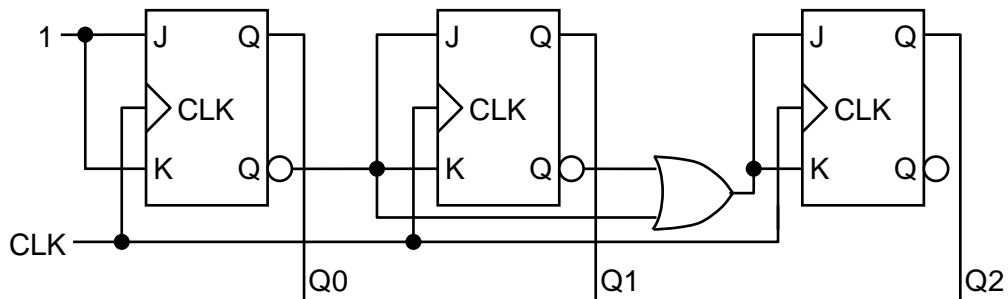
### 4.5 – Disseny de comptadors

---

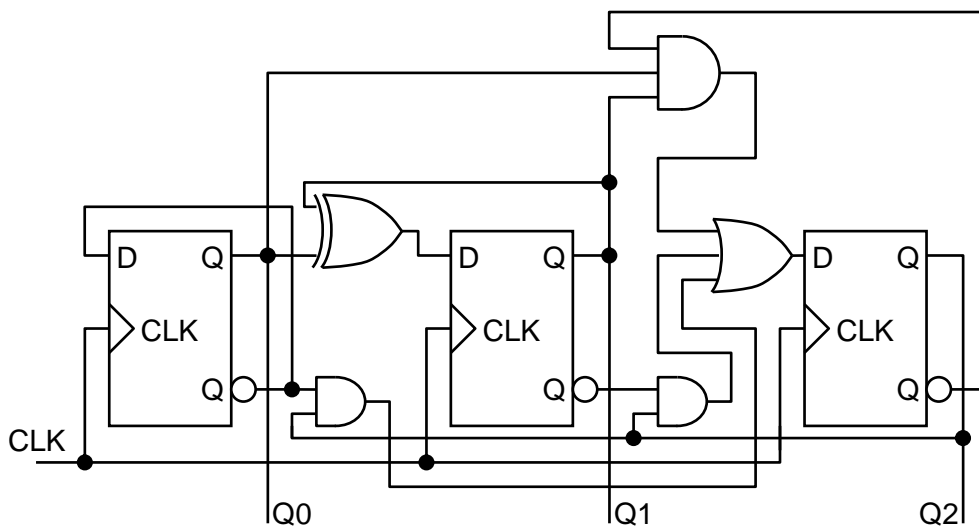
4.14.- Dissenyeu un circuit comptador de mòdul 8 amb biestables J-K actius per flanc de pujada i les portes necessàries. Representeu el cronograma determinat per la seqüència de les eixides dels biestables.

## 4.6 – Anàlisi de circuits seqüencials per cronograma

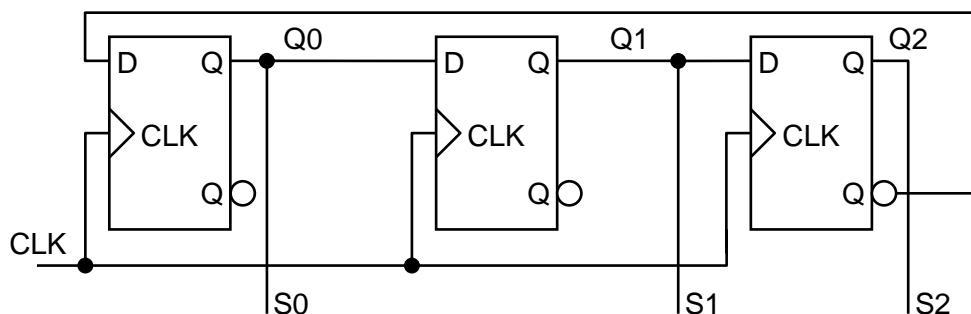
4.15. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ .



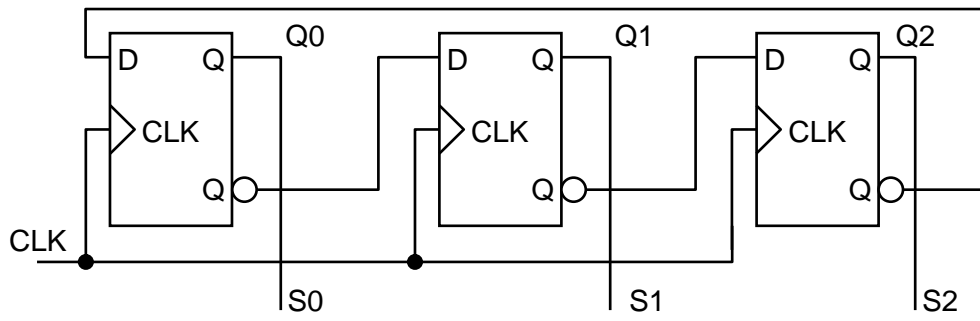
4.16. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ .



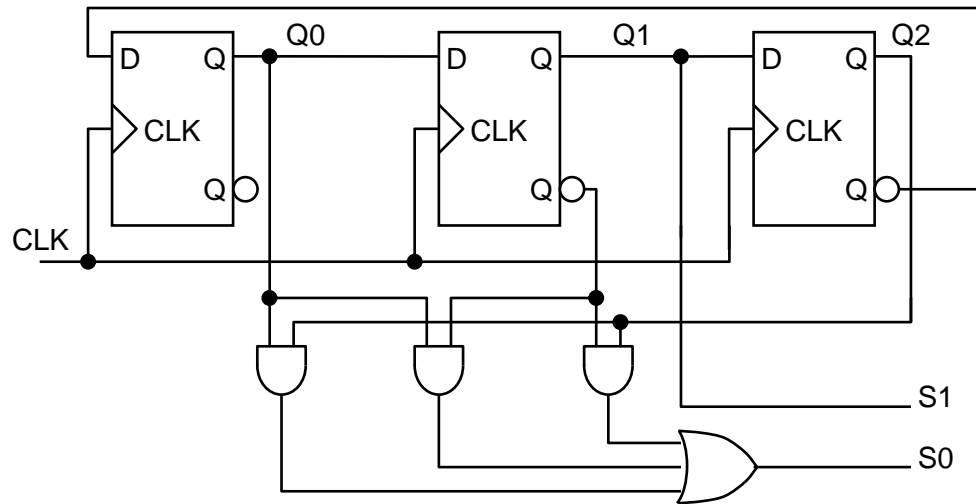
4.17. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ .



4.18. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ .



4.19. Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ .



4.20.- Analitzeu per mitjà d'un cronograma el circuit següent. El valor inicial dels biestables és  $Q_2Q_1Q_0 = 000$ . I la seqüència de valors de l'entrada W abans de cada flanc actiu del rellotge és 0-0-1-1-0-0-0-0-1-1.

