

1. Assenyalar l'afirmació FALSA sobre les memòries semiconductores:

- [A] Les memòries PROM són memòries no volàtils, d'accés aleatori.
 [B] Les cel.les de les ROM són fixades en el procés de fabricació, per la qual cosa no són programables per l'usuari final.
 ⇒ [C] Les memòries SRAM són d'accés aleatori i no volàtils, perquè no és necessari que siguin refrescades. *Són volàtils!*
 [D] Les EPROM i les FLASH es basen en cel.les de tipus transistor FAMOS, amb una porta flotant per posar al tall els transistors seleccionats.

2. Donada la memòria ROM de la figura, indique l'expressió lògica de les funcions Y5-Y0:

$$Y5 = \sum (2, 3) = A_1 \bar{A}_0 + A_1 A_0$$

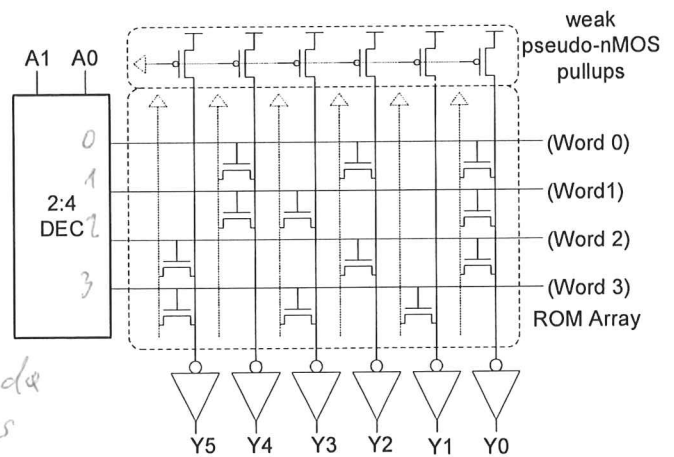
$$Y4 = \sum (0, 1) = \bar{A}_1 \bar{A}_0 + \bar{A}_1 A_0$$

$$Y3 = \sum (1, 3) = \bar{A}_1 A_0 + A_1 A_0$$

$$Y2 = \sum (0, 2) = \bar{A}_1 \bar{A}_0 + A_1 \bar{A}_0$$

$$Y1 = \sum (3) = A_1 A_0$$

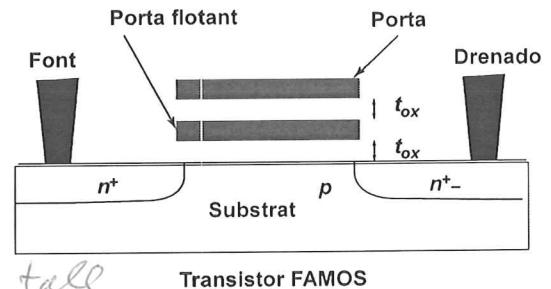
$$Y0 = \sum (0, 1, 2) = \bar{A}_1 \bar{A}_0 + \bar{A}_1 A_0 + A_1 \bar{A}_0$$



Les línies de bit implementen una NOR de les pïxides del decodificador. Els inversors d'eixida ho converteixen en OR's

3. Donada la cel.lla de la figura, assenyal la resposta FALSA:

- [A] Correspon a una memòria FLASH
 [B] Es reprogramable elèctricament i no volàtil.
 ⇒ [C] Quan la porta flotant es plena d'electrons, i la porta de control = "1", el transistor FAMOS condueix.
 [D] La informació es guarda en la porta flotant utilitzant tensions de l'ordre de 12V.



Quan es plena la porta flotant d'electrons, V_T creix i impedeix que es formi el canal → tall

4. Es disposa de una memòria amb 4096 paraules de 16bits cadascuna. Quina de les següents afirmacions és CORRECTA?

- [A] Tindria una capacitat de 2KBytes
 ⇒ [B] Es podria estructurar en una matriu interna de 256*256 cel.les.
 [C] Tindria una capacitat de 8Kbits.
 [D] Tindria 8 línies d'adreces i 16 línies de bit.

$$\text{capacitat} = 2^{12} \times 2^4 = 2^{16} = 28 \times 28$$

$$\begin{aligned} \text{Capacitat} &= 4K \times \frac{16 \text{ bits}}{8} \\ &= 8K \text{ Bytes} \\ \left\{ \begin{array}{l} 4k \rightarrow 2^{12} \rightarrow 12 \text{ línies adreces} \\ 16 \text{ bits} \rightarrow 16 \text{ línies de bits} \end{array} \right. \end{aligned}$$

5. Per a una memòria FLASH, assenyal la resposta FALSA:

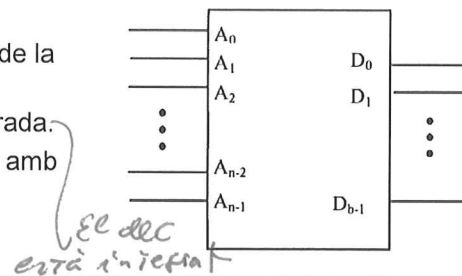
- [A] El cicle de escriptura inclou un esborrat previ
 [B] El cicle de lectura és més ràpid que el d'escriptura.
 [C] L'esborrat es fa per blocs
 ⇒ [D] Necessiten refresc, perquè la informació es perd degut a corrents de fuga.

unicament les DRAM necessiten refresc periòdic

6. En relació amb la ROM representada en la figura, assenyalen l'afirmació **FALSA**:

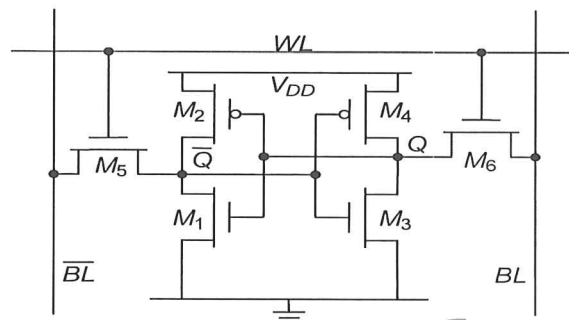
- ⇒ [A] La capacitat és "n" paraules x "b" bits.
 [B] El seu contingut s'implementa en el moment de la fabricació.
 [C] Necessita un decodificador de n línies d'entrada.
 [D] Permet implementar un circuit combinacional amb "n" entrades i "b" eixides.

capacitat = $2^n \times b$



7. Donada la cel.la de memòria de la figura, indique la resposta **FALSA**:

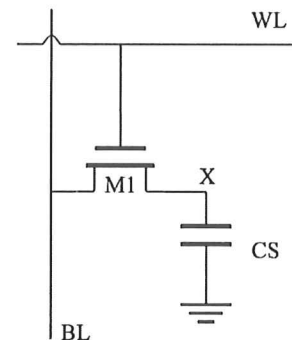
- ⇒ [A] Es una cel.la de memòria estàtica 6T
 [B] La informació es guarda en un latch format pels transistors M1-M4
 [C] El procés de lectura consisteix en precarregar BL i /BL a 0V, activar WL a "1" i llegir de les línies de bit.
 [D] Per al funcionament de la cel.la, els transistors tenen diferent relació W/L:
 $(W/L)_{PMOS} < (W/L)_{M5,M6} < (W/L)_{NMOS}$



En la lectura BL i /BL s'precarreguen a VDD

8. Sobre la cel.la de memòria dinàmica de la figura, indique quina és l'afirmació **CORRECTA**:

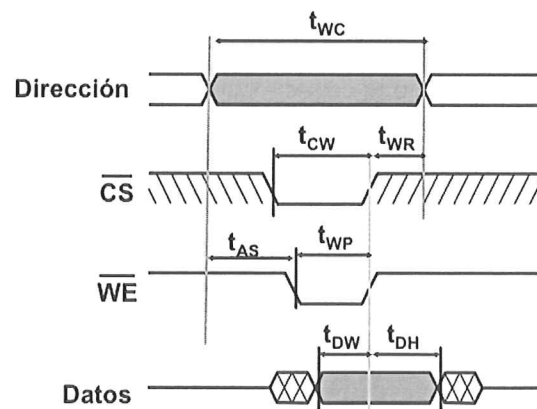
- [A] La informació emmagatzemada (1 ó 0) correspon a l'estat de conducció del MOSFET
 [B] El condensador mantindrà indefinidament la seua càrrega mentre que la línia de selecció WL estiga a nivell baix. → *s'escarrega per corrents de fuita*
 [C] La línia de bit (BL) permet llegir o escriure la informació en la cel.la quan WL es mantinga a nivell baix. → *WL = '1'*
 ⇒ [D] La informació emmagatzemada (1 ó 0) correspon a l'estat de càrrega o descàrrega del condensador Cs



9. A la vista del següent cronograma, indique quina és l'afirmació **CORRECTA**:

- [A] $(t_{CW} + t_{WR})$ és el temps mínim del cicle d'escriptura. → *faide = tWC*
 [B] Es tracta del cronograma de lectura en una memòria DRAM. → *s'escarrega*
 ⇒ [C] Es tracta del cronograma d'escriptura en una memòria SRAM. *s'escarrega WE*
 [D] t_{DW} és el temps mínim de manteniment de les dades després del pols d'escriptura → *establiment*

No apareix RAS, CAS, doncs no és DRAM

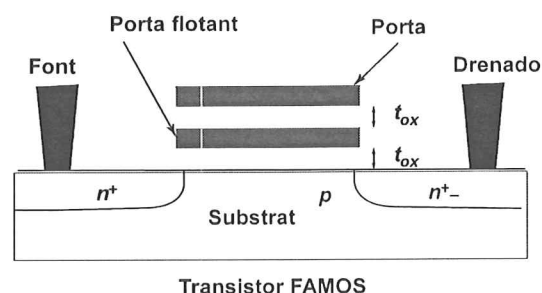


1. Per a una memòria FLASH, assenyalen la resposta FALSA:

- [A] El cicle de escriptura inclou un esborrat previ
 [B] El cicle de lectura és més ràpid que el d'escriptura.
 [C] L'esborrat es fa per blocs
 [D] Necessiten refresc, perquè la informació es perd degut a corrents de fuga.

2. Donada la cel.la de la figura, assenyalen la resposta FALSA:

- [A] Correspon a una memòria FLASH
 [B] Es reprogramable elèctricament i no volàtil.
 [C] Quan la porta flotant es plena d'electrons, i la porta de control = "1", el transistor FAMOS condueix.
 [D] La informació es guarda en la porta flotant utilitzant tensions de l'ordre de 12V.

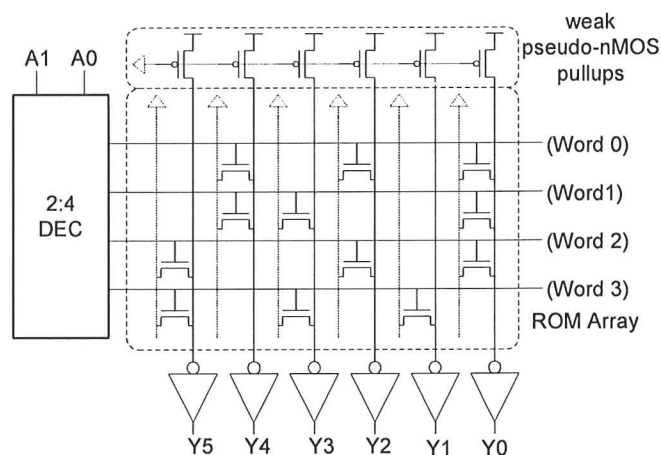


3. Assenyalen l'afirmació FALSA sobre les memòries semiconductores:

- [A] Les memòries PROM són memòries no volàtils, d'accés aleatori.
 [B] Les cel.las de les ROM són fixades en el procés de fabricació, per la qual cosa no són programables per l'usuari final.
 [C] Les memòries SRAM són d'accés aleatori i no volàtils, perquè no és necessari que siguin refrescades.
 [D] Les EPROM i les FLASH es basen en cel.las de tipus transistor FAMOS, amb una porta flotant per posar al tall els transistors seleccionats.

4. Donada la memòria ROM de la figura, indiqueu l'expressió lògica de les funcions Y5-Y0:

Y5 = _____
 Y4 = _____
 Y3 = _____
 Y2 = _____
 Y1 = _____
 Y0 = _____



5. Es disposa de una memòria amb 4096 paraules de 16bits cadascuna. ¿Quina de les següents afirmacions és **CORRECTA**?

- [A] Tindria una capacitat de 2KBytes
 [B] Es podria estructurar en una matriu interna de 256*256 cel.las.
 [C] Tindria una capacitat de 8Kbits.

[D] Tindria 8 línies d'adreces i 16 línies de bit.

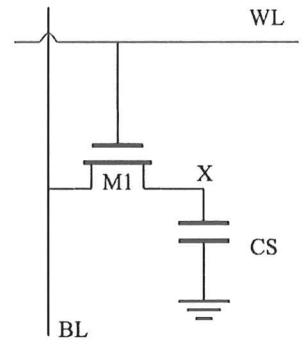
6. Sobre la cel.la de memòria dinàmica de la figura, indique quina és l'afirmació **CORRECTA**:

[A] La informació emmagatzemada (1 ó 0) correspon a l'estat de conducció del MOSFET

[B] El condensador mantindrà indefinidament la seua càrrega mentre que la línia de selecció WL estiga a nivell baix.

[C] La línia de bit (BL) permet llegir o escriure la informació en la cel.la quan WL es mantinga a nivell baix.

[D] La informació emmagatzemada (1 ó 0) correspon a l'estat de càrrega o descàrrega del condensador Cs



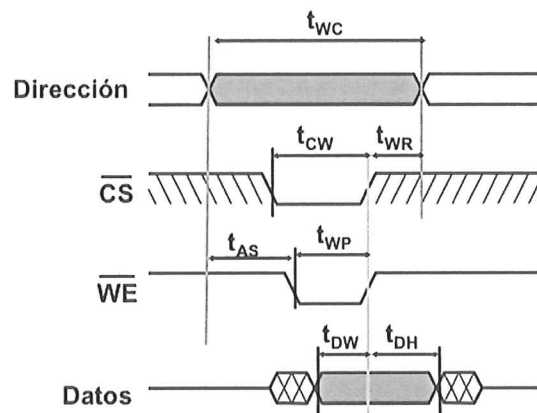
7. A la vista del següent cronograma, indique quina és l'afirmació **CORRECTA**:

[A] $(t_{CW} + t_{WR})$ és el temps mínim del cicle d'escriptura.

[B] Es tracta del cronograma de lectura en una memòria DRAM.

[C] Es tracta del cronograma d'escriptura en una memòria SRAM.

[D] t_{DW} és el temps mínim de manteniment de les dades després del pols d'escriptura



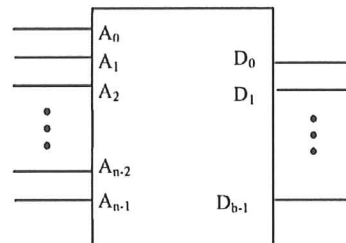
8. En relació amb la ROM representada en la figura, assenyal·le l'afirmació **FALSA**:

[A] La capacitat és "n" paraules x "b" bits.

[B] El seu contingut s'implementa en el moment de la fabricació.

[C] Necessita un decodificador de n línies d'entrada.

[D] Permet implementar un circuit combinacional amb "n" entrades i "b" eixides.



9. Donada la cel.la de memòria de la figura, indique la resposta **FALSA**:

[A] Es una cel.la de memòria estàtica 6T

[B] La informació es guarda en un latch format pels transistors M1-M4

[C] El procés de lectura consisteix en precarregar BL i /BL a 0V, activar WL a "1" i llegir de les línies de bit.

[D] Per al funcionament de la cel.la, els transistors tenen diferent relació W/L:
 $(W/L)_{PMOS} > (W/L)_{M5,M6} > (W/L)_{NMOS}$

