

Tema 4: CIRCUITOS SECUENCIALES

Grado en Informática

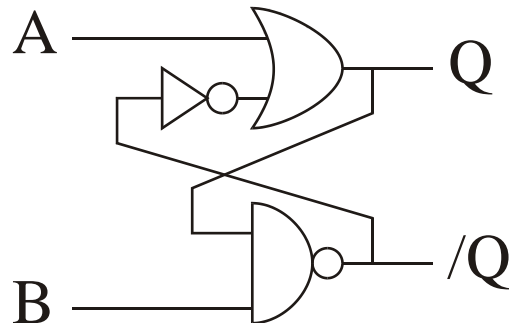
EJERCICIOS

Contenido

4.1 – Circuitos biestables.....	2
4.2 – Biestables. Cronogramas.	3
4.3 – Diseño de registros de desplazamiento.....	5
4.4 – Diseño de bancos de registros	5
4.5 – Diseño de contadores.....	5
4.6 – Análisis de circuitos secuenciales mediante cronograma.....	6

4.1 – Circuitos biestables

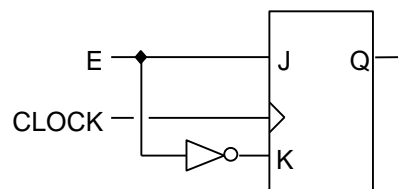
4.1. Sea el siguiente biestable:



Represente su tabla de verdad escribiendo (*) donde haya una situación no deseada:

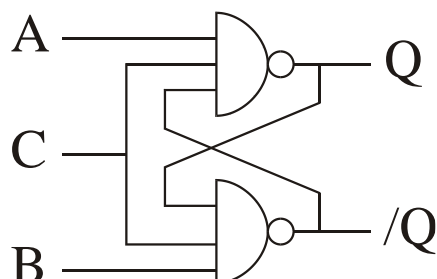
B	A	Q(t+1)	/Q(t+1)
0	0		
0	1		
1	0		
1	1		

4.2. Escriba la tabla de verdad del siguiente circuito. ¿Se comporta como algún otro circuito que conozca?



E	C	Q(t+1)

4.3. Sea el siguiente biestable:



Represente su tabla de verdad escribiendo (*) donde haya una situación no deseada:

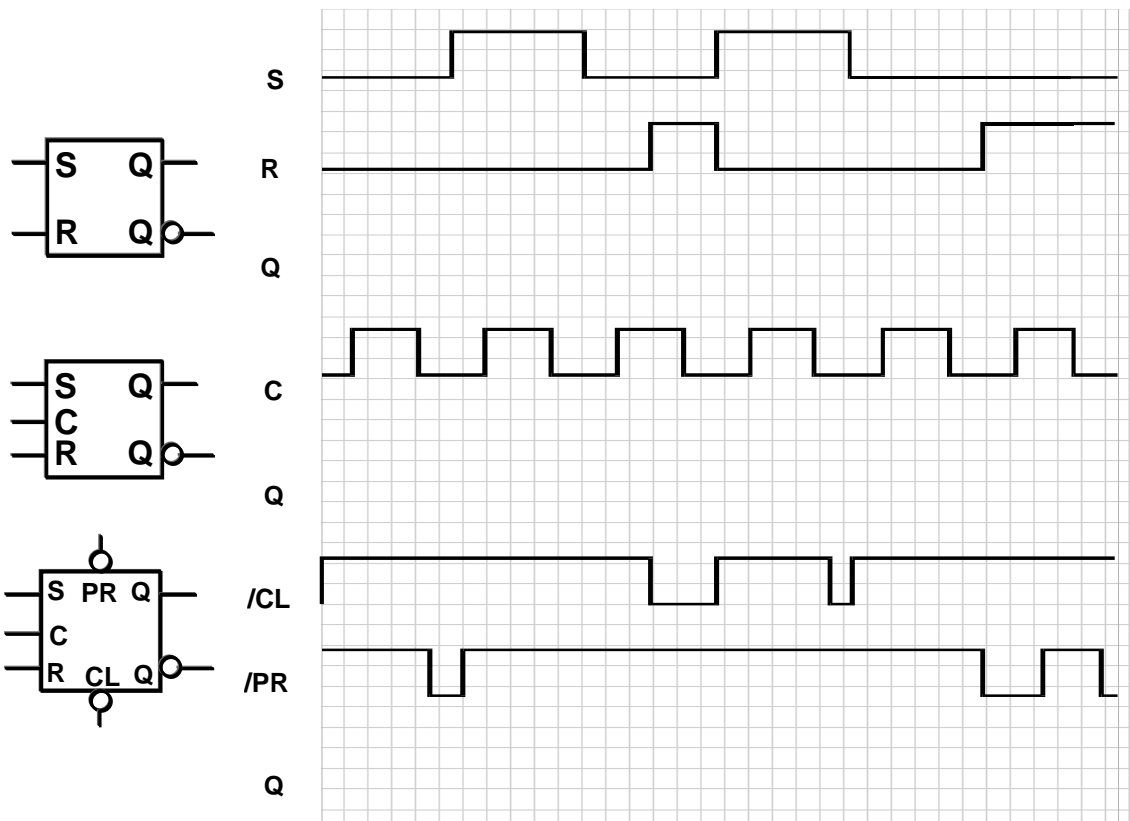
C	B	A	Q(t+1)	/Q(t+1)
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

4.4. ¿Para qué sirven las entradas asíncronas de los biestables?

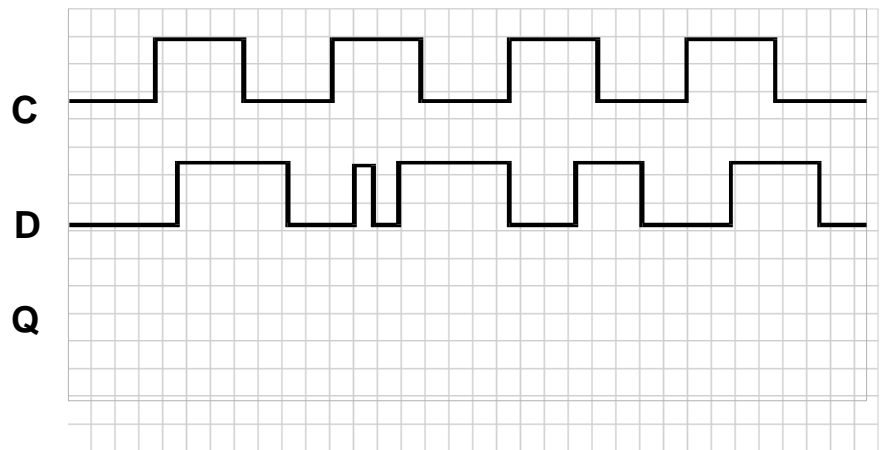
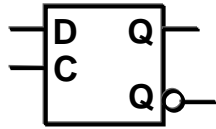
4.2 – Biestables. Cronogramas

4.5. Dibuje el cronograma de un biestable D Maestro–Esclavo activado por flanco de subida.

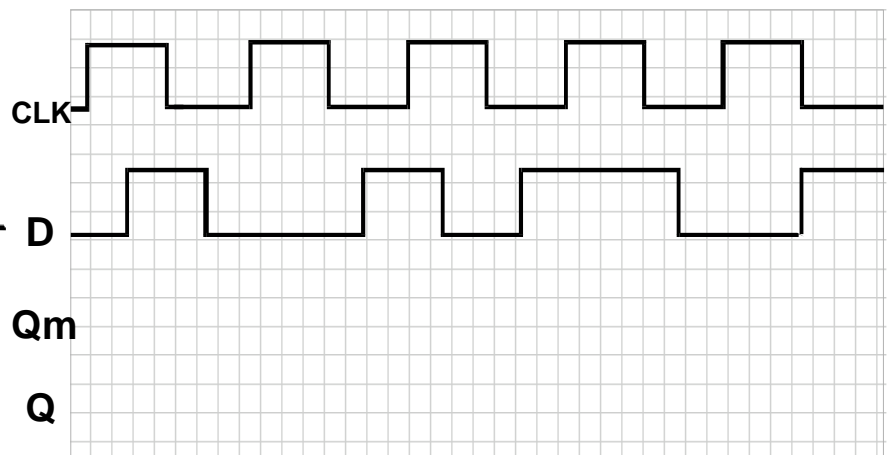
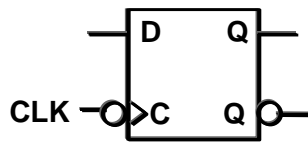
4.6. Complete los cronogramas siguientes con la evolución de las salidas (considere como estado inicial $Q(0)=0$). Haga lo mismo en los ejercicios 4.7 a 4.10.



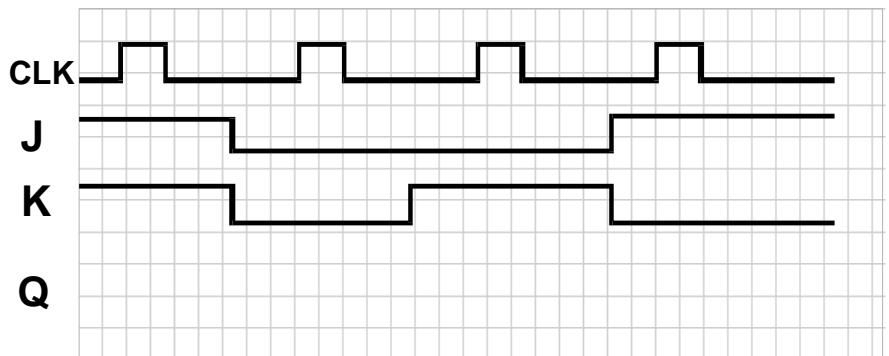
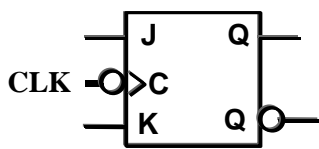
4.7.



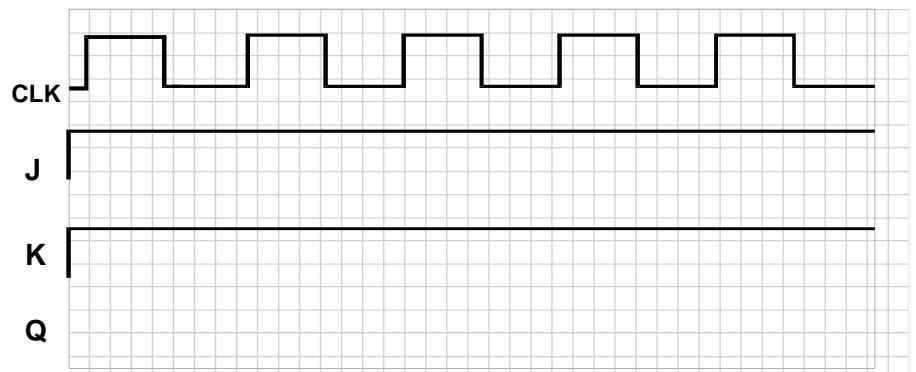
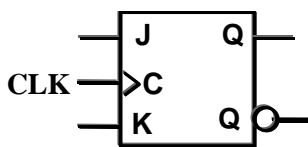
4.8.



4.9.



4.10.



4.3 – Diseño de registros de desplazamiento

4.11. El registro de desplazamiento con entrada serie y salida paralelo de la transparencia 42 del tema corresponde a un desplazamiento desde el LSB hasta el MSB. Utilice dicho circuito como patrón y diseñe el circuito de un registro de desplazamiento con entrada serie y salida paralelo de 4 bits con desplazamiento desde el MSB hasta el LSB. El nombre de la entrada de datos serie debe ser DD, el reloj CLK y el flanco activo debe ser el flanco de bajada.

4.12. Diseñe un registro de desplazamiento de 4 bits con dos entradas serie y salida paralelo; para ello debe “reunir” en un único circuito de 4 bits tanto las conexiones del registro de desplazamiento de la transparencia 42 del tema como las del ejercicio anterior. Siga las siguientes indicaciones:

- a) Nombre CLK a la entrada de reloj. El flanco activo debe ser el flanco de bajada.
- b) Nombre DI a la entrada de datos serie desde el LSB hasta el MSB.
- c) Nombre DD a la entrada de datos serie desde el MSB hasta el LSB.
- d) Nombre DIR a la entrada de control que indique el sentido del desplazamiento, con el siguiente comportamiento:
 - El desplazamiento debe ser DI -> Q0 -> Q1 -> Q2 -> Q3 cuando DIR = 0, y debe ser DD -> Q3 -> Q2 -> Q1 -> Q0 cuando DIR = 1.
- e) Utilice un MUX 2a1 para cada uno de los biestables. La entrada de selección de todos ellos debe estar conectada a la entrada DIR, y la salida del MUX directamente conectada a la entrada de datos D del biestable correspondiente.
- f) Utilice las entradas de datos del MUX para conseguir el comportamiento deseado.

4.4 – Diseño de bancos de registros

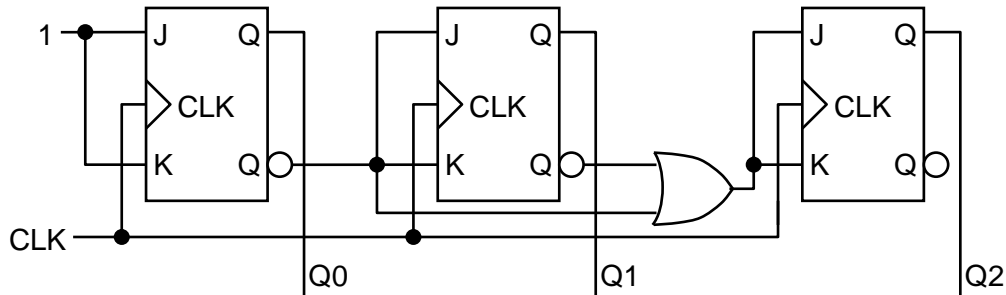
4.13. Diseñe el circuito interno de un banco de registros de 4 registros de 3 bits con un puerto de lectura y otro de escritura utilizando únicamente registros, decodificadores y multiplexores. Los registros son activos por flanco de subida y con señal de carga en paralelo activa a nivel alto, mientras que la entrada de habilitación del decodificador es activa a nivel bajo. Dibuje tanto la implementación como el símbolo lógico que representa a este sistema.

4.5 – Diseño de contadores

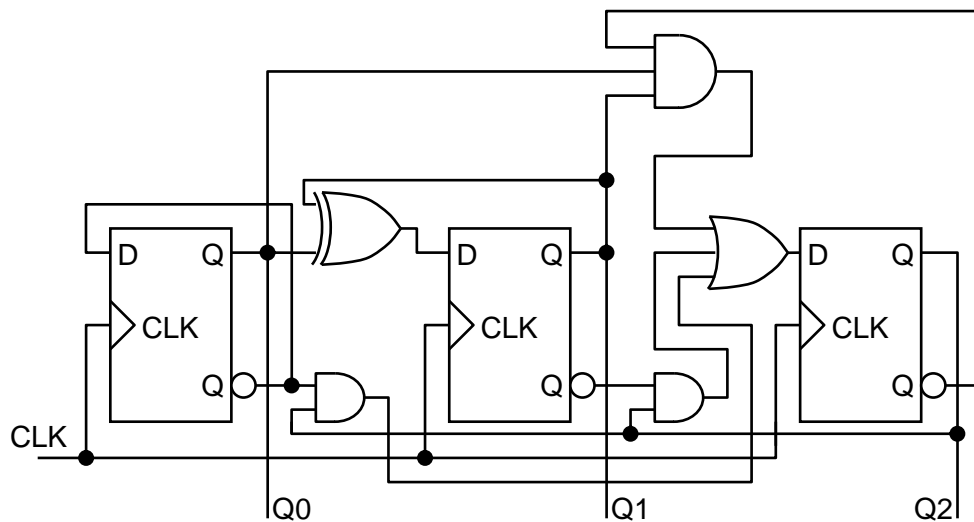
4.14. Diseñe un circuito contador de módulo 8 usando biestables J-K activos por flanco de subida y las puertas necesarias. Represente el cronograma determinado por la secuencia de las salidas de los biestables.

4.6 – Análisis de circuitos secuenciales mediante cronograma

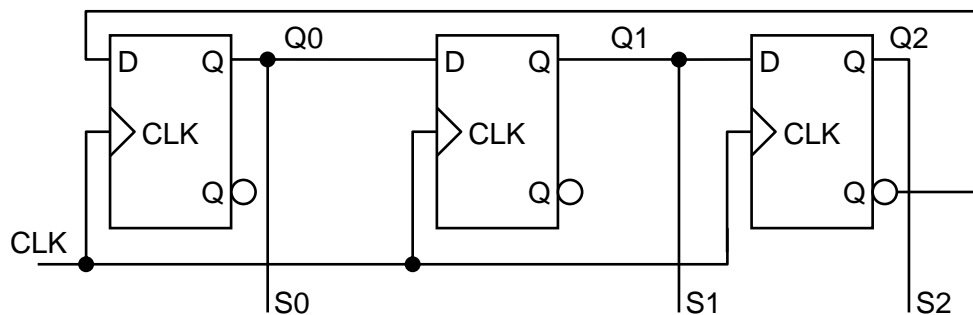
4.15. Analice mediante un cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



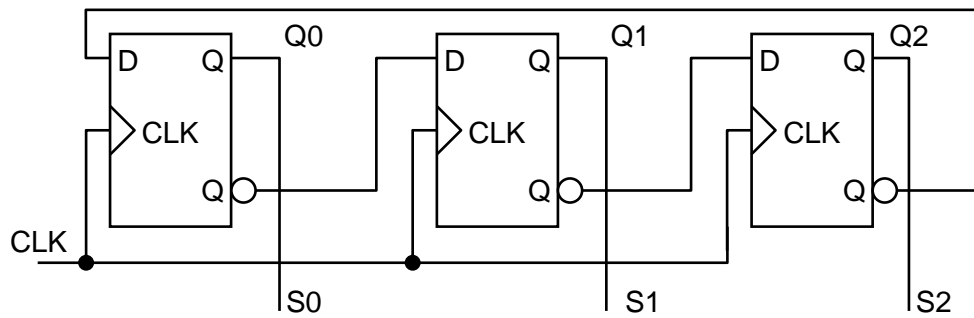
4.16. Analice mediante cronograma el circuito siguiente. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



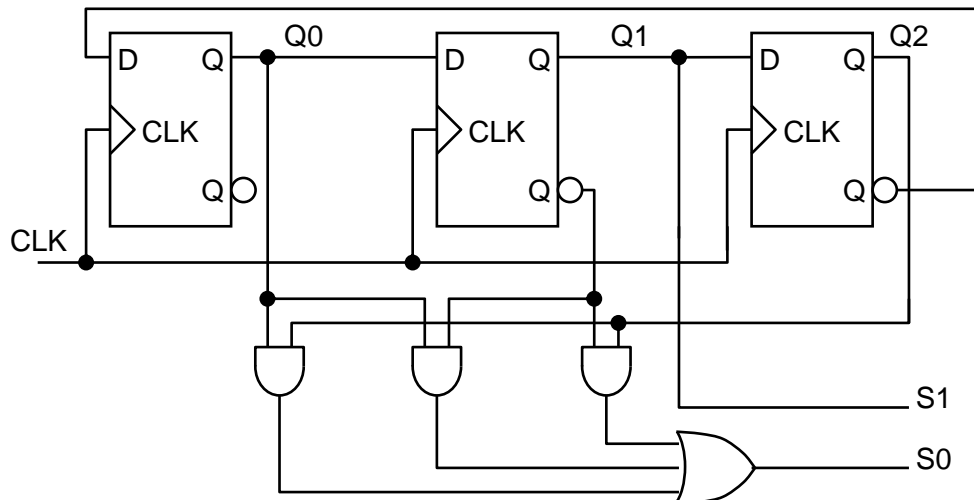
4.17. Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



4.18. Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



4.19.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$.



4.20.- Analice mediante cronograma el siguiente circuito. El valor inicial de los biestables es $Q_2Q_1Q_0 = 000$ y la secuencia de valores en la entrada W antes de cada flanco activo de reloj es 0-0-1-1-0-0-0-0-1-1.

