

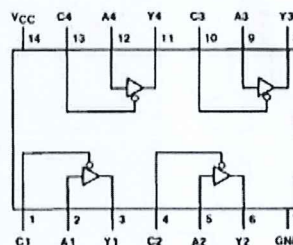
10 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN: +0.6 puntos. MAL: -0.15 puntos. N.C.: 0

1. Dadas las especificaciones del chip TTL 74LS125 de la figura, indique cuál de las siguientes afirmaciones es **CORRECTA**.

Parámetros característicos

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2V	0.8V	2.4V	0.5V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.4mA	-2.6mA	24mA
T_{PLH}	T_{PHL}	I_{CCmax}	V_{CC}
15ns	18ns	20mA	5V

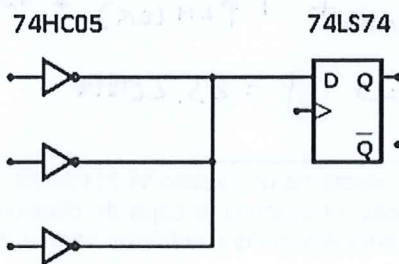
74LS125



- [A] El margen de ruido es $NM = 0.4V$.
 [B] El fan-out teórico es 130.
 [C] La potencia estática máxima es 0.1W.
 [D] El retardo de propagación medio es 33ns.

$$P = I_{CC} \cdot V_{CC} = 0.02A \cdot 5V = 0.1W$$

2. Se desea conectar la salida de tres puertas NOT 74HC05 (con salida en drenador abierto), y la señal resultante conectarla a la entrada D de un biestable 74LS74, tal y como se muestra en la figura. A partir de las especificaciones de ambos componentes en las tablas adjuntas, indique cuál de las siguientes opciones permitiría una conexión **CORRECTA**.



El buffer no es necesario

$$|I_{OLmax}| (74HC05) > |I_{ILmax}| (74LS74)$$

74HC05 ($V_{CC} = 6V$)			
$V_{IH(min)}$	$V_{IL(max)}$		$V_{OL(max)}$
4.2 V	1.8 V		0.33 V
$I_{IH(max)}$	$I_{IL(max)}$	$I_{OH(fugas)}$	$I_{OL(max)}$
1 μ A	-1 μ A	5 μ A	5.2 mA

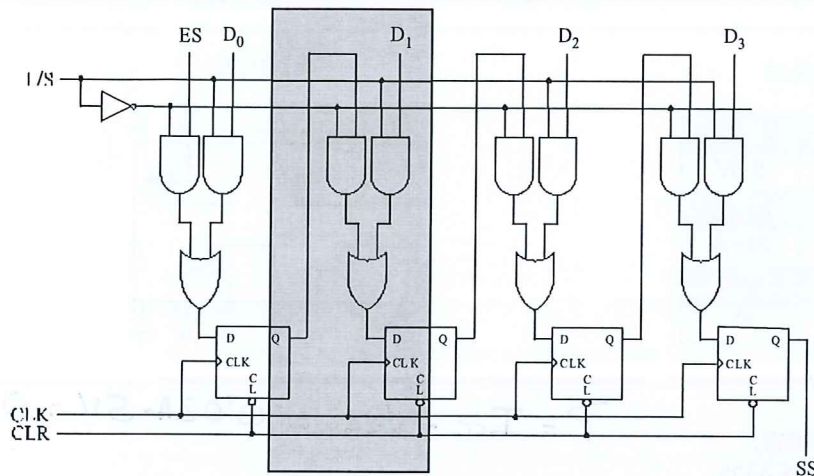
74LS74 ($V_{CC} = 5V$)			
$V_{IH(min)}$	$V_{IL(max)}$	$V_{OH(min)}$	$V_{OL(max)}$
2 V	0.8 V	2.7 V	0.5 V
$I_{IH(max)}$	$I_{IL(max)}$	$I_{OH(max)}$	$I_{OL(max)}$
40 μ A	-0.8 mA	-0.4 mA	8 mA

- [A] La conexión se puede realizar directamente, ya que existe compatibilidad a nivel de tensión y corrientes.
 [B] Hay que intercalar una resistencia de pull-up entre las salidas de las puertas NOT y 5 V.
 [C] Es necesario intercalar un buffer en drenador abierto a la salida de cada puerta NOT y una resistencia de pull-up entre las salidas de los buffers y 5 V.
 [D] La conexión no es posible porque puede producirse un conflicto lógico en las salidas.

3. Indique cuál de las siguientes afirmaciones sobre las familias lógicas es **FALSA**.

- [A] Los transistores Schottky se emplean en algunas subfamilias TTL para aumentar la velocidad.
 [B] Las puertas Trigger Schmitt son más robustas ante el ruido electromagnético, pues presentan una curva de transferencia con histéresis. *no es*
 [C] La potencia estática de las puertas NMOS es despreciable, pues es debida a las corrientes de fuga de los transistores.
 [D] El consumo dinámico se produce cuando conmutan las entradas, y es directamente proporcional a la frecuencia de conmutación de las mismas.

4. Se desea implementar el circuito secuencial de la figura. Teniendo en cuenta las especificaciones temporales de los componentes utilizados, mostradas en las tablas adjuntas, indique cuál es la frecuencia máxima de funcionamiento del circuito.



Puerta AND	
$t_{pLH(max)}$	10 ns
$t_{pHL(max)}$	7 ns
Puerta OR	
$t_{pLH(max)}$	8 ns
$t_{pHL(max)}$	5 ns
Biestable D	
$t_{pLH(max)}$	20 ns
$t_{pHL(max)}$	15 ns
t_{su}	5 ns
t_h	2 ns

NOTA.- Tenga en cuenta que para el cálculo de la frecuencia máxima no se tiene en cuenta el efecto de las entradas externas del circuito, se suponen estables.

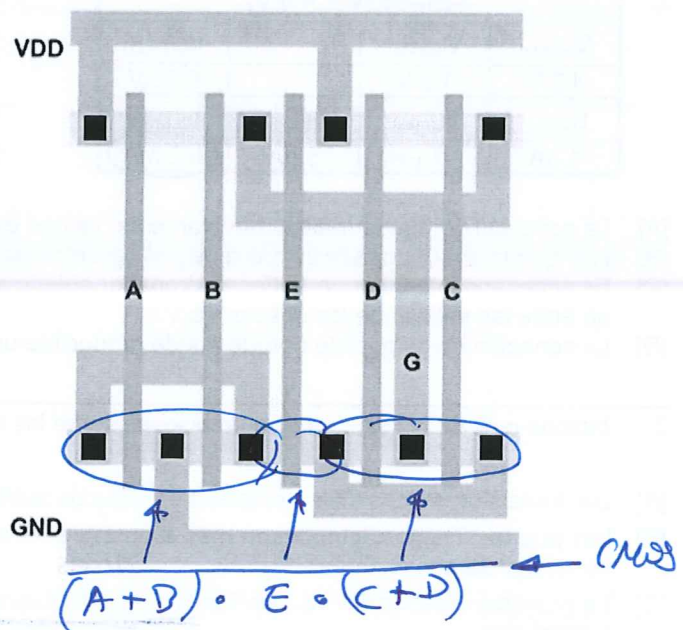
- [A] 31.25 MHz
[B] 23.26 MHz
[C] 22.22 MHz
[D] 20.83 MHz

$$T_{PLH(D)} + T_{PLH(AND)} + T_{PLH(OR)} + T_{SU} = 20 + 10 + 8 + 5 = 43 \text{ ns}$$

$$1/43 \text{ ns} \approx f = 23.26 \text{ MHz}$$

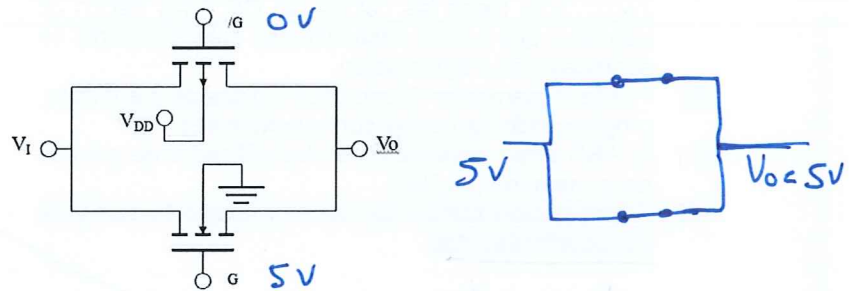
5. La figura muestra la vista superior de un layout de un circuito VLSI CMOS, con entradas A, B, C, D, E y salida G. El color azul representa metalizaciones, el amarillo la capa de difusión 'p' y el verde la 'n'. El color rosa representa la capa de polisilicio. Los contactos son los cuadrados negros. Señalar la respuesta **VERDADERA** entre las siguientes:

- [A] $G = A \cdot B + C \cdot D + E$
 [B] $G = (A + B) \cdot (C + D) \cdot E$
 [C] $G = (\bar{A} + \bar{B}) \cdot (\bar{C} + \bar{D}) \cdot \bar{E}$
 [D] Los bloques NMOS y PMOS no son duales.



6. La figura muestra una puerta de transmisión CMOS. Los transistores tienen una $|V_T|=1.5V$. Si aplicamos 5V a la entrada (V_I) y 0V al terminal /G y 5V al terminal G. ¿Cuál será el voltaje de salida (V_O)?

- [A] 5V
[B] 0V
[C] 3.5V
[D] 2.5V

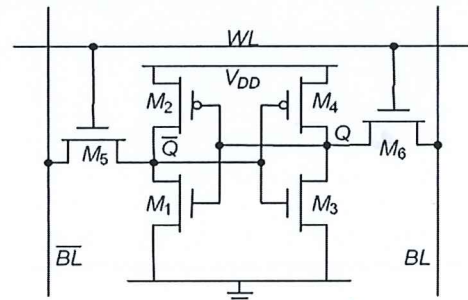


7. Señale la respuesta **FALSA** entre las siguientes relacionadas con la tecnología de circuitos integrados CMOS:

- [A] Admite una amplia gama de tensiones de alimentación, en particular para circuitos integrados SSI y MSI.
[B] Una de las características principales de la tecnología CMOS es su baja inmunidad al ruido, especialmente si los circuitos tienen una fuente de alimentación de un voltaje relativamente alto.
[C] El retardo asociado a una puerta CMOS es inversamente proporcional a su voltaje de alimentación.
[D] La potencia dinámica de la tecnología CMOS aumenta linealmente con la capacidad parásita asociada a la salida de una puerta.

8. Dada la celda de memoria de la figura, indicad la respuesta **CORRECTA**:

- [A] Cuando la línea Word Line = '1', se activan las puertas de transmisión M5 y M6 para acceder al biestable interno.
[B] La línea de bit BL sirve para leer los datos, y /BL para escribirlos.
[C] La celda es no volátil, pues los transistores M1, M2, M3 y M4 regeneran la señal.
[D] Es una celda de memoria DRAM que incluye el circuito de refresco.



9. Indique la respuesta **CORRECTA** acerca de la celda de almacenamiento de la memoria FLASH:

- [A] Es volátil, pues la información se guarda en un condensador.
[B] Es no volátil, pues la información se guarda en la puerta flotante de un transistor FAMOS.
[C] Al llenar la puerta flotante con electrones el transistor FAMOS conduce siempre.
[D] Es más rápida que la SRAM, pues la celda es más pequeña.

10. Dado el circuito de la figura, indique la afirmación **FALSA**:

- [A] Se trata de una PROM no programada, porque inicialmente todas las celdas del OR Array tienen un transistor que podría deshabilitarse selectivamente en el proceso de programación.
- [B] Puede implementar 4 funciones lógicas de 3 entradas, programando las celdas correspondientes.
- [C] El AND array implementa el decodificador de entrada de la memoria (de filas).
- [D] Cada función puede ser como máximo la suma de cuatro minterminos.

8 minterminos

- Conexión fija
- X Conexión programable

