

TEMA 5. TECNOLOGÍA DE LAS MEMORIAS SEMICONDUCTORAS. CUESTIONES Y EJERCICIOS PROPUESTOS

1. Una memoria tiene 2048 palabras de 32 bit. ¿Cuál será su capacidad de almacenamiento, expresada en bytes?

- [A] 2KB
- [B] 4KB
- [C] 8KB
- [D] 16KB

$$2K \text{ palabras} \times 32 \text{ bits} = 2K \times 4 \text{ bytes} = 8K \text{ bytes} = 8KB$$

2. Si de una memoria semiconductora se nos indica que dispone de 2^{14} palabras y que cada palabra es de 32 bits, podemos deducir que:

- [A] Necesitará 14 líneas de direccionamiento.
- [B] Necesitará 16 líneas de direccionamiento.
- [C] Su capacidad de almacenamiento será de 16KBytes
- [D] Su capacidad de almacenamiento será de 64Kbits

$$\text{Capacidad (en bits)} = 2^{14} \times 32 \text{ bits} = 2^4 \times 2^{10} \times 32 \text{ bits} = 2^4 \times 2^5 \times 2^{10} \text{ bits} = 2^9 \times 2^{10} \text{ bits} = 512 \text{ Kbits}$$

$$\text{Capacidad (en bytes)} = 2^6 \times 2^{10} \times 2^3 \text{ bits} = 64KBytes$$

3. Acerca de las memorias ROM programadas por máscara, podemos afirmar que:

- [A] Son memorias volátiles, pierden su contenido al desconectar la alimentación.
- [B] Son memorias de acceso no aleatorio.
- [C] Se programan durante su proceso de fabricación.
- [D] Podemos re-escribir su contenido empleando el dispositivo programador adecuado.

4. Los datos que se almacenan en una determinada dirección de una memoria SRAM se pierden cuando:

- [A] Se apaga la alimentación
- [B] Se leen los datos de dicha dirección
- [C] Transcurre un tiempo superior al tiempo de refresco de la memoria.
- [D] Ninguna de las anteriores

5. Una ROM es:

- [A] Una memoria no volátil
- [B] Una memoria volátil
- [C] Una memoria de lectura/escritura
- [D] Una memoria basada en celdas FAMOS

6. La celda de almacenamiento en una SRAM es:

- [A] Un fusible
- [B] Un condensador
- [C] Un biestable
- [D] Un transistor NMOS

7. La celda de almacenamiento en una DRAM es:

- [A] Un fusible
- [B] Un condensador
- [C] Un biestable
- [D] Un transistor NMOS

8. La celda de almacenamiento en una FLASH es:

- [A] Un fusible
- [B] Un condensador
- [C] Un biestable
- [D] Un transistor FAMOS

9. Una DRAM debe ser:

- [A] Reemplazada periódicamente
- [B] Refrescada periódicamente
- [C] Habilitada siempre
- [D] Programada antes de cada uso

10. Una memoria FLASH es:

- [A] Volátil
- [B] Una memoria de solo lectura
- [C] Una memoria de lectura/escritura
- [D] No volátil
- [E] Las respuestas [A] y [C]
- [F] Las respuestas [C] y [D]

11. Señalar la afirmación FALSA de las siguientes acerca de las memorias semiconductoras:

- [A] Las memorias PROM son memorias no volátiles, de acceso aleatorio.
- [B] Las celdillas de las ROM son fijadas en el proceso de fabricación, por lo que no son programables por el usuario final.
- [C] Las memorias SRAM son de acceso aleatorio y no volátiles, ya que no es necesario que sean refrescadas.
- [D] Las EPROM y las FLASH se basan en celdillas de tipo transistor FAMOS, con una puerta flotante para poner al corte los transistores seleccionados.

12. Indica las ventajas e inconvenientes de las memorias FLASH respecto a las memorias SRAM y DRAM

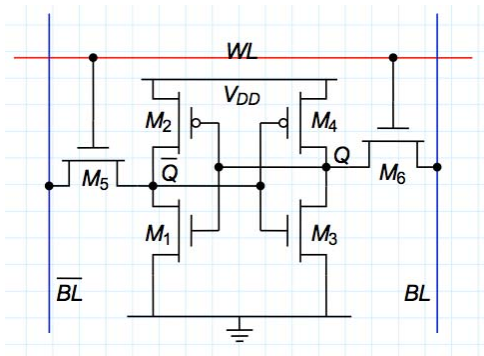
Ventajas: no volatilidad, bajo consumo (adecuado en aparatos con baterías), almacenamiento masivo no volátil

Desventajas: escritura lenta (necesidad de borrado previo), requiere tensiones altas (+12V) para el borrado y la escritura (programación), degradación del aislante de puerta flotante con el tiempo (limitación del nº de borrados/escrituras)

13. En relación con un C.I. de memoria DRAM de 2Mx1, podemos afirmar que:

- [A] Su estructura interna podría ser una matriz de 2^{11} filas x 2^{10} columnas
- [B] Posee una capacidad de 2MBytes.
- [C] Utiliza 20 líneas de direcciones y 1 de datos.
- [D] Si agrupamos 8 del mismo tipo podemos obtener una memoria de 16MBytes.

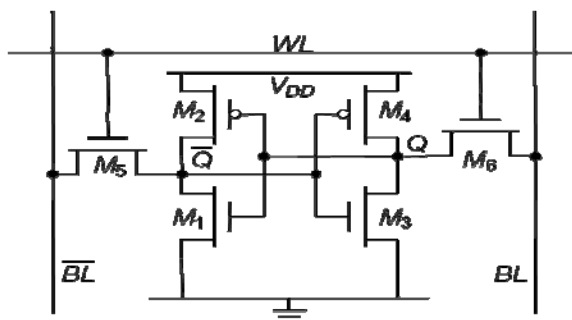
14. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA



- [A] Es una celda de memoria dinámica 6T
- [B] Los datos de entrada se sitúan en /BL, y los de salida en BL
- [C] El núcleo de almacenamiento es el biestable formado por los transistores M1-M2-M3-M4
- [D] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="0"

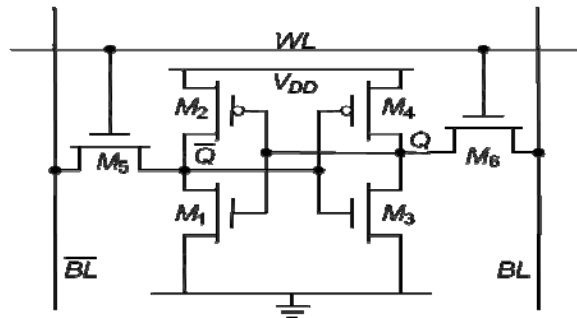
15. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA:

- [A] Es una celda de memoria DRAM 6T
- [B] El proceso de lectura es: precargar BL y /BL a V_{DD} , activar WL a 1 y leer de las líneas de bit.
- [C] Los datos de entrada se sitúan en /BL, y los de salida en BL
- [D] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="0"



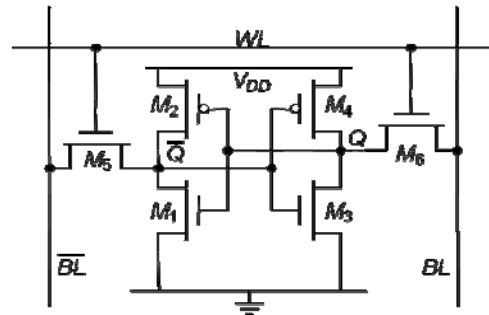
16. Dada la celda de memoria de la figura, indicad la respuesta **CORRECTA**:

- [A] Es una celda de memoria DRAM 6T.
- [B] Para escribir un '1' en la celda ($Q=1$ y $\bar{Q}=0$), hay que colocar un '0' en \bar{BL} y un '1' en BL , y a continuación se habilita la celda poniendo $WL=1$.
- [C] Las resistencias R_{on} de todos los transistores de la celda deben ser aproximadamente del mismo valor, para que funcione adecuadamente la escritura y la lectura en la celda.
- [D] La conexión que se indica en la figura es errónea. Las líneas BL y \bar{BL} están intercambiadas.



17. Dada la celda de memoria de la figura, indicad la respuesta **CORRECTA**:

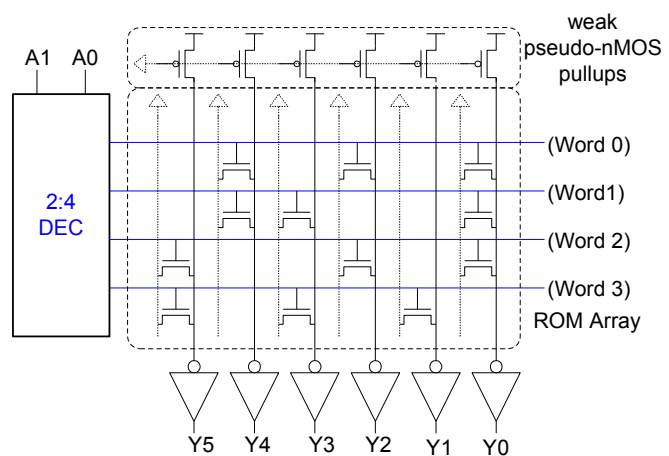
- [A] Es una celda de memoria DRAM que incluye el circuito de refresco.
- [B] El proceso de escritura es: precargar BL con el dato a escribir y \bar{BL} con el contrario, activar WL a 0 y esperar que el dato se escriba en la celdilla.
- [C] La línea de bit BL sirve para leer los datos, y \bar{BL} para escribirlos.
- [D] Los transistores $M1$, $M2$, $M3$ y $M4$ forman un biestable que almacena el valor lógico de la celdilla.



18. Dada la memoria de la figura, indicad la respuesta **FALSA**:

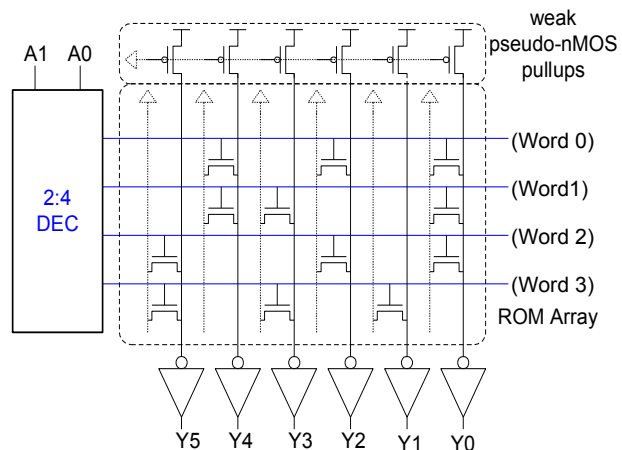
- [A] Es una memoria ROM de 4 palabras de 6 bits
- [B] Si $A1=1$ y $A0=1$, en el bus de datos se leerá la palabra 100101
- [C] La presencia de un transistor pone un 0 en la celda, que se lee 1 en la salida Yx .
- [D] Los transistores son colocados en el proceso de fabricación, no permitiendo su modificación posterior, y confiriéndole no volatilidad a este tipo de memorias.

Nota: $A1$ es el bit de más peso y $A0$ el de menos peso



19. Dada la memoria de la figura, indicad la respuesta **FALSA**:

- [A] Es una memoria ROM de 4 palabras de 6 bit.
- [B] Si $A1=1$ y $A0=1$, en el bus de datos se leerá la palabra 010101.
- [C] La presencia de un transistor pone un 0 en la celda, que se lee como 1 en la correspondiente salida Y_x .
- [D] Los transistores de "pull-up" se comportan como resistencias de "pull-up" conectadas a la alimentación.



20. Indicad el tamaño relativo de los transistores de la celda SRAM 6T: (NMOS, PMOS, transistores de paso). Justificadlo.

Es importante el tamaño relativo de los transistores, que determina la resistencia relativa de los mismos. Así, debe cumplirse que para asegurar lecturas y escrituras correctas:

$$R_{NMOS} < R_{PASO} < R_{PMOS}$$

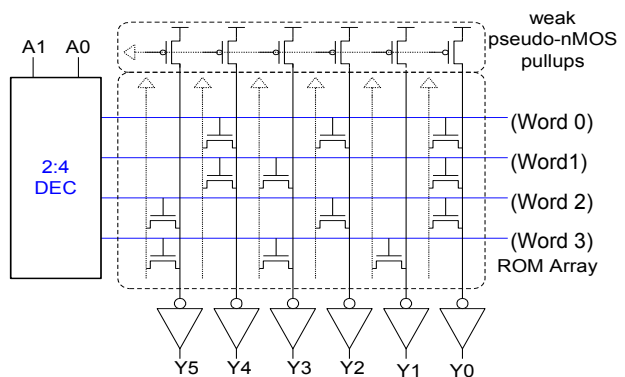
$$(W/L)_{NMOS} > (W/L)_{PASO} > (W/L)_{PMOS}$$

$$\text{Ejemplo: } (W/L)_{NMOS} = 4, (W/L)_{PASO} = 2, (W/L)_{PMOS} = 1$$

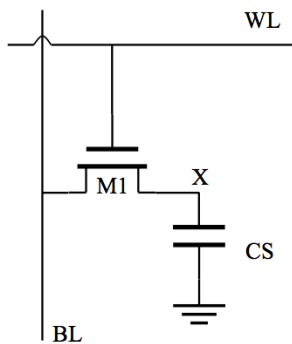
21. Dada la memoria de la figura, indique la respuesta **VERDADERA**:

Nota: A1 es el bit de más peso y A0 el de menos peso.

- [A] Es un ejemplo de estructura ROM NAND.
- [B] Se trata de una memoria no volátil y programable, ya que resulta sencillo añadir o eliminar transistores, en cualquier momento, por parte del usuario.
- [C] Si $A1=0$ y $A0=1$, en las líneas Y_5, Y_4, \dots, Y_0 se leerá la palabra 011001.
- [D] La presencia de un transistor NMOS pone un 1 en la celda, que se lee como 0 en la correspondiente salida Y_x .

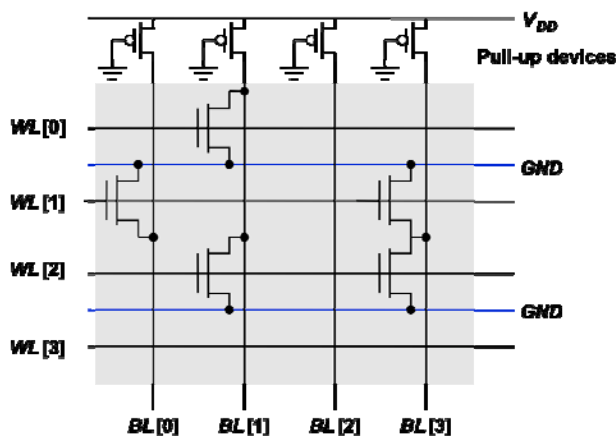


22. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA



- [A] Se trata de la celda de una memoria DRAM 3T
- [B] El dato se almacena en la capacidad de puerta del transistor M1
- [C] Para escribir un "1", se pone BL="1", WL="1", y esto hace que la capacidad CS se cargue a través del transistor de paso M1
- [D] La lectura no necesita precarga de BL

23. Determinad los valores ("0" ò "1") de los datos almacenados en las direcciones 0,1, 2 y 3 de la ROM de la figura



Considerando que los transistores de contacto ponen un "0" en la línea de bit y su ausencia, un "1" (pull-up devices):

	BL 0	BL 1	BL 2	BL 3
Palabra 0	1	0	1	1
Palabra 1	0	1	1	0
Palabra 2	1	0	1	0
Palabra 3	1	1	1	1

Como la estructura de la ROM es de tipo NOR, la activación de los transistores de contacto (con WL = "1"), pone un "0" en la salida BL. Para tener un "1" en la salida habría que poner inversores en la salida BL.

Cada BL es la NOR de las señales WL con transistores de contacto en su columna.

Así,

$BL[0] = \neg WL[1]$

$BL[1] = \neg (WL[0] + WL[2])$

$BL[2] = 1$, porque no tiene ningún transistor de contacto

$$BL [3] = \neg(WL[1] + WL[2])$$

Y como las señales WL vienen del decodificador de direcciones, las señales BL son la suma lógica de funciones AND de los bits de direcciones.

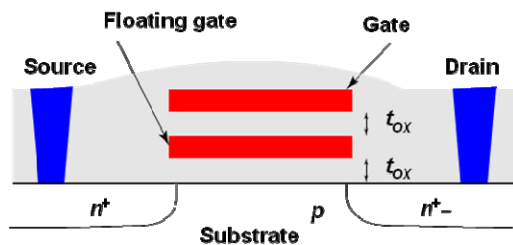
La ROM (y derivados como la PROM) pueden usarse por tanto para diseñar cualquier circuito combinacional genérico, donde las variables serían las direcciones y las funciones las salidas BL. Basta expresar la función como suma de minitérminos. En nuestro caso:

$$\begin{aligned} BL [0] &= \neg \sum (1) \\ BL [1] &= \neg \sum (0,2) \\ BL [2] &= 1 \\ BL [3] &= \neg \sum (1,2) \end{aligned}$$

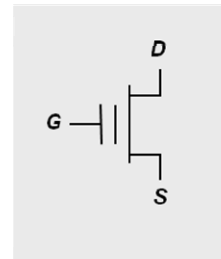
$\sum ()$ = Suma de minitérminos de 2 variables

Si ponemos inversores en la salida, tendremos las funciones sin complementar

24. Dibujad la celda básica de la memoria FLASH y explicad su no-volatilidad.



Transistor FAMOS



Símbolo

Es como un transistor NMOS, pero con una segunda puerta, la puerta flotante.

La clave de la no volatilidad es la puerta flotante, rodeada de aislante, donde se guarda la información. La puerta flotante está hecha de polisilicio. Cuando se almacenan electrones en ella, aunque se elimine la alimentación, la información no se pierde. Hacen falta tensiones más elevadas de lo normal (del orden de +12V) para borrarla.

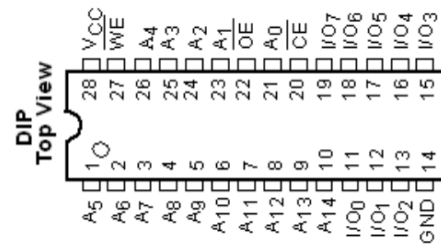
Además es una celda que se puede reprogramar, con un borrado seguido de una escritura. La celda vacía equivale a un "1" y llena equivale a un "0".

25. Acerca de las memorias semiconductoras tipo *Flash*, se puede afirmar que:

- [A] Su celda de almacenamiento se basa en transistores FAMOS, con una puerta flotante intermedia que se descarga al apagar la alimentación.
- [B] El número de operaciones de borrado y reescritura es ilimitado.
- [C] Cuando la puerta flotante del transistor FAMOS se carga de electrones, se impide la formación del canal, por lo que el transistor estará siempre cortado, independientemente de la tensión que se aplique en la puerta normal.
- [D] Son memorias más rápidas que las memorias RAM estáticas, pero más lentas que las RAM dinámicas.

26. El circuito integrado CY62256, cuyo patillaje se indica en la figura, es una memoria SRAM con un tiempo de acceso típico de unos 70ns. A la vista del dibujo, podemos afirmar que:

- [A] Su capacidad de almacenamiento será de 16Kbytes (2^{14} palabras de 8 bits). (2^{15})
- [B] 70 ns es el tiempo máximo que tarda un dato en ser **escrito** en las celdas de almacenamiento desde que se estabiliza la dirección ($A_0...A_{14}$).
- [C] La línea /CE (pin 20) corresponde a la selección de chip, por lo que deberá mantenerse a '0' durante cualquier operación de lectura o escritura que afecte al chip.
- [D] La línea /WE permite controlar la temporización del proceso de **lectura**, mientras que la línea /OE nos permite el control temporal del proceso de **escritura**.



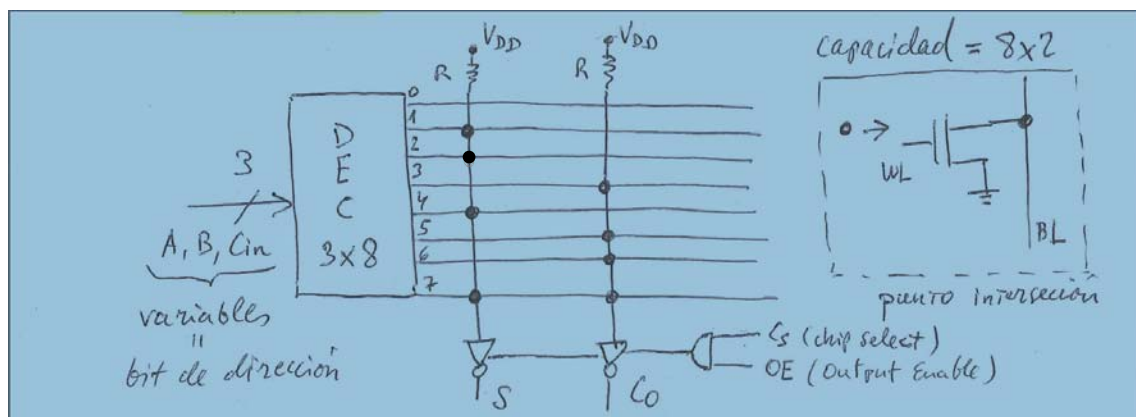
27. Diseñad un Full Adder con una ROM NOR. Dibujad la estructura interna e indicad el tamaño de la memoria.

Ponemos las 2 funciones del FA como suma de minterminos:

$$S (\text{suma}) = \sum(1, 2, 4, 7)$$

$$Co (\text{acarreo de salida}) = \sum(3, 5, 6, 7)$$

La ROM constará de un decoder 3 a 8 para generar 8 líneas de palabra, que hacen el papel de minterminos. La entrada del decoder son las 3 variables: A, B y Cin (acarreo de entrada). La ROM tendrá 2 líneas de bit, una para cada función S y Co. Se establecerán transistores de contacto en la intersección de la línea de bit con la línea de palabra correspondiente a los minterminos de la función (ver ejercicio anterior). Finalmente, si se quiere que las funciones aparezcan sin negar, se ponen inversores en las salidas. El esquema queda así:



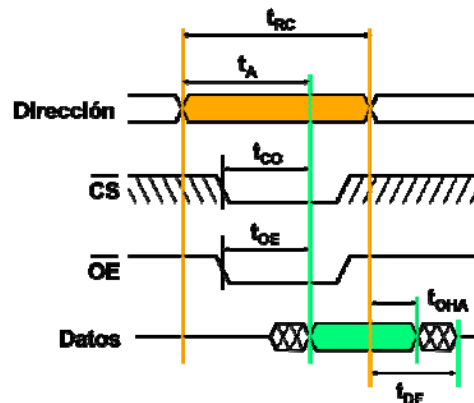
28. A la vista del siguiente cronograma de tiempos, indique cual es la afirmación correcta:

[A] t_{RC} es el tiempo mínimo del ciclo de lectura.

[B] t_{DF} es el tiempo máximo de acceso desde la dirección válida.

[C] El cronograma no corresponde a un cronograma de lectura, en realidad es un cronograma de escritura.

[D] El cronograma no está completo, le falta la línea de Read/Write (RW).



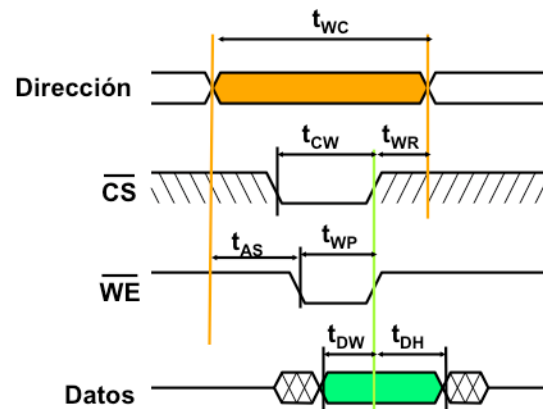
29. A la vista del siguiente cronograma de tiempos, indique cuál es la afirmación correcta:

[A] $(t_{CW}+t_{WR})$ es el tiempo mínimo del ciclo de lectura.

[B] Se trata del cronograma de lectura en una memoria DRAM.

[C] Se trata del cronograma de escritura en una memoria SRAM.

[D] El cronograma no es correcto, le sobra la línea de Chip Select (/CS)



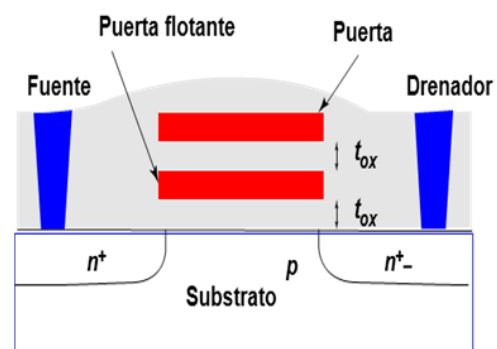
30. Dada la celda de memoria de la figura, indique la respuesta FALSA:

[A] Es la celda que utiliza la memoria Flash, basada en un transistor FAMOS.

[B] La información se almacena como carga eléctrica (electrones) en la puerta flotante.

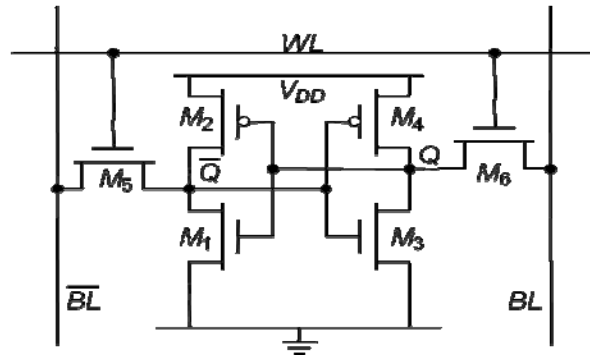
[C] La lectura requiere de tensiones más elevadas de lo normal, típicamente 12V.

[D] Se trata de una memoria no volátil, pues la puerta flotante está rodeada de aislante.



31. Dada la celda de memoria de la figura, indique la respuesta CORRECTA:

- [A] Es una celda de memoria DRAM (Dynamic RAM).
- [B] Es una memoria no volátil, pues el latch interno regenera la señal e impide que se pierda la información.
- [C] Para escribir un '1' en la celda ($Q=1$ y $/Q=0$), hay que colocar un '0' en $/BL$ y un '1' en BL , y a continuación se habilita la celda poniendo $WL=0$.
- [D] En la lectura se efectúa una precarga de las líneas de bit (BL y $/BL$) a V_{DD} y se habilita la celda con $WL=1$.



32. A la vista del siguiente cronograma, indique la respuesta FALSA:

- [A] t_{RC} es el tiempo mínimo del ciclo de lectura.
- [B] t_{CO} es el tiempo de acceso desde la activación del chip.
- [C] La figura representa el cronograma de lectura de una memoria SRAM.
- [D] El diagrama es incorrecto: la activación del /CS debe ser anterior al cambio de dirección.

