

Qüestions: Bé: 1p, Mal: -0.25p Blanc: 0p

Maig de 2017

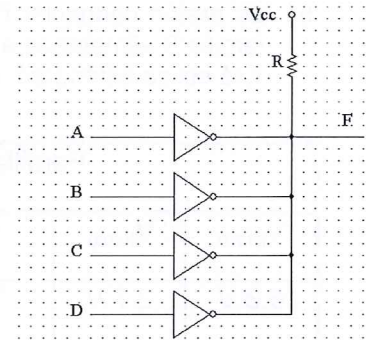
1. Donat el circuit de la figura, realitzat amb portes TTL amb eixida en col·lector obert, indique l'expressió correcta de F en funció de les entrades.

[A] $F = \overline{A} + \overline{B} + \overline{C} + \overline{D}$

[B] $F = \overline{(A + B + C + D)}$

[C] $F = \overline{(A \cdot B \cdot C \cdot D)}$

[D] No poden connectar-se les eixides entre si, es pot produir un conflicte lògic en F.



$F = \text{AND-cablada de les eixides}$
 $F = \overline{A \cdot B \cdot C \cdot D} = \overline{A + B + C + D}$

2. En les taules adjuntes s'indiquen algunes característiques elèctriques de dos famílies, A i B. Indique el fan-out B → A (eixida de B i entrades de A)

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.7 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μA	-0.36 mA	-400 μA	8 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.0 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

[A] 44 entrades

[B] 20 entrades

[C] 5 entrades

[D] 10 entrades

$\text{fan-out}_H = \frac{|I_{OH}|_B}{|I_{IH}|_A} = \frac{400}{20} = 20$

$\text{fan-out}_L = \frac{|I_{OL}|_B}{|I_{IL}|_A} = \frac{16}{0.36} = 44.44 \rightarrow 44$

20

3. A partir de les taules de la pregunta anterior, indique el valor del marge de soroll de la família A i B

[A] NM(A): 0.4V; NM(B): 0.3V

[B] NM(A): 0.3V; NM(B): 0.4V

[C] NM(A): 0.7V; NM(B): 0.4V

[D] NM(A): 0.3V; NM(B): 0.7V

(A) $\left\{ \begin{array}{l} NM_H = 2.7 - 2 = 0.7 \\ NM_L = 0.8 - 0.5 = 0.3 \end{array} \right\} \rightarrow 0.3$

(B) $\left\{ \begin{array}{l} NM_H = 2.4 - 2 = 0.4 \\ NM_L = 0.8 - 0.4 = 0.4 \end{array} \right\} \rightarrow 0.4$

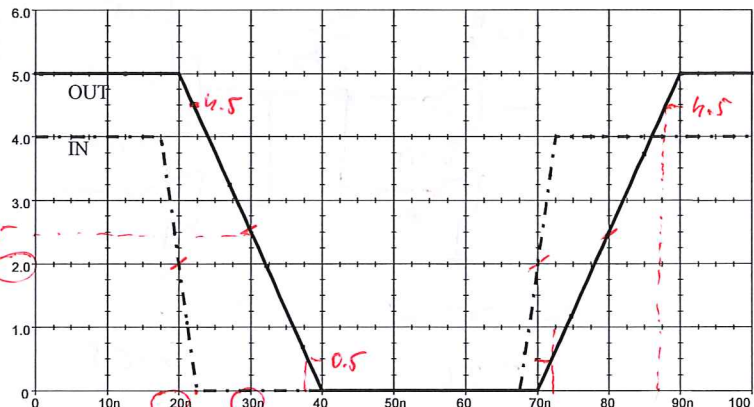
4. La figura adjunta mostra el retard que pateix el senyal d'entrada IN en un buffer. El senyal d'eixida és OUT. Indique l'afirmació correcta:

[A] El t_{pHL} és 10 ns. (veure figura)

[B] El t_{pLH} és 6 ns.

[C] El t_{pd} és 20 ns

[D] El t_f (fall time) de l'eixida és 5 ns aproximadament.



$t_f: 10\% 5 = 0.5V$

$90\% 5 = 4.5V$

$t_f = 37.5 - 22.5 =$

$= 15ns$

$t_{pd} = \frac{1}{2} (t_{pLH} + t_{pHL}) = 10ns$

$t_{pHL} = 10ns$

$t_{pLH} = 10ns$

Qüestions: Bé: 1p, Mal: -0.25p Blanc: 0p

Maig de 2017

5. Es pretén connectar l'eixida d'una porta de la família A alimentada a 9V, amb una entrada de la família B alimentada a 5V. A partir de les especificacions de les famílies A i B, i sabent que la porta A té eixida estàndard, es pot afirmar que:

Família A (CMOS)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
6.3 V	2.7 V	8.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20pA	-20pA	-0.5 mA	0.5 mA

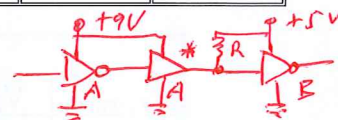
Família B (TTL)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.0 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40μA	-1.6 mA	-400μA	16 mA

[A] Es poden connectar directament.

[B] Es necessita una resistència de pull-up connectada entre l'eixida i 9V.

[C] Es necessita una resistència de pull-up connectada entre l'eixida i 5V.

[D] Es necessita intercalar un buffer drenador obert de la família A amb una resistència de pull-up connectada entre l'eixida del buffer i 5V.



$|I_{OL}| > |I_{IL}|$ no es compleix \rightarrow Buffer, i a més CMOS està a +9V

6. Es vol connectar **dos eixides** TTL en col·lector obert, amb **dos entrades** CMOS alimentada a 15V. Indicar el rang de valors vàlids per a la resistència de pull-up requerida.

Família A (TTL colector abierto)		
V_{OLmax}	I_{OHmax} (fuites)	I_{OLmax}
0.4 V	100 μA	24 mA

Família B (CMOS +15V)			
V_{IHmin}	V_{ILmax}	I_{IHmax}	I_{ILmax}
11 V	4 V	0.1 μA	-0.1 μA

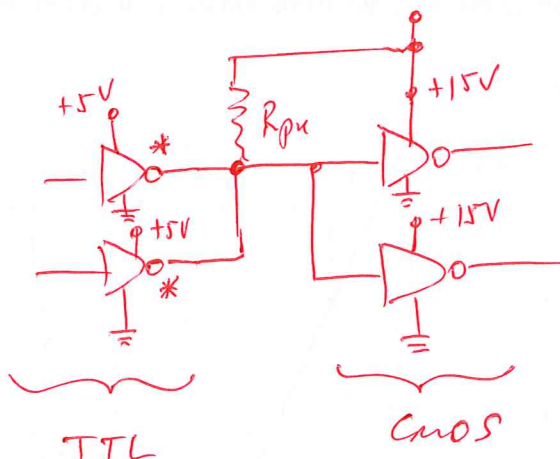
[A] $0.63 \text{ K}\Omega \leq R_{pu} \leq 75 \text{ K}\Omega$

[B] $0.61 \text{ K}\Omega \leq R_{pu} \leq 20 \text{ K}\Omega$

[C] $0.2 \text{ K}\Omega \leq R_{pu} \leq 25 \text{ K}\Omega$

[D] $0.25 \text{ K}\Omega \leq R_{pu} \leq 30 \text{ K}\Omega$

$$\frac{15 - V_{OL}}{I_{OL} - 2 \times |I_{IL}|} \leq R_{pu} \leq \frac{15 - V_{IH}}{2 \times I_{IH} + 2 \times |I_{IL}|}$$



$$\frac{15 - 0.4}{24 - 0.0002} \leq R_{pu} \leq \frac{15 - 11}{0.2 + 0.0002}$$

Qüestions: BÉ: 1p, Mal: -0.25p Blanc: 0p

Maig de 2017

1. En les taules adjuntes s'indiquen algunes de les característiques elèctriques de dos famílies lògiques genèriques A i B. A partir d'elles, indique la resposta **FALSA** (la notació $X \rightarrow Y$ indica eixida X connectada a entrada Y):

Família A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.7 V	0.5 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μA	-0.36 mA	-400 μA	8 mA
Família B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

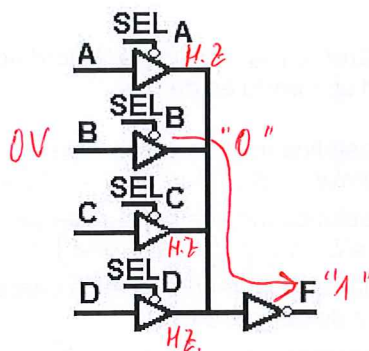
- [A] El marge de soroll $A \rightarrow B$ és de 0.7 V.
 [B] El fan-out $A \rightarrow B$ és de 5.
 [C] El fan-out $B \rightarrow A$ és de 20.
 [D] El marge de soroll $B \rightarrow A$ és de 0.4V.

$A \rightarrow B$:

$$NM_H = 2.7 - 2 = 0.7V$$

$$NM_L = 0.8 - 0.5 = 0.3V \rightarrow 0.3V$$

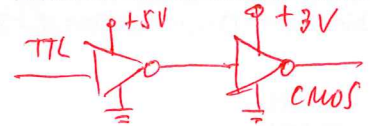
2. El circuit de la figura està compost de portes de la família TTL. Determine quina de les següents respostes és la **CORRECTA**:



- [A] El circuit no funciona perquè necessita una resistència de pull-up en l'eixida.
 [B] La funció $F = \overline{A} \cdot B \cdot C \cdot D$ ja que la connexió implementa una AND cablada.
 [C] Es poden seleccionar varies portes al mateix temps, perquè tenen eixida triestat.
 [D] Si l'entrada $B = 0V$ i $SEL_B = "0"$, (amb $SEL_A = SEL_C = SEL_D = "1"$), l'eixida F haurà de ser un nivell alt.

3. Es desitja connectar l'eixida d'una porta TTL estàndard ($V_{CC} = 5V$), a l'entrada d'una CMOS estàndard, alimentada a 3V. Indique la resposta **CORRECTA**.

Nota: la porta CMOS inclou circuits de protecció en l'entrada.



Família TTL ($V_{CC} = 5V$)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

Família CMOS ($V_{DD} = 3V$)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.1 V	0.9 V	2.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
10 pA	-10 pA	-0.5 mA	0.5 mA

- [A] Es necessita una resistència de pull-up a 3V en l'eixida de la TTL.
 [B] Es necessita intercalar un buffer CMOS, alimentat a 3V, per adaptar els corrents.
 [C] Es pot realitzar la connexió directament.
 [D] Es necessita intercalar un buffer TTL, alimentat a 5V, per adaptar les tensions.

$$|I_{OH}|_{TTL} \geq |I_{IH}|_{CMOS} \rightarrow OK$$

$$|I_{OL}|_{TTL} \geq |I_{IL}|_{CMOS} \rightarrow OK$$

$$V_{OHmin} \geq V_{IHmin} \rightarrow OK, \text{ amb antales protegides}$$

$$V_{OLmax} \leq V_{ILmax} \rightarrow OK$$

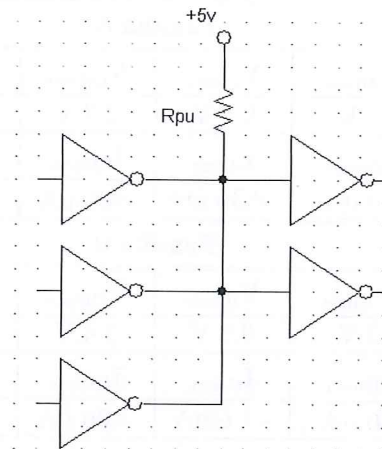
4. Considere el circuit adjunt i els paràmetres característics següents. Si es tracta d'eixides en col·lector obert, indique la resposta **CORRECTA**.

- [A] El circuit funciona correctament amb una $R_{PU} = 1.2k\Omega$
 [B] El circuit funciona correctament amb una $R_{PU} = 3k\Omega$
 [C] El circuit funcionaria correctament si llevem la R_{PU}
 [D] El circuit funciona correctament amb una $R_{PU} = 0.5k\Omega$

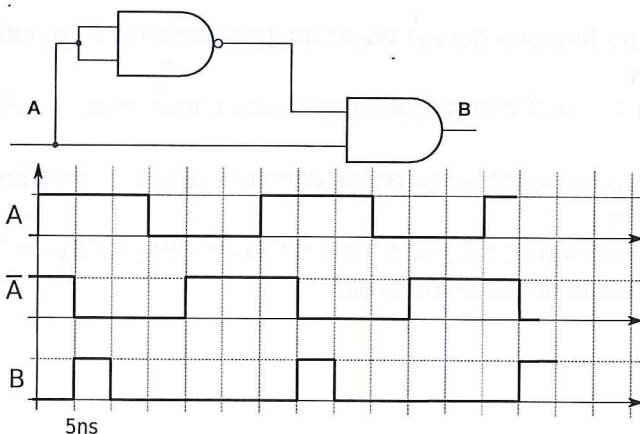
$$\frac{5 - V_{OLmax}}{I_{OL} - 2 \times |I_{IL}|} \leq R_{pu} \leq \frac{5 - V_{IHmin}}{3 \times I_{OH} + 2 \times I_{IH}}$$

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fuites)$	I_{OLmax}
300 μA	-0.36 mA	100 μA	7 mA

$$\frac{5 - 0.5}{7 - (300 \times 0.36)} \leq R_{pu} \leq \frac{5 - 2.5}{0.3 + 0.6} \rightarrow 0.72 k\Omega \leq R_{pu} \leq 2.78 k\Omega$$



5. Per al circuit de la figura, s'ha dibuixat el cronograma de les distintes eixides, sent el senyal A l'entrada al mateix. Cada marca vertical correspon a 5 ns. Es pot afirmar que:



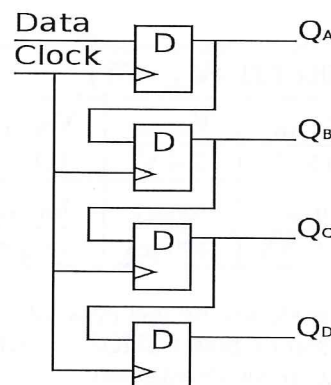
Dades:

$V_{CC} = 5V$; $I_{CCL} = 12mA$ e $I_{CCH} = 6mA$, i el retard de propagació mitjà d'una porta és de 5ns.

- [A] La potència estàtica mitjana consumida per la porta NAND és 40mW. $5 \times \frac{1}{2} (12 + 6) = 45mW$
 [B] La potència estàtica mitjana consumida per la porta AND és 55mW. $5 \times (\frac{6}{6} + \frac{6}{6} \times 12) = 55mW$
 [C] No es pot calcular la potència estàtica sense saber la freqüència de les entrades.
 [D] La potència estàtica mitjana consumida pel conjunt del circuit és 90mW. $45 + 55 = 100mW$

6. Indique la freqüència màxima de funcionament del registre de desplaçament de la figura. Els paràmetres dels biestables D són: $t_{su}=6ns$, $t_h=2ns$, $t_{pLH}=12ns$, $t_{pHL}=10ns$.

- [A]. 50 MHz
 [B]. 45 MHz
 [C]. 45.5 MHz
 [D]. 55.6 MHz



$$T_{min} = t_{pd \text{ biestable}} + t_{su}$$

$$t_{pd \text{ biestable}} = 12ns \text{ (el pitjor cas)}$$

$$T_{min} = 12 + 6 = 18ns$$

$$f_{max} = 1/T_{min} = \frac{1000 \times 10^6}{18} = 55.56 MHz$$