

Tema 3. BLOCS COMBINACIONALS BÀSICS

Grau en Informàtica

SOLUCIONS als EXERCICIS

3.1. Descodificadors (teoria)	pàg. 1
3.2. Descodificadors (composició)	pàg. 4
3.3. Multiplexors (teoria)	pàg. 7
3.4. Multiplexors (composició i generació de funcions)	pàg. 8
3.5. Disseny amb blocs combinacionals bàsics	pàg. 14

3.1. Descodificadors (teoria)

3.1.1. Ompliu les taules de veritat dels descodificadors següents.

- a) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell alt i eixides a nivell alt.

Taula de veritat completa							Taula de veritat reduïda						
G	B	A	S3	S2	S1	S0	G	B	A	S3	S2	S1	S0
0	0	0	0	0	0	0	0	X	X	0	0	0	0
0	0	1	0	0	0	0	1	0	0	0	0	0	1
0	1	0	0	0	0	0	1	0	1	0	0	1	0
0	1	1	0	0	0	0	1	1	0	0	1	0	0
1	0	0	0	0	0	1	1	1	1	1	0	0	0
1	0	1	0	0	1	0							
1	1	0	0	1	0	0							
1	1	1	1	0	0	0							

- b) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell baix i eixides a nivell alt.

Taula de veritat completa							Taula de veritat reduïda						
/G	B	A	S3	S2	S1	S0	/G	B	A	S3	S2	S1	S0
0	0	0	0	0	0	1	0	0	0	0	0	0	1
0	0	1	0	0	1	0	0	0	1	0	0	1	0
0	1	0	0	1	0	0	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1	1	1	0	0	0
1	0	0	0	0	0	0	1	X	X	0	0	0	0
1	0	1	0	0	0	0							
1	1	0	0	0	0	0							
1	1	1	0	0	0	0							


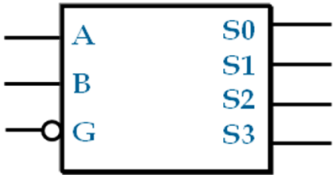

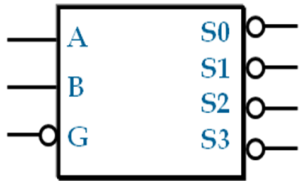
- c) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell alt i eixides a nivell baix.

Taula de veritat completa							Taula de veritat reduïda						
G	B	A	/S3	/S2	/S1	/S0	G	B	A	/S3	/S2	/S1	/S0
0	0	0	1	1	1	1	0	X	X	1	1	1	1
0	0	1	1	1	1	1	1	0	0	1	1	1	0
0	1	0	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0	1	0	1	1
1	0	0	1	1	1	0	1	1	1	0	1	1	1
1	0	1	1	1	0	1							
1	1	0	1	0	1	1							
1	1	1	0	1	1	1							

- d) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell baix i eixides a nivell baix.

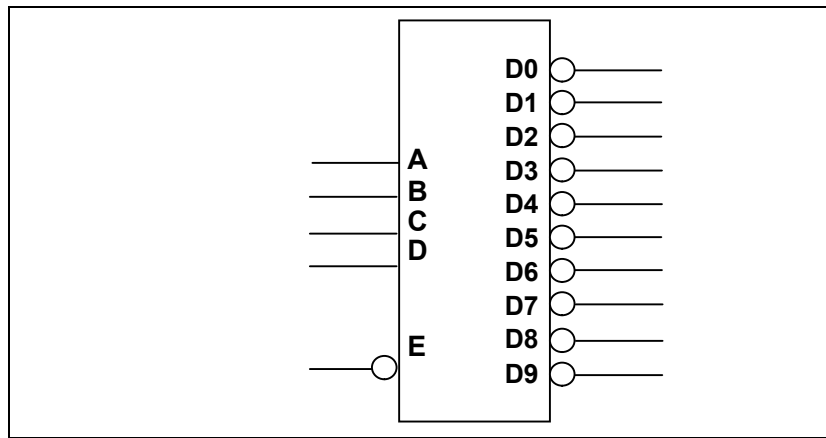
Taula de veritat completa							Taula de veritat reduïda						
/G	B	A	/S3	/S2	/S1	/S0	/G	B	A	/S3	/S2	/S1	/S0
0	0	0	1	1	1	0	0	0	0	1	1	1	0
0	0	1	1	1	0	1	0	0	1	1	1	0	1
0	1	0	1	0	1	1	0	1	0	1	0	1	1
0	1	1	0	1	1	1	0	1	1	0	1	1	1
1	0	0	1	1	1	1	1	X	X	1	1	1	1
1	0	1	1	1	1	1							
1	1	0	1	1	1	1							
1	1	1	1	1	1	1							

3.1.2. Dibuixeu els símbols dels descodificadors de l'exercici anterior.

<p>a) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell alt i eixides a nivell alt.</p> 	<p>b) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell baix i eixides a nivell alt.</p> 
<p>c) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell alt i eixides a nivell baix.</p> 	<p>d) Descodificador amb 2 entrades de selecció, entrada d'habilitació a nivell baix i eixides a nivell baix.</p> 

3.1.3. Dissenyeu un descodificador de 4 entrades BCD a 10 eixides actives a nivell baix. El descodificador cal que tinga una entrada d'habilitació (/E) activa a nivell baix.

a) Dibuixeu la interfície (o símbol lògic) del circuit a dissenyar.

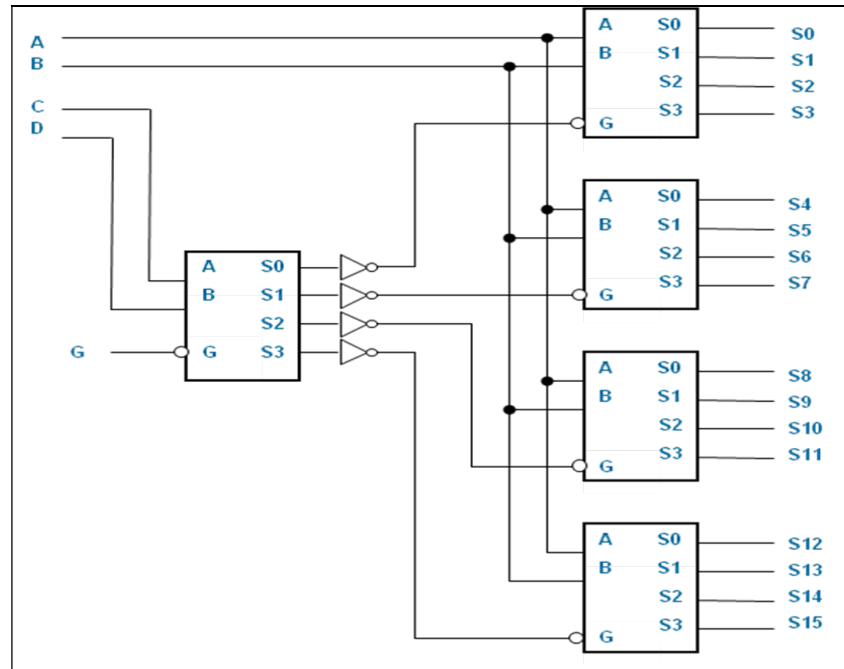


b) Termineu d'omplir la taula de veritat.

Entrades					Eixides									
/E	D	C	B	A	/D9	/D8	/D7	/D6	/D5	/D4	/D3	/D2	/D1	/D0
0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
0	0	0	0	1	1	1	1	1	1	1	1	1	0	1
0	0	0	1	0	1	1	1	1	1	1	0	1	1	1
0	0	0	1	1	1	1	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	0	1	1	1	1	1	1
0	0	1	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1	1
0	1	0	0	0	1	0	1	1	1	1	1	1	1	1
0	1	0	0	1	0	1	1	1	1	1	1	1	1	1
0	1	0	1	0	X	X	X	X	X	X	X	X	X	X
0	1	0	1	1	X	X	X	X	X	X	X	X	X	X
0	1	1	0	0	X	X	X	X	X	X	X	X	X	X
0	1	1	0	1	X	X	X	X	X	X	X	X	X	X
0	1	1	1	0	X	X	X	X	X	X	X	X	X	X
0	1	1	1	1	X	X	X	X	X	X	X	X	X	X
1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	0	0	1	0	1	1	1	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	0	X	X	X	X	X	X	X	X	X	X
1	1	0	1	1	X	X	X	X	X	X	X	X	X	X
1	1	1	0	0	X	X	X	X	X	X	X	X	X	X
1	1	1	0	1	X	X	X	X	X	X	X	X	X	X
1	1	1	1	0	X	X	X	X	X	X	X	X	X	X
1	1	1	1	1	X	X	X	X	X	X	X	X	X	X

3.2. Descodificadors (composició)

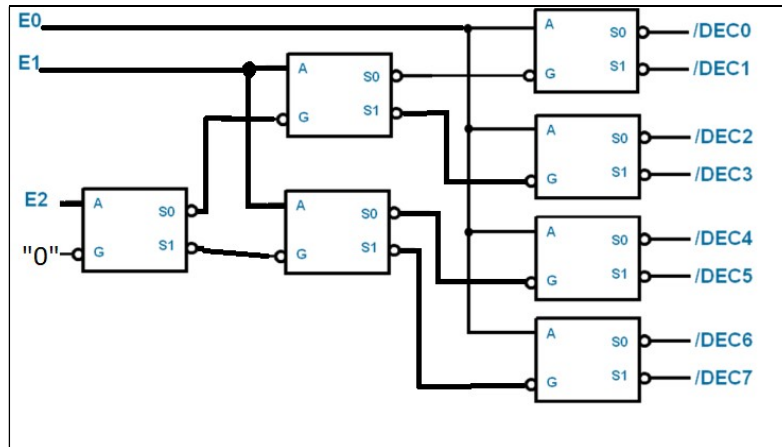
3.2.1. Construïu un descodificador de 4 a 16, amb entrada d'habilitació activa a nivell baix i eixides actives a nivell alt, a partir de descodificadors de 2 a 4, amb entrada d'habilitació activa a nivell baix i eixides actives a nivell alt, i les portes lògiques necessàries.



3.2.2. Es vol construir un descodificador de 5 a 32, amb eixides actives a nivell baix, utilitzant descodificadors de 2 a 4, amb eixides actives a nivell baix i habilitació activa a nivell baix. Digueu quants descodificadors hi cal utilitzar i si necessita portes addicionals. Raoneu la resposta. No cal dibuixar el circuit resultant, però us pot ajudar a resoldre el problema.

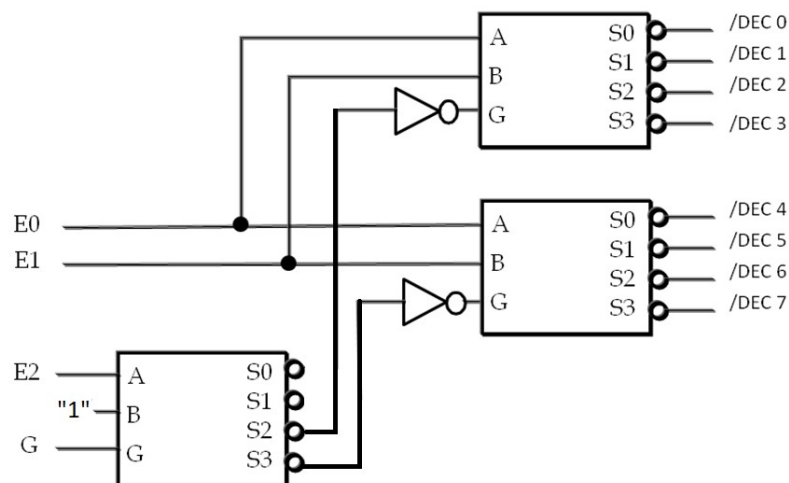
Per a obtindre les 32 eixides del descodificador que es vol, fan falta 8 descodificadors de 4 eixides. Per a poder seleccionar, entre aquests 8, quin és el que s'activa, és necessari utilitzar 2 descodificadors de 4 eixides ($4 + 4 = 8$). I per a seleccionar entre aquests 2 descodificadors, és necessari utilitzar un altre descodificador de 4 eixides, i deixar 2 eixides sense connectar, o substituir aquest últim descodificador per una porta NOT. En total, fan falta 10 descodificadors i una porta NOT, o, simplement, 11 descodificadors.

3.2.3. Construïu un descodificador binari de 3 a 8, amb eixides actives a nivell baix, amb entrada d'habilitació activa a nivell baix, utilitzant descodificadors d'1 a 2, amb eixides actives a nivell baix i habilitació activa a nivell baix. No es poden emprar portes lògiques addicionals. Etiqueteu totes les entrades i eixides dels símbols lògics i del circuit.

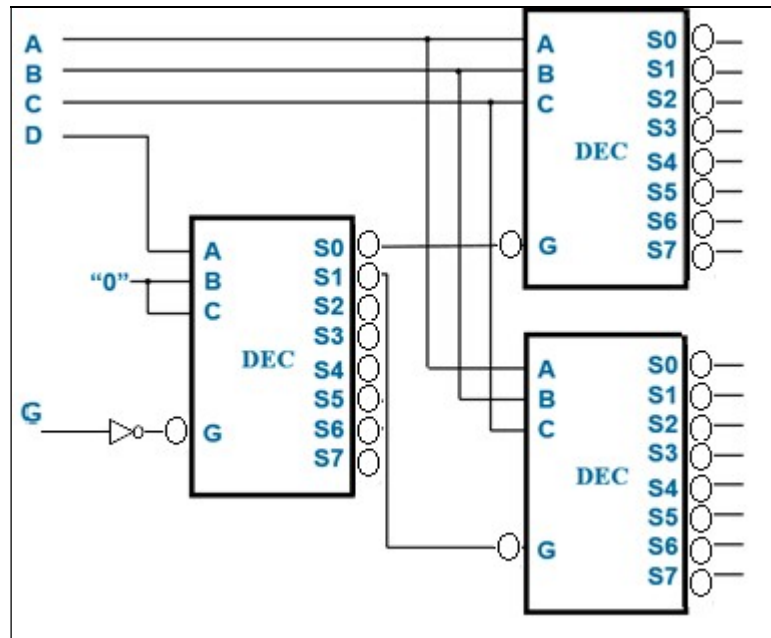


3.2.4. Construïu un descodificador binari de 3 a 8, amb eixides actives a nivell baix, amb entrada d'habilitació activa a nivell alt. Podeu utilitzar tres descodificadors binaris de 2 a 4 amb eixides actives a nivell baix i entrada d'habilitació activa a nivell alt, PERÒ l'eixida de menor pes (S0) d'un d'ells no funciona. Podeu utilitzar fins a dues portes lògiques addicionals. Etiqueteu totes les entrades i eixides dels símbols lògics i del circuit. I indiqueu quin és el descodificador que té l'eixida espallada.

Com que el nivell d'activació de les eixides /Si és el contrari que el de les entrades d'habilitació G, és necessari invertir les eixides del primer descodificador. D'altra banda, com que un descodificador té avariada l'eixida /S0, l'utilitzem per a seleccionar els altres dos descodificadors per medi de les eixides S2 i S3, fixant a 1 la seua entrada B,



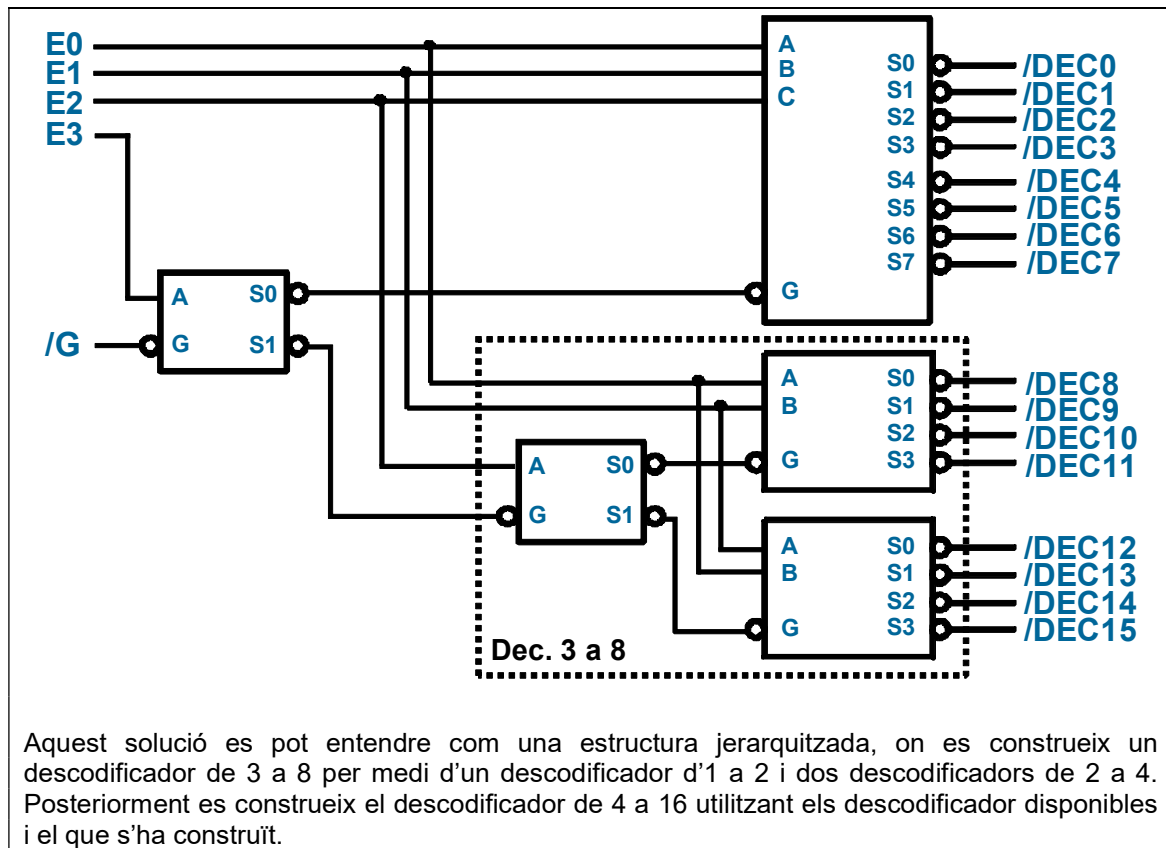
3.2.5. Construïu un descodificador binari de 4 a 16, amb entrada d'habilitació activa a nivell alt i eixides actives a nivell baix, a partir de descodificadors de 3 a 8, amb entrada d'habilitació activa a nivell baix i eixides actives a nivell baix, i les portes lògiques NOT necessàries. Etiqueteu totes les entrades i eixides dels símbols lògics i del circuit



3.2.6. Es vol construir un descodificador de 16 a 65.536 utilitzant descodificadors de 4 a 16 amb entrada d'habilitació, i sense utilitzar cap porta addicional. Indiqueu quants descodificadors són necessaris, i detalleu el raonament seguit per a trobar la solució.

Per a tenir 65536 eixides emprant descodificadors de 16 eixides, necessitem **65536 / 16 = 4096** descodificadors.
 Per poder seleccionar o habilitar cadascun d'aquests 4096 descodificadors necessitem 4096 línies, que generem amb **4096 / 16 = 256** descodificadors.
 De la mateixa manera, per seleccionar o habilitar cadascun d'aquests 256 descodificadors necessitem 256 línies, que generem amb **256 / 16 = 16** descodificadors.
 Finalment, aquests 16 descodificadors es poden seleccionar o habilitar amb un únic descodificador de 16 eixides.
 Per tant, el total de descodificador que hem d'emprar són **1 + 16 + 256 + 4096 = 4369** descodificadors.

3.2.7. Construïu un descodificador de 4 a 16 amb entrada d'habilitació i eixides actives a nivell baix, utilitzant un descodificador de 3 a 8, dos descodificadors de 2 a 4 i dos descodificadors d'1 a 2, tots amb entrada d'habilitació activa a nivell baix i eixides actives a nivell baix.



3.3. Multiplexors (teoria)

3.3.1 En un multiplexor sense entrada d'habilitació, si dues o més entrades de dades es connecten a 1, és cert que:

- A) Com que és una situació no prevista, en l'eixida tindrem un valor no definit (X).
- B) Apareixerà en l'eixida el valor de l'entrada més prioritària.
- C) Apareixerà en l'eixida el codi de l'entrada més prioritària.
- D) Apareixerà un 1 en l'eixida si hem seleccionat una de les entrades a 1.
- E) Si les entrades de selecció són actives a nivell baix i seleccionem qualsevol de les entrades de dades a 1, l'eixida és 0.

La resposta correcta es la **D**.

3.3.2. Emprant exclusivament 585 multiplexors de 3 entrades de selecció, digueu quin és el nombre de entrades de dades del multiplexor més gran que es pot construir sense utilitzar cap porta addicional. Mostreu el càlculs, i no és necessari dibuixar el circuit.

Si comencem la composició per l'eixida, tenim:

Primer nivell: 1 mux amb 8 entrades.

Segon nivell: 8 muxs amb un total de $8 \times 8 = 64$ entrades. De moment hem emprat 9 muxs.

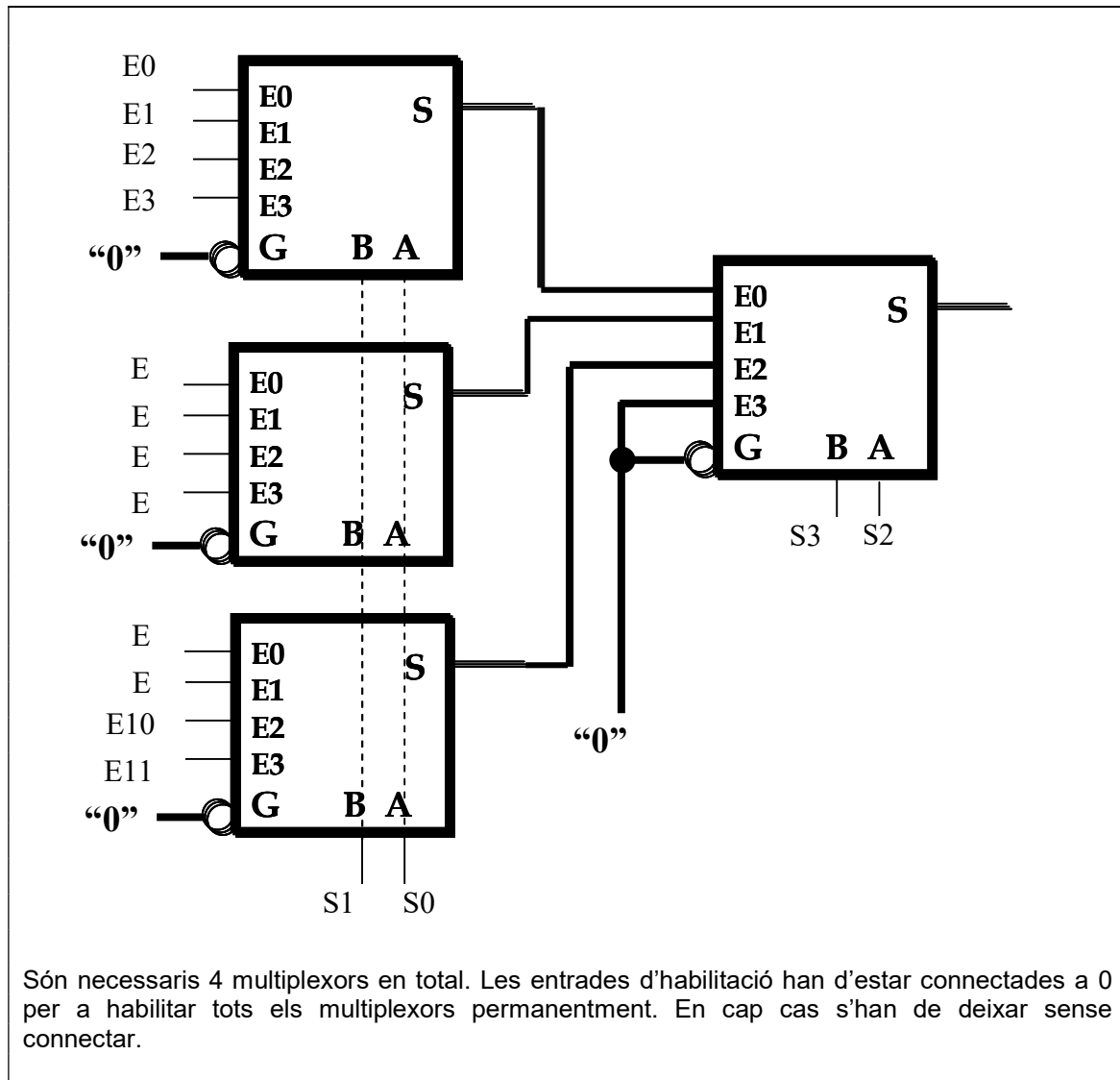
Tercer nivell: 64 muxs amb un total de $8 \times 64 = 512$ entrades. Portem utilitzats $9 + 64 = 73$ muxs.

Quart nivell: 512 muxs amb un total de $512 \times 8 = 4096$ entrades. Hem utilitzat $73 + 512 = 585$ muxs, que són el total de disponibles.

Resposta final. Podem construir un multiplexor de 4096 entrades de dades.

3.4. Multiplexors (composició i generació de funcions)

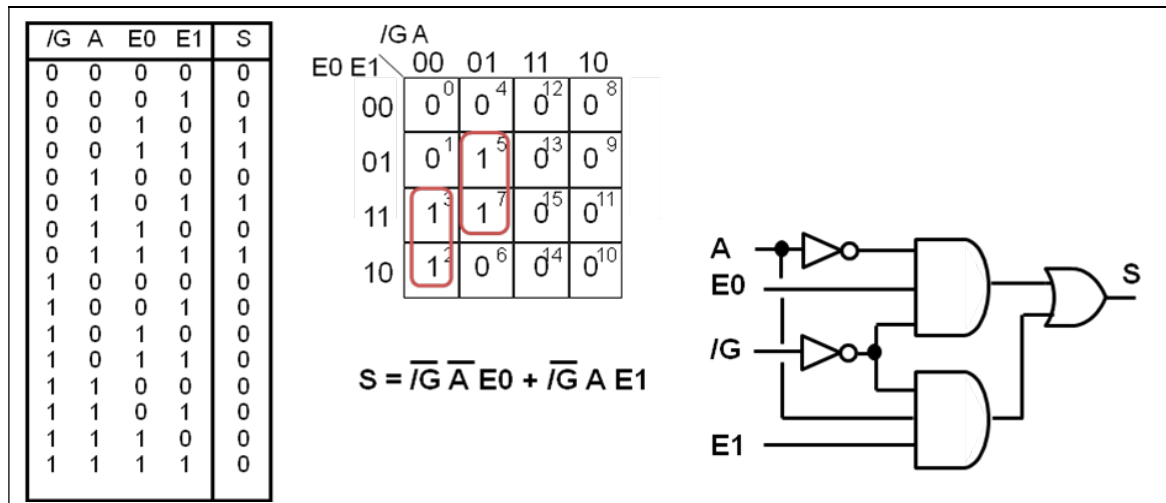
3.4.1. Es vol construir un multiplexor de 12 a 1, amb 4 entrades de selecció i sense entrada d'habilitació. Per a això, es disposa de multiplexors de 4 a 1 amb entrada d'habilitació G activa a nivell baix. Indiqueu el nombre de multiplexors necessaris i realitzeu el dibuix del circuit detallant totes les connexions necessàries.



3.4.2. Es vol construir un multiplexor de 64 entrades de dades utilitzant multiplexors de 2 entrades de selecció. Digueu quants multiplexors són necessaris en total. Detalleu les operacions realitzades i els raonaments seguits.

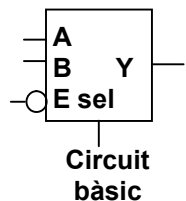
Els multiplexors de 2 entrades de selecció disposen de 4 entrades de dades, per la qual cosa, per a aconseguir les 64 entrades que es volen, són necessaris $64/4 = 16$ multiplexors. Aquests 16 multiplexors produeixen 16 eixides (lògicament), per això fa falta un segon nivell (o columna) amb $16/4 = 4$ multiplexors, per a seleccionar una de les 16 eixides. Però aquests 4 últims multiplexors ofereixen 4 eixides (i com ja se sap, el multiplexor ha de ser de 64 a 1), per tant, és necessari un tercer nivell (o columna) de $4/4 = 1$ multiplexor, que ofereix l'última eixida. En total, $16 + 4 + 1 = 21$ multiplexors.

3.4.3 Dissenyeu un multiplexor de 2 entrades de dades i entrada d'habilitació activa a nivell baix. Detalleu tot el procés seguit. Utilitzeu el nombre de portes mínim.

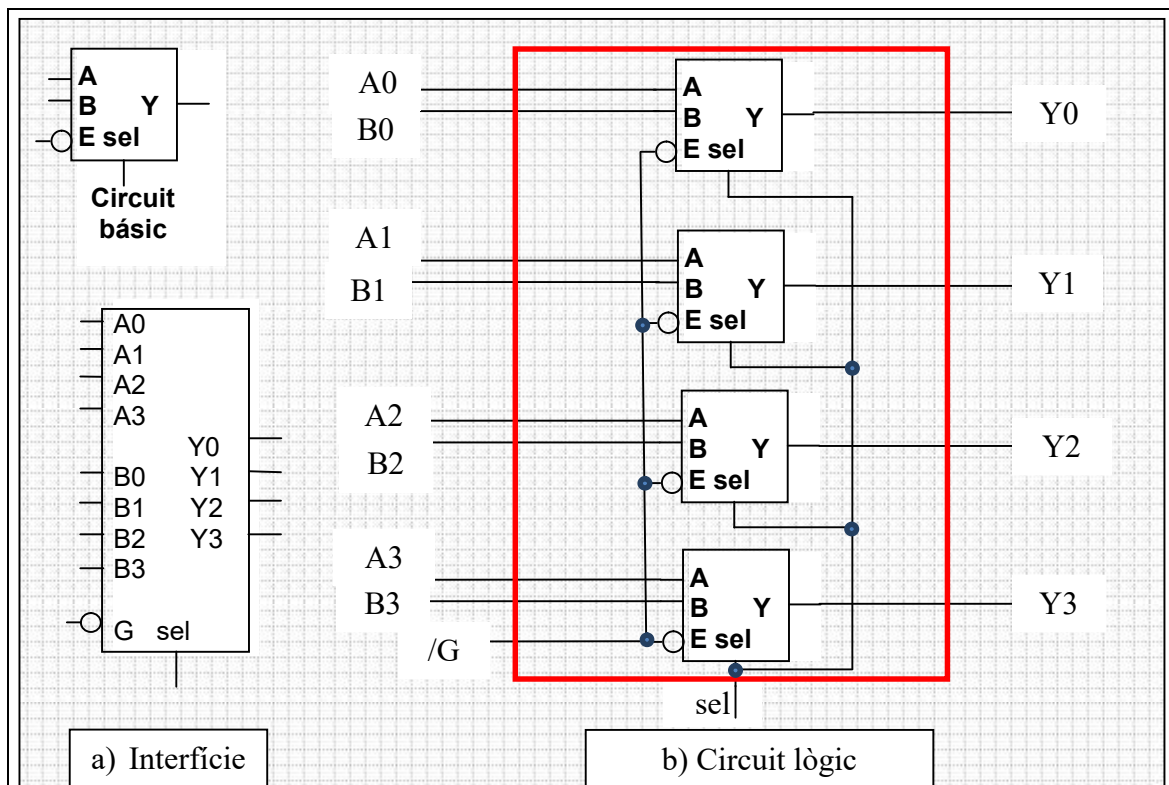


3.4.4. Realitzeu la composició d'un multiplexor de 2 entrades de dades de 4 bits (A3,A2,A1,A0 i B3,B2,B1,B0) i 1 eixida de 4 bits (Y3, Y2, Y1, Y0), amb entrada d'habilitació /G, activa a nivell baix.

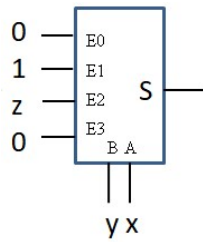
Els únics elements bàsics de disseny que es poden emprar són multiplexors de 2 entrades de dades, cadascuna d'un bit, i una eixida d'un bit, amb entrada d'habilitació /E activa a nivell baix. Podeu fer servir tants multiplexors com necessiteu, però només multiplexors.



- Dibuixeu la interfície (o símbol lògic) del circuit a dissenyar.
- Dibuixeu els elements bàsics i les connexions entre ells, així com les connexions amb les entrades i eixides del circuit a dissenyar.



3.4.5. Obteniu la taula de veritat del circuit combinacional següent implementat amb un multiplexor de dues entrades de selecció B(MSb) i A (LSb). De major a menor pes, les entrades de la funció lògica S són: z, y, x.



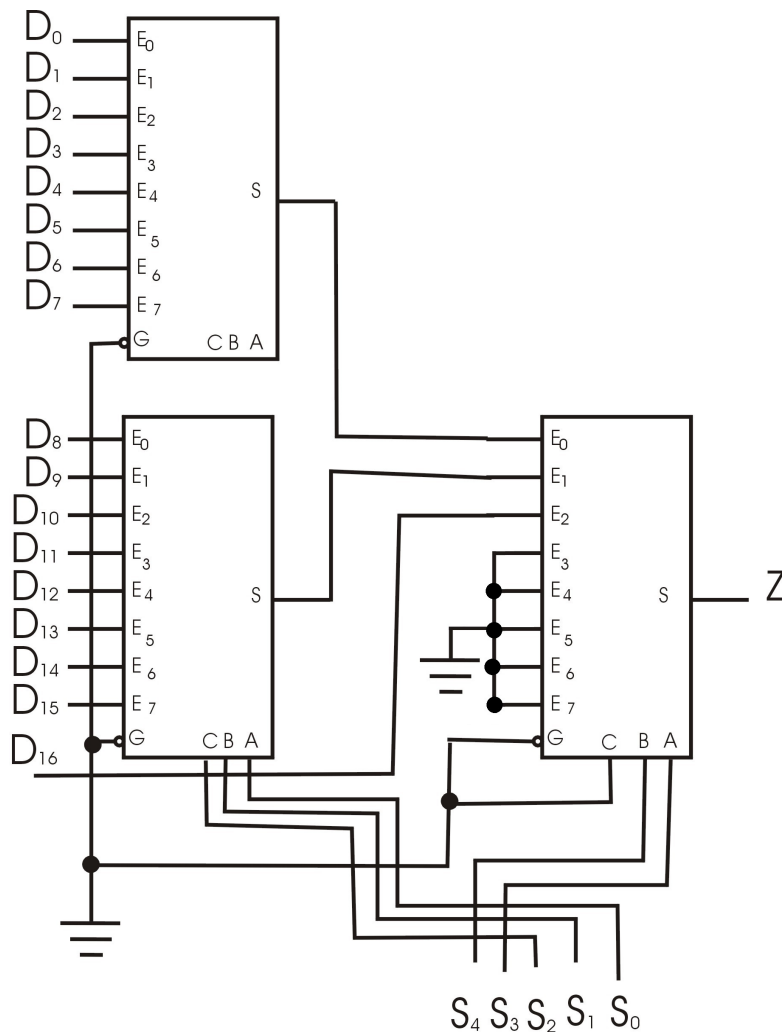
z	y	x	s
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

3.4.6. Es vol construir un multiplexor de 17 a 1 utilitzant únicament multiplexors de 8 a 1.

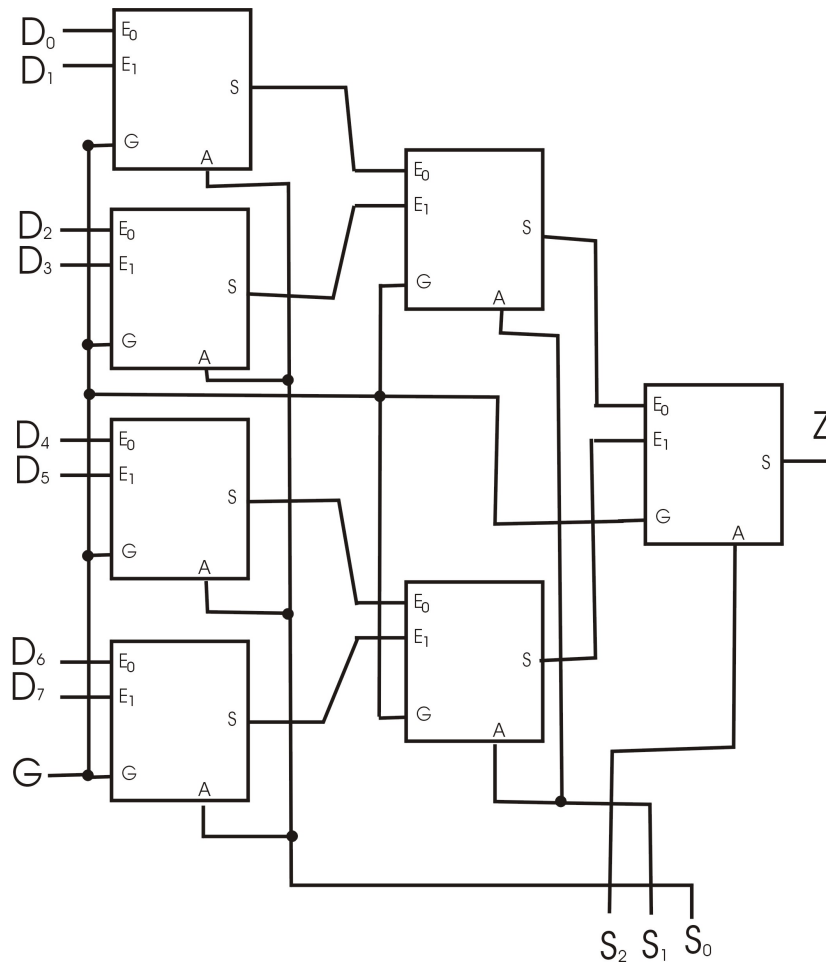
- Indiqueu el nombre de nivells de la composició.
- Dibuixeu el circuit etiquetant totes les entrades de dades i de selecció, tant del multiplexors utilitzats com del circuit resultant. Considereu l'entrada S0 i D0 con les entrades de menor pes. IMPORTANT: cap entrada pot quedar sense connectar.

a) Nivells: 2

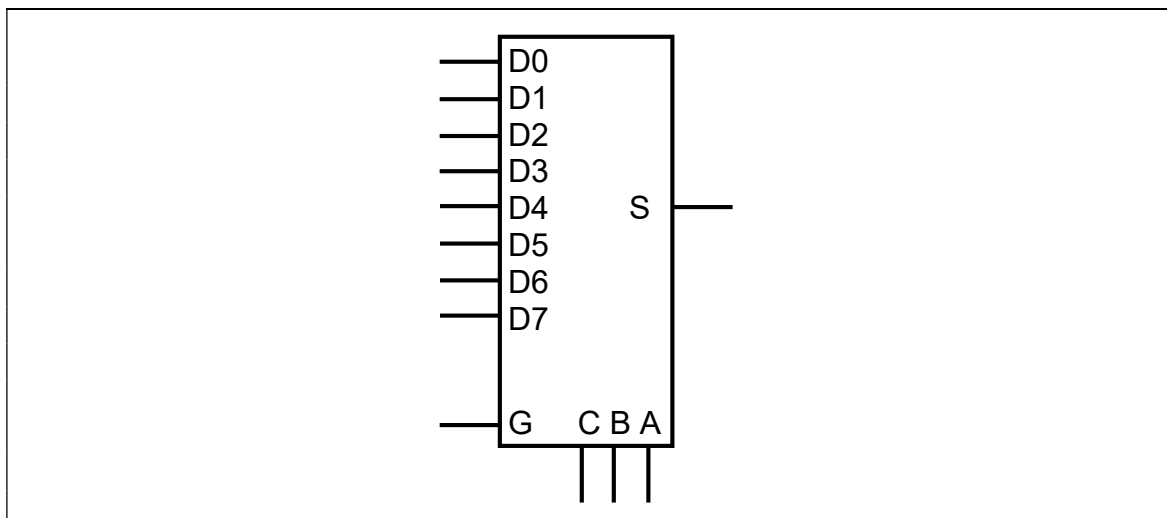
b) Al circuit, les entrades que no s'utilitzen es poden connectar a 1 o a 0, però no es deuen deixar a l'aire, sense connectar. En aquest cas hem triat connectar-les a 0.



3.4.7. Dissenyeu un multiplexor de 8 entrades de dades i entrada d'habilitació activa a nivell alt emprant únicament multiplexors de 4 a 1 amb entrada d'habilitació a nivell alt.

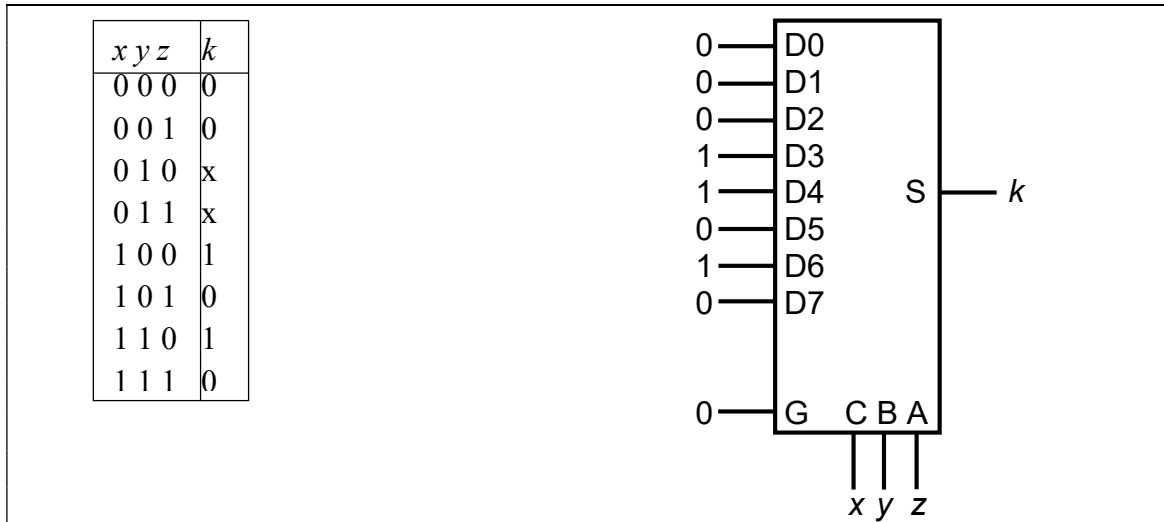


3.4.8. Dibuixeu l'interfície o símbol lògic d'un multiplexor de 8 a 1.

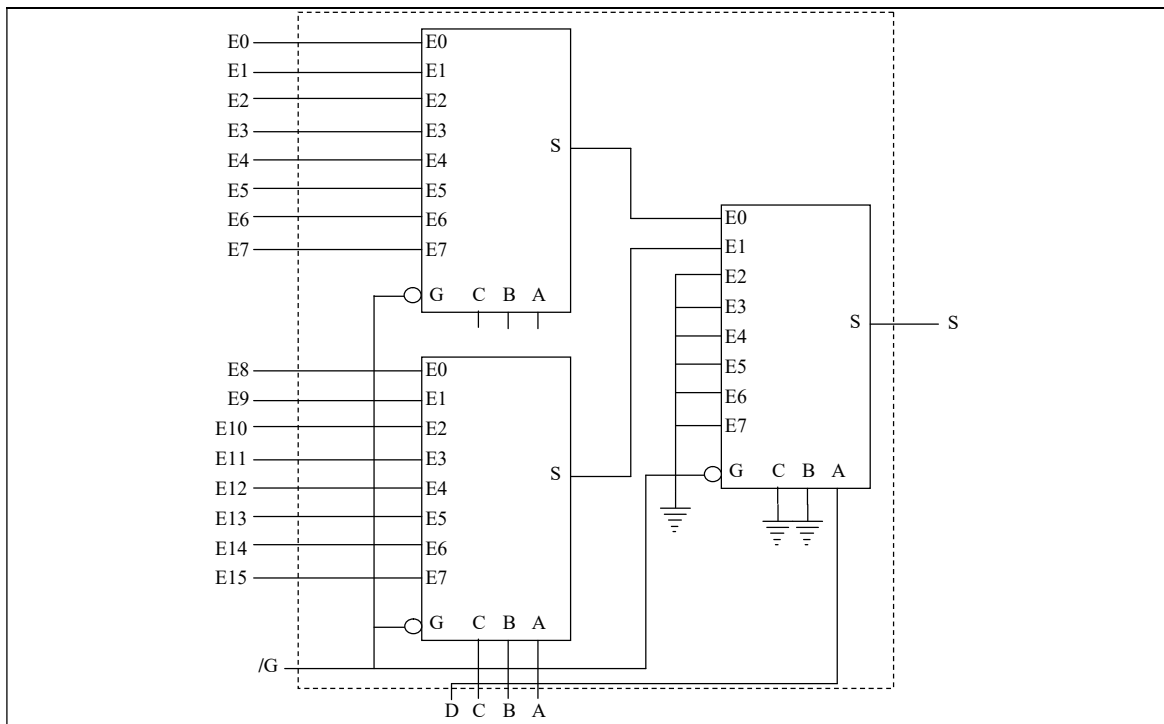


3.4.9. Utilitzant el símbol lògic de l'exercici anterior, implementeu la funció lògica k:

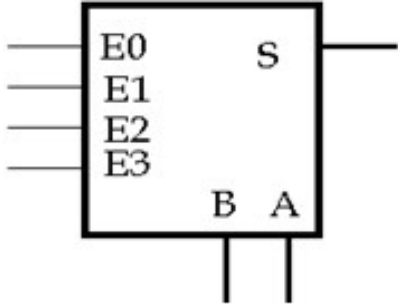
$$k = \prod_{x,y,z} (0, 1, 5, 7) \cdot \prod_{\emptyset} (2, 3)$$



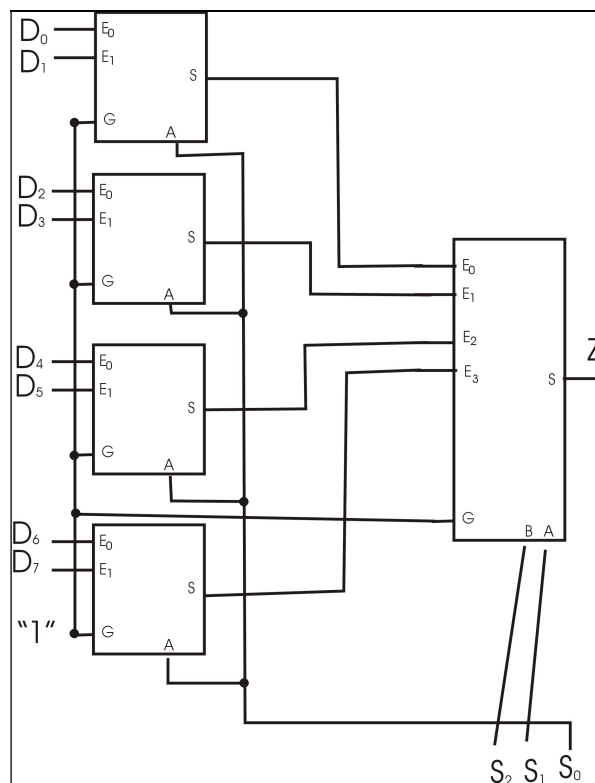
3.4.10. Es vol implementar un multiplexor de 16 entrades de dades amb entrada d'habilitació a nivell baix a partir de multiplexors de 8 entrades amb entrada d'habilitació a nivell baix, sense emprar portes lògiques addicionals. Dibuixeu el circuit resultant sense oblidar detallar els noms, valors i pesos de les entrades i eixides, tant del multiplexor resultant com dels emprats.



3.4.11. Es vol implementar un multiplexor de 1.024 a 1 a base d'una composició amb multiplexors de 2 entrades de selecció i entrada d'habilitació activa a nivell alt. Indiqueu el nombre de multiplexors que són necessaris i detalleu **el raonament seguit per a obtenir la resposta**.

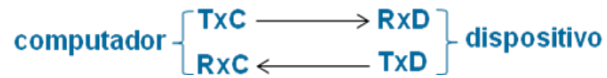
<p>Un multiplexor de 2 entrades de selecció té 4 entrades de dades.</p> 	Primer nivell= $\frac{1024}{4} = 256$
	Segon nivell= $\frac{256}{4} = 64$
	Tercer nivell= $\frac{64}{4} = 16$
	Quart nivell= $\frac{16}{4} = 4$
	Cinquè nivell= $\frac{4}{4} = 1$
	Total: $256+64+16+4+1=341$ Multiplexors de 4 a 1

3.4.12. Dissenyau un multiplexor de 8 a 1 **SENSE** entrada d'habilitació emprant un multiplexor de 4 a 1 i tants multiplexors de 2 a 1 amb entrada d'habilitació activa a nivell alt com siguen necessaris.

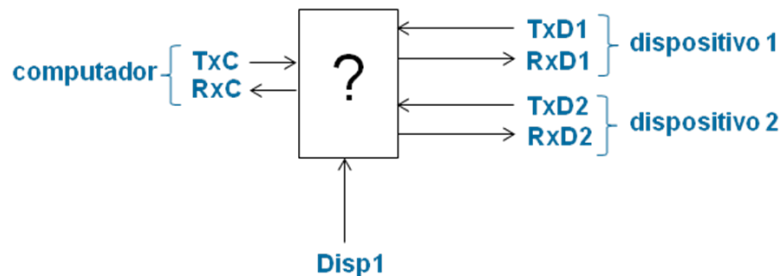


3.5. Disseny amb blocs combinacionals bàsics

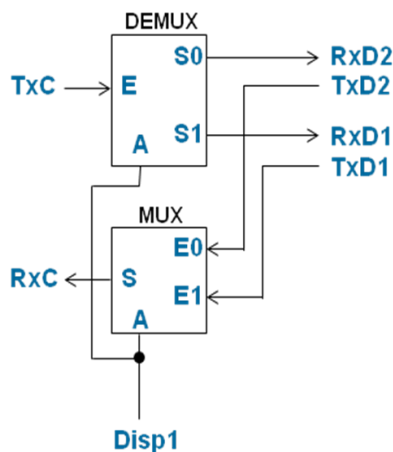
3.5.1. Per a realitzar una connexió bidireccional d'un dispositiu a un computador a través del seu port sèrie, ha de connectar-se l'eixida sèrie del computador TxC a l'entrada sèrie del dispositiu RxD, i l'eixida del dispositiu TxD a l'entrada del computador RxC.



Construïu un circuit que permeti connectar el port sèrie del computador [TxC, RxC] als ports de dos dispositius diferents [TxD1, RxD1], [TxD2, RxD2]. Un interruptor activa, a nivell alt, un senyal Disp1, per a indicar que ha d'establir-se connexió amb el dispositiu 1. Si aquest senyal està desactivat, indica que la connexió ha de fer-se amb el dispositiu 2. No pot usar-se cap porta lògica elemental, només dispositius combinacionals bàsics dels estudiats en aquest tema.



Pareu atenció, el multiplexor està dibuixat al revés, és a dir, entrades a la dreta i eixida a l'esquerra.



El problema de connectar una única entrada (TxC) a diferents eixides alternativament (RxD1, RxD2) es pot solucionar amb un demultiplexor. El cas contrari, seleccionar una de entre varies entrades (TxD1, TxD2) el resollem amb un multiplexor. Ambdós circuits es governen amb el senyal Disp1 donat que han de funcionar de forma sincronitzada. Quan Disp1 pren valor 0, TxC apareix en l'eixida S0 i s'envia al dispositiu 2. Igualment, es selecciona l'entrada E0 del multiplexor i en l'eixida RxC apareix el senyal TxD2. Quan Disp1 pren valor 1, és el dispositiu 1 el que transmet i rep el senyal.

3.5.1. Un sistema posicionador realitza un moviment en dues direccions, horitzontal i vertical. Per a conèixer la posició, cada eix inclou un codificador mecànic amb 10 eixides, nomenades de H0 a H9 i de V0 a V9 per als eixos horitzontal i vertical, respectivament. L'activació del senyal H0 indica que el sistema està en un extrem del recorregut horitzontal, mentre que l'activació del senyal H9 indicaria que el sistema es troba a l'altre extrem del recorregut horitzontal. L'activació del senyal V5 indicaria que el sistema es troba a mitjan recorregut vertical.

Dissenyau un circuit digital que visualitzi un dígit de 0 a 9 que indique la posició en cadascun dels eixos. Els elements que es poden emprar són un display de 7 segments d'un dígit, i un interruptor per seleccionar quin eix, vertical o horitzontal, cal mostrar al display. L'interruptor genera un senyal V/H tal que quan $V/H = 1$ es mostri la informació de l'eix vertical, i quan $V/H = 0$ es mostri la informació de l'eix horitzontal. També es poden utilitzar els blocs combinacionals coneguts, minimitzant la quantitat i grandària d'aquests.

(Solució en pàgina següent)

