
10 Cuestiones de TEORÍA (6 puntos) . Puntuación: BIEN +0.6 ptos., MAL -0.15 ptos, N.C 0

1. En las tablas adjuntas se indican algunas de las características eléctricas de dos familias lógicas A y B. Escoja la afirmación **CORRECTA**:

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2V	0.8V	2.7V	0.4V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
$20\mu A$	$-400\mu A$	$-400\mu A$	8mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
3.5V	1.5V	4.95V	0.05V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
10pA	-10pA	-0.5mA	0.5mA

- [A] Para obtener el margen de ruido de una familia, se calculan los márgenes de ruido a nivel bajo y a nivel alto, tomándose el máximo.
- [B] El margen de ruido de la familia B es 2V
- [C] El margen de ruido de la familia A es mejor que el de la familia B
- [D] El margen de ruido de la familia A es 0.4V

-
2. Respecto del fan-out de las familias de la pregunta anterior, podemos afirmar que:

- [A] El fan-out de la familia A es 200
- [B] Para obtener el fan-out de una familia, se calculan los fan-out a nivel bajo y a nivel alto, tomándose el máximo
- [C] Para evitar retardos excesivos, el fabricante recomienda un fan-out para la familia B menor que el obtenido usando el típico cociente entre corrientes.
- [D] El fan-out B \rightarrow A (número de entradas de componentes de la familia A que se pueden conectar a la salida de un componente de la familia B) es 25

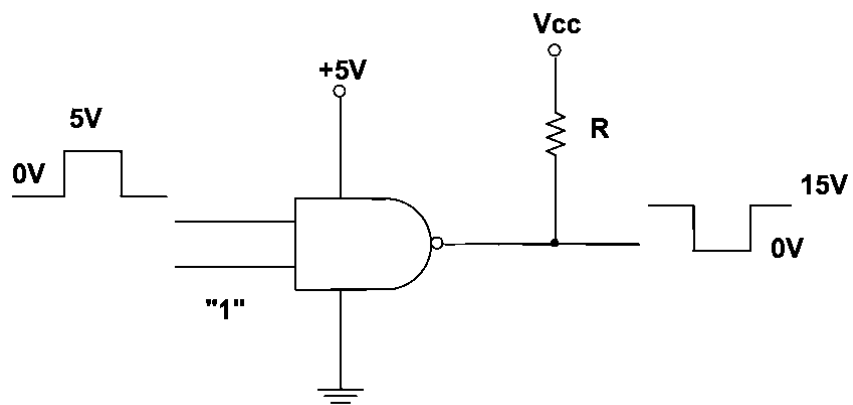
-
3. Indique cuál es el producto potencia x retardo de un componente TTL con las siguientes características:
 I_{CCH} (consumo en el nivel alto de salida) = 1 mA; I_{CCL} (consumo en el nivel bajo de salida) = 3.18 mA,
 t_{pHL} = 1.4 ns, t_{pLH} = 3.2 ns. **NOTA.-** Considere despreciable la potencia dinámica.

- [A] 5.86 pJ
- [B] 10,45pJ
- [C] 4,81pJ
- [D] 24.04 pJ

-
4. El circuito de la figura utiliza una puerta con salida en colector abierto para generar una señal lógica compatible con familias alimentadas a $V_{CC}=+15V$. Sabiendo que $I_{OLMAX}=16mA$ y que $V_{OLMAX}=0.4V$, indica cual sería el valor mínimo para la resistencia de pull-up R en este circuito.

- [A] Este tipo de conexión no es válido para una puerta en colector abierto.

- [B] $R_{MIN}=0.91\text{ k}\Omega$
- [C] $R_{MIN}=288\text{ }\Omega$
- [D] $R_{MIN}=2.88\text{ k}\Omega$



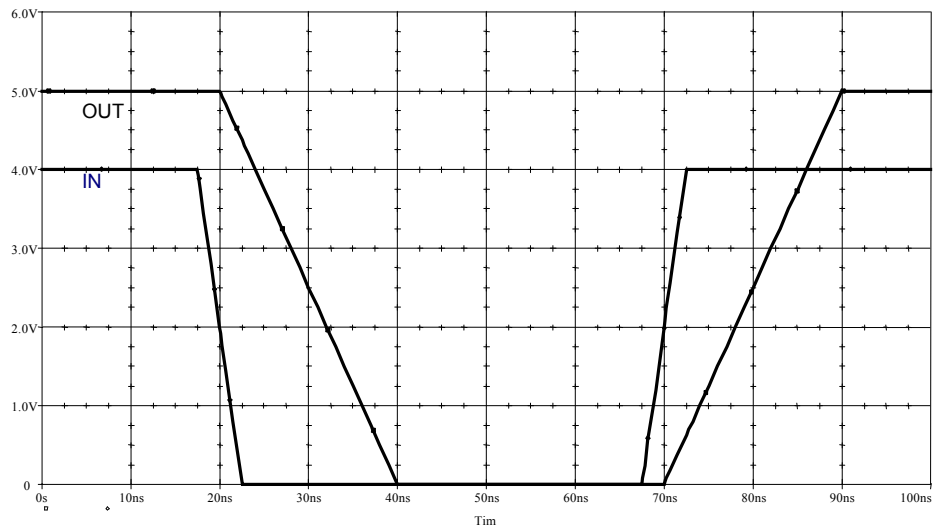
5. Se desea conectar la salida de una puerta TTL a la entrada de una CMOS estándar, alimentada a 3V. Indica la respuesta CORRECTA: (Nota: la puerta CMOS incluye circuitos de protección en la entrada).

Familia TTL estándar	Familia CMOS estándar
$V_{OHmin}=2.4V$, $V_{OLmax}=0.4V$, $I_{OHmax}= -400\mu A$, $I_{OLmax}=16mA$,	$I_{IHmax}=1pA$, $V_{IH}=0.7*V_{DD}$ $I_{ILmax}=-1pA$, $V_{IL}=0.3*V_{DD}$

- [A] Se necesita una resistencia de pull-up conectada a 3V en la salida de la TTL.
 [B] Se necesita intercalar un buffer CMOS para adaptar las corrientes.
 [C] Se necesita intercalar un buffer TTL para adaptar las corrientes.
 [D] Se puede realizar la conexión directamente.

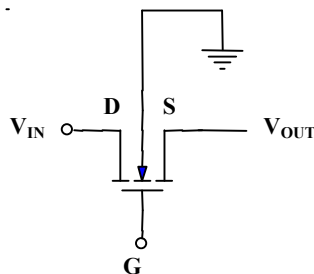
6. La siguiente gráfica muestra el detalle temporal del retraso que sufre una señal al atravesar una puerta no inversora (buffer). Se puede afirmar que:

- [A] El tpd_{HL} es de 20 ns
 [B] El tpd_{LH} es de 5 ns
 [C] El tpd es de 10ns
 [D] El t_f (fall time) de la salida es de 5 ns



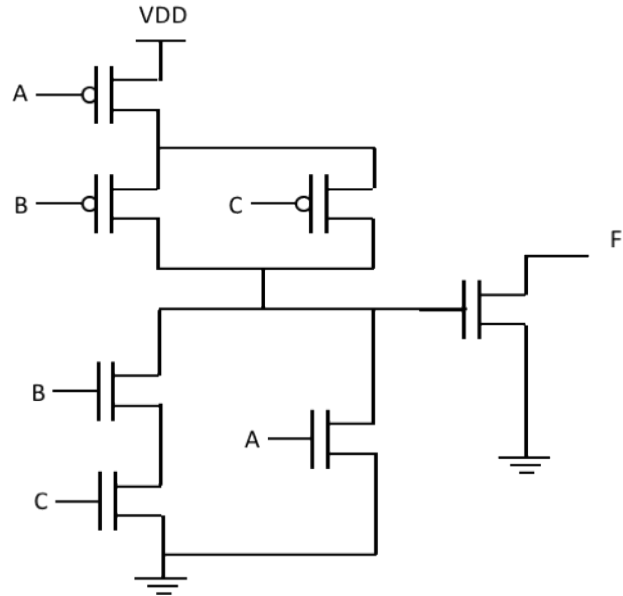
7. Sea una puerta de transmisión NMOS que utiliza un transistor con $|V_T|=1.5V$. Si aplicamos 2.5V a la tensión de entrada (V_{IN}) y 5V al terminal de puerta G. ¿Qué voltaje se obtendrá a su salida (V_{OUT})?

- [A] 5V
 [B] 1V
 [C] 3.5V
 [D] 2.5V



8. Dado el circuito CMOS de la figura, la función lógica F que implementa y el tipo de salida es:

- [A] $F = \overline{A \cdot (B + C)}$ y salida estándar.
 [B] $F = A \cdot (B + C)$ y salida drenador abierto.
 [C] $F = A + (B \cdot C)$ y salida drenador abierto.
 [D] $F = \overline{A + (B \cdot C)}$ y salida triestado.

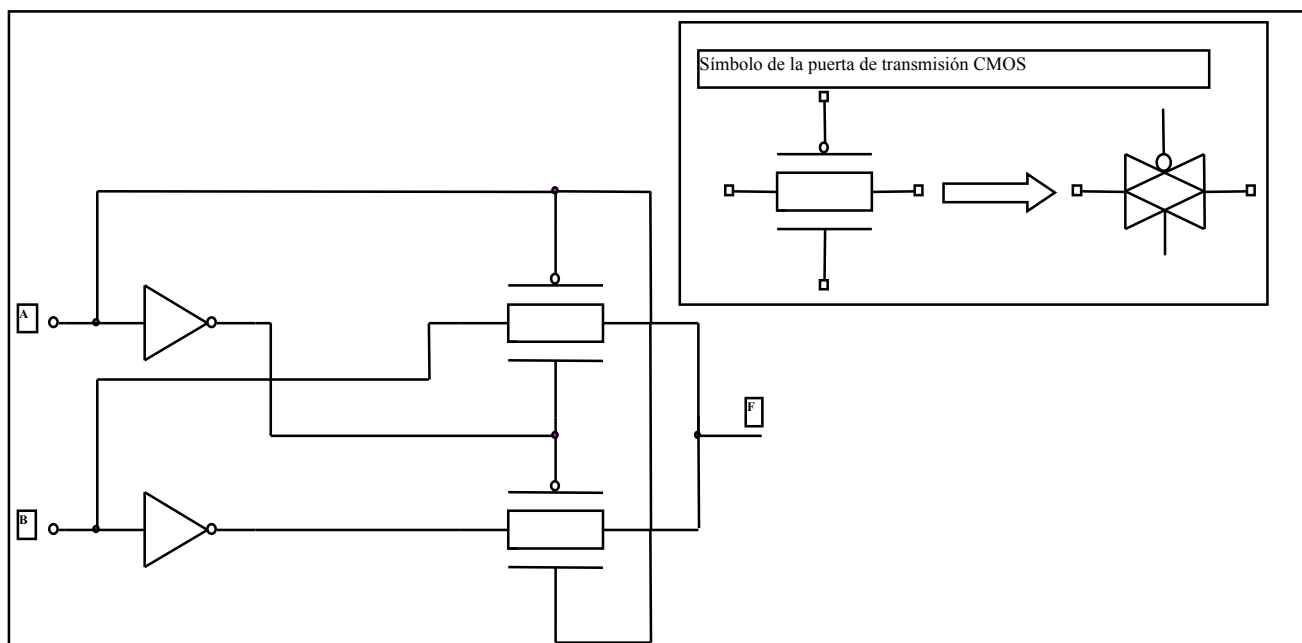


9. Indicar la afirmación FALSA acerca del diseño y fabricación VLSI en tecnología CMOS:

- [A] Se suelen utilizar obleas circulares de silicio como sustrato
 [B] Los materiales usados típicamente para definir las diferentes capas en el sustrato, son: semiconductor-N, semiconductor-P, aislante (SiO_2), polisilicio y metal (aluminio o cobre)
 [C] Las máscaras son generadas a partir del layout, y proyectadas en el sustrato utilizando luz ultravioleta
 [D] En el diseño automático basado en celdas estándar, el proceso de *Placement and Routing* ubica las celdas de forma aleatoria, sin seguir ninguna estructura predefinida

10. Respecto al circuito de la figura, basado en puertas de transmisión CMOS, señale la respuesta VERDADERA:

- [A] El diseño no es correcto, pues las salidas de las 2 puertas de transmisión están conectadas entre sí.
 [B] Es un multiplexor de 2 canales.
 [C] Es una puerta AND de 2 entradas.
 [D] Es una puerta XOR de 2 entradas.



Apellidos:

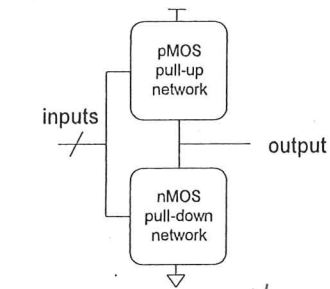
SOLUCIÓN

Nombre:

1. PROBLEMA 1 (4 PTOS)

Se pretende diseñar la función $F = (A+B+C) \cdot D$ en lógica CMOS complementaria.

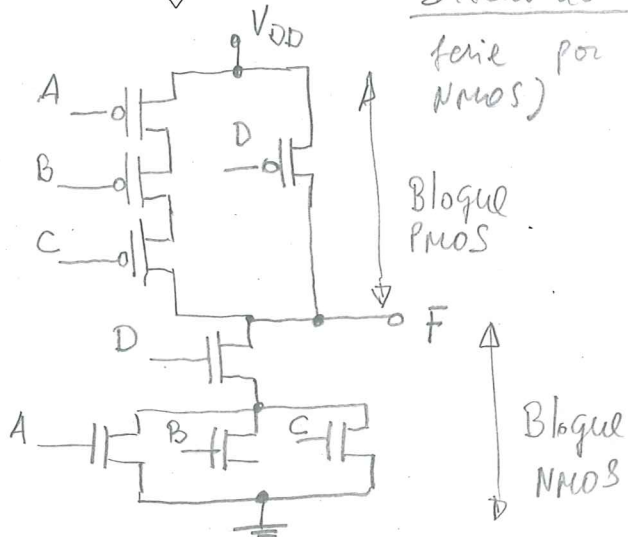
A) Dibuje un esquema con transistores. Justifique el diseño. [1.5P]



Diseño del bloque NMOS:

$$F = G \rightarrow G = \underbrace{(A+B+C)}_{\text{paralelo}} \cdot \underbrace{D}_{\text{serie}}$$

Diseño del bloque PMOS: cambiar las agrupaciones serie por paralelo, y viceversa (a partir del NMOS)



Nota*: también se puede empezar por el bloque PMOS:

$$F = \overline{\overline{F}} = \overline{(\overline{A \cdot B \cdot C}) + \overline{D}}$$

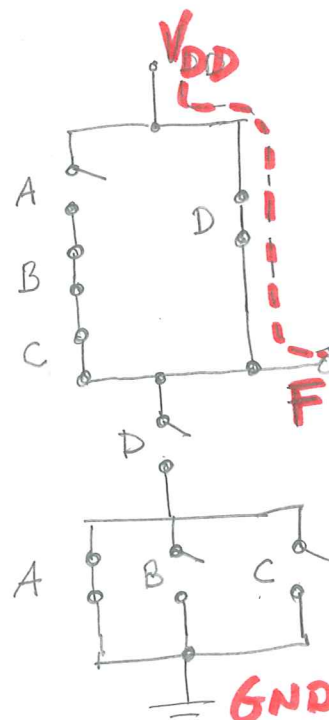
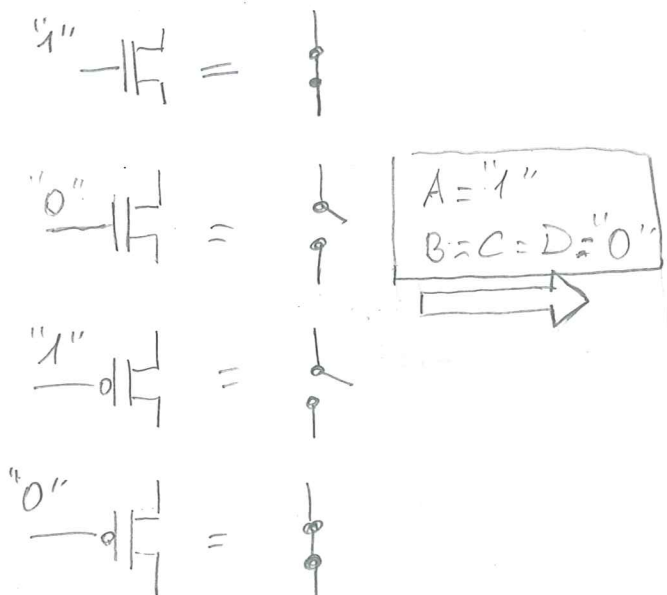
negar las entradas

$$\underbrace{(A \cdot B \cdot C)}_{\text{serie}} + \underbrace{D}_{\text{paralelo}}$$

se llega al mismo esquema con transistores

B) Dada la combinación de entradas: $A = "1"$, $B = C = D = "0"$, sustituya los transistores por interruptores abiertos o cerrados. [1P]

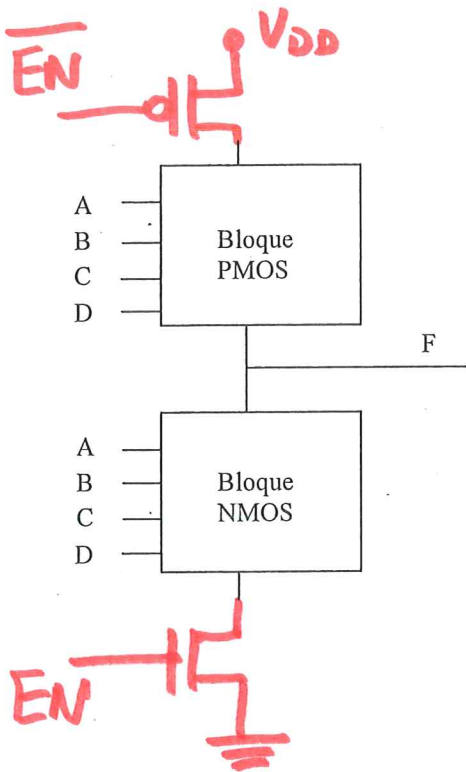
- * Dibuje el esquema con interruptores
- * Justifique el valor de F



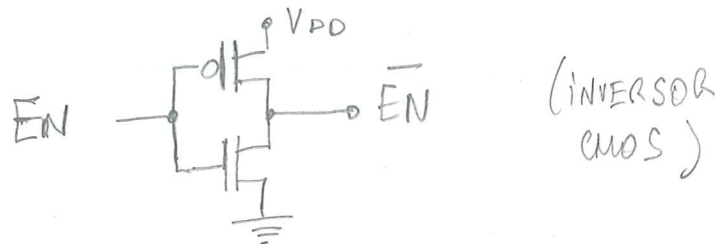
Hay un camino que conecta F con VDD. Por tanto, $F = "1"$

- C) Modifique el diseño del apartado A) para dotar al circuito de salida triestado, añadiendo los transistores y las señales de control necesarias. [1P]

- * Dibuje el nuevo esquema a partir del diagrama de bloques adjunto
- * Escriba la tabla de verdad resumida



La señal \overline{EN} se genera así:



(INVERSOR CMOS)

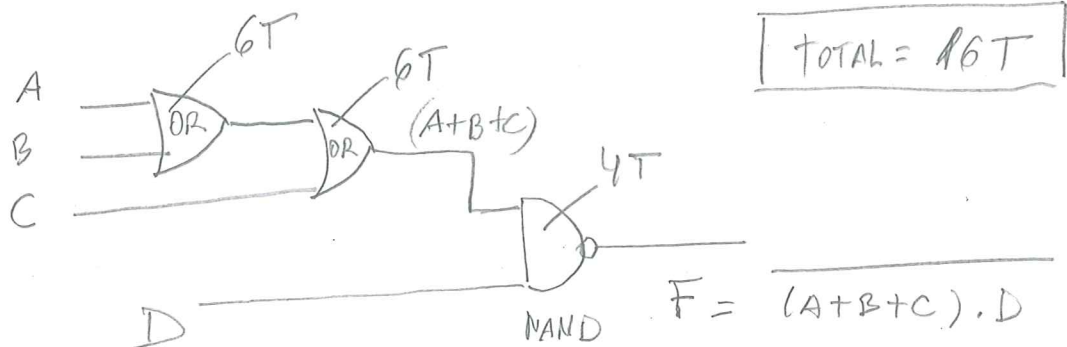
TABLA DE VERDAD RESUMIDA:

EN	A	B	C	D	F
0	x	x	x	x	Z (ALTA IMPEDANCIA)
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	1	1	1	1	0

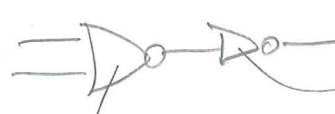
funcionamiento normal

- D) Se quiere comparar el diseño del apartado A) con un diseño tradicional a partir de puertas lógicas discretas. [0.5P]

- * Dibuje el circuito usando puertas lógicas de 2 entradas (no hace falta dibujar el circuito a nivel de transistor)
- * Cuente el número de transistores y compárelo con el del diseño efectuado en el apartado A)



Nand \rightarrow 4 transistores

OR =  = 6 transistores
4 transistores

El diseño del apartado A) necesita la mitad de los transistores (8), lo que implica menor área de silicio, consumo y retardo.