

Tema 3: BLOQUES COMBINACIONALES BÁSICOS (EJERCICIOS PROPUESTOS)

GRADO EN INFORMÁTICA

Contenido

3.1 –Decodificadores, teoría	2
3.2 –Decodificadores, composición	4
3.3 – Multiplexores, cuestiones teóricas	4
3.4 – Multiplexores, composición	5
3.5 – Diseño con bloques combinacionales básicos	6

3.1 –Decodificadores, teoría

3.1.1. Rellenar las tablas de verdad de los siguientes decodificadores.

- a) Decodificador con 2 entradas de selección (A y B), entrada de habilitación a nivel alto (G) y salidas a nivel alto (S3,...,S0).

Tabla de verdad completa							Tabla de verdad reducida						
G	B	A	S3	S2	S1	S0	G	B	A	S3	S2	S1	S0

- b) Decodificador con 2 entradas de selección (A y B), entrada de habilitación a nivel bajo (/G) y salidas a nivel alto (S3,...,S0).

Tabla de verdad completa							Tabla de verdad reducida						
/G	B	A	S3	S2	S1	S0	/G	B	A	S3	S2	S1	S0

- c) Decodificador con 2 entradas de selección (A y B), entrada de habilitación a nivel alto (G) y salidas a nivel bajo (/S3,...,/S0).

Tabla de verdad completa							Tabla de verdad reducida						
G	B	A	/S3	/S2	/S1	/S0	G	B	A	/S3	/S2	/S1	/S0

- d) Decodificador con 2 entradas de selección (A y B), entrada de habilitación a nivel bajo (/G) y salidas a nivel bajo (/S3,...,/S0).

Tabla de verdad completa							Tabla de verdad reducida						
/G	B	A	/S3	/S2	/S1	/S0	/G	B	A	/S3	/S2	/S1	/S0

3.1.2. Dibujar los símbolos de los decodificadores del ejercicio 3.1.1

3.1.3. Se desea diseñar un decodificador, de 4 entradas BCD a 10 salidas activas a nivel bajo. El decodificador, además, deberá tener una entrada de habilitación (/E), activa a nivel bajo.

- Dibujar la interfaz (o símbolo lógico) del circuito.
- Rellenar la tabla verdad.

Entradas					Salidas									
/E	D	C	B	A	/D9	/D8	/D7	/D6	/D5	/D4	/D3	/D2	/D1	/D0
0	0	0	0	0										
0	0	0	0	1										
0	0	0	1	0										
0	0	0	1	1										
.....													
1	1	1	1	1										

3.2 –Decodificadores, composición

3.2.1. Construya un decodificador de 4 a 16 con entrada de habilitación activa a nivel bajo (/G) y salidas activas a nivel alto (S15,...,S0), a partir de decodificadores de 2 a 4 con entrada de habilitación activa a nivel bajo (/G) y salidas activas a nivel alto (S3,...,S0), y las puertas lógicas necesarias.

3.2.2. Se desea construir un decodificador de 5 a 32, con salidas activas a nivel bajo (/S31,...,/S0), utilizando decodificadores de 2 a 4, con salidas activas a nivel bajo (/S3,...,/S0) y habilitación activa a nivel bajo (/G). Diga cuantos decodificadores necesita utilizar, y si necesita puertas adicionales. Razone su respuesta. No es necesario dibujar el circuito resultante, pero puede ayudarle a resolver el problema.

3.2.3. Construya un decodificador binario de 3 a 8 con salidas activas a nivel bajo, con entrada de habilitación activa a nivel bajo. Para ello dispone de decodificadores binarios de 1 a 2 con salidas activas a nivel bajo y entrada de habilitación a nivel bajo. No se permite usar puertas lógicas adicionales. Etiquete correctamente todas las entradas y salidas de los símbolos lógicos y del circuito.

3.2.4. Construya un decodificador binario de 3 a 8 con salidas activas a nivel bajo y con entrada de habilitación activa a nivel alto. Para ello dispone únicamente de tres decodificadores binarios de 2 a 4 con salidas activas a nivel bajo y entrada de habilitación a nivel alto, pero uno de ellos tiene estropeada la salida de menor peso (/s0). Puede usar hasta 2 puertas lógicas adicionales. Etiquete correctamente todas las entradas y salidas de los símbolos lógicos y del circuito, e indique cuál de ellos es el que está estropeado.

3.2.5. Diseñar un decodificador de 4 a 16 con salidas activas a nivel bajo, y entrada de habilitación activa a nivel alto. Diseñarlo empleando decodificadores de 3 a 8 con salidas y entradas de habilitación a nivel bajo. También se pueden utilizar las puertas NOT que se estimen necesarias.

3.2.6. Se desea construir un decodificador de 16 a 65536 utilizando decodificadores de 4 a 16 con entrada de habilitación, y sin utilizar ninguna puerta adicional. Indique cuántos decodificadores son necesarios, detallando el razonamiento seguido para encontrar la solución.

3.2.7. Construya un decodificador binario de 4 a 16 con entrada de habilitación y salidas activas a nivel bajo, a partir de un decodificador de 3 a 8, dos decodificadores de 2 a 4 y dos decodificadores de 1 a 2, todos ellos con entrada de habilitación y salidas activas a nivel bajo.

3.3 – Multiplexores, cuestiones teóricas

3.3.1 En un multiplexor sin entrada de habilitación, si se introduce un “1” en más de una entrada de datos a la vez:

- A) Como se trata de una situación no contemplada, en la salida se obtiene un valor no definido (“X”).
- B) Aparece a la salida el valor de la entrada más prioritaria.
- C) Aparece a la salida el código de la entrada más prioritaria.
- D) Aparece un “1” a la salida si se ha seleccionado una de las entradas a “1”.
- E) Si las entradas de selección fueran activas a nivel bajo y se seleccionase cualquiera de las entradas de datos a “1”, la salida sería “0”.

3.3.2. Utilizando exclusivamente 585 multiplexores de 3 entradas de selección, diga cuál es el tamaño (en entradas de datos) del multiplexor más grande que se puede construir, sin utilizar otro tipo de puertas lógicas. Muestre sus cálculos. No es necesario que dibuje ningún circuito.

3.4 – Multiplexores, composición

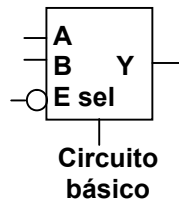
3.4.1. Se desea construir un multiplexor de **12 a 1** con 4 entradas de selección (S_3, S_2, S_1, S_0), sin entrada de habilitación. Para ello, se dispone de multiplexores de 4 a 1 con entrada de habilitación G, activa a nivel bajo y entradas de selección (B,A) activas a nivel alto. Indique el número de multiplexores necesarios y realice el esquema del circuito detallando todas las conexiones necesarias.

3.4.2. Se desea construir un multiplexor de 64 entradas de datos utilizando multiplexores de 2 entradas de selección (B,A). Diga cuantos multiplexores serán necesarios en total. Detalle las operaciones realizadas y los razonamientos seguidos.

3.4.3. Diseñe un multiplexor de 2 entradas de datos (E1, E0) y entrada de habilitación activa a nivel bajo (/A). Detalle todo el proceso seguido. Utilice el número de puertas mínimo.

3.4.4. Se desea componer un multiplexor de 2 entradas de 2 bits (A1, A0 y B1, B0) y 1 salida de 2 bits (Y1, Y0), y con entrada de habilitación /G, activa a nivel bajo.

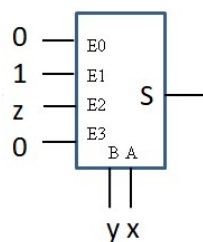
Para ello, se dispone exclusivamente y como elementos básicos de diseño (ver la figura) de un número suficiente de multiplexores de 2 entradas y 1 salida, con entrada de habilitación /E activa a nivel bajo.



Se pide:

- Dibujar la interfaz (o símbolo lógico) del circuito.
- Dibujar las conexiones correspondientes entre los elementos básicos, con las entradas y salidas del circuito global.

3.4.5. Obtenga la tabla de verdad del siguiente circuito combinacional diseñado a partir de un multiplexor con dos entradas de selección B (MSB) y A (LSB). Para la tabla de verdad considere "z" como la variable de mayor peso y "x" la de menor peso.



z	y	x	s

3.4.6. Se desea implementar un multiplexor de 17 a 1, construido exclusivamente con multiplexores de 8 a 1, no existen otras puertas lógicas para utilizar.

Se pide que :

- Indique el número de niveles de la composición.
- Realice un posible esquema, indicando las entradas de datos (D_i), ($0 \leq i \leq 16$), las de selección (S_j) con sus correspondientes pesos y la salida del circuito (Z).

Para ello, declárense como bits menos significativos (o LSB), tanto a la entrada de datos D0, como a la de selección S0. Téngase en cuenta que las entradas no utilizadas se pueden dejar sin conectar.

3.4.7. Realice el diseño de un multiplexor de 8 a 1 con entrada de habilitación activa a nivel alto utilizando multiplexores de 2 a 1, todos con entrada de habilitación activa a nivel alto.

3.4.8. Dibuje la interfaz o símbolo lógico del multiplexor de 8 a 1.

3.4.9. Utilizando el símbolo lógico del multiplexor de 8 a 1 anterior, implemente la función lógica k indicada a continuación.

$$k = \prod_{x,y,z} (0, 1, 5, 7) \cdot \prod_{\emptyset} (2, 3)$$

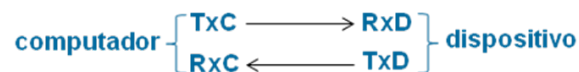
3.4.10. Se desea implementar un multiplexor de 16 entradas de datos con entrada de habilitación a nivel bajo a partir de multiplexores de 8 entradas de datos con entrada de habilitación a nivel bajo, sin emplear puertas lógicas adicionales. Dibuje el circuito resultante sin olvidar detallar los nombres, valores y pesos de las entradas y salidas, tanto del multiplexor resultante como de los empleados.

3.4.11. Se desea implementar un multiplexor de 1024 a 1 a base de una composición con multiplexores de 2 entradas de selección y entrada de habilitación activa a nivel alto. Indique el número de dichos multiplexores que serán necesarios y detalle el razonamiento seguido para obtener la respuesta.

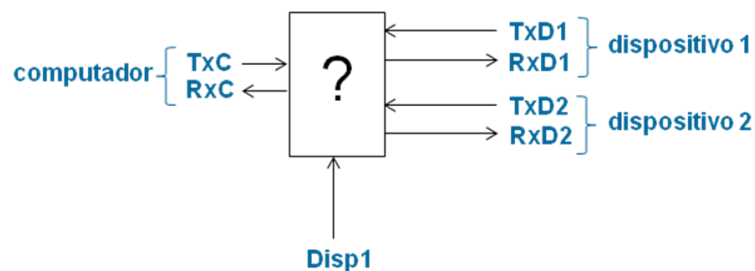
3.4.12 Realice el diseño de un multiplexor de 8 a 1 con entrada de habilitación activa a nivel alto utilizando 1 multiplexor de 4 a 1 y varios de 2 a 1 con entrada de habilitación activa a nivel alto.

3.5 – Diseño con bloques combinacionales básicos

3.5.1. Para realizar una conexión bidireccional de un dispositivo a un computador a través de su puerto serie debe conectarse la salida serie del computador TxC a la entrada serie del dispositivo RxD y la salida del dispositivo TxD a la entrada del computador RxC.



Construir un circuito que permita conectar el puerto serie del computador [TxC, RxC] a los puertos de dos dispositivos diferentes [TxD1, RxD1], [TxD2, RxD2]. Un interruptor activa a nivel alto una señal Disp1 para indicar que debe establecerse conexión con el dispositivo 1. Si esta señal está desactivada, indica que la conexión debe hacerse con el dispositivo 2. No puede usarse ninguna puerta lógica elemental, sólo dispositivos combinacionales básicos de los estudiados en este tema.



3.5.2. Un sistema posicionador realiza un movimiento en 2 direcciones, horizontal y vertical. Para poder determinar la posición, cada eje dispone de un codificador mecánico que activa una de entre 10 señales, numeradas de 0 a 9. Así, la activación de la señal H0 indica una posición horizontal extrema mientras que H9 indica que se ha alcanzado el extremo horizontal opuesto.

La activación de la señal V5 indicaría que el dispositivo se encuentra en una posición centrada en el eje vertical.

Diseñe un circuito digital que permita visualizar un dígito de 0 a 9 que indique la posición en cada uno de los ejes. Sólo dispondrá de un display de 7 segmentos, así que un interruptor permitirá seleccionar cuál de las dos informaciones (vert. u horiz.) se debe visualizar en cada momento. Este interruptor genera una señal V/H (V/H=1→vertical; V/H= 0→ horizontal). Utilice los bloques combinacionales estudiados. Minimice el número y tamaño de los componentes.

