

## 8 Cuestiones de TEORIA (6 puntos) . Puntuación: BIEN:+0.75 puntos. MAL: -0.1875 puntos. N.C.: 0

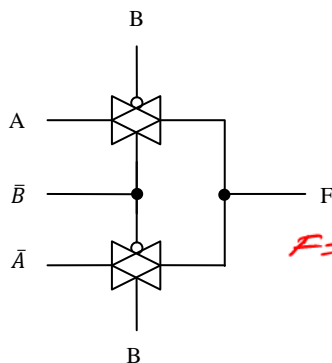
1. Dadas las siguientes especificaciones eléctricas de una puerta HCMOS alimentada a +5V, indique cuál de las siguientes afirmaciones, referida a una puerta, es **FALSA**:

- \*  $V_{IHmin} = 3.15V$ ,  $V_{ILmax} = 1.35V$
- \*  $V_{OHmin} = 3.84V$ ,  $V_{OLmax} = 0.33V$
- \*  $I_{IHmax} = 1\mu A$ ,  $I_{ILmax} = -1\mu A$
- \*  $I_{OHmax} = -4mA$ ,  $I_{OLmax} = 4mA$
- \*  $I_{CC(typ)} = 2\mu A$
- \*  $T_{pd(typ)} = 9\text{ ns}$
- \*  $C_{pd}$  (capacidad por puerta, sin carga) =  $5.5pF$

- (A) El consumo estático es de  $0.001mW$ .  $\times$
- (B) El margen de ruido es de  $0.69V$ .  $\checkmark$
- (C) El fan-out recomendado por el fabricante es de 50.  $\checkmark$
- (D) Asumiendo una frecuencia de conmutación de las entradas de  $10MHz$ , y que la salida está sin conectar, el consumo dinámico es de  $1.38mW$ .

*Fan-out (dinámico) recomendado = 50*

2. El circuito adjunto, implementado con puertas de transmisión CMOS, es:



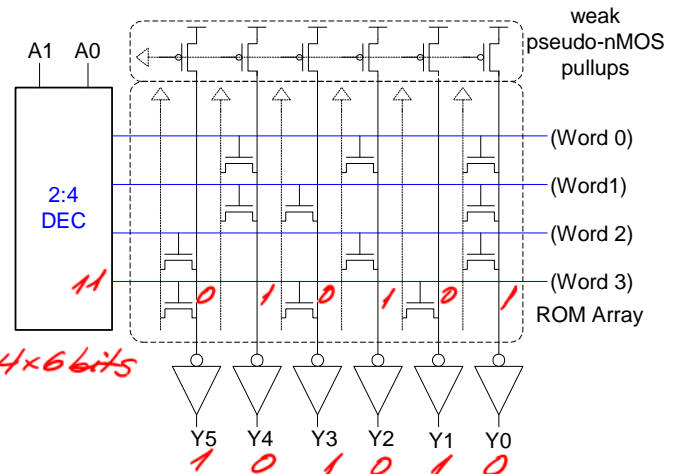
- (A) Un latch D activo por nivel alto.  $\times$
- (B) Un flip-flop D activo por flanco de bajada.  $\times$
- (C) Un multiplexor de 2 a 1 digital.  $\times$
- (D) Una puerta OR-Exclusiva.  $\checkmark$

$$F = \bar{A}B + A\bar{B} = A \oplus B$$

3. Dada la memoria ROM de la figura, señale la afirmación **FALSA**:

Nota: A0 e Y0 son los bits de menor peso.

- (A) Los transistores de la matriz de celdillas se insertan en el proceso de fabricación.  $\checkmark$  (ROM)
- (B) Se trata de un ROM de 6 palabras de 4 bits.  $\times$
- (C) Si  $A1=1$  y  $A0=1$ , el dato correspondiente en el bus será '101010'.  $\checkmark$
- (D) Los transistores 'pullup' se comportan como resistencias conectadas a la tensión de alimentación  $V_{DD}$ .  $\checkmark$



$$ROM\ 2^2 \times 6 = 4 \times 6\ bits$$

4. Dadas las especificaciones de una familia lógica que se muestran en la tabla adjunta, indique cuál de las siguientes afirmaciones es **VERDADERA**:

$V_{IHmin}$	$V_{ILmax}$	$V_{OHmin}$	$V_{OLmax}$
3V	1.5V	4V	1V
$I_{IHmax}$	$I_{ILmax}$	$I_{OHmax}$	$I_{OLmax}$
$20\mu A$	$-0.36mA$	$-300\mu A$	$6mA$

- (A) El margen de ruido a nivel alto es  $0.5V$ .  $\times$
- (B) El margen de ruido es  $0.5V$ .  $\checkmark$
- (C) El fan-out a nivel bajo es 17.  $\times$
- (D) El fan-out es 16.  $\times$

*Margen ruido*  $\left\{ \begin{array}{l} H: 4-3=1V \\ L: 1.5-1=0.5V \end{array} \right\}$  *Margen ruido = 0.5V*

*Fan-out*  $\left\{ \begin{array}{l} H: \lfloor 300\mu / 20\mu \rfloor = 15 \\ L: \lfloor 6m / 0.36m \rfloor = 16 \end{array} \right\}$  *Fan-out = 15*



Apellidos:

SOLUCIÓN

Nombre:

## PROBLEMA (4 PUNTOS)

- A. (1 punto) Se quiere diseñar en **lógica CMOS complementaria** la función suma de un sumador completo de 1 bit (**Full Adder**):

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

Dibuje el esquema con transistores del circuito CMOS correspondiente. Justifique el diseño.

A.1 Esquema con transistores (0.8P)

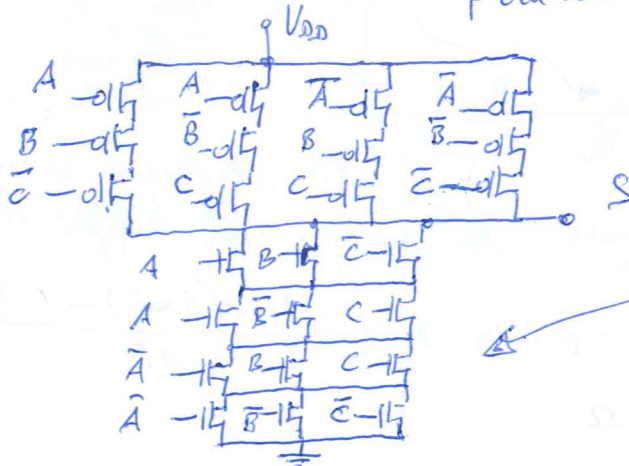
A.2 Justificación del diseño (0.2P)

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$G_{PMOS} = S$  con las variables negadas

$$G_{PMOS} = \underbrace{A\bar{B}\bar{C}}_{\text{serie}} + \underbrace{A\bar{B}C}_{\text{serie}} + \underbrace{\bar{A}B\bar{C}}_{\text{serie}} + \underbrace{\bar{A}BC}_{\text{serie}}$$

paralelo



El bloque NMOS se genera de manera dual, cambiando las asociaciones serie  $\leftrightarrow$  paralelo

NOTA: se podría hacer primero el bloque NMOS  $S = \bar{S}$  y después el PMOS dual

- B. (1 punto) Verifique el correcto funcionamiento del circuito para la combinación de entradas  $A = B = '1'$ ,  $C = '0'$ . Para ello sustituya los transistores por los **interruptores (abiertos o cerrados)** equivalentes y deduzca el valor de la función S.

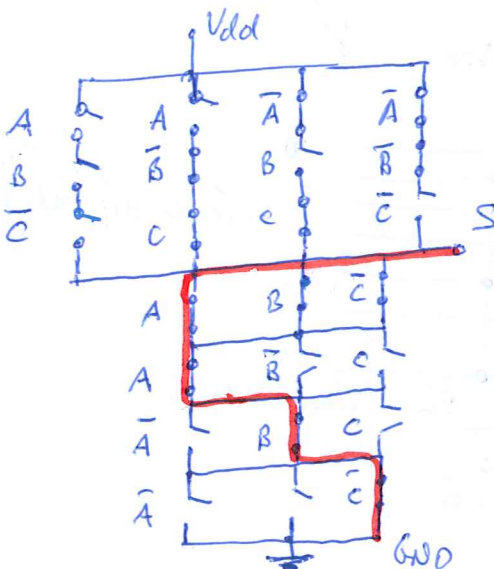
B.1 Esquema con interruptores abiertos/cerrados (0.6P)

B.1 Justificación del valor lógico de la función y comparación con el valor de la expresión de S:

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC \quad (0.4P)$$

$A = B = '1'$ ,  $C = 0 \rightarrow$  según la expresión,  $S = '0'$

Conexión S - mala  $\rightarrow S = '0'$

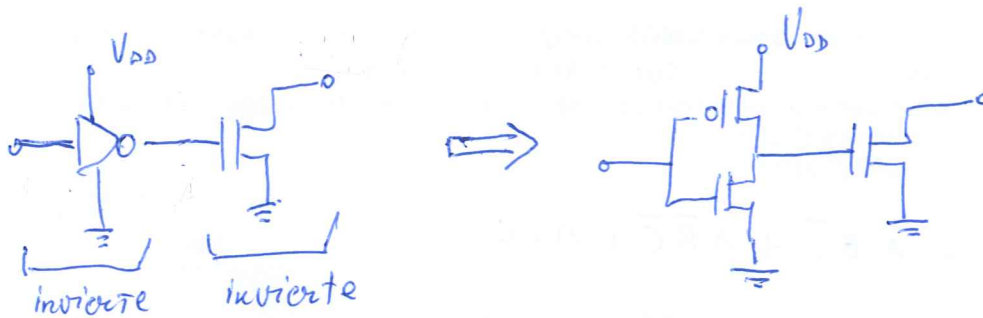


Los NMOS conducen con '1'  
Los PMOS conducen con '0'



- C. (1 punto) Suponga que se añade al circuito del apartado A, un **buffer no inversor con salida en drenador abierto** para controlar un panel de LED, tal como muestra la figura. Se pide:

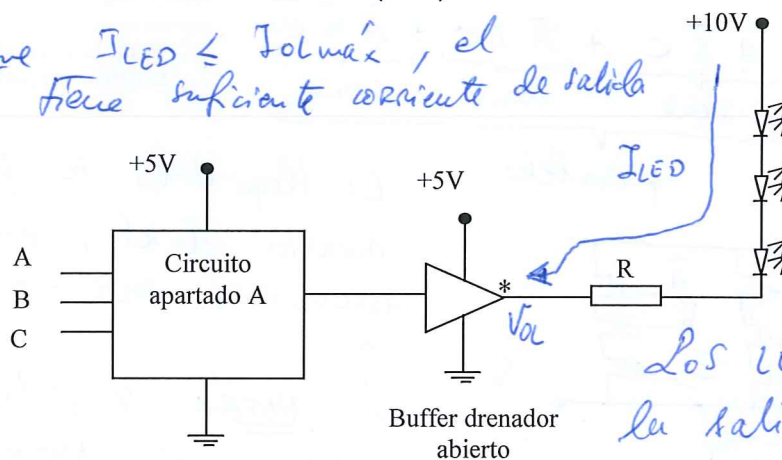
C.1 Esquema interno del buffer en drenador abierto, a base de transistores. (0.5P)



Como el buffer es no inversor, necesitamos un inversor previo

C.2 Diseño de la resistencia R para conseguir una correcta iluminación de los LED. Observe que el panel de LED está alimentado a +10V (0.5P)

Note que  $I_{LED} \leq I_{OLmax}$ , el buffer tiene suficiente corriente de salida



LED:  
 $V_{LED} = 2V$ ,  $I_{LED} = 15mA$

Buffer drenador abierto:  
 $I_{OHmax} = 100\mu A$   
 $V_{IHmin} = 4.0V$   
 $I_{OLmax} = 20mA$   
 $V_{OLmax} = 0.5V$

Los LED conducen cuando la salida del buffer es '0'

$$10 - (3 \times V_{LED}) - I_{LED} R - V_{OL} = 0 \rightarrow R = \frac{10 - (3 \times 2) - 0.5}{15}$$

$$R \approx 0.233k = 233 \Omega$$

- D. (1 punto) Complete la tabla de verdad de la función S del apartado A y realice el diseño de esta función utilizando una **memoria ROM NOR**. Dibuje la estructura interna con transistores e indique el tamaño de la memoria.

D.1 Tabla de verdad (0.2P)

D.2 Tamaño de la ROM (palabras x tamaño de la palabra) (0.2P)

D.3 Esquema interno de la ROM (0.6P)

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

tamaño de la ROM =  $2^3$  palabras x 4 bit

