



Escola Tècnica  
Superior d'Enginyeria  
Informàtica

## ESTRUCTURA DELS COMPUTADORS (GII)

---

# Exercicis del tema 7

## Adaptadors i interfícies d'entrada/eixida

---

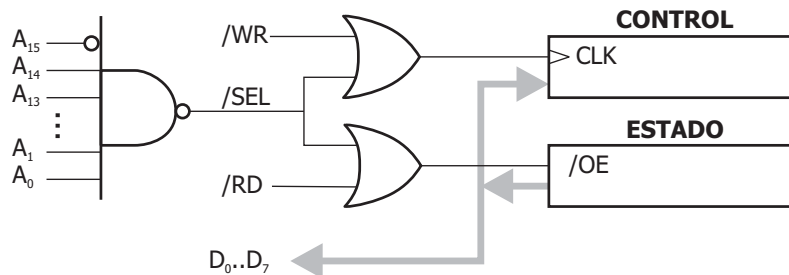
### *Professorat*

Ana PONT  
Antonio ROBLES  
José M. VALIENTE  
José FLICH  
Xavi MOLERO  
Jorge REAL  
Álvaro DOMÉNECH  
Milagros MARTÍNEZ  
Julio PONS

Curs 2017 - 2018  
versió 2

## 1. Adreçament i selecció de les interfícies d'E/S

**EXERCICI 1** La figura 1 mostra l'esquema de connexió de la interfície de cert dispositiu. Esta interfície conté dos registres: el registre d'Estat, només de lectura, i el registre de Control, que només és d'escriptura.



**Figura 1:** Interfície del dispositiu del problema 1.

La interfície es connecta a una versió reduïda del MIPS R2000 que disposa de 16 bits d'adreça i 8 de dades. A partir del circuit, deduíu la seua adreça base i feu un fragment de programa que, per consulta d'estat, escriba un zero en el registre de control quan detecte un valor diferent de zero en el registre d'Estat.

### SOLUCIÓ

```

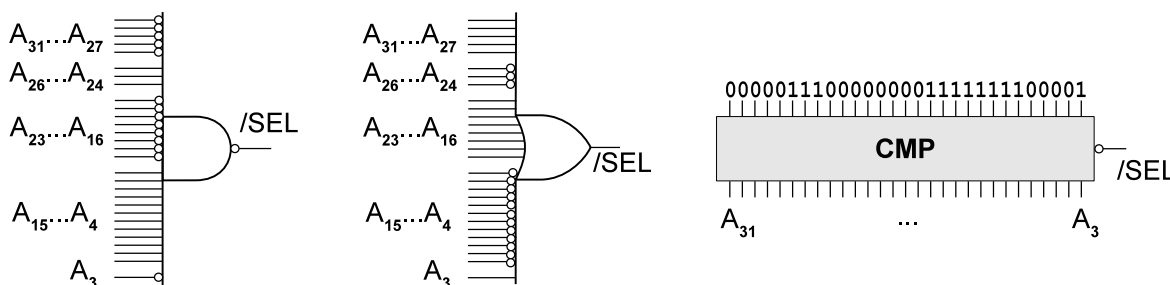
        la $t0,0x7FFF
bucle:  lb $t1,0($t0)
        beq $t1,$0,bucle
        sb $0,0($t0)

```

- Quina adreça li pertoca al registre de dades?
- Quines operacions són possibles amb el registre de control, llegir, escriure o ambdues?
- Escriuiu les instruccions necessàries en codi màquina del MIPS R2000 que fan la lectura del registre de dades.
- Quina hauria de ser l'equació lògica de selecció de la interfície per tal que els registres només siguin accessibles mitjançant instruccions lb amb l'adreça corresponent? Considereu com a entrades les línies d'adreça  $A_i$  i les línies de selecció de byte  $/BE_i$ , i com eixida la línia  $/SEL$ .

### SOLUCIÓ

- El bus d'adreces del MIPS R2000 conté les línies  $A_{31} \dots A_2$ . La línia  $A_2$  serveix per a la selecció dels registres, i hi queden per a la selecció  $A_{31} \dots A_3$ . La Figura 3 mostra tres circuits equivalents que implementen la funció de selecció per a l'adreça base 0x0700FFF0.



**Figura 3:** Tres circuits per a la selecció de la interfície del problema 2.

- Per a operar amb un registre donat, cal seleccionar la interfície amb el valor  $A_{31} \dots A_3$  determinat en l'apartat 1 i fixar el valor  $A_2$  i l'operació ( $/RD$  o  $/WR$ ) corresponents. És a dir, que, a més a més de l'operació, cal aplicar una adreça efectiva donada. En general, les adreces que seleccionen els registres d'aquesta interfície són:

Registre	Línies d'adreça		Adreça efectiva	
	$A_{31} \dots A_2$	$A_2$	$A_{31} \dots A_0$	
Estat, control	0000 0111 ... 1111 1111 0	0	0x0700FFF0	base
Dades	0000 0111 ... 1111 1111 0	1	0x0700FFF4	base+4

Per tant, el registre de dades correspon a l'adreça base+4.

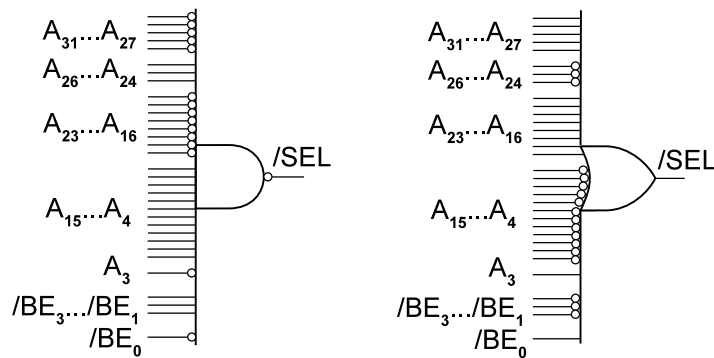
- El registre de control només permet escriptura, ja que el senyal  $/WR$  entra en el seu esquema de selecció i només quan aquest senyal estiga actiu bolcarà el seu contingut en les línies  $D_7 \dots D_0$  del bus de dades.
- Instruccions que lligen el registre de dades:

```
li $t0, 0x0700FFF0    # Adreça base
lb $t1, 4($t0)         # Accés a DADES
```

- La selecció dissenyada en l'apartat 1 captura qualsevol accés a la memòria dins del rang d'adreces 0x0700FFF0  $\dots$  0x0700FFF7. Si cal restringir als accessos als bytes d'adreces *base* i *base + 4*, la descodificació de les adreces ha de considerar les màscares de byte:

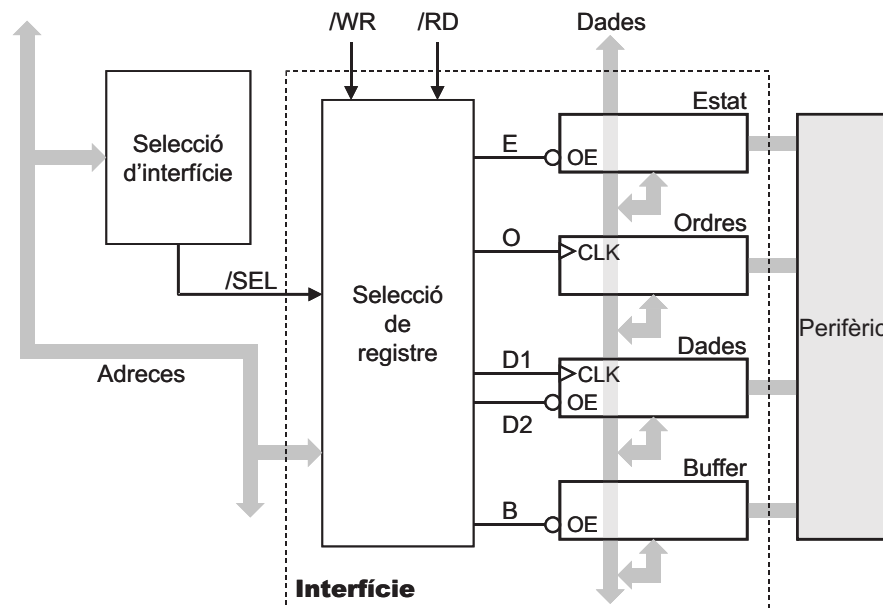
	Adreça $A_{31} \dots A_0$	Línies d'adreça $A_{31} \dots A_2$	Selecció de byte $/BE_3 \dots /BE_0$
base	0x0700FFF0	0000 0111 ... 1111 1111 00	1110
base + 4	0x0700FFF4	0000 0111 ... 1111 1111 01	1110

Per tant, la selecció ha d'assegurar que  $/BE_3 = /BE_2 = /BE_1 = 1$  i que  $/BE_0 = 0$ . La Figura 4 en mostra dues implementacions.



**Figura 4:** Selecció de la interfície del problema 2 (apartat 5).

**EXERCICI 3** Heu de dissenyar la connexió dels registres de la interfície d'un perifèric al bus d'un processador amb un espai d'adreçament únic d'1 KB i amplada de paraula de 8 bits. La interfície està formada per quatre registres de 8 bits amb entrada de rellotge CLK (flanc ascendent) i control d'eixida  $/OE$  (per nivell baix), com mostra la figura 5.



**Figura 5:** Esquema de la interfície d'E/S del problema 3.

L'especificació dels registres és la següent:

Adreça	Nom	Tipus
Base	Estat	Lectura
Base	Ordres	Espectura
Base + 1	Dades	L/E
Base + 2	Buffer	Lectura

Seguiu les passes següents:

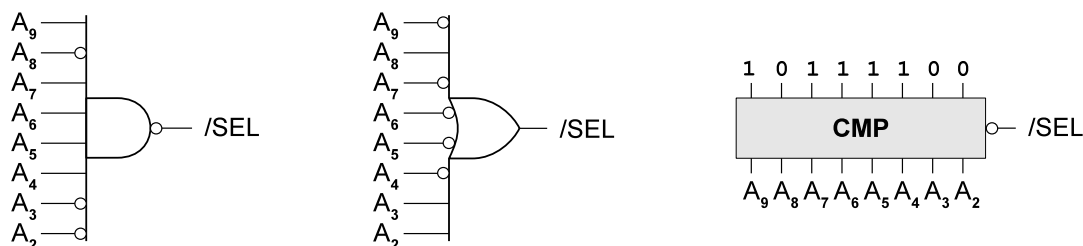
1. Determineu quines línies d'adreça s'apliquen a la selecció de la interfície i quines a la selecció de registres.
2. Implementeu el bloc de selecció de la interfície perquè l'adreça base siga 0x2F0. Noteu que la línia de selecció /SEL és activa a nivell baix
3. Dissenyeu el circuit de selecció de registres perquè actue sobre els senyals de control dels registres de la interfície. Heu d'utilitzar un descodificador amb habilitació i eixides actives per nivell baix, a més de les portes adients.

### SOLUCIÓ

1. Del fet que l'espai adreçable és d'1 KB i l'amplada de paraula de 8 bits, sabem que les línies d'adreces són  $A_9, \dots, A_0$ . Donat que la interfície del dispositiu abasta 3 bytes (des de *Base* a *Base* + 2), hi cal reservar els dos bits menys significatius  $A_1$  i  $A_0$  de l'adreça per a seleccionar-ne els registres. Per tant, la selecció del perifèric és funció de les línies  $A_9, \dots, A_2$ . Noteu que, amb aquest esquema d'adreçament, la interfície podria contenir un registre adicional d'adreça *Base* + 3.
2. La interfície s'ha de seleccionar quan  $A_9 \dots A_2 = 10111100$ . Algebraicament, la funció de selecció activa per nivell alt seria  $A_9 \cdot \overline{A_8} \cdot A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot \overline{A_3} \cdot \overline{A_2}$ . A nivell baix, podem obtenir dos expressions útils, que són:

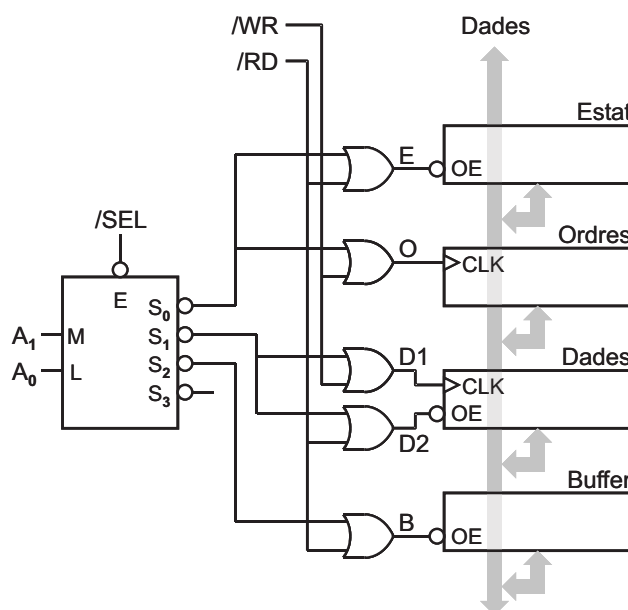
$$\begin{aligned} /SEL &= \overline{A_9 \cdot \overline{A_8} \cdot A_7 \cdot A_6 \cdot A_5 \cdot A_4 \cdot \overline{A_3} \cdot \overline{A_2}} \quad (\text{per a síntesi amb una porta NAND}) \\ &= \overline{A_9} + A_8 + \overline{A_7} + \overline{A_6} + \overline{A_5} + \overline{A_4} + A_3 + A_2 \quad (\text{per a síntesi amb una porta OR}) \end{aligned}$$

La Figura 6 en mostra tres implementacions de la funció. Les implementacions suggerides per l'àlgebra demanen una porta NAND o una porta OR de 8 entrades amb les entrades corresponents complementades. A la dreta de la figura hi ha una solució basada en un comparador de dos nombres de 8 bits.



**Figura 6:** Selecció de la interfície d'E/S (problema 3, apartat 2).

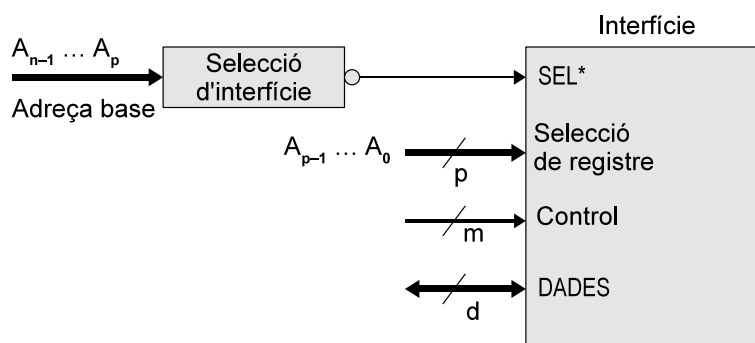
3. Per a la selecció dels registres, el descodificador ha de discriminar entre les tres adreces rellevants (Base, Base+1 i Base+2). La Figura 7 en mostra la solució.



**Figura 7:** Selecció dels registres de la interfície (problema 3, apartat 3)

**EXERCICI 4** Es pretén dissenyar una interfície d'entrada/eixida per al processador (imaginari) MC2000. El MC2000 està basat en el MIPS R2000, amb la diferència de disposar d'un bus de dades de 8 bits i que el seu joc d'instruccions només inclou les instruccions lb i sb per a accedir a la memòria principal.

La interfície necessita quatre registres: CONTROL, ESTAT, DADES1 i DADES2, tots ells de lectura/escriptura, excepte del registre de l'ESTAT, que només és de lectura. Per a l'adreçament s'utilitza entrada/eixida adreçada en memòria, i la interfície ocupa 4 bytes consecutius a partir de l'adreça *BASE*, però en un ordre desconegut. D'altra banda, el processador disposa d'una línia de lectura RD\* i una d'escriptura WR\*. La Figura 8 mostra un esquema de connexió entre el processador i la interfície d'entrada/eixida.



**Figura 8:** Esquema de connexió de la interfície del problema 4.

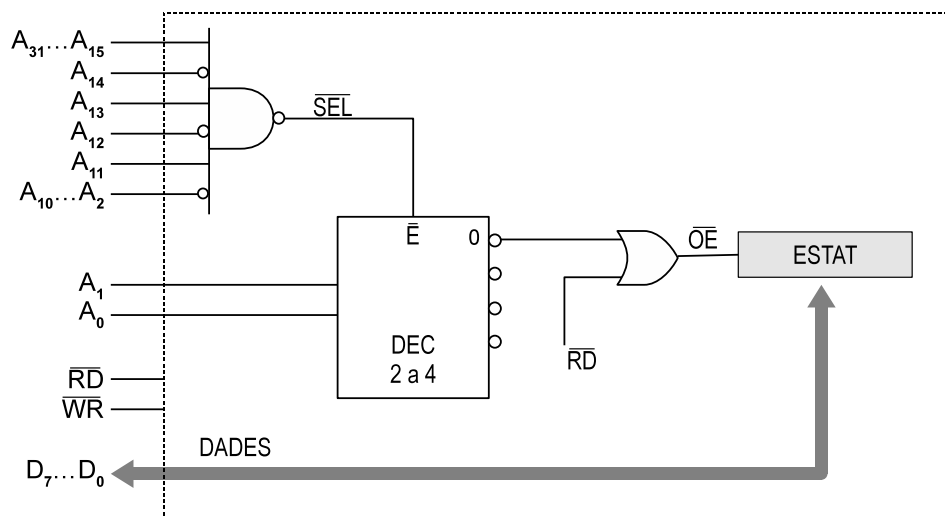
Tenint en compte que el fragment de codi següent fa una transferència des del registre de l'ESTAT cap al registre de CONTROL,

```
1a $t0, 0xFFFFA800
1b $t1, 0(t0)
sb $t1, 2(t0)
```

1. Quin serà el valor dels paràmetres  $p$ ,  $n$ ,  $m$  i  $d$  relatius a la interfície a dissenyar?
2. Quina serà la funció lògica implementada pel descodificador?
3. Dibuixeu el detall del disseny de l'adaptador associat al registre de l'ESTAT.

### SOLUCIÓ

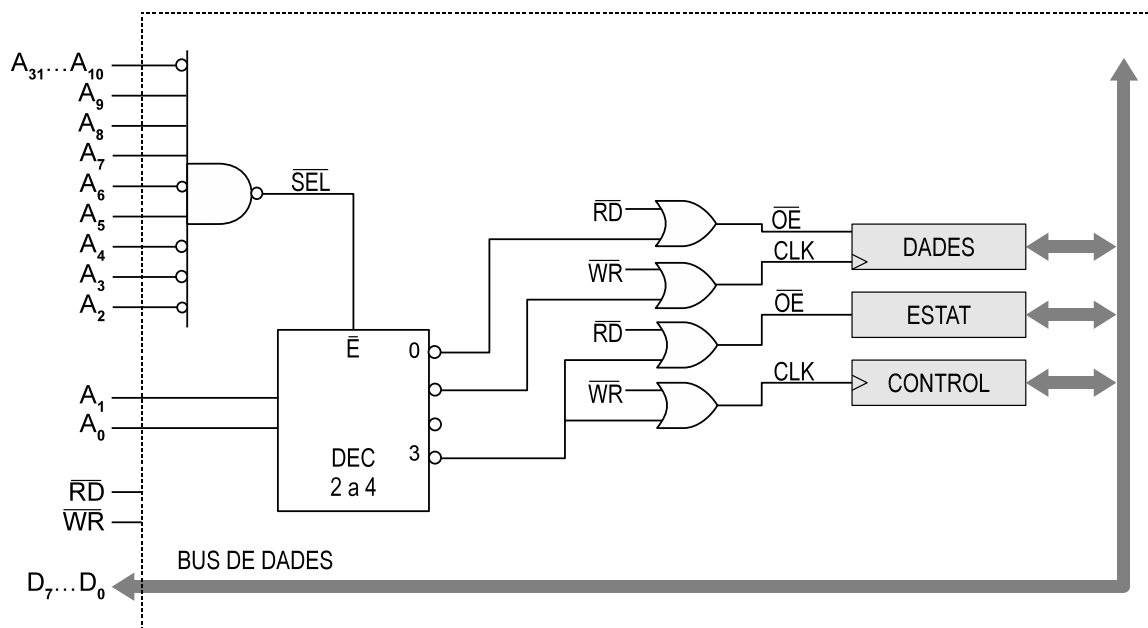
1. L'única diferència que presenta el processador MC2000 respecte al R2000 consisteix a disposar d'un bus de dades de 8 bits, per la qual cosa es dedueix fàcilment que el paràmetre  $d$ , que representa l'amplària del bus de dades, ha de ser igual a 8, mantenint-se  $n = 32$  exactament com en el R2000 original. D'altra banda, la interfície ocupa 4 bytes en l'espai d'adreçament, per la qual cosa s'haurà de complir  $2^p = 4$  i per tant disposarem de  $p = 2$  línies de selecció interna en la interfície ( $A_1$  i  $A_0$ ). Finalment, el nombre de senyals de control inclosos serà de  $m = 2$  en necessitar tant la lectura ( $RD^*$ ) com l'escriptura ( $WR^*$ ) dels registres interns.
2. Per a esbrinar la funció lògica del circuit de selecció de la interfície necessitem conèixer, en primer lloc, l'adreça *BASE* de la interfície. En el codi adjunt observem que el registre \$t0 s'utilitza per a emmagatzemar la dita adreça (0xFFFFA800). Ja que  $A_1$  i  $A_0$  s'utilitzen per a adreçar l'interior de la interfície,  $A_{31} \dots A_2$  intervindran en la generació de la funció  $SEL^*$  d'acord amb el valor fix que prenen en l'adreça *BASE*:  $A_{31} = \dots = A_{15} = 1, A_{14} = 0, A_{13} = 1, A_{12} = 0, A_{11} = 1, A_{10} = \dots = A_2 = 0$ . En la Figura 9 pot observar-se la seua implementació per mitjà d'una porta NAND.
3. El codi d'assemblador que s'adjunta llegeix de l'adreça *BASE* i escriu en l'adreça *BASE*+2. Ja que s'indica en l'enunciat que es llegeix del registre d'estat, això significa que aquest s'ubica en la mateixa adreça *BASE* de la interfície i prendrà per tant l'eixida 0 del descodificador, a les entrades del qual portarem  $A_0$  i  $A_1$ . D'altra banda, en tractar-se d'un registre de només lectura, únicament necessitarà el senyal de control  $RD^*$ . El disseny complet apareix en la Figura 9.



**Figura 9:** Detall del disseny del registre de l'ESTAT (problema 4).

**EXERCICI 5** La interfície que es mostra en la Figura 10 senyada per a treballar amb el processador MC2000ES, semblant al MC2000 (vegeu el problema 4), però amb interfície de 8 bits de dades i modificat per tal d'incloure un mapa separat per a l'adreçament de l'entrada/eixida

(I/O mapped I/O). Respecte al joc d'instruccions, coincideix amb el del MC2000 i, a més, afegeix dues noves instruccions per a accedir a bytes individuals del nou mapa: es tracta de `leb` (lectura sobre el mapa d'entrada/eixida) i `seb` (escriptura en el mapa d'entrada/eixida). El seu format és semblant a les instruccions d'accés a memòria `lb` i `sb`: `leb rt, desp(rs)` i `seb rt, desp(rs)`.



**Figura 10:** Diagrama de la interfície d'entrada/eixida del problema 5.

No obstant això, a la interfície mostrada en la Figura 10, li falta un detall en la seua implementació, a causa del qual no funciona correctament.

1. Quina modificació hauríem de realitzar sobre el disseny mostrat en la figura per tal que funcione correctament?
2. Considerant resolt l'error anterior i, per tant, que la interfície treballa adequadament, escriu un programa que inicialitzi a zero el registre de control i que escriu en el registre del processador \$a0 el contingut del registre de dades de la interfície.

**SOLUCIÓ** Segons l'esquema de la figura, hi ha 32 línies d'adreça involucrades en la selecció del dispositiu perifèric. D'aquestes, les dues de menor pes ( $A_0$  i  $A_1$ ) s'empren en la selecció dels registres, mentre que les de major pes ( $A_{31}, A_{30}, \dots, A_2$ ) intervenen en el procés de selecció de la interfície que genera el senyal d'habilitació del descodificador). Pel que fa al bus de dades, la seua amplada és de 8 bits.

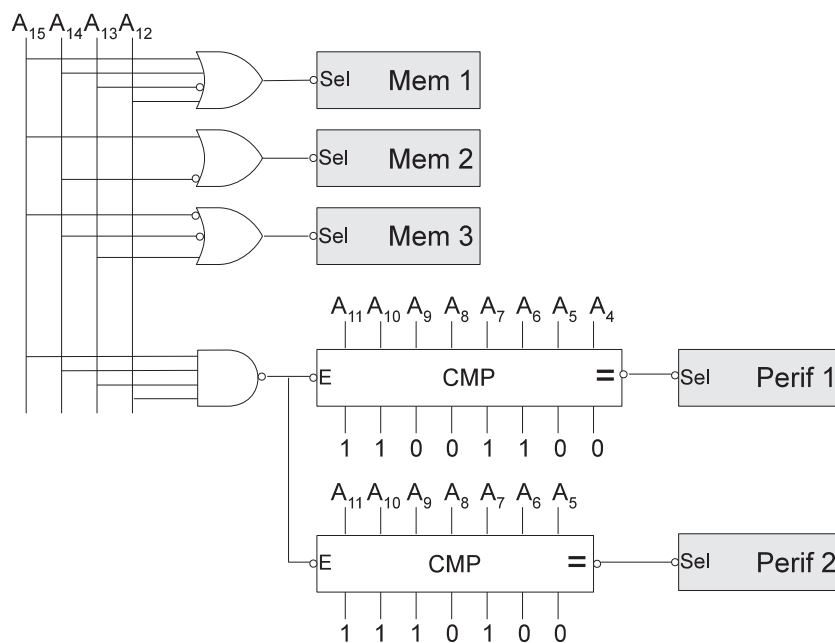
1. Tal com està indicat en la figura, no apareix cap mecanisme que diferencie les adreces de memòria de les de l'entrada/eixida. Per tant, a l'esquema falta afegir una línia de tipus M/IO\* com a entrada de la porta NAND. El perifèric es podrà seleccionar només quan aquesta línia estiga a nivell baix.
2. L'adreça base de la interfície es conforma mitjançant la combinació de les línies de major pes de l'adreça que seleccionen la interfície, més la resta de línies de menor pes a zero. En aquest cas aquesta combinació és, expressada en binari, 0000 0000 0000 0000 0011 1010 0000; si escrivim aquesta combinació de bits en hexadecimal tindrem 0000003A<sub>16</sub>. Si representem aquesta combinació amb la variable  $B$ , a partir del connexionat indicat a la figura es pot deduir



que el registre de control està situat en l'adreça  $B + 3$  (eixida 3 del descodificador), mentre que el registre de dades està en l'adreça  $B + 0 = B$  (eixida 0 del descodificador). El programa demanat serà:

```
la $t0, 0x000003A0 # Adreça base
seb $zero, 3($t0)  # Escriu zero en registre control
leb $a0, 0($t0)    # Llegeix registre de dades en $a0
```

**EXERCICI 6** Un microprocessador amb adreces de 16 bits conté tres mòduls de memòria (*Mem 1*, *Mem 2* i *Mem 3*) i dos adaptadors de perifèric (*Perif 1* i *Perif 2*) connectats al bus. Vegeu a la figura 11 l'esquema de la descodificació d'adreces. Els mòduls de memòria i els adaptadors de perifèrics disposen d'una entrada de selecció *Sel\** activa a nivell baix. Els comparadors *CMP* d'una entrada d'habilitació (*E\**) i d'una eixida (retolada "=") actives també a nivell baix.



**Figura 11:** Descodificació d'adreces del problema 6

Calculeu:

1. Quina és la capacitat i el rang d'adreces de cada mòdul de memòria? Doneu el rang d'adreces en hexadecimal.
2. Quina és l'adreça base de cada adaptador de perifèric (doneu l'adreça en hexadecimal)? Si els registres de les interfícies de *Perif 1* i *Perif 2* són de 16 bits, quin és el màxim nombre de registres de lectura que pot tenir cada adaptador?
3. Amb quina funció de selecció podríeu afegir al microprocessador un quart mòdul de memòria *Mem 4* de 16 KB sense modificar la resta del mapa? Dibuixeu el circuit de selecció adient.

## SOLUCIÓ

1. Les capacitats i rangs d'adreces dels mòduls de memòria són:

Mòdul	$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$	Capacitat	Rang d'adreces
Mem 1	0	0	1	0	X	4 KB	0x2000 a 0x2FFF
Mem 2	0	1	X	X	X	16 KB	0x4000 a 0x7FFF
Mem 3	1	1	0	X	X	8 KB	0xC000 a 0xDFFF

2. Les adreces base i el nombre màxim de registres de lectura de cada adaptador de perifèric són:

Adaptador	Adreça base	Nre. màxim de registres
Perif 1	0xFCC0	8 (16 bytes)
Perif 2	0xFE80	16 (32 bytes)

3. L'única selecció possible és  $Sel(Mem\ 4) = A_{15} \cdot \overline{A_{14}}$ . El mapa de memòria quedaria així:

Mòdul	$A_{15}$	$A_{14}$	$A_{13}$	$A_{12}$	$A_{11}$
Mem 1	0	0	1	0	X
Mem 2	0	1	X	X	X
Mem 4	1	0	X	X	X
Mem 3	1	1	0	X	X
Perifèrics	1	1	1	1	1

Una implementació possible seria:

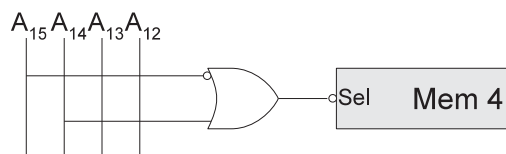


Figura 12: Selecció del mòdul Mem 4 del problema 6

**EXERCICI 7** Un microprocessador amb adreces de 32 bits conté dos mòduls de memòria (*Mem 1* i *Mem 2*) i un adaptador de perifèric (*P*) connectats al bus. Vegeu a la figura 13 l'esquema de la descodificació d'adreces. Els mòduls de memòria i els adaptadors de perifèrics disposen d'una entrada de selecció  $Sel^*$  activa a nivell baix. El comparador *CMP* disposa d'una entrada d'habilitació ( $E^*$ ) i d'una eixida (retolada "=") actives també a nivell baix.

- Quina és la capacitat i el rang d'adreces del mòdul de memòria *Mem1*? Doneu el rang d'adreces en hexadecimal.
- Amb quina funció de selecció (caixa *X* en la figura 13) activa a nivell baix connectaríeu el mòdul *Mem2* de memòria de 512 MB de capacitat de manera que l'adreça més alta continguda en ell fora 0x7FFFFFFF? Expressen la funció de selecció en forma algebraica i en forma de circuit.
- Quina és l'adreça base de la interfície del perifèric *P*? Doneu l'adreça en hexadecimal.
- La interfície del perifèric *P* conté cinc registres de 32 bits, anomenats  $R_A$ ,  $R_B$ ,  $R_C$ ,  $R_D$  i  $R_E$ . Completeu el circuit de la figura 14 omplint el bloc incògnit perquè tinguin l'accés que es detalla en la taula 1

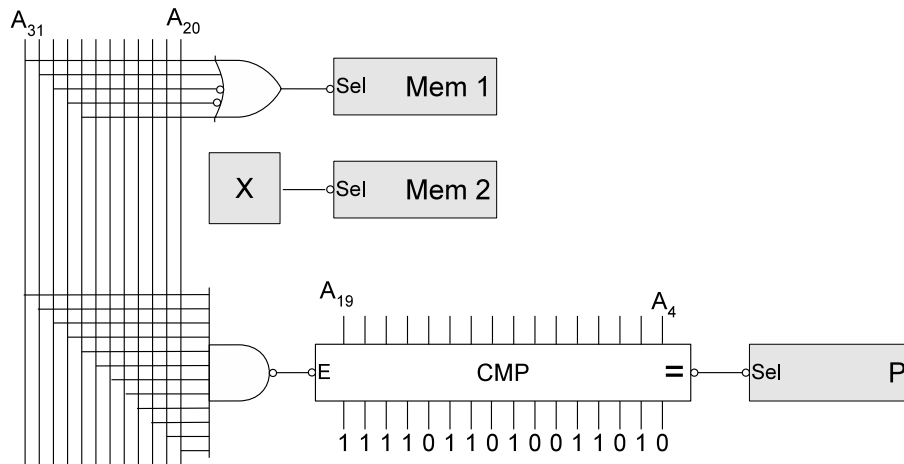


Figura 13: Descodificació d'adreces del problema 7

Registre	Desplaçament	Accés
$R_A$	0	R
$R_B$	4	W
$R_C$	8	RW
$R_D$	12	W
$R_E$	12	R

Tabla 1: Característiques dels registres de la interfície de  $P$ **SOLUCIÓ**

1. Capacitat i rangs d'adreces de  $Mem1$ :

$$\text{Capacitat} = 2^{27} = 128MB$$

$$\text{Rang} = 3000\ 0000_h \dots 37FF\ FFFF_h$$

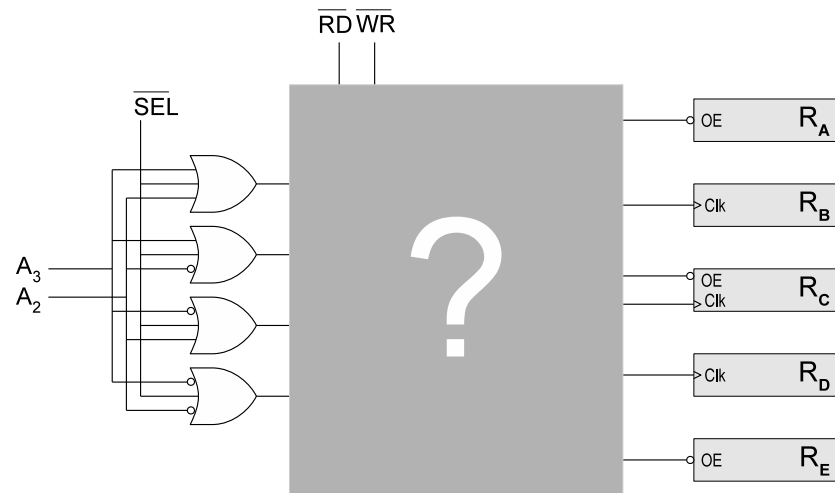
2. Funció de selecció de  $Mem2$

De forma algebraica:

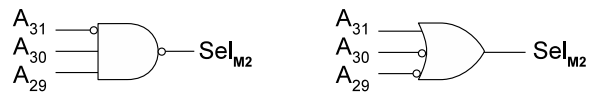
$$\text{Sel}_{M2} = \overline{\overline{A_{31}} \cdot A_{30} \cdot A_{29}} = A_{31} + \overline{A_{30}} + \overline{A_{29}}$$

La figura 15 mostra dues implementacions de la selecció del mòdul.

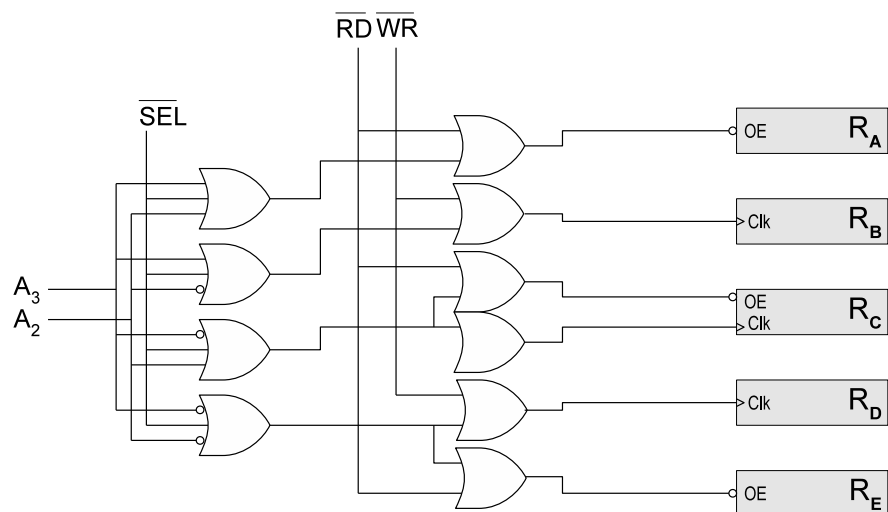
3. Adreça base de  $P$ :  $FFFF69A0_h$
4. La figura 16 mostra una implementació possible de la selecció dels registres de  $P$ .



**Figura 14:** Selecció dels registres de la interfície *P* (problema 7, apartat 4)



**Figura 15:** Dues solucions de la selecció del mòdul *M2* de memòria (problema 7, apartat 2)



**Figura 16:** Solució del quadre incògnit de la interfície de *P* (problema 7, apartat 4)