

Apellidos:

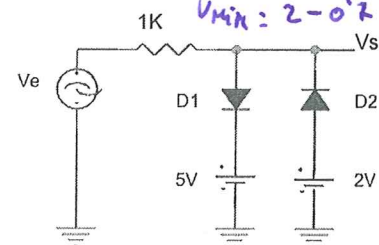
SOLUCIONES

Nombre:

10 Cuestiones de TEORÍA (4 puntos).

Puntuación: BIEN +0.4, MAL -0.1, En blanco: 0

1. Dado el circuito de la figura, si V_e es una onda triangular de 20Vpp (entre -10V y +10V), ¿Cómo se verá recortada la entrada senoidal en la salida V_s ?

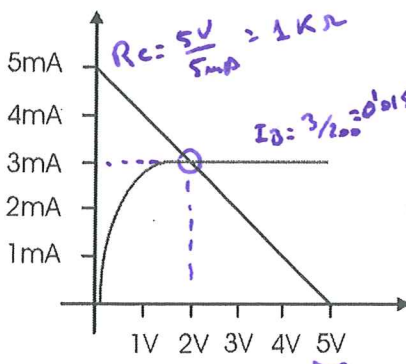
(Datos: $V_\gamma = 0.7V$)

$$V_{MAX} = 5 + 0.7V = 5.7V$$

$$V_{MIN} = 2 - 0.7V = 1.3V$$

- [A] Se recorta entre 5.7V y 2.7V
 [B] Se recorta entre 5V y -2V
 [C] Se recorta entre 5V y 2V
 [D] Se recorta entre 5.7V y 1.3V

2. Dada la curva característica y la recta de carga de la siguiente figura, correspondiente a un circuito de polarización simple de un transistor NPN (sólo R_C en la rama C-E) con una $\beta = 200$, se pregunta:

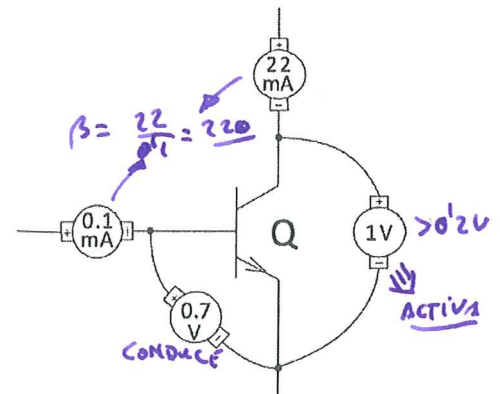


¿Cuál de las siguientes afirmaciones es la correcta?

- [A] La tensión de alimentación en la rama del colector es de 5V, $R_C = 1k$, el transistor se halla en zona de saturación e $I_B = 0.04mA$.
 [B] La tensión de alimentación en la rama del colector es de 2V, $R_C = 1k$, el transistor se halla en zona activa y no hay datos para calcular I_B .
 [C] La tensión de alimentación en la rama del colector es de 5V, $R_C = 1k$, el transistor se halla en zona activa e $I_B = 0.015mA$.
 [D] La tensión de alimentación en la rama del colector es de 5V, $R_C = 2k$, el transistor se halla en zona activa y no hay datos para calcular I_B .

3. La figura muestra un transistor bipolar, que forma parte de un circuito, al que se le han medido varias tensiones y corrientes. A la vista de estas medidas, se podrá afirmar que:

- [A] El transistor está saturado.
 [B] El transistor está en corte.
 [C] El transistor está en la zona activa, y su β es de 220.
 [D] El transistor está en la zona activa inversa.



4. ¿Cuál será el valor de la resistencia R_d que hace que el punto de trabajo del Mosfet de la figura esté justo entre óhmica y saturación?

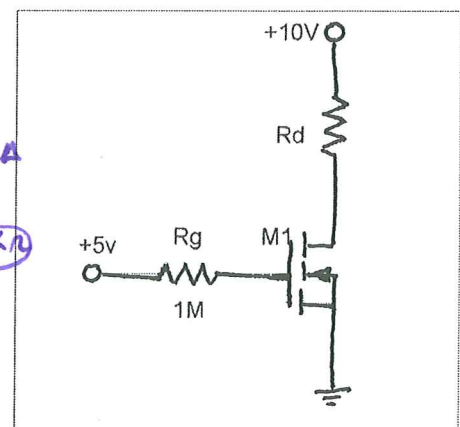
Datos: ($K = 0.25 \text{ mA/V}^2$, $V_T = 3V$)

- [A] 0.65kOhm
 [B] 9.8kOhm
 [C] 8kOhm
 [D] Ninguno de los anteriores

$$\text{SUP-SAT: } I_{DS} = 0.25(5-3)^2 = 1mA$$

$$\text{LÍM-SAT-ÓHM: } V_{DS} = V_{GS} - V_T = 2V$$

$$\text{LUEGO: } R_{LÍMITE} = \frac{1mA - 2V}{1mA} = 8K\Omega$$



5. ¿Cual será el valor de la salida V_s cuando la entrada del inversor lógico de la figura se conecta a $V_e = 5V$?

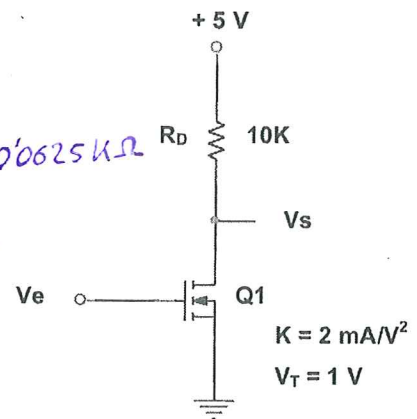
Usad la expresión aproximada para la zona óhmica del transistor:

$$R_{ON} \approx 1/(2K(V_{GS} - V_T))$$

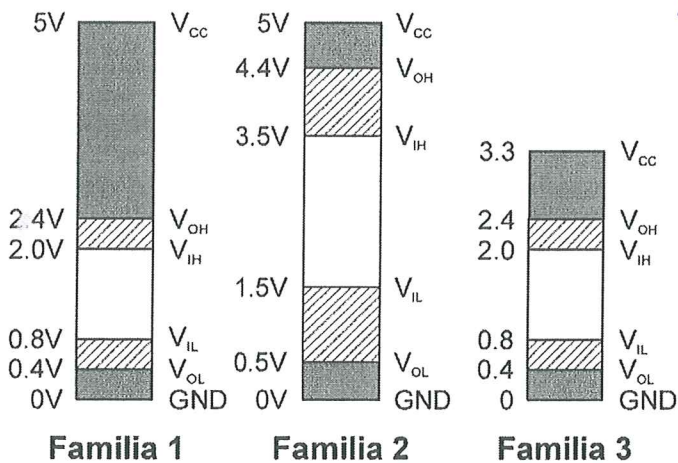
- [A] 1 V
[B] 0.015 V
● [C] 0.031 V
[D] 0.2 V

$$R_{ON} = \frac{1}{2K(V_{GS} - V_T)} = \frac{1}{2 \times 2 \times (5 - 1)} = \frac{1}{4 \times 4} = \frac{1}{16} \text{ KOHM} = 0.0625 \text{ K}\Omega$$

$$V_s = 5V \cdot \frac{R_{ON}}{10K + R_{ON}} = 5 \times \frac{0.0625}{10.0625} = 0.031 \text{ V}$$



6. Dadas tres familias lógicas, cuyos niveles de tensión se muestran en la figura, indique qué afirmación es la VERDADERA:



- [A] Se puede conectar directamente la entrada de la familia 1 con la salida de cualquiera de las tres familias. **Si**
[B] La salida de la familia 1 se puede conectar directamente a la entrada de cualquiera de las tres familias. **No**
[C] La familia 1 es la que tiene mayor inmunidad al ruido. **No**
[D] La salida de la familia 3 se puede conectar directamente a la entrada de la familia 2. **No**

7. Considerando los diferentes tipos de salida que puede tener una familia lógica, señale aquella afirmación que sea VERDADERA:

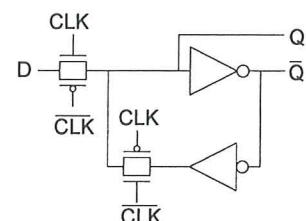
- [A] Dos salidas del tipo totem-pole se pueden conectar directamente. **No**
● [B] Se pueden conectar directamente varias salidas triestado, pero sólo una de ellas puede estar activa. **Si**
[C] Dos salidas triestado interconectadas implementan una función cableada equivalente a una OR de dos entradas. **No**
[D] Se pueden conectar directamente varias salidas en colector abierto, pero sólo una de ellas puede estar activa. **No**

8. En relación a la familia lógica CMOS, ¿qué respuesta es FALSA?

- [A] Un aumento de la capacidad de carga C_L , perjudica el consumo y la velocidad. **Si**
● [B] El aumento de tensión V_{DD} empeora el margen de ruido. **No**
[C] Una disminución de la frecuencia reduce el consumo global. **Si**
[D] Se puede mejorar la velocidad de las puertas aumentando la K de los transistores NMOS y PMOS. **Si**

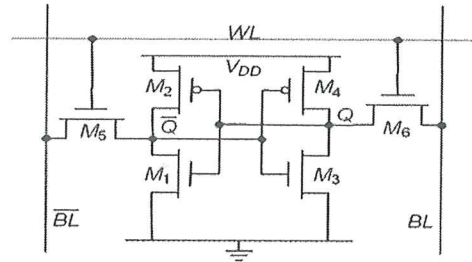
9. Dado el circuito de la figura, ¿qué respuesta es CORRECTA?

- [A] El circuito almacena el estado de Q indefinidamente, debido a la realimentación de los inversores, incluso sin alimentación. **No**
[B] Se trata de un biestable activo por flanco. **No**
● [C] Cuando CLK está a nivel alto, Q capta el valor de D, siguiendo los posibles cambios que pueda tener la señal D. **Si**
[D] Para leer el valor almacenado en Q, hay que dar un pulso en CLK para que salga por D. **No**



10. Dada la celda de memoria de la figura, indicad la respuesta CORRECTA:

- [A] Es una celda de memoria dinámica 6T
- [B] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando $WL = "0"$
- [C] El proceso de lectura es: precargar BL y \overline{BL} a V_{DD} , activar WL a "1" y leer de las líneas de bit.
- [D] Los datos de entrada se sitúan en \overline{BL} , y los de salida en BL



5 Cuestiones de LABORATORIO (2 Puntos).

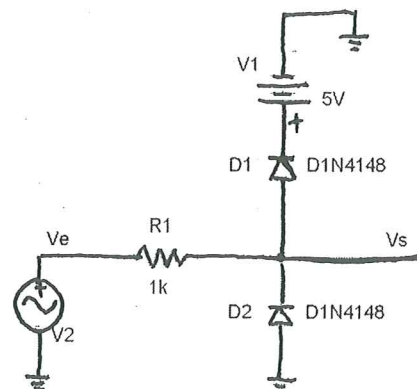
Puntuación: BIEN +0.4, MAL -0.1, En blanco: 0

11. Se pretende identificar los terminales (ánodo y cátodo) de un diodo normal, en el laboratorio. Indicad cuál de los siguientes afirmaciones es FALSA:

- [A] Se puede usar el multímetro, configurado como óhmetro. Cuando la lectura indica conducción, el ánodo es el terminal conectado al positivo (rojo) del multímetro y el cátodo es el terminal conectado a la masa (negro) del multímetro. *Si*
- [B] Se puede usar el multímetro, utilizando la función de prueba de diodos. *Si*
- [C] Se puede usar el multímetro, configurado como amperímetro de alterna. *No*
- [D] Una franja negra en el diodo suele indicar el cátodo. *Si*

12. Suponed que se monta en la placa de montaje el siguiente circuito de protección de entradas digitales. Indicad cuál de las siguientes afirmaciones es CORRECTA:

- [A] El elemento V2 es la fuente de alimentación.
- [B] La tensión de salida V_s se mide con el multímetro configurado como voltímetro de alterna.
- [C] La señal V_s se mide con el osciloscopio y corresponde a la señal V_e recortada entre los niveles aproximados 5.7V y -0.7V.
- [D] El circuito no funciona, pues la corriente de la fuente V1 no puede pasar por D1.

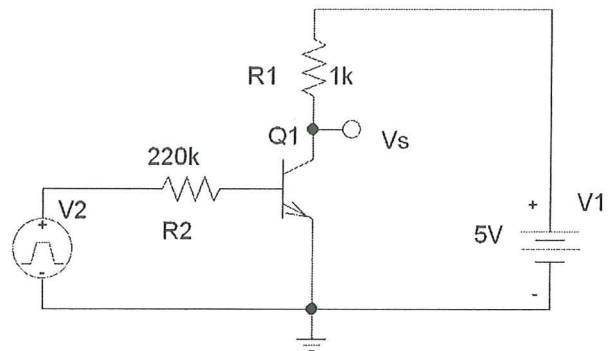


13. Suponed que se quiere simular el circuito de protección de la cuestión anterior utilizando Pspice. Indicad cuál de las siguientes afirmaciones es CORRECTA:

- [A] Se debe seleccionar DC Sweep en Analysis/Setup.
- [B] Se debe seleccionar Transient en Analysis/Setup.
- [C] Para observar la entrada y la salida del circuito, debemos poner dos sondas de corriente (Current Marker), una en cada borne de la resistencia.
- [D] El resultado de la simulación se puede observar activando los botones I y V de Schematics.

14. Suponed que se monta el siguiente circuito en la placa de montaje del laboratorio. Indicad cuál de las siguientes afirmaciones es FALSA:

- [A] El circuito funciona como una puerta NOT basada en transistor bipolar. *si*
- [B] Si se quiere que V2 proporcione entradas digitales, se debe emplear la salida TTL del generador de señales. *si*
- [C] La salida Vs debe observarse con uno de los canales del osciloscopio, y proporciona una señal recortada entre 5V y 0.1-0.2V, aproximadamente. *si*
- [D] El nivel bajo de la señal de salida corresponde al estado de corte del transistor bipolar. *No*



15. Se pretende visualizar la curva de transferencia ($V_s = f(V_e)$) de una determinada puerta lógica basada en transistores NMOS, utilizando Pspice. Indicad cuál de las siguientes afirmaciones es CORRECTA:

- [A] Es necesario efectuar un análisis Bias Point Detail. *No*
- [B] Hay que especificar los siguientes parámetros principales de los transistores NMOS: β , $V_{be(on)}$. *No*
- [C] Es necesario efectuar un análisis Transient con una fuente de tipo VPULSE en la entrada y representar la señal de salida en función del tiempo. *No*
- [D] Es necesario efectuar un análisis DC Sweep, realizando un barrido de la señal de entrada y visualizando la señal de salida en el PROBE. *si*

Apellidos:

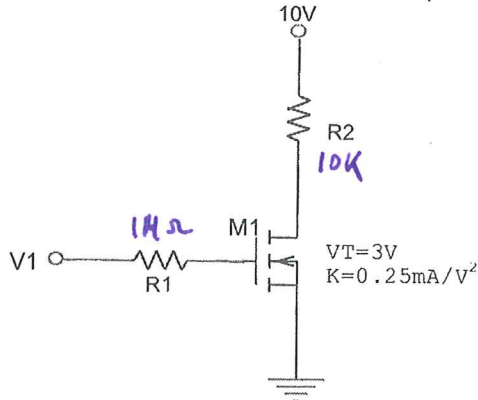
SOLUCIÓN

Nombre:

Problema 1 (2 Puntos)

El siguiente circuito de la figura utiliza un MOSFET cuyos datos se muestran. Sabiendo que $R_2=10k\Omega$, $R_1=1M\Omega$, se pide:

Nota: En zona óhmica utilice la expresión: $I_{DS} = 2K(V_{GS} - V_T) V_{DS}$, y en zona de saturación: $I_{DS} = K(V_{GS} - V_T)^2$.



A) (0.5p) Calcule el punto de trabajo del transistor cuando la tensión de entrada sea $V_1=4V$ SUP. SAT: $V_{GS}=4V$

$$I_{DS} = 0.25 \cdot (4 - 3)^2 = 0.25 \text{ mA}$$

$$V_{DS} = 10 - 10k \cdot 0.25 = 7.5 \text{ V} > 4 - 3 \Rightarrow \text{SAT. OK}$$

Respuesta:

$V_{GSQ} = 4V$

$V_{DSQ} = 7.5V$

$I_{DSQ} = 0.25 \text{ mA}$

B) (0.5p) Calcule de nuevo el punto de trabajo del transistor si conectamos la entrada V_1 con el drenador (es decir, $V_{DS}=V_{GS}$). Justifique la zona de trabajo.

si $V_{DS} = V_{GS} \Rightarrow$ SIEMPRE SAT, \forall que $V_{DS} > V_{DS} - V_T$ SIEMPRE

$$I_{DS} = 0.25(V_{DS} - 3)^2$$

$$V_{DS} = 10 - I_{DS} \cdot 10k$$

$$V_{DS} = \frac{14 \pm \sqrt{71}}{5}$$

$$V_{DS} = 10 - 2.5(V_{DS}^2 - 6V_{DS} + 9) = 10 - 2.5V_{DS}^2 + 15V_{DS} - 22.5$$

$$2.5V_{DS}^2 - 14V_{DS} + 12.5 = 0$$

$$4.485V > V_T \text{ OK} \rightarrow I_{DS} = 0.25(1.485)^2 = 0.551 \text{ mA}$$

$$1.485V < V_T \text{ NO}$$

Respuesta:

$V_{GSQ} = 4.485V$

$V_{DSQ} = 4.485V$

$I_{DSQ} = 0.551 \text{ mA}$

C) (0.5p) Suponiendo que la intensidad que suministra la fuente de alimentación de 10V es de 0.5mA, calcule cuál será la potencia disipada por la resistencia R_2 (W_{R2}), la potencia disipada por el MOSFET (W_{MOSFET}) y la suministrada por la fuente de alimentación (W_{Fuente}).

$$\text{si } I_{DS} = 0.5 \text{ mA} \Rightarrow$$

$$V_{DS} = 10 - 5 = 5V$$

$$W_{R2} = 5V \times 0.5 \text{ mA} = 2.5 \text{ mW}$$

$$W_{MOSFET} = 5V \times 0.5 \text{ mA} = 2.5 \text{ mW}$$

$$W_{Fuente} = 10V \times 0.5 \text{ mA} = 5 \text{ mW}$$

Respuesta:

$W_{R2} = 2.5 \text{ mW}$

$W_{MOSFET} = 2.5 \text{ mW}$

$W_{Fuente} = 5 \text{ mW}$

D) (0.5p) Se desea modificar el valor de R_2 para conseguir que una tensión de entrada $V_1 = 7\text{ V}$ haga que el transistor se encuentre en el límite entre saturación y zona óhmica. ¿Cuál debe ser el nuevo valor de R_2 ?

$$\text{Si } V_1 = 7\text{ V}$$

$$\text{EQ. SAT: } I_{DS} = 0.25 (7-3)^2 = 0.25 \times 16 = 4\text{ mA}$$

EL LÍMITE SAT-ÓHMICO SUPERA

$$V_{DS} = V_{GS} - V_T = 7 - 3 = 4\text{ V}$$

$$\text{LUEGO } R_2 \text{ LÍMITE} = \frac{10\text{ V} - 4\text{ V}}{4\text{ mA}} = \frac{6\text{ V}}{4\text{ mA}} = 1.5\text{ k}\Omega$$

Respuesta:

$R_2 = 1.5\text{ k}\Omega$

Apellidos:

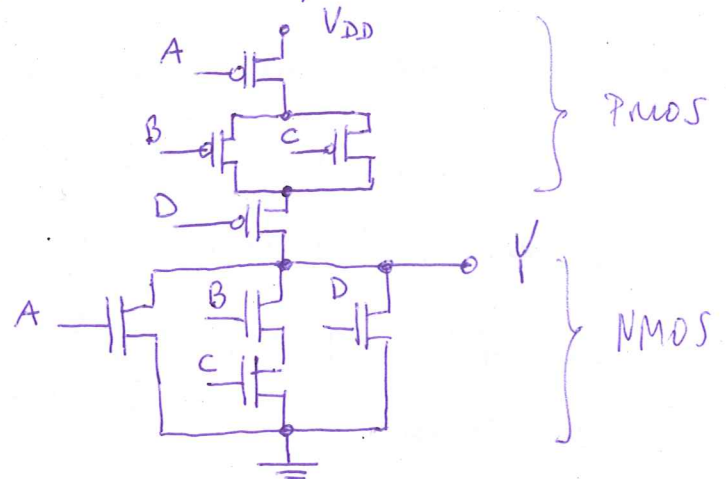
SOLUCIÓN

Nombre:

Problema 2 (2 Puntos)A. (0.5p) Diseñe la función $Y = A + (B \cdot C) + D$ con lógica CMOS complementaria.

DISEÑO DEL BLOQUE NMOS: $Y = \overline{G} \rightarrow G = A + (B \cdot C) + D$
 G es la función que implementa el bloque NMOS

• serie
 $G = A + (B \cdot C) + D$
 + paralelo
 El bloque PMOS se
 diseña con estructura dual
 al NMOS (serie \leftrightarrow paralelo)

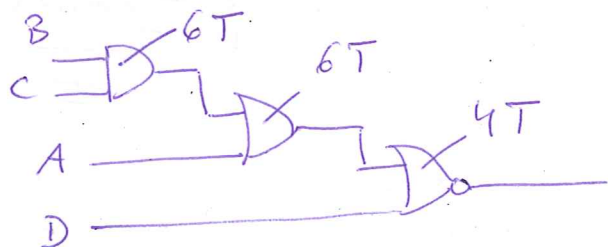


B. (0.5p) Estime el número de transistores y compárelo con un diseño tradicional a base de puertas lógicas de 2 entradas. Justifique la respuesta

Número de transistores = $4 \text{ (NMOS)} + 4 \text{ (PMOS)} = 8$

Diseño tradicional:

total = 16T

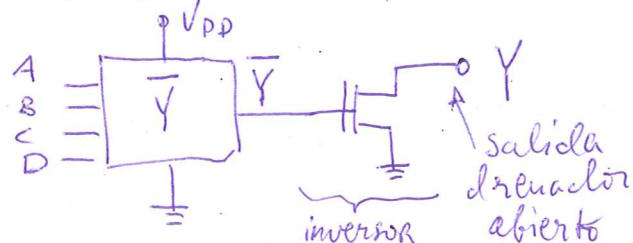
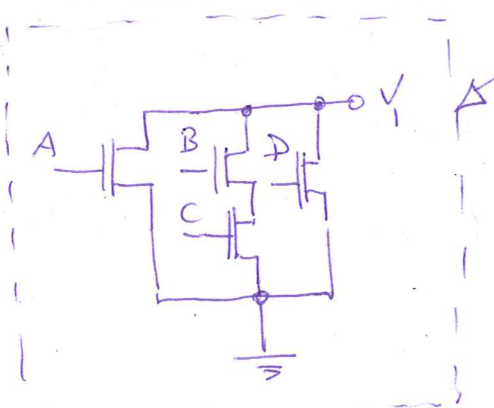


Se consigue un ahorro del 50% en este circuito. Esto se traduce en un ahorro de área de silicio y consumo

C. (0.5p) Modifique el diseño del apartado A) para que su salida sea en drenador abierto. Justifique la respuesta

Basta con eliminar la parte PMOS y dejar la salida "al aire", sin conexión con V_{DD} .

Otra solución, que se puede emplear en circuitos SSI / MSI es poner en la salida un inversor drenador abierto:



D. (0.5p) Se quiere conectar la salida del circuito CMOS diseñado en el apartado C) a una entrada LSTTL. Dibuje el esquema resultante añadiendo, en su caso, los elementos necesarios para conseguir la compatibilidad eléctrica. Calcule el valor de dichos elementos.

CMOS (drenador abierto)

$$V_{OLmax} = 0.3V$$

$$I_{OLmax} = 4 \text{ mA}$$

$$I_{OHmax} = 100 \mu A \text{ (fugas)}$$

TTL (+5V)

$$I_{IHmax} = 20 \mu A$$

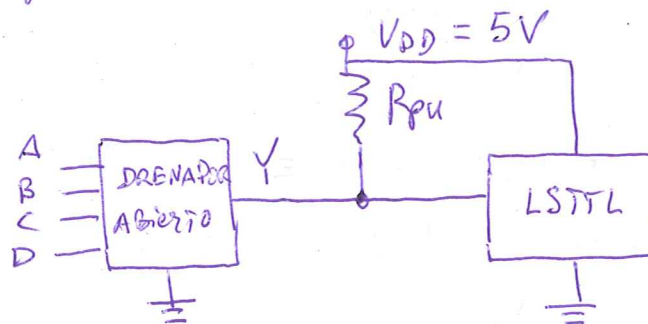
$$I_{ILmax} = -0.4 \text{ mA}$$

$$V_{IHmin} = 2.0V$$

$$V_{ILmax} = 0.8V$$

Siempre que la salida es drenador abierto, es necesario conectar una resistencia externa entre la salida y V_{DD} para generar el "1" lógico. Esta resistencia se llama resistencia de pull-up, R_{pu} .

Esquema:



Como se conecta con una entrada LSTTL, $V_{DD} = 5V$. R_{pu} debe ser suficientemente pequeña para que $V_{OH} \geq V_{IHmin}$, y suficientemente grande para que $V_{OL} \leq V_{OLmax}$. Esto nos lleva a 2 cotas para R_{pu} :

$$\frac{5 - V_{OLmax}}{I_{OLmax} - |I_{ILmax}|} \leq R_{pu} \leq \frac{5 - V_{IHmin}}{I_{OHmax} + I_{IHmax}}$$

cota mínima, para el "0"

cota máxima, para el "1"

dando valores $\rightarrow \frac{5 - 0.3}{4 - 0.4} \leq R_{pu} \leq \frac{5 - 2}{0.1 + 0.02}$

$$1.3 \text{ k}\Omega \leq R_{pu} \leq 25 \text{ k}\Omega$$