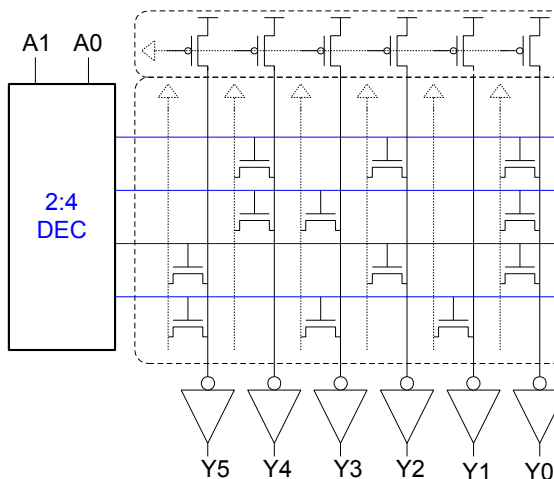


TERCER PARCIAL**10 Cuestiones de TEORÍA (10 puntos) . Puntuación: BIEN +1 pto., MAL -0.25 ptos, N.C 0**

1. De las siguientes afirmaciones acerca del contenido de la ROM de la figura (la línea superior es la correspondiente a (00)), señale la CORRECTA:

- [A] La posición $(A_1A_0)=(00)$ contiene el dato $(Y_5...Y_0)=(101010)$
- [B] Todas las salidas son siempre "0", pues los PMOS de pull-up ponen las líneas de bit a "1".
- [C] La posición $(A_1A_0)=(11)$ contiene el dato $(Y_5...Y_0)=(101010)$
- [D] Cuando se desconecta la alimentación se pierde el contenido, porque los transistores dejan de funcionar



2. Una memoria tiene 4096 palabras de 16bit. ¿Cuál de las siguientes afirmaciones es CORRECTA?

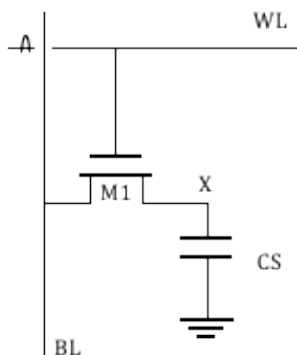
- [A] Tendría una capacidad de 2KBytes
- [B] Se podría estructurar en una matriz interna de 256*256 celdillas.
- [C] Tendría una capacidad de 8Kbits.
- [D] Tendría 8 líneas de direccionamiento y 16 líneas de bit.

3. Acerca de las memorias EPROM, podemos afirmar que:

- [A] Son memorias volátiles, pierden su contenido al desconectar la alimentación.
- [B] Son memorias de acceso no aleatorio.
- [C] Se programan durante su proceso de fabricación.
- [D] Podemos borrar su contenido mediante exposición a la luz ultravioleta

4. Acerca de la celda de memoria dinámica de la figura, indique cuál es la afirmación correcta:

- [A] La información almacenada (1 ó 0) corresponde al estado de conducción del MOSFET
- [B] El condensador mantendrá indefinidamente su carga mientras que la línea de selección WL se mantenga a nivel bajo.
- [C] La línea de bit (BL) permite leer o escribir la información en la celda cuando WL se mantiene a nivel bajo.
- [D] La información almacenada (1 ó 0) corresponde al estado de carga o descarga del condensador Cs

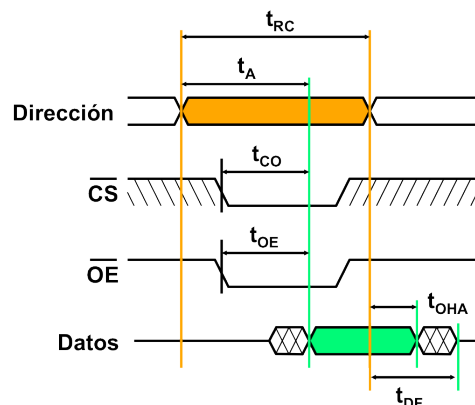


5. De la siguientes afirmaciones acerca de la memorias FLASH, indique cuál es la afirmación FALSA:

- [A] La programación requiere de tensiones más elevadas de lo normal (del orden de +12V)
- [B] Son memorias no volátiles, pudiéndose reescribir muchas veces.
- [C] En las Flash de tipo NOR el acceso para escritura y lectura se realiza por bloques, no por bytes individuales.
- [D] Las de tipo NAND tienen mayor densidad de integración que las de tipo NOR y se utilizan para el almacenamiento masivo de datos, por ejemplo en cámaras digitales, *pen-drives*, etc.

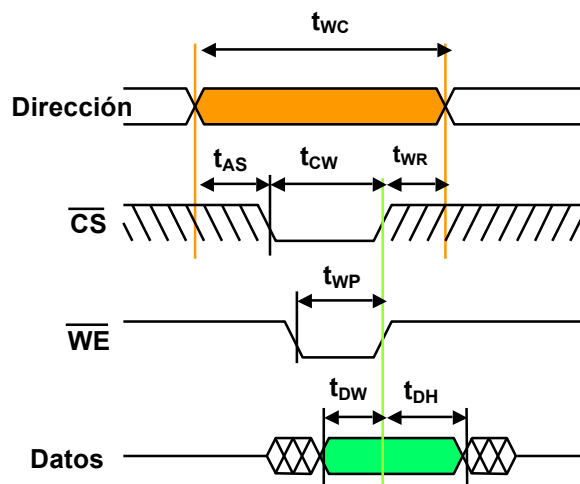
6. A la vista del siguiente cronograma de tiempos, indique cuál es la afirmación CORRECTA:

- [A] t_{RC} es el tiempo mínimo del ciclo de lectura.
- [B] Transcurrido el tiempo de acceso t_A , ya puede empezar un nuevo ciclo de lectura o escritura.
- [C] El tiempo t_{OE} es el mínimo tiempo de escritura de la memoria.
- [D] El cronograma es el de lectura de una RAM dinámica.



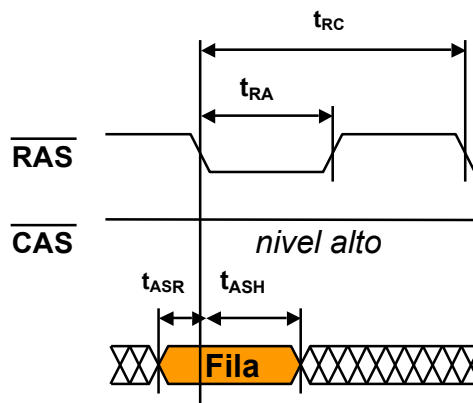
7. A la vista del siguiente cronograma de tiempos, indique cuál es la afirmación CORRECTA:

- [A] Es el cronograma de lectura de una RAM estática asíncrona
- [B] Es el cronograma de escritura de una RAM dinámica asíncrona
- [C] Es el cronograma de refresco de una RAM estática asíncrona
- [D] t_{DW} y t_{DH} son los tiempos mínimos de establecimiento y mantenimiento de los datos respecto al inicio de la escritura



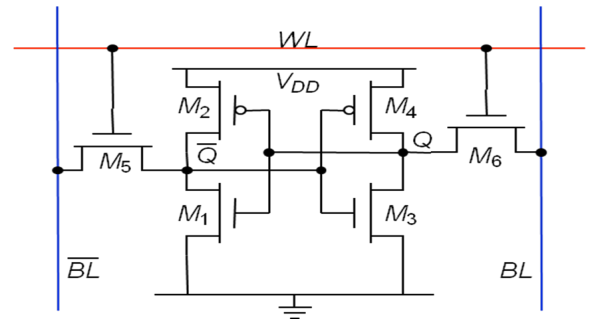
8. A la vista del siguiente cronograma de tiempos, correspondiente al ciclo de refresco de una memoria DRAM, indique cuál es la afirmación FALSA:

- [A] En cada ciclo se refresca una fila
- [B] La duración del ciclo de refresco coincide con la duración de un ciclo de lectura
- [C] t_{ASR} y t_{ASH} son los tiempos mínimos de establecimiento y mantenimiento de la dirección de fila
- [D] Se trata del cronograma de refresco "CAS-before-RAS"



9. Dada la celda de memoria de la figura, indicad la respuesta FALSA:

- [A] Es una celda de memoria estática con 6 transistores
- [B] Los transistores de paso M5 y M6 permiten el acceso a la celda en lectura/escritura, cuando WL="1"
- [C] El proceso de lectura es: precargar BL y /BL a 0V, activar WL a "1" y leer de las líneas de bit.
- [D] Para su correcto funcionamiento, los transistores tienen diferente relación W/L.



10. En relación a las memorías no volátiles, señale la respuesta VERDADERA:

- [A] Las **ROM** se programan mediante máscaras en el momento de la fabricación.
- [B] Las memorías **PROM** se pueden programar varias veces, gracias a los transistores MOS de puerta flotante (FAMOS).
- [C] Las **PLA's** y las **PAL's** son variaciones más flexibles de las memorías **FLASH**.
- [D] Las memorías **PROM**, las **EPROM** y las **EEPROM** se consideran memorías de lectura / escritura.

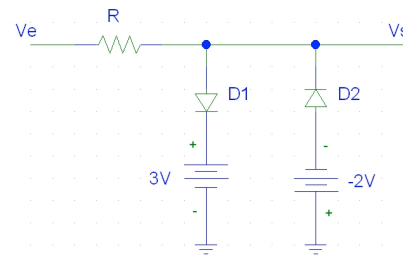
(PAGINA INTENCIONADAMENTE EN BLANCO)

PRIMER PARCIAL

5 Cuestiones de TEORÍA (6 puntos) . Puntuación: BIEN +1.2 pto., MAL -0.3 pto., N.C 0

11. Dado el siguiente circuito recortador a dos niveles, indique cual de las siguientes afirmaciones es CORRECTA. ($V_Y = 0.6V$ para ambos diodos)

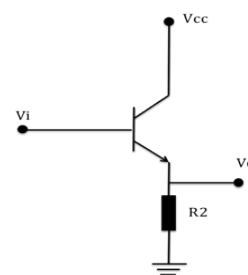
- [A] $-2V \leq V_s \leq 3V$
 [B] $V_s = 3V$, si $V_e > 3V$
[C] $V_s = V_e$, si $-2.6V \leq V_e \leq 3.6V$
 [D] $V_s = -2V$, si $V_e < -2.6V$



12. Dado el siguiente circuito. ¿Cuál de las siguientes afirmaciones es VERDADERA?

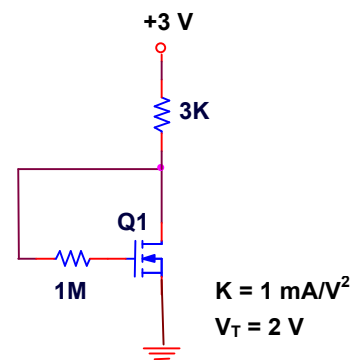
DATOS: $V_i = 5V$; $V_{CC} = 8V$; $R_2 = 2k$; $V_{CESAT} = 0.2V$; $V_{BEON} = 0.7V$ y $\beta = 30$. La I_B **NO ES** despreciable.

- [A] La tensión de salida $V_o = 7.8V$.
 [B] La potencia entregada por la fuente de alimentación en V_{CC} es de 17.2 mW.
[C] El punto de trabajo (I_{CQ}, V_{CEQ}) es (2.08mA, 3.7V).
 [D] No es posible calcular la I_B del transistor.



13. Dado el siguiente circuito de polarización para un transistor MOSFET, indique la zona de funcionamiento en la que se halla.

- [A] Activa Directa.
 [B] Corte.
[C] Saturación. (Conexión de puerta con drenador implica siempre saturación)
 [D] Óhmica.



14. ¿Cuál de las siguientes afirmaciones sobre el transistor Mosfet es **FALSA**?

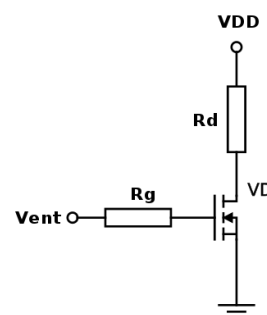
- [A] Tiene la puerta aislada mediante una fina capa de SiO_2
[B] En la zona óhmica el transistor es equivalente a una resistencia que aumenta al aumentar VGS.
 [C] En la zona de saturación la corriente aumenta cuadráticamente con VGS.
 [D] Para el mismo tamaño, el transistor PMOS es más lento que el NMOS.

15. Considerando el circuito de la figura y los siguientes datos, indique qué tensión aparece entre el drenador y la fuente.

DATOS: $V_{DD} = 10V$, $V_{ent} = 5.5V$, $R_g = 500k\Omega$, $R_d = 5k\Omega$, $V_T = 3V$ y $K = 0.1mA/V^2$

- [A] 6.9V (6.875V)**

- [B] 5.5V
 [C] 6.7V
 [D] 2.5V



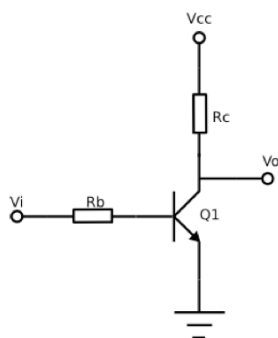
(PAGINA INTENCIONADAMENTE EN BLANCO)

Apellidos: **RESOLUCION**Nombre: **RESOLUCION**

GRUPO:

PRIMER PARCIAL**PROBLEMA 1 (4 puntos) .**

A la vista del circuito de la figura:



Datos:

Q1 :

$V_{BE(ON)} = 0.7V$

$V_{CE(SAT)} = 0.2V$

$\beta = 100$

$V_{CC} = 5V$

$R_b = 100\text{ k}\Omega$

$R_c = 2\text{ k}\Omega$

- A) Calcule el punto de trabajo de Q1 (I_B, I_C, V_{CE}) para una tensión de entrada correspondiente a un '0' (0V). Justifique la respuesta: (0.5 puntos)

$V_i = 0V \rightarrow V_i < V_{BE(ON)} \rightarrow Q1 \text{ CORTE}$

$I_B = 0A; I_C = 0A; V_{CE} = 5V$

	Q1			
	I_B	I_C	V_{CE}	zona
$V_i=0V$	0A	0A	5V	CORTE

- B) Calcule el punto de trabajo de Q1 (I_B, I_C, V_{CE}) para una tensión de entrada correspondiente a un '1' (5V). Justifique la respuesta: (1 punto)

$V_i = 5V \rightarrow V_i > V_{BE(ON)} \rightarrow Q1 \text{ Conduce (Act. Directa, Saturación)}$

Suponemos Act. Directa

$V_i - I_B R_B - V_{BE(ON)} = 0$

$I_B = (V_i - V_{BE(ON)}) / R_B = 43\text{ }\mu A$

$I_C = \beta I_B = 4.3\text{ mA}$

$V_{CC} - I_C R_C - V_{CE} = 0$

$V_{CE} = V_{CC} - I_C R_C = -3.6V \rightarrow \text{Suposición Incorrecta !!}$

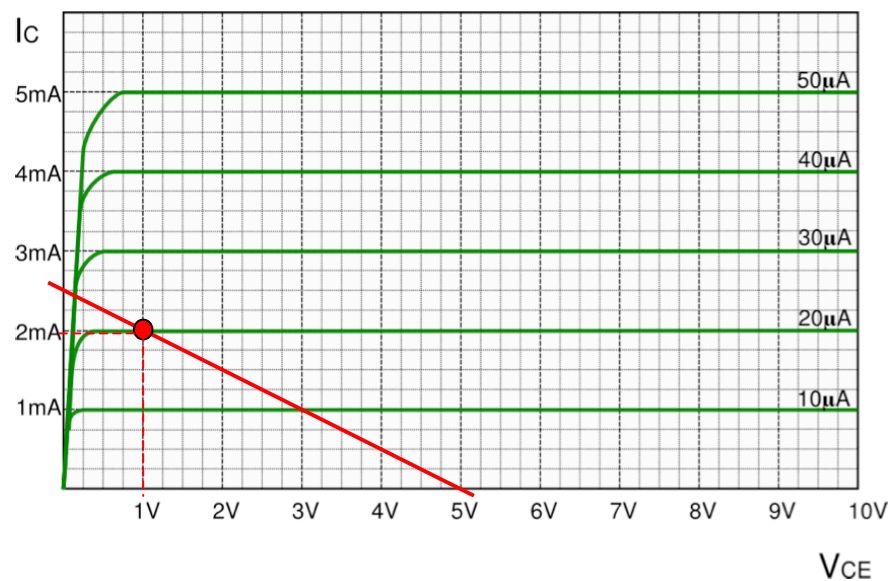
Saturación

$V_{CE} = 0.2V$

$I_C = (V_{CC} - V_{CE}) / 2\text{ k}\Omega = 2.4\text{ mA}$

	Q1			
	I_B	I_C	V_{CE}	zona
$V_i=5V$	43 μA	2.4 mA	0.2V	SATURACIÓN

- C) Dibuje la recta de carga y, basándose en la gráfica, indique cuál es el punto de trabajo si la tensión de entrada es de 2.7V (1 punto)



Punto de Trabajo:			
	I_B	I_C	V_{CE}
$V_i = 2.7V$	$20 \mu A$	2 mA	$1V$

$$V_{CC} - I_C R_C - V_{CE} = 0$$

$$\text{Si } I_C = 0 \rightarrow V_{CE} = V_{CC} = 5V$$

$$\text{Si } V_{CE} = 0 \rightarrow I_C = V_{CC} / R_C = 2.5 \text{ mA}$$

$$V_i - I_B R_B - V_{BEON} = 0$$

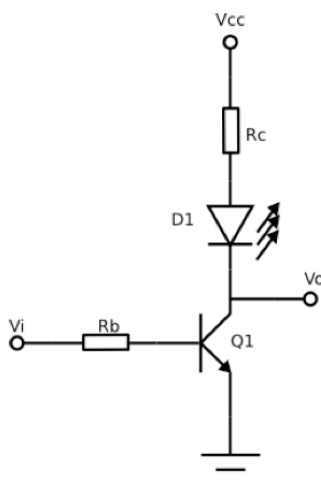
$$I_B = (V_i - V_{BEON}) / R_B = 20 \mu A$$

- D) Calcule la potencia disipada por el transistor ($P = V_{CE} \times I_C$) en los tres apartados anteriores. Justifique la respuesta (0.5 puntos).

	Potencia de Q1
$V_i = 0V$	$0A \times 5V = 0W$
$V_i = 5V$	$2.4 \text{ mA} \times 0.2V = 0.48 \text{ mW}$
$V_i = 2.7V$	$2 \text{ mA} \times 1V = 2 \text{ mW}$

- E) En esta ocasión se desea utilizar un diodo LED para indicar que el transistor conduce. Calcule la nueva resistencia R_C necesaria ahora para que, con una tensión de entrada $V_i = 5V$, el transistor Q1 se encuentre en el límite entre la zona activa y la saturación. Justifique la respuesta (1 punto)

(Datos adicionales LED: $V_Y = 1.79V$. Suponga que el LED se ilumina correctamente con corrientes entre 4mA y 40mA)



$$V_i = 5V \rightarrow I_B = (V_i - V_{BEON}) / R_B = 43 \mu A \text{ (apartado b)}$$

$$\text{Límite entre saturación y activa} \rightarrow V_{CE} = 0.2V ; I_C = \beta I_B = 4.3 \text{ mA}$$

$$V_{CC} - I_C R_C - V_Y - V_{CE} = 0$$

$$R_C = (V_{CC} - V_Y - V_{CE}) / I_C = 700 \Omega$$

R_C :	700Ω
---------	--------------

SEGUNDO PARCIAL

5 Cuestiones de TEORÍA (6 puntos) . Puntuación: BIEN +1.2 ptos., MAL -0.3 ptos, N.C 0

16. En las tablas adjuntas se indican algunas de las características eléctricas de dos familias lógicas genéricas A y B. A partir de ellas, indique la respuesta correcta.

Familia A			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	2.8 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	-400 μA	16 mA

Familia B			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.3 V	0.7 V	2.7 V	0.2 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μA	-0.36 mA	-400 μA	8 mA

- [A] El margen de ruido de la familia A es 0.4V, y el de la B es 0.4V.
 [B] El margen de ruido de la familia A es 0.4V, y el de la B es 0.5V.
[C] El margen de ruido de la familia A es 0.3V, y el de la B es 0.4V.
 [D] El margen de ruido de la familia A es 0.3V, y el de la B es 0.5V.

17. Se quiere conectar una salida de una determinada familia cuyos datos se adjuntan a tres entradas de puertas de la misma familia, con alimentación a 5V. Indique la respuesta CORRECTA.

(salida en colector abierto)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.0 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μA	-1.6 mA	100 μA	16 mA

- [A] La conexión se puede hacer directamente, sin ningún componente adicional.
[B] Con una resistencia de pull-up a 5V de 1.2k Ω cumpliremos con los requisitos de corriente a nivel bajo.
 [C] Con una resistencia de pull-up a 5V de 15k Ω cumpliremos con los requisitos de corriente a nivel alto.
 [D] No se puede efectuar la conexión que se indica, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
 (Rpull-up debe estar entre 0.41k y 11.8k, por lo que solo 1,2k es un valor posible)

18. De las puertas de transmisión se puede afirmar que:

- [A] Las puertas de transmisión NMOS no degradan el nivel alto.
 [B] Las puertas de transmisión PMOS degradan el nivel alto.
 [C] Las puertas de transmisión CMOS degradan ambos niveles lógicos.
[D] Las puertas de transmisión CMOS se comportan como interruptores analógicos.

19. Un determinado procesador CMOS tiene 70 millones de transistores dedicados a lógica, y 180 millones de transistores dedicados a la memoria. El factor de actividad medio de la lógica es 0.2, y el de la memoria es 0.1. Si la capacidad media por transistor es de 1 fF (1 femtofaradio = 10^{-15} F), la alimentación es 1.5V y la frecuencia del reloj es 1GHz, calcule la potencia consumida.

- [A] $P_d = 48W$
[B] $P_d = 72W$
 [C] $P_d = 168.75W$
 [D] Es menor que 1W
 $Pot = V_{DD}^2 \times f \times C_L = 1.5^2 \times 10^9 \times 10^{-15} (70 \times 10^6 \times 0.2 + 180 \times 10^6 \times 0.1) = 72W$

20. Se quieren conectar las salidas de 2 puertas TTL estándar, y éstas, a su vez a 3 entradas de puertas CMOS estándar alimentados a 5V. Las especificaciones de ambas familias se indican en las tablas adjuntas (Nota: la puerta CMOS incluye circuitos de protección en la entrada).

Familia TTL estándar	Familia CMOS estándar
$V_{OHmin}=2.4V$ $V_{OLmax}=0.4V$ $I_{OHmax}= -400\mu A$ $I_{OLmax}=16mA$	$I_{IHmax}=10pA$ $I_{ILmax}=-10pA$

Para poder realizar la conexión:

- [A] No es necesario añadir nada, ya que las familias son compatibles a nivel de tensión y de intensidades.
- [B] Es necesario añadir una resistencia de *pull-up* alimentada a 5V para compatibilizar la tensión a nivel alto.
- [C] La conexión de las salidas no se puede efectuar, ya que se provocaría una indeterminación en la misma y la degradación de los transistores de salida.
- [D] Es necesario añadir un *buffer* TTL para amplificar las corrientes de salida.

Apellidos:

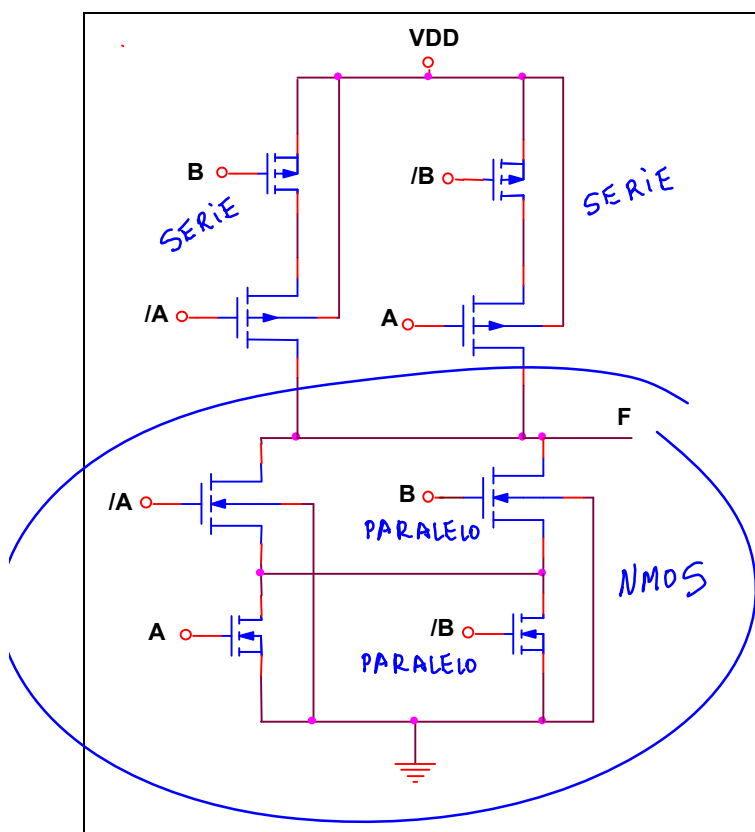
Nombre:

GRUPO:

SEGUNDO PARCIAL**PROBLEMA 2 (4 PUNTOS)**

La figura representa la red (ó bloque) PMOS (*pull-up network*) de un circuito combinacional diseñado en lógica CMOS complementaria.

- A) Complete el dibujo, añadiendo el esquema con transistores de la red NMOS (*pull-down network*). Justifique el resultado. [1P]



Dado que contamos con el bloque PMOS, siguiendo el procedimiento para diseñar funciones en lógica CMOS complementaria, basta añadir el bloque NMOS, entre la salida F y masa.

Para formar el bloque NMOS sustituiremos:

- los transistores PMOS conectados en serie por transistores NMOS conectados en paralelo.
- los transistores PMOS conectados en serie por transistores NMOS conectados en paralelo.
- Las entradas permanecen inalteradas.

- B) Obtenga la expresión booleana de la función F en términos de las variables de entrada. Justifique el resultado. [1P]

Si nos fijamos en el bloque NMOS observamos que tenemos $/A$ OR B (en paralelo) en serie con A OR $/B$ (también en paralelo).

Por tanto, la función F irá toda negada (cuando conducen los NMOS tenemos un “0” en la salida) y será:

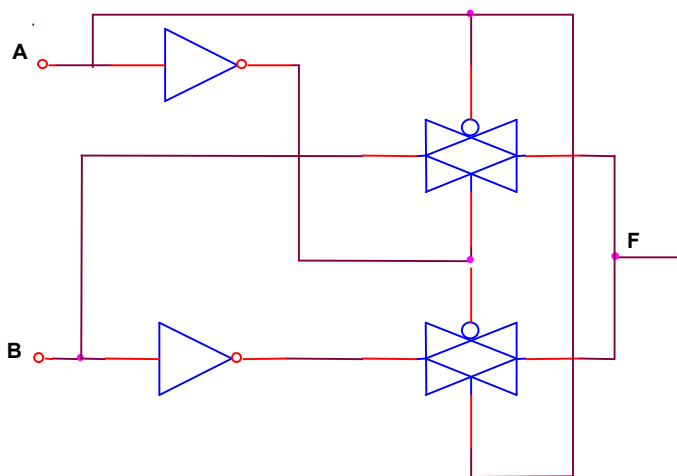
$$F = \overline{(/A + B) * (A + /B)} \quad (1)$$

Si nos fijamos en el bloque PMOS observamos que tenemos A AND $/B$ (en serie) en paralelo con $/A$ AND B (también en serie).

Por tanto, la función F, sin negar (cuando conducen los PMOS tenemos un “1” en la salida), quedaría:

$F = (/A * B) + (A * /B)$ que obviamente es equivalente a la anterior (1) y corresponde con una función XOR.

- C) Obtenga la tabla de verdad del circuito de la figura, realizado con puertas de transmisión. **Justifique el resultado, explicando brevemente** el funcionamiento del circuito. [1P]



A	B	F
0	0	0 (B)
0	1	1 (B)
1	0	1 (/B)
1	1	0 (/B)

Quando $A = 0$, la puerta de transmisión **superior** conduce pues $A = "0"$ está conectada al transistor PMOS y $/A = "1"$ está conectada al transistor NMOS. Por tanto, la salida $F = B$.

Quando $A = 1$, la puerta de transmisión **inferior** conduce pues $A = "1"$ está conectada al transistor NMOS y $/A = "0"$ está conectada al transistor PMOS. Por tanto, la salida $F = /B$, ya que tenemos un inversor entre la entrada B y la puerta de transmisión.

La función lógica sería pues:

$F = (/A * B) + (A * /B)$ que obviamente es equivalente a la anterior (1) y corresponde con una función XOR.

- D) Compare el número de transistores utilizados en los apartados A) y C) con el de un diseño tradicional, hecho con puertas de 2 entradas, considerando en todos los casos que se utiliza tecnología CMOS. Justifique los resultados. [1P]

En el apartado A) contando los inversores para implementar $/A$ y $/B$ (suponen 2 transistores cada inversor) + Bloque NMOS (4 transistores) + Bloque PMOS (4 transistores). En total: **12 transistores**.

En el apartado C) se utilizan 4 transistores en las puertas de transmisión + 4 adicionales para los 2 inversores. En total: **8 transistores**.

En un diseño tradicional de $F = (/A * B) + (A * /B)$ gastaríamos: 2 inversores para negar las entradas (4T) + 2 AND (12T) + 1 OR (6T). En total: **22 transistores**.

En el caso de implementar directamente la función (1) $F = (/A + B) * (A + /B)$ necesitaríamos sólo **20 transistores**: 2 inversores (4T) + 2 OR (12T) + 1 NAND (4T).