

Nom i cognom: Solucions

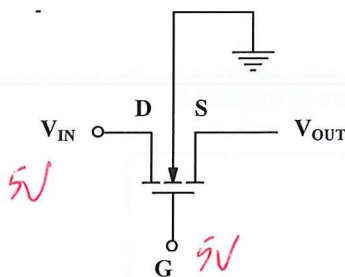
1. Assenya la afirmació **FALSA** entre les següents relacionades amb la tecnologia CMOS:

- [A] Els circuits CMOS amb transistors de majors dimensions (W/L) tindran menor retard de commutació.
- ☒ [B] Amb major capacitat paràsita en l'eixida, el retard del circuit CMOS serà menor.
- [C] Com els circuits CMOS tenen un consum molt baix, es poden integrar moltes portes lògiques d'esta tecnologia en un xip, podent implementar-se per exemple, microprocessadors potents en un mateix chip.
- [D] Amb una tensió d'alimentació V_{DD} major, un circuit CMOS serà més ràpid, encara que consumirà més potència.

*El retard és directament proporcional a C_L
 $t_{pd} \propto C_L / 2k(V_{dd} - V_t)$*

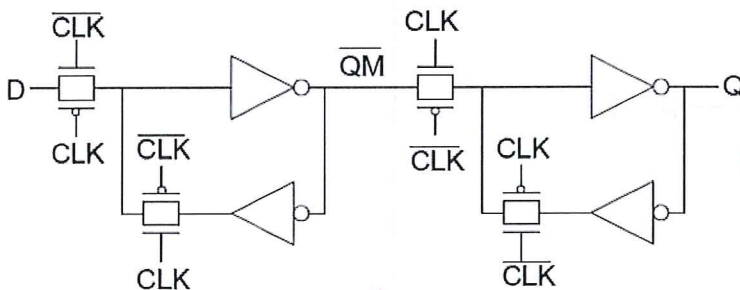
2. Siga la porta de transmissió de la figura, que utilitza un transistor amb una $|V_T| = 1.2V$. Si s'apliquen 5V en els terminals V_{IN} i G. ¿Quin voltatge s'obindrà en el terminal V_{OUT} ?

- [A] 1.2V
- [B] 0V
- [C] 5V
- ☒ [D] 3.8V



*La porta de transmissió NMOS
 depara el '1'
 $V_{out} = V_{in} - V_t = 5 - 1.2 = 3.8V$*

3. Donat el biestable D master-slave de la figura, dissenyat amb portes de transmissió CMOS, indique l'afirmació **CORRECTA**:



- [A] Està format per dos latches D actius a nivell baix.
- [B] Quan $CLK = '0'$, es manté /QM gràcies al bucle de realimentació.
- ☒ [C] Quan $CLK = '1'$ el mestre envia la dada a l'esclau i l'entrada D es bloqueja.
- [D] Funciona com un flip-flop D actiu per flanc de baixada.

*master actiu
 capta D*

*Slave actiu
 transmet D a l'eixida*

4. Un processador CMOS conté 10^6 transistors dedicats a la lògica combinacional/seqüencial i 10^8 transistors dedicats a la memòria cache. El factor d'activitat mitjà és 0.1 per a la lògica, i 0.01 per a la memòria. La capacitat mitjana de cada transistor és 1 fF (1 femtofaradi = $10^{-15}F$), el voltatge d'alimentació és 2V i la freqüència de rellotge 3 GHz ($1GHz = 10^9$ Hz). Calcule la potència dinàmica aproximada que consumeix el processador.

- [A] No es pot calcular, falten els corrents de fuga dels transistors.
- ☒ [B] 13.2W
- [C] 15W
- [D] 12.5W

lògica combinacional $\rightarrow P_{dl} = (2)^2 \times \frac{0.1}{2} \times \frac{3 \times 10^9}{f_{clock}} \times \frac{10^6 \times 10^{-15}}{C_L}$

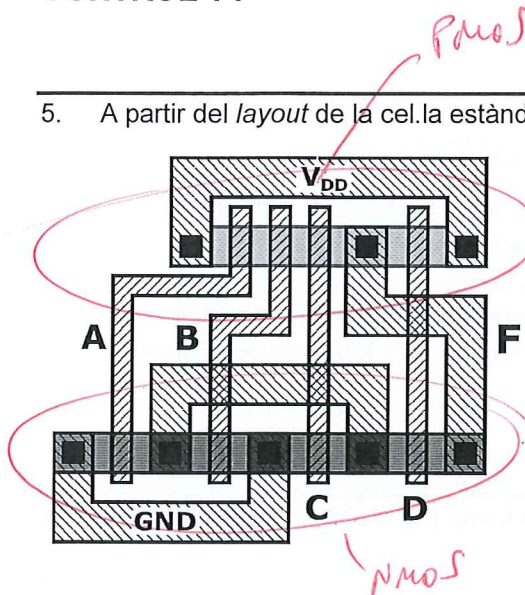
$P_{dl} = 1.2W$

Memòria $\rightarrow P_{dl} = (2)^2 \times \frac{0.01}{2} \times \frac{3 \times 10^9}{f_{clock}} \times \frac{10^8 \times 10^{-15}}{C_L}$

$P_{dl} = 12W$

$P_T = 1.2 + 12 = 13.2W$

5. A partir del layout de la cel.la estàndard de la figura, identifique la funció que implementa:

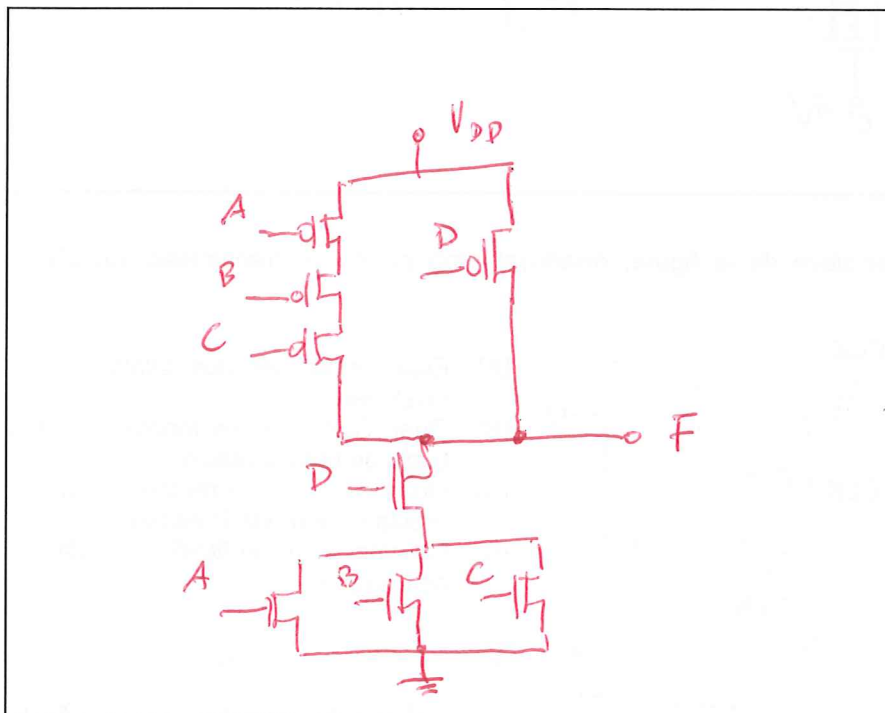


- [A] $F = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}$
 [B] $F = (A \cdot B) + (C \cdot D)$
 [C] $F = (A + B) + (C + D)$
 [D] $F = D \cdot (A + B + C)$

$\rightarrow A, B, C$ en paral.l.
 D en sèrie

$$G = (A+B+C) \cdot D \rightarrow F = (A+B+C) \cdot D$$

6. Dibuixi l'esquema amb transistors corresponent al layout de la qüestió 5.



7. Sobre del procés de fabricació i disseny dels xips VLSI CMOS, indique la resposta **FALSA**:

- [A] Les vies són contactes verticals entre capes metàl.liques depositades en distints nivells.
 [B] En el disseny full-custom, les cel.las es disposen en files que comparteixen les mateixes línies metàl.liques d'alimentació (V_{DD} i GND).
 [C] L'oblea de silici tipus P actua com a substrat dels transistors NMOS i el pou-N actua com a substrat dels transistors PMOS.
 [D] Es sol emprar un làser de llum UV (ultraviolada) per projectar les màscares en l'oblea.

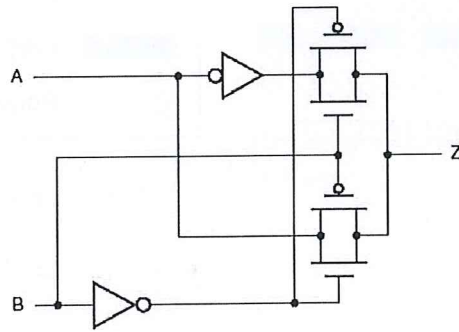
Així no és propi de full-custom, sinó de semi-custom basada en cel.las estàndard

NOM I COGNOM: _____

Solucions

1. La figura següent mostra un circuit amb portes de transmissió CMOS. Assenyal·le la resposta **CORRECTA** entre les següents:

- [A] El circuit és una porta XNOR amb entrades A i B i eixida Z.
 [B] El circuit és un latch de tipus D (A és l'entrada D, B és el rellotge i Z és l'eixida Q).
 [C] El circuit és un multiplexor analògic i digital (canals A i B) i eixida Z.
 [D] El circuit és una porta XOR amb entrades A i B i eixida Z.



$$\begin{aligned} B=1 &\rightarrow Z = \bar{A} \\ B=0 &\rightarrow Z = A \end{aligned} \rightarrow Z = B\bar{A} + \bar{B}A = A \oplus B$$

2. Donades les especificacions del component 74HCT04 (composat per sis portes NOT amb eixides estàndard), mostrades en la taula adjunta, indique quina de les següents afirmacions és **VERTADERA**.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	3.84 V	0.33 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 μ A	-1 μ A	-4 mA	5.2 mA
V_{DD}	$I_{CC}^{(1)}$	$C_{PD}^{(2)}$	$t_{pd}^{(3)}$
6 V	20 μ A	22 pF	24 ns

- [A] El marge de soroll és de 1.84V.
 [B] El fan-out és de 5200.
 [C] La potència estàtica consumida pel xip complet és de 120 μ W.
 [D] Assumint que l'entrada d'una porta commuta a 1MHz, la potència dinàmica consumida pel xip és de 4.752 mW.

(1) $I_{CCL} = I_{CCH} = 20 \mu$ A. Per a una porta.

(2) Capacitat de càrrega d'una porta individual.

(3) $t_{pdLH} = t_{pdHL} = 24$ ns.

Marge de soroll

$$\begin{aligned} NMH &= V_{OHmin} - V_{IHmin} = 3.84 - 2 = 1.84V \\ NML &= V_{ILmax} - V_{OLmax} = 0.8 - 0.33 = 0.47V \end{aligned}$$

fan-out en CMOS no és el teòric, perquè C_L tenia massa gran ^{x6 portes}

$$P_{estatica} = V_{DD} \times I_{CC} = 6V \times 0.02 mA = 0.12 mW = 120 \mu W \rightarrow 720 \mu W$$

$$P_{dinamica} = (V_{DD})^2 f C_L = (6)^2 \times 10^6 \times 22 \times 10^{-12} \times 6 = 4.75 \times 10^{-3} = 4.75 mW$$

6 portes

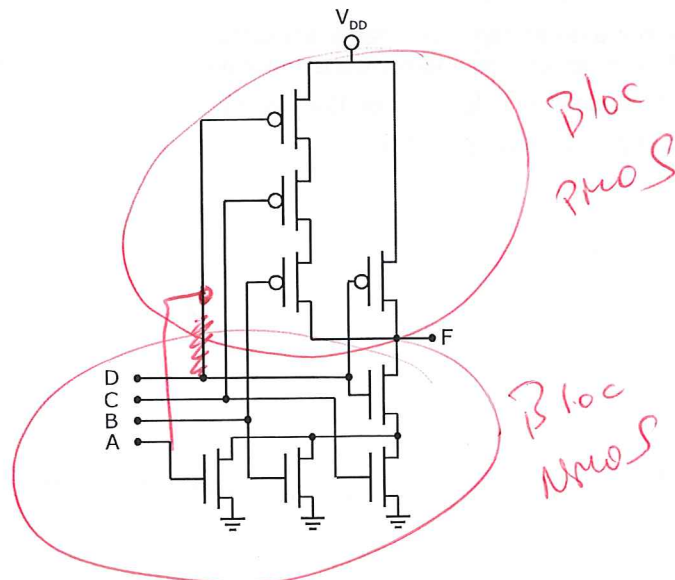
3. La figura següent mostra un circuit lògic CMOS. Assenyal·le l'expressió **CORRECTA** de la funció F:

- [A] $F = D \cdot (A + B + C)$
 [B] $F = D + (A \cdot B \cdot C)$
 [C] $F = \overline{D \cdot (A + B + C)}$
 [D] $F = D + (A \cdot B \cdot C)$

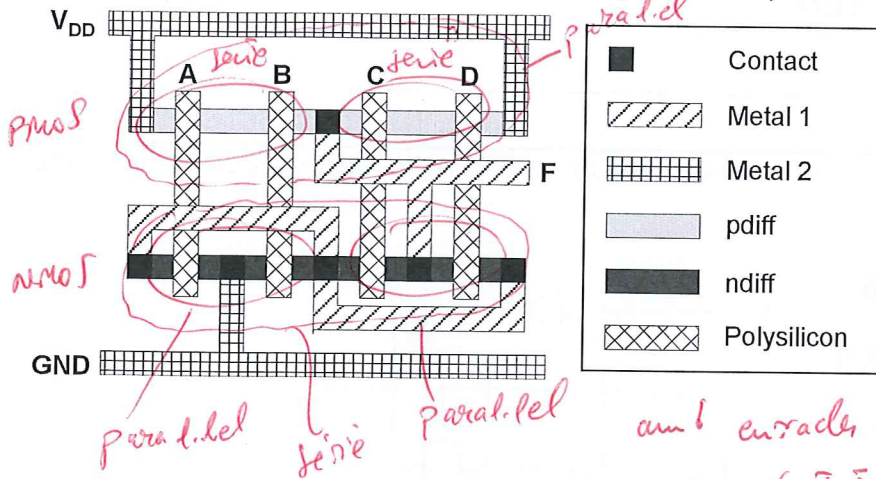
Bloc NMOS:

A, B, C en paral·lel
 D en sèrie

$$\begin{aligned} G &= \downarrow (A+B+C) \cdot D \\ F &= \bar{G} = \overline{(A+B+C) \cdot D} \end{aligned}$$



4. A partir del layout de la cel.la estàndard de la figura, identifique la funció que implementa:



- [A] $F = \bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}$
 [B] $F = (A \cdot B) + (C \cdot D)$
 [C] $F = (A + B) + (C + D)$
 [D] $F = \overline{A + B + C + D}$

Bloc PMOS, per exemple:
 $G = (\bar{A} \cdot \bar{B}) + (\bar{C} \cdot \bar{D})$

amb entrades negades
 $F = G = (\bar{A} \bar{B}) + (\bar{C} \bar{D})$

5. Assenyalar l'afirmació **FALSA** entre les següents relacionades amb la tecnologia CMOS:

- [A] En la actualitat el corrent total de pèrdues (corrents de fuga) en un xip CMOS és molt important, ja que la densitat d'integració supera els 1000 milions de transistors/xip.
 [B] La tecnologia BiCMOS és un híbrid amb el nucli lògic CMOS i eixides bipolars que proporcionen una major corrent d'eixida.
 [C] Una de les principals característiques de la tecnologia CMOS és la seua alta immunitat al soroll, molt superior a la de la tecnologia TTL.
 [D] El consum dinàmic dels circuits de tecnologia CMOS és màxim amb freqüències de treball pròximes a zero.

$P_d = (V_{dd})^2 f C_L \rightarrow$ creix amb f

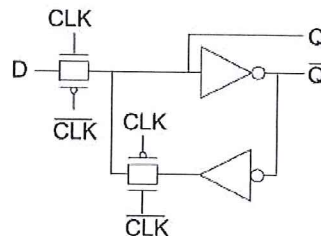
6. Sobre del procés de fabricació i disseny dels xips VLSI CMOS, indique la resposta **FALSA**:

- [A] Les vies són contactes verticals entre capes metàl·liques depositades en distints nivells.
 [B] En el disseny full-custom, les cel.lles es disposen en files que comparteixen les mateixes línies metàl·liques d'alimentació (V_{DD} i GND).
 [C] L'oblea de silici tipus P actua com a substrat dels transistors NMOS i el pou-N actua com a substrat dels transistors PMOS.
 [D] Es sol emprar un làser de llum UV (ultraviolada) per projectar les màscares en l'oblea.

→ Aço és característic del disseny semi-custom amb Standard cells

7. Respecte al circuit de la figura, indique quina de les següents afirmacions és **VERTADERA**:

- [A] Quan CLK = 1, es manté el valor de Q.
 [B] Quan condueix la porta de transmissió inferior s'habilita la realimentació dels 2 inversors i es memoritza el valor de Q.
 [C] Quan CLK = 0, es transmet el valor lògic de D a l'eixida Q.
 [D] Es tracta d'un *flip-flop* D disparat per flanc.



Es un latch D =

= bicarable D disparat per nivell, no per flanc

$CLK = 1 \rightarrow D = Q$
 $CLK = 0 \rightarrow Q_t = Q_{t-1}$ memoritza Q