

Nom i Cognoms: _____

Solucions

1. Donades les especificacions d'una família lògica que es mostren en la taula adjunta, indique quina de les següents afirmacions és **VERTADERA**.

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
3.15V	1.35V	3.84V	0.33V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.36mA	-500 μ A	4mA

- [A] El marge de soroll a nivell alt és de 0.5V.
 [B] El marge de soroll és de 1V.
 [C] El fan-out a nivell baix és de 11.
 [D] El fan-out és de 25.

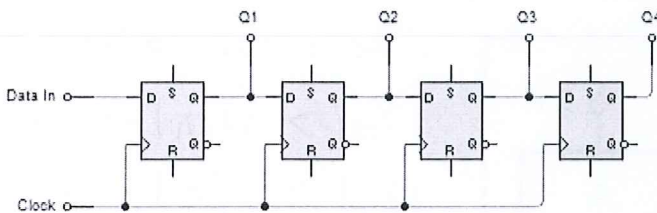
$$NM_H = 3.84 - 3.15 = 0.69V$$

$$NM_L = 1.35 - 0.33 = 1.02V$$

$$fan-out_H = \frac{0.5}{0.02} = 25$$

$$fan-out_L = \frac{4}{0.36} = 11.1 \rightarrow 11$$

2. En el següent registre de desplaçament síncron s'estan utilitzant biestables tipus D amb les següents especificacions: $t_{su} = 6ns$, $t_h = 3ns$, $t_{pLH} = 10ns$, $t_{pHL} = 12ns$. Indique quina de les següents afirmacions és **VERTADERA**.

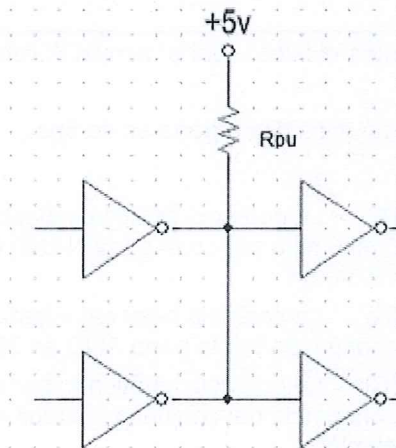


- [A] La freqüència màxima del senyal de rellotge és 50MHz.
 [B] El període mínim del senyal de rellotge és 18ns.
 [C] El t_r (rise time) i el t_f (fall time) del senyal de rellotge han de ser com a mínim de 3ns.
 [D] Per poder utilitzar un senyal de rellotge de 100MHz haurien d'haver només 2 biestables.

$$T_{min} = 12 + 6 = 18ns$$

$$f_{max} = \frac{1000}{18} = 55.56 MHz \rightarrow 55 MHz$$

3. Considere el circuit adjunt i els paràmetres característics següents. Si les portes tenen eixides en col·lector obert, indique quin dels valors proposats seria adequat per a la resistència de pull-up.



V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5V	0.8V	3V	0.5V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fugas)$	I_{OLmax}
300 μ A	-0.36mA	100 μ A	7mA

- [A] $R_{PU} = 0.22k\Omega$
 [B] $R_{PU} = 2.2k\Omega$
 [C] $R_{PU} = 5k\Omega$
 [D] $R_{PU} = 10k\Omega$

$$\frac{5 - 0.5}{7 - 0.36} \leq R \leq \frac{5 - 2.5}{2 \times 0.1 + 2 \times 0.3}$$

$$0.61k \leq R \leq 3.125k$$

* Si prenem $V_{OHmin} \rightarrow 0.61k \leq R \leq 2.5k$
 R més restrictiu, amb $NM > 0$

4. Indique quina de les següents afirmacions sobre les famílies lògiques és **FALSA**.

- [A] Els transistors Schottky s'utilitzen en algunes subfamílies TTL per augmentar la velocitat.
 [B] Les portes Trigger Schmitt són més robustes davant del soroll electromagnètic, perquè presenten una corba de transferència amb histèresi.
 [C] La potència estàtica de les portes NMOS és menyspreable, perquè és deguda als corrents de fuga dels transistors.
 [D] El consum dinàmic es produeix quan commuten les entrades, i és directament proporcional a la freqüència de commutació de les entrades.

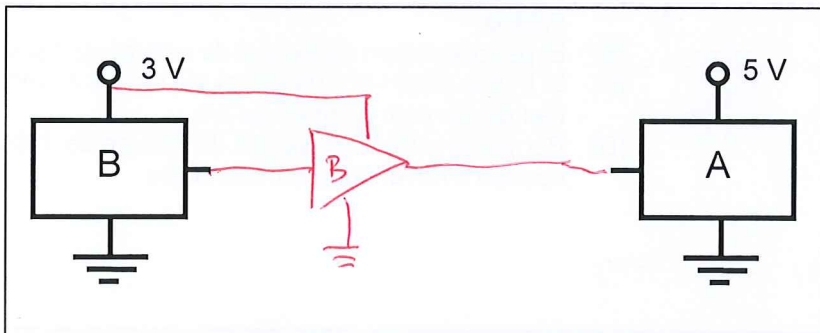
NMOS lògic té potència estàtica quan l'eixida és '0'
Cmos soluciona aquest problema

5. Es desitja realitzar la connexió de dos famílies lògiques tal i com es mostra en la figura. A partir de les especificacions de les famílies A i B indicades en les taules adjuntes, indique quina de les següents opcions permetria una connexió **CORRECTA**.

Família A (TTL)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2 V	0.8 V	2.4 V	0.4 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
40 μ A	-1.6 mA	-400 μ A	16 mA

Família B (CMOS)			
V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.1 V	0.9 V	2.9 V	0.1 V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
1 pA	-20 pA	-0.5 mA	0.5 mA

- [A] Es pot realitzar la connexió directament, ja que existeix compatibilitat a nivell de tensió i corrents.
 [B] La connexió no és possible de cap manera, ja que estan alimentades a diferent tensió.
 [C] Existeix incompatibilitat de tensions. Es pot solucionar intercalant un *buffer* en drenador obert a l'eixida de la porta B i una resistència de *pull-up* entre l'eixida del *buffer* i 5V.
 [D] Existeix incompatibilitat de corrents. Es pot solucionar intercalant un *buffer* de la família B alimentat a 3V que proporcione suficient corrent a la porta A



$$V_{OH} \geq V_{IH} \rightarrow OK$$

$$V_{OL} \leq V_{IL} \rightarrow OK$$

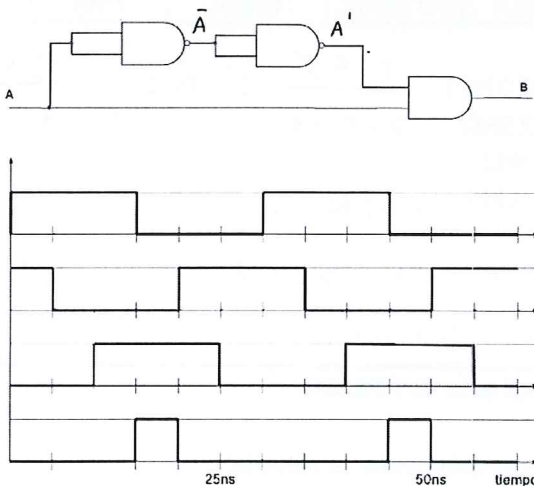
$$|I_{OH}| \geq |I_{IH}| \rightarrow OK$$

$$|I_{OL}| \geq |I_{IL}| \rightarrow \text{No}$$

Es necessita posar un Buffer

6. Per al circuit de la figura, s'ha dibuixat el cronograma amb les distintes eixides, sent el senyal A l'entrada al mateix. Es pot afirmar que:

Dades: $V_{CC} = 5V$; $I_{CCL} = 2 \text{ mA}$ i $I_{CCH} = 6 \text{ mA}$, i el retard de propagació mitjà d'una porta és de 5ns.



- [A] La potència estàtica mitjana consumida per la porta AND és 13.34mW.

- [B] La potència estàtica mitjana consumida per la porta AND és 26.7mW.

- [C] La potència estàtica mitjana consumida pel conjunt del circuit és 40mW.

- [D] Per a realitzar els càlculs de la potència estàtica mitjana consumida, es necessita conèixer la freqüència del senyal d'entrada.

$$P_{\text{And}} \rightarrow 5 \times \frac{1}{2} (2+6) = 20 \text{ mW}$$

$$\text{And} \rightarrow 5 \times \left(\frac{6}{6} + \frac{5}{6} \right) = 13.34 \text{ mW}$$

$$\text{Total} = 2 \times 20 + 13.4 = 53.4 \text{ mW}$$

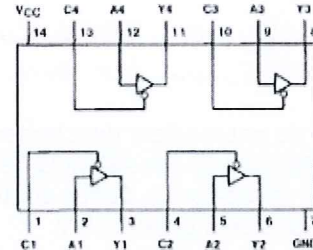
Nom i Cognoms: Solutions

1. Donades les especificacions del chip TTL **74LS125** de la figura, indique quina de les següents afirmacions sobre els buffers triestate del xip és **CORRECTA**.

Paràmetres característics

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2V	0.8V	2.4V	0.5V
I_{IHmax}	I_{ILmax}	I_{OHmax}	I_{OLmax}
20 μ A	-0.4mA	-2.6mA	24mA
T_{PLH}	T_{PHL}	I_{CCmax}	V_{CC}
15ns	18ns	20mA	5V

74LS125



[A] El marge de soroll és $NM = 0.4V$.

[B] El fan-out teòric és 60.

[C] La potència estàtica màxima és 100W.

[D] El retard de propagació mitjà és 33ns.

$$NM_H = 2.4 - 2 = 0.4V$$

$$NM_L = 0.8 - 0.5 = 0.3V$$

$$P = 5 \times 20 = 100mW$$

$$= 0.1W$$

$$fan-out_H = \frac{2.6}{0.02} = 130$$

$$fan-out_L = \frac{24}{0.4} = 60$$

$$t_{pd} = 16.5ns$$

2. Donat el següent circuit seqüencial síncron, dissenyat amb portes i un biestable D, assenyalet l'afirmació **CORRECTA** sobre la **frequència màxima** de funcionament:

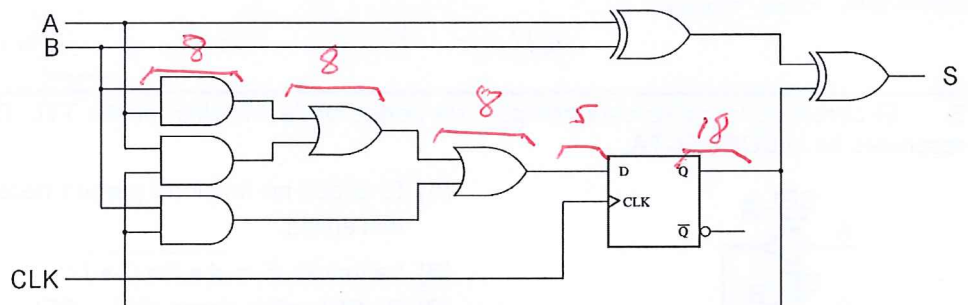
Paràmetres temporals: Biestables: (Set up: $t_{su} = 5$ ns, Hold: $t_h = 2$ ns, $t_{pHL} = 15$ ns, $t_{pLH} = 18$ ns), Portes: ($t_{pHL} = 7$ ns, $t_{pLH} = 8$ ns). Considere que les entrades A i B estan estables, sense canvi. Només canvia Q.

[A] 18 Mhz

[B] 55 Mhz

[C] 40 Mhz

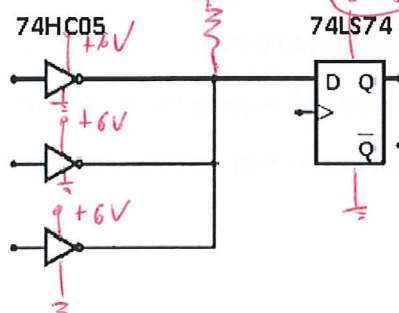
[D] 21 Mhz



$$T_{min} = 18 + (3 \times 8) + 5 = 47ns$$

$$f_{max} = \frac{1000}{47} = 21.28MHz \rightarrow 21MHz$$

3. Es desitja connectar l'eixida de tres portes NOT CMOS 74HC05 (amb eixida en drenador obert), i el senyal resultant connectar-lo a l'entrada D d'un biestable TTL 74LS74, tal i com es mostra en la figura. A partir de les especificacions dels dos components en las taules adjuntes, indique quina de les següents opcions permetria una connexió **CORRECTA**.



74HC05 ($V_{CC} = 6\text{ V}$)			
$V_{IH(\min)}$	$V_{IL(\max)}$	$V_{OH(\min)}$ *	$V_{OL(\max)}$
4.2 V	1.8 V	-	0.33 V
$I_{IH(\max)}$	$I_{IL(\max)}$	$I_{OH(\text{fuites})}$	$I_{OL(\max)}$
1 μA	-1 μA	5 μA	5.2 mA

74LS74 ($V_{CC} = 5\text{ V}$)			
$V_{IH(\min)}$	$V_{IL(\max)}$	$V_{OH(\min)}$	$V_{OL(\max)}$
2 V	0.8 V	2.7 V	0.5 V
$I_{IH(\max)}$	$I_{IL(\max)}$	$I_{OH(\max)}$	$I_{OL(\max)}$
40 μA	-0.8 mA	-0.4 mA	8 mA

* Per eixides en drenador/col·lector obert no tenen $V_{OH(\min)}$, perquè el '1' d'eixida el posa la R externa

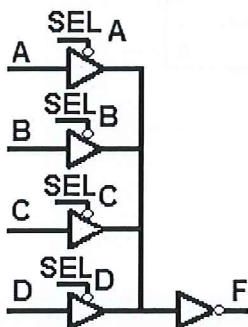
- [A] La connexió se pot realitzar directament, ja que existeix compatibilitat a nivell de tensió i corrents.
 [B] Hi ha que intercalar una resistència de *pull-up* entre les eixides de les portes NOT i 5 V.
 [C] És necessari intercalar un *buffer* en drenador obert a l'eixida de cada porta NOT i una resistència de *pull-up* entre les eixides dels *buffers* i 5 V.
 [D] La connexió no és possible, pot produir-se un conflicte lògic en les eixides.

4. Respecte als paràmetres característics de les famílies lògiques i suposant eixida totem-pole (normal, estàndar), marque la resposta FALSA:

- [A] Si I_{OH} és negatiu el corrent ix per l'eixida a nivell alt.
 [B] El marge de soroll a nivell alt es defineix com: $NM_H = V_{OH(\min)} - V_{IH(\min)}$.
 [C] Si la tensió d'eixida V_{OL} està per damunt de $V_{OL(\max)}$, una entrada connectada a esta eixida no la interpretarà com '0' lògic en cap cas.
 [D] Per a què la connexió entre dos portes lògiques funcione de forma adequada, s'ha de complir, entre altres coses que, $|I_{OL(\max)}| \geq |I_{IL(\max)}|$.

$NM_L = V_{IL(\max)} - V_{OL(\max)}$, l'eixida pot ser $> V_{OL(\max)}$ sempre que siga $\leq V_{IL(\max)}$

5. El circuit de la figura està compost de portes de la mateixa família TTL. Determine quina de les següents respostes és la **CORRECTA**:



- [A] El circuit no funciona perquè necessita una resistència de *pull-up* en l'eixida.
 [B] La funció $F = A \cdot B \cdot C \cdot D$
 [C] Si $SEL_B = "0"$, (amb $SEL_A = SEL_C = SEL_D = "1"$), i l'entrada B=4.5V, l'eixida F tindrà un nivell baix.
 [D] Si $SEL_B = "1"$, (amb $SEL_A = SEL_C = SEL_D = "0"$), i l'entrada B=0.5V, l'eixida F tindrà un nivell alt.

Són portes Triestate, que s'activen amb $SEL = "0"$
 No necessiten R de pull-up

6. Indique la resposta FALSA sobre el circuit de la figura:

- [A] Es tracta d'un buffer Trigger-Schmitt
 [B] La corba de transferència presenta histèresi per augmentar el marge de soroll
 [C] Es un buffer triestat
 [D] Es adequat per operar amb entrades que tenen molt de soroll electromagnètic

