

FONAMENTS DE COMPUTADORS

Pràctica 4

Biestables

Cognoms i nom	Grup	DNI

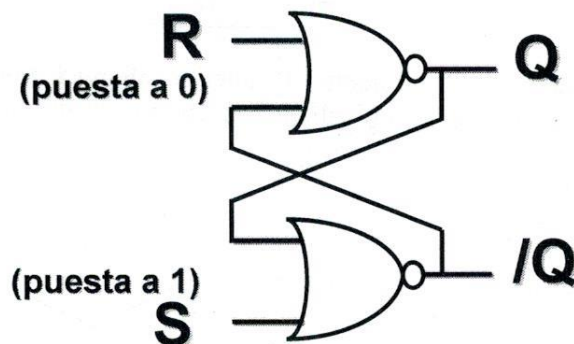
GENERALITATS

L'objectiu d'aquesta pràctica és familiaritzar l'alumne amb els biestables, la seua construcció i la seua utilització per al disseny de circuits, tant síncrons com asíncrons. En la primera part de la pràctica, es construiran biestables SR i D a partir de portes elementals. En la segona part, s'utilitzaran els biestables J-K inclosos en l'entrenador lògic. També s'utilitzaran per primera vegada els commutadors específics per a generar polsos en el senyal de rellotge i el generador automàtic del senyal de rellotge. El vídeo <https://riunet.upv.es/handle/10251/100607> mostra el funcionament d'aquest bloc de l'entrenador. És convenient visualitzar el vídeo abans d'anar al laboratori.

Construcció del biestable S-R

El biestable SR posseeix dues entrades, S (posada a un), i R (posada a zero), i dues eixides, Q i /Q. L'eixida Q és considerada com l'estat del biestable i el senyal /Q és la inversa.

Un biestable SR pot implementar-se per mitjà de diversitat de portes. En la figura següent s'observa una implementació per mitjà de portes NOR d'un biestable amb les entrades S i R actives a nivell alt.



Pregunta 1. Munteu el circuit anterior en l'entrenador i verifiqueu el seu funcionament correcte omplint la taula de funcionament següent, i indiqueu si alguna de les possibles combinacions d'entrades presenta situacions no volgudes.

En les taules de funcionament dels biestables, el nom $Q(t)$ fa referència a l'eixida del biestable abans de generar el flanc de rellotge, i $Q(t+1)$ fa referència a l'eixida del biestable després del flanc. Tingueu en compte que, en la taula següent, els valors d'eixida hauran d'escriure's en funció de $Q(t)$; és a dir, els valors a omplir en la taula podran ser 0, 1, $Q(t)$ o $NOT(Q(t))$.

S	R	Q(t+1)	/Q(t+1)
0	0	Q(t)	/Q(t)
0	1	0	1
1	0	1	0
1	1	0*	0*

Taula de veritat del biestable SR implementat amb portes NOR.

- Hi ha algun cas/estat no volgut? *Se*
- Per a quines valoracions influeix l'estat anterior Q(t)? *Per a S=0 i R=0*

NOTA: No desmunteu aquest circuit.

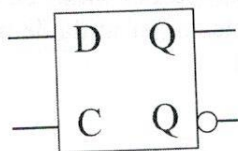
Construcció del biestable D actiu per nivell

Per a evitar els casos no volguts, que es poden donar en els biestables tipus SR, s'utilitza el biestable tipus D.

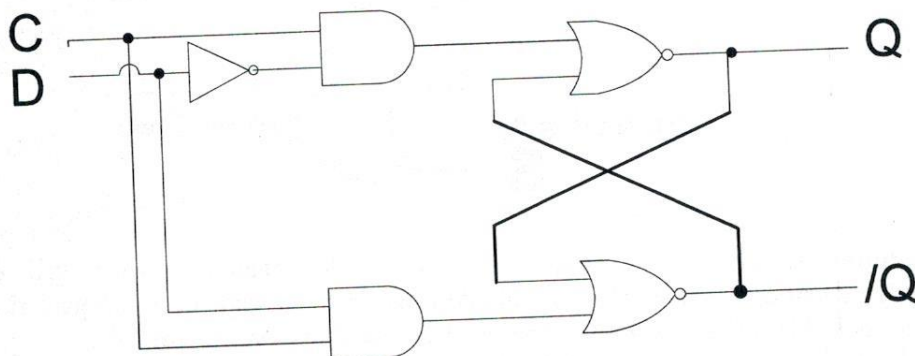
L'esquema és semblant al d'un biestable SR amb entrada d'habilitació, on l'entrada R ha d'estar invertida respecte a l'entrada S ($R=S$).

Volem dissenyar un biestable D actiu per nivell. Quan el biestable D actiu per nivell està habilitat els valors de l'entrada D són traslladats directament a l'eixida Q, per això es diu que està "obert" o que està treballant en "mode transparent".

El símbol lògic d'aquest biestable apareix en la figura següent:



Pregunta 2. Aprofitant el biestable SR anterior, afegiu les portes necessàries per a construir un biestable D actiu a nivell alt amb entrada d'habilitació (entrada C).

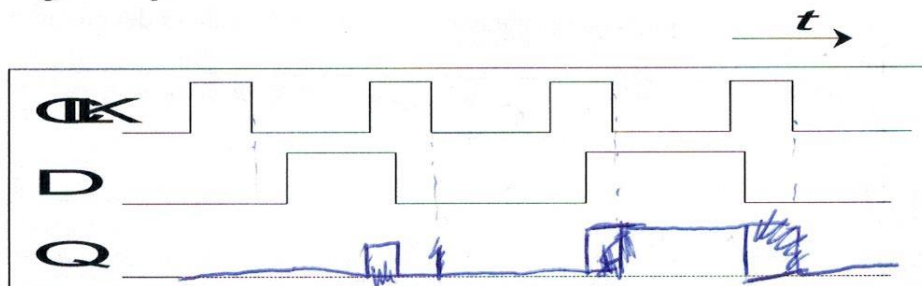


Verifiqueu el funcionament del circuit omplint la taula següent:

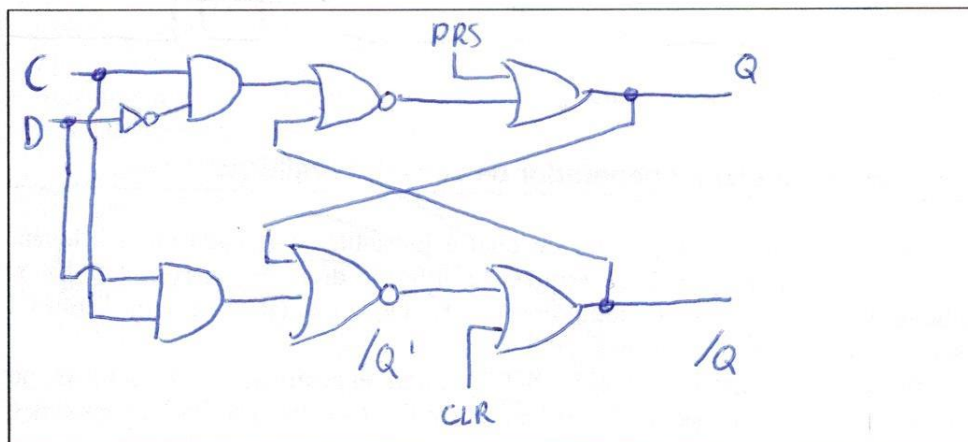
C	D	$Q(t+1)$	$/Q(t+1)$
0	0	$Q(t)$	$/Q(t)$
0	1	$Q(t)$	$/Q(t)$
1	0	0	1
1	1	1	0

NOTA: No desmunteu aquest circuit.

Pregunta 3. Indiqueu en el cronograma següent l'evolució de l'eixida Q del circuit al llarg del temps:



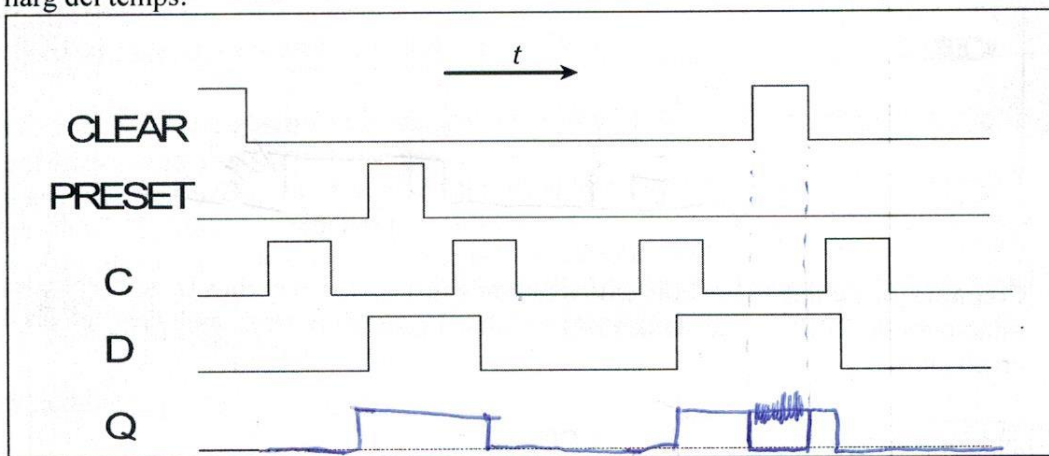
Pregunta 4. Partint del circuit anterior, implementeu un biestable D amb entrades asíncrones de PRESET (posada a un) i CLEAR (posada a zero), ambdues actives a nivell alt.



Pregunta 5. Verifiqueu el funcionament correcte del circuit implementat en l'apartat anterior, omplint la taula següent.

PR	CL	C	D	$Q(t+1)$	$\neg Q(t+1)$
1	1	X	X	1*	1*
1	0	X	X	1	0
0	1	X	X	0*	1*
0	0	0	0	$Q(t)$	$\neg Q(t)$
0	0	0	1	$Q(t)$	$\neg Q(t)$
0	0	1	0	0	1
0	0	1	1	1	0

Pregunta 6. Indiqueu en el cronograma següent l'evolució de l'eixida Q del circuit al llarg del temps:

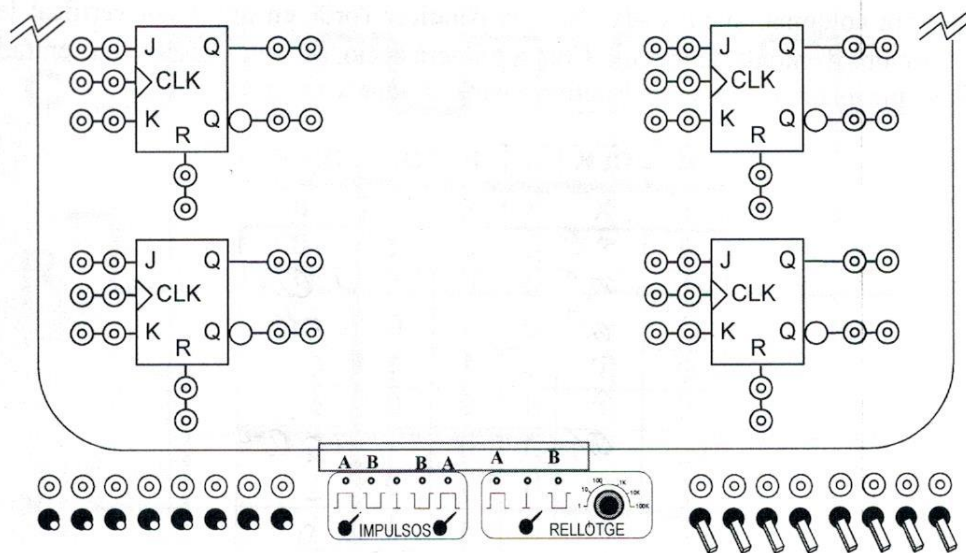


Generador d'impulsos i generador de senyal de rellotge

L'entrenador disposa de dos blocs de quatre biestables J-K cadascú, col·locats en vertical en els extrems inferior esquerre i inferior dret, respectivament. En cada biestable disposem d'entrades individuals J, K, CLK i R (R representa l'entrada de "reset" o posada a zero asíncrona).

Els commutadors centrals ("IMPULSOS") estan específicament dissenyats per a generar senyals de rellotge. Cada un dels dos polsadors disposa de dues eixides (que anomenarem A i B), i el funcionament és el següent:

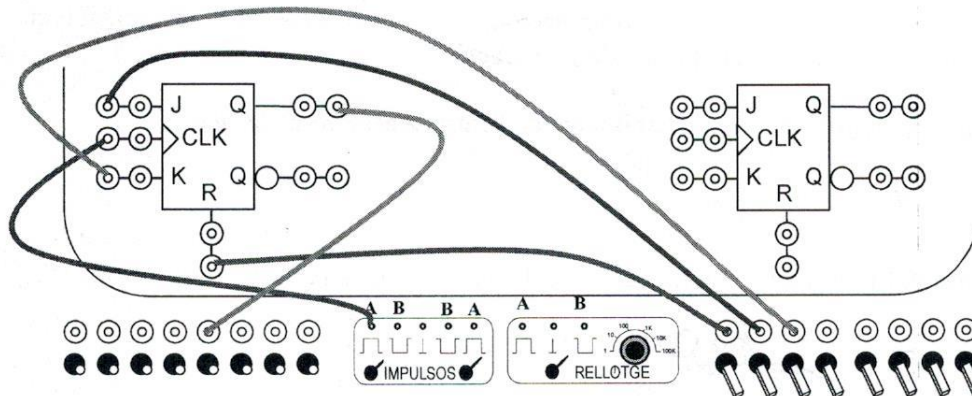
El polsador per defecte es troba a 0 (en A) o 1 (en B). Quan es polsa la palanca del commutador es genera un flanc (de pujada en A, de baixada en B). Mentre la palanca es manté polsada, el nou valor persisteix, i quan se solta la palanca del commutador, aquest torna automàticament a la seua posició inicial, generant en la transició l'altre flanc (de baixada en A, de pujada en B).



Les eixides A i B del circuit anomenat "RELOTGE" funcionen de manera semblant, excepte que la generació dels flancs és automàtica i a una freqüència que es pot fixar entre uns pocs Hz a diversos kHz. Hi ha dos reguladors d'ajust de freqüència, un d'ajust gros i un altre d'ajust fi. És interessant utilitzar aquestes eixides quan disposem d'un circuit seqüencial i volem generar un gran nombre de cicles de rellotge.

Biastable J-K

Pregunta 7. Verifiquem el funcionament d'un dels biestables J-K de l'entrenador. Per a verificar aquest circuit, realitzeu les connexions de la figura següent i ompliu la taula de funcionament. Cal notar que l'entrada de rellotge està connectada a un dels commutadors centrals de "IMPULSOS".



Ompliu la taula a partir de les combinacions de valors de les entrades del biestable: R, CLK, J, K, i Q(t). Recordeu que el nom Q(t) fa referència a l'eixida del biestable abans de generar el flanc de rellotge, i Q(t+1) fa referència a la mateixa eixida del biestable però després d'aquest flanc.

La primera columna, anomenada "Nº", ha d'indicar l'orde en què s'han verificat les combinacions d'entrada del circuit. Com a primera acció, activeu i desactiveu l'entrada de *reset* que haurà de romandre inactiva a partir d'aqueix moment.

Nº	R	CLK	J	K	Q(t)	Q(t+1)
1	1	X	X	X	X	0
2	0	0 ↑	0	0	0	0
	0	0 ↑	0	0	1	1 (0)
	0	0 ↑	0	1	0	0 (1)
	0	↑	0	1	1	0
	0	↑	1	0	0	1
	0	0 ↑	1	0	1	1 (0)
	0	↑	1	1	0	1
	0	↑	1	1	1	0

NOTA: A diferència dels circuits combinacionals, en els quals les combinacions de valors de les entrades es poden comprovar en qualsevol ordre, en els circuits seqüencials, hem de seguir un cert ordre. Açò és així perquè l'eixida del sistema $Q(t+1)$ depèn no sols de les entrades que podem modificar a la nostra voluntat i en el moment que es vulga (J, K, R) sinó també de l'estat del mateix biestable $Q(t)$. Per exemple, després de verificar que l'eixida del circuit per a la primera fila de la taula és 0 (reacció a l'entrada asíncrona de *reset*), podem verificar l'eixida per a la segona combinació. Després de provar amb la segona combinació, l'eixida del sistema continua sent 0. Ara, resulta impossible verificar l'eixida per a la tercera combinació, ja que aquesta exigeix com a part de la combinació de valors d'entrada que $Q(t)=1$. Cal verificar una altra combinació on $Q(t)$ siga 0 i després, si el sistema reacciona amb $Q(t+1)=1$, podrem verificar la combinació de la tercera fila. Recordeu que l'important és verificar l'eixida del circuit per a totes les combinacions d'entrada, no l'ordre en què les combinacions són verificades, ni si es repeteixen combinacions d'entrada en el procés de verificació.

Pregunta 8. Quin és el nivell d'habilitació de l'entrada asíncrona de "RESET"?

A nivell alt

Pregunta 9. El biestable és actiu per flanc de pujada o de baixada?

De pujada

Pregunta 10. Completeu el cronograma següent de manera pràctica, és a dir, introduint en el circuit les entrades mostrades al cronograma, i dibuixant l'eixida del circuit en el cronograma.

