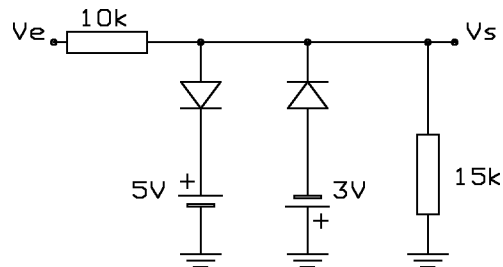


TEORÍA 1^{er}.Parcial (5 cuestiones) (6 puntos) . Puntuación: BIEN +1.2 ptos., MAL -0.3 ptos, N.C.: 0

1. Dado el circuito de la figura, indique el valor de la tensión en V_s , cuando $V_e = 5V$.

- [A] $V_s = 5.7V$
 [B] $V_s = -3.7V$
 [C] $V_s = 0V$
 [D] $V_s = 3V$
 (Datos: $V_\gamma = 0.7V$)

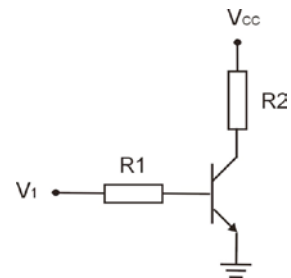


2. A la vista de los datos que se suministran, ¿Cuál será el valor de R_2 que dejará al transistor en el límite entre la zona activa y la de saturación, si la tensión de entrada V_e es de $1.7V$?

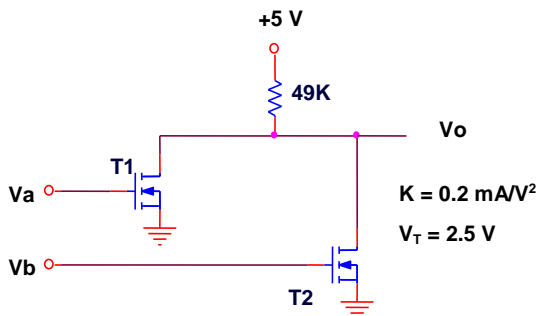
- [A] $R_2 = 1.2k$
 [B] $R_2 = 1.6k$
 [C] $R_2 = 2k$
 [D] $R_2 = 2.4k$

Datos:

$\beta: 100$
 $R_1 = 50k$
 $V_{CC} = 5V$
 $V_{BEON} = 0.7V$, $V_{CESAT} = 0.2V$



3. En la puerta lógica de la figura, la tensión de salida cuando $A=B=1$ es:

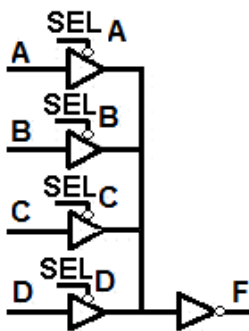


Datos:

Considere en las entradas 5V para nivel alto y 0V para nivel bajo. Zona lineal (óhmica): $I_{DS} \approx 2K(V_{GS} - V_T)V_{DS}$

- [A] 0V
 [B] 0.05V
 [C] 0.1V
 [D] 0.2V

4. El circuito de la figura está compuesto de puertas de la misma familia TTL. Determine cuál de las siguientes respuestas es la **CORRECTA**:

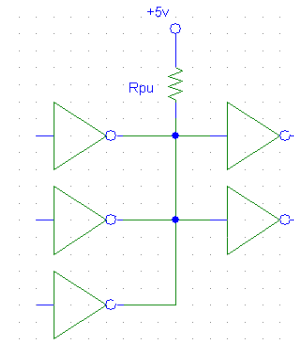


- [A] El circuito no funciona porque necesita una resistencia de pull-up en la salida.
 [B] La función $F = A \cdot B \cdot C \cdot D$
 [C] Se pueden seleccionar varias puertas al mismo tiempo, pues tienen salida triestado.
 [D] Si $SEL_B = "0"$, (con $SEL_A = SEL_C = SEL_D = "1"$), y la entrada $B = 0.5V$, la salida F deberá ser un nivel alto.

5. Considere el circuito adjunto y los parámetros característicos siguientes. Si se trata de salidas en colector abierto, indique la respuesta **correcta**.

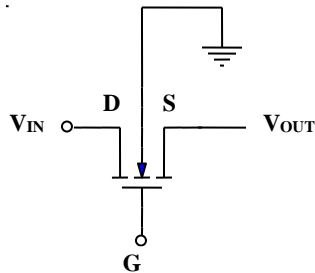
- [A] El circuito funciona correctamente con una $R_{PU} = 1.2k$
- [B] El circuito funciona correctamente con una $R_{PU} = 3k$
- [C] El circuito funcionará correctamente si quitamos la R_{PU}
- [D] El circuito funciona correctamente con una $R_{PU} = 0.5k$

V_{IHmin}	V_{ILmax}	V_{OHmin}	V_{OLmax}
2.5 V	0.8 V	3.0 V	0.5 V
I_{IHmax}	I_{ILmax}	$I_{OHmax}(fugas)$	I_{OLmax}
300 μA	-0.36 mA	100 μA	7 mA



1. Sea la puerta de transmisión de la figura, que emplea un transistor con una $|V_T|=1.2V$. Si se aplican 5V en los terminales V_{IN} y G. ¿Qué voltaje se obtendrá en el terminal V_{OUT} ?

- [A] 1.2V
- [B] 3.8V
- [C] 0V
- [D] 5V



2. Señalar la afirmación **FALSA** entre las siguientes relacionadas con la tecnología CMOS:

- [A] En la actualidad la corriente total de pérdidas (corrientes de fuga) en un chip CMOS es muy importante, ya que la densidad de integración supera los 1000 millones de transistores/chip.
- [B] La tecnología BiCMOS es un híbrido con el núcleo lógico CMOS y salidas bipolares que proporcionan una mayor corriente de salida.
- [C] El consumo dinámico de los circuitos de tecnología CMOS es máximo con frecuencias de trabajo próximas a cero.
- [D] Una de las principales características de la tecnología CMOS es su alta inmunidad al ruido, muy superior a la de la tecnología TTL.

3. Señalar la afirmación **FALSA** de entre las siguientes relacionadas con la tecnología CMOS:

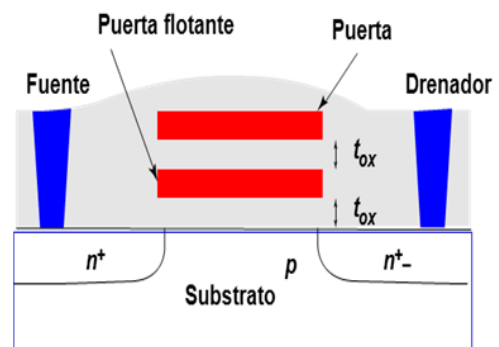
- [A] Los circuitos CMOS con transistores de mayores dimensiones (W/L) tendrán menor retardo de conmutación.
- [B] Como los circuitos CMOS tienen un consumo muy bajo, se pueden integrar muchas puertas lógicas de esta tecnología en un chip, pudiéndose implementar por ejemplo, microprocesadores potentes en un solo chip.
- [C] Para una tensión de alimentación V_{DD} mayor, un circuito CMOS será más rápido, aunque consumirá más potencia.
- [D] Con mayor capacidad parásita en la salida, el retardo del circuito CMOS será menor.

4. Acerca del proceso de fabricación y diseño de los chips VLSI CMOS, indique la respuesta **FALSA**:

- [A] Las vías son contactos verticales entre capas metálicas depositadas en distintos niveles.
- [B] La oblea de silicio tipo P actúa como sustrato de los transistores NMOS y el pozo-N actúa como sustrato de los transistores PMOS.
- [C] Se suele emplear un láser de luz UV (ultravioleta) para proyectar las máscaras en la oblea.
- [D] En el diseño *full-custom*, las celdas se disponen en filas que comparten las mismas líneas metálicas de alimentación (V_{DD} y GND).

5. Dada la celda de memoria de la figura, indique la respuesta **FALSA**:

- [A] Es la celda que utiliza la memoria Flash, basada en un transistor FAMOS.
- [B] La información se almacena como carga eléctrica (electrones) en la puerta flotante.
- [C] La lectura requiere de tensiones más elevadas de lo normal, típicamente 12V.
- [D] Se trata de una memoria no volátil, pues la puerta flotante está rodeada de aislante.



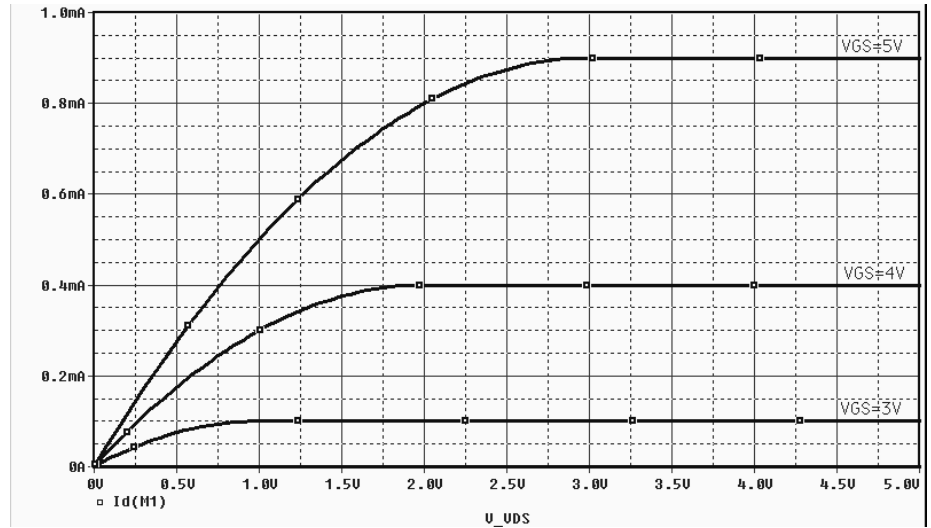
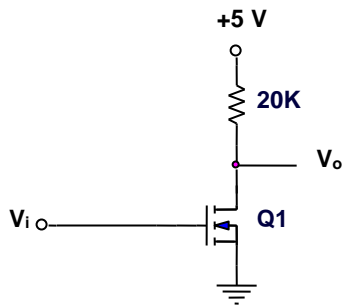
Apellidos:

Nombre:

PROBLEMA 1 (Primer Parcial) (4 PTOS.)

El circuito de la figura es un inversor NMOS y la gráfica adjunta muestra las curvas características del MOSFET. Se pide:

Nota: En zona óhmica utilice la expresión aproximada $R_{ON} \approx 1/(2K(V_{GS} - V_T))$, y en saturación $I_{DS} = K(V_{GS} - V_T)^2$



[A] **(0.4p)** A partir de la gráfica adjunta, justifique adecuadamente como obtener el valor de V_T y la K del MOSFET

$V_T =$ (V)	$K =$ (mA/V ²)
-------------	----------------------------

[B] **(0.8p)** A partir de este apartado, considere $V_T = 2$ y $K = 0.1 \text{ mA/V}^2$. Calcule analíticamente el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) cuando la entrada es $V_i = 3\text{V}$. Justifique la respuesta y compruebe la zona de trabajo. (Sugerencia: suponga inicialmente que se encuentra en saturación).

$V_{GS} =$ (V)	$V_{DS} =$ (V)	$I_{DS} =$ (mA)	Zona:
----------------	----------------	-----------------	-------

[C] **(0.8p)** Calcule analíticamente el punto de trabajo Q (V_{GS} , V_{DS} , I_{DS}) y el valor lógico de salida V_o con una entrada a $V_i = 1\text{V}$. Justifique la respuesta y compruebe la zona de trabajo.

$V_{GS} =$ (V)	$V_{DS} =$ (V)	$I_{DS} =$ (mA)	Salida = " " ('1' ó '0')	Zona:
----------------	----------------	-----------------	--------------------------	-------

[D] **(0.8p)** Obtenga la ecuación de la recta de carga del circuito. Dibuje sobre las curvas características, la recta de carga y marque los dos puntos de trabajo de los apartados anteriores. Justifique la respuesta, calculando los puntos de corte de la recta de carga sobre los ejes.

[E] **(1.2p)** Partiendo del diseño base del inversor, diseñe una puerta **NAND NMOS** de 2 entradas, y rellene la tabla de verdad adjunta. Justifique los resultados. Se sugiere calcular la R_{on} del transistor en la zona óhmica.

Va	Vb	Zona M1 (Ohmica/Corte)	Zona M2 (Ohmica/Corte)	Salida (Valor lógico)	V _o (V)
0	0				
0	1				
1	0				
1	1				

Apellidos:

Nombre:

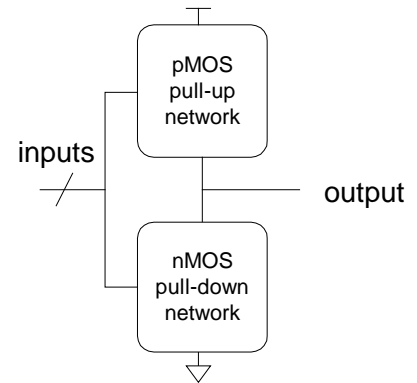
PROBLEMA 2 (Segundo Parcial) (4 PTOS.)

A. (1.5 ptos) Diseñe una función **XOR** en lógica CMOS complementaria. Dibuje un esquema con transistores.

$$F = A \oplus B = \overline{A}B + A\overline{B}$$

Justifique el diseño resultante indicando si ha comenzado por el bloque NMOS o PMOS.

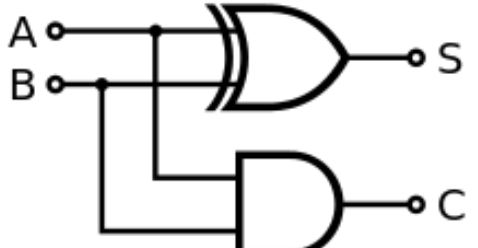
Nota: utilice el símbolo simplificado de los transistores.



B. (0.5 ptos.) Calcule el número de transistores utilizado en el diseño en lógica CMOS complementaria y compárelo con un diseño tradicional (suma de productos) basado en puertas CMOS básicas. Justifique el resultado.

C. (1 pto) Realice un nuevo diseño de la función XOR de dos entradas, basado en puertas de transmisión CMOS y las puertas adicionales necesarias. Sugerencia: utilice la estructura básica de un multiplexor de 2 canales.

D. (1 pto.) La figura representa el esquema de un semisumador (*half adder*).

	A	B	S	C
	0	0		
	0	1		
	1	0		
	1	1		

Complete la tabla de verdad del circuito y realice el diseño de este circuito utilizando una **ROM NOR**. Dibuje la estructura interna con transistores e indique el tamaño de la memoria. Justifique el resultado.