

## **Tema 3:**

# **Introducción a las familias lógicas integradas**

# Objetivos

- Comprender la definición de los estados lógicos de las puertas lógicas
- Entender los parámetros característicos de una puerta lógica, tanto a nivel eléctrico como a nivel temporal
- Conocer y entender el comportamiento de los terminales de entrada y de salida de un circuito lógico
- Comprender la problemática de la interconexión de circuitos lógicos integrados y estudiar casos prácticos de interconexión
- Conocer algunas familias lógicas actuales

# Contenidos

1. Introducción
2. Tipos de salidas y entradas
3. Parámetros característicos
4. Interconexión de componentes digitales
5. Familia TTL. Subfamilias

En el punto 1 de este tema se introduce el concepto de valor lógico, y cómo se relaciona con lo que sucede realmente en los componentes electrónicos. También se define el concepto de familia lógica, y se describe la evolución de las familias lógicas a lo largo del tiempo.

En el punto 2 se explican los diferentes tipos de salida, así como el concepto de alta impedancia.

En el punto 3 se describen los diferentes parámetros que caracterizan a las familias lógicas, y que permiten compararlas a la hora de implementar circuitos lógicos.

En el punto 4 se estudia el problema general de la interconexión de circuitos digitales, tanto entre componentes de una misma familia como de familias diferentes.

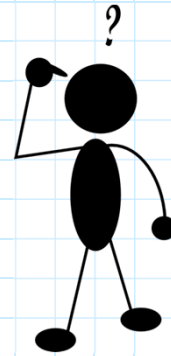
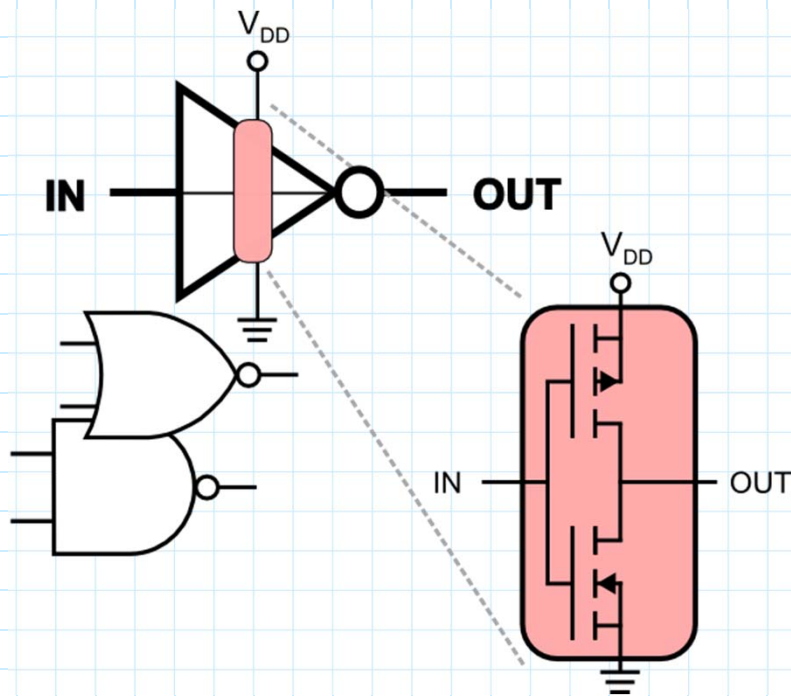
Finalmente, el punto 5 hace una breve reseña a la familia TTL y sus respectivas subfamilias.

# Bibliografía

- M.H. Rashid. "Circuitos Microelectrónicos. Análisis y diseño" (2002). International Thomson. Capítulo 12.
- A.R. Hambley. "Electrónica" (2ª ed., 2001). Prentice Hall. Capítulo 6.
- R.H. Katz and Gaetano Borriello, "Contemporary Logic Design" (2nd ed., 2004). Prentice Hall.
- J.F. Wakerly, "Digital Design. Principles and practices" (2006). Prentice Hall. Capítulo 3.
- R. Tokheim. "Electrónica digital, principios y aplicaciones" (7ª ed., 2008). McGraw-hill.
- A.P. Malvino. "Principios y aplicaciones digitales" (1988). Marcombo.

# Introducción

## La puerta lógica



La puerta lógica es un circuito electrónico que funciona a modo de operador booleano. Los circuitos más básicos son: la puerta AND, la puerta OR y la puerta NOT, que corresponden con los operadores booleanos producto, suma y negación y con los que se puede crear el resto de circuitos lógicos, incluidos aquellos que tienen la capacidad de memorizar su estado como es el caso de los biestables.

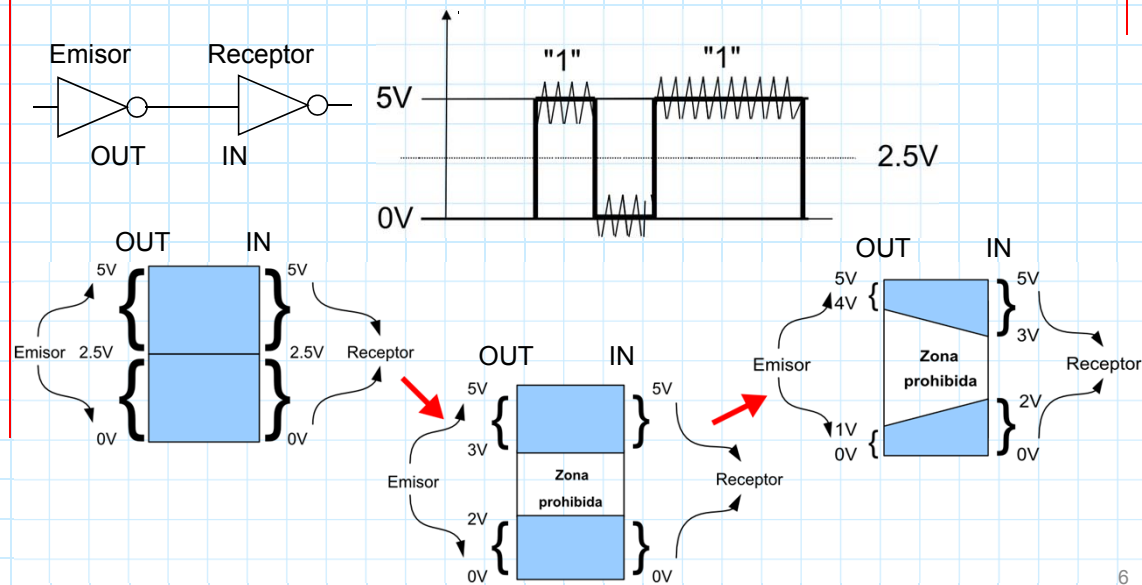
Estos circuitos electrónicos disponen de una o más entradas, de una salida y de terminales de alimentación. Estos últimos son necesarios para que el circuito realice su función correctamente y se comporte como un verdadero circuito lógico. A pesar de su importancia no suelen ser representados en los esquemas puesto que no tienen influencia en la expresión de la función lógica.

La lógica booleana está definida únicamente para dos elementos: representados en electrónica digital como "0" y "1" lógicos y a los que es necesario asignarles propiedades eléctricas cuando se trabaja con circuitos lógicos digitales.

# Introducción

## Abstracción del "0" y "1"

Los niveles lógicos "0" y "1" no son valores de tensión fijos, sino que se asocian a unos rangos de tensión.



Los niveles lógicos ('0' y '1'), se definen como bandas de tensión.

Como para cada nivel lógico se establece un rango de tensiones, el emisor podría utilizar cualquier valor de este rango para poner un "1" o un "0". Pero, por ejemplo, si el emisor pusiese un "1" utilizando para ello un valor muy próximo al límite, al receptor le resultaría muy complicado determinar si se trata de un "0" o un "1".

Por eso, es necesario establecer para el emisor una zona prohibida alrededor del límite que permita discriminar entre el "0" y el "1". Esa zona prohibida o indeterminada se corresponde a un nivel lógico erróneo, ni '0' ni '1'. En condiciones normales, el circuito lógico no debe funcionar en la banda prohibida. Si se mide la tensión en una entrada o salida de una puerta y corresponde a la banda prohibida, será porque la puerta está defectuosa o hay una conexión errónea.

Obsérvese que los límites de las bandas de tensión son diferentes para la entrada y para la salida. Normalmente la banda de la entrada es mayor que la banda de la salida. Esto confiere a los circuitos una mayor robustez frente a interferencias electromagnéticas, tal como se verá más adelante. Técnicamente, se dice que aumenta la inmunidad al ruido.

# Introducción

## ¿Qué es una familia lógica?

### Familia lógica

- Conjunto de elementos funcionales (puertas lógicas, biestables, decodificadores, contadores, ...) con el mismo circuito base y la misma tecnología de fabricación
- Compatibilidad eléctrica, interconexión directa

### Familias lógicas principales

- Bipolares
  - Lógica transistor-transistor (TTL, LSTTL, STTL, ASTTL, ALSTTL, FAST)
  - Lógica de emisor acoplado (ECL)
- MOS
  - **PMOS, NMOS**
  - **Pseudo-NMOS**
  - **CMOS**
  - **Pass-transistor CMOS**
  - Dynamic CMOS (Domino)
- BiCMOS (Bipolar- CMOS)
- GaAs (Arseniuro de Galio)

7

En negrita, se han señalado las familias más usadas en microprocesadores y memorias. Obsérvese que están basadas en transistores MOSFET. La más empleada actualmente es la CMOS, que se estudiará en el tema siguiente.

Es posible encontrar cada uno de estos elementos funcionales en chip discretos. Los primeros PC tenían sus placas bases llenas de este tipo de chips. Actualmente, la práctica totalidad de la funcionalidad de la placa base está integrada en un chip VLSI.

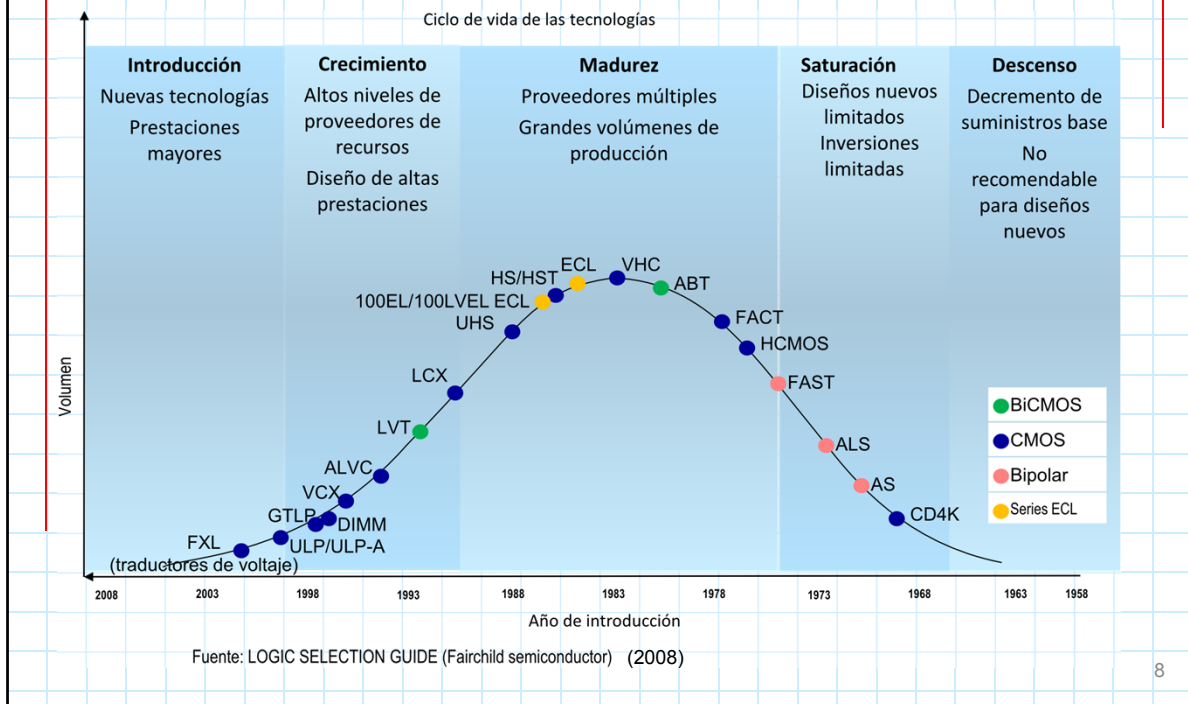
Durante la explosión de estas tecnologías a mediados de los 70, las familias lógicas bipolares (TTL) fueron utilizadas gracias a su velocidad y su facilidad de alimentación. Sin embargo, estas familias han perdido repercusión con el paso del tiempo, debido a que presentan un mayor consumo. Su utilidad se centra en circuitos de baja escala de integración (TTL y subfamilias) y en circuitos lógicos de alta velocidad (ECL).

Las familias MOS se utilizaron por su alta densidad de integración en las primeras memorias y microprocesadores. La familia CMOS, que se introdujo posteriormente, era utilizada en entornos donde era necesario un bajo consumo o se trataba de entornos eléctricamente muy ruidosos.

BiCMOS es una familia híbrida, que combina el bajo consumo de la familia CMOS, con la alta velocidad de las familias bipolares. El núcleo lógico es CMOS y la etapa de salida está constituida por transistores bipolares, capaces de suministrar más corriente. Las familias de GaAs, basadas en materiales semiconductores más caros, eran utilizadas en aplicaciones con requerimientos de frecuencias de funcionamiento extremadamente altos, tales como los sistemas de telecomunicaciones.

# Introducción

## Evolución de las familias lógicas



Actualmente, la familia más extendida es, con diferencia, la familia CMOS, puesto que se han conseguido mejorar mucho los aspectos deficitarios de la misma como la frecuencia máxima de funcionamiento. En la actualidad se emplea masivamente en dispositivos móviles, que tienen requerimientos energéticos y de procesamiento estrictos, se utilizan también en las CPU y memorias dentro de los PC, sistemas multimedia, etc.

Las familias híbridas Bi-CMOS son más específicas de circuitos electrónicos analógicos como los amplificadores operacionales y circuitos que combinan señales digitales y analógicas (*mixed-signal*).

Las familias lógicas evolucionan hacia niveles de tensión de alimentación cada vez más bajos, se reduce de este modo la potencia disipada, aunque los sistemas y los chips actuales son híbridos en tecnología y tensión de alimentación con varios niveles de alimentación en función de las posibilidades de disipación de potencia, por ejemplo las CPU actuales tienen patillas de alimentación con varias tensiones e incluso en algunos casos se autorregulan.



# Introducción

## Escalas de integración

**SSI** (*Small Scale of Integration*). Hasta 10 puertas/chip: *puertas lógicas, biestables, ...*

**MSI** (*Medium Scale of Integration*). 10 a 100 puertas: *decodificadores, multiplexores, sumadores, contadores, registros, ...*

**LSI** (*Large Scale of Integration*). 100 a 1000 puertas: *microprocesadores (8 bits), memorias, ...*

**VLSI** (*Very Large Scale of Integration*). 1000 a 100,000 puertas: *memorias, microprocesadores (16+ bits), CPLD, ...*

**ULSI** (*Ultra Large Scale of Integration*). Más de 100,000 puertas: *microprocesadores (32+), FPGA, microcontroladores, SoC, ...*

**GSI**: (*Giga Scale of Integration*). Más de 1M puertas.

Factor de conversión aproximado en CMOS: 6 transistores/puerta

9

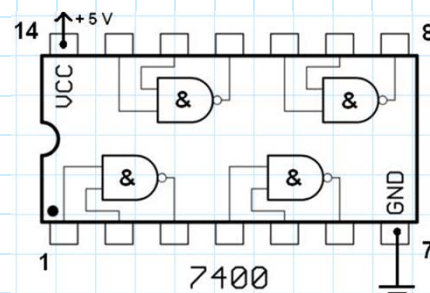
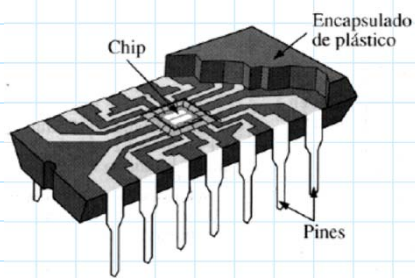
Permite clasificar los chips, dependiendo del número de transistores o puertas lógicas que se integran.

Actualmente los chips de microprocesadores y memorias son VLSI.

Normalmente ULSI y GSI se incluyen en la terminología VLSI.

# Introducción Encapsulados

Para poder ubicar los circuitos integrados en un sistema electrónico realizado sobre un circuito impreso (ej. una placa base de un computador moderno) es necesario insertar el circuito integrado en una carcasa protectora denominada encapsulado.



10

El encapsulado tiene varias funciones:

- Proteger el chip ante agentes externos: temperatura, humedad, golpes, ...
- Disipar el calor generado en el chip hacia el exterior.
- Establecer las interconexiones entre el chip y las patillas externas (pines).

Tienen, como mínimo, dos patillas para la alimentación (Vcc y GND).

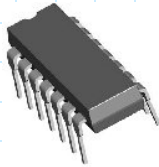
Algunos presentan una marca para facilitar la numeración de las patillas.

Existen multitud de encapsulados, algunos desarrollados para dispositivos discretos como (SOT23, TO220, etc) y otros como los que se describen a continuación para encapsular circuitos digitales:

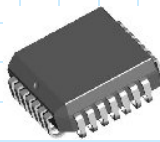
# Introducción Encapsulados

La tecnología de encapsulamiento ha seguido un desarrollo paralelo a la de integración

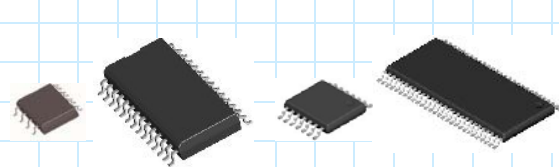
*Dual-In-Line  
Package (DIP ó DIL)  
(hasta 80 pines)*



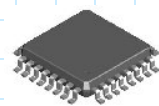
*Plastic Leaded Chip  
Carrier (PLCC)  
(hasta 84 pines)*



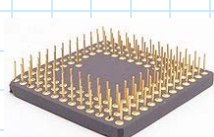
*Small Outline Integrated Circuit (SOIC) / Shrink  
Small Outline Package (SSOP),  
Thin Shrink Small Outline Package (TSSOP)*



*Quad Flat Pack (QFP)  
Thin Quad Flat Package  
(TQFP)  
(hasta 300 pines)*



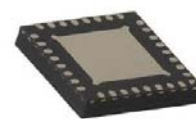
*Pin Grid Array  
(PGA)  
(hasta 400 pines)*



*Ball Grid Array (BGA)  
(mayor nº de pines)*



*Quad Flat No-Lead  
Plastic Package (QFN)*

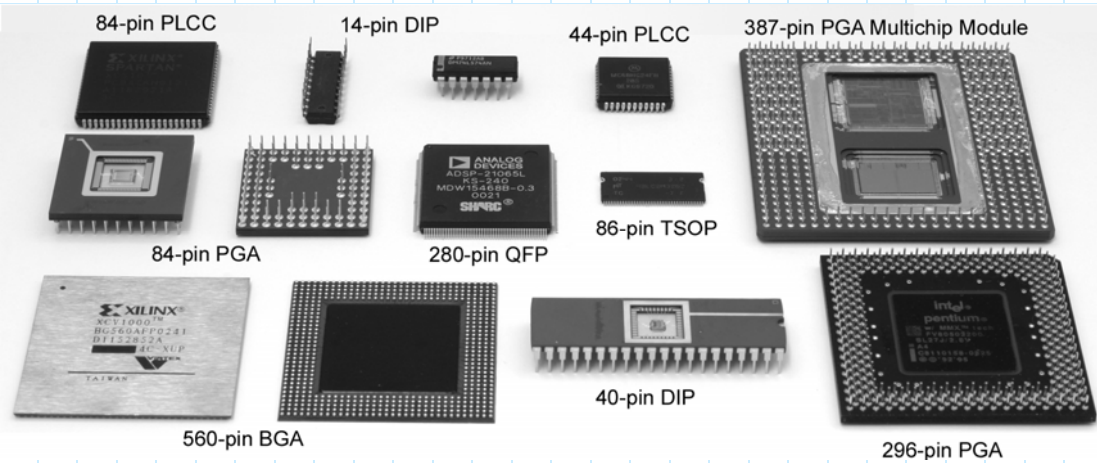


Algunos ejemplos de encapsulado:

DIL es el más simple, para circuitos lógicos SSI y MSI, como los que se usan en prácticas.

En circuitos VLSI se emplean encapsulados más complejos, con mayor número de patillas, distribuidas no sólo en la periferia, sino también en toda la superficie inferior.

# Introducción Encapsulados



12

Fotos reales sobre encapsulados.

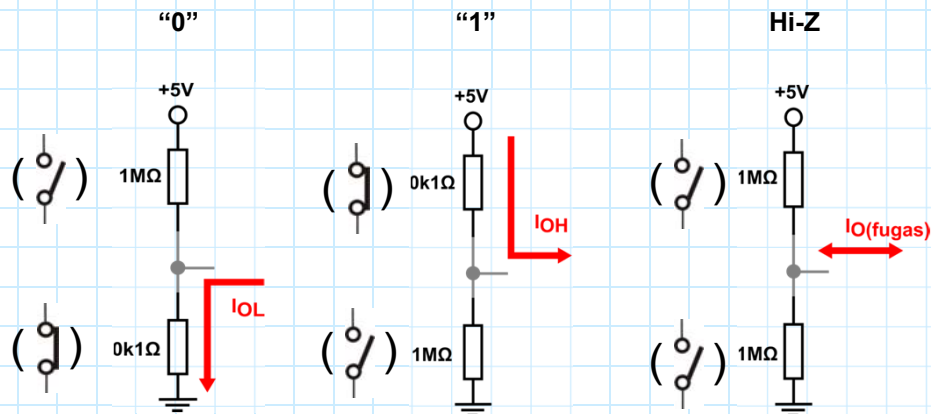
Los encapsulados más usados en microprocesadores y memorias son:

- BGA (*Ball Grid Array*)
- PGA (*Pin Grid Array*)

## Tipos de salidas Estado de un terminal

Una salida puede estar en tres estados: "0", "1" y Hi-Z

- Hi-Z: salida en alta impedancia o flotante; tensión establecida **sin fuerza**
- "0", "1": salidas en baja impedancia; tensión establecida **con fuerza**



Modelo IBIS (*I/O Buffer Information Specification*). Empleado por los fabricantes para ofrecer un modelo de sus circuitos ocultando el diseño interno (SPICE). Tablas I/V y tablas V/t.

13

Las puertas lógicas con salidas normales (TTL *totem-pole* o estándar CMOS) ponen sus valores con "fuerza" o dicho de otra forma, con baja impedancia. Esto impide la conexión de dos salidas simultáneamente al mismo punto, pues se ocasiona un conflicto lógico.

Para posibilitar la conexión directa de varias salidas (por ejemplo, en los buses de microprocesadores), se diseñan salidas especiales: colector abierto y triestado.

# Tipos de salidas

Tipos de salida en función de los posibles valores de salida:

- “0” y “1”: Salida estándar (en TTL, *totem-pole*)
- “0” y Z: Salida en colector / drenador abierto

Se emplea en líneas de interrupción de procesadores, buses de comunicación en serie (como I2C), líneas de E/S digital en microcontroladores, etc.

- “0” y “1” y Z: Salida triestado

Se emplea en los buses de datos de un computador, en buses de direcciones dentro de sistemas con varios procesadores, etc.

14

Vamos a estudiar los tipos de salidas más habituales en los chips de circuitos digitales.

La salida digital normal se llama también estándar o *totem-pole*. Puede tener dos valores lógicos: el ‘0’ y el ‘1’.

Además de la salida estándar, hay dos salidas especiales:

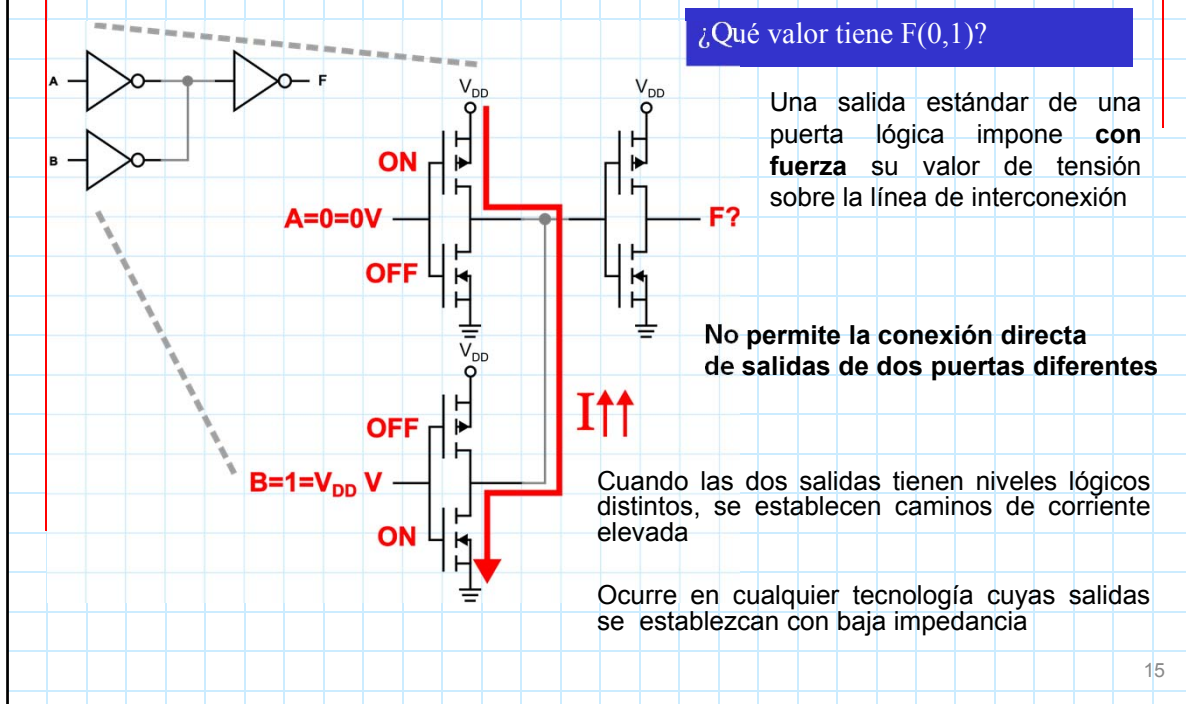
- Colector abierto (en TTL) o drenador abierto (en CMOS). Tiene dos posibles valores: ‘0’ y alta impedancia ‘Z’

-Triestado. Puede tener 3 valores: ‘0’, ‘1’ y alta impedancia ‘Z’

Como se verá más adelante, el estado de alta impedancia ‘Z’ equivale a la desconexión de la salida. Esto es útil cuando varias salidas comparten una misma línea de bus. De esta forma se evitan conflictos lógicos en la línea. Estas salidas introducen estados nuevos (Z, “alta impedancia”) y necesitan circuitos y señales de control adicionales.

Desde el punto de vista lógico, las salidas realizan una función “lógica adicional”, la conexión en colector abierto funciona como una puerta AND, mientras que la salida en triestado funciona como un multiplexor.

## Tipos de salidas Totem-pole/Estándar ("0" y "1")



Las **salidas normales** NO se pueden conectar entre sí.

En caso de tener valores lógicos diferentes, se provoca un conflicto lógico que genera tensiones indeterminadas y corrientes excesivas. Si se mantiene esta conexión durante cierto tiempo, puede llegar a afectar a los transistores de salida, provocando fallos permanentes en los mismos.

Vamos a ver a continuación dos **salidas especiales** que Sí permiten la conexión de varias salidas entre sí.

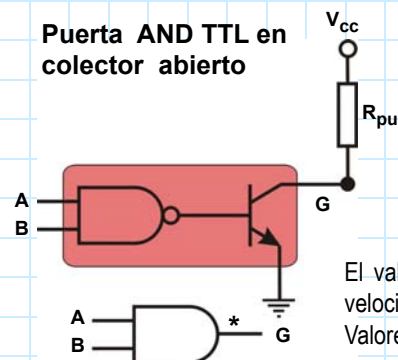
# Tipos de salidas

## Colector/Drenador abierto ("0" y Z)

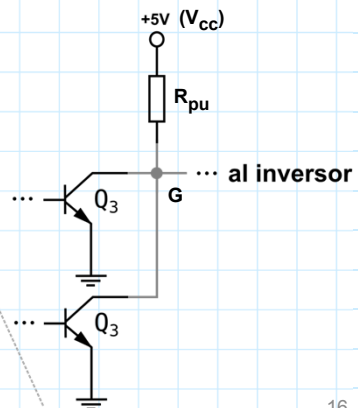
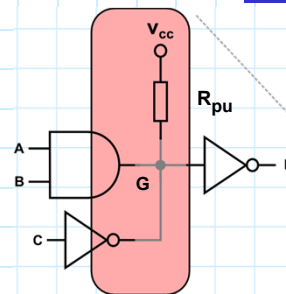
1. Permite el **cableado lógico directo**
2. Se **requiere una resistencia externa** (denominada de "**pull-up**"-  $R_{pu}$ ) para obtener el nivel alto
3. Las salidas forman una **AND cableada**

¿Qué valor tiene  $F(1,0,1)$ ?

**Puerta AND TTL en colector abierto**



El valor de  $R_{pu}$  es un compromiso entre velocidad, disipación y *fan-out*  
Valores típicos del orden de  $k\Omega$



16

La salida en colector/drenador abierto permite la conexión de varias salidas, pero hay que añadir una **resistencia de pull-up ( $R_{pu}$ )** para establecer el '1'.

La figura de la parte inferior derecha muestra la conexión de dos salidas TTL en colector abierto. Observe en la figura de su izquierda que, en la salida, el colector estaba al aire, de ahí el nombre de la salida. Necesariamente, se ha tenido que añadir una  $R_{pu}$ .

Casos:

- Las 2 salidas ( $Q_3$ ) son '1'  $\rightarrow$  los dos transistores  $Q_3$  cortados  $\rightarrow$  salida global = '1' gracias a la  $R_{pu}$ .  $R_{pu}$  debe ser suficientemente pequeña para que  $V_{OH} \geq V_{OHmin}$  o  $V_{IHmin}$

-Uno o más salidas son '0'  $\rightarrow$  al menos un transistor  $Q_3$  saturado  $\rightarrow$  salida global = '0'.  $R_{pu}$  debe ser suficientemente grande para que  $I_{OL} \leq I_{OLmax}$

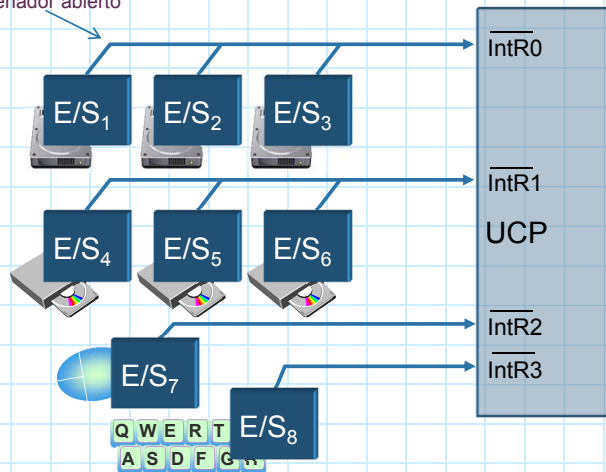


# Tipos de salidas

## Colector/Drenador abierto ("0" y Z)

### Uso en las líneas de interrupción de los computadores

Salidas en Colector/Drenador abierto



17

Un ejemplo del uso de salidas colector/drenador abierto en los procesadores: las líneas de petición de interrupción por parte de los periféricos.

Dentro de una misma fila, uno o más periféricos pueden hacer una petición de interrupción, a través de sus interfaces o adaptadores de E/S (Entrada/Salida)

Las señales de interrupción se activan a nivel bajo.

Dentro de una misma fila (horizontal):

- Si no hay petición de interrupción, todas las señales de interrupción son "1", y la señal  $\overline{\text{Intr}} = "1"$

- Si uno o más periféricos efectúan petición de interrupción, la señal  $\overline{\text{Intr}} = "0"$ , pues es la AND-cableada de las señales de interrupción.

Aunque haya señales "0" y a "1", no hay conflicto lógico, y la señal global es "0".

La CPU sabe que como mínimo hay un periférico de la fila que ha solicitado atención.

Atenderá a los periféricos solicitantes de acuerdo con una determinada prioridad prefijada.

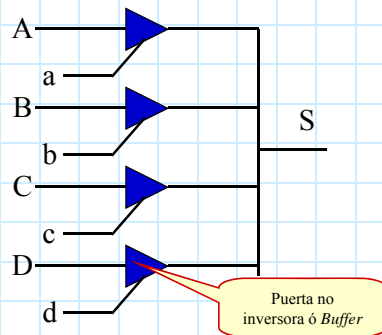
Pero éste ya es otro tema que se estudiará en la asignatura ETC de segundo curso.

También se establecen prioridades en vertical, entre diferentes filas de periféricos.

# Tipos de salidas

## Triestado ("0", "1" y Z)

1. Permite la **conexión directa** de las salidas
2. La salida puede tener **tres posibles estados** lógicos
  - '0' y '1', de baja impedancia
  - Alta impedancia (H.Z o Z\*)
3. Aplicación a **buses de datos**

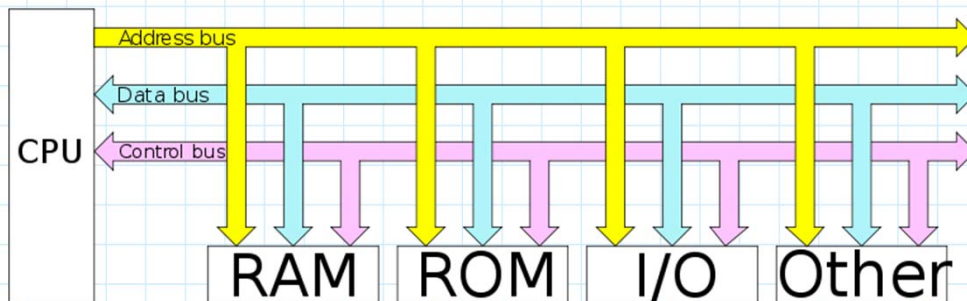


d	c	b	a	S	Funcionamiento
0	0	0	1	A	Buffers B,C y D desconectados
0	0	1	0	B	Buffers A,C y D desconectados
0	1	0	0	C	Buffers A,B y D desconectados
1	0	0	0	D	Buffers A,B y C desconectados

# Tipos de salidas

## Triestado ("0", "1" y Z)

### Uso en buses de datos de computadores



19

Un ejemplo típico del uso de la salida triestado en los computadores: bus de datos compartido por la CPU y varios chips de memoria y adaptadores de E/S.

Solo puede escribir un único componente en el bus de datos, en un instante dado. La escritura de 2 o más componentes podría generar un conflicto lógico, pues las líneas del bus son compartidas por todos los componentes.

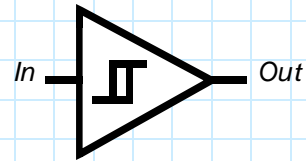
Para ello se habilitan los buffers tri-estado de salida de un único componente, y se deshabilitan los demás.

La selección del componente se realiza automáticamente a partir de las señales de control y del bus de direcciones.

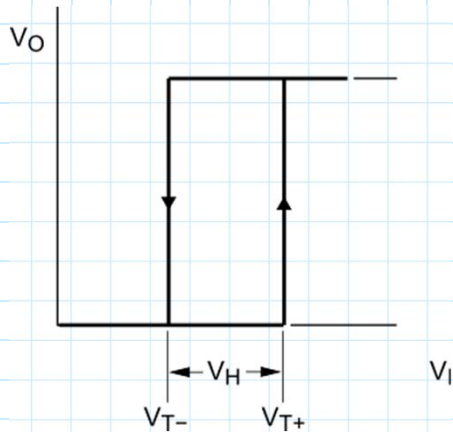
En lectura se pueden activar varios componentes a la vez, no hay conflicto lógico.

# Tipos de entradas Trigger Schmitt

Tienen dos niveles umbrales, uno por nivel lógico



Curva de transferencia con **histéresis**



**Ejemplo:**

$V_H$  (tensión de histéresis): 1.4V

$V_{T+}$  (tensión umbral para el flanco de subida,  
*positive-going threshold voltage*): 2V

$V_{T-}$  (tensión umbral para el flanco de bajada,  
*negative-going threshold voltage*): 0.6V

Las puertas *Trigger Schmitt* tienen entradas especiales.

Son entradas más robustas ante perturbaciones por ruido o señales lentas.

Estas puertas se utilizan para convertir señales con ruido o no digitales (exponenciales) en señales digitales “limpias”, que ya son entendidas por los circuitos lógicos con entradas normales.

## Tipos de entradas Trigger Schmitt



### Supresión de ruido

Aplicación a señales críticas (ej. línea de interrupción de un procesador), señales muy lentas, o señales con “rebotes eléctricos” (ej. pulsador de llamada de un ascensor)

21

Ejemplo de supresión de ruido mediante un buffer Trigger Schmitt

Hay otros tipos de puerta (AND, OR, ...) con entradas Trigger Schmitt

En la figura siguiente se muestra una aplicación típica: *power-on reset para el arranque de un Micro*. El Buffer Trigger Schmitt *convierte* las exponenciales de descarga (cuando se pulsa SW) y carga (cuando se suelta SW) del condensador, en una onda cuadrada bien definida. Provoca un pulso negativo, cuya duración depende de la constante de tiempo R1C1. Este pulso va directamente a la señal de Reset del micro, y provoca su arranque.

# Parámetros característicos

- **Tensiones:**
  - Tensión de alimentación (*power supply*)
  - Rangos de tensiones de entrada y salida (*voltage range*)
  - Margen de ruido, inmunidad al ruido
- **Curva de transferencia**
- **Corrientes**
  - Corriente de entrada y salida (*input/output currents*)
  - Cargabilidad en salidas (*fan-out*) y entradas (*fan-in*)
- **Parámetros temporales**
  - Retardos de propagación (*propagation delays*)
  - Tiempos de transición: tiempo de subida (*rise time*), tiempo de bajada (*fall time*)
  - Modelo de retardos
  - Parámetros temporales en circuitos secuenciales: tiempo de establecimiento (*setup time*), tiempo de mantenimiento (*hold time*)
  - Potencia consumida, producto retardo\*potencia

22

Pasamos a estudiar los parámetros más importantes de los chips de circuitos digitales.

En función de la aplicación se definirán unos requerimientos entre los cuales están la temperatura máxima y mínima de funcionamiento. La temperatura modifica el comportamiento de los dispositivos semiconductores y con ello el de los sistemas desarrollados con los mismos. Este factor obliga a desarrollar circuitos de polarización más complejos y por lo tanto más caros si existen requerimiento extremos de temperatura.

Otro factor importante es la tolerancia frente a fluctuaciones en la tensión de alimentación, a mayor tolerancia, mayor fiabilidad de funcionamiento del sistema, pero circuitos de polarización también más caros.

Los parámetros que se verán en las siguientes transparencias son propios de cualquier familia lógica, aunque se darán valores de tecnologías bipolares.

## Parámetros característicos

### Tensión de alimentación

Polariza los circuitos lógicos internos. Por tensión positiva y negativa

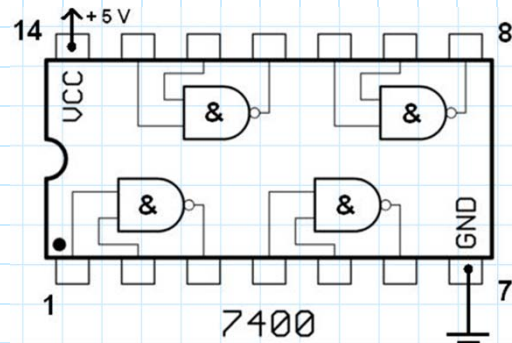
Nomenclatura:

- ( $V_{CC}$ , GND)
- ( $V_{DD}$ ,  $V_{SS}$ )
- ( $V+$ ,  $V-$ )

TTL: +5V

CMOS:

- (15..5V) Serie CD4000
- 5  $\rightarrow$  3.3V  $\rightarrow$  2.5V  $\rightarrow$  1.8V  $\rightarrow$  1.5V  $\rightarrow$  0.8V...



23

Un parámetro muy importante es la tensión de alimentación. Necesaria para hacer funcionar a los transistores (y otros dispositivos) que constituyen los circuitos lógicos. Tiene nombres diferentes en función de la tecnología de fabricación, los más habituales son: ( $V_{CC}$ , GND) y ( $V_{DD}$ ,  $V_{SS}$ ), y ( $V+$  y  $V-$ ).

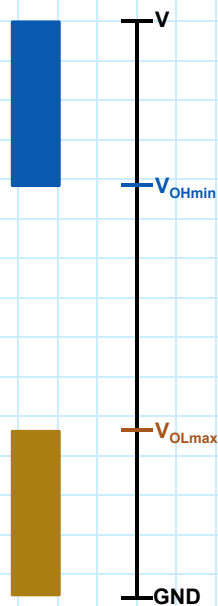
Valores típicos en chips SSI:

- TTL: +5V
- CMOS: rango variable, típicamente entre 2 y 6V. Aunque hay chips CMOS que presentan un rango mayor, entre 3 y 15V.

En los chips VLSI, la tensión ha ido bajando para reducir el consumo y conseguir así una mayor densidad de integración. Actualmente, los chips de los microprocesadores y memorias se alimentan con tensiones entre 1V y 2.5V.

# Parámetros característicos

## Rangos de tensiones – Salida



$V_O$ : Voltaje en una salida

$V_{OH}$ : Voltaje en una salida para un "1" lógico (*high*)

$V_{OHmin}$ : Voltaje mínimo en una salida para un "1" lógico

$$V_{OH} \geq V_{OHmin}$$

$V_{OL}$ : Voltaje en una salida para un "0" lógico (*low*)

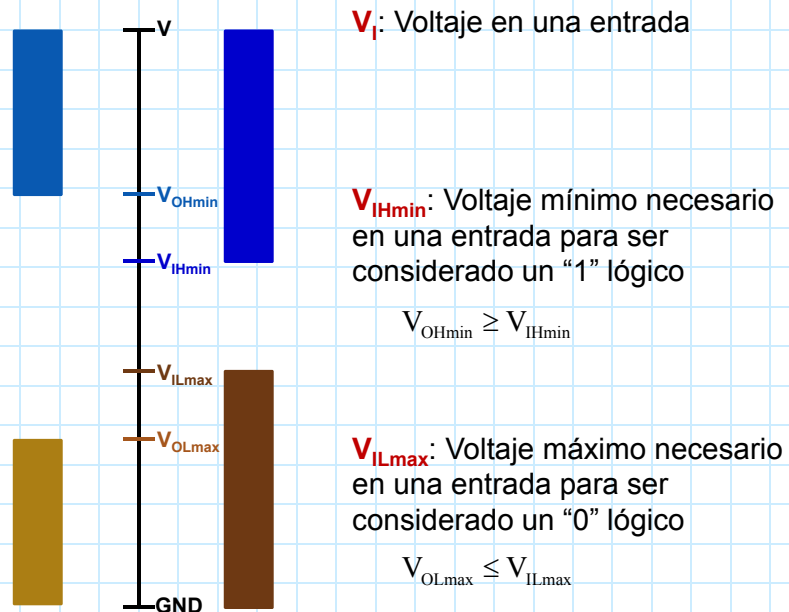
$V_{OLmax}$ : Voltaje máximo en una salida para un "0" lógico

$$V_{OL} \leq V_{OLmax}$$



# Parámetros característicos

## Rangos de tensiones – Entrada

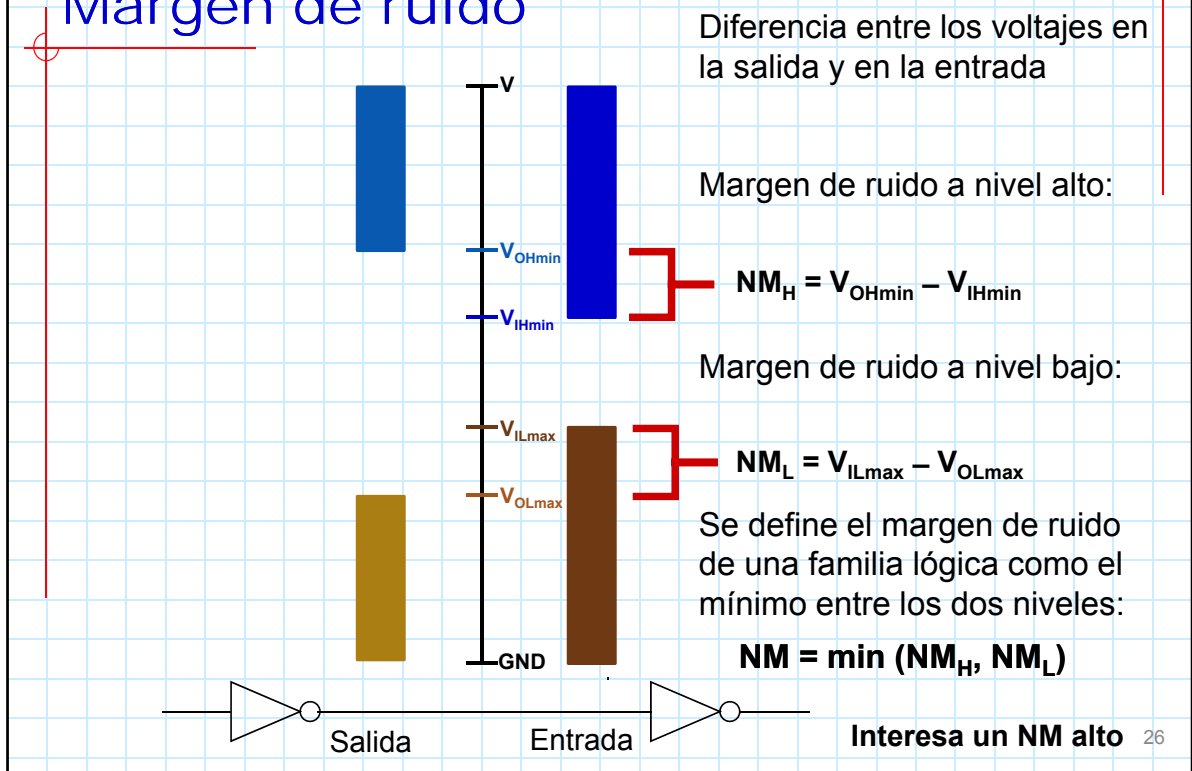


25

En una familia lógica (con lógica positiva) se establece siempre para el "1" lógico un valor de tensión de salida superior al de entrada,  $V_{OH} > V_{IH}$ . Por el contrario, para el "0" lógico el valor de tensión de salida es, siempre, inferior al de entrada,  $V_{OL} < V_{IL}$ . La separación entre los valores de entrada y de salida nos proporciona información sobre la inmunidad al ruido eléctrico.

# Parámetros característicos

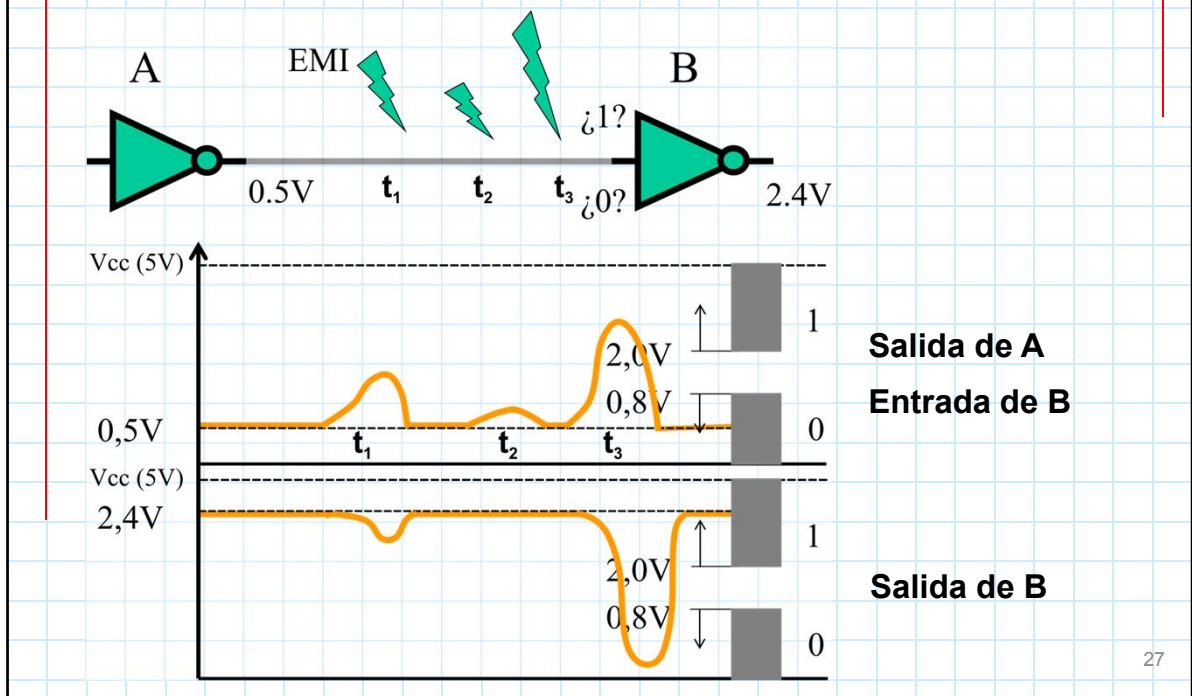
## Margen de ruido



En TTL el NM es 0.4V que equivale a un 8% de la tensión de alimentación. Este es un valor no muy alto comparado con CMOS que tiene un NM del 30% de la alimentación. Por otro lado, la curva de transferencia no es muy simétrica,  $V_t=1.5V$  y la banda del "1" es mayor que la de "0".

## Parámetros característicos

### Inmunidad al ruido



EMI: *electromagnetic interference*

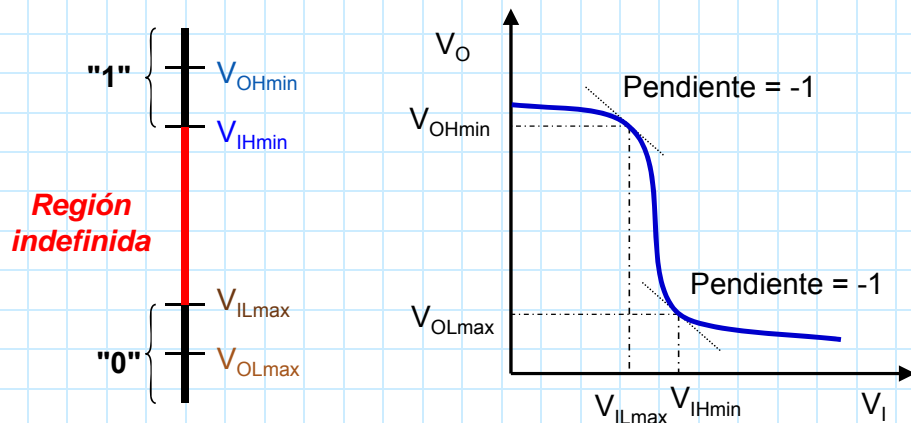
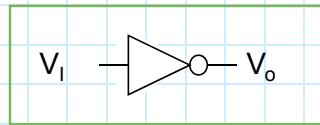
La señal de salida de A está perturbada por una interferencia electromagnética, apareciendo variaciones de tensión en el nivel lógico  $V_{OL}$  (0.5V)

Algunas variaciones (en  $t_1$ ,  $t_2$ ) son absorbidas por la propia inmunidad al ruido de la puerta B y no provocan un nivel lógico de salida incorrecto. Incluso invadiendo la zona de indeterminación, la señal se regenera.

En  $t_3$  la variación provocada por el ruido invade el otro nivel lógico y provoca una salida incorrecta.

# Parámetros característicos

## Curva de transferencia

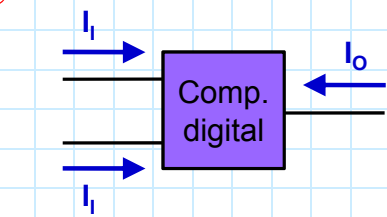


28

Los puntos de la curva de transferencia con pendiente = -1, marcan los límites  $V_{ILmax}$  y  $V_{IHmin}$ . Proyectando éstos en el eje vertical, obtenemos  $V_{OHmin}$  y  $V_{OLmax}$ . Obsérvese que cuanto más ideal es la curva de transferencia (tensiones de salida extremas y transición abrupta y centrada), mayor es el margen de ruido.

# Parámetros característicos

## Corrientes



Por convenio se dibujan dirigidas **hacia el interior** del componente

Un valor negativo indica que su sentido real es hacia el exterior

$$\uparrow |I_{OL}| \rightarrow \uparrow V_{OL}$$

$$|I_{OL}| \leq |I_{OLMAX}| \rightarrow V_{OL} \leq V_{OL(MAX)}$$

$$\uparrow |I_{OH}| \rightarrow \downarrow V_{OH}$$

$$|I_{OH}| \leq |I_{OHMAX}| \rightarrow V_{OH} \geq V_{OH(MIN)}$$

$I_i$ : Corriente en una entrada de un componente digital

$I_{IL}$ : Corriente en una entrada a nivel bajo

$I_{IH}$ : Corriente en una entrada a nivel alto

$I_{ILmax}$ : Corriente máxima **en** una entrada a nivel bajo

$I_{IHmax}$ : Corriente máxima **en** una entrada a nivel alto

$I_o$ : Corriente en una salida de un componente digital

$I_{OL}$ : Corriente en una salida a nivel bajo

$I_{OH}$ : Corriente en una salida a nivel alto

$I_{OLmax}$ : Corriente máxima en una salida que **garantiza** un nivel bajo

$I_{OHmax}$ : Corriente máxima en una salida que **garantiza** un nivel alto

29

### Definiciones:

$I_i$ : Corriente en la rama conectada a una entrada, cada entrada se considera por separado.

$I_o$ : Corriente en la rama conectada a una salida de una puerta

Por convenio se dibujan dirigidas hacia la puerta, tanto en las entradas como en las salidas.

$I_{ILMAX}$ : Corriente máxima «exigida» por la rama de entrada cuando la tensión en la misma es considerada un «0» lógico.

$I_{IHMAX}$ : Corriente máxima «proporcionada» por la rama de entrada cuando la tensión en la misma es considerada un «0» lógico.

$I_{OLMAX}$ : Corriente por debajo de la cual en la salida se garantiza un «0» lógico.

$$\uparrow |I_{OL}| \rightarrow \uparrow V_{OL} \quad |I_{OL}| \leq |I_{OL(MAX)}| \rightarrow V_{OL} \leq V_{OL(max)}$$

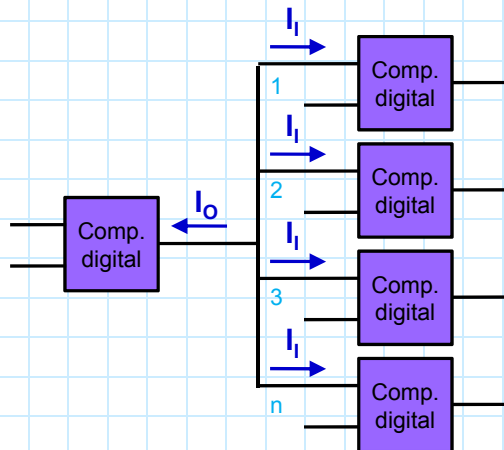
$I_{OHMAX}$ : Corriente por debajo de la cual en la salida se garantiza un «1» lógico.

$$\uparrow |I_{OH}| \rightarrow \downarrow V_{OH} \quad |I_{OH}| \leq |I_{OH(MAX)}| \rightarrow V_{OH} \geq V_{OH(min)}$$

# Parámetros característicos

## *Fan-out* (estático)

Número máximo de entradas (de otros componentes) que se pueden conectar a la salida de un componente sin que se desvirtúen los márgenes lógicos



Representa la capacidad de carga de una salida; es decir, cuántas entradas conectadas es capaz de soportar. Se calcula como la relación entre las corrientes de salida y de entrada:

Se calcula el valor para cada nivel lógico:

$$\text{Fan-out}(L) = \frac{|I_{OLmax}|}{|I_{ILmax}|} \quad \text{Fan-out}(H) = \frac{|I_{OHmax}|}{|I_{IHmax}|}$$

El *fan-out* de la familia es el mínimo de ambos:

$$\text{Fan-out} = \min(\text{Fan-out}(L), \text{Fan-out}(H))$$

30

El *fan-out* es un parámetro de una familia lógica que establece el número de entradas de la puerta lógica que pueden conectarse a una salida. Para su cálculo se considera que únicamente hay entradas de otras puertas de la *\*MISMA\** familia.

En ocasiones se utiliza el termino *fan-out* de manera más general, por ejemplo, considerando que las puertas interconectadas pertenecen a familias diferentes como en el caso de una conexión TTL-CMOS. En este caso se habla del *fan-out* de la conexión.

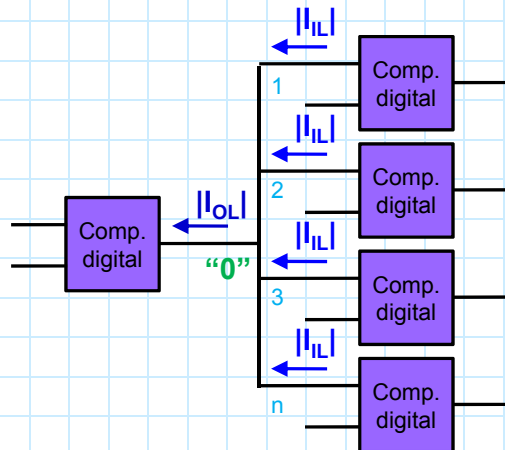
En general, para saber si una salida es capaz de tolerar las corrientes de salida se han de considerar todos los circuitos conectados, ya sean puertas (de la misma o diferente familia), resistencias, diodos, etc. Los límites de estas corrientes se encuentran en las hojas de características (*Data sheet*) de cada fabricante.

# Parámetros característicos

## *Fan-out* (estático)

### Ejemplo

$$I_{ILmax} = -1.6mA, I_{IHmax} = 45\mu A, I_{OLmax} = 8mA, I_{OHmax} = -400\mu A$$



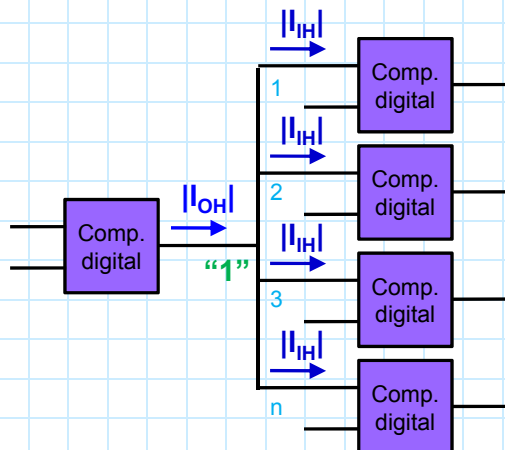
$$\text{Fan-out}(L) = \frac{I_{OLmax}}{|I_{ILmax}|} = \frac{8mA}{1.6mA} = 5$$

# Parámetros característicos

## *Fan-out* (estático)

### Ejemplo

$$I_{ILmax} = -1.6mA, I_{IHmax} = 45\mu A, I_{OLmax} = 8mA, I_{OHmax} = -400\mu A$$



$$\text{Fan-out(L)} = \frac{I_{OLmax}}{|I_{ILmax}|} = \frac{8mA}{1.6mA} = 5$$

$$\text{Fan-out(H)} = \frac{|I_{OHmax}|}{I_{IHmax}} = \frac{400\mu A}{45\mu A} = 8$$

El *fan-out* es un número **entero**: ¡no se puede alimentar a una fracción de entrada! **No se redondea, se trunca**

$$\text{Fan-out} = \min(5, 8) = 5$$

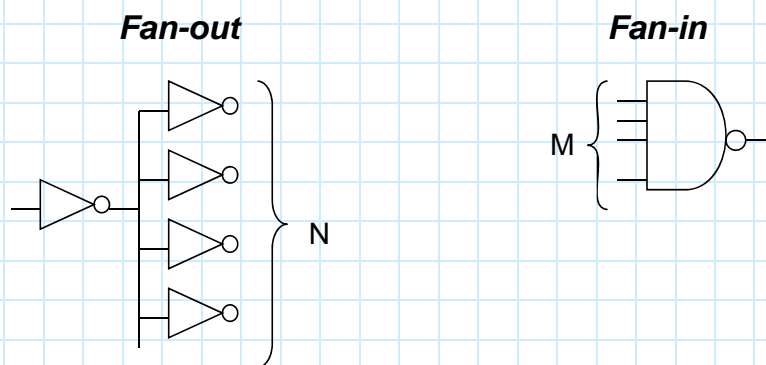


# Parámetros característicos

## *Fan-in*

Número máximo de entradas que puede tener un componente sin que se desvirtúen los márgenes lógicos

Cada entrada supone una capacidad parásita. A mayor número de entradas, menor velocidad de funcionamiento (como en el caso del *fan-out* dinámico)



Se introduce el concepto de *fan-in* (junto al *fan-out*).

Un *fan-out* o *fan-in* grande implica más capacidad parásita (ligada a las entradas) y, por lo tanto, menor velocidad de funcionamiento.

# Parámetros característicos

## Parámetros temporales

### Recorrido de la señal (*voltage swing*)

Diferencia entre los valores de tensión máximo y mínimo en la salida:  $V_{OHmax} - V_{OLmin}$

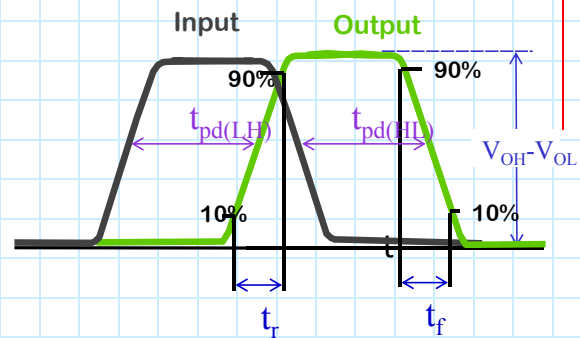
### Retardo de propagación (*propagation delay*)

Tiempo transcurrido desde el paso de un flanco en la entrada por el 50% de su recorrido hasta el correspondiente paso por el 50% del recorrido del flanco en la salida:

Se definen dos, en función de si la transición de la salida es de "0" a "1" ( $t_{pdLH}$ ) o de "1" a "0" ( $t_{pdHL}$ )

### Retardo de propagación medio

$$t_{pd} = \frac{t_{pdLH} + t_{pdHL}}{2}$$



### Tiempo de transición

Refleja la velocidad de conmutación. Es el tiempo transcurrido entre el 10% y 90% del recorrido de una señal.

Se definen dos:

- Tiempo de subida (*rise time*,  $t_r$ )
- Tiempo de bajada (*fall time*,  $t_f$ )

**Los parámetros temporales dependen generalmente de la carga en la salida ( $C_L$ )**

34

En el ejemplo de la figura aparece la tensión de entrada en negro y la de salida en verde, como los valores lógicos no cambian, se trata de una entrada aplicada a una puerta denominada no inversora.

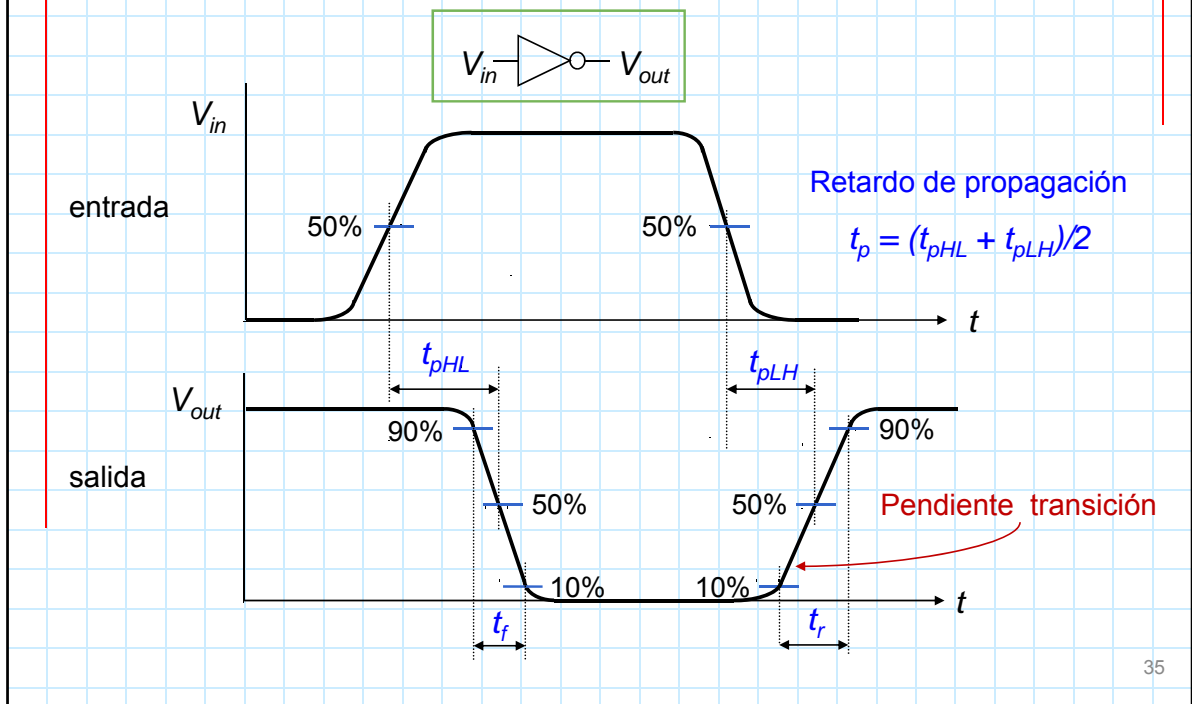
Para el cálculo de los parámetros temporales siempre se parte de la salida, es decir, una transición en la salida es provocada por una transición en la entrada, de este modo, el retardo  $t_{p(LH)}$  se calcula partiendo de una transición en la salida de *Low* hacia *High*, y se busca la transición en la entrada que la provoca. Puesto que se trata de una puerta no inversora, la transición será, también, de *Low* a *High*. Como se trata de un parámetro temporal de retardo se calcula señalando el paso de la señal por el 50% tanto para la entrada como para la salida. El periodo de tiempo entre las dos marcas es el retardo  $t_{p(LH)}$ .

El retardo  $t_{p(HL)}$  se calcula de forma similar pero para la transición en la salida de "1" a "0" (HL). Los dos retardos  $t_{p(LH)}$  y  $t_{p(HL)}$  no tienen por qué ser iguales. En ese caso, el promedio entre los dos retardos es el retardo de propagación o  $t_{pd}$ .

Otros indicadores del retardo son los llamados tiempos de transición  $t_r$  (*rise time*) y  $t_f$  (*fall time*) de la señal de salida, ya que las transiciones reales no son instantáneas. Se definen como el tiempo transcurrido entre el paso por el 10% y el 90% de la señal.

# Parámetros característicos

## Retardos

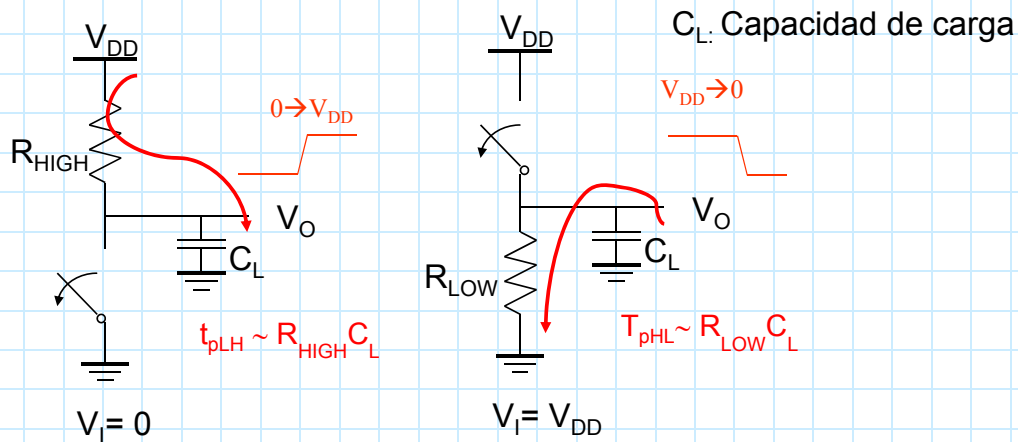


35

Puerta INVERSORA (NOT, NAND, NOR, ...) con sus retardos.

El retardo es función del *fan-in* y del *fan-out*, porque aumenta la capacidad parásita  $C_L$

## Parámetros Característicos Modelo de retardo de propagación



$t_{pLH}$ :  $C_L$  se carga a través de  $R_{HIGH}$  (impedancia de salida a nivel alto)

$T_{pHL}$ :  $C_L$  se descarga a través de  $R_{LOW}$  (impedancia de salida a nivel bajo)

**Interesa que el producto RC (constante de tiempo) sea el menor posible:**

- Baja impedancia de salida
- Bajas capacidades parásitas

36

Modelo RC simple que ayuda a entender:

- El retardo
- Los frentes exponenciales que se observan en las simulaciones (*PSpice*)
- El papel de  $C_L$  en el retardo

$T_{pLH}$ :

$C$  se carga a través de  $R_{HIGH}$  (impedancia de salida a nivel alto)

$$v_{out}(t) = (1 - e^{-t/\tau})V_{DD}, \text{ on } \tau = R_{HIGH}C$$

$T_{pHL}$ :

$C$  se descarga a través de  $R_{LOW}$  (impedancia de salida a nivel bajo)

$$v_{out}(t) = V_{DD}e^{-t/\tau}, \text{ on } \tau = R_{LOW}C$$

Algunas medidas del retardo en la carga/descarga de  $C$ :

Tiempo para alcanzar el 50% de la variación máxima

$$t = \ln(2) \tau = 0.69 \tau$$

Tiempo para alcanzar el 90% de la variación máxima

$$t = \ln(9) \tau = 2.2 \tau$$

En cualquier caso, el retardo depende de la constante de tiempo  $\tau = RC$

# Parámetros característicos

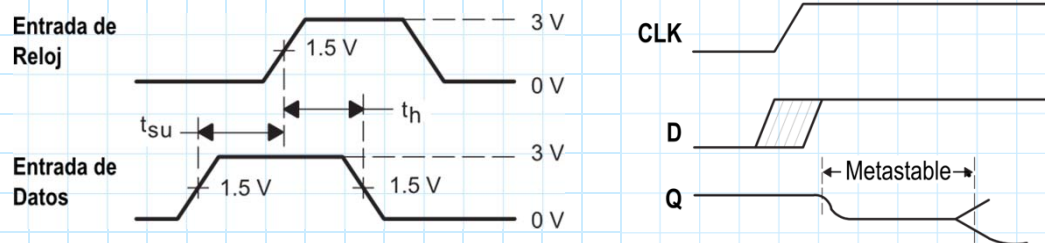
## Parámetros temporales secuenciales

**$f_{\max}$** : Frecuencia máxima de funcionamiento admitida por un circuito. Superarla provoca problemas de temporización y disipación de potencia

**$T_w$** : Ancho de pulso mínimo. Si en la entrada se inyecta un pulso, éste ha de reflejarse en la salida con valores lógicos válidos

**$t_{su}$** : Tiempo de establecimiento (*setup time*). Tiempo que debe permanecer estable una entrada **antes** de la aparición **del flanco** de una señal de referencia (ej: reloj)

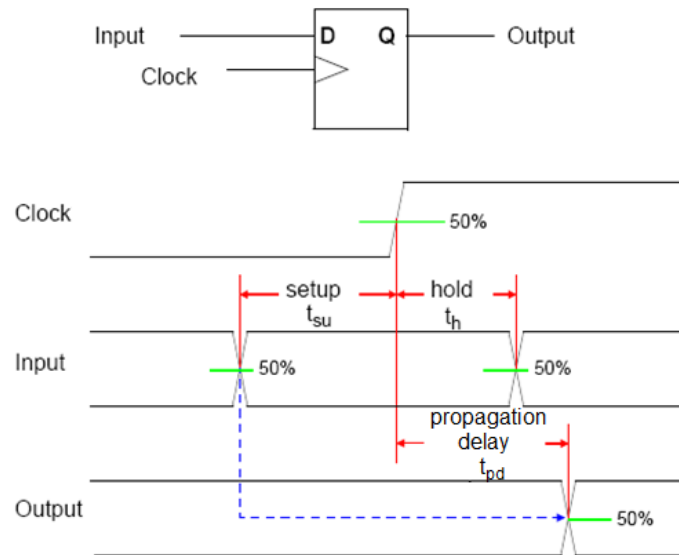
**$t_h$** : Tiempo de mantenimiento (*hold time*). Tiempo que debe permanecer estable una señal **después** de la aparición **del flanco** de una señal de referencia (ej: reloj)



# Parámetros característicos

## Parámetros temporales secuenciales

### Temporización de biestables



38

Cronograma donde se observan los parámetros temporales principales de un biestable:

$T_{su}$  = tiempo mínimo de establecimiento de las entradas antes del flanco.

$T_h$  = tiempo mínimo de mantenimiento de las entradas después del flanco.

$T_{pd}$  (FF) = tiempo de propagación desde el flanco hasta que aparece el nuevo estado del biestable en la salida.

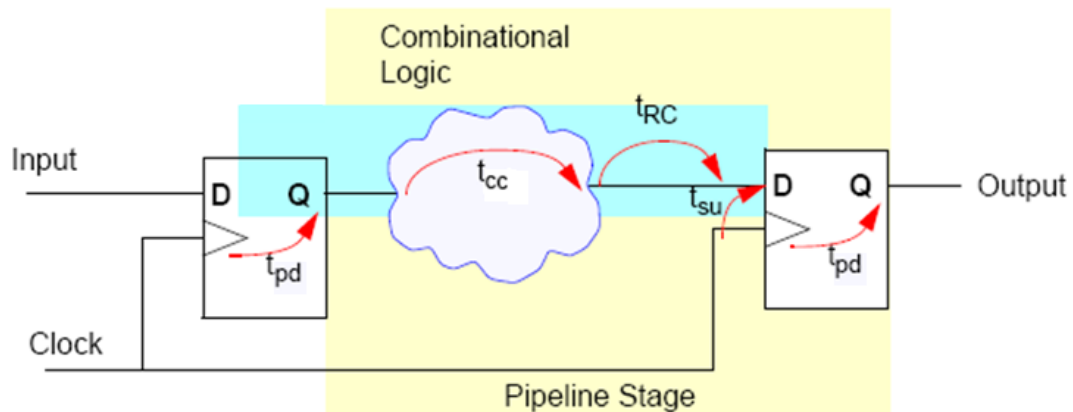
# Parámetros característicos

## Parámetros temporales secuenciales

### Cálculo de la frecuencia máxima de reloj en un circuito secuencial

$$T_{\min} = t_{pd} + t_{cc} + t_{RC} + t_{su}$$

$$f_{\max} = 1 / T_{\min}$$



39

Otro parámetro importante es la frecuencia máxima de funcionamiento. Esta transparencia muestra cómo se calcula en el caso de una etapa *pipeline*. Las etapas *pipeline* son muy habituales en los procesadores actuales para aumentar el rendimiento.

$T$  = periodo de reloj

$t_{cc}$  = retardo máximo de la parte combinacional entre los 2 biestables consecutivos

$t_{pd}$  = tiempo de propagación del FF

$t_{su}$  = tiempo de *set up* del FF

$t_{RC}$  = retardo del cableado (R y C son las capacidades y resistencias parásitas ligadas al cableado).

En definitiva, se tiene que cumplir que la duración mínima del período de reloj debe incluir los siguientes tiempos:

$$T_{\min} = t_{pd} (\text{FF}) + t_{cc} (\text{combinacional}) + t_{RC} + t_{su}$$

Esto impone una frecuencia máxima del reloj,  $f_{\max} = 1/T_{\min}$

En caso de que  $t_{RC}$  sea despreciable, la condición es  $T \geq t_{pd} (\text{FF}) + t_{cc} (\text{combinacional}) + t_{su}$

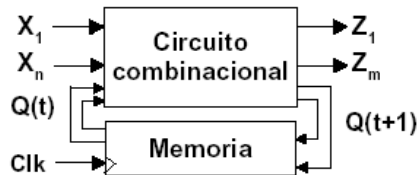
La condición anterior debe satisfacerse para todos los caminos (*path*) de este tipo que hayan en el circuito. Para ello se mira el camino más largo, que es el peor caso.

$t_{RC}$  tiene mayor relevancia en circuitos integrados de alta escala de integración, donde los retardos de las puertas son muy bajos y pueden ser del mismo orden que el retardo del cableado.

# Parámetros característicos

## Parámetros temporales secuenciales

**Ejemplo.-** Sea el sistema secuencial síncrono de la figura, diseñado con un registro paralelo-paralelo (memoria) y un circuito combinacional, en el que para cada biestable de la memoria:  $t_{su} = 10 \text{ ns}$ ,  $t_H = 5 \text{ ns}$ ,  $t_{pdLH} = 10 \text{ ns}$  y  $t_{pdHL} = 8 \text{ ns}$ ; y el circuito combinacional de excitación tiene un retardo máximo de  $t_{cc} = 20 \text{ ns}$ . Si el retardo en los cables puede despreciarse, ¿cuál será la frecuencia máxima de funcionamiento?



**Solución:**

$$t_{RC} = 0$$

$$T_{min} = t_{pd} + t_{CC} + t_{su}$$

$$t_{pd} = \max(t_{pdHL}, t_{pdLH}) = \max(8\text{ns}, 10\text{ns}) = 10\text{ns}$$

$$T_{min} = 10\text{ns} + 20\text{ns} + 10\text{ns} = 40\text{ns}$$

$$f_{max} = \frac{1}{T_{min}} = \frac{1}{40 \times 10^{-9}} = 0.025 \text{ GHz} = 25 \text{ MHz}$$

40

La transparencia muestra otro ejemplo de cálculo de la frecuencia máxima.

Se trata de un Sistema Secuencial Síncrono (correspondiente a un autómata de estados finitos). En este caso la duración mínima del periodo de reloj debe incluir:  $t_p$  (FF) +  $t_p$  (combinacional) +  $t_{su}$

$T_{pd}$  del biestable : se ha tomado el máximo de  $t_{pHL}$  y  $t_{pLH}$ , el peor caso

La condición de  $t_H$  debe ser:

$T_p + t_{cc} \geq t_H$ , que se cumple



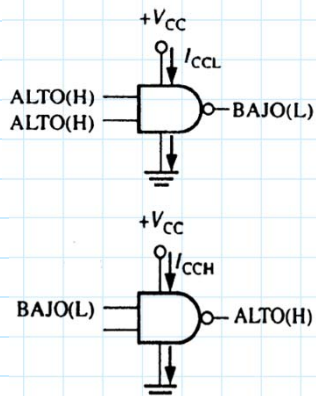
# Parámetros característicos

## Potencia

### Potencia estática

Potencia disipada cuando la salida está estabilizada

$$P_{\text{est}} = V_{CC} \times I_{CC}$$



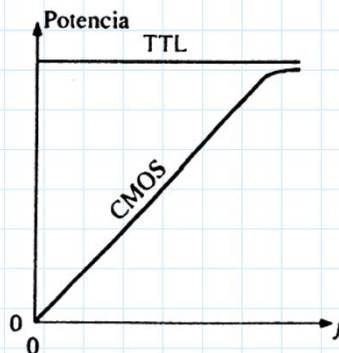
$$P_{\text{estática}} = \frac{P_L + P_H}{2} = \frac{V_{cc} I_{CCL} + V_{CC} I_{CCH}}{2}$$

### Potencia dinámica

Potencia disipada durante las transiciones de la salida

Más importante en CMOS que TTL

$$\text{En CMOS: } P_{\text{dinámica}} = V_{cc}^2 \cdot f \cdot C_L$$



41

TTL y NMOS, tienen consumo estático

La familia CMOS consigue eliminar la potencia estática y, por ello, es la más usada en VLSI.

La potencia dinámica crece con  $C_L$ , al igual que el retardo. La potencia dinámica crece también con la frecuencia  $f$  y con el cuadrado de la tensión de alimentación.

La potencia dinámica es la más importante en CMOS.

## Parámetros característicos Producto retardo-potencia

Potencia y retardo son parámetros contrapuestos

- Familias con retardos pequeños tienen elevado consumo
- Familias con consumo menor son más lentas

PDP (*power-delay product*): **Factor de mérito** que indica cómo se combinan el consumo y el retardo en una familia lógica

- $PDP = P \times t_{pd}$ 
  - Unidades:  $pJ = P(mW) \times t(ns)$
- Permite **comparar familias lógicas** (a menor PDP, mejor relación consumo/retardo)

42

Factor de mérito global o *Power-delay product* (PDP):

Una puerta ideal es aquella que es rápida y consume poca potencia.

Se trata de un compromiso entre dos factores contrapuestos, la velocidad y el consumo. Normalmente, una velocidad mayor implica corrientes más altas y por tanto un mayor consumo. Por ello el factor PDP es un indicador de la prestación global de la puerta. Cuanto más pequeño sea PDP, mejor.

El PDP de CMOS es bastante mejor que el de TTL, pues el factor consumo es mucho mejor y el factor velocidad no presenta grandes diferencias.

# Interconexión de componentes

**El diseño de todo sistema digital debe cumplir al menos tres grupos de especificaciones**

1.- Funcionales o lógicas

2.- Eléctricas o estáticas (DC)

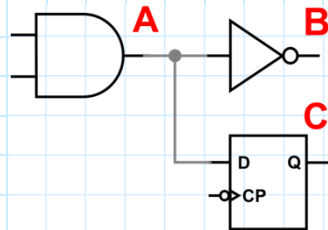
3.- Temporales o dinámicas (AC)

Otras: ... Coste, consumo, disponibilidad, fiabilidad ...

# Interconexión de componentes

## Especificaciones estáticas

Especificaciones estáticas: ¿Son compatibles los circuitos desde un punto de vista eléctrico (tensiones y corrientes)? Es decir, ¿entienden las entradas los valores lógicos establecidos por las salidas?



**Los componentes «A», «B» y «C» pueden pertenecer a familias lógicas diferentes**

**¿Es posible realizar la conexión de la figura?**

Depende de:

1.- Tipo de circuito de la etapa de salida de los componentes digitales.

Conexión entre salidas:

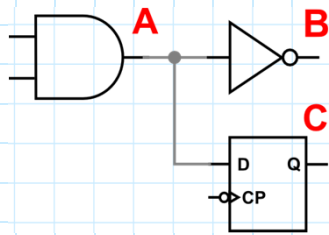
- Colector/drenador abierto+Rpu
- Triestado

2.- La compatibilidad de las tensiones

3.- La compatibilidad de las corrientes

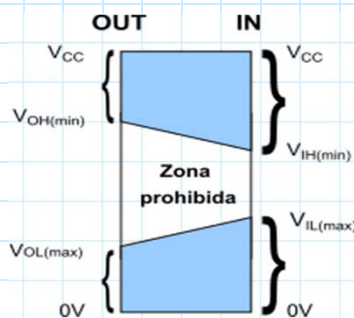
# Interconexión de componentes

## Compatibilidad de tensiones



¿Entienden «B» y «C» los valores de tensión para el “0” y el “1” puestos por «A»?

La **comprobación de la compatibilidad de tensiones** consiste en verificar que los rangos de las tensiones de salida “caben” en los rangos de las tensiones de entrada



¿ $V_{OLmax}(A) \leq V_{ILmax}(B)$ ? y ¿ $V_{OLmax}(A) \leq V_{ILmax}(C)$ ?  
 ¿ $V_{OHmin}(A) \geq V_{IHmin}(B)$ ? y ¿ $V_{OHmin}(A) \geq V_{IHmin}(C)$ ?

1. Si se cumplen las dos condiciones (nivel bajo y alto), se cumple la compatibilidad en tensiones
2. ¡Si utilizamos la igualdad, no hay margen de ruido (NM=0V)!

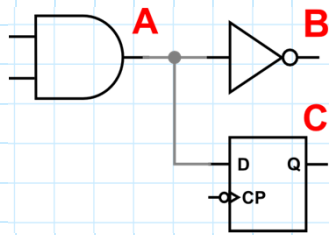
45

En el ejemplo A, B y C son puertas que pueden pertenecer a tecnologías diferentes, por tanto hay que comprobar la compatibilidad de todos los emparejamientos salida-entrada. Que la salida de B y C no sea compatible no es trascendente en este ejemplo. Para comprobar la compatibilidad se deben disponer de las hojas de especificaciones (Data Sheet) donde se puede encontrar:

- 1.- Las dimensiones físicas de los posibles encapsulados, información sobre el patillaje, es decir, que son entradas, salidas, líneas de alimentación, y sobre todo, la información sobre las etapas de salida empleadas en las puertas que implementa el chip.
- 2.- *Absolute maximum ratings*: valores que nunca deben superarse porque dañarían el chip, máxima tensión de alimentación, máxima corriente, máxima disipación de potencia.
- 3.- Especificaciones DC, apartado donde se obtienen los límites de tensión que describen el “1” lógico y “0” lógico. En este apartado es importante observar los valores de los componentes de los circuitos de test. Estos se emplean para obtener los datos de tensión y corriente y, estos últimos, nos permiten comprobar la compatibilidad eléctrica.
- 4.- Especificaciones AC. Se especifican los retardos de propagación, tiempos de establecimiento y mantenimiento si se trata de circuitos secuenciales, etc.

# Interconexión de componentes

## Compatibilidad de corrientes



¿La salida de «A» es capaz de soportar las corrientes exigidas por las entradas de «B» y «C» para el “0” y el “1”?

Dependiendo del sentido (signo), la corriente se absorbe ( $> 0$ ) o se emite ( $< 0$ )

La **comprobación de la compatibilidad de corrientes** consiste en verificar que las intensidades de salida son “mayores” que las que requieren las entradas

$$\dot{?} | I_{OLmax}(A) | \geq | I_{ILmax}(B) | + | I_{ILmax}(C) | ?$$

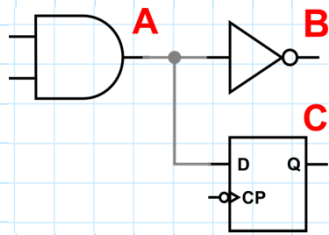
$$\dot{?} | I_{OHmax}(A) | \geq | I_{IHmax}(B) | + | I_{IHmax}(C) | ?$$

Si se cumplen las dos condiciones (nivel bajo y alto), se cumple la compatibilidad en corrientes

El estudio de la compatibilidad de las corrientes permite dar por válidas las tensiones de salida empleadas para comprobar la compatibilidad de tensiones, puesto que estas se dan en las hojas de especificaciones bajo unas condiciones de corriente. Si se superan las corrientes de salida, las tensiones de salida se desvirtúan.

# Interconexión de componentes

## Ejemplo.-



Salida *totem-pole*

$V_{CC} = 5V$

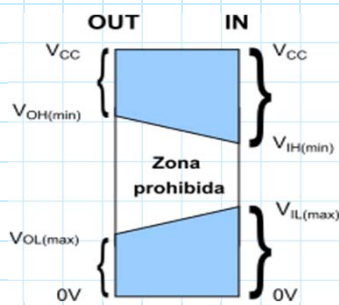
$V_{OHmin} = 3V$

$V_{OLmax} = 0.4V$

A

$I_{OHmax} = -0.4mA$

$I_{OLmax} = 8mA$



$V_{CC} = 5V$

$V_{IHmin} = 2V$

$V_{ILmax} = 0.8V$

B

$I_{IHmax} = 20\mu A$

$I_{ILmax} = -0.1mA$

$V_{DD} = 3V$

$V_{IHmin} = 2.1V$

$V_{ILmax} = 0.9V$

C

$I_{IHmax} = 100nA$

$I_{ILmax} = -100nA$

## Interconexión de componentes

### Compatibilidad entre familias

Pueden existir problemas de acoplamiento entre componentes de familias distintas, debidos a

- Diferentes tensiones de alimentación
- Diferentes niveles lógicos
- Corrientes de entrada y salida incompatibles

Requisitos:

$V_{OLmax} \leq V_{ILmax}$
$V_{OHmin} \geq V_{IHmin}$
$ I_{OLmax}  \geq n  I_{ILmax} $
$ I_{OHmax}  \geq n  I_{IHmax} $

48

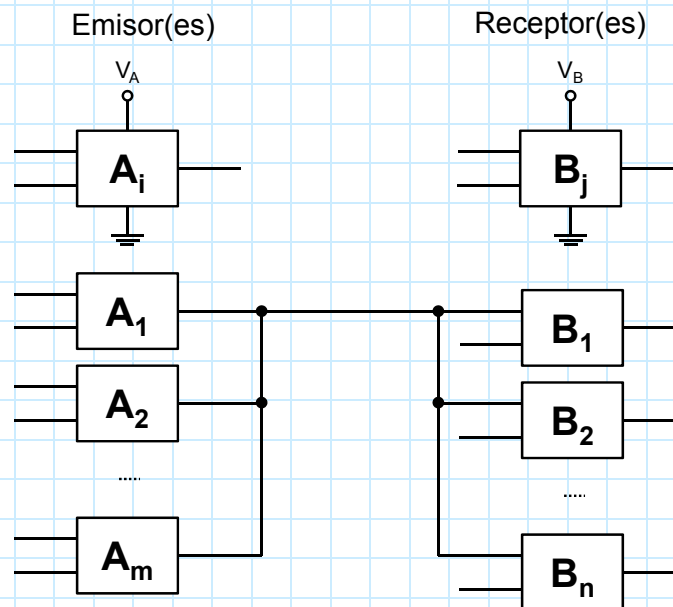
Se considera el caso general de una salida de una determinada familia, conectada a  $n$  entradas de otra familia.



# Interconexión de componentes

## Solución de problemas

**A la hora de conectar componentes se pueden dar diferentes tipos de problemas**



49

Se tiene varios circuitos del tipo  $A_i$  conectados a una alimentación  $V_A$ , cuyas salidas se conectan a entradas de circuitos del tipo  $B_j$ , alimentados a  $V_B$

# Interconexión de componentes

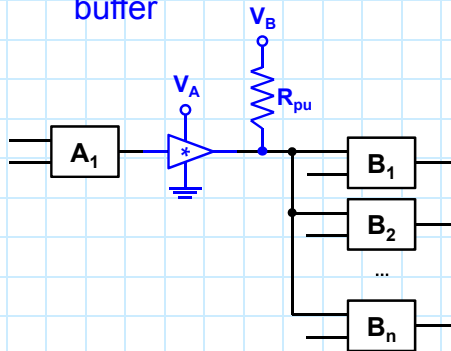
## Solución de problemas

### 1. Incompatibilidad de tensiones

$$(V_{OH}(A) < V_{IH}(B))$$

Independientemente de los valores de  $V_A$  y  $V_B$

- Insertar un *buffer* con salida en colector/drenador abierto para aislar la salida de la entrada, y un circuito de *pull-up* para subir la tensión en el nivel alto
- Si  $A_1$  es de colector/drenador abierto, no es necesario el *buffer*



Diseño del circuito de *pull-up*

- Tensión de alimentación
- Resistencia de *pull-up*

Caso práctico:

- Conexión TTL-CMOS (+5V)

# Interconexión de componentes

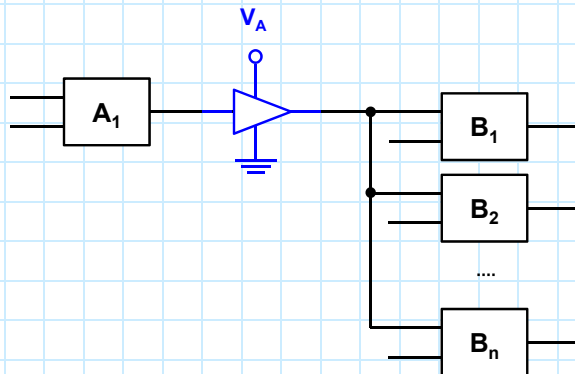
## Solución de problemas

### 2. Incompatibilidad de corrientes

$$(|I_{OH}(A)| < n \cdot |I_{IH}(B)| \text{ ó } |I_{OL}(A)| < n \cdot |I_{IL}(B)|)$$

Si  $V_A$  y  $V_B$  son iguales

- Insertar un *buffer* para incrementar la corriente de salida



Caso práctico:

- Conexión CMOS (+5V)-TTL

# Interconexión de componentes

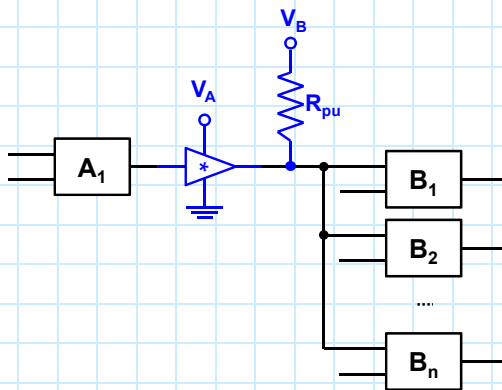
## Solución de problemas

### 3. Incompatibilidad de corrientes

$$(|I_{OH}(A)| < n \cdot |I_{IH}(B)| \text{ ó } |I_{OL}(A)| < n \cdot |I_{IL}(B)|)$$

Si  $V_A$  y  $V_B$  son diferentes (caso general)

- Insertar un *buffer* para incrementar la corriente, con salida en colector/drenador abierto para aislar la salida de la entrada, y un circuito de *pull-up* para subir la tensión en el nivel alto



Diseño del circuito de *pull-up*

- Tensión de alimentación
- Resistencia de *pull-up*

1. La tensión de alimentación debe ser SIEMPRE la misma que la de los receptores



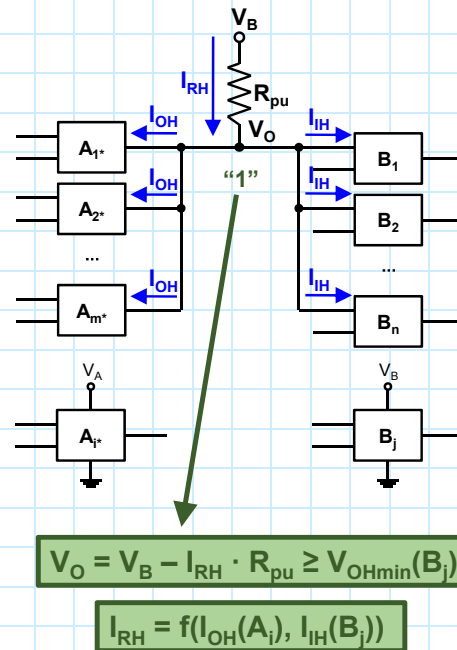
# Interconexión de componentes

## Diseño del circuito de *pull-up*

- La resistencia de *pull-up* debe ser pequeña para respetar el margen de tensión a nivel alto en las entradas ( $B_j$ ) ...

$$- V_O \geq V_{OHmin}(B_j)^*$$

- Si solo se conoce  $V_{IHmin}(B_j)$ , entonces se puede usar  $V_O \geq V_{IHmin}(B_j)$ , pero no habría margen de ruido (NM) para ( $B_j$ ).
- En este caso, se recomienda añadir el NM a  $V_{IHmin}(B_j)$ , por ejemplo  $NM = 0,4V$  para TTL



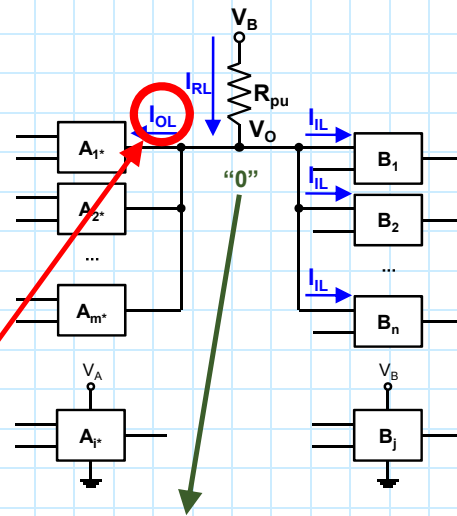
## Interconexión de componentes

### Diseño del circuito de *pull-up*

3. ... pero no tan pequeña como para generar una corriente en el nivel bajo que pudiera dañar las salidas ( $A_i$ )

–  $I_{OL}(A_i) \leq I_{OLmax}(A_i)$

- Peor caso: Solo una salida a "0", y el resto a Z



Compromiso en un rango de valores

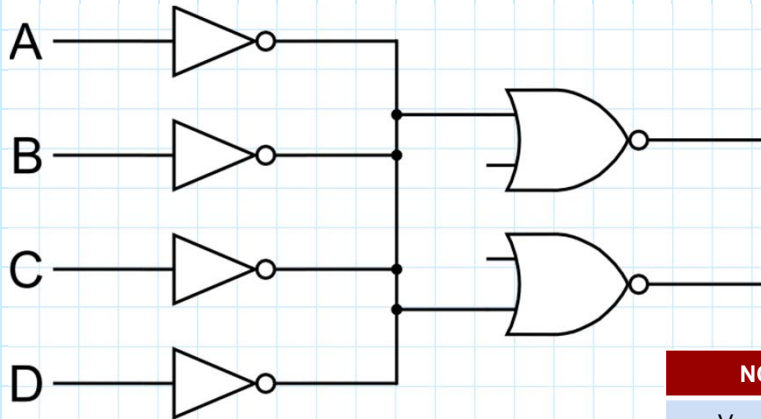
$$V_O = V_{OL}(A_i) ; I_{RL} = (V_B - V_{OL}) / R_{pu}$$

$$I_{OL} = f(I_{IL}(B_j), I_{RL}) \leq I_{OLmax}(A_i)$$

# Interconexión de componentes

## Diseño del circuito de *pull-up*

### Ejemplo.-



NOT	NOR
$V_{CC} = 5V$	$V_{CC} = 5V$
$V_{OLmax} = 0.4V$	$V_{OHmin} = 2.4V$
$I_{OHmax} = 0.25mA$	$I_{IHmax} = 40\mu A$
$I_{OLmax} = 16mA$	$I_{ILmax} = -1.6 mA$



# Interconexión de componentes

## Diseño del circuito de *pull-up*

**Ejemplo.-**

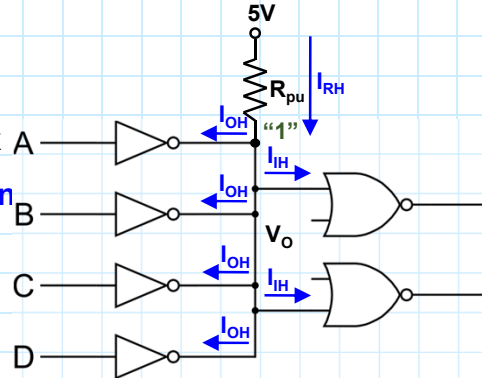
**1. Tensión de alimentación**

**2. Nivel alto**

- $I_{RH} = 4 \cdot I_{OHmax} + 2 \cdot I_{IHmax}$
- $V_O = 5 - I_{RH} \cdot R_{pu} \geq V_{OHmin}$

$$R_{pu} \leq \frac{5 - V_{OHmin}}{4 \cdot I_{OHmax} + 2 \cdot I_{IHmax}}$$

$$R_{pu} \leq \frac{V_B - V_{OHmin}}{m \cdot I_{OHmax} + n \cdot I_{IHmax}}$$



NOT	NOR
$V_{CC} = 5V$	$V_{CC} = 5V$
$V_{OLmax} = 0.4V$	$V_{OHmin} = 2.4V$
$I_{OHmax} = 0.25mA$	$I_{IHmax} = 40\mu A$
$I_{OLmax} = 16mA$	$I_{ILmax} = -1.6 mA$

# Interconexión de componentes

## Diseño del circuito de *pull-up*

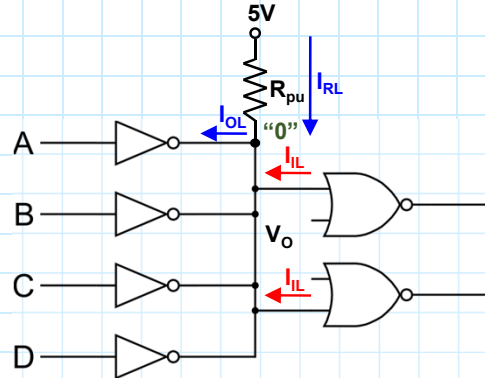
Ejemplo.-

### 3. Nivel bajo

- $I_{RL} = (5 - V_{OLmax})/R_{pu}$
- $I_{OL} \leq I_{OLmax}$
- $I_{RL} + 2 \cdot |I_{ILmax}| \leq I_{OLmax}$

$$R_{pu} \geq \frac{5 - V_{OLmax}}{I_{OLmax} - 2 \cdot |I_{ILmax}|}$$

$$R_{pu} \geq \frac{V_B - V_{OLmax}}{I_{OLmax} - n \cdot |I_{ILmax}|}$$

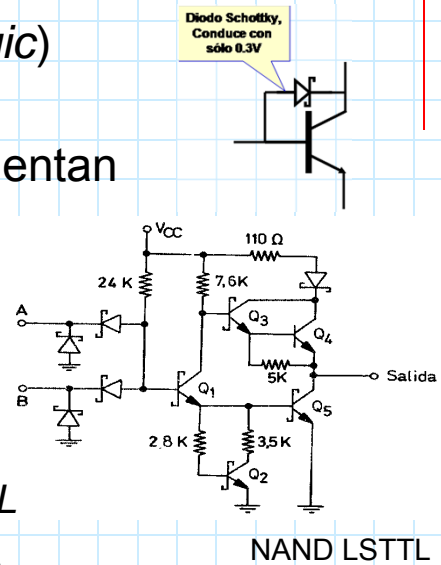


NOT	NOR
$V_{CC} = 5V$	$V_{CC} = 5V$
$V_{OLmax} = 0.4V$	$V_{OHmin} = 2.4V$
$I_{OHmax} = 0.25mA$	$I_{IHmax} = 40\mu A$
$I_{OLmax} = 16mA$	$I_{ILmax} = -1.6 mA$

# Familia TTL

## Subfamilias

- TTL (*Transistor-Transistor Logic*)
- Los transistores Schottky aumentan la velocidad (y el consumo)
- Subfamilias TTL con transistores Schottky
  - STTL: *Schottky TTL*
  - LSTTL: *Low Power Schottky TTL*
  - ASTTL: *Advanced Schottky TTL*
  - ALSTTL: *Advanced Low Power Schottky TTL*
  - FAST: *Fairchild Advanced STTL*



NAND LSTTL

59

TTL es la familia bipolar más utilizada. La alimentación es típicamente +5V.

Subfamilias Schottky: emplean transistores y diodos Schottky para aumentar la velocidad de conmutación (tal y como se comentó en el tema 1- diodos Schottky). Los transistores Schottky se diseñan a partir de un BJT más un diodo Schottky entre la base y el colector.

Hay varias subfamilias:

STTL: utiliza transistores Schottky para aumentar la velocidad + valores de resistencias más pequeños para aumentar la corriente y la velocidad. Mayor consumo.

LSTTL: utiliza transistores Schottky para aumentar la velocidad + valores de las resistencias más elevados para disminuir el consumo (corrientes menores). Menor velocidad que la STTL.

ASTTL: versión avanzada de la STTL. Mejora el proceso de fabricación, reduciendo el tamaño de los transistores y las capacidades parásitas internas. Más velocidad con el mismo consumo.

ALSTTL: versión avanzada de LSTTL. Mejora el proceso de fabricación, reduciendo el tamaño de los transistores y las capacidades parásitas internas. Más velocidad con el mismo consumo.

FAST: versión intermedia entre ALSTTL y ASTTL, en velocidad y consumo. Introducida por Fairchild. Las 4 anteriores fueron introducidas por Texas Instruments.

¿Cuál es la más rápida de todas? La ASTTL

¿Cuál es la que presenta un mejor factor de mérito (retardo x consumo)? La ALSTTL

¿Cuál es la que presenta menor consumo? La LSTTL. Esta se utiliza bastante porque presenta también un buen factor de mérito.

## Resumen

- Se ha definido el concepto de nivel lógico y cómo se asocia a intervalos de tensión.
- Se ha introducido el término familia lógica y se han enumerado los principales ejemplos.
- Se ha explicado la problemática de conectar salidas entre sí y la necesidad de lo que se denominan salidas especiales: colector / drenador abierto y triestado. Esto permite trabajar con estructuras de tipo bus.
- Se han descrito los principales parámetros eléctricos y temporales que caracterizan los circuitos digitales integrados: tensiones, corrientes, fan-out, consumo, retardos, etc
- Para terminar, se ha expuesto la problemática general de la interconexión y compatibilidad entre familias, así como el diseño de la resistencia de pull-up.