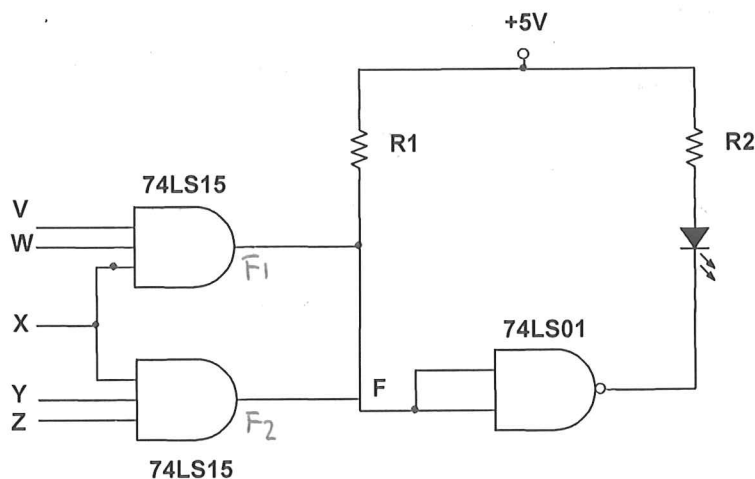


1. Respecte a les famílies lògiques, marque les respostes **CORRECTES** (poden haver vàries): (2P)

- ☐ a) El marge de soroll a nivell alt es calcula com $NM_H = V_{IHmin} - V_{OHmin}$.
- ☒ b) El marge de soroll a nivell baix es calcula com $NM_L = V_{ILmax} - V_{OLmax}$.
- ☒ c) El marge de soroll dona idea de la immunitat al soroll electromagnètic.
- ☒ d) Les famílies NMOS i TTL presenten consum estàtic.
- ☒ e) La família CMOS només presenta consum dinàmic, lligat a les transicions de l'eixida (menyspreant els corrents de fuga).
- ☐ f) La potència estàtica depen de la tensió d'alimentació al quadrat.
- ☒ g) La potència dinàmica és directament proporcional a la freqüència de rellotge.
- ☒ h) El retard augmenta amb la capacitat de càrrega C_L i la impedància d'eixida.
- ☐ i) El paràmetre t_{su} en un biestable indica el temps mínim que ha de romandre estable el senyal d'entrada després de l'aparició del flanc de rellotge.
- ☒ j) El retard empitjora al créixer el fan-out.

2. El circuit següent utilitza portes amb eixida en col·lector obert (circuits integrats 74LS01 i 74LS15) per implementar "lògica cablada" i per activar el LED d'eixida. (6P)



- a) . Escriba l'expressió lògica per a la funció implementada pel circuit en el senyal F. Justifique la resposta. (2P)

$F = \underline{\text{AND-CABLADA}}$ de les eixides col·lector obert

$F = F_1 \cdot F_2$ (veure figura)

$$F = (V \cdot W \cdot \underbrace{X \cdot X}_{X \cdot X = X}) \cdot (X \cdot Y \cdot Z) = V \cdot W \cdot X \cdot Y \cdot Z$$

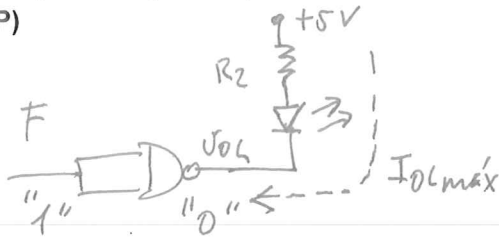
- b) Quan $F = '1'$, ¿el LED està apagat o encès? Justifique la resposta. (1P)

si $F = '1'$, l'eixida de la porta Nand 74LS01 és = '0', perquè la nand actua com una not



EL LED està encès perquè el corrent $I_{LED} = I_{OL}$ en el sentit $A \rightarrow K$ del díode.

- c) Disenye R2, suposant que el corrent pel LED encès és $I_{LED} = I_{OLmax}$ i que $V_{LED} = 1.2V$. (1P)



$$5 = I_{OLmax} R_2 + V_{LED} + V_{OL}$$

De la taula adjunta:

$$5 = 7 R_2 + 1.2 + 0.5$$

$$R_2 = \frac{5 - 1.2 - 0.5}{7} = 0.47 k\Omega$$

- d) Tenint en compte les següents característiques dels circuits integrats 74LS01 i 74LS15, calcule el rang de valors permesos per a R1. (2P)

Vcc	V _{IHmin}	V _{ILmax}	V _{OLmax}	I _{IHmax}	I _{OHmax} (fuites)	I _{OLmax}	I _{ILmax}
5 V	2.5V	0.8 V	0.5 V	20 μ A	100 μ A	7 mA	-0.36 mA

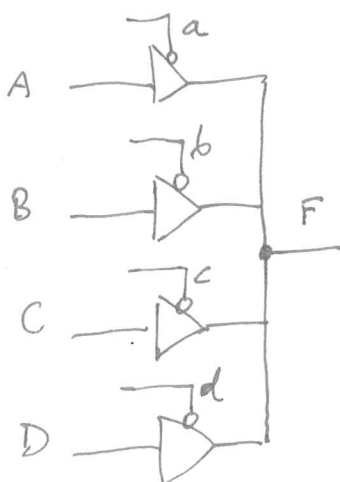
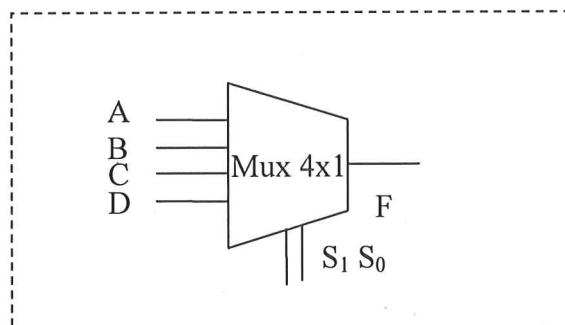
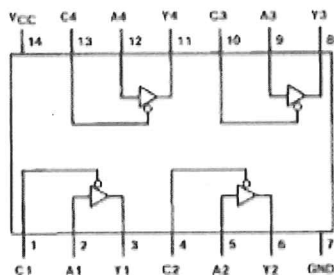
$$\frac{5 - V_{OLmax}}{I_{OLmax} - 2(I_{ILmax})} \leq R_1 \leq \frac{5 - V_{IHmin}}{2 I_{OHmax} + 2 I_{IHmax}}$$

2 eixides i
2 entrades

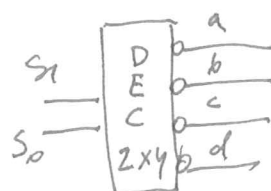
$$\frac{5 - 0.5}{7 - (2 \times 0.36)} \leq R_1 \leq \frac{5 - 2.5}{(2 \times 0.1) + (2 \times 0.02)}$$

$$0.72 k\Omega \leq R_1 \leq 10.42 k\Omega$$

4. Disenye un multiplexor 4x1 amb buffers triestate 74LS125, com els de la figura. (2P)



S ₁ S ₀	a	b	c	d	F
0 0	0	1	1	1	A
0 1	1	0	1	1	B
1 0	1	1	0	1	C
1 1	1	1	1	0	D



eixides de Enable
actives a nivell baix
DEC = decodificador