

МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”

Кафедра САПР

Лабораторна робота №2

з курсу “Комп’ютерна схемотехніка та архітектура комп’ютерів”

для студентів базового напрямку 6.08.04 "Комп’ютерні науки"

(заочна форма навчання)

Виконав студент гр. КНз-2

Чалий Михайло

Львів 2014

Мета роботи

Вивчити призначення, принципи роботи та будови різних типів тригерів. Набути практичних навиків при дослідженні роботи тригерних пристроїв з бібліотеки EWB.

Вступ

Зберігання та запам'ятовування елементарної порції інформації виконується для одного біта. Електронна схема, яка запам'ятовує один біт інформації, називається тригером. *Тригери* – пристрої, що мають два стійких стани 1 і 0.

Отже, тригер може бути коміркою пам'яті для одного двійкового розряду, тобто біту інформації. Використання тригерів дозволяє реалізовувати пристрої *оперативної* пам'яті (тобто пам'яті, інформація в якій зберігається тільки на час обчислень). Однак тригери можуть використовуватись й для побудови деяких цифрових пристроїв з пам'яттю, таких як лічильники, перетворювачі послідовного коду в паралельний або цифрові лінії затримки.

Логічні рівні, які подаються на один з входів елемента електронної схеми, однозначно задають логічний рівень на його виході незалежно від рівнів на інших входах, називають *активними логічними рівнями*. *Пасивні логічні рівні* логічно відключаються на входах елемента, так як не визначають рівень на виході елемента внаслідок дії активного логічного рівня на одному з входів елемента.

Теоретичні данні про (JK-тригер)

Такий тригер має інформаційні входи J і K, які за своїм впливом аналогічні входам S і R тактующого RS-тригера:

при $J=1, K=0$ тригер за тактовим імпульсом C встановлюється в стан $Q=1$;

при $J=0, K=1$ - переключається в стан $Q=0$;

при $J=K=0$ - зберігає раніше прийняту інформацію.

На відміну від синхронного RS-тригера одночасна наявність логічних 1 на інформаційних входах не являється для JK-тригера забороненою комбінацією і приводить тригер в протилежний стан. Схема JK-тригера представлена на рис.2, таблиця переходів відображена в табл.1.

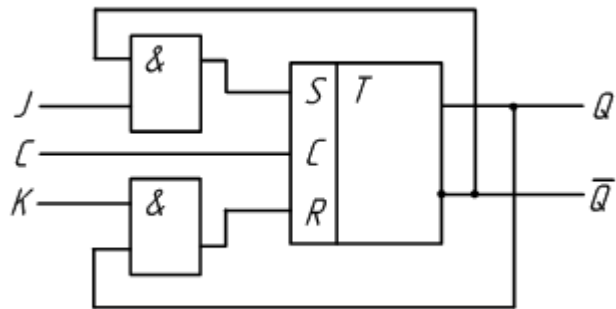


Рис 1 Схема JK тригера на основі синхронного RS тригера

Табл 1 Таблица переходів JK тригера

| К | J | С | Q(t) | Q(t+1) |
|---|---|---|------|--------|
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Завдання

Моделювання тригерних пристроїв за допомогою системи EW 5.12(Multisym). Тип тригера 74112

Мікросхема 74112

Мікросхема 74112, це двотактний J-K тригер.

| | | | |
|--------------------|-----|----|--------------------|
| 1 \overline{CP} | 1 • | 16 | V _{CC} |
| 1K | 2 | 15 | 1 $\overline{R_D}$ |
| 1J | 3 | 14 | 2 $\overline{R_D}$ |
| 1 $\overline{S_D}$ | 4 | 13 | 2 \overline{CP} |
| 1Q | 5 | 12 | 2K |
| 1 \overline{Q} | 6 | 11 | 2J |
| 2 \overline{Q} | 7 | 10 | 2 $\overline{S_D}$ |
| GND | 8 | 9 | 2Q |

Рис 2 Позначення (з офіційної специфікації)

Табл 2 Опис входів/виходів

| Pin | Symbol | Description |
|-----|------------------|---|
| 1 | 1CP | clock input (high-to-low, edge-triggered) |
| 2 | 1K | synchronous input |
| 3 | 1J | synchronous input |
| 4 | 1S _D | asynchronous set; direct input (active low) |
| 5 | 1Q | true output |
| 6 | 1 \overline{Q} | complement output |
| 7 | 2Q | complement output |
| 8 | GND | ground |
| 9 | 2Q | true output |
| 10 | 2S _D | asynchronous set; direct input (active low) |
| 11 | 2J | synchronous input |

| | | |
|----|-----------------|---|
| 12 | 2K | synchronous input |
| 13 | 2CP | clock input (high-to-low, edge-triggered) |
| 14 | 2R _D | asynchronous reset; direct input (active low) |
| 15 | 1R _D | asynchronous reset; direct input (active low) |
| 16 | V _{cc} | supply voltage |

Моделювання J-K тригера в системі Multisim

Змодельований тригер 74112 показано на рис.3.

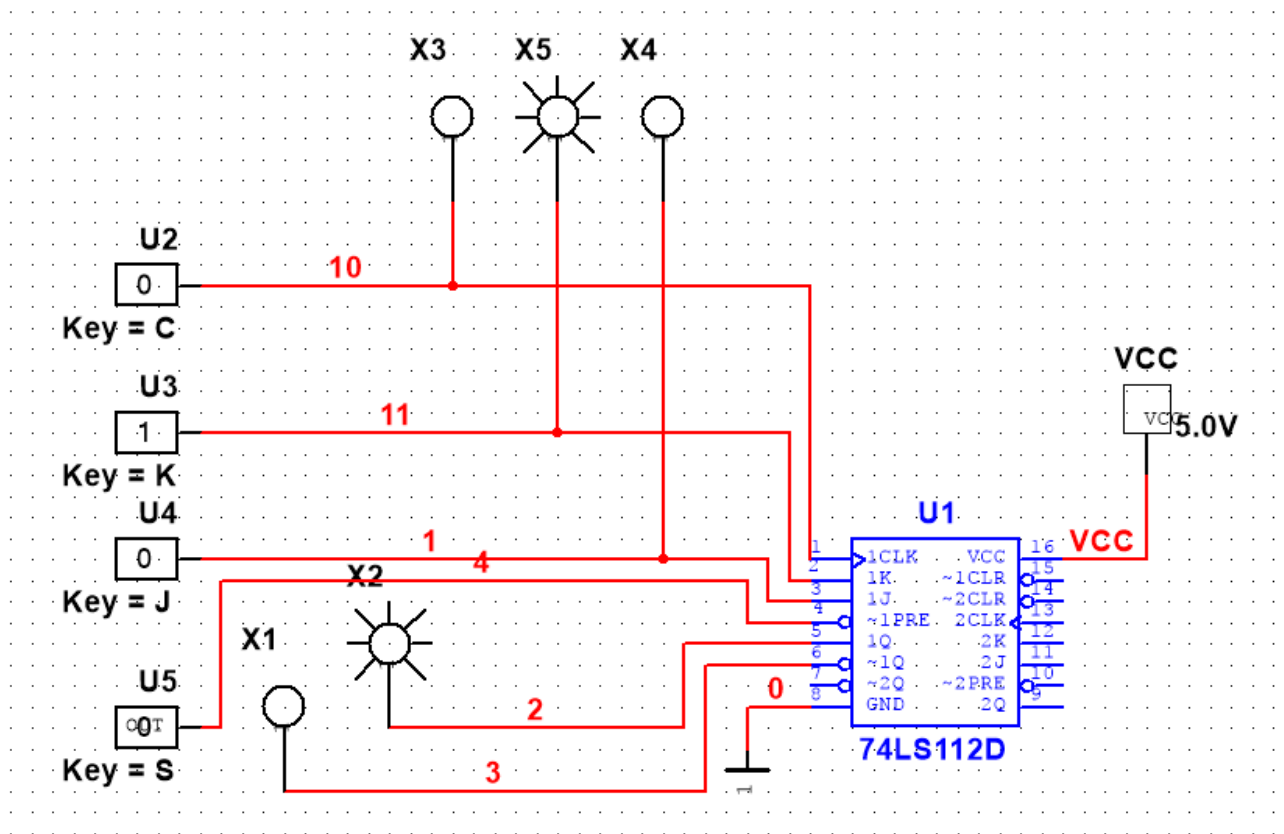


Рис 3 Модель тригера 74112

Аналіз результатів та висновки

При виконанні даної роботи було детально ознайомлено з призначення, принципи роботи та будови різних типів тригерів. Набути практичних навиків при дослідженні роботи тригерних пристроїв.

Список використаної літератури

1. Карлащук В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench.— М.: Солон-Р, 2000.- 504с.
2. Барри Уилкинсон. Основы проектирования цифровых схем.: Пер. с англ.- М.: Издательский дом «Вильямс», 2004, - 320с.
3. Карлащук В. И. Обучающие программы. – М.: Солон-Р, 2001. – 528с.