­­МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”

­­­

Кафедра САПР

Контрольна робота №2

з курсу “Комп’ютерна схемотехніка та архітектура комп’ютерів”

для студентів базового напрямку 6.08.04 "Комп’ютерні науки"

(заочна форма навчання)

Виконав студент гр. КНз-2

Чалий Михайло

­­

Львів 2014

# Завдання

Побудувати блок пам’яті оперативного запам’ятовуючого пристрою (ОЗП) об’ємом 1k\*8, використовуючи мікросхему структурою 256 \* 4. Написати область адрес пам’яті кожного банку (мікросхеми), яка відповідає вибраній схемі дешифрації.

# Теоретичні відомості

Для правильного вибору мікросхеми пам’яті слід орієнтуватися в їх параметрах.

Основними характеристиками мікросхем пам’яті є організація пам’яті, швидкодія, потужність споживання, режим роботи.

* Організація пам`яті – вказує на кількість комірок пам`яті і величину кожної в бітах;
* швидкодія – швидкість запису/зчитування/доступу;
* потужність – від потужності залежить кількість виділеного тепла;
* режим роботи – найчастіше – тип доступу до пам`яті.

Для побудови блоку пам’яті, згідно з завданням, буде використовувати **мікросхему КР185РУ7**. Мікросхема детально описана у книзі “Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 3. – М.: ИП РадиоСофт, 2000. 640 с.: ил.”

Мікросхема сумісна с ТТЛ.

Організація мікросхеми – 256 х 4, що відповідає моєму завданню.

Час доступу до комірки пам’яті становить до 75 нс(КР185РУ7А – 45нс), що є важливим параметром, адже в сучасних комп’ютерних системах ціниться швидкодія.

Потужність споживання заданої мікросхеми – 495 мВт, а напруга живлення типова, як і для всіх мікросхем цієї серії – 5В.

Інші технічні параметри мікросхеми КР185РУ7 наведено нижче в таблиці 1.

Таблиця 1.

|  |  |  |
| --- | --- | --- |
| 1 | Номінальна напруга живлення | 5 В plus minus 5 % |
| 2 | Вихідна напруга низького рівня | не більше 0,45 В |
| 3 | Вихідна напруга високого рівня | не менше 2,4 В |
| 4 | Напруга на антизвонному діоді | не менше -1,5 В |
| 5 | Вхідний струм низького рівня | не більше -0,4 мА |
| 6 | Вихідний струм високого рівня | не більше 0,04 мА |
| 7 | Струм споживання | не більше 140 мА |
| 8 | Споживча статична потужність на один біт | не більше 0,7 мВт |
| 9 | Час вибірки адреси | не більше 45 нс |
| 10 | Час вибірки знищення | не більше 35 нс |
| 11 | Час вибірки зберігання | не більше 35 нс |
| 12 | Час вибірки запису | не більше 35 нс |
| 13 | Час вибірки зчитування | не більше 40 нс |

Тепер розглянемо принципову схему КР185РУ7.

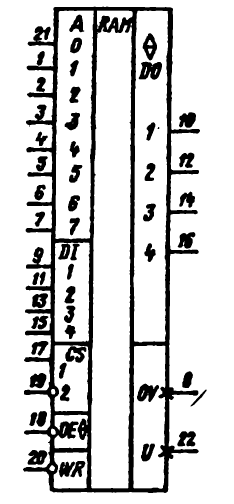


Рис.1. Умовно-графічне позначення КР185РУ7 на схемі електрично-принциповій.

Призначення виводів мікросхеми КР185РУ7 наведено в таблиці 2.

Таблиця 2.

|  |  |  |
| --- | --- | --- |
| **Призначення виводів мікросхеми** КР185РУ7 | | |
| **Вивід** | **Призначення вивода** | **Позначення на МС** |
| 1..7,  21 | Адресні входи | А0,…,А9 |
| 10,12,14,16 | Виходи даних | D0..D3 |
| 17,19 | Вибір МС | CS |
| 22 | Напруга живлення |  |
| 8 | Загальний |  |

# Розрахунок кількості мікросхем

Згідно з завданням, необхідно побудувати ОЗП об’ємом 1k \* 8 на базі мікросхем 256 \* 8.

Для побудови ОЗП використаю схему об’єднання модулів для нарощення об’єму та розрядності. Тому визначу, яку кількість мікросхем даного типу необхідно використати для того, щоб наростити розрядність. Скористаюся наступною формулою:

, де - розрядність, яку необхідно отримати;

- розрядність однієї мікросхеми.

Для поточного випадку K=8/4=2. Отже, потрібно 2 схем для нарощення розрядності.

Далі визначу, скільки мікросхем у моєму випадку потрібно для нарощення об’єму. Скористаюся наступною формулою:

,

де - об’єм, який необхідно отримати;

- об’єм однієї мікросхеми.

Для мого випадку L=1048/256=4.

M=K\*L=2\*4=8 – число мікросхем, які потрібно для побудови блоку пам’яті.

Отже, для вирішення задачі потрібно 8 мікросхем, і пам’ять буде складатися з чотирьох блоків по дві мікросхеми в кожному блоці.

# Виділення адресного простору для блоку пам’яті

Усього в адресний простір МП КР580МВ80 входить 64 Кб адрес пам’яті, що визначається 16-розрядною адресною шиною. МП КР580ВМ80 може здійснювати синхронний і асинхронний обмін інформацією за даними адресами з пам’яттю (ОЗП, ПЗП) та зовнішніми пристроями. При обробці інформації МП зчитує коди команд з ПЗП, а дані зчитує та записує в ОЗП або виконує обмін інформацією з пам’яттю.

Використовується мікросхеми з організацією 256 х 4, а в схемах з такою організацією для адресації 1Кб пам’яті використовуються А0-А9 адресних ліній, які підключаються напряму з адресної шини до мікросхеми пам’яті (210 = 1Кб). Синтез схеми дешифратора адрес для блоків пам’яті наведено нижче. В таблиці 3 показано виділення адресного простору для блоків пам’яті моєї схеми.

*Таблиця 3.*

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | **Адреси** | | | | | | | | | | | | | | | |
| **A15** | **A14** | **A13** | **A12** | **А11** | **A10** | **A9** | **A8** | **A7** | **A6** | **A5** | **A4** | **A3** | **A2** | **A1** | **A0** |
| Блок 0 | min | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| max | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Блок 1 | min | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| max | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Блок 2 | min | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| max | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Блок 3 | min | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| max | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

# Синтез схеми дешифратора адрес для блоку пам’яті

При нарощувані об’єму мікросхем виникає потреба визначати – до якої саме з мікросхем іде звертання. Для адресного розподілу використовують адресні дешифратори, число виходів яких рівне L=числу мікросхем.

Синтез схеми адресного дешифратора складається з послідовних етапів:

* табличного задання початкової та кінцевої адреси для заданого блоку пам’яті;
* представлення логічних виразів у ДДНФ або ДКНФ на основі таблиці;
* побудова комбінаційної схеми адресного дешифратора на основі логічного виразу.

На рисунку 2 наведена комбінаційна схема реалізації адресного дешифратора.

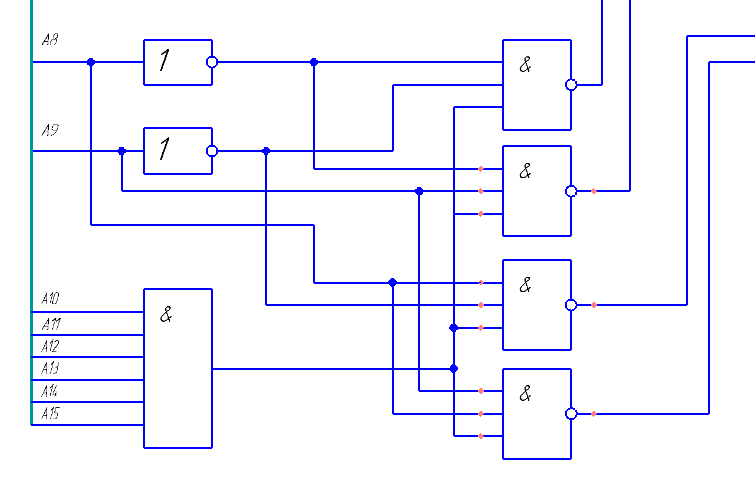


Рис. 2. Схема реалізації адресного дешифратора

# Аналіз результатів та висновки

При виконанні даної розрахунково-графічної роботи було детально ознайомлено з організацією ОЗП, набуто практичних навичок у реалізації потрібних блоків ОЗП за допомогою заданих елементів із заданою структурою для мікропроцесора КР580ВМ80.

Було спроектовано блок ОЗП об’ємом 1k \* 8 на основі мікросхеми КР185РУ7 з організацією 256 х 4. Даний блок складається з 4 блоків, під’єднаних послідовно, які в свою чергу складаються з 2 мікросхем, під’єднаних паралельно.

Приведена схема електрично-принципова даного блоку пам’яті.Перелік умовних позначень

1. ОЗП – оперативно запам’ятовуючий пристрій;
2. ПЗП – постійно запам’ятовуючий пристрій;
3. ЗП – запам’ятовуючий пристрій;
4. ВІС – велика інтегральна мікросхема;
5. МПС- мікропроцесорна система;
6. ДДНФ- досконала диз’юнктивна нормальна форма;
7. ДКНФ- досконала кон’юнктивна нормальна форма.

# Список використаної літератури

1. Балашов Е.П., Пузанков Д.В. Микропроцессоры и микропроцессорные системы: Учеб. Пособие для вузов. − М.: Радио и связь, 1981.
2. Лебедев О. Н. Микросхемы памяти и их применение. – М.: Радио и связь, 1990б – 160 с.: ил.
3. Нікольський Ю.В., Пасічник В.В., Щербина Ю.М. Дискретна математика – Л., Магнолія, 2010
4. Нефедов А.В. Интегральные микросхемы и их зарубежные аналоги. Справочник. Т. 2. – М.: ИП РадиоСофт, 2000. 640 с.: ил.