­­МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”

­­­

Кафедра САПР

Лабораторна робота №2

з курсу “Комп’ютерна схемотехніка та архітектура комп’ютерів”

для студентів базового напрямку 6.08.04 "Комп’ютерні науки"

(заочна форма навчання)

Виконав студент гр. КНз-2

Чалий Михайло

­­

Львів 2014

# Завдання

Моделювання тригерних пристроїв за допомогою системи EW 5.12(Multisym). Тип тригера 74112

# Вступ

Зберігання та запам’ятовування елементарної порції інформації виконується для одного біта. Електронна схема, яка запам’ятовує один біт інформації, називається тригером. *Тригери* – пристрої, що мають два стійких стани 1 і 0.

Отже, тригер може бути коміркою пам’яті для одного двійкового розряду, тобто біту інформації. Використання тригерів дозволяє реалізовувати пристрої *оперативної* пам'яті (тобто пам'яті, інформація в якій зберігається тільки на час обчислень). Однак тригери можуть використовуватись й для побудови деяких цифрових пристроїв з пам'яттю, таких як лічильники, перетворювачі послідовного коду в паралельний або цифрові лінії затримки.

Логічні рівні, які подаються на один з входів елемента електронної схеми, однозначно задають логічний рівень на його виході незалежно від рівнів на інших входах, називають *активними логічними рівнями*. *Пасивні логічні рівні* логічно відключаються на входах елемента, так як не визначають рівень на виході елемента внаслідок дії активного логічного рівня на одному з входівелемента.

# Мікросхема 74112

Мікросхема 74112, це двотактний J-K тригер.

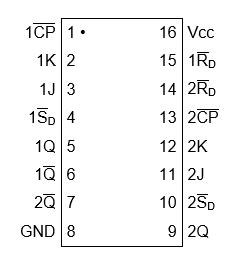


Рис 1 Позначення (з офіційної спеціфікації)

|  |  |  |
| --- | --- | --- |
| **Pin** | **Symbol** | **Description** |
| 1 | 1CP | clock input (high-to-low, edge-triggered) |
| 2 | 1K | synchronous input |
| 3 | 1J | synchronous input |
| 4 | 1SD | asynchronous set; direct input (active low) |
| 5 | 1Q | true output |
| 6 | 1Q | complement output |
| 7 | 2Q | complement output |
| 8 | GND | ground |
| 9 | 2Q | true output |
| 10 | 2SD | asynchronous set; direct input (active low) |
| 11 | 2J | synchronous input |
| 12 | 2K | synchronous input |
| 13 | 2CP | clock input (high-to-low, edge-triggered) |
| 14 | 2RD | asynchronous reset; direct input (active low) |
| 15 | 1RD | asynchronous reset; direct input (active low) |
| 16 | Vcc | supply voltage |

# Теоретичні данні про (JK-тригер)

Такий тригер має інформаційні входи J і К, які за своїм впливом аналогічні входам S і R тактуючого RS-тригера:

при J=1, K=0 тригер за тактовим імпульсом С встановлюється в стан Q=1;

при J= 0, К=1 - переключається в стан Q=0;

при J=K=0 - зберігає раніше прийняту інформацію.

На відміну від синхронного RS-тригера одночасна наявність логічних 1 на інформаційних входах не являється для JK-тригера забороненою комбінацією і приводить тригер в протилежний стан. Схема JK-тригера представлена на рис.2, таблиця переходів відображена в табл.1.

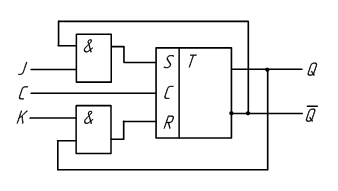


Рис 2 Схема JK тригера на основі синхронного RS тригера

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **K** | **J** | **C** | **Q(t)** | **Q(t+1)** |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

Табл 1 Таблиця переходів JK тригера

# Моделювання J-K тригера в системі Multisim

Змодельований тригер 74112 показано на рис.3.

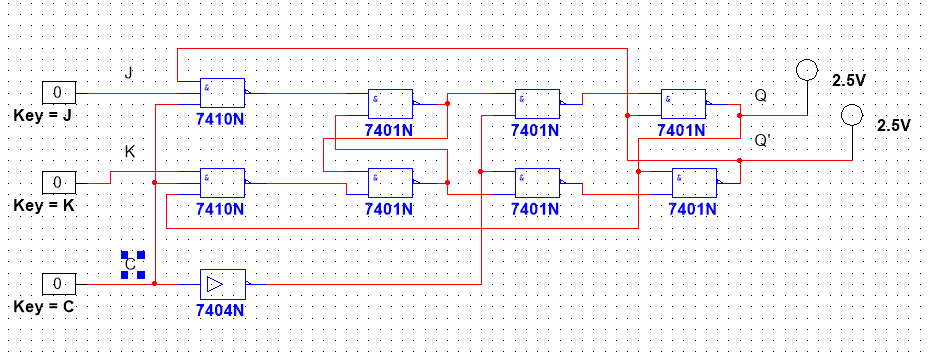


Рис 3 Модель триггеру 74112

# Аналіз результатів та висновки

При виконанні даної роботи було детально ознайомлено з призначення, принципи роботи та будови різних типів тригерів. Набути практичних навиків при дослідженні роботи тригерних пристрої.

# Список використаної літератури

1. Карлащук В. И. Электронная лаборатория на IBM PC. Программа Electronics Workbench.– М.: Солон-Р, 2000.- 504с.

2. Барри Уилкинсон. Основы проектирования цифровых схем.: Пер. с англ.- М.: Издательский дом «Вильямс», 2004, - 320с.

3. Карлащук В. И. Обучающие программы. – М.: Солон-Р, 2001. – 528с.