



北京航空航天大学
B E I H A N G U N I V E R S I T Y

计算机组成原理第二次作业

第三部分 时序逻辑电路

北京航空航天大学

计算机学院

陈麒先

16061160

二〇一七年十一月

郑重声明

关于诚实守信公约：

以下题目标号前注明*号表示本题参考了互联网资料，题目标号为红色表示本题是与同学研究后的结论，其余未注明题目均为翻阅课件、课堂笔记和教材后独立思考的结果。特此声明。

16061160

陈麒先

目录

一、填空题	1
二、单选题	1
三、分析与设计题.....	4
1.	4
2.	4
3.	6
4.	7
5.	9



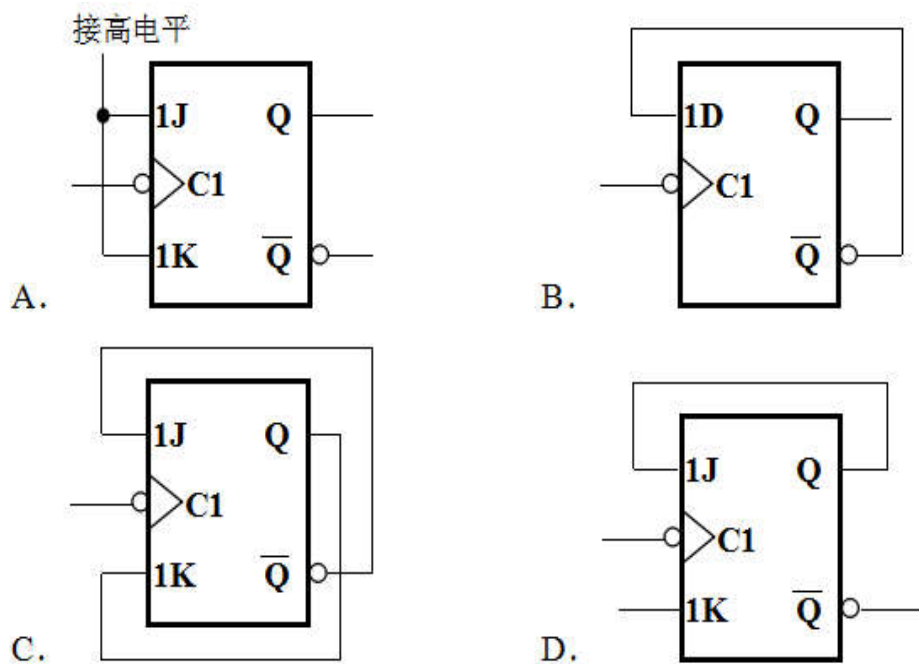
一、填空题

1. 时序逻辑电路由 组合逻辑电路 和 存储电路 两部分组成。
2. 由与非门构成的基本 RS 触发器约束条件是 $\overline{R_D} + \overline{S_D} = 1$ 。
3. 钟控 JK 触发器的特性方程为 $Q^{n+1} = JQ^n + \overline{K}Q^n$ 。
4. 时序逻辑电路按触发器时钟端的连接方式不同可以分为 上升沿触发 和 下降沿触发 两类。
5. 四级移位寄存器可以存放 四 位二进制数据。
6. *集成计数器的模值是固定的，但可以用 复位 法和 置位 法来改变它们的模值。
7. 由 8 级触发器构成的十进制计数器模值为 1×10^8 。
8. 通过级联方法，把三片 4 位二进制计数器 CT74161 连接成为 12 位二进制计数器后，其最大模值是 1×2^{12} 。
9. 根据在 CP 控制下，逻辑功能的不同，常把时钟触发器分为 RS 触发器、D 触发器 和 JK 触发器 等 3 种类型。
10. 时序逻辑电路的功能表示方法有 功能表、特性表、特性方程、状态转移图 和 时序图。

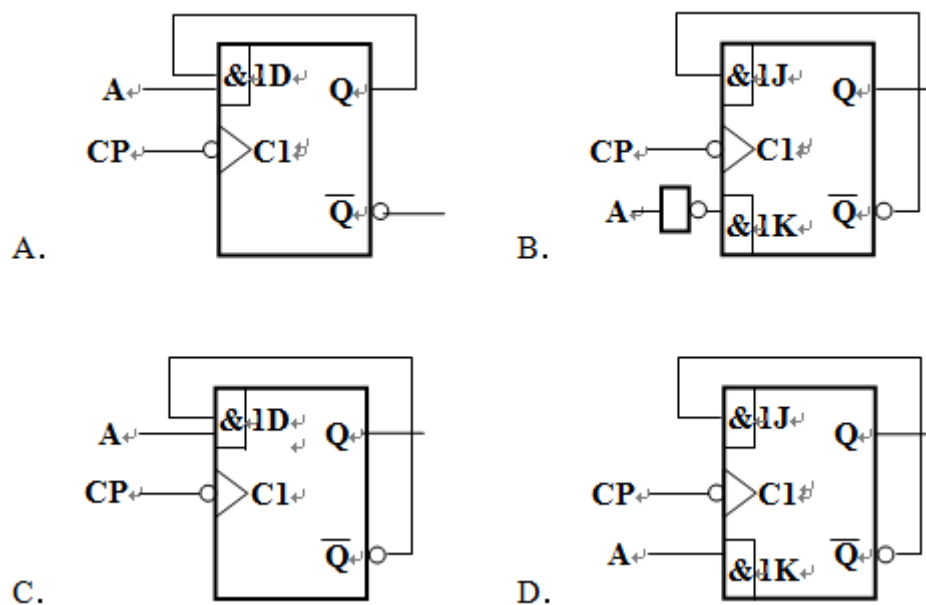
二、单选题

1. 若 JK 触发器的原始状态为 0，欲在 CP 作用后保持 0 状态，则激励函数 JK 的值应是（ C ）。

A. J=1, K=1	B. J=0, K=0
C. J=0, K=x	D. J=x, K=x
2. 下列电路中，只有（ D ）不能实现 $Q^{n+1} = \overline{Q^n}$ 。



3. 如下各触发器电路中，能实现 $Q^{n+1} = \overline{Q}^n + AQ^n$ 功能的电路是（ B ）。



4. 用 3 级触发器可以记忆（ A ）种不同的状态。

- A. 8 B. 16 C. 128 D. 256

5. 同步计数器是指（ B ）的计数器。

- A. 由同类型的触发器构成
B. 各触发器时钟端连在一起，统一由系统时钟控制
C. 可用前级的输出做后级触发器的时钟

- D. 可用后级的输出做前级触发器的时钟
6. 由 4 级触发器构成的二进制计数器，其模值为（ A ）。
- A. 16 B. 20 C. 1000 D. 1024
7. 同步 4 位二进制减法计数器的借位方程是 $B = \overline{Q_4 Q_3 Q_2 Q_1}$ ，则可知 B 的周期和正脉冲宽度为（ B ）。
- A. 16 个 CP 周期和 2 个 CP 周期
B. 16 个 CP 周期和 1 个 CP 周期
C. 8 个 CP 周期和 8 个 CP 周期
D. 8 个 CP 周期和 4 个 CP 周期
8. 已知 $Q_3 Q_2 Q_1 Q_0$ 是同步十进制计数器的触发器输出，若以 Q_3 作进位 C，则 C 的周期和正脉冲宽度是（ B ）。
- A. 10 个 CP 脉冲，正脉冲宽度为 1 个 CP 周期
B. 10 个 CP 脉冲，正脉冲宽度为 2 个 CP 周期
C. 8 个 CP 脉冲，正脉冲宽度为 1 个 CP 周期
D. 8 个 CP 脉冲，正脉冲宽度为 2 个 CP 周期
9. 一个 4 位移位寄存器原来的状态为 0000，如果串行输入始终为 1，则经过 4 个移位脉冲后寄存器的内容为（ D ）。
- A. 0001 B. 0111 C. 1110 D. 1111
10. 可以用来实现并/串转换和串/并转换的器件是（ B ）。
- A. 计数器 B. 移位寄存器 C. 存储器 D. 全加器
11. 设计模值为 36 的计数器至少需要（ B ）级触发器。
- A. 5 B. 6 C. 3 D. 4
12. 用 Verilog HDL 设计同步清除的计数器时，在 always 语句的敏感参数表中（ B ）。
- A. 需要列出时钟信号和清除信号标示符的有效边沿
B. 只需要列出时钟信号标示符的有效边沿
C. 只需要列出清除信号标示符的有效边沿
D. 只需要列出时钟信号或者清除信号标示符的有效边沿

三、分析与设计题

1. 有一简单时序逻辑电路如图 3.1 所示，试写出当 $C=0$ 和 $C=1$ 时，电路的状态方程 Q^{n+1} ，并说出各自实现的功能。

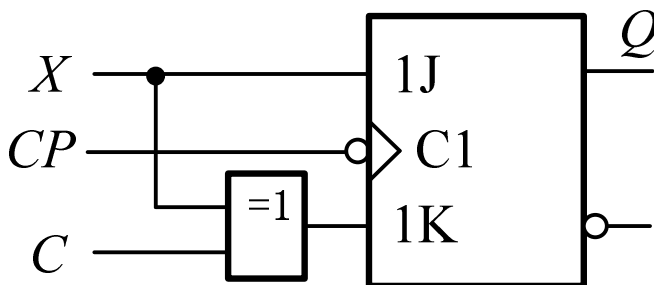


图 3.1

解：

$$J=X;$$

$$K=X|C;$$

$$\begin{aligned} Q^{n+1} &= J\overline{Q^n} + \overline{K}Q^n; \\ &= X\overline{Q^n} + \overline{X|C}Q^n \end{aligned}$$

①当 $C=0$ 时，

$$\begin{aligned} Q^{n+1} &= X\overline{Q^n} + \overline{X}Q^n \\ &= X \oplus Q^n \end{aligned}$$

功能：次态输出现态和输入的异或运算结果。

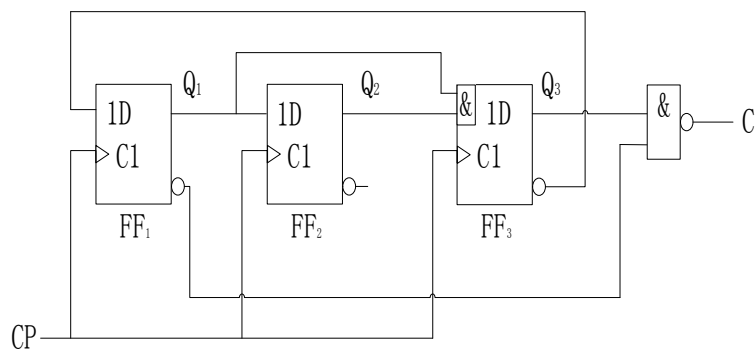
②当 $C=1$ 时，

$$Q^{n+1} = X\overline{Q^n}$$

功能：次态输出现态的非和输入的与运算结果。

2. 分析下图所示电路，要求：

- 1) 写出分析过程，包括各级触发器的驱动方程和状态方程；
- 2) 画出状态转换表、状态转换图和时序图；
- 3) 说明电路特点。



解：

1) 驱动方程：

$$D_1 = \overline{Q_3^n};$$

$$D_2 = Q_1^n;$$

$$D_3 = Q_1^n Q_2^n;$$

状态方程：

$$Q_1^{n+1} = \overline{Q_3^n};$$

$$Q_2^{n+1} = Q_1^n;$$

$$Q_3^{n+1} = Q_1^n Q_2^n;$$

$$C = \overline{Q_1^n Q_3^n}$$

分析：

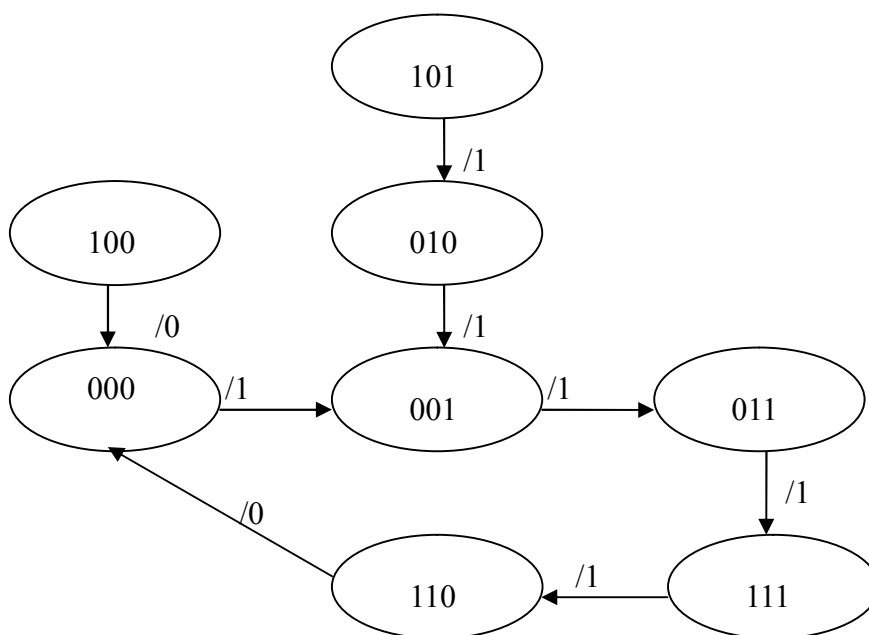
首先观察知，该时序电路存储电路由三级 D 触发器构成，输出电路由与非门构成。其次，对于驱动方程的求解，应密切关注各 D 触发器的输入管脚。最后，结合 D 触发器的特征方程 $Q^{n+1} = D$ 即可求出相应状态转移方程。

2) 状态转换表：

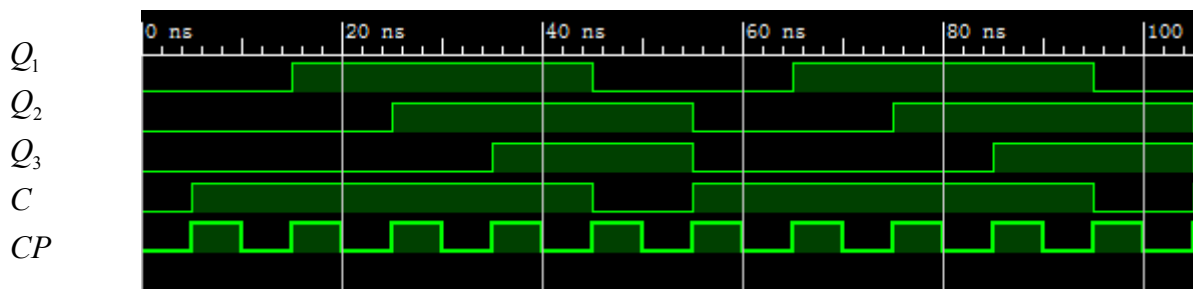
Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	C
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	0	0	0	1	1
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	1	0	1	0	1

1	1	0	0	0	0
1	1	1	1	1	0

状态转换图：



时序图：



3) 电路特征：

- ①循环性：电路会在 5 个状态之间循环转移。
- ②同步性：该时序电路的所有寄存器 CP 端口连接同一 CLK。
- ③模 5：每循环 5 个状态后输出端口 C 会产生一次低电平输出。
- ④自启动：不存在死循环，循环以外的状态，均能回到循环中来。

3. 集成 4 位二进制计数器 CT74161 的逻辑符号如图 3.3 所示，其功能表如表 3.1

所示，触发器输出低位到高位次序是 Q_0 至 Q_3 ，输出 $C = ETQ_3^n Q_2^n Q_1^n Q_0^n$ 。试用一片

CT74161 采用输出 C 预置法实现十二进制计数器，画出电路连接图。

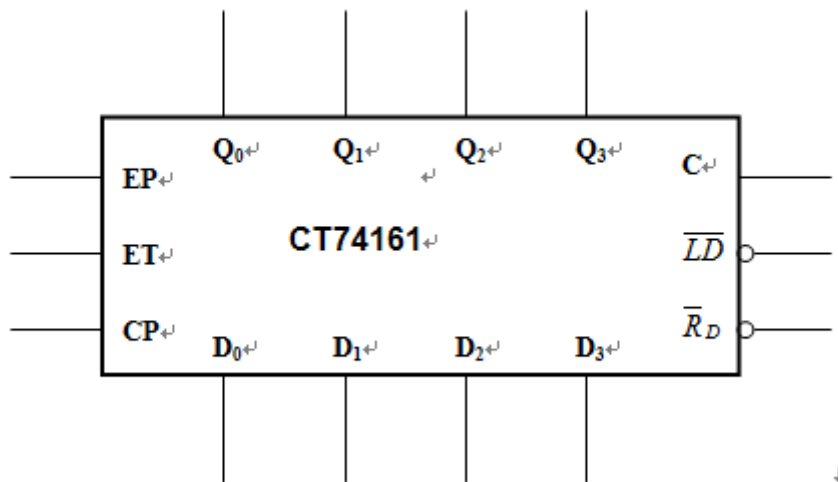
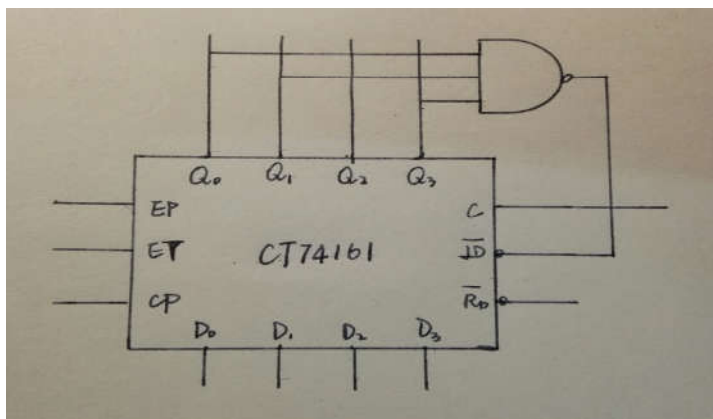


图 3.3 4 位二进制计数器 CT74161 的逻辑符号

表 3.1 CT74161 的功能表

$\overline{R_D}$	\overline{LD}	EP	ET	CP	功能
0	×	×	×	×	复位
1	0	×	×	↑	预置
1	1	0	0	↑	保持
1	1	0	1	↑	保持
1	1	1	0	↑	保持
1	1	1	1	↑	计数

解：



4. 使用 D 触发器和与非门设计一个 3 人抢答逻辑电路，给出逻辑电路图并叙述电路工作过程。对电路的具体要求如下：

- 1) 每个参赛者（A、B 和 C）控制一个按钮，用按钮发出抢答信号。

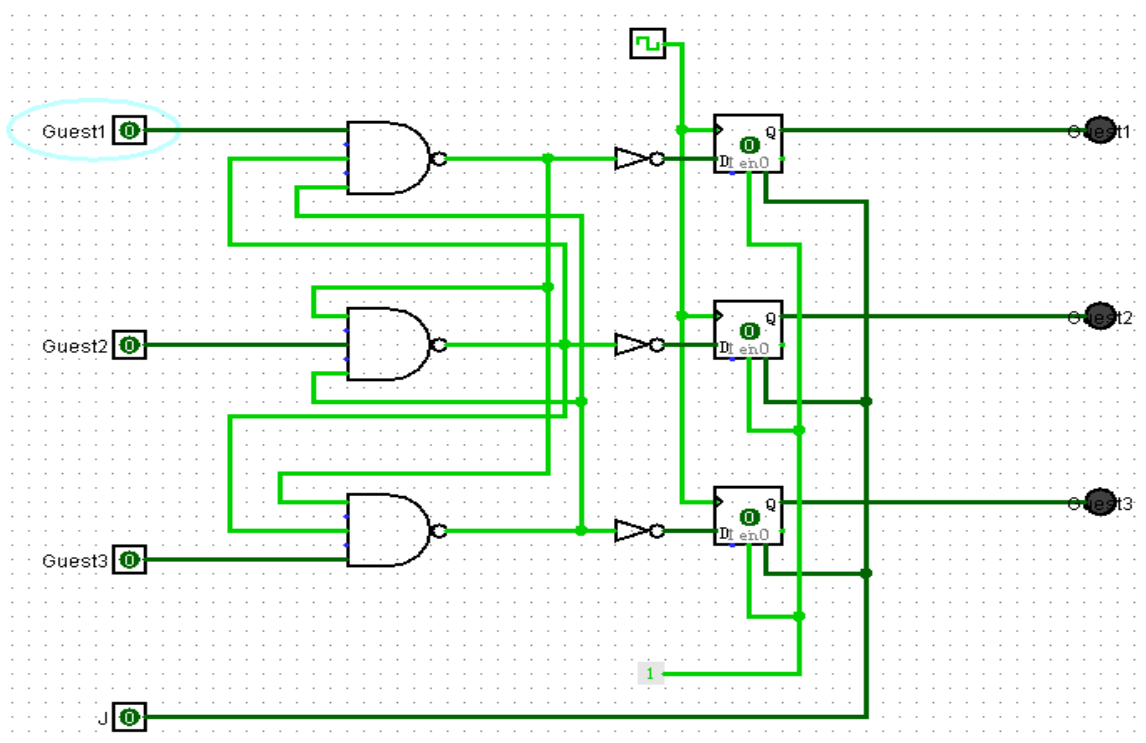
2) 竞赛主持人 J 控制另一个按钮，用于电路复位。

3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他 2 人再按动按钮对电路不起作用。

提示：抢答逻辑电路通常用于智力竞赛的抢答比赛中。由于参赛者按动按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要 3 个触发器分别保存 3 个参赛者按动按钮发出的信号。由于只要求触发器具有置 1（抢答）、置 0（复位）功能即可，所以采用 RS、D、JK 触发器均可，对结构类型也无特定要求。

此外，最先产生的抢答信号还应控制其它后来产生的抢答信号无法改变自身触发器的值，这样在抢答结束时就可根据各触发器的状态判断是哪位选手最先按下抢答按钮的。因此，需要将 3 个触发器的反相输出 \bar{Q} 分别引入到一个与非门的输入端，并与输入时钟信号相与，再将与非门的输出作为各触发器的时钟信号。

解：首先，根据题目要求，利用与非门和 D 触发器搭建电路图如下。



以下给出电路的设计思路和工作过程。

① 电路功能实现的关键点在于“竞争”机制的设计。根据题目要求和相关提示，利用与非门可以实现该功能。

② 当某一输入端口率先接收到高电平输入时，该端口直接连接的与非门输出为 0，输出作用于另外两个与非门上，导致另外两个与非门输出恒为 1，无论这两个与非门的

输入是什么。

③如此设计，可以使得只有第一个高电平输入信号能够有效的改变与非门输出，而其余电位动作均无法改变其对应的与非门输出。

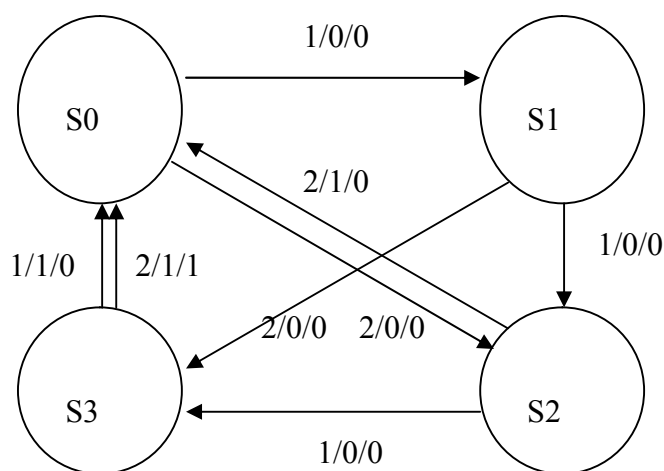
④需要注意的是，与非门输出为反相值，因此需再增加一个反相器，调整为正逻辑输出。

⑤在每个时钟上升沿到来时，D 触发器会根据输入逻辑的值更新状态，从而实现控制 LED 信号的功能。

⑥将主持人 J 的输入信号直接连接在 D 触发器的复位接口。当 J 输入为高电平时，将 D 触发器状态复位。

5. 设计一个自动售货机控制器，每次可以任意投入一枚 1 分或 2 分的硬币。货物价格为 4 分，当投入足够的钱后，售货机吐出货物并找零钱。请完成下列任务：

- 1) 画出实现上述功能的状态机；
- 2) 列出二进制编码的状态转换表和输出逻辑真值表，给出次态每一位编码的逻辑函数表达式和输出逻辑函数表达式，并化简。



1) 做出上图的状态转移图（构造 Mealy 型状态机，转移列表为：输入/出货/找零）

2) 画出真值表

a1	a0	in	b1	b0	out	change
0	0	0	0	1	0	0
0	0	1	1	0	0	0
0	1	0	1	0	0	0
0	1	1	1	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	1	0	0	0	1	0
1	1	1	0	0	1	1

注：真值表建模为：

a1, a0 表示当前状态编码；

b1, b0 表示次态编码；

in 输入用 0 代表 1 分，1 代表 2 分；

out 表示出货；

change 表示找零。

状态编码：

S0 = 00 ; S1 = 01 ; S2 = 10 ; S3 = 11.

逻辑表达式：

$$\textcircled{1} b_1 = \overline{a_1}in + \overline{a_1}a_0 + a_1\overline{a_0}in$$

$$\textcircled{2} b_0 = \overline{a_0}in + \overline{a_1}a_0in$$

$$\textcircled{3} out = a_1in + a_1a_0$$

$$\textcircled{4} change = a_1a_0in$$

*后记：选择题第 7,8 小问，“正脉冲宽度”的概念课上并未提及，且语义模糊难于理解。因而该两题存疑，望答复！谢谢。