



北京航空航天大学
B E I H A N G U N I V E R S I T Y

计算机组成原理第三次作业

第四部分 主存储器

北京航空航天大学

计算机学院

陈麒先

16061160

二〇一七年十一月

郑重声明

关于诚实守信公约：

以下题目标号前注明*号表示本题参考了互联网资料，题目标号为红色表示本题是与同学研究后的结论，其余未注明题目均为翻阅课件、课堂笔记和教材后独立思考的结果。特此声明。

16061160

陈麒先

原创性声明

作业中出现的公式、图片和图片的文字注释信息，均为作者原创。抄袭行为在任何情况下都被严格禁止 (COPY is strictly prohibited under any circumstances)！转载或引用须征得作者本人同意，并注明出处！

16061160

陈麒先



1. (1) 说明存取时间与存取周期的区别。

答：①对于 RAM：存取时间指读或写操作所用时间，即从给定的地址到存储器完成读或写操作所需时间。而存取周期指两次访问存储单元间的最小时间间隔。

②对于其他类型的存储器：存取时间指将读写机构定位到目标位置所需时间。存取周期一般大于存取时间。

(2) 什么是存储器的带宽？若某存储器的数据总线宽度为 64 位，存取周期为 100ns，则该存储器的带宽是多少？

答：①一般的 RAM：数据传输频率=1/存储周期，

带宽=数据总线宽度*数据传输频率

其他类型： $T_N = T_A + N/R$

其中： T_N 是读写 N bits 所需的平均时间， T_A 是访问时间，

N 是数据总线宽度，R 是存储部件的数据传输率。

②经计算：带宽 $B = N \times \frac{1}{T_C} = 64 \times \frac{1}{10^{-7}} \div 8(bit/Byte) = 80MB/s$

2. 某机字长 32 位，其存储容量是 64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。

答：由于机器字长 32 位，即 4 字节，故按字编址后，其寻址范围为：

000_0000_0000~111_1111_1111 (11 位)

主存字地址和字节地址分配情况如下图所示：



3. 一个容量为 $16K \times 32$ 位的存储器，分别需要几条地址线 and 数据线？如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？

1K×4 位，2K×8 位，4K×4 位，16K×1 位，4K×8 位，8K×8 位

答：①地址线：14 根；数据线：32 根。

②欲使行列地址位数相同，则需使行列地址均为 $2^7 = 128$ 位。由于一个字单元的数据位数为 32 位，故译码器输出的列选择线的有 $128 \div 32 = 4$ 条，行选择线有 128 条。

③ $1K \times 4$ 位：需要 128 块芯片，采用混合扩展方式排列。

$2K \times 8$ 位：需要 32 块芯片，采用混合扩展方式排列。

$4K \times 4$ 位：需要 32 块芯片，采用混合扩张方式排列。

$16K \times 1$ 位：需要 32 块芯片，采用位扩展方式排列。

$4K \times 8$ 位：需要 16 块芯片，采用混合扩展方式排列。

$8K \times 8$ 位：需要 8 块芯片，采用混合扩展方式排列。

4. 现有一容量为 $256K \times 8$ 的 DRAM 存储芯片，试回答：

- (1) 该芯片包含多少个字单元？
- (2) 该芯片包含多少个二进制存储单元电路(存储位元)？
- (3) 该芯片的刷新地址计数器应该是多少位？
- (4) 若该 DRAM 芯片的存取周期为 $0.25\mu s$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新闻隔各为多少？

答：①该芯片包含 2^{18} 个字单元。

②该芯片包含 2^{21} 个存储位元。

③该芯片刷新地址计数器应该是 18 位（即行数）。

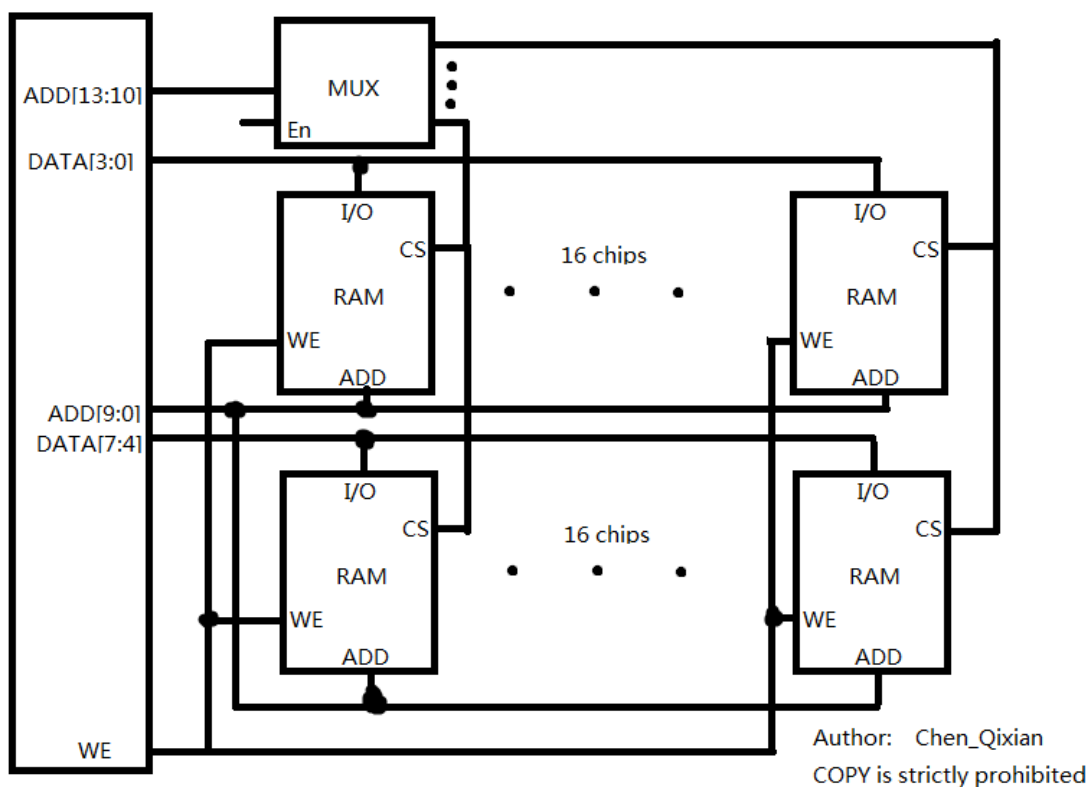
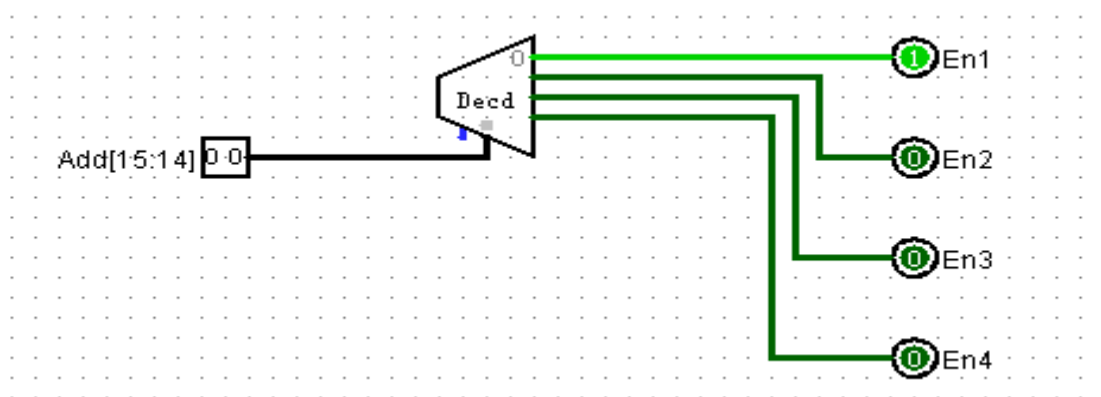
④集中刷新闻隔=刷新周期（由于题中缺省了必要的数据，此处仅能给出形式化表述）

$$\text{分散刷新闻隔} = 2^{18} \times 0.25 = 2^{16} \mu s$$

异步刷新闻隔=刷新周期（此处同集中刷新闻隔）

5. 画出 $1K \times 4$ 位的存储器芯片组成一个 $64K \times 8$ 位的存储器逻辑框图。要求 64K 分成 4 个页面（把存储器分成若干个容量相等的区域，每一个区域可看做一个页面），每个页面分 16 组，指出共需多少片存储器芯片。

答：共需 128 片存储芯片。由于每个页面的结构大体相似，再此近列出一个页面的顶层架构视图。



原理：图 1 表示由地址的高 2 位决定哪一页面使能。图 2 为具体的某一页面。

6. 设有一个 $64K \times 16$ 位的 RAM 芯片，问该芯片共有多少个基本单元电路(简称存储基元)? 欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

答：该芯片有 $1M (2^{20})$ 个。

为使地址线和数据线数量之和最小，应尽量使得二者数量接近。

因此最优解仅 1 个，即数据线和地址线均为 2^{10} 个。

7. 某 8 位微型计算机地址码为 18 位，若使用 $4K \times 4$ 的 RAM 芯片组成模块板结构的存储器，问：

- (1) 该机所允许的最大主存空间是多少？
- (2) 若每个模板为 $32K \times 8$ 位，共需多少模板块？
- (3) 每个模板块内共有几片 RAM 芯片？
- (4) 共有多少片 RAM？
- (5) CPU 如何选择各模板块？

答：①该机最大存储空间为： $64K \times 8 \div 8(\text{bit} / \text{Byte}) = 64KB$ 。

②共需要 2 个模板块。

③每个模板共有 16 片 RAM。

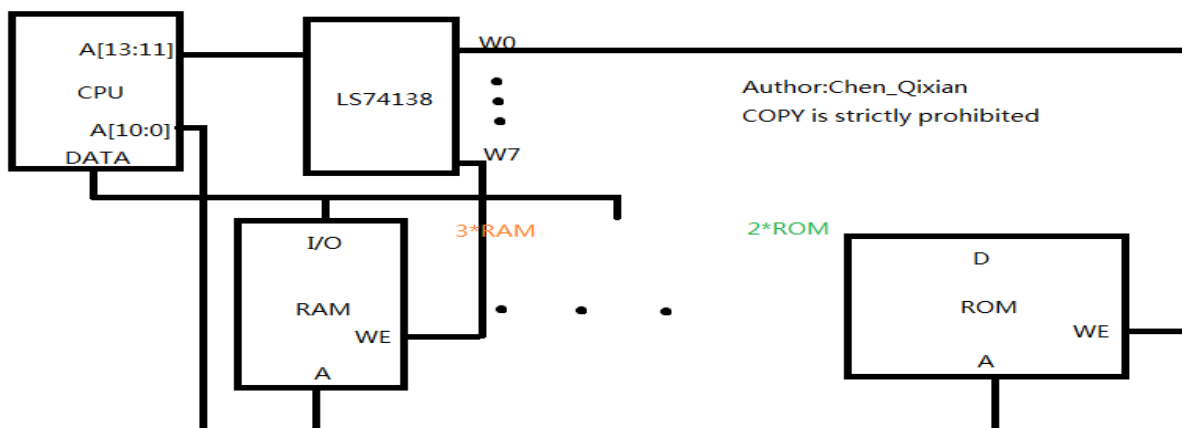
④共有 32 片 RAM。

⑤CPU 地址码 MSB 作为 2 选 1 MUX 的地址输入，选择模板块。

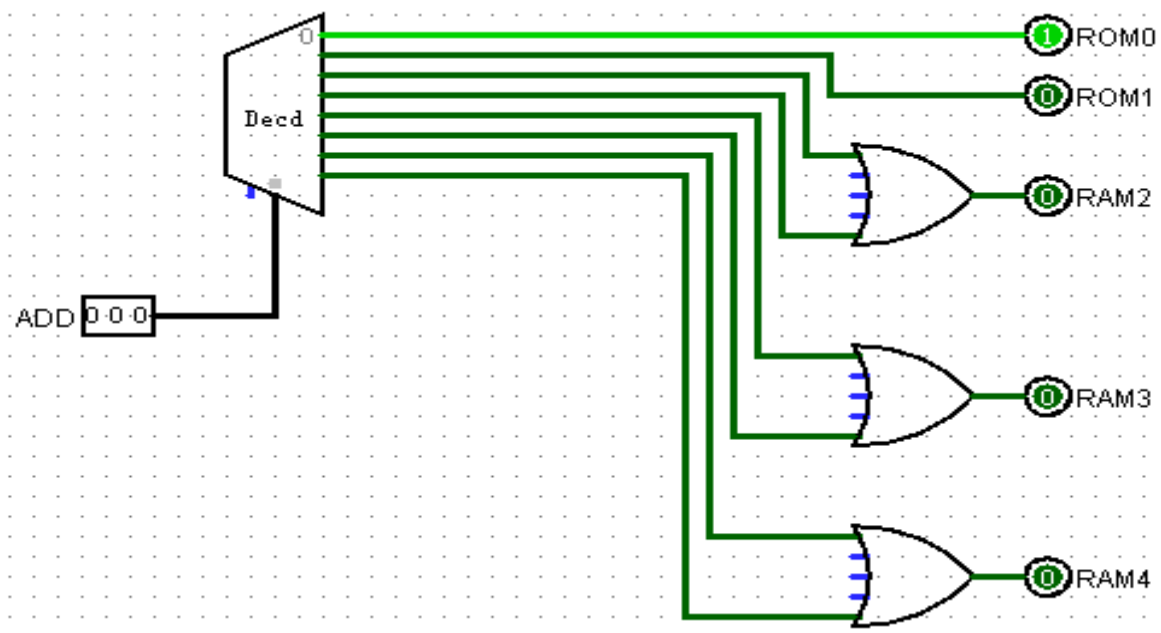
8. 设 CPU 有 16 根地址线，8 根数据线，并用 $\overline{MREQ\#}$ （低电平有效）作访存控制信号， $R/\overline{W\#}$ 作读写命令信号（高电平为读，低电平为写），现有存储芯片 ROM ($2K \times 8$, $4K \times 4$, $8K \times 8$)和 RAM($1K \times 4$, $2K \times 8$, $4K \times 8$)及 74138 译码器和其他门电路。试选择合适的芯片，并画出 CPU 和芯片连接图。要求：

- (1) 最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 画出片选逻辑。

答：根据题目要求，系统程序区不希望被人随意修改，所以采用只读存储器（ROM）；而用户程序区则需支持用户访存时对内存的读写操作，所以采用随机读写存储器（RAM）。经计算，需要 2 块 $2K \times 8$ 的 ROM 和 3 块 $4K \times 8$ 的 RAM。



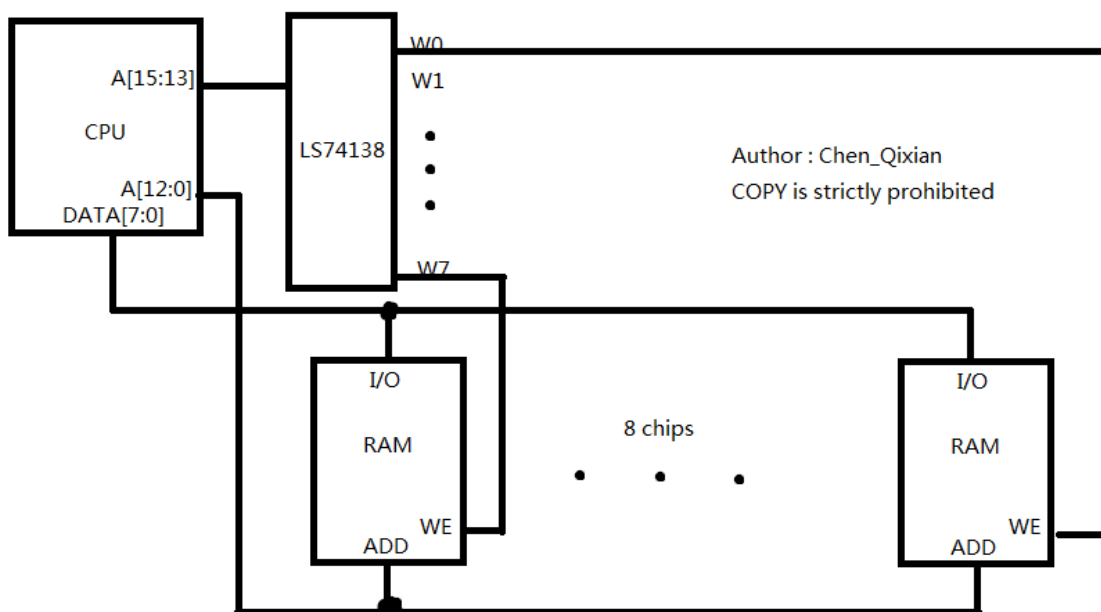
片选逻辑图：



9. CPU 假设同第 8 题，现有 8 片 $8K \times 8$ 位的 RAM 芯片与 CPU 相连，试回答：

- (1) 用 74138 译码器画出 CPU 与存储芯片的连接图。
- (2) 写出每片 RAM 的地址范围。
- (3) 如运行时发现不论往哪片 RAM 写入数据后，以 A000H 为起始地址的存储芯片都有与其相同的数据，分析故障原因。
- (4) 根据前面的连线图，若出现地址 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？

答：①连接图的简化顶层试图如图所示。



②各片 RAM 的地址范围分别为：

RAM0:0x0000-0x1fff

RAM1:0x2000-0x3fff

RAM2:0x4000-0x5fff

RAM3:0x6000-0x7fff

RAM4:0x8000-0x9fff

RAM5:0xa000-0xbfff

RAM6:0xc000-0xdfff

RAM7:0xe000-0xffff

③经查找，起始地址为 0xa000 的 RAM 为第 5 片，说明故障发生在该片 RAM 上。又由于无论对哪个 RAM 进行写入数据时，第五片存储芯片都有与其相同的数据，说明该片芯片的 WE 使能端使能。因此可能是使能端口接触不良导致输入信号为浮空值，抑或译码器 LS74138 故障导致对应第 5 片 RAM 使能端的输出端口功能异常，从而发生上述故障。

④A13 与 CPU 断线并连接至高电平，将使输入译码器 LS74138 的信号 LSB=1，使得输出只有可能是 1,3,5,7。因而会产生的后果是，有一半的 RAM 无法正常使用，仅有 RAM1、RAM3、RAM5、RAM7 可以被访问。