



# 计算机组成原理第六次作业

第七部分 流水线处理器设计

北京航空航天大学 计算机学院 陈麒先 16061160

## 郑重声明

## 关于诚实守信公约:

以下题目标号前注明\*号表示本题参考了互联网资料,题目标号为红色表示本题是与同学研究后的结论,其余未注明题目均为翻阅课件、课堂笔记和教材后独立思考的结果。特此声明。

16061160

陈麒先

## 原创性声明

作业中出现的公式、图片、代码段和图片的文字注释信息,均为作者原创。抄袭行为在任何情况下都被严格禁止(COPY is strictly prohibited under any circumstances)!转载或引用须征得作者本人同意,并注明出处!

16061160

陈麒先



## 作业题目内容

### 第一题:

答: 情况 a

1. 流水线: T = 500 ps

单周期: T = 300 + 400 + 350 + 500 + 100 = 1650 ps

2. 由于 Iw 在支持指令集中延迟最长, 其数据通路为关键路径, 其延迟即为时钟周期。

流水线: T = 500 ps

单周期: T = 300 + 400 + 350 + 500 + 100 = 1650 ps

- 3. 选择关键的 M 级进行划分,划分后 M 级延迟为 250 ps,不再关键,时钟周期缩 短为 400 ps。
- 4. 由于流水线每级均需要占用一个时钟周期,故利用率可直接采用用到该级的百分比进行计算。

利用率 = 15% + 10% = 25%

5. 与 4 原理相同。

利用率 = 50% + 15% = 65%

情况 b

1. 流水线: T = 200 ps

单周期: T = 200 + 150 + 120 + 190 + 140 = 800 ps

2. 流水线: T = 200 ps

单周期: T = 200 + 150 + 120 + 190 + 140 = 800 ps

- 3. 选择关键的 F 级进行划分,划分后 F 级延迟为 100 ps,不再关键,时钟周期缩 短为 190 ps。
- 4. 利用率 = 15% + 30% = 45%
- 5. 利用率 = 30% + 30% = 60%

## 第二题:

答:情况 a

1. add 和 sw 指令的\$6 寄存器存在数据相关, Iw 和 sw 指令的\$1 寄存器存在数据相关。

- 2. Iw和 sw、add和 sw 指令存在数据冒险(Data Hazard)。需要在 add和 sw 之间插入两个 nop 暂停流水线,以保证 Iw 的新\$1 值和 add 的新 \$6 值已经写回 GPR。
- 3. 有转发的情况下, 无需暂停流水线以消除冒险, 即无需插入 nop。
- 4. 这里的冲突有两处, Iw 和 sw 的冲突需要 DM 到 ALU 的转发, add 和 sw 的冲突需要 ALU 到 ALU 的转发。故需要充分的转发。

无转发的情况: 5 \* 300 = 1500 ps

充分的转发 : 3 \* 400 = 1200 ps

加速比: (1500 - 1200) / 1500 = 20%

- 5. 在 Iw和 add 之间加入 nop 以消除冒险。
- 6. 仅有 ALU 内部转发: 4 \* 360 = 1440 ps

加速比: (1500 - 1440) / 1500 = 4%

#### 情况 b:

- 1. Iw和 sw 指令的\$5 寄存器数据相关, Iw取出的值需更新给\$5 寄存器, 而\$5 的值要同时作为 sw 指令的基地址和存入数据被使用; Iw和 add 的\$5 寄存器数据相关, Iw取出的值需更新给\$5 寄存器, 而\$5 的值要被 add 作为操作数进行使用。
- 2. Iw和 sw, Iw和 add 存在数据冒险。在 Iw和 sw之间需插入 2 个 nop 暂停流水线,以保证 Iw的新\$1 值和 add的新 \$5 值已经写回 GPR。
- 3. 在有充分转发的情况下,需要在 |w 和 sw 之间插入 1 个 nop,以保证 |w 产生结果 所需的最晚时间。
- 4. 这里需要充分的转发。

无转发的情况: 5 \* 300 = 1500 ps

充分转发的情况: 4 \* 400 = 1600 ps

并未实现加速的目的。

- 5. 仍需在 Iw 和 sw 之间插入两个 nop。
- 6. 仅有 ALU 内部转发: 5 \* 360 = 1800 ps 流水线性能下降。

#### 第三题:

#### 答:情况 a

1. 需要在 M 级增加比较器, 以支持结果与 0 的比较。

- 2. 需要增加 Mem\_zero 信号,该信号的作用为,在 Mem[Rs] = 0 时被置为高电平,用 于控制 PC 值是否跳转。
- 3. 由于 Mem [Rs] 所需用到的 Rs 值可通过已有的转发来获取,故不会引入新的冒险, 且不会加重阻塞。

#### 情况b

- 1. 需要在 D 级增加加法器,加法器的输入分别为指令 Rs、Rt 字段,输出端与 E 级 ALU 输出端共同连接至一个 MUX。M 级的 MemWriteData 端口需要加一个 MUX,用以 选择对 DM 写入的数据来源。(Question: Rd 字段为 5 位,而 DataIn 为 32 位,题 目表述有误)。
- 2. 由于引入了两个新的 MUX,故需增加两个新的控制信号,DM\_Dst 和 Data\_In 两个信号来分别控制 DM 的写入地址和数据。
- 3. 不会引入新的冒险, 但是会加重阻塞。因为 Rs、Rt 的值均需要在 D 级使用, 故对于某些特定的前序指令, 转发无效, 从而增大了暂停流水线的概率, 加重阻塞。

### 第四题:

#### 答:情况 a

- 1. 在 Iw 和 add 之间增加两个 nop, 在第 2 个 add 和 sw 之间增加两个 nop。
- 2. 该指令序列已为编译最优化序列,故只能通过 1. 中的方法插入 nop。(question: R7 寄存器是什么?)。
- 3. 无法正确的实现暂停流水线功能,导致数据更新不及时从而得到错误的结果。第一条 add 指令会带入旧的\$1 值进行计算, sw 指令会带入旧的\$2 值进行存储。
- 4. 冒险检测单元需要添加 D 级的指令信号作为输入, 暂停控制信号作为输出。该检测单元的作用是根据现有指令序列判断是否需要暂停流水线已经需要暂停多少周期。

#### 情况b

- 1. 在第一个 add 和 sw 之间添加两个 nop, 在 lw 和第二个 add 之间增加两个 nop。
- 2. 可以交换 | w 和第一个 sw 的顺序,并在 sw 和第二个 add 之间增加一个 nop,使得第一个 sw 处于 | w 指令的延迟槽里,达到编译优化之效果。
- 3. 无法正确的实现暂停流水线功能, 导致数据更新不及时从而得到错误的结果。处

于 Iw 延迟槽中的第二条 add 指令由于缺乏流水线正确的暂停, 导致其\$1 的值为更新, 得到错误的计算结果。

4. 冒险检测单元需要添加 D 级的指令信号作为输入, 暂停控制信号作为输出。该检测单元的作用是根据现有指令序列判断是否需要暂停流水线已经需要暂停多少周期。