

**计算机组成原理第三次作业**

第四部分 主存储器

北京航空航天大学

计算机学院

陈麒先

16061160

二○一七年十一月

**郑重声明**

**关于诚实守信公约：**

**以下题目标号前注明\*号表示本题参考了互联网资料，题目标号为红色表示本题是与同学研究后的结论，其余未注明题目均为翻阅课件、课堂笔记和教材后独立思考的结果。特此声明。**

**16061160**

**陈麒先**

**原创性声明**

**作业中出现的公式、图片和图片的文字注释信息，均为作者原创。抄袭行为在任何情况下都被严格禁止(COPY is strictly prohibited under any circumstances)！转载或引用须征得作者本人同意，并注明出处！**



**16061160**

**陈麒先**

1. （1）说明存取时间与存取周期的区别。

**答：①对于RAM：存取时间指读或写操作所用时间，即从给定的地址到存储器完成读或写操作所需时间。而存储周期指两次访问存储单元间的最小时间间隔。**

**②对于其他类型的存储器：存期时间指将读写机构定位到目标位置所需时间。存取周期一般大于存取时间。**

（2）什么是存储器的带宽？若某存储器的数据总线宽度为64位，存取周期为100ns，则该存储器的带宽是多少？

答：**①一般的RAM：数据传输频率=1/存储周期，**

**带宽=数据总线宽度\*数据传输频率**

**其他类型：**

**其中：是读写N bits所需的平均时间，是访问时间，**

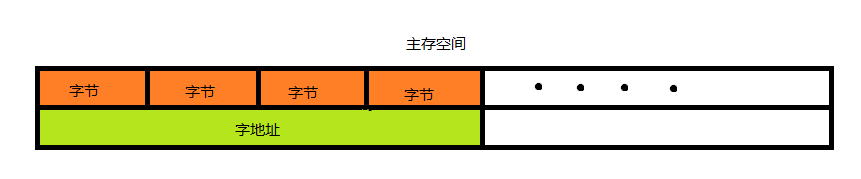
**N是数据总线宽度，R是存储部件的数据传输率。**

**②经计算：带宽**

1. 某机字长32位，其存储容量是64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。

**答：由于机器子长32位，即1字节，故按字编址后，其寻址范围为： 000\_0000\_0000~111\_1111\_1111（11位）**

**主存字地址和字节地址分配情况如下图所示：**



1. 一个容量为16K×32位的存储器，分别需要几条地址线和数据线？如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？

1K×4位，2K×8位，4K×4位，16K×1位，4K×8位，8K×8位

**答：①地址线：14根；数据线：32根。**

**②欲使行列地址位数相同，则需使行列地址均为位。由于一个字单元的数据位数为32位，故译码器输出的列选择线的有12832=4条，行选择线有128条。**

**③1K×4位：需要128块芯片，采用混合扩展方式排列。**

**2K×8位：需要32块芯片，采用混合扩展方式排列。**

**4K×4位：需要32块芯片，采用混合扩张方式排列。**

**16K×1位：需要32块芯片，采用位扩展方式排列。**

**4K×8位：需要16块芯片，采用混合扩展方式排列。**

**8K×8位：需要8块芯片，采用混合扩展方式排列。**

1. 现有一容量为256K×8的DRAM存储芯片，试回答：
2. 该芯片包含多少个字单元？
3. 该芯片包含多少个二进制存储单元电路(存储位元)？
4. 该芯片的刷新地址计数器应该是多少位？
5. 若该DRAM芯片的存取周期为0.25us，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？

**答：①该芯片包含个字单元。**

**②该芯片包含个存储位元。**

**③该芯片刷新地址计数器应该是18位（即行数）。**

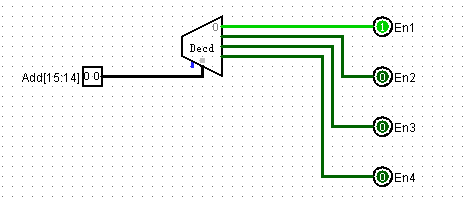
**④集中刷新间隔=刷新周期（由于题中缺省了必要的数据，此处仅能给出形式化表述）**

**分散刷新间隔=**

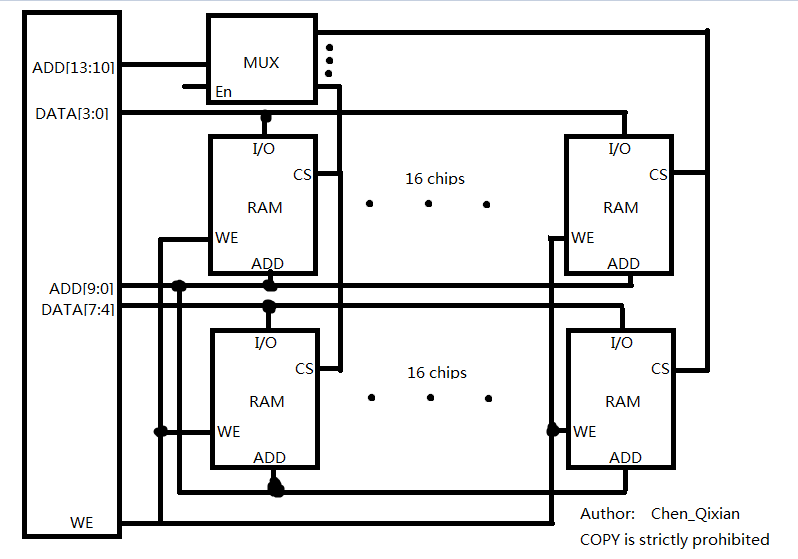
**异步刷新间隔=刷新周期（此处同集中刷新间隔）**

1. 画出1K×4位的存储器芯片组成一个64K×8位的存储器逻辑框图。要求64K分成4个页面（把存储器分成若干个容量相等的区域，每一个区域可看做一个页面），每个页面分16组，指出共需多少片存储器芯片。

**答：共需128片存储芯片。由于每个页面的结构大体相似，再此近列出一个页面的顶层架构视图。**



**原理：图1表示由地址的高2位决定哪一页面使能。图2为具体的某一页面。**



1. 设有一个64K×16位的RAM芯片，问该芯片共有多少个基本单元电路(简称存储基元)？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

**答：该芯片有1M（）个。**

**为使地址线和数据线数量之和最小，应尽量使得二者数量接近。**

**因此最优解仅1个，即数据线和地址线均为个。**

1. 某8位微型计算机地址码为18位，若使用4K×4的RAM芯片组成模块板结构的存储器，问：
2. 该机所允许的最大主存空间是多少？
3. 若每个模板为32K×8位，共需多少模板块？
4. 每个模板块内共有几片RAM芯片？
5. 共有多少片RAM？
6. CPU如何选择各模板块？

**答：①该机最大存储空间为：。**

**②共需要2个模板块。**

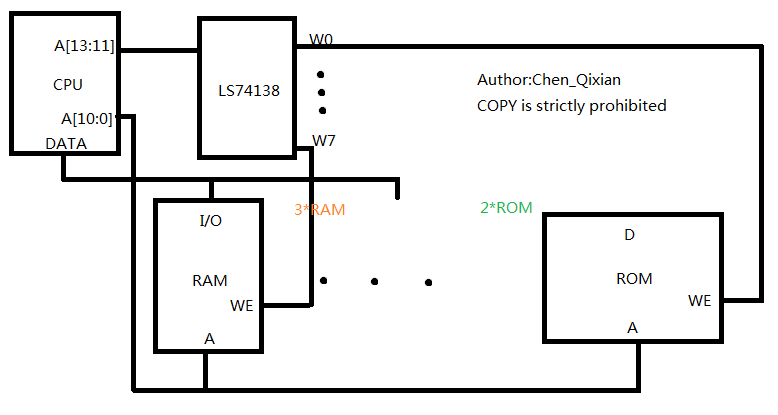
**③每个模板共有16片RAM。**

**④共有32片RAM。**

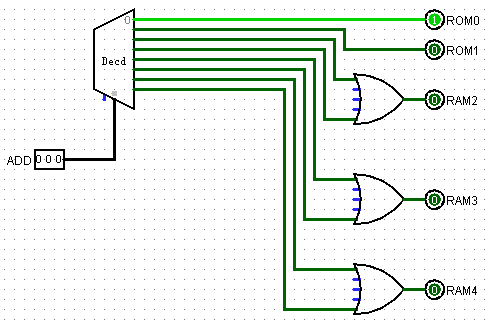
**⑤CPU地址码MSB作为2选1 MUX的地址输入，选择模板块。**

1. 设CPU有16根地址线，8根数据线，并用MREQ#（低电平有效）作访存控制信号，R/W#作读写命令信号（高电平为读，低电平为写），现有存储芯片ROM (2K×8, 4K×4, 8K×8)和RAM(1K×4, 2K×8, 4K×8)及74138译码器和其他门电路。试选择合适芯片，并画出CPU和芯片连接图。要求：
2. 最小4K地址为系统程序区，4096~16383地址范围为用户程序区。
3. 指出选用的存储芯片类型及数量。
4. 画出片选逻辑。

**答：根据题目要求，系统程序区不希望被人随意修改，所以采用只读存储器（ROM）;而用户程序区则需支持用户访存时对内存的读写操作，所以采用随机读写存储器（RAM）。经计算，需要2块2K\*8的ROM和3块4K\*8的RAM。**

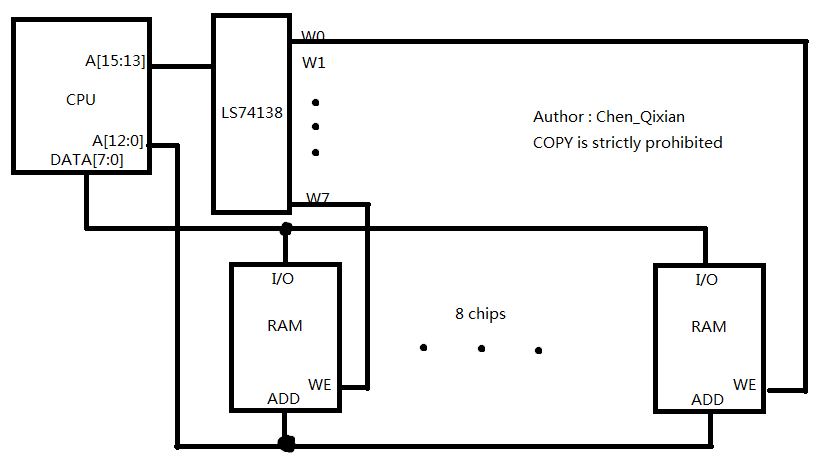


**片选逻辑图：**



1. CPU假设同第8题，现有8片8K×8位的RAM芯片与CPU相连，试回答：
2. 用74138译码器画出CPU与存储芯片的连接图。
3. 写出每片RAM的地址范围。
4. 如运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片都有与其相同的数据，分析故障原因。
5. 根据前面的连线图，若出现地址A13与CPU断线，并搭接到高电平上，将出现什么后果？

**答：①连接图的简化顶层试图如图所示。**



**②各片RAM的地址范围分别为**：

**RAM0:0x0000-0x1fff**

**RAM1:0x2000-0x3fff**

**RAM2:0x4000-0x5fff**

**RAM3:0x6000-0x7fff**

**RAM4:0x8000-0x9fff**

**RAM5:0xa000-0xbfff**

**RAM6:0xc000-0xdfff**

**RAM7:0xe000-0xffff**

**③经查找，起始地址为0xa000的RAM为第5片，说明故障发生在该片RAM上。又由于无论对哪个RAM进行写入数据时，第五片存储芯片都有与其相同的数据，说明该片芯片的WE使能端使能。因此可能是使能端口接触不良导致输入信号为浮空值，抑或译码器LS74138故障导致对应第5片RAM使能端的输出端口功能异常，从而发生上述故障。**

**④A13与CPU断线并连接至高电平，将使输入译码器LS74138的信号LSB=1，使得输出只有可能是1,3,5,7 。因而会产生的后果是，有一半的RAM无法正常使用，仅有RAM1、RAM3、RAM5、RAM7可以被访问。**