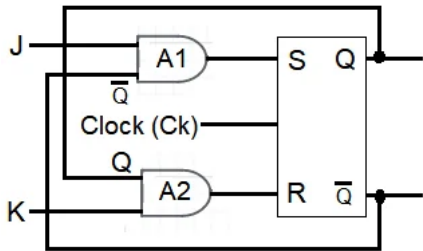


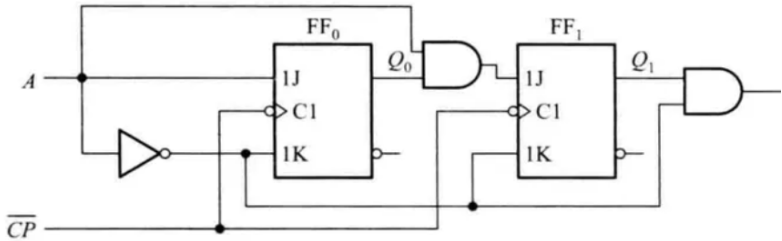
4.假设SR锁存器的输入端S、R的波形如图4.27所示，图中信号的上升延迟和下降延迟设为0, 要求画出图4.27中输出端Q和

5.假设D锁存器和D触发器的各输入端波形分别如图4.28a和b所示，图中信号的上升延迟和下降延迟设为0, 并且不考虑逻辑

6.请用带使能端的T触发器和组合逻辑构造D触发器



9.请用尽量少的D触发器实现一个能检测输入信号X中是否出现“110”序列的电路。



11.假设图4.20所示的同步并行加法计数器中T触发器的信号传输延迟是 $T_{tq}$ , 与门的传输延迟为 $T_{and}$ , T触发器En信号的建立

12.将图4.25所示的有意义为寄存器中的 $Q_3$ 和 $Q_2$ 异或后送入输入端X, 可构成一个线性反馈移位寄存器计数器。请分析该设