

实验三报告

231220088 陈翔宇

实验内容

一、计数器

基本原理

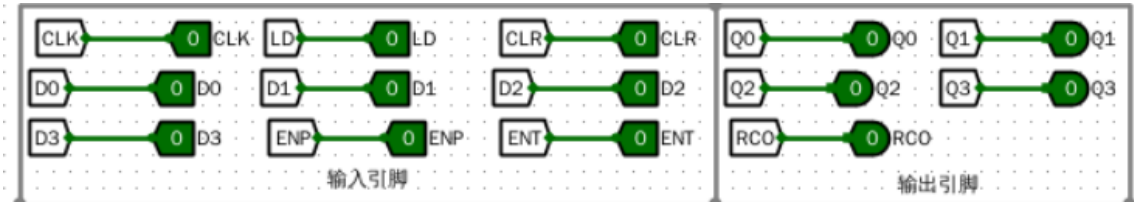
根据题目描述可以画出真值表

表 3-1 4 位同步二进制计数器功能表

Inputs				Current State				Next State			
CLR	LD	ENT	ENP	Q3	Q2	Q1	Q0	Q3*	Q2*	Q1*	Q0*
1	x	x	x	x	x	x	x	0	0	0	0
0	1	x	x	x	x	x	x	D3	D2	D1	D0
0	0	0	x	x	x	x	x	Q3	Q2	Q1	Q0
0	0	x	0	x	x	x	x	Q3	Q2	Q1	Q0
0	0	1	1	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	1	0	0	1	0
...											
0	0	1	1	1	1	0	1	1	1	1	0
0	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	1	1	1	1	0	0	0	0

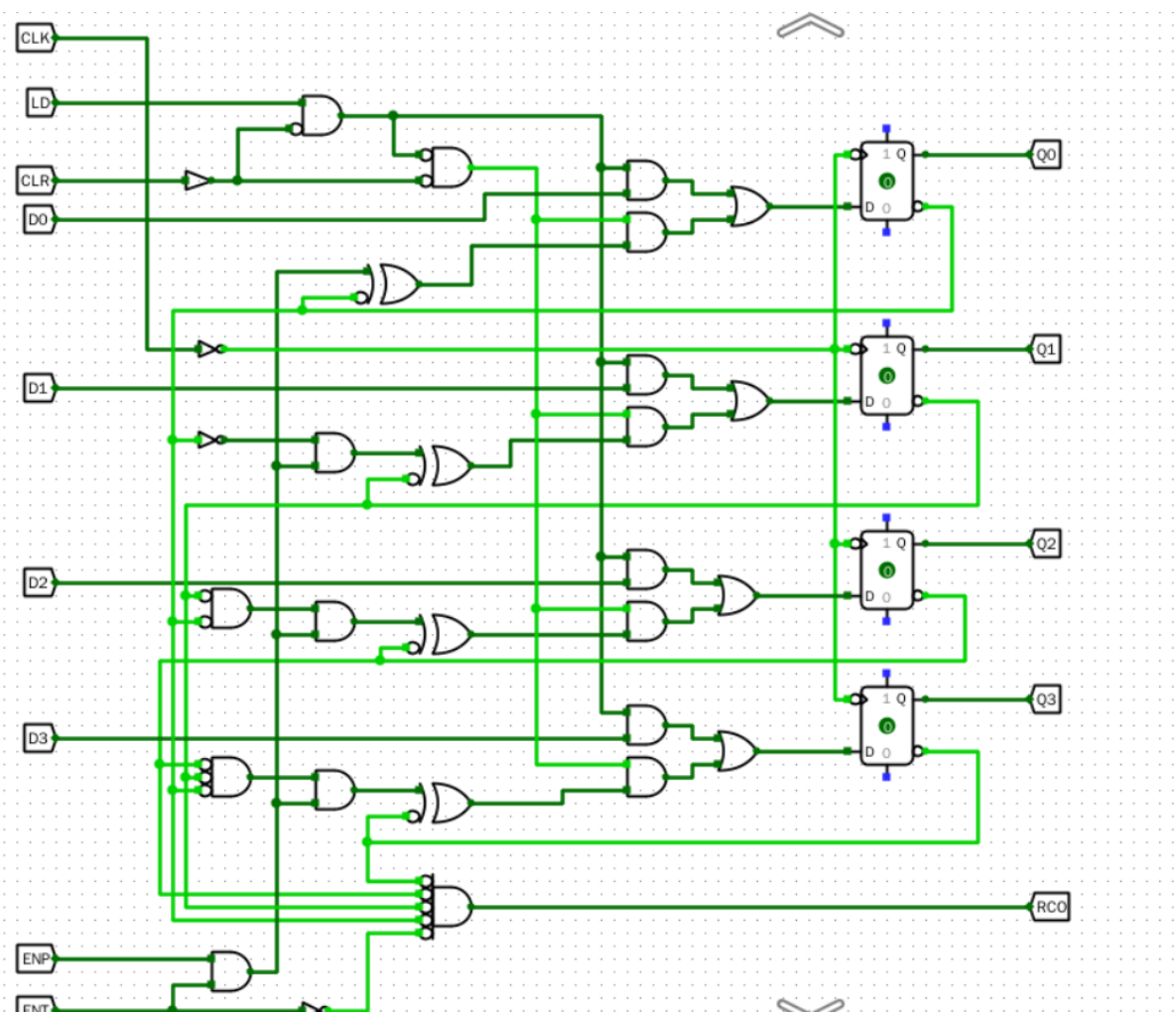
整体方案设计

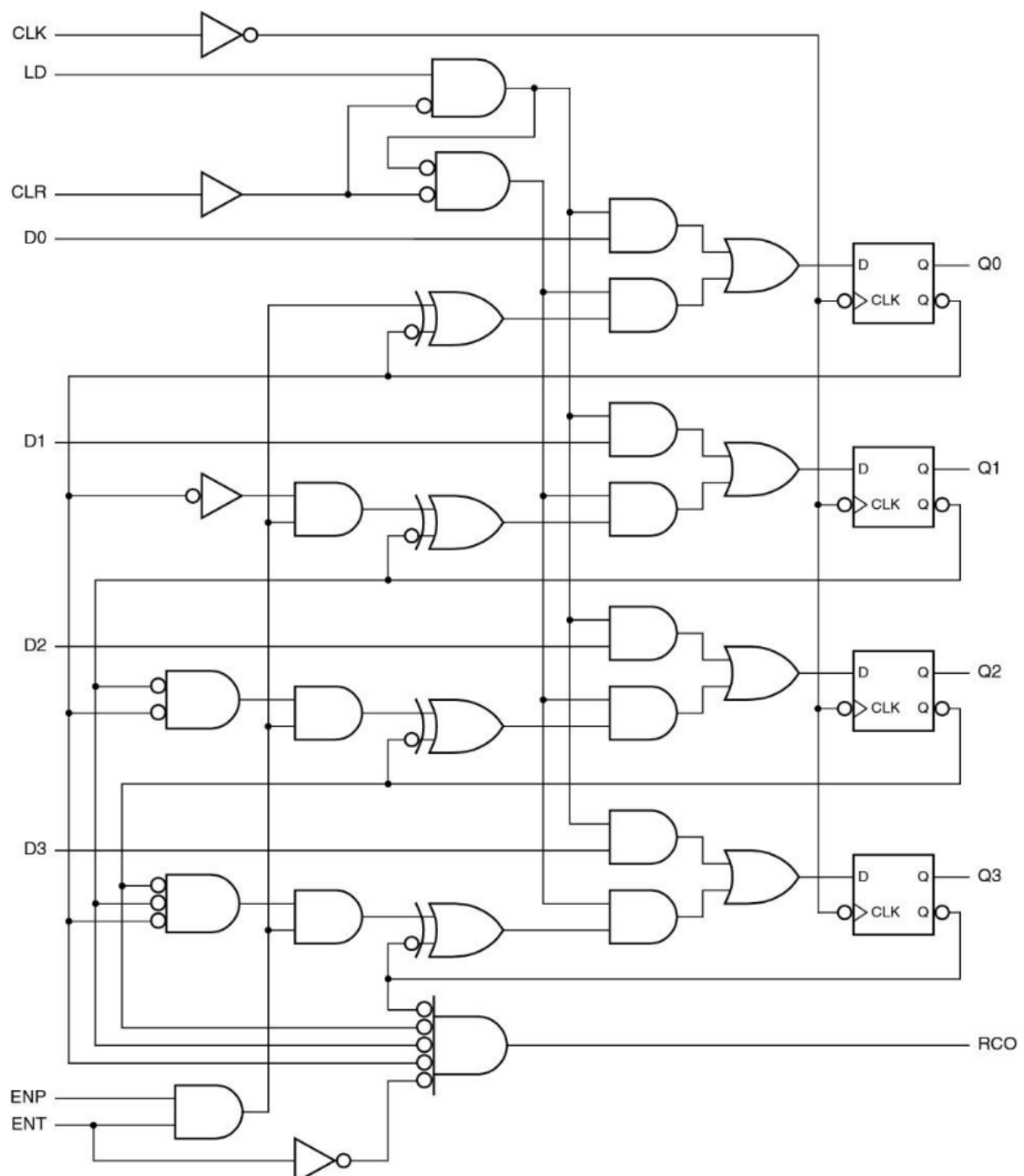
1. 输入输出引脚



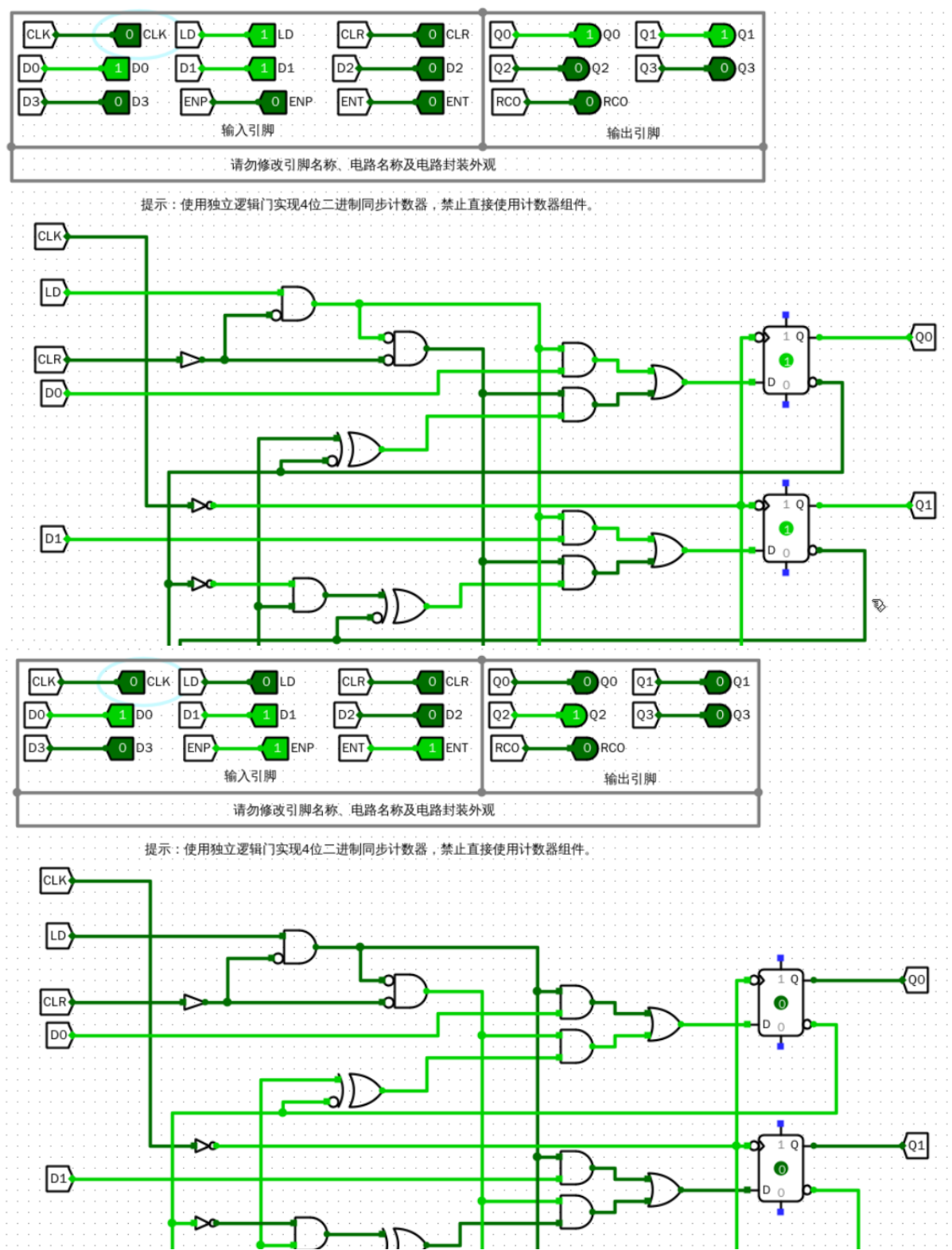
- CLK : 时钟信号
- LD : 加载信号
- CLR : 清除信号
- ENP、ENT : 使能端信号
- D0 - D3 : 输入信号
- Q0 - Q3 : 输出信号

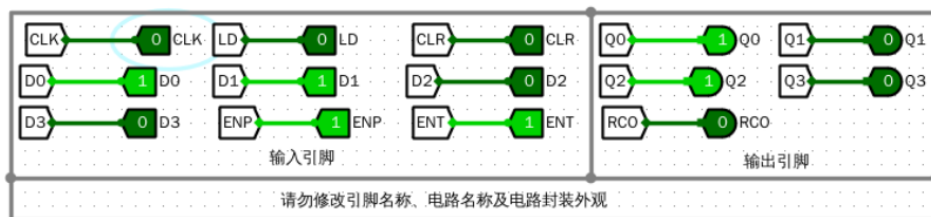
电路图和原理图



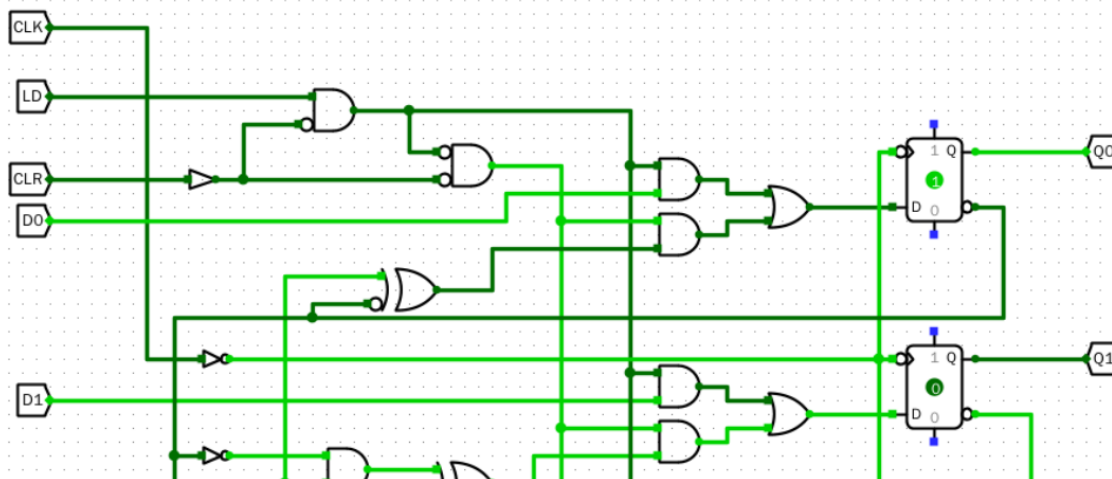


仿真测试





提示：使用独立逻辑门实现4位二进制同步计数器，禁止直接使用计数器组件。



真值表：[真值表](#)

错误现象及分析

在完成实验过程中没有遇到任何错误。

二、移位寄存器实验

基本原理

真值表：

表 3.2 4 位移位寄存器功能表

功能	输入			下一个状态			
	CLR	S1	S0	Q3*	Q2*	Q1*	Q0*
清零	0	x	x	0	0	0	0
保持	1	0	0	Q3	Q2	Q1	Q0



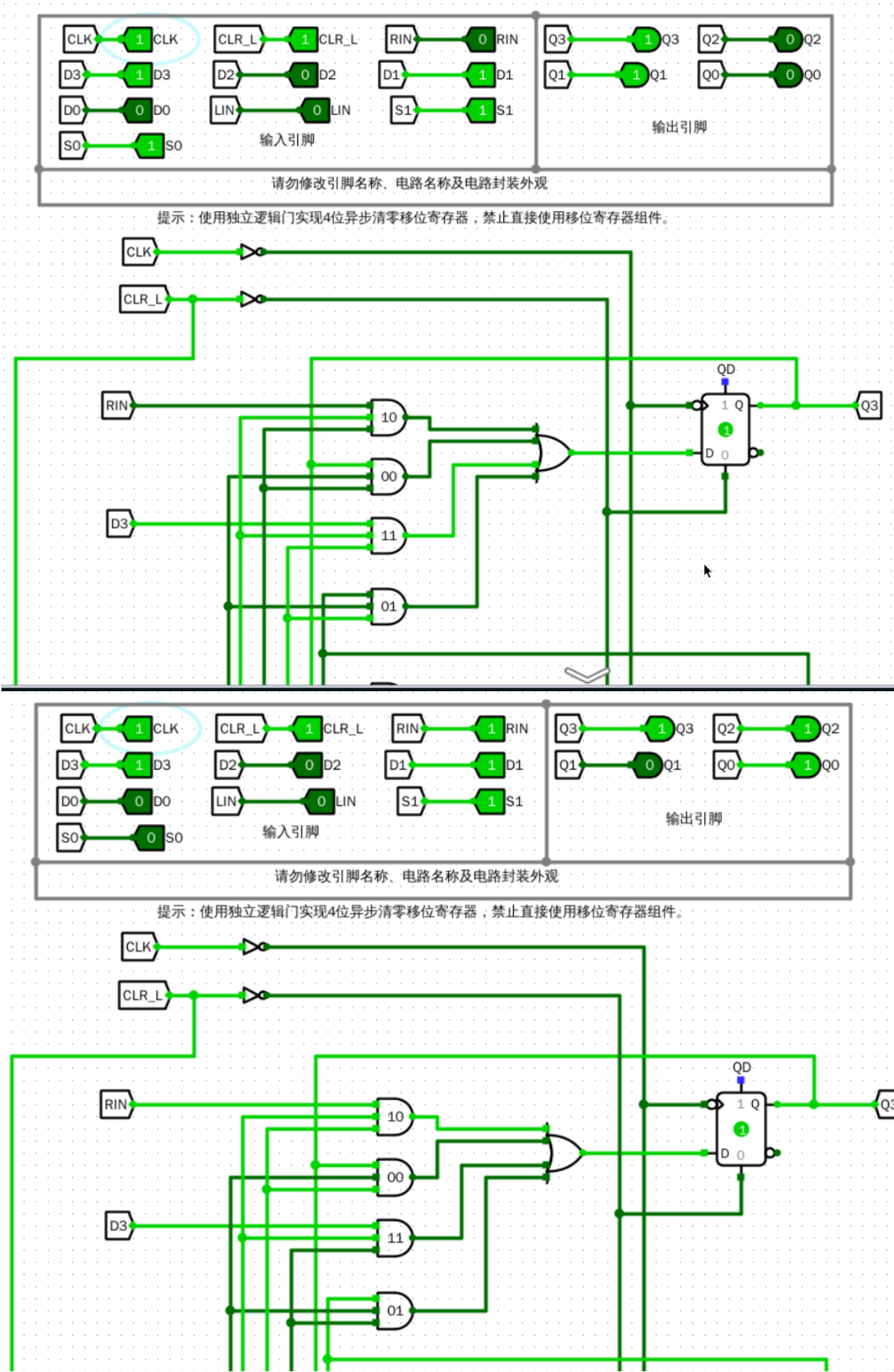
右移	1	1	0	RIN	Q3	Q2	Q1
左移	1	0	1	Q2	Q1	Q0	LIN
装载	1	1	1	D3	D2	D1	D0

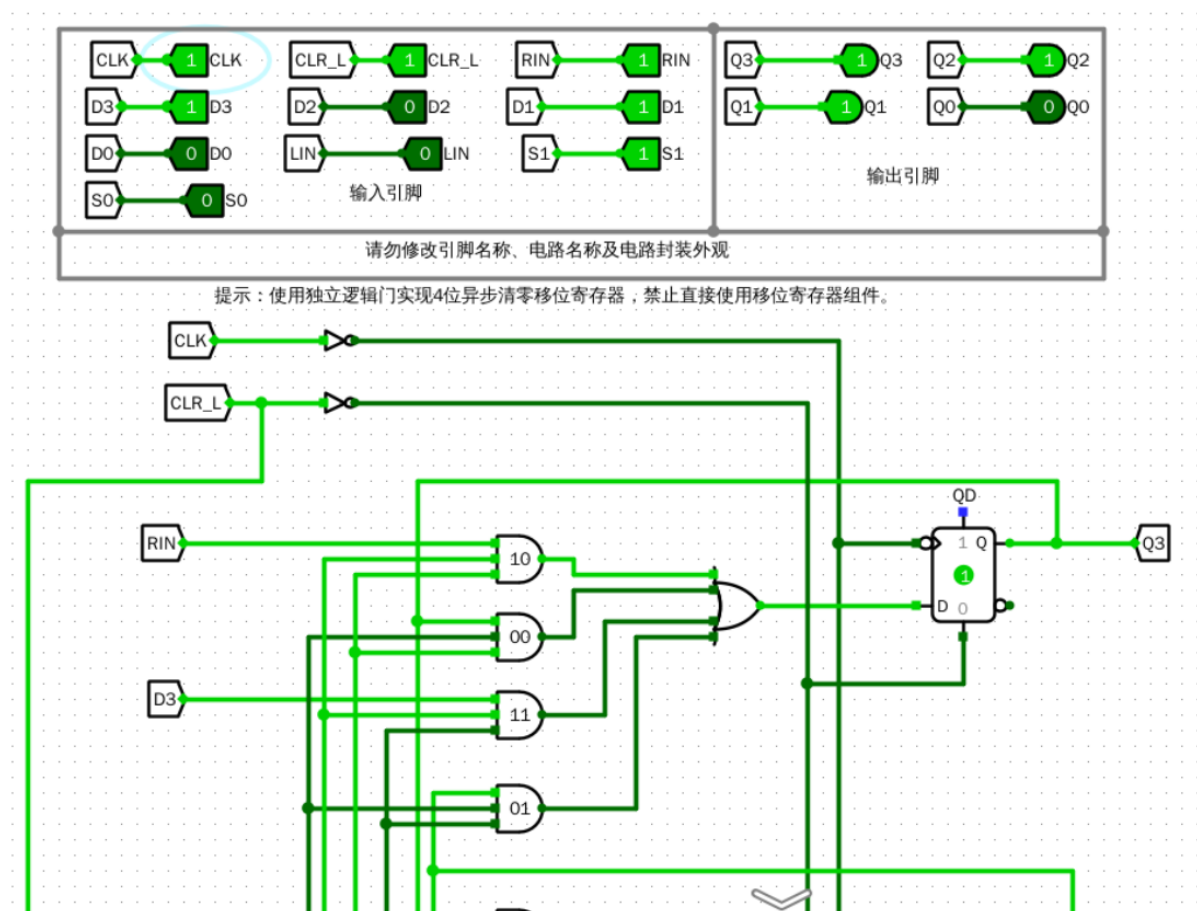
整体方案设计

1. 输入输出引脚
- CLK : 时钟信号
 - CLR_L : 清除信号
 - RIN : 补位信号
 - LIN : 补位信号
 - D0-D3 : 输入信号
 - Q0-Q3 : 输出信号
 - S0-S1 : 工作模式控制

电路图

仿真测试





真值表: [真值表](#)

错误现象及分析

在完成实验过程中没有遇到任何错误。

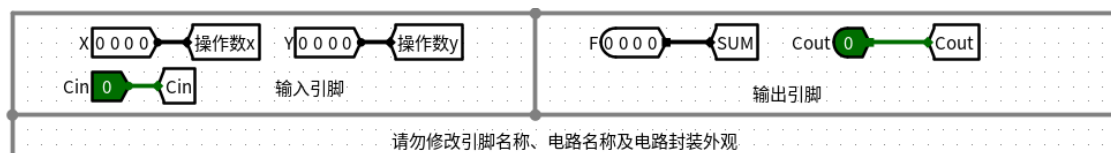
三、4位无符号数乘法器

基本原理

- 1 每次将乘数 Y 的一位乘以被乘数得 $X \times Y_i$ 后，就将该结果与前面所得的结果累加，
- 2 得到 P_i ，称之为部分积。
- 3 在每次求得 $X \times Y_i$ 后，不是将它左移与前次部分积 P_i 相加，而是将部分积 P_i 右移
- 4 一位与 $X \times Y_i$ 相加。
- 5 对乘数中为 1 的位执行加法 and 右移运算，对为 0 的位只执行右移运算，而不需执行
- 6 加法运算。

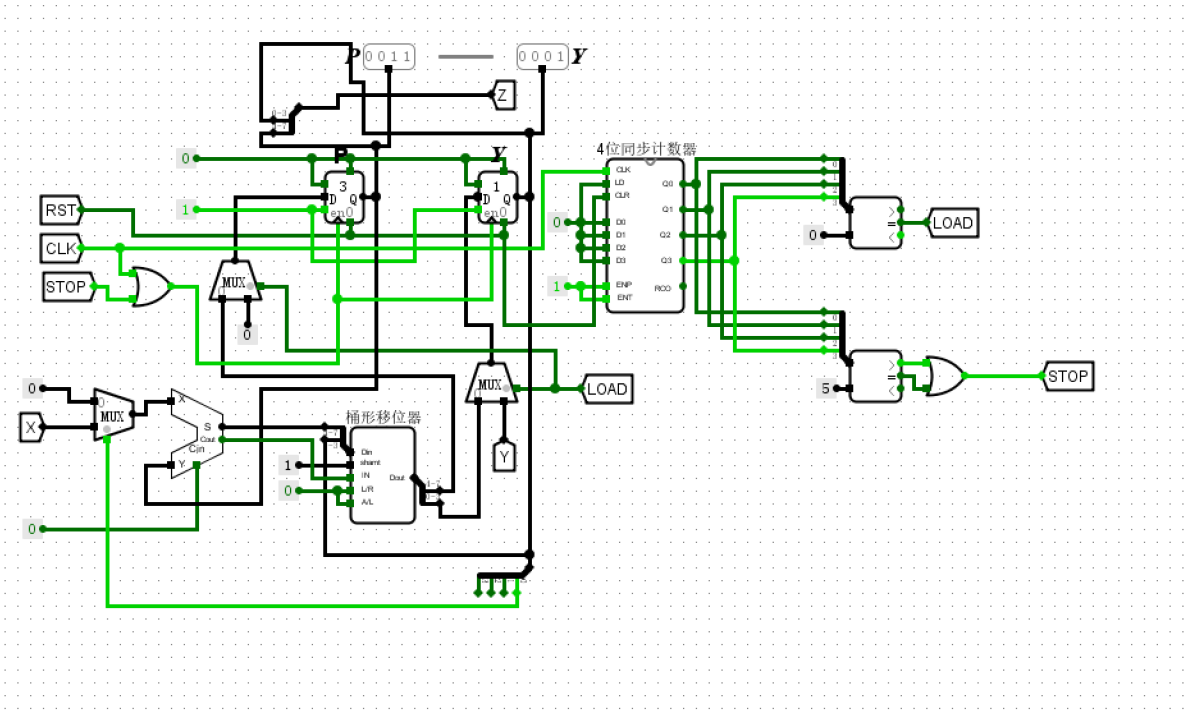
整体方案设计

1. 输入输出引脚

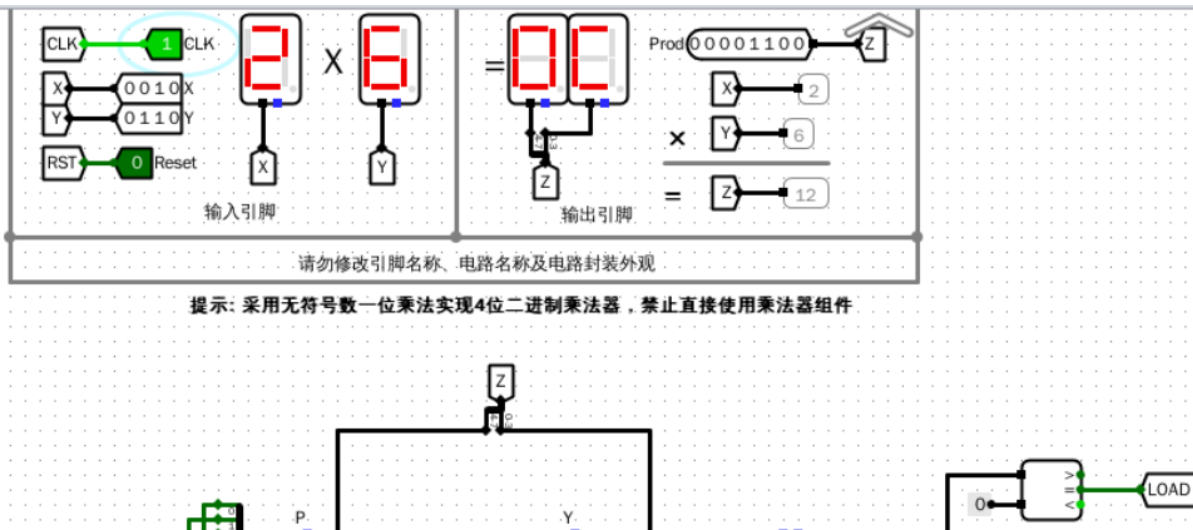


- Y 、 X : 两个参与运算的数
- cin : 决定是否做减法

电路图



仿真测试



真值表: [真值表](#)

错误现象及分析

在完成实验过程中没有遇到任何错误。

四、寄存器堆

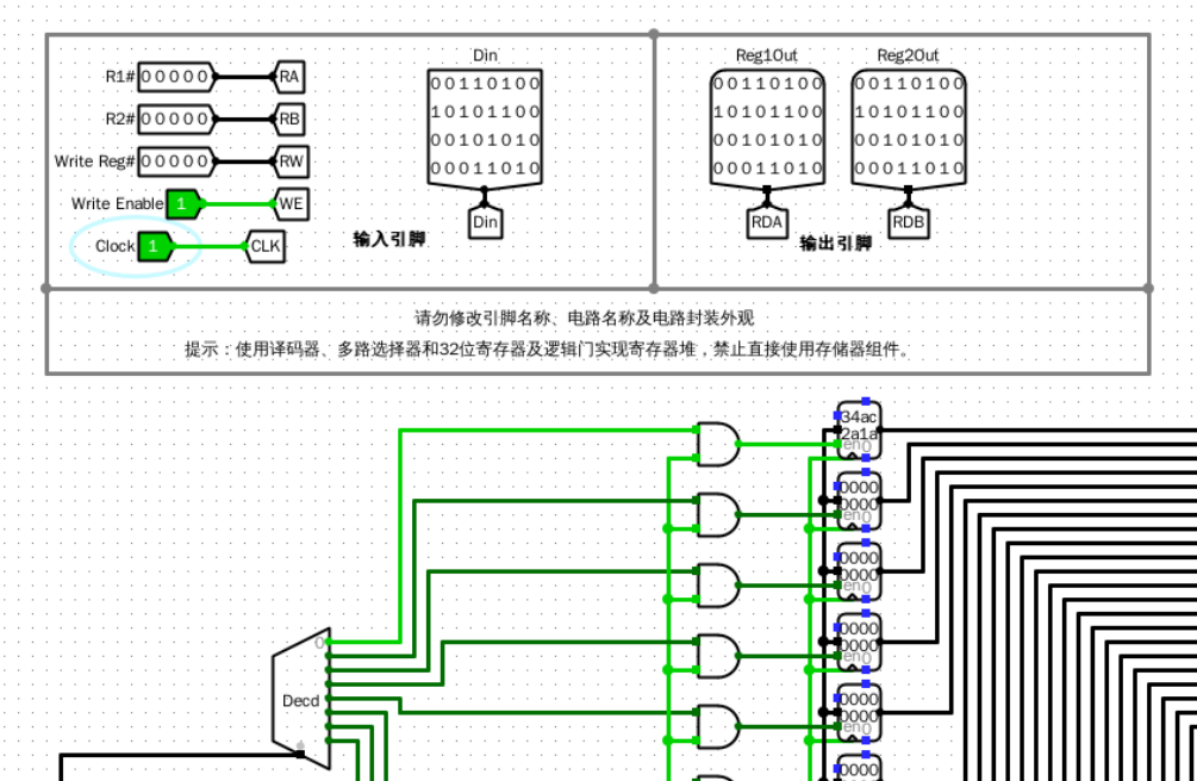
基本原理

整体方案设计

1. 输入输出引脚

电路图

仿真测试



错误现象及分析



由于寄存器的遮挡，导致了重合的错误线路无法被发现