

3.

3. 某计算机字长为 16 位，标志寄存器 Flag 中的 ZF、SF 和 OF 分别是零标志、符号标志和溢出标志，采用双字节定长指令字。假定该计算机中有一条 Bgt（大于零转移）指令，其指令格式如下：第一个字节指明操作码和寻址方式，第二个字节为偏移地址 Imm8。其功能是：若 $ZF + (SF \oplus OF) == 0$ 则 $PC = PC + 2 + Imm8$ ，否则 $PC = PC + 2$ 。回答如下问题：

(1) 该计算机存储器的编址单位是多少位？

(2) 画出实现 Bgt 指令的数据通路。

1. 该计算机的编址单位是多少？

2 个字节

2. 画出实现 Bgt 指令的数据通路

17. 假定在一个带转发的 5 段流水线中执行以下 RV32I 程序段，应怎样调整指令序列以使其性能达到最好？

```
lw    s2, 100(s6)
add   s2, s2, s3
lw    s3, 200(s7)
add   s6, s4, s7
sub   s3, s4, s6
lw    s2, 300(s8)
beq   s2, s8, Loop
```

4

4. 假定图 8.18 给出的单周期数据通路对应的控制逻辑发生错误，使得控制信号 RegWr、ALUASrc、Branch、Jump、MemWr、MemtoReg 中的某一个在任何情况下总是为 0，则该控制信号为 0 时哪些指令不能正确执行（要求对题目中列出的每一个控制信号分别讨论）？

1. 若 RegWr = 0,

所有需要将计算结果写入寄存器的指令都失灵

2. 若 ALUASrc = 0

则由于 pc 不能正确载入 ALU 中，不能完成下一指令地址的计算，所以 jal 和 auipc 不能正确执行

3. 若 ALUBSrc = 0

则由于来自寄存器独处的操作数未扩展或为 4，ALU 的 B 端输入错误，导致不能正确执行。

4. 若 jump = 0

则 jal（无条件跳转）失灵

5. 若 MemWr = 0

则数据无法存入内存，所有 s 型数据不能正确执行。

5

5. 假定图 8.18 给出的单周期数据通路对应的控制逻辑发生错误，使得控制信号 RegWr、ALUASrc、Branch、Jump、MemWr、MemtoReg 中的某一个在任何情况下总是为 1，则该控制信号为 1 时哪些指令不能正确执行（要求对题目中列出的每一个控制信号分别讨论）？

1. 若RegWr = 1,
所有不需要将计算结果写入寄存器的指令都失灵
2. 若ALUASrc = 1
则由于pc总被载入ALU中, 所以jal和auipc以外的指令不能正确执行
3. 若Branch = 1
则所有指令均会跳转, 只有B指令正确执行。
4. 若MemtoReg = 1
则除了加载内存数据的指令可以正确执行外, 其余指令都会获得内存而不是ALU的数据。

6

11. 假定在一个 5 级流水线 (如图 8.42 所示) 处理器中, 各主要功能单元的操作时间为: 存储单元, 200ps; ALU 和加法器, 150ps; 通用寄存器组的读口或写口, 50ps。请问:
- (1) 若 EX 阶段所用的 ALU 操作时间缩短 20%, 则能否加快流水线执行速度? 如果能的话, 能加快多少? 如果不能的话, 为什么?
 - (2) 若 ALU 操作时间增加 20%, 对流水线的性能有何影响?
 - (3) 若 ALU 操作时间增加 40%, 对流水线的性能又有何影响?

1. 软件方法实现swap指令

```

1 swap:
2   xor t0, a, b
3   xor a, a, b
4   xor b, t0, a

```

- 2.

设该指令占总指令的 $x\%$, 其他指令占 $(1-x)\%$ 则用硬件实现该指令时,

程序执行时间为原来的 $1.1 \cdot (x + 1 - x) = 1.1$ 倍

软件实现, 程序执行时间为原来的 $3x + 1 - x = (2x + 1)$ 倍

由此可知, $x > 5\%$ 时硬件实现才有意义

11

17. 假定在一个带转发的 5 段流水线中执行以下 RV32I 程序段, 应怎样调整指令序列以使其性能达到最好?

```

lw    s2, 100(s6)
add    s2, s2, s3
lw    s3, 200(s7)
add    s6, s4, s7
sub    s3, s4, s6
lw    s2, 300(s8)
beq    s2, s8, Loop

```

1. 若ALU操作时间加快20%, 不会影响指令速度, 因为指令执行速度取决于存储器的操作时间 (因为存储器操作时间最长)
2. 若ALU操作时间延长20%, 为180ps, 依旧小于200ps, 对流水线无影响。
3. 若ALU操作时间延长40%, 为, 小于300ps, 对流水线无影响。

13. 假定最复杂的一条指令所用的组合逻辑分成 6 个部分，依次为 A~F，其延迟分别为 80ps、30ps、60ps、50ps、70ps、10ps。在这些组合逻辑块之间插入必要的流水段寄存器就可实现相应的指令流水线，寄存器延迟为 20ps。理想情况下，以下各种方式所得到的时钟周期、指令吞吐率和指令执行时间各是多少？应该在哪里插入流水段寄存器？

- (1) 插入一个流水段寄存器，得到一个两级流水线。
- (2) 插入两个流水段寄存器，得到一个三级流水线。
- (3) 插入三个流水段寄存器，得到一个四级流水线。
- (4) 吞吐量最大的流水线。

1. 插入一个流水段寄存器

在C、D 之间插入一个流水段寄存器

时钟周期：170ps

时延：190ps

时间：380ps

2. 插入二个流水段寄存器

在B、C 之间插入一个流水段寄存器

在D、E 之间插入一个流水段寄存器

时钟周期：110ps

时延：150ps

时间：450ps

3. 插入三个流水段寄存器

在A、B 之间插入一个流水段寄存器

在C、D 之间插入一个流水段寄存器

在D、E 之间插入一个流水段寄存器

时钟周期：90ps

时延：150ps

时间：600ps

第一种方式指令吞吐量最大为