



DISEÑO DIGITAL 2

CONVOCATORIA ORDINARIA

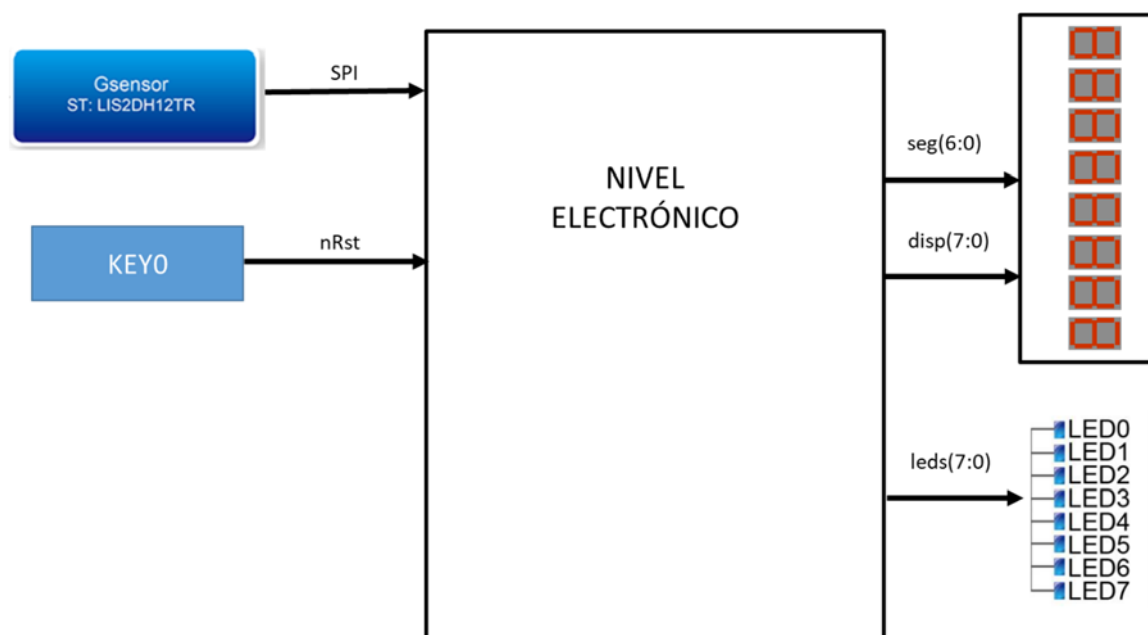
ESPECIFICACION DEL DISEÑO:

NIVEL ELECTRÓNICO

Autor: DTE
Curso 2021-2022.

1 Descripción del diseño

Como trabajo para realizar en esta convocatoria ordinaria se propone diseñar un nivel electrónico que detecte la inclinación de la tarjeta DECA en dos ejes de movimiento. El diagrama de bloques general del diseño se muestra en la siguiente figura.



2 Especificaciones de Funcionamiento

Las especificaciones de funcionamiento del sistema son las siguientes:

- Para detectar el movimiento de la DECA se utilizará el **acelerómetro LIS2DH12** disponible en la tarjeta. El sistema llevará a cabo la monitorización del acelerómetro para detectar movimiento en los **ejes X e Y, tomando una medida cada 5 ms.**
- Este dispositivo **se configurará tras el reset inicial utilizando su interfaz SPI**, de modo que quede configurado para una comunicación por SPI **a cuatro hilos**, así como el resto de modos de funcionamiento descritos en el apartado 3.
- La existencia de movimiento se evaluará tomando como **referencia la posición de la tarjeta en el momento de comenzar su funcionamiento.** Es decir, el cálculo de la **posición en cada momento se calculará como la diferencia entre el valor entregado por el sensor y el valor de referencia** obtenido en la posición tras el arranque del sistema. El procedimiento a seguir se detalla en el apartado 3.

- Los movimientos en el eje X se representarán en los LEDs de la tarjeta DECA de acuerdo a las siguientes directrices.
 - La posición inicial horizontal será indicada mediante el encendido de los 8 leds.
 - El grado de inclinación hacia la derecha o hacia la izquierda se indicará de forma proporcional a los 'g' obtenidos de la forma siguiente:

La expresión que determina los rangos a utilizar para cada escalón es la siguiente:

$$medida_ejeX < (2*N-15)/15 \text{ g}$$

De forma que el encendido de los leds responderá a los siguientes valores de N:

ON,OFF,OFF,OFF,OFF,OFF,OFF,OFF	→ N = 1	-217
ON,ON,OFF,OFF,OFF,OFF,OFF,OFF	→ N = 2	
⋮		
ON,ON,ON,ON,ON,ON,ON,OFF	→ N = 7	
ON,ON,ON,ON,ON,ON,ON,ON	→ N = 8	
OFF,ON,ON,ON,ON,ON,ON,ON	→ N = 9	
⋮		
OFF,OFF,OFF,OFF,OFF,OFF,ON,ON	→ N = 14	
OFF,OFF,OFF,OFF,OFF,OFF,OFF,ON	→ N = 15	250

- Los movimientos en el eje Y se mostrarán en los displays de la tarjeta XDECA siguiendo unas especificaciones equivalentes a las expresadas en el punto anterior, considerando que el ledN se corresponde con el displayN y que el equivalente a un LED encendido es un display representando un '8'.
- Además de las especificaciones que aparecen en esta lista son de aplicación las directrices que se incluyen en los apartados 4 y 5 de este documento.

Nota: se le ha proporcionado un fichero ".sof" con una solución para este diseño con el cual puede comprobar este conjunto de especificaciones en caso de tener alguna duda.

3 Funcionamiento del acelerómetro

El circuito LIS2DH12 es un acelerómetro lineal para tres ejes controlable mediante una interfaz I2C o SPI, a elección del usuario. Este circuito está disponible en la tarjeta DECA bajo la denominación GSensor para el recurso. El datasheet de este dispositivo se encuentra en el documento “LIS2DH12TR.pdf”. Se trata de un circuito muy versátil que permite una amplia variedad de operaciones para facilitar su uso, sin embargo en nuestro caso vamos a llevar a cabo una utilización básica, es decir, no vamos a hacer uso de toda su potencialidad a fin de simplificar al máximo su manejo.

El control del circuito se llevará cabo mediante una interfaz SPI, sin utilizar la FIFO interna, ni las interrupciones para la detección de eventos, y no se habilitará el filtro paso alto.

Podrá familiarizarse con el modo de operación y la funcionalidad del acelerómetro mediante la lectura de algunas de las páginas del datasheet. No será necesario que consulte aquellas páginas no listadas en la siguiente relación:

- Sección 1 (pags 8 – 9): diagrama de bloques y descripción de pines.
- Sección 2.1 (pags 10 – 11): características mecánicas.
- Sección 2.4.1 (pag 13): temporización del bus SPI.
- Secciones 2.6.1 a 2.6.3 (pags 16 - 17): terminología y funcionalidad.
- Sección 5.2 (pags 25 – 29): descripción del bus SPI.
- Secciones 6 y 7: solamente la información relativa a los registros CTRL_REGn, OUT_n_L, OUT_n_H.

Respecto del procedimiento de configuración y de manejo del acelerómetro, a continuación se presentan una serie de recomendaciones que es necesario seguir.

Comenzando con la configuración del circuito, esta se lleva a cabo mediante los registros CTRL_REG1 a CTRL_REG6. La configuración se realizará una sola vez, justo tras la desactivación del reset asíncrono. La información a escribir en los citados registros será aquella que configure el sensor de la forma siguiente:

- | | |
|---------------------------------------|-------------------------|
| - Normal mode (10 bits de resolución) | REG1 (20h): 01100011 + |
| - Output Data Rate (ODR) de 200Hz | REG2 (21h): 00000000 -? |
| - Rango de medida entre +2g y -2g | REG3 (22h): 00000000 - |
| - Habilitados los ejes X e Y | REG4 (23h): 10000000 + |
| - FIFO deshabilitada. | REG5 (24h): 00000000 - |
| - High-pass filter bypassed. | REG6 (25h): 00000000 - |
- Por lo que el resto de valores de configuración de los mismos serán irrelevantes.
- Todas las interrupciones inhabilitadas.
 - Block Data Update (BLU) habilitada, se escriben el LSB y MSB de manera simultánea.
 - Big/Little Endian en Little Endian, es decir, con LSB en la dirección más baja (OUT_n_L es el LSB y OUT_n_H es el MSB). El dato se nos ofrecerá justificado a la izquierda. Es decir desde OUT_n_H(7) hasta OUT_n_L(6).

- *Self-test* inhabilitado
- SPI configurado a cuatro hilos.
- “*Reboot memory content*” en modo normal.

Nota: tenga en cuenta que en varios de los registros de configuración son válidos los valores por defecto, por lo que no será necesaria su escritura. Debe realizarse la configuración de todos los registros de manera previa a sacar al sensor del modo *power-down*, por lo que el último registro en ser escrito debe ser CTRL_REG1.

La configuración inicial se llevará a cabo una vez desactivado el reset asíncrono, pulsando y soltando KEY0. Una vez efectuada la configuración ésta será efectiva durante todo el tiempo que el sensor esté operativo. Tras la configuración, el sistema estará realizando lecturas de los registros cada 5 ms. El sensor informa de la *disponibilidad de lecturas en cada uno de los ejes y de la existencia de un overrun*, es decir, que la medida ha sido sobrescrita sin que la hayamos leído. Debemos ignorar la condición de *overrun*, ya que este evento no resultará perjudicial para el caso de la aplicación que estamos desarrollando. Por otra parte, tampoco será preceptivo consultar el bit ZYXDA del registro STATUS_REG para ver si hay alguna medida disponible, puesto que con un *data rate* de 200 Hz al cabo de 5 ms estará disponible con seguridad.

El procedimiento de *toma de los valores de referencia (offset)* se iniciará una vez finalizada la configuración del sensor. Se realizará el promediado del número de lecturas recibidas durante 320 ms para tomar estos valores como “referencia”. La posición de la tarjeta cuando esto suceda deberá mantenerse almacenada y será utilizada para calcular la inclinación relativa respecto de esta posición inicial.

A partir de ese instante, para cada uno de los tres ejes, el sistema realizará medidas cada 5 ms y calculará el promedio de las lecturas realizadas en los últimos 160 ms para determinar la posición actual de la tarjeta.

4 Fases de la realización del diseño. Hitos entregables.

El diseño se realizará obligatoriamente en 3 fases, cada una de las cuales conllevará la realización de un entregable. Estas fases se describen a continuación.

4.1 Hito 1: Diseño de un *Master-SPI a cuatro hilos*.

En esta primera fase deberá realizarse el modelado del hardware necesario para *implementar la interfaz SPI con el acelerómetro*, de acuerdo a las siguientes características.

- La interfaz del módulo debe permitir que un controlador ordene transferencias que serán solamente de dos tipos, escrituras de un byte o lecturas de cuatro bytes, solamente cuando compruebe que el master-SPI está preparado para realizarlas.
- El controlador podrá indicar la dirección de registro sobre el que desea operar y la indicación de si la transferencia es de lectura o escritura.
- El dato a enviar en una escritura será introducido igualmente por el controlador.
- Los cuatro bytes recibidos en las lecturas serán entregados al bloque encargado de procesarlas, cuyo modelo está disponible en el fichero "calc_offset.vhd" que se le ha entregado. Así pues, deberá revisar este modelo, concretamente entre las líneas 72 y 91, a fin de averiguar la forma en la que este bloque espera recibir la información.

Para facilitar las tareas de test del módulo diseñado en este hito el estudiante dispondrá de un "agente_SPI.vhd" que hará las veces de un esclavo SPI y que responderá de forma inteligente a las transferencias efectuadas por el master diseñado. Este agente SPI deberá ser revisado por el estudiante de forma previa a su utilización para conocer la respuestas ofrecidas por el mismo. Asimismo, deberá ser integrado en el testbench a realizar por el estudiante para efectuar el proceso de verificación del funcionamiento correcto.

HITO 1 (entregable): Diseño del Master-SPI y testbench que demuestre el funcionamiento correcto del mismo.

4.2 Hito 2: Diseño de un controlador del Master-SPI.

En esta segunda fase deberá realizarse el modelado del hardware necesario para implementar el controlador del Master-SPI. El controlador deberá ordenar al Master-SPI la escritura en los registros de configuración del sensor de acuerdo a lo establecido en el apartado 3 de este documento. Esta configuración deberá realizarse transcurrido el tiempo que el sensor tarda en estar operativo desde que recibe la alimentación y deberá permanecer inmutable durante toda la operación del sistema. Posteriormente ordenará al Master-SPI la lectura de los datos de medida en X y en Y, con la tasa indicada en las especificaciones.

HITO 2 (entregable): Diseño del bloque controlador y test del sistema conjunto controlador y Master-SPI en el que se verifique el funcionamiento correcto y cumplimiento de las especificaciones marcadas.

4.3 Hito 3: Calculo inclinación y representación en los leds y displays.

En esta tercera realizará el sistema completo tal y como se especifica en este documento. Para ello se integrarán en el sistema construido en los hitos 1 y 2 un conjunto de módulos que implementan la funcionalidad restante.

Como ayuda para el diseño de esta parte se proporcionan los ficheros “calc_offset.vhd”, “estimador.vhd” y “auxiliar.vhd”. El primero lleva a cabo la medida del offset inicial mediante el promediado de una serie configurable de medidas al inicio de operación. Posteriormente, calcula el valor corregido de las muestras en X e Y a partir del offset previamente calculado. El segundo lleva a cabo el promediado de un conjunto de muestras en X e Y, de manera que el funcionamiento del sistema no experimente cambios bruscos de valor a medida que movemos la tarjeta con las manos. El modelo de ambos circuitos deberá ser revisado y deberán ser completadas aquellas partes que intencionadamente se le han dado incompletas. El tercer fichero contiene un paquete con funciones de soporte utilizadas por los modelos anteriores.

Finalmente, tendrá que añadir un módulo que cuantifique el valor de inclinación en X y en Y en el número de escalones necesario para permitir un encendido de los LEDs y displays de acuerdo a lo especificado en el apartado 2.

HITO 3 (entregable): Diseño y test del sistema completo. Prototipado sobre la tarjeta DECA.

5 Especificaciones no funcionales

El diseño deberá cumplir las siguientes especificaciones no funcionales:

- El circuito diseñado deberá cumplir las reglas de diseño síncrono.
- El circuito empleará un reloj de 50 MHz como frecuencia de reloj del sistema.
- La frecuencia máxima de funcionamiento garantizada del circuito deberá ser compatible con la especificación anterior.
- El circuito deberá prototiparse empleando la tarjeta DECA MAX10 y XDECA.

6 Entrega de resultados

Los resultados del diseño deberán entregarse:

HITO1: hasta el 3 de mayo de 2022

HITO2: hasta el 9 de mayo de 2022

HITO3: hasta el 20 de mayo de 2022

Adicionalmente, cada grupo realizará a lo largo del diseño una memoria que deberá adjuntar junto con el entregable del Hito 3.

El profesor de cada grupo valorará la calidad de los resultados entregados y el trabajo realizado durante el transcurso del bloque 2, con la finalidad de acreditar, individualmente, a cada miembro del grupo para la realización del examen del diseño.

7 Examen del diseño

El examen del diseño podrá ser realizado únicamente por aquellos alumnos que hayan realizado una entrega de resultados calificada favorablemente por su profesor de laboratorio.

Nota : El examen escrito y práctico del diseño se realizará en la fecha fijada por la SOA para el examen final de la asignatura.