

DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO:

NIVEL

Autor : Haofan Chen, Isabel Nieto Petinal

Curso 2021-2022.

Control de versiones

|  |  |  |  |
| --- | --- | --- | --- |
| Versión | Fecha | Autor | Cambios realizados |
| 0.0 | 19/04/2022 | DTE | Inicial |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Tabla de contenido

[1 Especificación del diseño. 4](#_Toc104107043)

[1.1 Introducción 4](#_Toc104107044)

[1.2 Interfaces 4](#_Toc104107045)

[1.2.1 Interfaz con el acelerómetro 4](#_Toc104107046)

[1.2.2 Interfaz con la barra de displays de 7 segmentos 5](#_Toc104107047)

[1.2.3 Interfaz con la barra de LEDs 5](#_Toc104107048)

[1.3 Especificaciones 5](#_Toc104107049)

[1.4 Especificaciones no funcionales 6](#_Toc104107050)

[2 Diseño jerárquico 7](#_Toc104107051)

[2.1 Bloque acelerómetro 8](#_Toc104107052)

[2.2 Bloque timer 8](#_Toc104107053)

[2.3 Bloque controlador\_spi 8](#_Toc104107054)

[2.4 Bloque master\_spi 9](#_Toc104107055)

[2.5 Bloque calc\_offset 9](#_Toc104107056)

[2.6 Bloque estimador 9](#_Toc104107057)

[2.7 Bloque cuantificador 10](#_Toc104107058)

[3 Diseño detallado 11](#_Toc104107059)

[3.1 Estructura del proyecto 11](#_Toc104107060)

[3.2 Jerarquía del diseño y diseño detallado 11](#_Toc104107061)

[4 Pruebas de verificación funcional de NIVEL 13](#_Toc104107062)

[4.1 Test nº 1 13](#_Toc104107063)

[4.2 Test nº 2… 13](#_Toc104107064)

[5 Diseño físico 14](#_Toc104107065)

[5.1 Asignación de pines 14](#_Toc104107066)

[5.2 Restricciones de la síntesis 15](#_Toc104107067)

[5.3 Recursos utilizados 15](#_Toc104107068)

[5.4 Frecuencia máxima de reloj 15](#_Toc104107069)

[6 Bibliografía 16](#_Toc104107070)

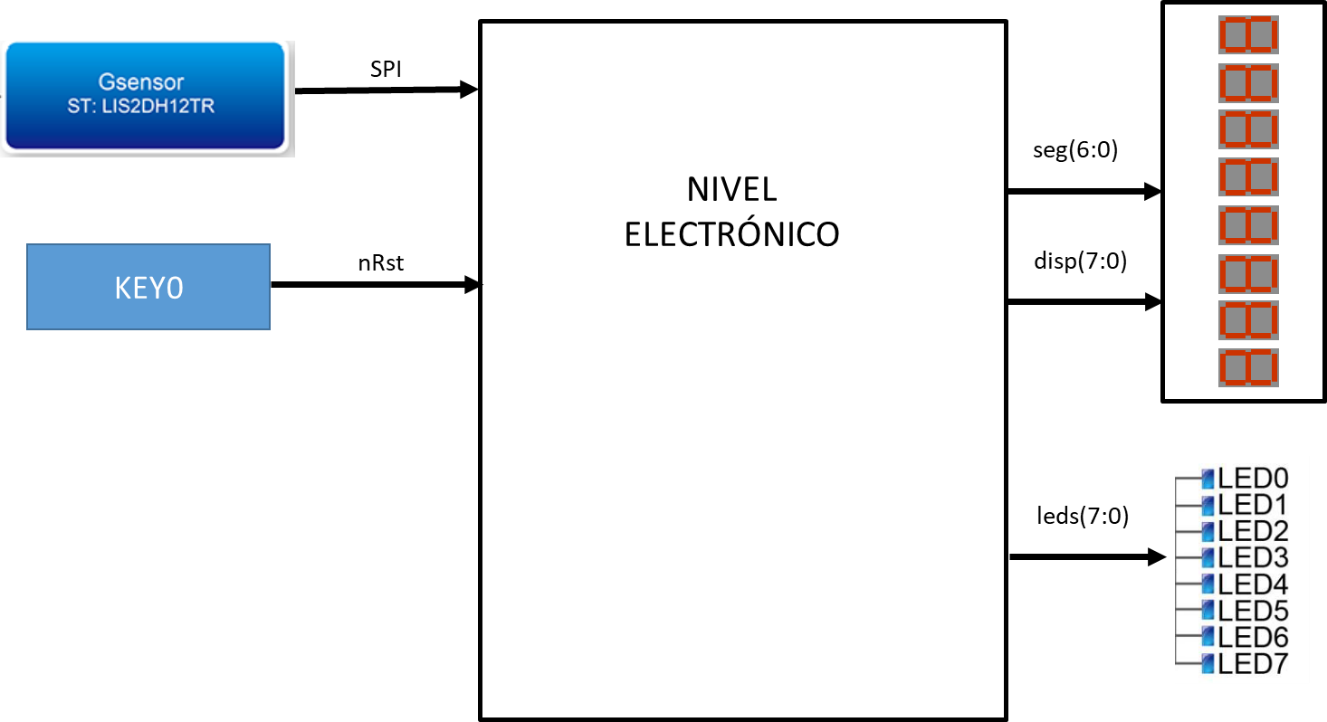
# Especificación del diseño.

## Introducción

El nivel electrónico (NIVEL) permite detectar la inclinación de la tarjeta DECA en dos ejes de movimiento. La información de la inclinación de la tarjeta se obtiene utilizando el acelerómetro incluido en la DECA. La visualización de la inclinación se realiza utilizando los LEDs de la DECA para uno de los ejes y los displays de 7 segmentos de la XDECA para el otro.

## Interfaces

El diagrama de bloques general del diseño se muestra en la siguiente figura.



*Fig. 1. Interconexión del NIVEL al acelerómetro y a los LEDs y displays de 7 segmentos.*

### Interfaz con el acelerómetro

El sistema se comunica con el acelerómetro con una interfaz SPI. Las señales de esta interfaz son las siguientes:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| SDI | salida | SPI Slave serial data input |
| SDO | entrada | SPI Slave serial data output |
| nCS | salida | SPI enable : 1  SPI idle mode : 0 |
| SPC | salida | SPI serial port clock |

### Interfaz con la barra de displays de 7 segmentos

El sistema realiza la visualización de la inclinación en uno de los ejes utilizando una barra de displays de 7 segmentos del tipo cátodo común. La interfaz es la siguiente :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| disp[7..0] | salida | disp [0] : segmento g  disp [1] : segmento f  disp [2] : segmento e  disp [3] : segmento d  disp [4] : segmento c  disp [5] : segmento b  disp [6] : segmento a  disp [7] : segmento punto |
| mux\_disp[7..0] | salida | mux\_disp [0] : cátodo del display 0 (LSD)  mux\_disp [1] : cátodo del display 1  mux\_disp [2] : cátodo del display 2  mux\_disp [3] : cátodo del display 3  mux\_disp [4] : cátodo del display 4  mux\_disp [5] : cátodo del display 5  mux\_disp [6] : cátodo del display 6  mux\_disp [7] : cátodo del display 7 |

La interfaz permite iluminar solo un display a la vez. El display se selecciona activando (a nivel bajo) el cátodo correspondiente. El display activo se ilumina de acuerdo al código de 7 segmentos y punto decimal introducido (nivel alto).

### Interfaz con la barra de LEDs

El sistema realiza la visualización de la inclinación en el otro eje utilizando una barra de displays de 7 segmentos :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| leds[7..0] | salida | leds [0] : led 0  leds [1] : led 1  leds [2] : led 2  leds [3] : led 3  leds [4] : led 4  leds [5] : led 5  leds [6] : led 6  leds [7] : led 7 |

## Especificaciones

Las especificaciones funcionales y no funcionales del NIVEL se detallan en el documento [1].

|  |  |
| --- | --- |
| ESP00 | Detección del movimiento mediante el acelerómetro LIS2DH12. |
| ESP01 | Medida cada 5 ms. |
| ESP02 | Control y configuración mediante interfaz SPI a cuatro hilos. |
| ESP03 | El sistema representará el movimiento en el eje X mediante 8 leds, estando estas pagadas o encendidas en función del movimiento. |
| ESP04 | El sistema representará el movimiento en el eje Y mediante 8 displays, representando 8 o 0 en cada una de ellas en función del movimiento. |
| ESP05 | Configuración de circuito:  - Normal mode (10 bits de resolución)  - Output Data Rate (ODR) de 200Hz  - Rango de medida entre +2g y -2g  - Habilitados los ejes X e Y  - FIFO deshabilitada.  - High-pass filter bypassed.  - Todas las interrupciones inhabilitadas.  - Block Data Update (BLU) habilitada, LSB y MSB de manera simultánea.  - Big/Little Endian en Little Endian, LSB en la dirección más baja  (OUT\_n\_L LSB y OUT\_n\_H MSB). El dato estará justificado a la izquierda, es decir, desde OUT\_n\_H(7) hasta OUT\_n\_L(6)..  - Self-test inhabilitado  - SPI configurado a cuatro hilos. |
| ESP06 | Cálculo de la existencia de movimiento tomando una referencia de offset, correspondiente al momento de comenzar el funcionamiento (320 ms). |
| ESP07 | Cada 5 ms se realiza el promediado de los últimos 160 ms para determinar a posición actual. |
| ESP08 | Inicialmente, el reloj comenzará a funcionar en modo 12 h, comenzando a contar desde las 00 hs, 00 min, 00 seg (AM) |
| ESP09 | Master que realice la escritura de un buye o lectura de cuatro bytes. |
| ESP10 | Controlador que ordene al Master la escritura en los registros de configuración del sensor, así como la lectura de las medidas en X e Y. |
| ESP11 | Integración del sistema completo añadiendo los módulos de calc\_offset, estimador, auxiliar, así como un cuantificador encargado de la representación de los displays y leds. |

## Especificaciones no funcionales

|  |  |
| --- | --- |
| Ref | Especificación |
| ESP12 | Cumplimiento de las reglas de diseño síncrono. |
| ESP13 | Uso de un reloj de 50 Mhz como frecuencia de reloj del sistema. |
| ESP14 | Frecuencia máxima de funcionamiento garantizada del circuito debe ser compatible con la especificación anterior. |
| ESP15 | Uso de la tarjeta DECA-MAX10 y XDECA. |

# Diseño jerárquico

El diagrama de la Fig. 2 representa el primer nivel de la jerarquía del diseño[[1]](#footnote-1):

Diagrama

Descripción generada automáticamente

Diagrama

Descripción generada automáticamente

Diagrama

Descripción generada automáticamente

*Fig. 2. Diagrama de bloques del primer nivel de la jerarquía de NIVEL.*

En los siguientes subapartados se describe la interfaz y la función de cada uno de estos bloques.

## Bloque acelerómetro

El sistema se comunica con el sensor de LIS2DH12 por medio de una interfaz SPI [1]. acelerometro funciona como el estructural que engloca y realiza todas las funcionalidades, donde las señales de su interfaz son las siguientes:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| SDO | entrada | SPI Serial data Output |
| SDI | salida | SPI Serial Data Input |
| nCS | salida | Chip selection |
| SPC | salida | Serial Port Clock, reloj de 1 MHz generado a partir de la clk proporcionada por FPGA |
| mux\_disp [7:0] | salida | Multiplexación de displays |
| disp [7:0] | salida | Segmentos de display |
| leds [7:0] | salida | Leds de la FPGA |

## Bloque timer

El sistema cuenta con un bloque de timer dedicado con el fin de generar tics de 1 ms y 5 ms para la multiplexación de display así como medida periódica respectivamente:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| ena\_1ms | salida | Tic de 1 ms |
| ena\_5ms | salida | Tic de 5 ms |

## Bloque controlador\_spi

controlador\_spi es la lógica de procesamiento del sistema, encargado de mandar la configuración al sensor, así como ordenas las transacciones de lectura para ofrecer los datos a otros bloques auxiliares. controlador\_spi posee la siguiente interfaz:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| ena\_5ms | entrada | Tic periódico de 5 ms usado para iniciar medidas |
| libre | entrada | Disponibilidad para realizar una transacción |
| fin\_tx | entrada | Fin de la transacción |
| ini\_tx | salida | Inicio de una transacción |
| dato\_cmd [15:0] | salida | Bytes de dirección y comando |

## Bloque master\_spi

master\_spi interactúa directamente con el sensor LIS2DH12 generando el reloj SPC, enviando datos mediante el bus SDI o recibiendo bit a bit SDO con la interfaz:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| dato\_cmd [15:0] | entrada | Bytes de dirección y comandoa enviar al sensor |
| SDO | entrada | SPI Serial data Output |
| ena\_rd | salida | Habilitación de lectura de dato\_rd |
| dato\_rd [7:0] | salida | Byte de SDOs (medidas) entregados por sensor |
| nCs | salida | Chip selection |
| SPC | salida | Serial Port Clock, reloj de 1 MHz generado a partir de la clk proporcionada por FPGA |
| SDI | salida | SPI Serial Data Input |
| fin\_tx | salida | Fin de la transacción |

## Bloque calc\_offset

El sistema toma la posición de referencia mediante una medida de un offset inicial durante 320 ms, así como el promediado (valores corregidos de las muestras en X e Y) a partir de esos valores previos. calc\_offset posee la siguiente interfaz:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| ena\_rd | entrada | Habilitación de lectura de dato\_rd |
| dato\_rd [7:0] | entrada | Byte de SDOs (medidas) entregados por sensor |
| X\_out\_bias [10:0] | salida | Diferencia respecto offset inicial en X |
| Y\_out\_bias [10:0] | salida | Diferencia respecto offset inicial en Y |
| muestra\_bias\_rdy | salida | Indicación de valores listos para el promediado |

## Bloque estimador

Para evitar cambios bruscos en el funcionamiento de las medidas, se dispone de un módulo calc\_estimador que realiza el promediado de un conjunto de muestras (correspondiente a los últimos 160 ms) mediante la siguiente interfaz:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| X\_out\_bias [10:0] | entrada | Diferencia respecto offset inicial en X |
| Y\_out\_bias [10:0] | entrada | Diferencia respecto offset inicial en Y |
| muestra\_bias\_rdy | entrada | Indicación de valores listos para el promediado |
| X\_media [11:0] | salida | Promediado de muestras X |
| Y\_media [11:0] | salida | Promediado de muestras Y |

## Bloque cuantificador

Una vez obtenido la posición respecto a la referencia del sistema actual, es necesario la representación mediante leds y display de la posición en los ejes X e Y, siguiendo el siguiente formato:

Tabla

Descripción generada automáticamente

De forma análoga se realiza la representación de un ‘8’ nen los displays reflejando los cambios de inclinación en el eje Y. Para todo ello, el cuantificador dispone de la interfaz:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada | Reloj de 50 MHz proporcionado por FPGA |
| nRst | entrada | Reset asíncrono |
| X\_media [11:0] | entrada | Promediado de muestras X |
| Y\_media [11:0] | entrada | Promediado de muestras Y |
| ena\_1ms | entrada | Tic de 1 ms para multiplexación de los display |
| mux\_disp [7:0] | salida | Multiplexación de displays |
| disp [7:0] | salida | Segmentos de display |
| leds [7:0] | salida | Leds de la FPGA |

# Diseño detallado

## Estructura del proyecto

El proyecto está almacenado en la carpeta NIVEL, la cual a su vez contiene las carpetas hdl, modelsim y quartus. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño. La carpeta *modelsim* contiene el proyecto de simulación (NIVEL.mpf), y los ficheros donde se definen los diferentes test‑benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste:

Interfaz de usuario gráfica, Texto, Aplicación

Descripción generada automáticamente

*Fig. 4. Estructura de carpetas del Modelsim.*

## Jerarquía del diseño y diseño detallado

En la siguiente tabla se muestra la jerarquía del diseño y se realiza una descripción somera de los módulos que la componen. Los detalles del funcionamiento de cada módulo se han documentado en comentarios en la cabecera de los propios módulos.

|  |  |  |
| --- | --- | --- |
| Rojo: descripciones estructurales, Azul: descripciones RTL | | |
| ***Nivel jerárquico*** | | ***Descripción*** |
| 1 (top) | 2 |
| acelerómetro | | Medidos de la posición en los ejes X e Y respecto a una referencia inicial (nivel superior de la jerarquía). |
|  | timer | Temporizador. Genera tics de 1 ms y 5 ms. |
|  | master\_spi | Interfaz SPI que interactúa con el acelerómetro ordenando escritura de un byte o lectura de 4 bytes. |
|  | controlador\_spi | Controlador del master que ordena la escritura en los registros de configuración correspondientes, así como la lectura periódica de las medidas. |
|  | calc\_offset | Cálculo de offset (posición) inicial del sistema. |
|  | estimador | Promediado de las últimas medidas. |
|  | cuantificador | Representación en displays y leds de la posición actual del sistema en los ejes X e Y. |

# Pruebas de verificación funcional de NIVEL

El plan de pruebas de NIVEL consiste en probar de manera incremental los diversos módulos desarrollados en cada uno de los hitos:

## Test nº 1

Es un test ....

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/hdl/master\_spi\_tb | |
| Simulación escalada | Sí | |
| Ficheros | master\_spi\_tb | testbench |
| agente\_spi |  |
| Descripción del test | Consiste únicamente en activar el reset asíncrono y comprobar que las señales sean correctas. Se debe comprobar que:   1. En el módulo *timer*: se generan las medidas correctas (cada 1 ms y 5 ms). 2. En el módulo *controlador*: se pide al master SPI que inicie una comunicación para enviar los registros de configuración. Después, deberá solicitar una lectura de datos cada 5ms. 3. En el modulo *calc\_offset*: se debe comprobar que este emplazado correctamente y que este 320 ms calculando el offset.   En el modulo *cuantificador*: la información que recibe debe ser cuantificada correctamente. Para ello se comprueba que se multiplexen los displays de forma correcta y que se enciendan los dígitos y los leds en función del valor del eje X e Y. | |

## Test nº 2…

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/hdl/controlador\_spi\_tb | |
| Simulación escalada | Sí | |
| Ficheros | timer |  |
| master\_spi |  |
| agente\_spi |  |
| controlador\_spi\_tb | testbench |
| calc\_offset |  |
| estimaodr |  |
| cuantificador |  |
| Descripción del test | El test consiste en la generación de 4 operaciones de escritura y 4 de lectura. También se comprueba que no se pueda solicitar una operación cuando el bus no está disponible.  Se comprueba que se cumplan los tiempos del bus I2C correctamente.  Operaciones de escritura:   * Se prueban con los datos X”00” y X“55” y se observa que se muestra la comunicación en el bus SDI de forma correcta. * No se debería recibir respuesta del bus SDO, confirmando que se ha realizado correctamente una operación de escritura.   Operaciones de lectura :   * Se prueba con los datos X”FF” y X”AA” y se comprueba que se envíen de forma correcta por el bus SDI.   Se recibe respuesta por SDO. Se comprueba que es capaz de almacenar la respuesta correctamente. | |

# Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

## Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de NIVEL a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde y el estándar de entrada/salida que utiliza.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | direccion | Pin FPGA | I/O bank | I/O standard |
| clk | Input | M8 | 2 | 2.5-V |
| NrST | Input | H21 | 6 | 1.5-V Scmitt Trigger |
| SDO | Input | PIN\_D5 | 8 | 1.2V |
| SDI | Output | PIN\_C6 | 8 | 1.2V |
| SPC | Output | PIN\_B5 | 8 | 1.2V |
| nCS | Output | PIN\_E9 | 8 | 1.2V |
| mux\_disp[1] | Output | PIN\_W6 | 3 | 3.3-V LVTT |
| mux\_disp[2] | Output | PIN\_W8 | 3 | 3.3-V LVTT |
| mux\_disp[3] | Output | PIN\_AB8 | 3 | 3.3-V LVTT |
| mux\_disp[4] | Output | PIN\_R11 | 3 | 3.3-V LVTT |
| mux\_disp[5] | Output | PIN\_AB6 | 3 | 3.3-V LVTT |
| mux\_disp[6] | Output | PIN\_AA6 | 3 | 3.3-V LVTT |
| mux\_disp[7] | Output | PIN\_V10 | 3 | 3.3-V LVTT |
| disp[0] | Output | PIN\_W16 | 8 | 3.3-V LVTT |
| disp[1] | Output | PIN\_AB11 | 8 | 3.3-V LVTT |
| disp[2] | Output | PIN\_W15 | 8 | 3.3-V LVTT |
| disp[3] | Output | PIN\_AB10 | 8 | 3.3-V LVTT |
| disp[4] | Output | PIN\_AA15 | 8 | 3.3-V LVTT |
| disp[5] | Output | PIN\_W12 | 8 | 3.3-V LVTT |
| disp[6] | Output | PIN\_AA13 | 8 | 3.3-V LVTT |
| disp[7] | Output | PIN\_AB12 | 8 | 3.3-V LVTT |
| leds[0] | Output | PIN\_C7 | 8 | 1.2V |
| leds[1] | Output | PIN\_C8 | 8 | 1.2V |
| leds[2] | Output | PIN\_A6 | 8 | 1.2V |
| leds[3] | Output | PIN\_B7 | 8 | 1.2V |
| leds[4] | Output | PIN\_C4 | 8 | 1.2V |
| leds[5] | Output | PIN\_A5 | 8 | 1.2V |
| leds[6] | Output | PIN\_B4 | 8 | 1.2V |
| leds[7] | Output | PIN\_C5 | 8 | 1.2V |

## Restricciones de la síntesis

Se ha utilizado el siguiente fichero sdc: acelerómetro.sdc

## Recursos utilizados

A continuación, se muestra la pantalla que genera el compilador (opción *Flow Summary* del *Compilation Report*) :

Tabla

Descripción generada automáticamente

## Frecuencia máxima de reloj

A continuación, se muestra la pantalla que genera el compilador (*Fmax Summary*) :

Interfaz de usuario gráfica, Texto, Aplicación

Descripción generada automáticamente

# Bibliografía

[1] Especificación del diseño : nivel electrónico (NIVEL) [moodle DD2]

[2] Tarjeta DECA-MAX10 (página web del fabricante). [online] https://www.arrow.com/en/products/deca/arrow-development-tools

[3] Tarjeta XDECA. Manual de usuario. [moodle DD2-documentacion técnica

1. Todos los bloques tienen un reloj común, clk, y una entrada de reset asíncrono, rst\_n, activa a nivel bajo. Estas señales no se incluyen en las interfaces por simplicidad. [↑](#footnote-ref-1)