

DISEÑO DIGITAL 2

MEMORIA DEL DISEÑO:

NIVEL

Autor: Nombre y Apellidos

Curso 2021-2022.

Control de versiones

|  |  |  |  |
| --- | --- | --- | --- |
| Versión | Fecha | Autor | Cambios realizados |
| 0.0 | 19/04/2022 | DTE | Inicial |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Tabla de contenido

[1 Especificación del diseño. 4](#_Toc103770362)

[1.1 Introducción 4](#_Toc103770363)

[1.2 Interfaces 4](#_Toc103770364)

[1.2.1 Interfaz con el acelerómetro 4](#_Toc103770365)

[1.2.2 Interfaz con la barra de displays de 7 segmentos 4](#_Toc103770366)

[1.2.3 Interfaz con la barra de LEDs 5](#_Toc103770367)

[1.3 Especificaciones 5](#_Toc103770368)

[2 Diseño jerárquico 6](#_Toc103770369)

[2.1 Bloque acelerometro 6](#_Toc103770370)

[2.2 Bloque controlador\_spi 7](#_Toc103770371)

[2.3 Bloque master\_spi 7](#_Toc103770372)

[2.4 Bloque cuantificador 7](#_Toc103770373)

[2.5 Bloque calc\_offset 8](#_Toc103770374)

[2.6 Bloque estimador 8](#_Toc103770375)

[3 Diseño detallado 9](#_Toc103770376)

[4 Pruebas de verificación funcional de NIVEL 10](#_Toc103770377)

[4.1 Test nº 1 10](#_Toc103770378)

[4.2 Test nº 2… 10](#_Toc103770379)

[5 Diseño físico 11](#_Toc103770380)

[5.1 Asignación de pines 11](#_Toc103770381)

[5.2 Restricciones de la síntesis 12](#_Toc103770382)

[5.3 Recursos utilizados 12](#_Toc103770383)

[5.4 Frecuencia máxima de reloj 12](#_Toc103770384)

[6 Bibliografía 13](#_Toc103770385)

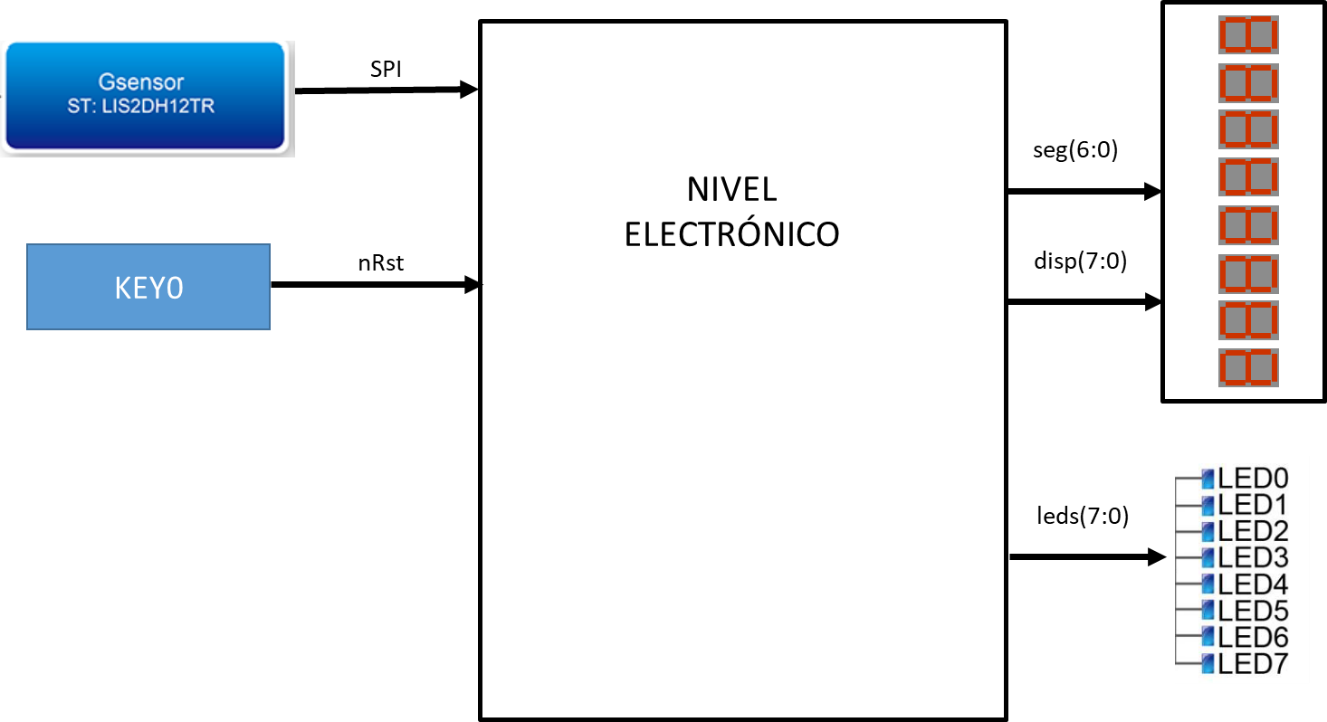
# Especificación del diseño.

## Introducción

El nivel electrónico (NIVEL) permite detectar la inclinación de la tarjeta DECA en dos ejes de movimiento. La información de la inclinación de la tarjeta se obtiene utilizando el acelerómetro incluido en la DECA. La visualización de la inclinación se realiza utilizando los LEDs de la DECA para uno de los ejes y los displays de 7 segmentos de la XDECA para el otro.

## Interfaces

El diagrama de bloques general del diseño se muestra en la siguiente figura.



*Fig. 1. Interconexión del NIVEL al acelerómetro y a los LEDs y displays de 7 segmentos.*

### Interfaz con el acelerómetro

El sistema se comunica con el acelerómetro con una interfaz SPI. Las señales de esta interfaz son las siguientes:

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| SDI | salida | SPI Slave serial data input |
| SDO | entrada | SPI Slave serial data output |
| nCS | salida | SPI enable : 1  SPI idle mode : 0 |
| SPC | salida | SPI serial port clock |

### Interfaz con la barra de displays de 7 segmentos

El sistema realiza la visualización de la inclinación en uno de los ejes utilizando una barra de displays de 7 segmentos del tipo cátodo común. La interfaz es la siguiente :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| disp[7..0] | salida | disp [0] : segmento g  disp [1] : segmento f  disp [2] : segmento e  disp [3] : segmento d  disp [4] : segmento c  disp [5] : segmento b  disp [6] : segmento a  disp [7] : segmento punto |
| mux\_disp[7..0] | salida | mux\_disp [0] : cátodo del display 0 (LSD)  mux\_disp [1] : cátodo del display 1  mux\_disp [2] : cátodo del display 2  mux\_disp [3] : cátodo del display 3  mux\_disp [4] : cátodo del display 4  mux\_disp [5] : cátodo del display 5  mux\_disp [6] : cátodo del display 6  mux\_disp [7] : cátodo del display 7 |

La interfaz permite iluminar solo un display a la vez. El display se selecciona activando (a nivel bajo) el cátodo correspondiente. El display activo se ilumina de acuerdo al código de 7 segmentos y punto decimal introducido (nivel alto).

### Interfaz con la barra de LEDs

El sistema realiza la visualización de la inclinación en el otro eje utilizando una barra de displays de 7 segmentos :

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| leds[7..0] | salida | leds [0] : led 0  leds [1] : led 1  leds [2] : led 2  leds [3] : led 3  leds [4] : led 4  leds [5] : led 5  leds [6] : led 6  leds [7] : led 7 |

## Especificaciones

Las especificaciones funcionales y no funcionales del NIVEL se detallan en el documento [1].

# Diseño jerárquico

El diagrama de la Fig. 2 representa el primer nivel de la jerarquía del diseño[[1]](#footnote-1):

*Fig. 2. Diagrama de bloques del primer nivel de la jerarquía de NIVEL.*

En los siguientes subapartados se describe la interfaz y la función de cada uno de estos bloques.

## Bloque acelerometro

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| SDO | entrada |  |
| SDI | salida |  |
| nCS | salida |  |
| SPC | salida |  |
| mux\_disp [7:0] | salida |  |
| disp [7:0] | salida |  |
| leds [7:0] | salida |  |

## Bloque controlador\_spi

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| ena\_rd | entrada |  |
| reg\_SDO [7:0] | entrada |  |
| libre | entrada |  |
| fin\_tx | entrada |  |
| ini\_tx | salida |  |
| dato [15:0] | salida |  |

## Bloque master\_spi

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| dato [15:0] | entrada |  |
| SDO | entrada |  |
| ena\_rd | salida |  |
| reg\_SDO [7:0] | salida |  |
| nCs | salida |  |
| SPC | salida |  |
| SDI | salida |  |
| fin\_tx | salida |  |

## Bloque cuantificador

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| X\_media [11:0] | entrada |  |
| Y\_media [11:0] | entrada |  |
| ena | entrada |  |
| mux\_disp [7:0] | salida |  |
| disp [7:0] | salida |  |
| leds [7:0] | salida |  |

## Bloque calc\_offset

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| ena\_rd | entrada |  |
| dato\_rd [7:0] | entrada |  |
| X\_out\_bias [10:0] | salida |  |
| Y\_out\_bias [10:0] | salida |  |
| muestra\_bias\_rdy | salida |  |

## Bloque estimador

|  |  |  |
| --- | --- | --- |
| Señal | Dirección | Descripción |
| clk | entrada |  |
| nRst | entrada |  |
| X\_out\_bias [10:0] | entrada |  |
| Y\_out\_bias [10:0] | entrada |  |
| muestra\_bias\_rdy | entrada |  |
| X\_media [11:0] | salida |  |
| Y\_media [11:0] | salida |  |

# Diseño detallado

El proyecto está almacenado en la carpeta NIVEL, la cual a su vez contiene las carpetas hdl, modelsim y quartus. La carpeta *hdl* contiene los ficheros RTL y estructural del diseño. La carpeta *modelsim* contiene el proyecto de simulación (NIVEL.mpf), y los ficheros donde se definen los diferentes test‑benches. Finalmente, *quartus* contiene el proyecto para el diseño físico y los ficheros relacionados con éste.

# Pruebas de verificación funcional de NIVEL

El plan de pruebas de NIVEL consiste en dos partes, validar el funcionamiento del master SPI y otra para el sistema completo.

## Controlador

Es un test que se utiliza para validar el funcionamiento del sistema completo.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/hdl | |
| Simulación escalada | Sí/No | |
| Ficheros | controlador\_spi\_tb |  |
|  |  |
|  |  |
|  |  |
| Descripción del test | Consiste únicamente en activar el reset asíncrono y comprobar que las señales sean correctas. Se debe comprobar que:   1. En el módulo *timer*: se generan las medidas correctas (cada 1 ms y 5 ms). 2. En el módulo *controlador*: se pide al master SPI que inicie una comunicación para enviar los registros de configuración. Después, deberá solicitar una lectura de datos cada 5ms. 3. En el modulo *calc\_offset*: se debe comprobar que este emplazado correctamente y que este 320 ms calculando el offset. 4. En el modulo *cuantificador*: la información que recibe debe ser cuantificada correctamente. Para ello se comprueba que se multiplexen los displays de forma correcta y que se enciendan los dígitos y los leds en función del valor del eje X e Y. | |

## Master SPI

Es un test en el que se comprueba el funcionamiento del master SPI.

|  |  |  |
| --- | --- | --- |
| Ubicación de los ficheros del test | En /NIVEL/hdl | |
| Simulación escalada | Sí/No | |
| Ficheros | master\_spi\_tb |  |
|  |  |
|  |  |
|  |  |
| Descripción del test | El test consiste en la generación de 4 operaciones de escritura y 4 de lectura. También se comprueba que no se pueda solicitar una operación cuando el bus no está disponible.  Se comprueba que se cumplan los tiempos del bus I2C correctamente.  Operaciones de escritura:   * Se prueban con los datos X”00” y X“55” y se observa que se muestra la comunicación en el bus SDI de forma correcta. * No se debería recibir respuesta del bus SDO, confirmando que se ha realizado correctamente una operación de escritura.   Operaciones de lectura :   * Se prueba con los datos X”FF” y X”AA” y se comprueba que se envíen de forma correcta por el bus SDI. * Se recibe respuesta por SDO. Se comprueba que es capaz de almacenar la respuesta correctamente. | |

# Diseño físico

En este apartado se documentan los detalles básicos relacionados con el diseño físico del circuito: la asignación de pines, las restricciones de la síntesis y los informes que proporciona Quartus Prime sobre los recursos de la FPGA utilizados y la frecuencia máxima de reloj obtenida.

## Asignación de pines

En la siguiente tabla se detalla la asignación de los pines de la interfaz de NIVEL a los pines de la FPGA especificando para cada caso el tipo de pin, el número de pin de la FPGA que se corresponde con el pin del diseño, el banco al que corresponde y el estándar de entrada/salida que utiliza.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | direccion | Pin FPGA | I/O bank | I/O standard |
| clk | Input | M8 | 2 | 2.5-V |
| rst\_n | Input | H21 | 6 | 1.5-V Scmitt Trigger |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

## Restricciones de la síntesis

Se ha utilizado el siguiente fichero sdc :

## Recursos utilizados

A continuación se muestra la pantalla que genera el compilador (opción *Flow Summary* del *Compilation Report*) :

## Frecuencia máxima de reloj

A continuación se muestra la pantalla que genera el compilador (*Fmax Summary*) :

# Bibliografía

[1] Especificación del diseño : nivel electrónico (NIVEL) [moodle DD2]

[2] Tarjeta DECA-MAX10 (página web del fabricante). [online] https://www.arrow.com/en/products/deca/arrow-development-tools

[3] Tarjeta XDECA. Manual de usuario. [moodle DD2-documentacion técnica]

1. Todos los bloques tienen un reloj común, clk, y una entrada de reset asíncrono, rst\_n, activa a nivel bajo. Estas señales no se incluyen en las interfaces por simplicidad. [↑](#footnote-ref-1)