计算机组成原理 (2014级)

计算机组成原理课程组

（刘旭东、肖利民、牛建伟、栾钟治）

Tel： 82316285

Mail：liuxd@buaa.edu.cn

liuxd@act.buaa.edu.cn

第四讲：主存储器

一．存储系统概述

二．存储单元电路

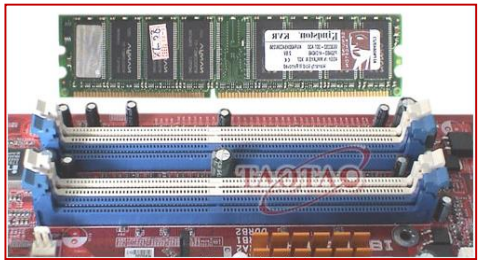
三．存储器芯片结构

四．存储器扩展

五．DRAM的刷新

1.1 存储系统概述

❖存储器分类



➢按介质分类：

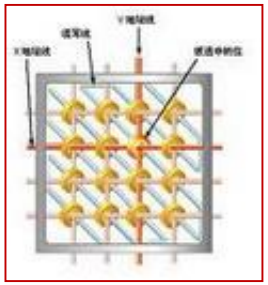
- 半导体存储器
- 磁介质存储器
- 光盘存储器

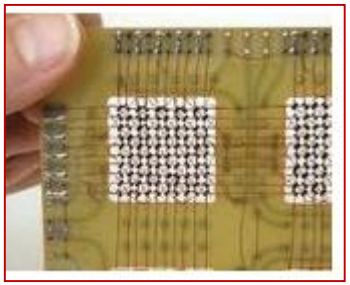
➢按访问方式分类：

- 随机访问存储器 （**Random Access Memory—RAM**）
- 只读存储器 （**Read Only Memory—ROM**）
- 顺序访问存储器 （**Tape**）
- 直接访问存储器 （**Disk**）

➢按功能分类：

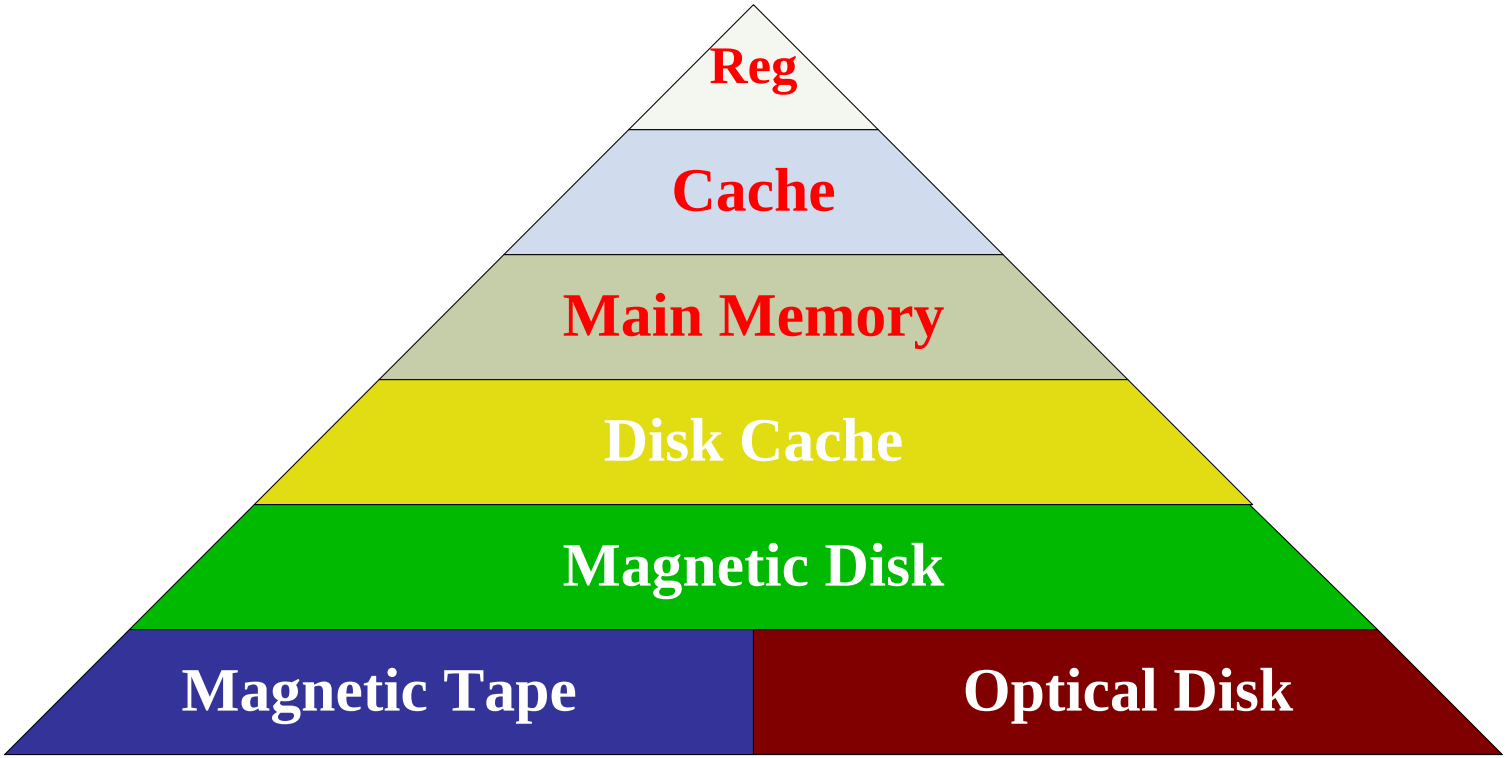
- 高速缓冲存储器
- 主存储器
- 辅助存储器
- 控制存储器





1.1 存储系统概述

❖ 存储器的层次结构



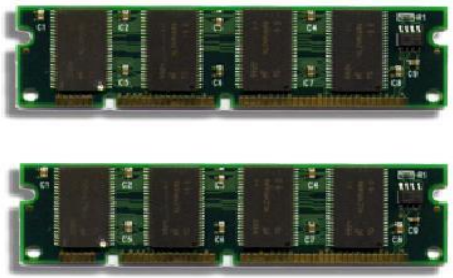
二级存储系统指：高速缓冲存储器（Cache）＋主存储器

1.2 半导体存储器

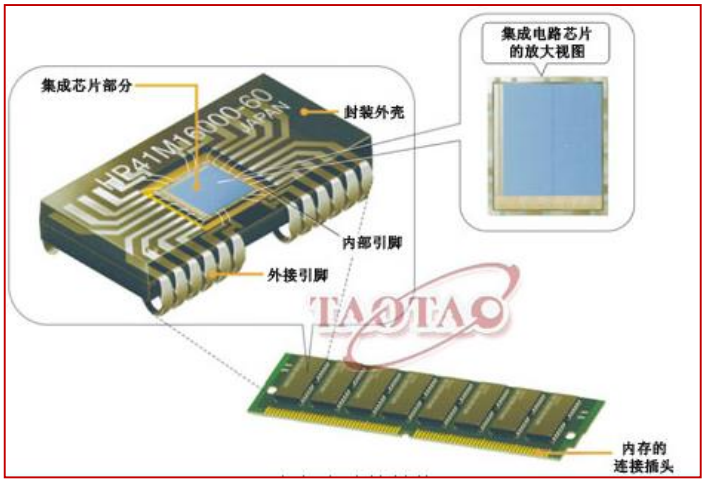
- **静态随机访问存储器SRAM（Static RAM）**
  - **SRAM**：静态存储器，相对动态而言，集成度低，但不必刷新。

- **动态随机访问存储器DRAM（Dynamic RAM）**
  - **DRAM**：动态存储器，需要刷新，相对而言，集成度高。

SRAM



DRAM



http://hi.baidu.com/zhonggongxun/blog/item/23438af3deccb21bb07ec583.html

1.2 半导体存储器

❖ 目前主流DRAM

- **SDRAM（ Synchronous DRAM）：同步DRAM，与系统总线时钟同步，避免了不必要的等待周期，减少数据存储时间，数据可在脉冲上升期便开始传输。SDRAM内存又分为PC66、PC100、PC133等不同规格，相应带宽分别为528MB/S、800MB/S和1.06GB/S。**

SDRAM (DIMM)

- **DDR（Double Data Rate）SDRAM：双倍速率SDRAM。SDRAM只在一个时钟的上升期传输一次数据；而DDR内存则在一个时钟的上升期和下降期各传输一次数据，因此称为双倍速率SDRAM。DDR SDRAM可以在与SDRAM相同的总线频率下达到更高的数据传输率。**


SDRAM-DDR (DIMM)

1.2 半导体存储器

❖目前主流DRAM

- **DDR2 （Double Data Rate 2） SDRAM：**
  DDR2内存拥有两倍于DDR内存预读取能力，换句话说，DDR2内存每个时钟能够以4倍外部总线的速度读/写数据，在同样100MHz的工作频率下，DDR的实际频率为200MHz，而DDR2则可以达到400MHz。 DDR2内存采用1.8V电压，相对于DDR标准的2.5V，降低了不少。

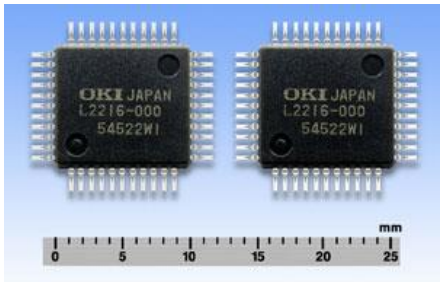
SDRAM-DDR2 (DIMM)

- **DDR3 （Double Data Rate 3） SDRAM：频率在800M以上，8bit预取设计，而DDR2为4bit预取，这样DRAM内核的频率只有接口频率的1/8，DDR3-800的核心工作频率只有100MHz。DDR3是在DDR2基础上采用的新型设计，与DDR2 SDRAM相比具有功耗和发热量较小、工作频率更高、降低显卡整体成本、通用性好的优势。**

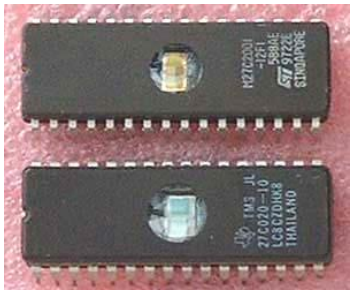
1.2 半导体存储器

❖只读存储器（ROM）

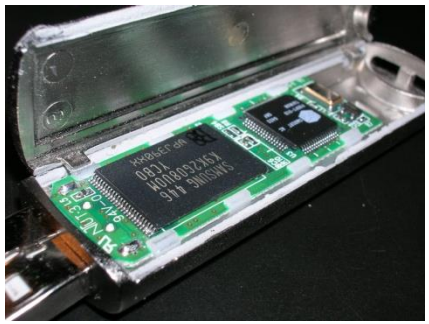
- 固定掩膜（Masks）ROM
- PROM（Programmable ROM）：一次性可编程
- EPROM（Erasable PROM）：可擦除可编程（紫外线擦除）
- EEPROM（Electrically Erasable PROM）：电擦除
- Flash Memory（闪存）：本质上属于电擦除可编程ROM，如SM（Smart Media）卡、CF (Compact Flash)卡，MMC（Multi Media Card）卡、SD（Secure Digital）卡和记忆棒（Memory Stick）等 。



Mask ROM

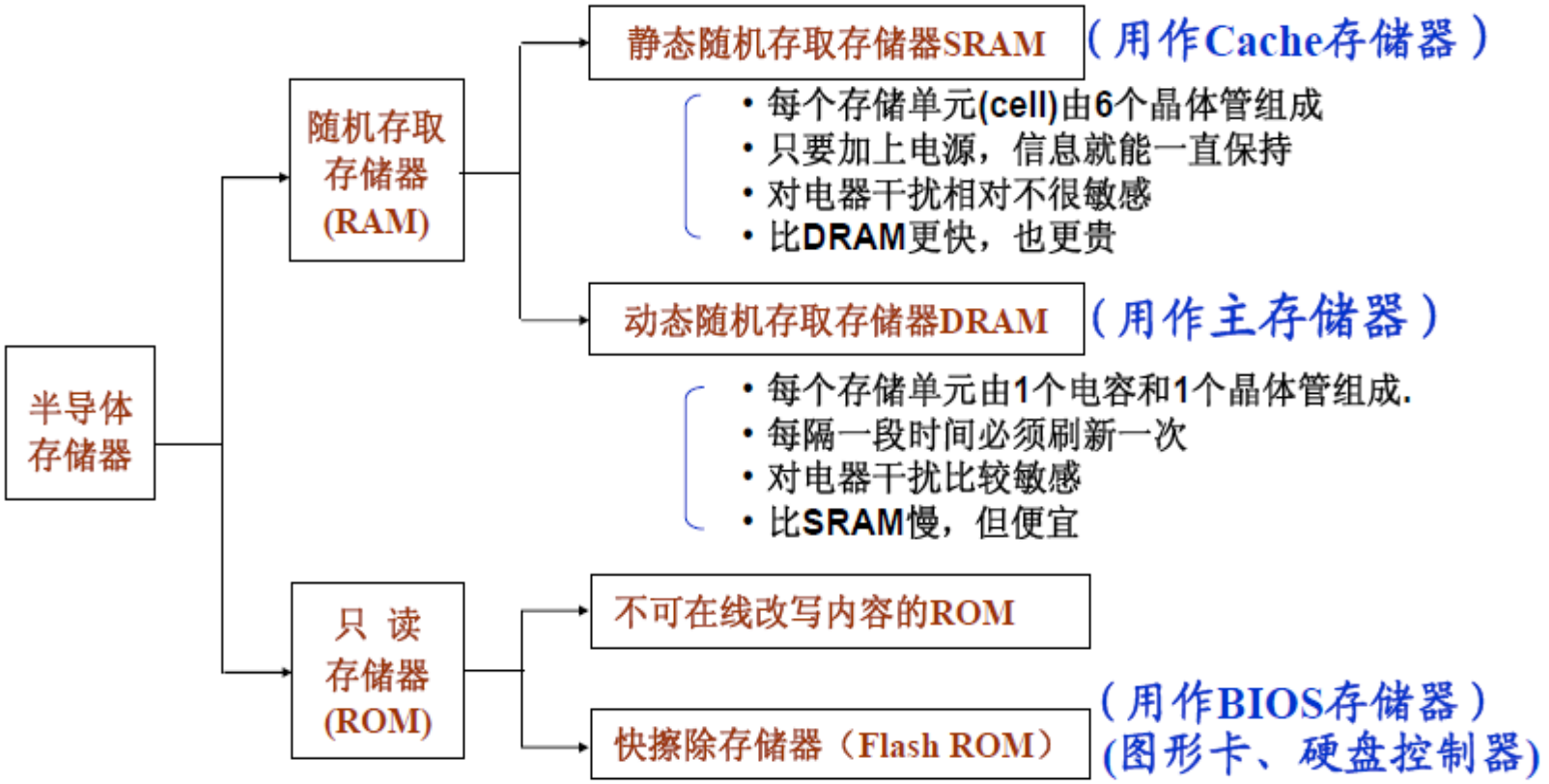


EPROM



U盘上的Flash memory

1.2 半导体存储器


半导体存储器
随机存取存储器(RAM)
静态随机存取存储器SRAM
（用作Cache存储器）
• 每个存储单元(cell)由6个晶体管组成
• 只要加上电源，信息就能一直保持
• 对电器干扰相对不很敏感
• 比DRAM更快，也更贵
动态随机存取存储器DRAM
（用作主存储器）
• 每个存储单元由1个电容和1个晶体管组成.
• 每隔一段时间必须刷新一次
• 对电器干扰比较敏感
• 比SRAM慢，但便宜
只 读存储器(ROM)
不可在线改写内容的ROM
快擦除存储器（Flash ROM）
（用作BIOS存储器）
(图形卡、硬盘控制器)

第四讲：主存储器

一．存储系统概述

二．**存储单元电路**

三．存储器芯片结构

四．存储器扩展

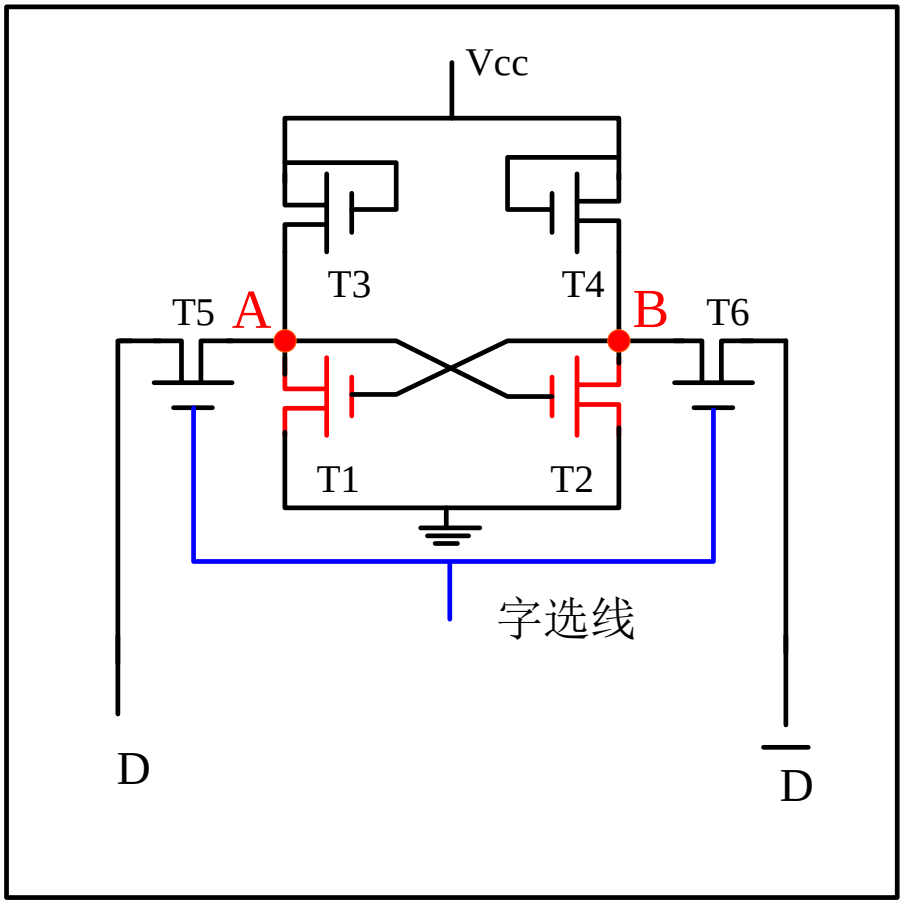
五．DRAM的刷新

❖基本要求

- 具有两种稳定（或半稳定）状态，用来表示二进制的 1 和 0 ；
- 可以实现状态写入（或设置）；
- 可以实现状态读去（或感知）。

2.1 SRAM存储单元电路

❖SRAM存储单元电路（六管单元电路）



MOS管功能：

T1，T2：工作管；

T3，T4：负载管；

T5，T6：门控管；

稳定状态：

“1”：T1 截止，T2 导通

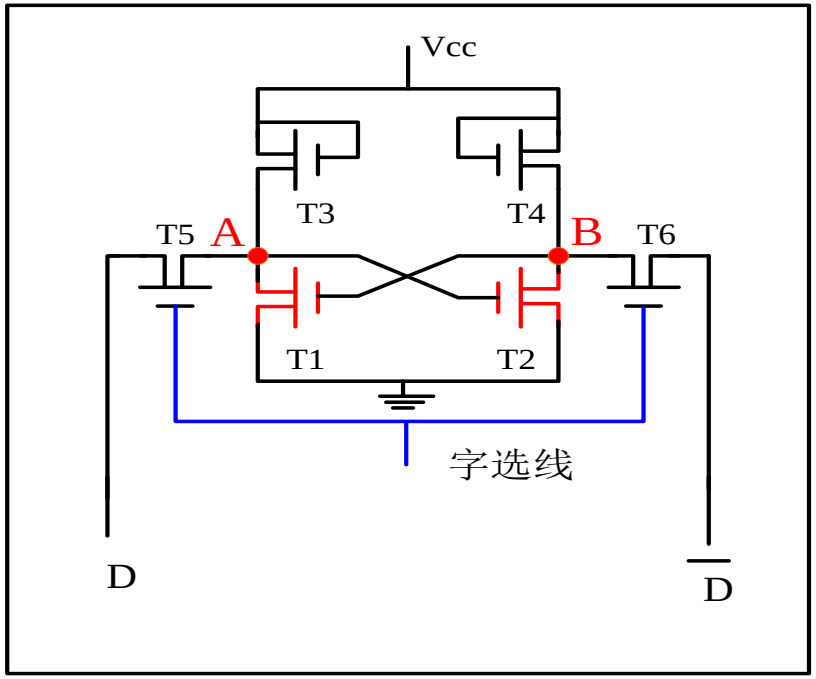
“0”：T2 截止，T1 导通

保持状态：

字选线低电平，T5 和 T6截止，内部保持稳定。

2.1 SRAM存储单元电路

❖SRAM存储单元电路工作原理（读出）



稳定状态：

“1”：T1 截止，T2 导通

“0”：T2 截止，T1 导通

保持状态：

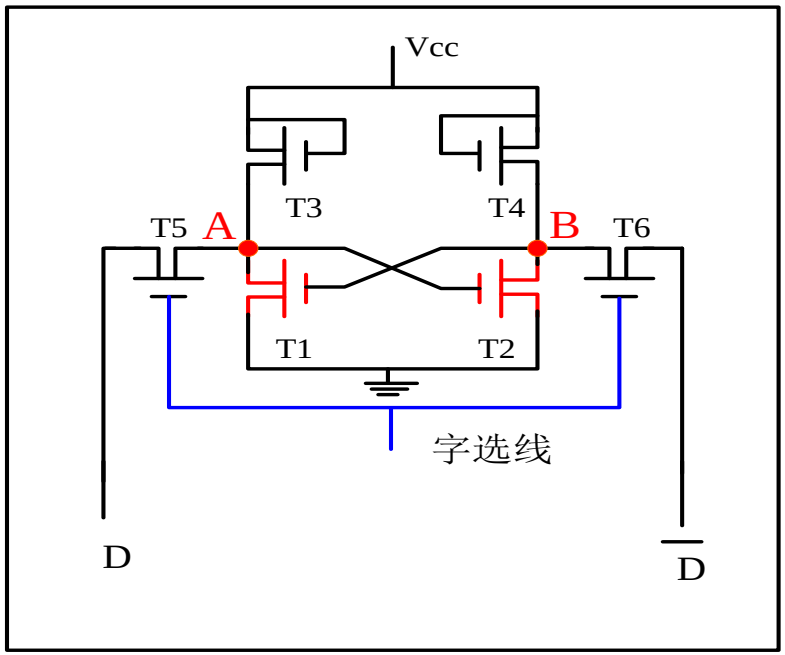
字选线低电平，T5 和 T6截止，内部保持稳定。

读出操作：

- 输入条件：字选线高电平
- T5和T6导通，如果存储单元原来保存信息是 “1”，D线则“读出”了内部状态（A点电平）则为高，否则为低。

2.1 SRAM存储单元电路

❖SRAM存储单元电路工作原理（写入）



稳定状态：

“1”：T1 截止，T2 导通

“0”：T2 截止，T1 导通

保持状态：

字选线低电平，T5 和 T6截止，内部保持稳定。

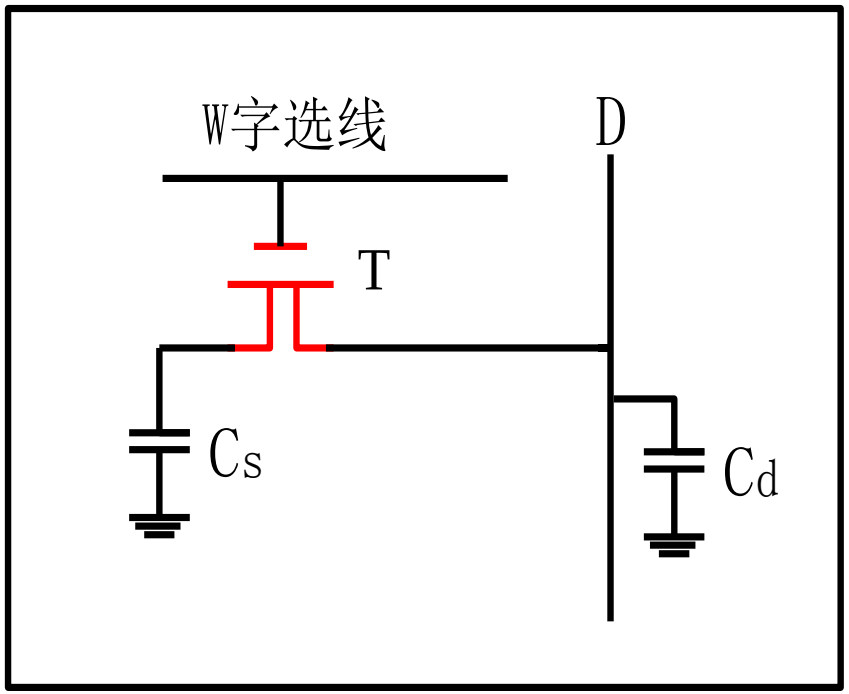
写入操作：

写 1：D线高电平，$\overline{D}$ 线低电平，字选线高电平，T5 和 T6 导通，T1截止，T2导通，写入 1。

写 0：D线低电平，$\overline{D}$ 线高电平，字选线高电平，T5 和 T6 导通，T2截止，T1导通，写入 0。

2.2 SRAM存储单元电路

❖DRAM存储单元电路（单管单元电路）

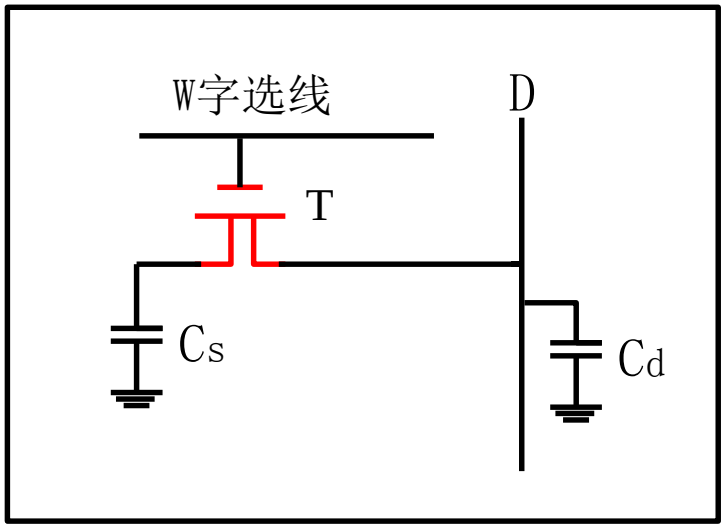


- Cs电容 <<Cd电容
- Cs上有电荷表示 ‘1’
- Cs上无电荷表示 ‘0’
- 保持状态：字选线低电平，T截止，理论上内部保持稳定状态。

注意：在保存二进制信息“ 1 ”的状态下，Cs有电荷，但Cs存在漏电流，Cs上的电荷会逐渐消息，状态不能长久保持，在电荷泄漏到威胁所保存的数据性质之前，需要补充所泄漏的电荷，以保持数据性质不变。这种电荷的补充称之为刷新（或再生）。

2.2 DRAM存储单元电路

❖DRAM存储单元电路工作原理（读出）

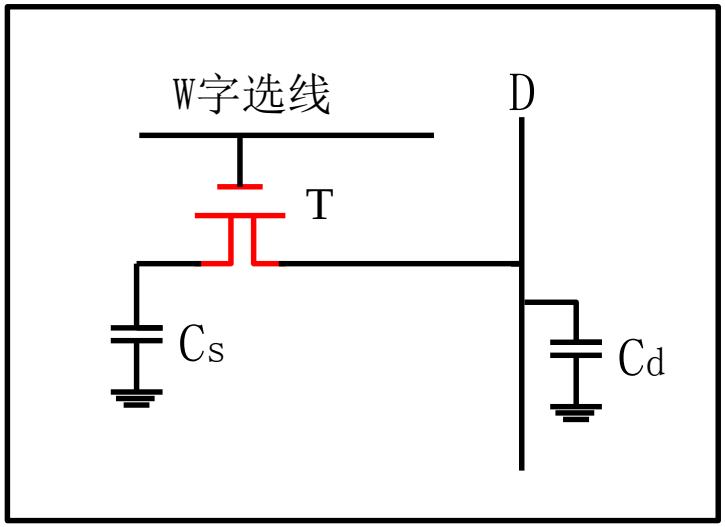


读出时：D 线先预充电到 Vpre=2.5V，然后字选线高电平，T导通

- 若电路保存 信息1，Vcs=3.5V，电流方向从单元电路内部向外；
- 若电路保存信息 0，Vcs=0.0V，电流方向从外向单元电路内部；
- 因此根据数据线上电流的方向可判断单元电路保存的是 1还是 0。
- 读出过程实际上是Cs与Cd上的电荷重新分配的过程，也是Cs与Cd上的电压重新调整的过程。Cd上的电压，即是D线上的电压。

2.2 DRAM存储单元电路

❖DRAM存储单元电路工作原理（写入）

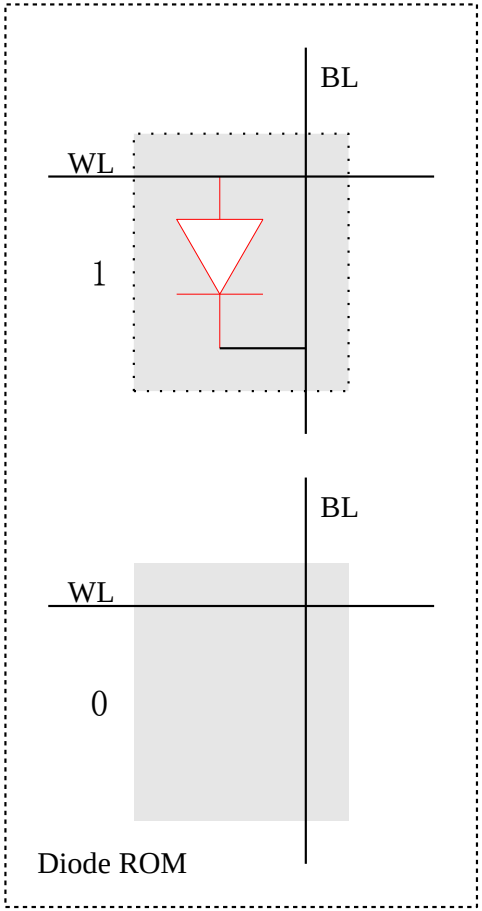


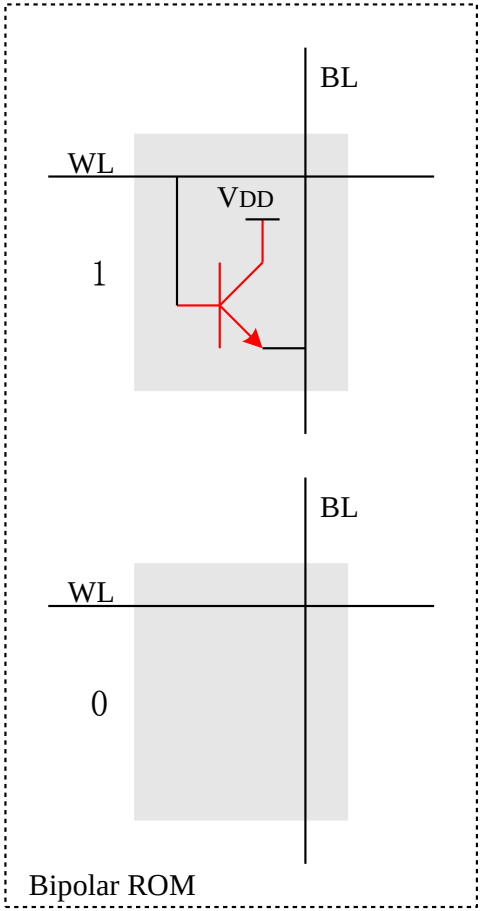
写入操作：D 线加高电平（1）或低电平（0），字选择线置高电平，T导通；

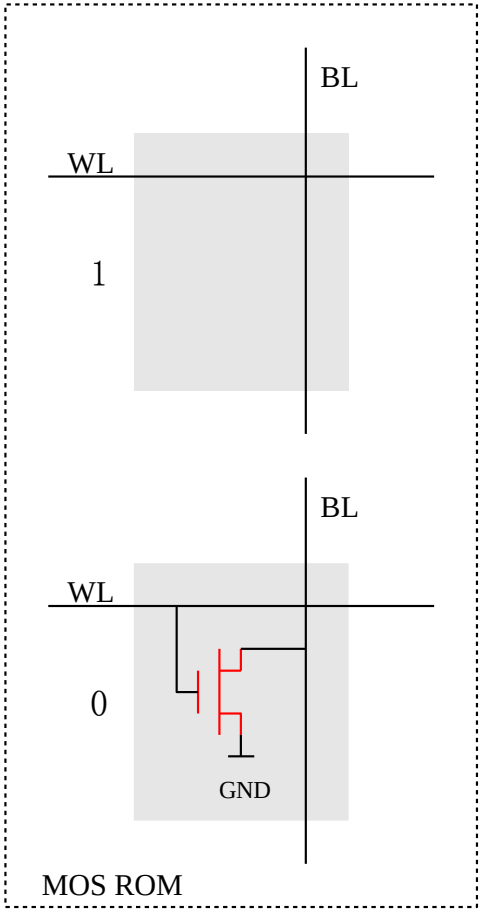
- 写1时，D线高电平，对Cs充电；
- 写0时，D线低电平，Cs放电；

2.3 ROM存储单元电路

❖固定掩膜ROM单元电路







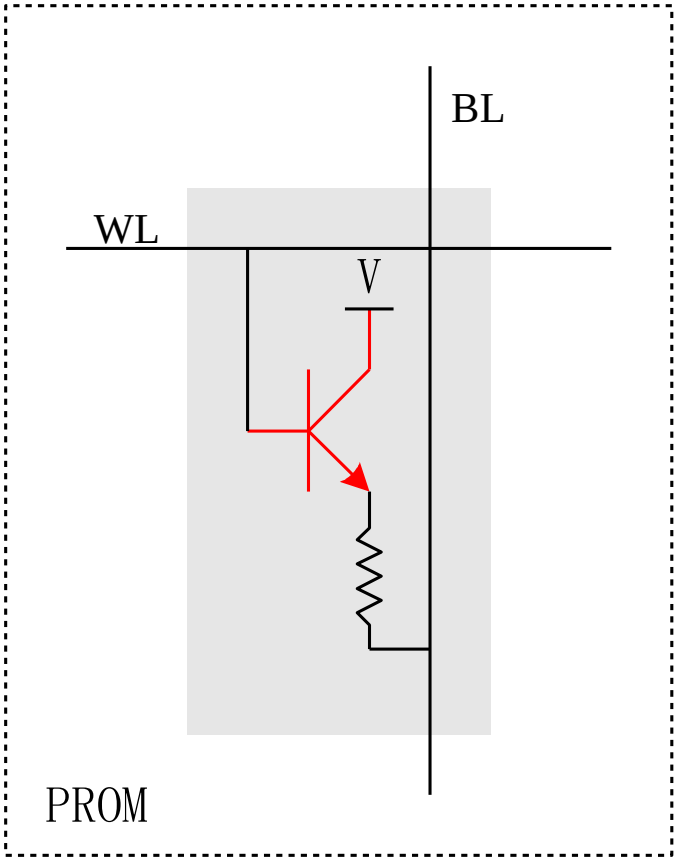
含二级管的电路表示1，不含电路表示0

含三级管的电路表示1，不含电路表示0

含MOS管的电路表示0，不含电路表示1

2.3 ROM存储单元电路

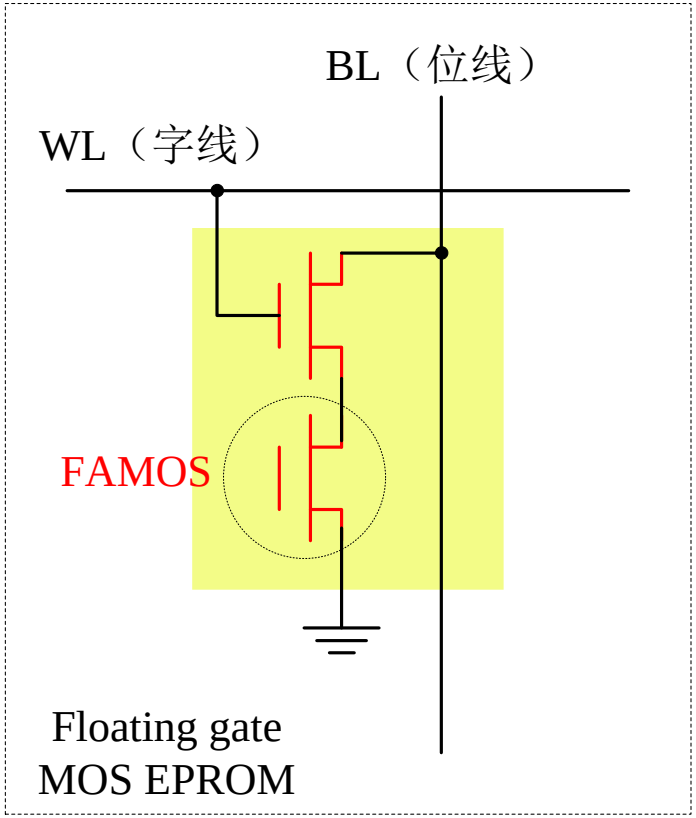
❖可编程的PROM单元电路



- 出厂时所有位均为1。
- 编程时（写入数据），对写0的单元加入特定的大电流，熔丝被烧断，变为另一种表示0的状态，且不可恢复。
- 工作时，加入正常电路。

2.3 ROM存储单元电路

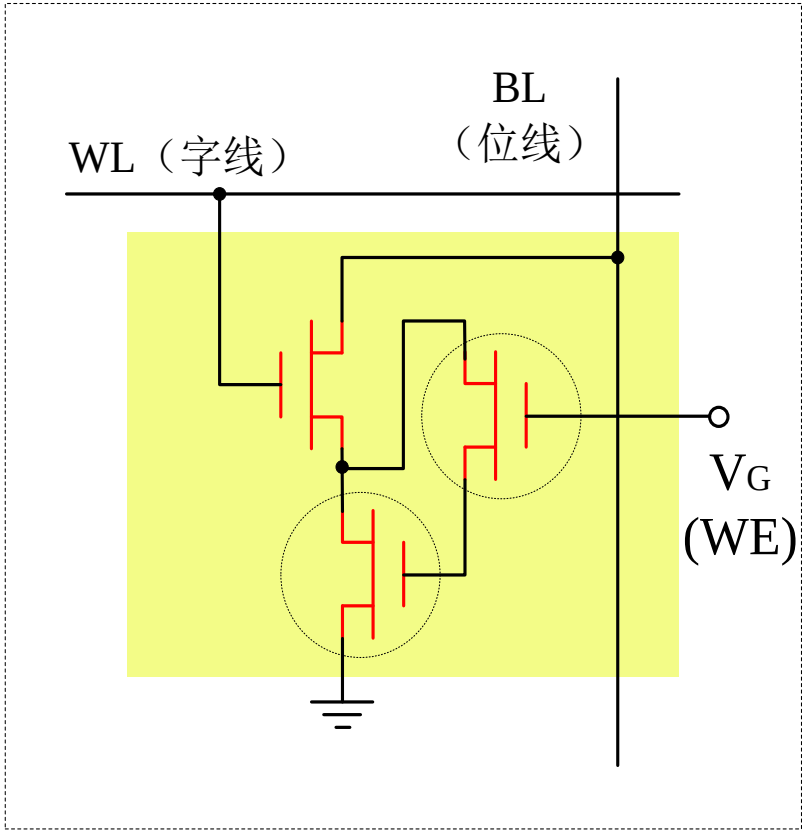
❖紫外线擦除可编程的EPROM单元电路



- 出厂时所有位均为 1，FAMOS（浮空栅极MOS）G极无电荷，处于截止状态。
- 编程时（写入数据），对写0的单元加入特定的电压，FAMOS上的G极与D极被瞬时击穿，大量电子聚集到G极上，撤销编程电压后，G极上的聚集的电子不能越过隔离层，FAMOS导通，表示0。
- 工作时，加入正常电压，FAMOS的状态维持不变。
- 擦除时，用紫外线照射，FAMOS聚集在G极上的电子获得能量，越过隔离层泄漏，FAMOS恢复截止状态。

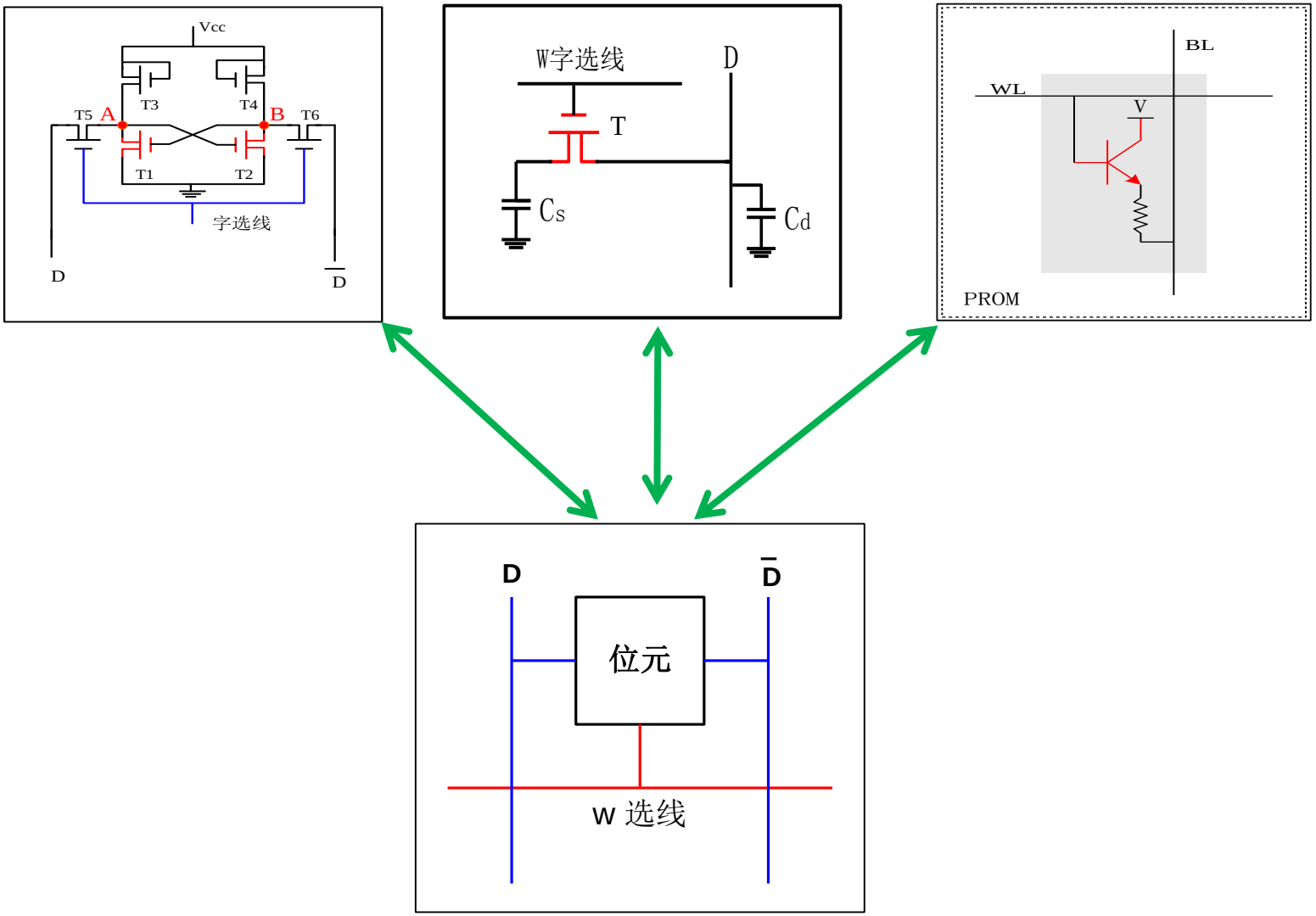
2.3 ROM存储单元电路

❖EEPROM单元电路



- 与EPROM相似，它是在EPROM基本单元电路的浮空栅的上面再生成一个浮空栅，前者称为第一级浮空栅，后者称为第二级浮空栅。第二级浮空栅引出一个电极，接某一电压V_G。
- 若V_G为正电压，第一浮空栅极与漏极之间产生隧道效应，使电子注入第一浮空栅极，即编程写入。
- 若使V_G为负电压，强使第一级浮空栅极的电子散失，即擦除。擦除后可重新写入。

❖存储单元的符号表示



第四讲：主存储器

一．存储系统概述

二．存储单元电路

三．**存储器芯片结构**

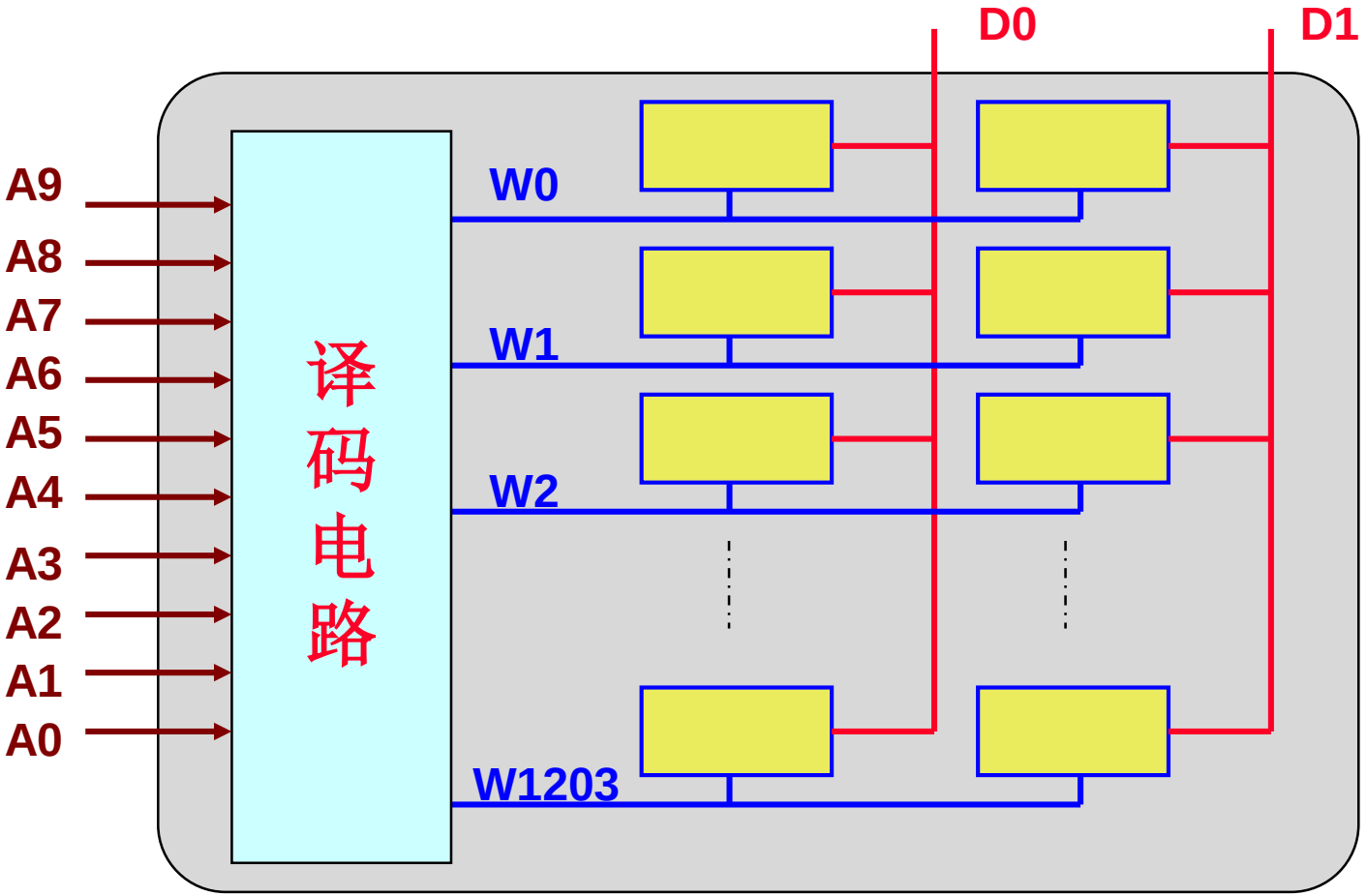
四．存储器扩展

五．DRAM的刷新

3.1 存储芯片内部结构

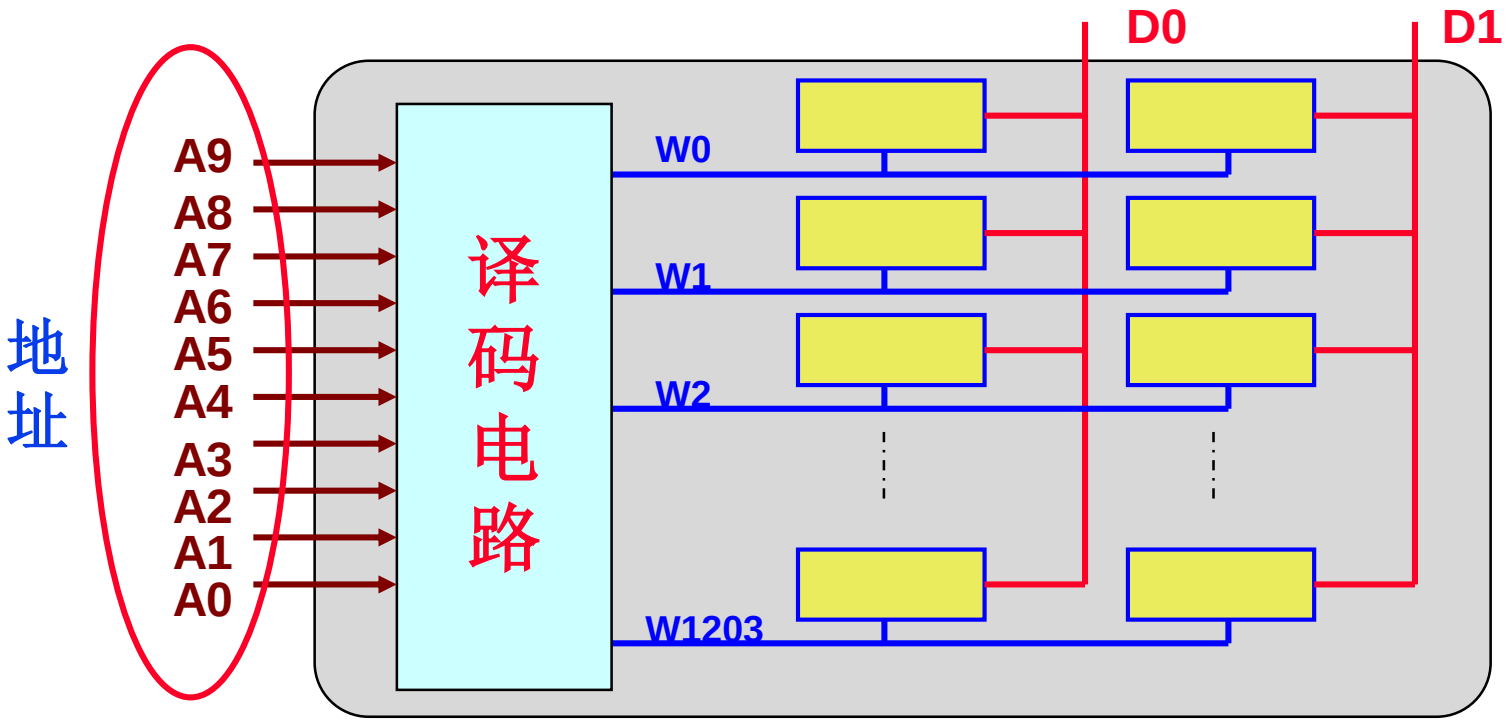
❖存储芯片结构（一维地址结构）

1024×2 ： 1024 个字单元，每个字单元 2 个二进制位。



3.1 存储芯片内部结构

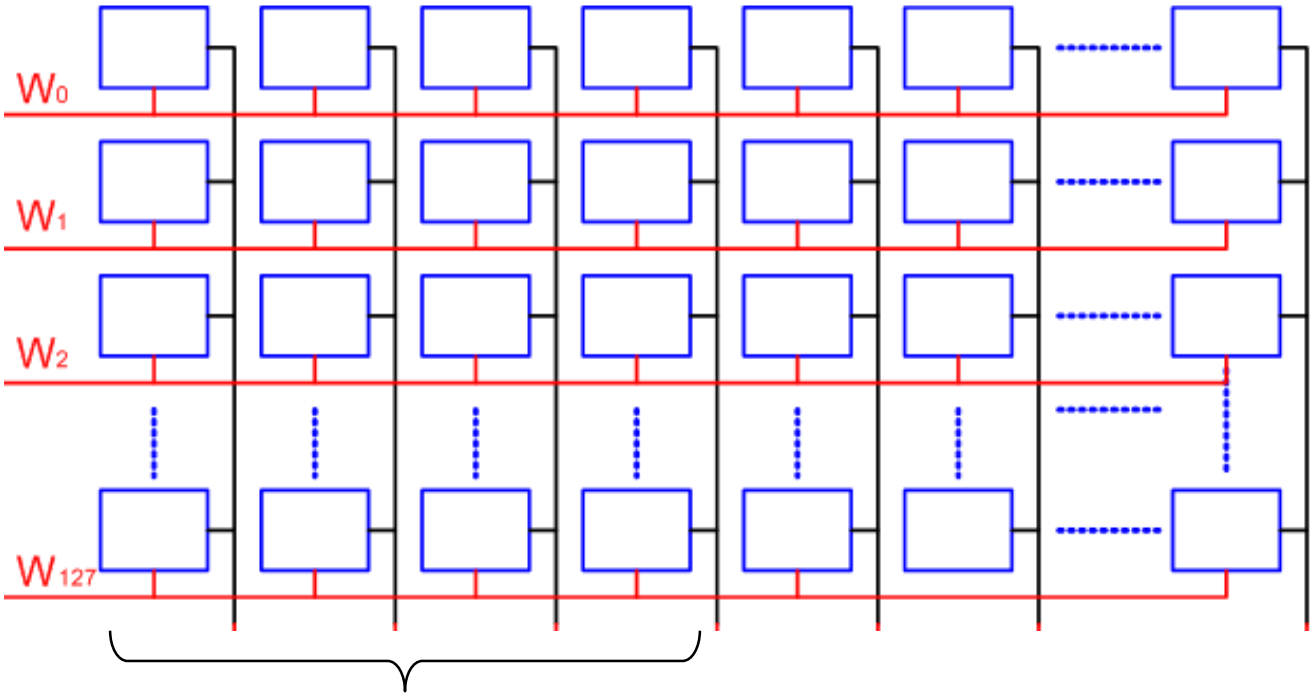
- **问题：** 如何识别这些字单元？
  - 1024×2：1024 个字单元，需要1024个不同的标示。
  - 地址编码：译码电路使得字选择线 W_i 处于工作状态的输入信号（二进制信号），称为W_i 所选中字单元的地址编码（简称地址）。
  - 对于每一个字单元，地址是唯一的。



3.1 存储芯片内部结构

❖二维地址结构（SRAM）

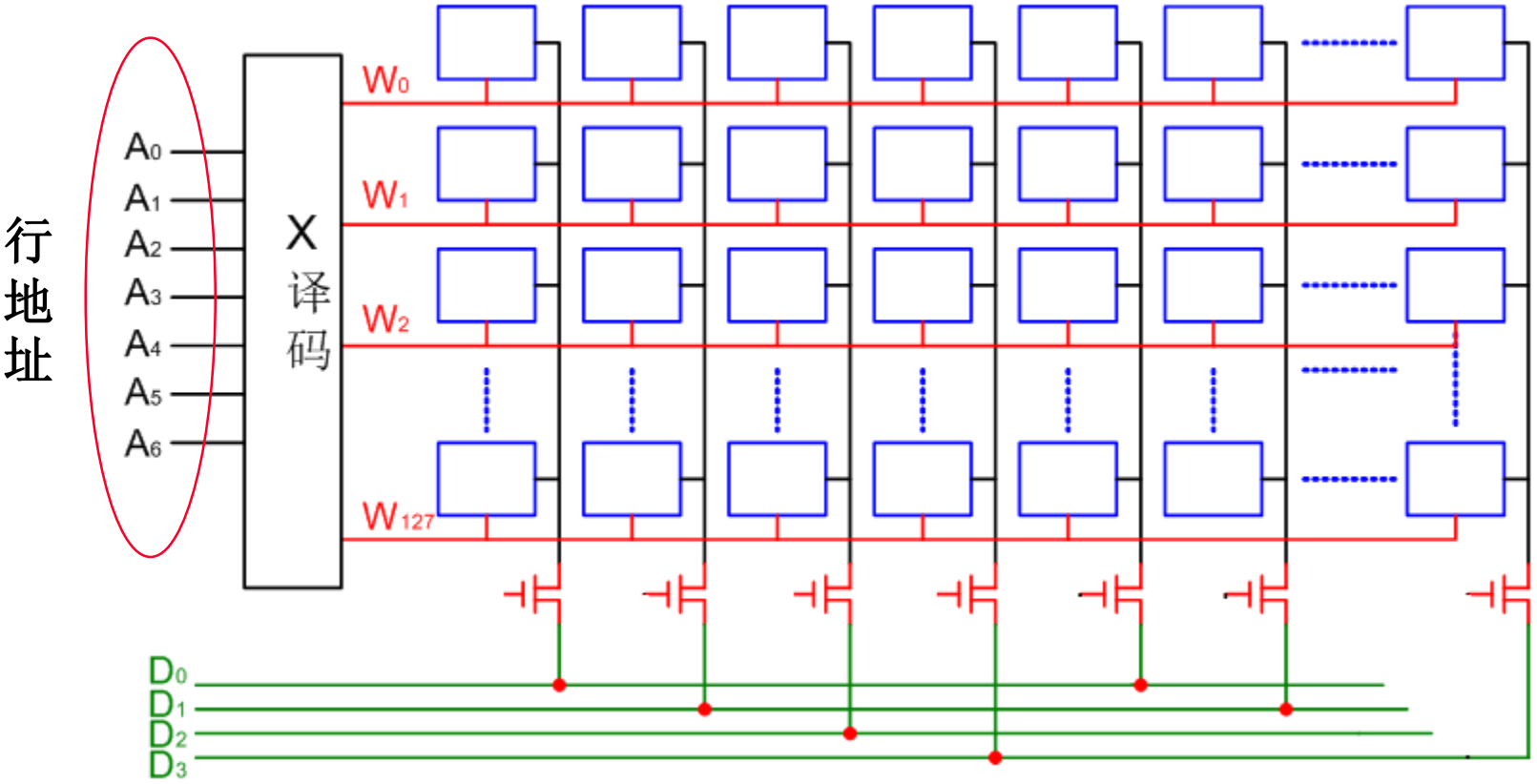
- 芯片示例：4096 × 4（4096 个字，每个字 4 位）
- 4096×4 = 2^{14} 个位单元
- 存储矩阵： $2^7 \times 2^7$ (128行×128列)



一行每4个单元一组为一个字， 一行共32个字

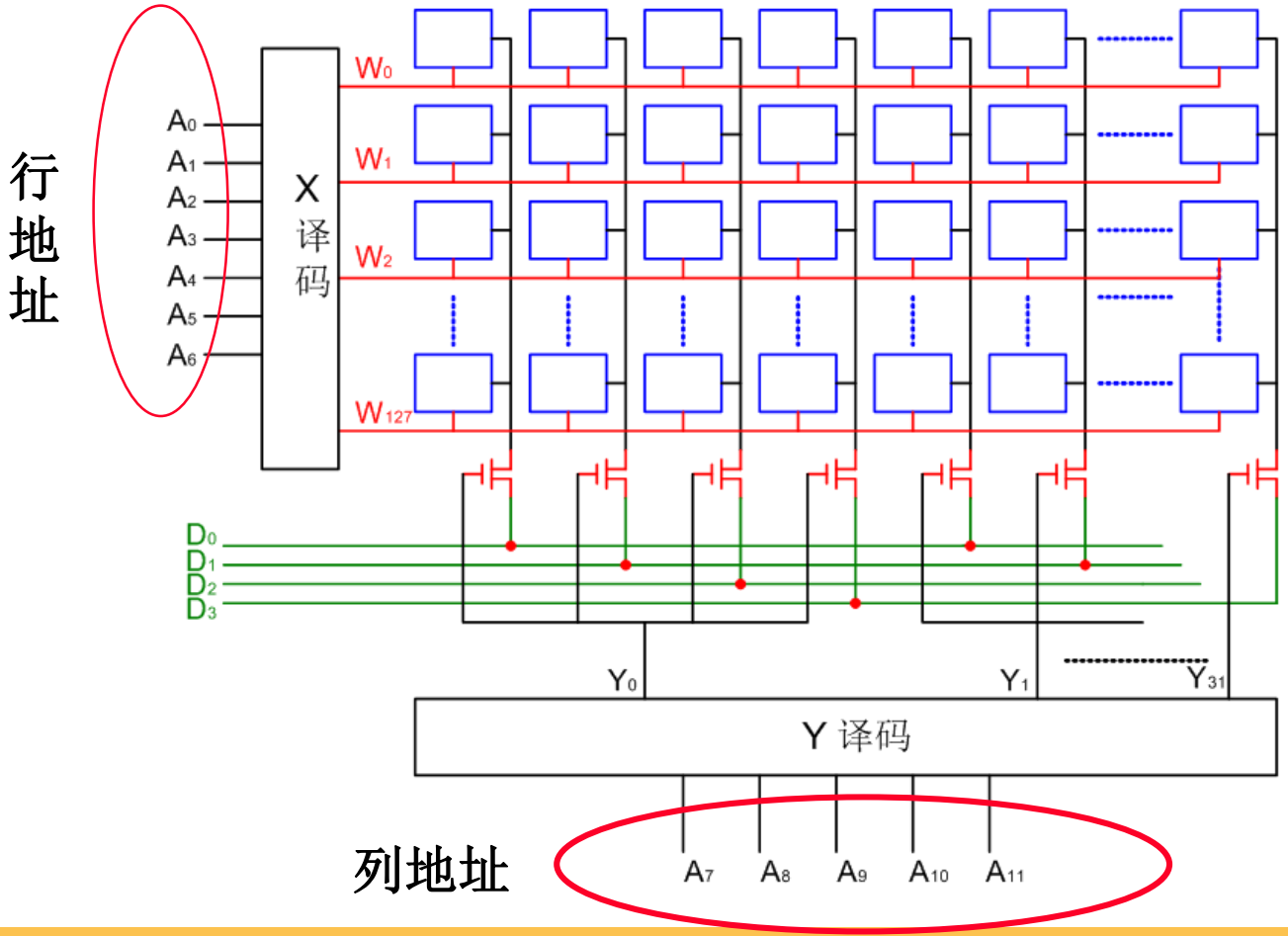
3.1 存储芯片内部结构

- 二维地址结构（SRAM）：4096×4：4096 个字，每个字 4 位
  - 存储矩阵：$2^7 \times 2^7$ (128行×128列)
  - 行译码：行地址 7位，一行含32个字共128位，任一时刻只有1个字（4位数据线）被选中。



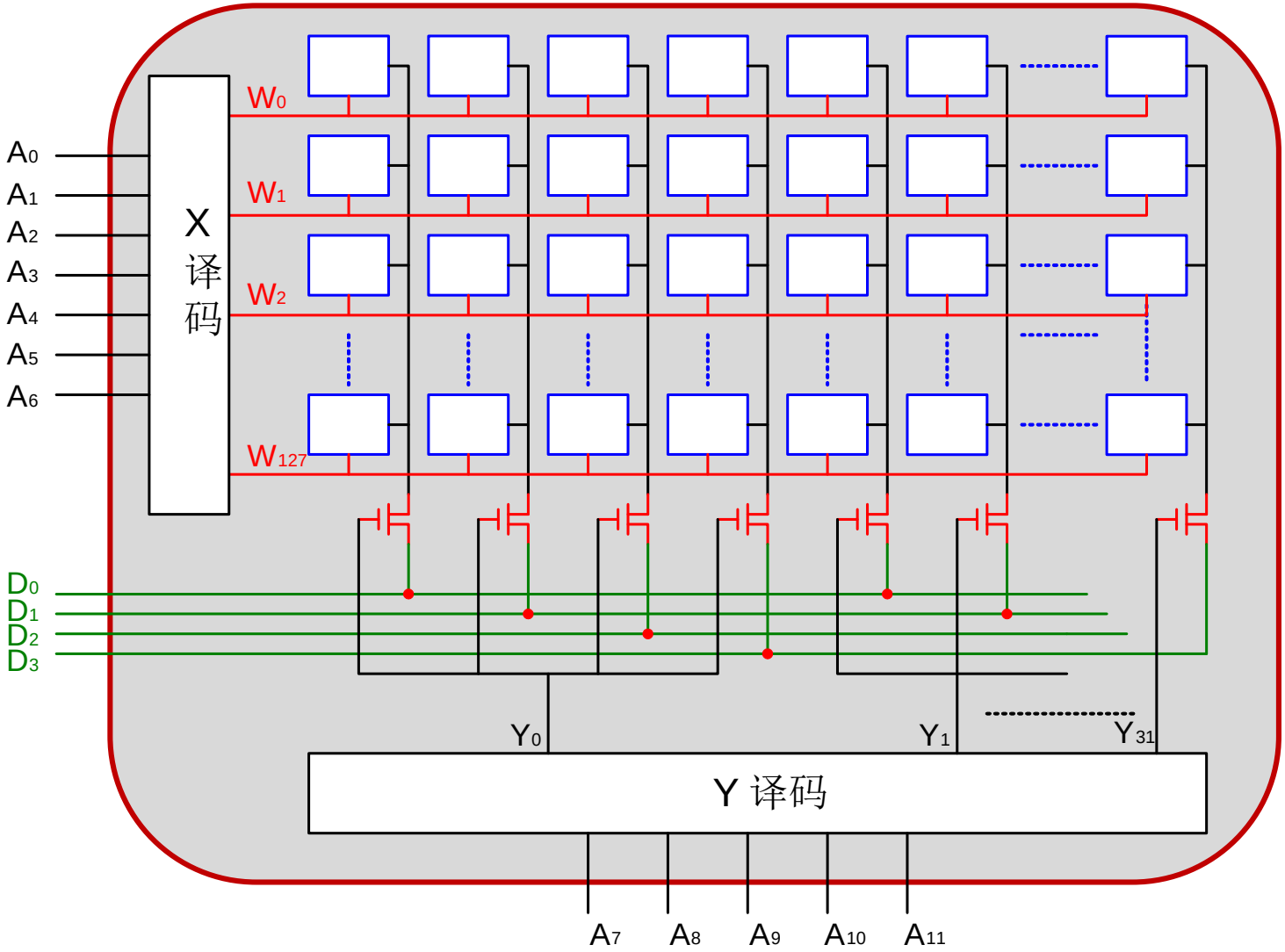
3.1 存储芯片内部结构

- 二维地址结构（SRAM）：4096×4：4096 个字，每个字 4 位
  - 存储矩阵： $2^7 \times 2^7$ (128行×128列)
  - 一行包括32个字，要进行32选1的译码（Y译码），列地址5位



3.1 存储芯片内部结构

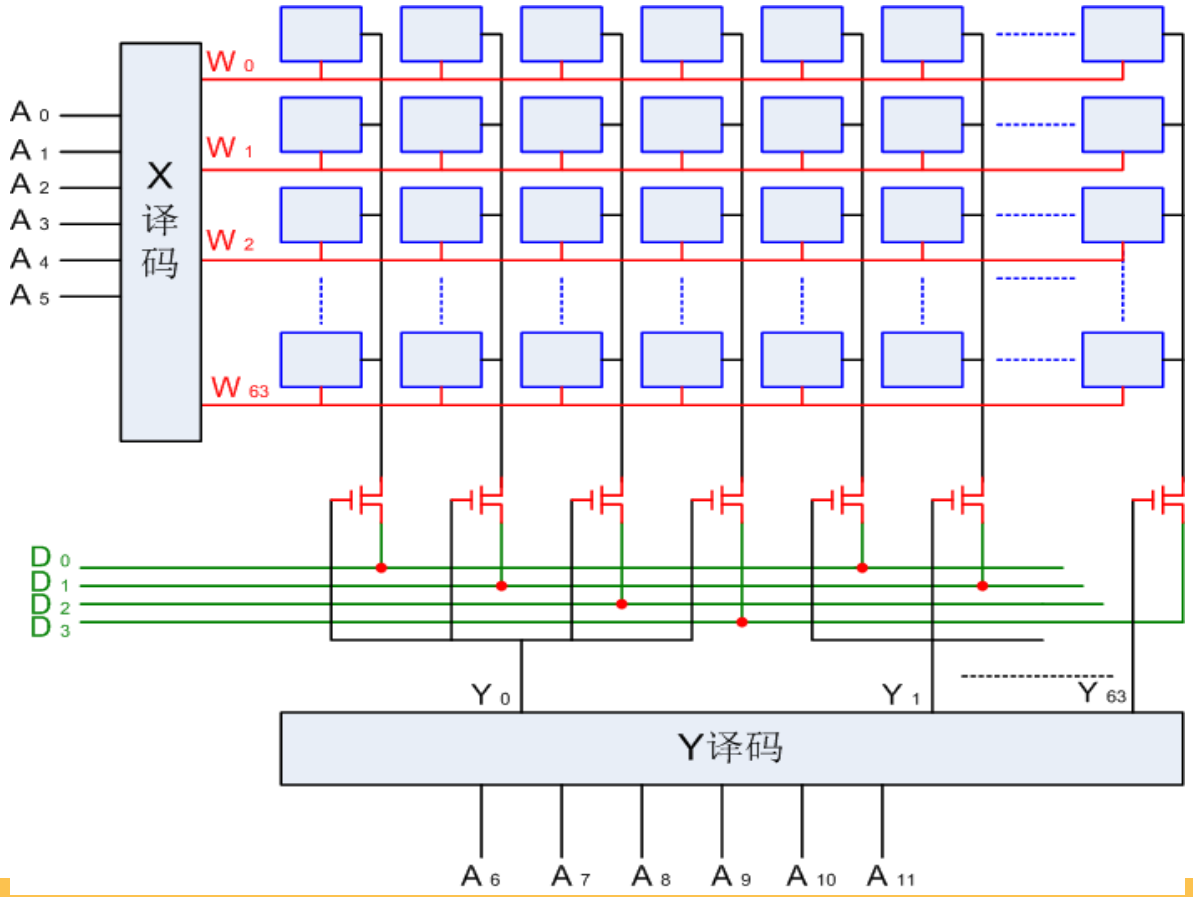
❖ 二维地址结构（SRAM）：4096×4：4096 个字，每个字 4 位。



3.1 存储芯片内部结构

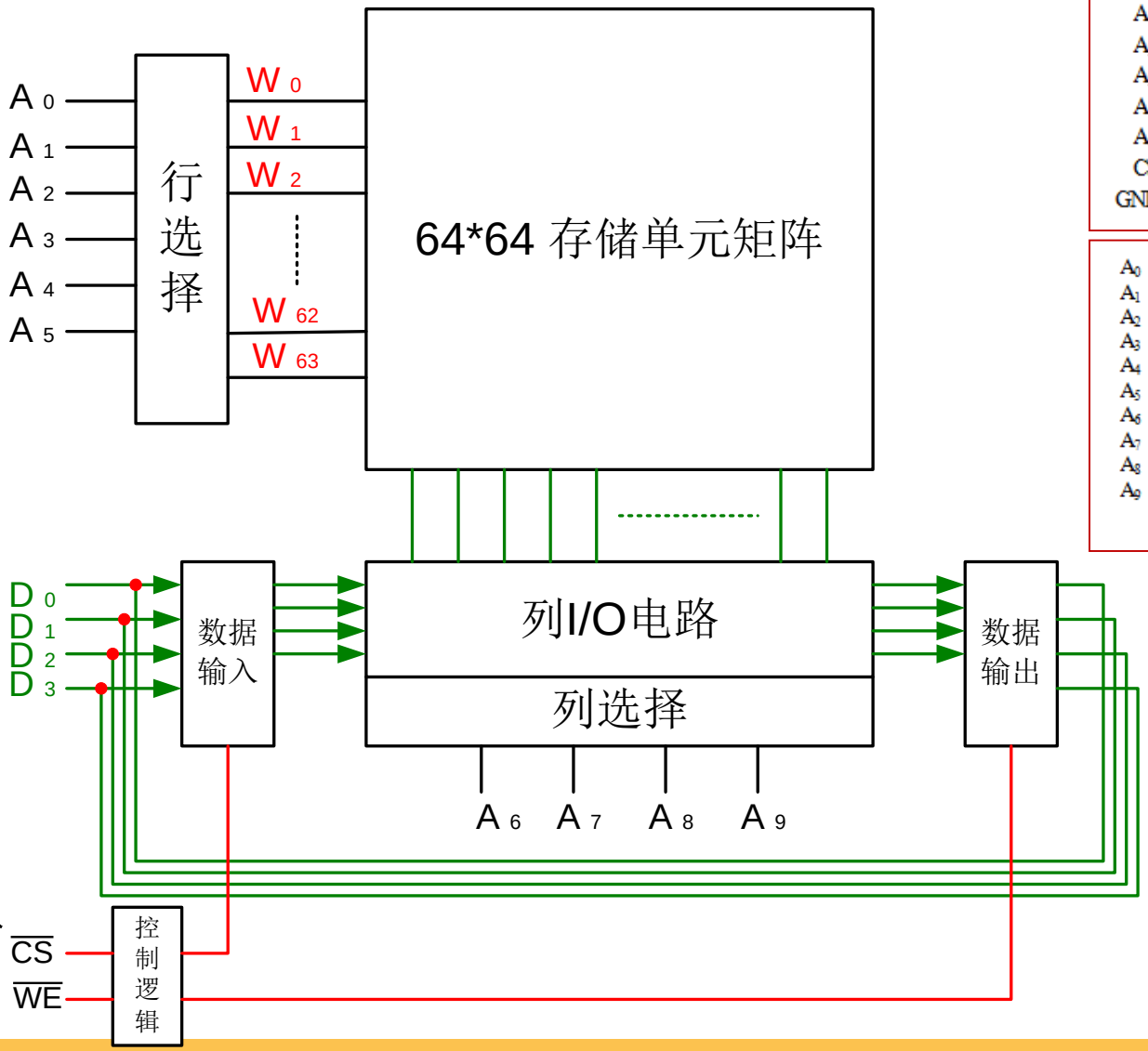
❖ DRAM芯片结构

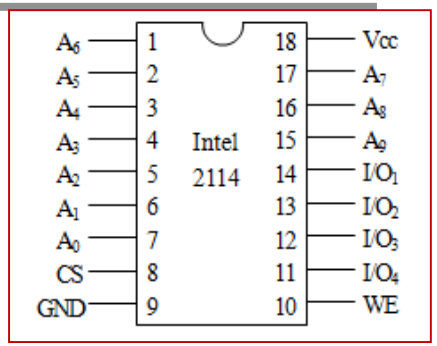
- 芯片示例：4096×4 DRAM （4096 个字，每个字 4 位）
- 4096个字 = 2^{12}，12位地址
- DRAM芯片封装的特殊：行列地址管脚复用，行列地址各6位。
- 存储矩阵： 2^6×（2^6×4）(64行×256列)

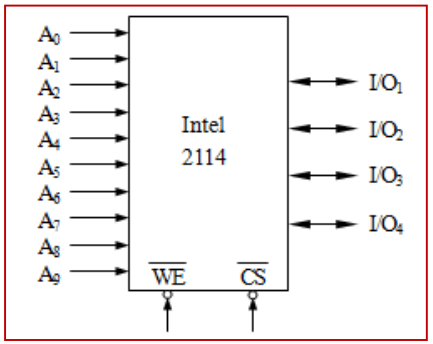


存储芯片结构示例

❖ **SRAM 2114(1024×4)芯片结构**

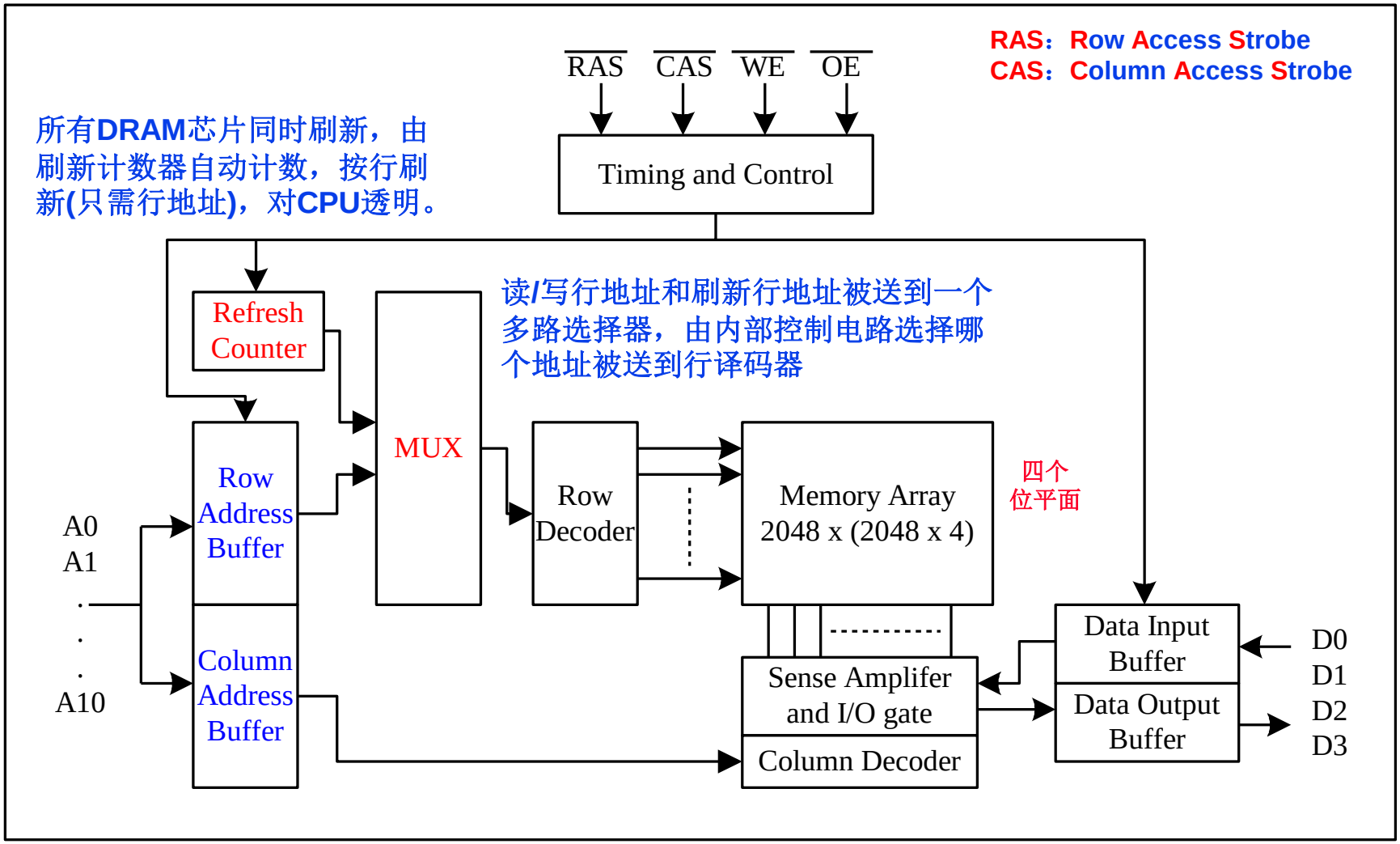






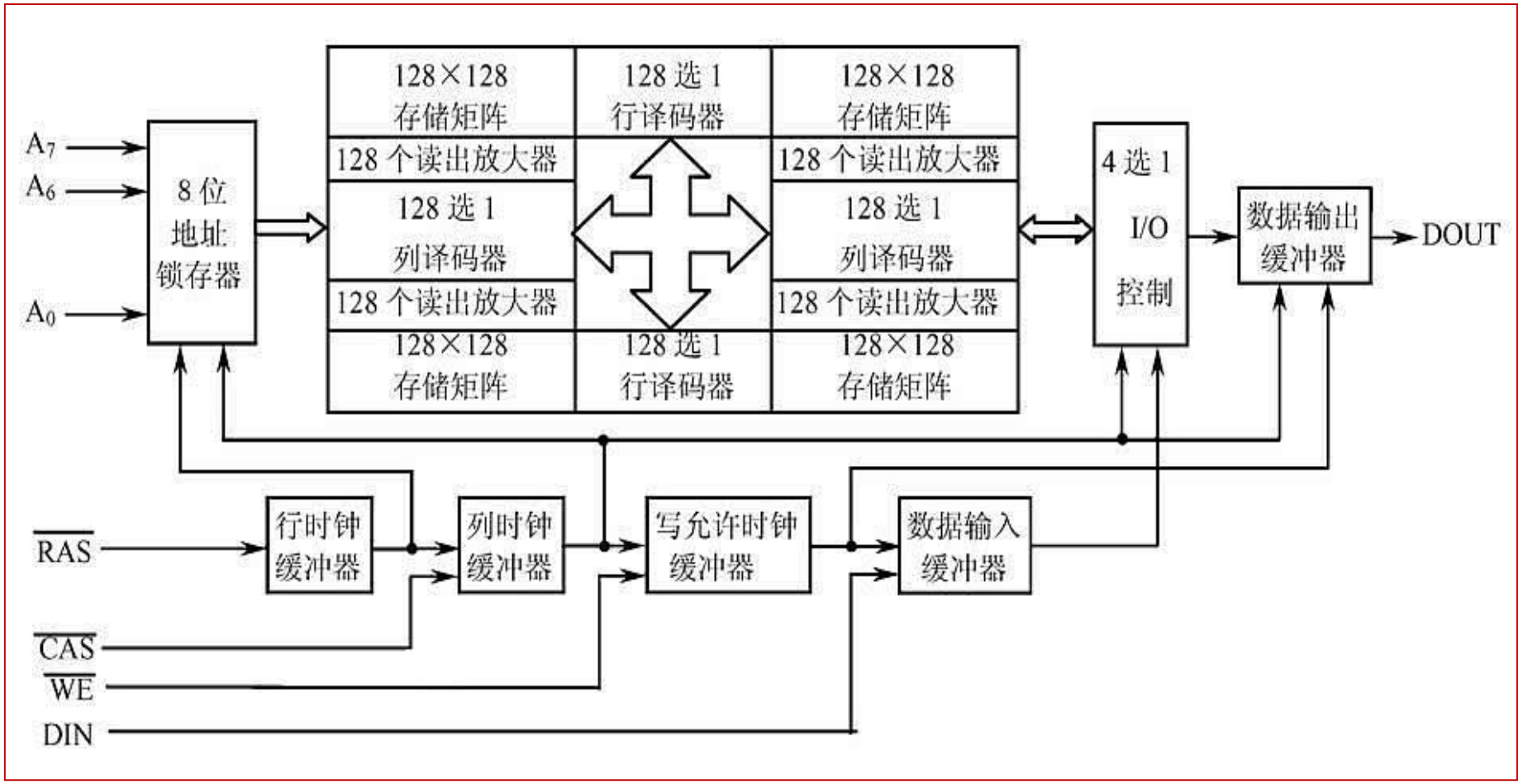
存储芯片结构示例

❖ **DRAM 4M×4 DRAM芯片结构(内部包含刷新电路)**



存储芯片结构示例

❖ **DRAM 2164A 芯片结构（64K×1）**



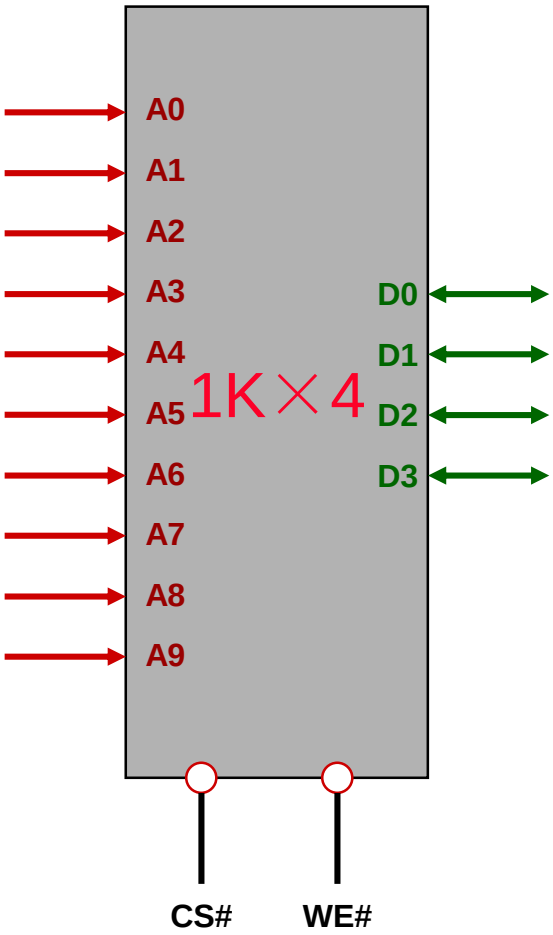
第四讲：主存储器

一．存储系统概述
二．存储单元电路
三．存储器芯片结构
四．**存储器扩展**
五．DRAM的刷新

4.1 存储器芯片的扩展（位扩展）

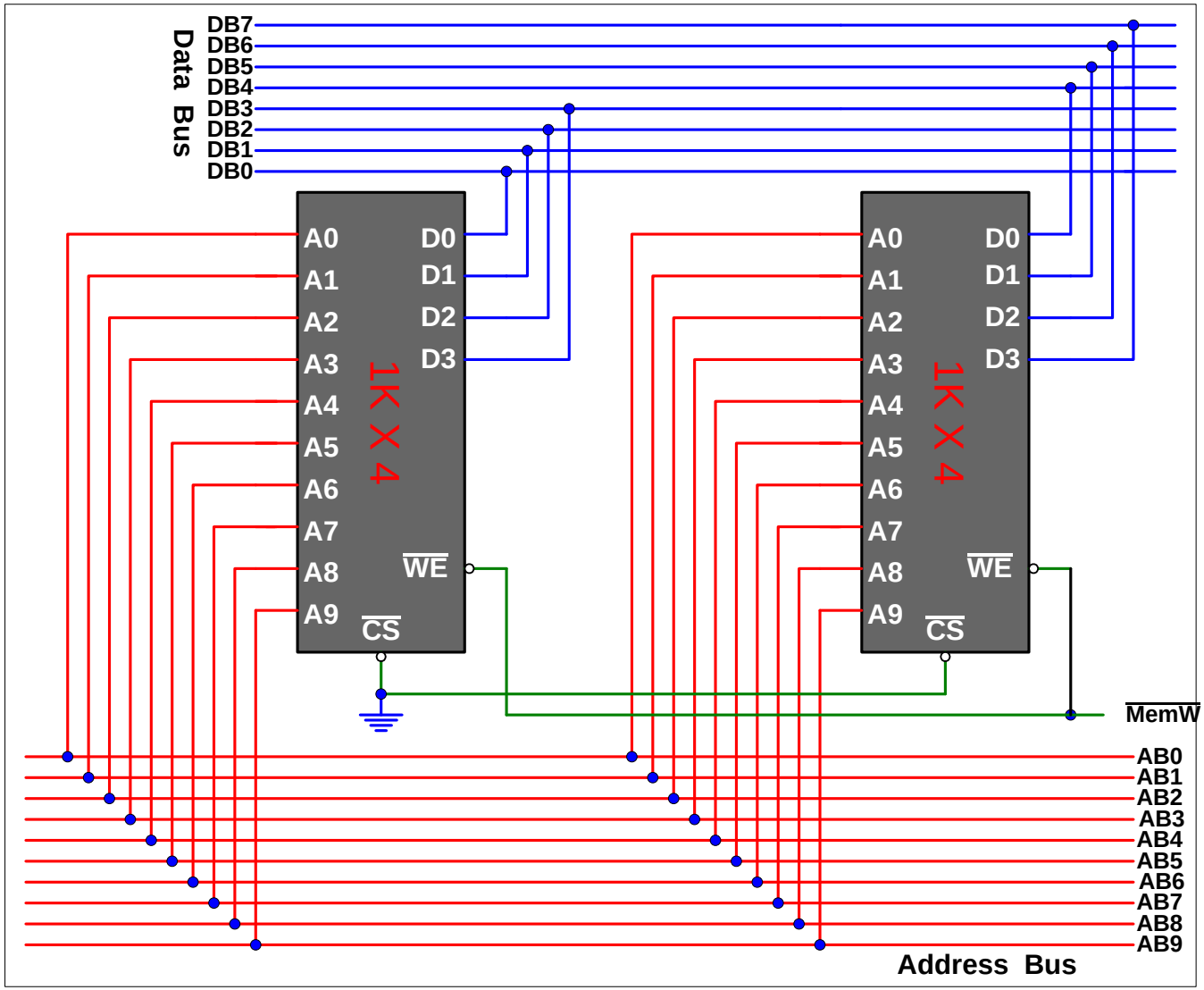
例：1Kx4 SRAM芯片构成1Kx8的存储器

- 1K×4 芯片管脚：
  - 10个地址管脚 A9～A0
  - 4个数据管脚 D3～D0
  - 1个片选输入管脚 CS#
  - 1个读写控制管脚 WE#
  - 芯片地址空间：000H～3FF H
- CPU访问存储器需提供：
  - 地址总线10根：AB9～AB0
  - 数据总线8根：DB7～DB0
  - 读写控制信号：MemW
  - 存储器地址空间：000H～3FF H
- 需要芯片：（1K×8) / (1K×4）= 2片
  - 地址管脚：都连接到AB9～AB0
  - 数据管脚：分别连接到 DB7～DB4和DB3～DB0
  - 芯片读写控制管脚：连接MemW



4.1 存储器芯片的扩展（位扩展）

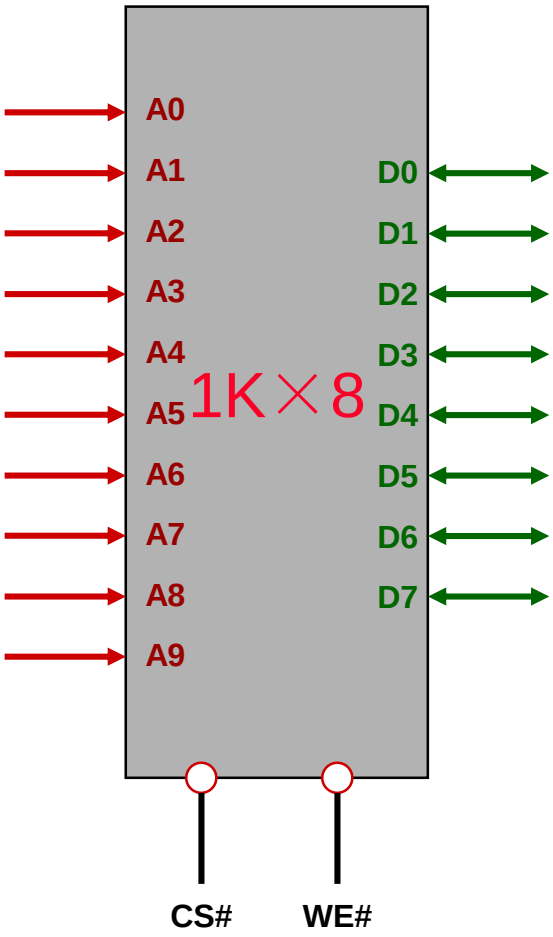
例：1K × 4的SRAM存储芯片构造1K × 8的存储器



4.2 存储器芯片的扩展（字扩展）

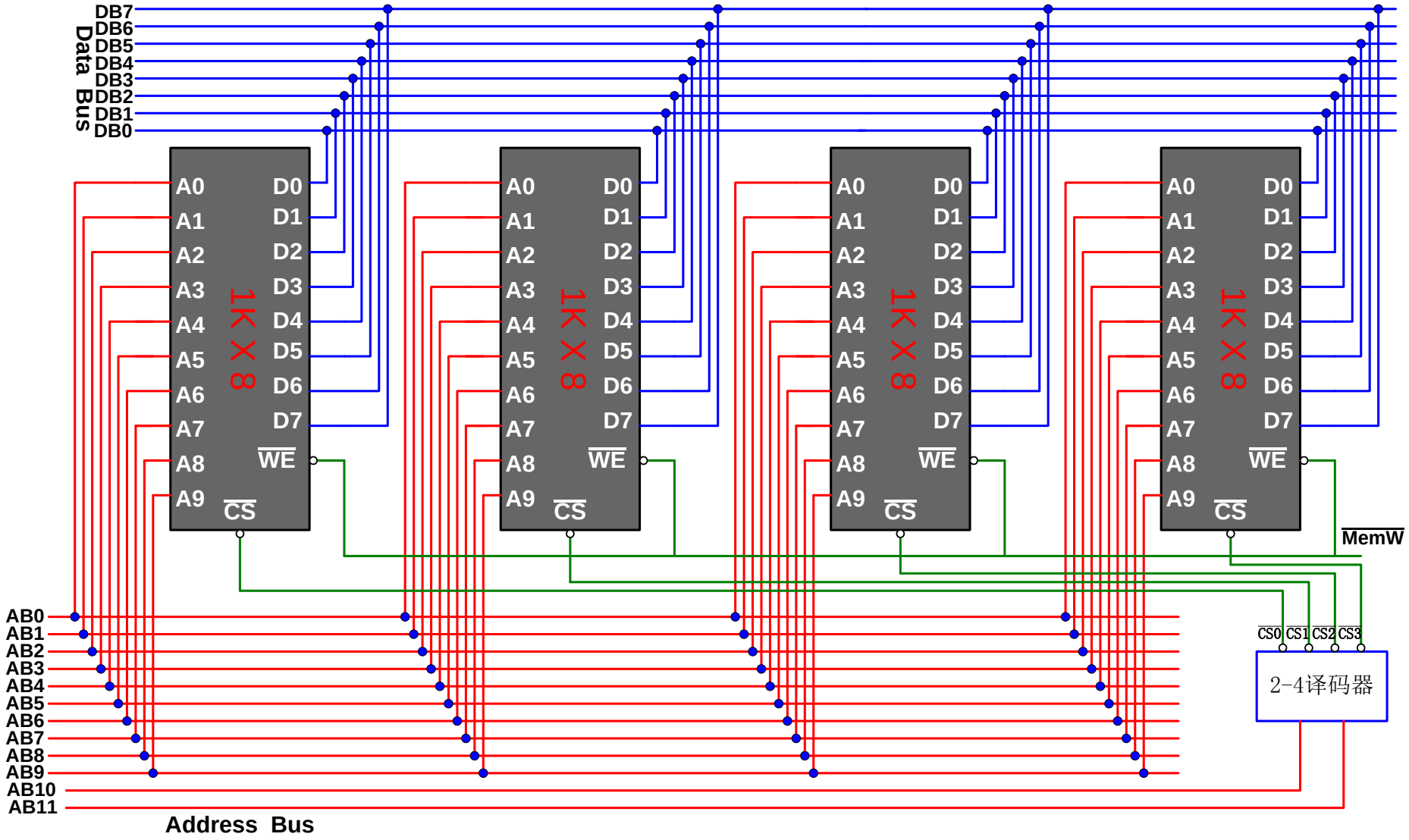
例：1Kx8 SRAM芯片构成4Kx8的存储器

- 1K×8 芯片管脚：
  - 10个地址管脚 A9～A0
  - 8个数据管脚 D7～D0
  - 1个片选输入管脚 CS＃
  - 1个读写控制管家WE#
  - 芯片地址空间：000H～3FF H
- CPU访问存储器需提供：
  - 地址总线10根：AB11～AB0
  - 数据总线8根：DB7～DB0
  - 读写控制信号：MemW
  - 存储器地址空间：000H～FFF H
- 需要芯片数：（4K×8) / (1K×8）= 4片
  - 地址管脚：都连接到AB9～AB0
  - 数据管脚：都连接到 DB7～DB0
  - 芯片读写控制管脚：连接MemW
- 一个2-4译码器产生4个片选信号
  - 译码器输入：AB11~AB10
  - 译码器输出：分别接4个芯片片选管脚



4.2 存储器芯片的扩展（字扩展）

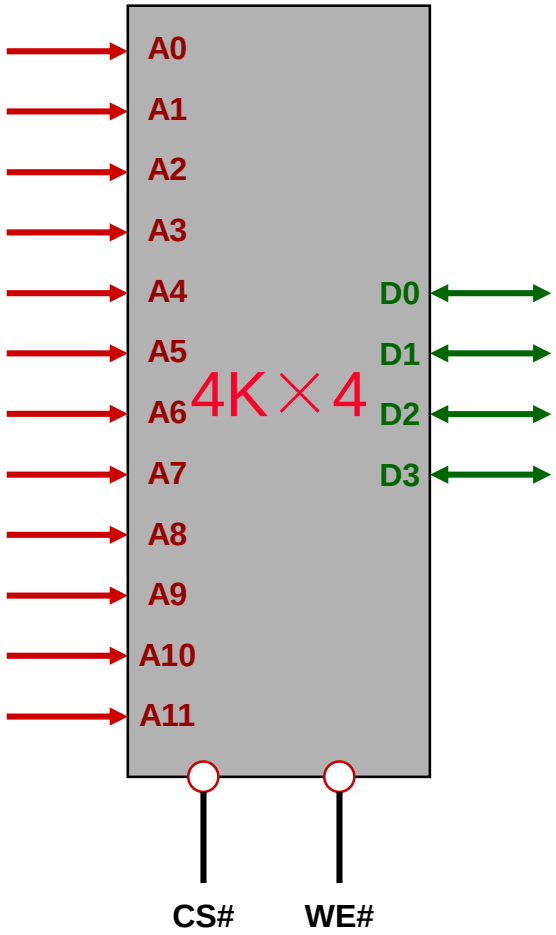
例：1Kx8 SRAM存储芯片构成4Kx8的存储器



4.3 存储器芯片的扩展（混合扩展）

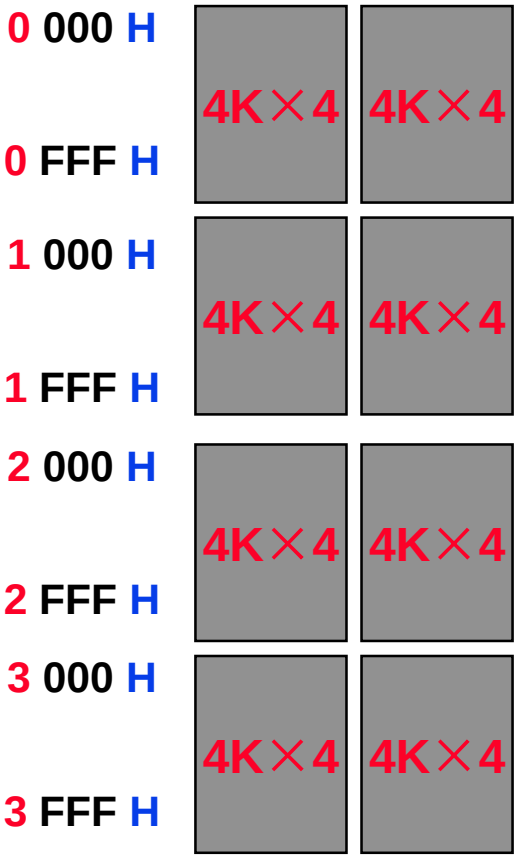
例：4Kx4 SRAM存储芯片构成16Kx8的存储器

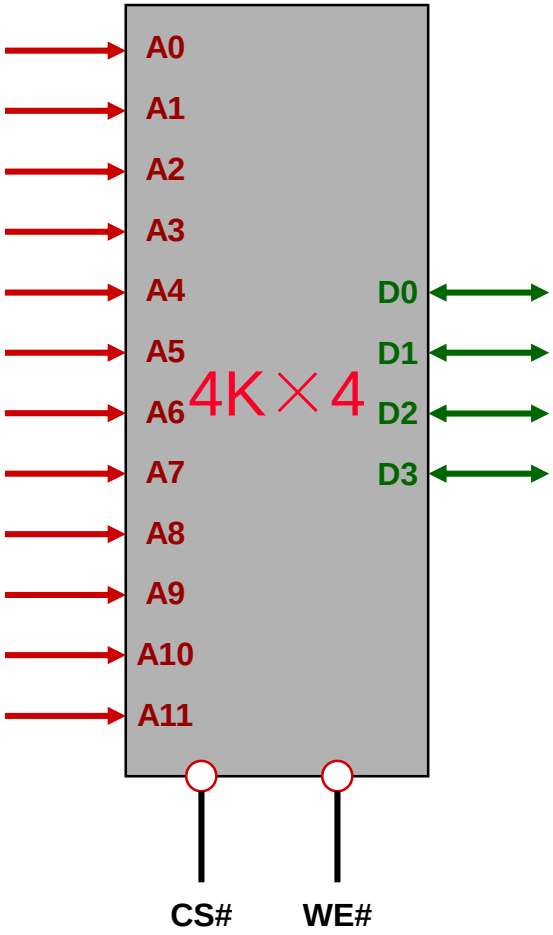
- 4K×4芯片：
  - 12个地址管脚 A11～A0
  - 4个数据管脚 D3～D0
  - 1个片选输入管脚 CS#
  - 1个读写控制管脚 WE#
  - 芯片地址空间：000H～FFF H
- CPU向存储器提供：
  - 地址总线14根：AB13～AB0
  - 数据总线8根：DB7～DB0
  - 读写控制信号：MemW
  - 存储器地址空间：0000H～3FFF H
- 需要芯片数：（16K×8) / (4K×4）= 8片
  - 分4组（字扩展），每组2个芯片（位扩展）
- 一个2-4译码器产生4个片选信号
  - 译码器输入：AB13~AB12
  - 译码器输出：分别接4组芯片片选管脚



4.3 存储器芯片的扩展（混合扩展）

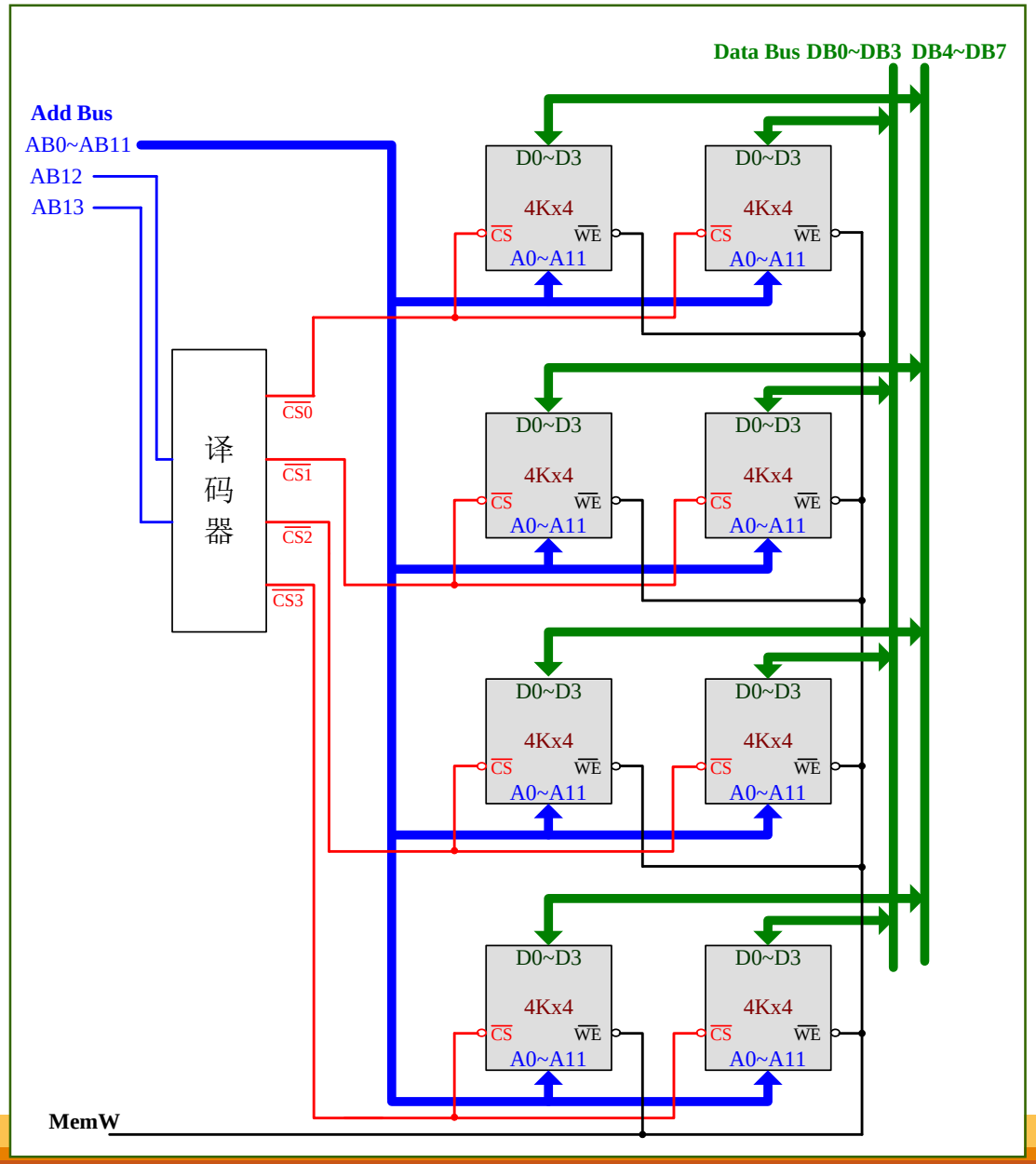
4Kx4 SRAM存储芯片构成16Kx8的存储器地址空间划分



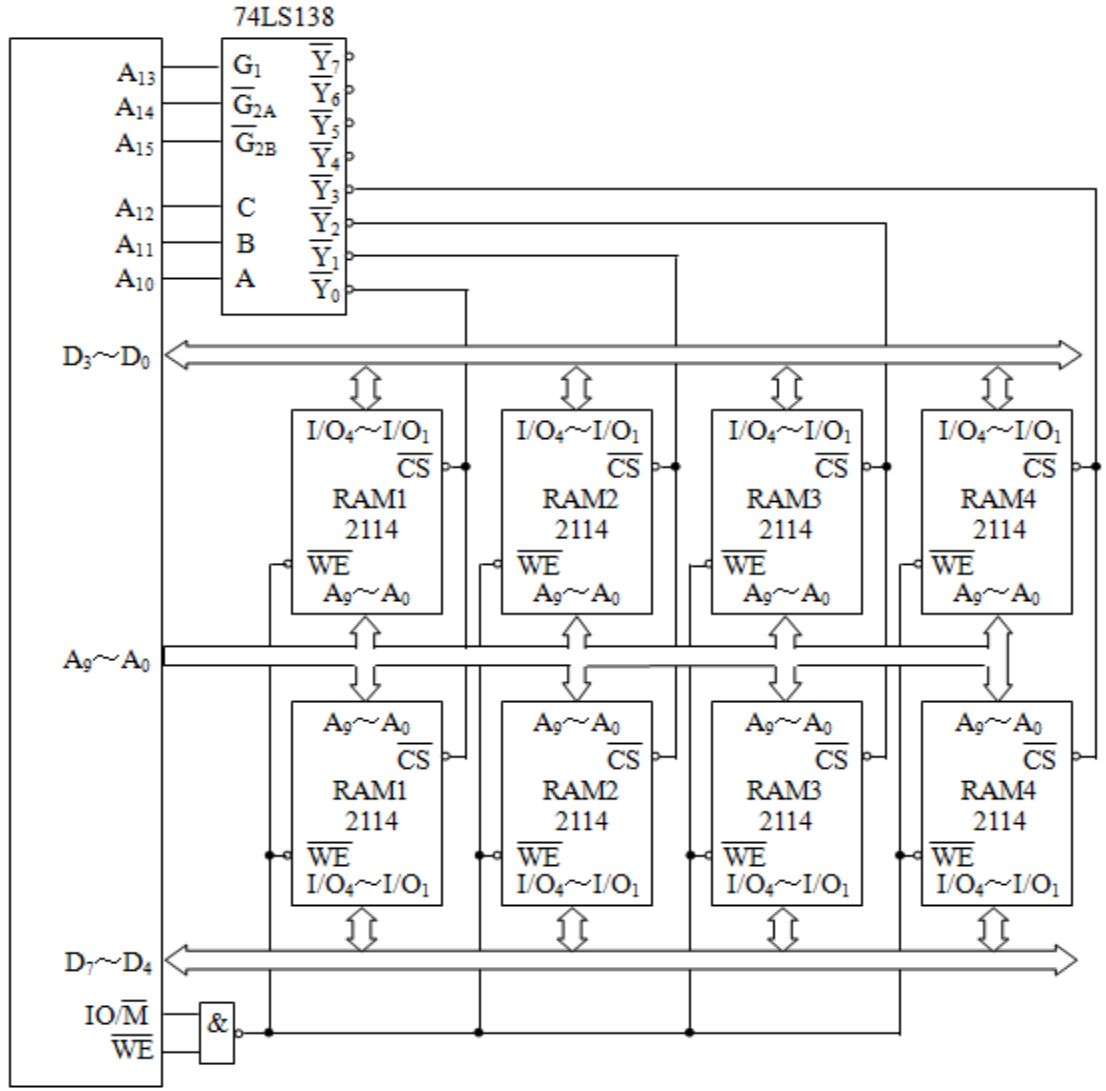


4.3 存储器芯片的扩展（混合扩展）

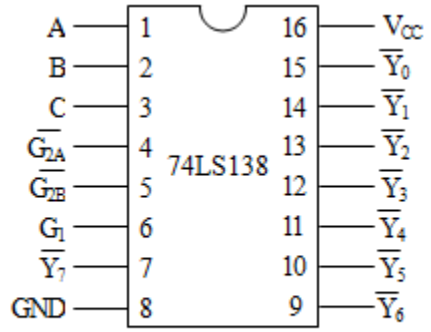
4Kx4 SRAM存储芯片构成16Kx8的存储器连接图



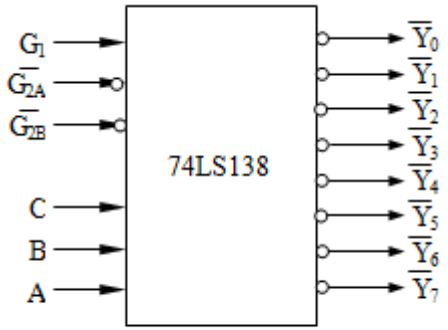
存储器芯片的扩展示例（续）



RAM 2114 与 CPU 的连接



74LS138 引脚图



74LS138 逻辑符号

CPU与主存的连接（示例）

CPU地址线A15～A0，数据线D7～D0，$\overline{WR}$为读/写信号，$\overline{MREQ}$为访存请求信号。0000H～3FFFH为系统程序区，4000H～FFFFH为用户程序区。用8K×4位ROM芯片和16K×8位RAM芯片构成该存储器，要求说明地址译码方案，并将ROM芯片、RAM芯片与CPU连接。

解：因为0000H～3FFFH为系统程序区，ROM区高两位总是00，低14位为全译码。

ROM区大小为：2^{14}×8位=16K×8位=16KB

ROM芯片数为：16K×8位 / 8K×4位 = 2×2 = 8，字方向扩展2倍，位方向扩展2倍

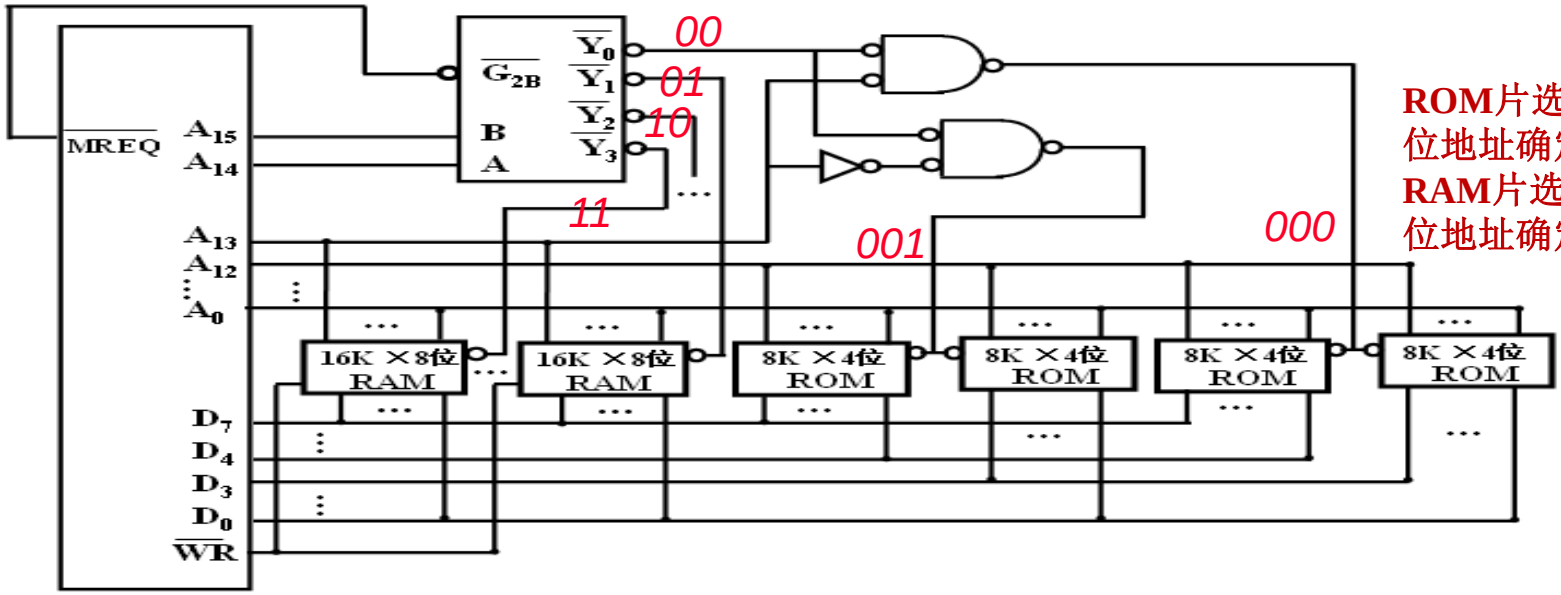
ROM芯片内地址位数为13位，连到CPU低13位地址线A12～A0

因为4000H～FFFFH为用户程序区，RAM区高两位是01、10、11，低14位为全译码。

RAM区大小为：3×2^{14}×8位=3×16K×8位= 48KB

RAM芯片数为：48K×8位 / 16K×8位 = 3×1 = 3，字方向上扩展3倍，位方向上不扩展。

RAM芯片内地址位数为14位，连到CPU低14位地址线A13～A0。

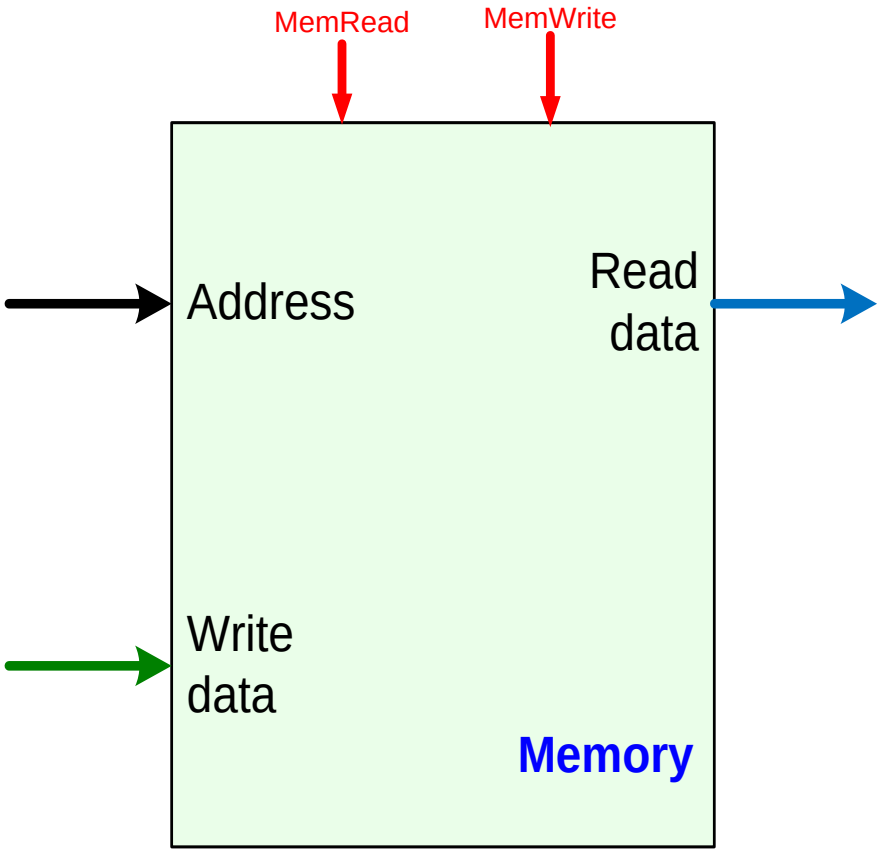


ROM片选由高3位地址确定。

RAM片选由高2位地址确定。

存储器的符号表示

- 读操作
  - 输入
    - 读单元地址：**Address**
    - 读控制信号：**MemRead**
  - 输出
    - 读出数据：**Readdata**
- 写操作
  - 输入
    - 写单元地址：**Address**
    - 写入数据：**Writedata**
    - 写控制信号：**MemWrite**
  - 输出：无

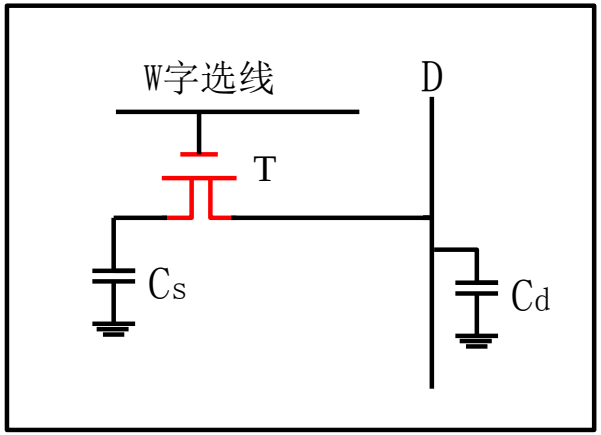


第四讲：主存储器

一．存储系统概述
二．存储单元电路
三．存储器芯片结构
四．存储器扩展
五．DRAM的刷新

5.1 DRAM存储单元电路的刷新

❖DRAM单管单元电路的工作特征



$V_d^{'}$：D线在读出调整后的电压

V_{cs}：C_s原来的电压

ΔV：D线上读出过程前后的变化量

$$\Delta V = V_d^{'} - V_{pre} = (V_{cs} - V_{pre}) \times C_s / (C_s + C_d)$$

由于C_d要比C_s大一两个数量级，所以

ΔV不会太大（1%到10%），一般为100mV左右。

D线上的电压在读出过程中的变化量实例计算：

假定$C_s = 1\text{pf}$，$C_d = 50\text{pf}$，$V_{pre} = 2.5V$

存储1时，$V_{cs} = 3.5V$，存储0时，$V_{cs} = 0V$

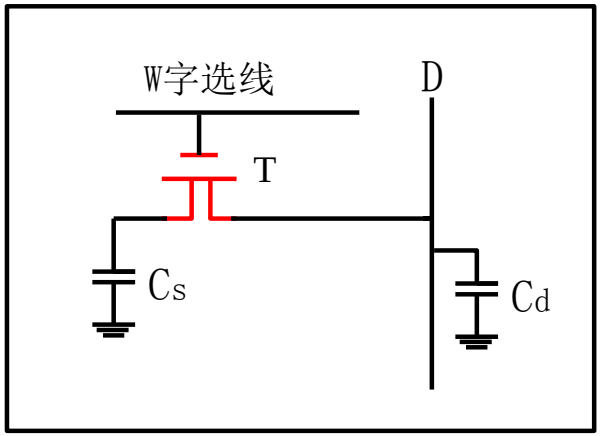
则：

$$\Delta V(1) = (3.5v - 2.5v) \times 1pf / (1pf + 50pf) = 19.6mv$$

$$\Delta V(0) = (0v - 2.5v) \times 1pf / (1pf + 50pf) = -49mv$$

5.1 DRAM存储单元电路的刷新

❖DRAM存储单元电路的信号刷新问题

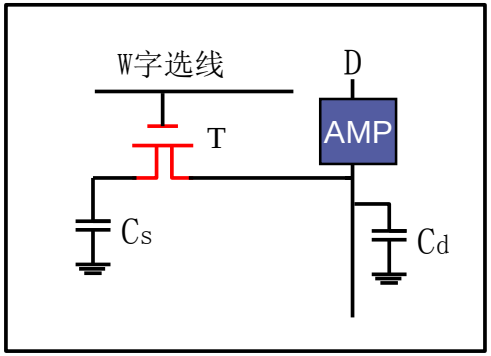


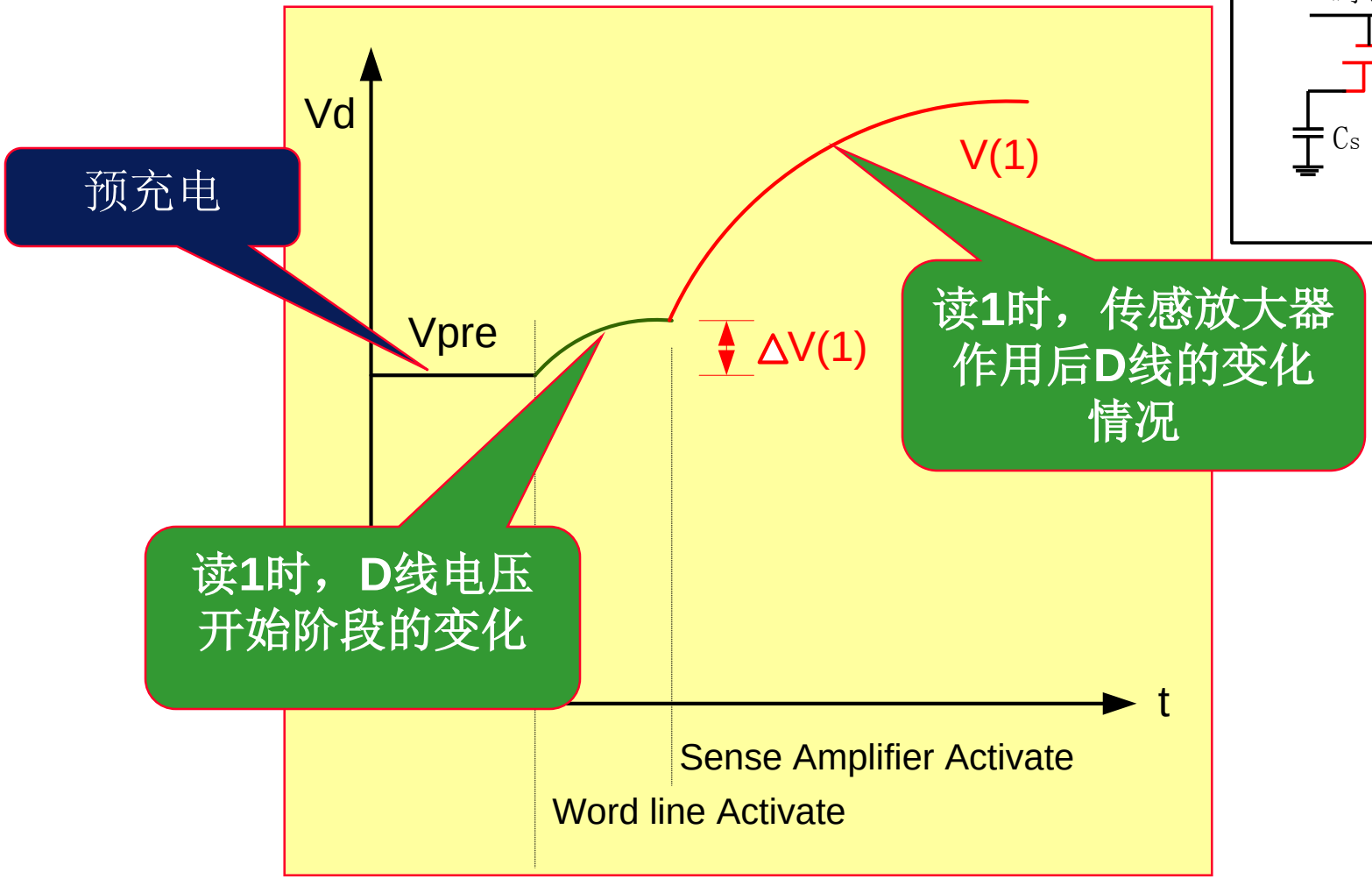
1. 由于读出过程D线电压变化量较小，需要对变化量进行放大才能得到有效的数据，所以单管存储单元电路中D线上必须增加传感放大器(Sense Amplifier)。

1. （没有感应放大器时）读出操作是一种破坏性操作，读1时，Cs放电；读0时，Cs充电；所以读出操作后，原保存在Cs上的数据（电荷）被破坏，应该立即进行恢复（重写或刷新）。
2. 在保持状态下，T管截止，Cs与外部隔开，但Cs两级间存在漏电流，所以，Cs上的电荷也会出现变化，必须在一个时间内重写数据，这个时间称为单元电路的刷新周期，一般为4ms、8ms。
2. 刷新由传感放大器在读出过程中同时完成。在D线上增加了传感放大器后读过程实际上就是一次刷新过程。事实上，DRAM的刷新就是通过这样的读操作来实现的。

5.1 DRAM存储单元电路的刷新

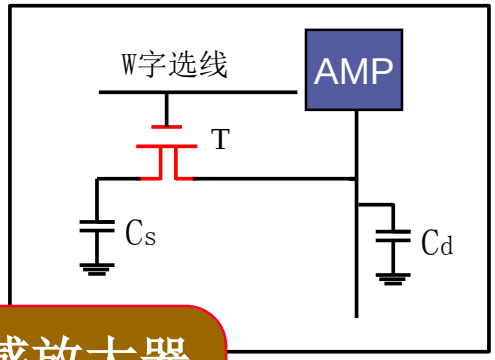
- 读“1”过程中的D线电压变化情况（刷新过程）

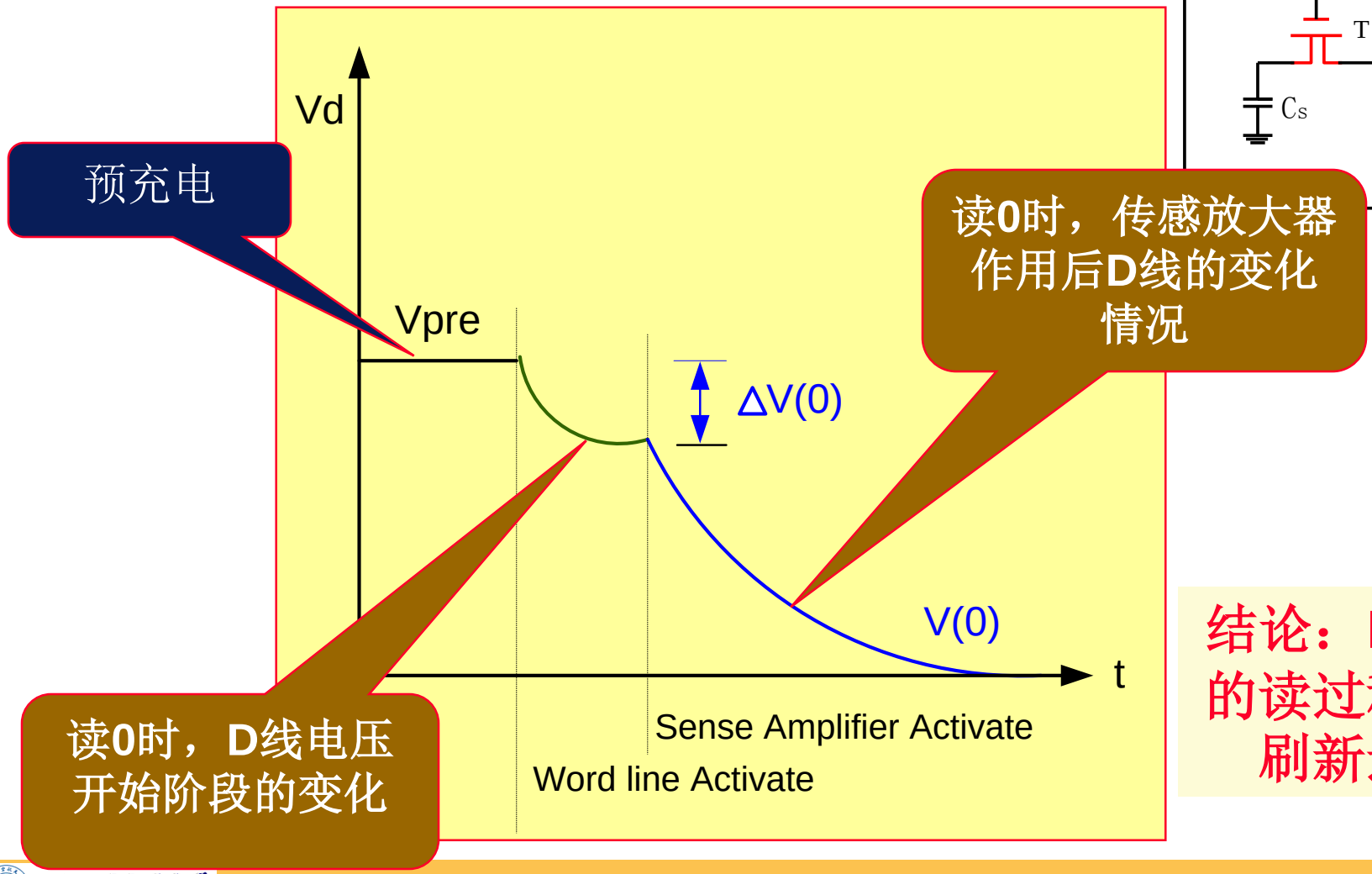




5.1 DRAM存储单元电路的刷新

- 读“0”过程中的D线电压变化情况（刷新过程）

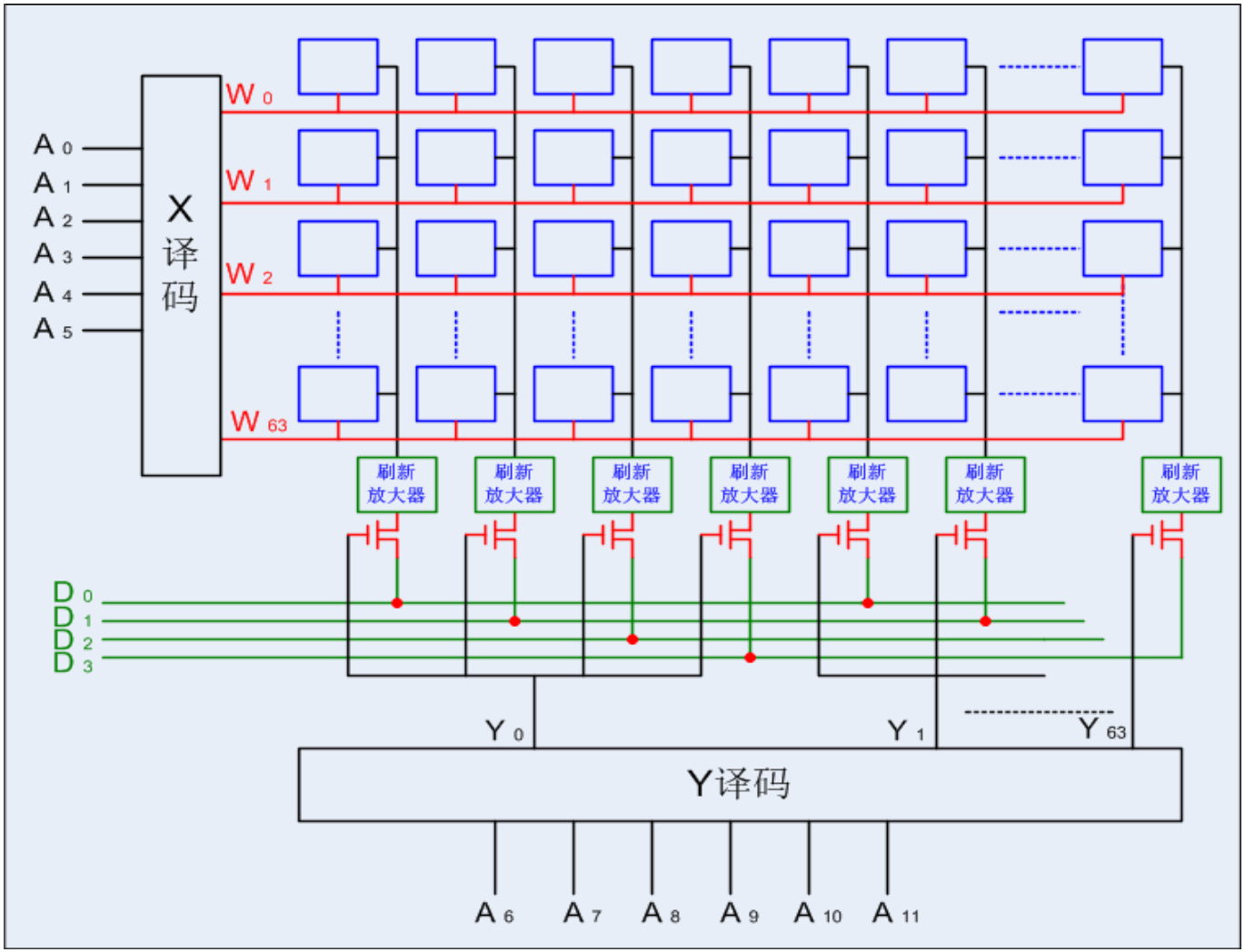




结论：DRAM的读过程就是刷新过程

5.2 DRAM存储芯片的刷新

- DRAM芯片：4096×4 DRAM



按行刷新，每次刷新1行

5.3 DRAM的刷新方式

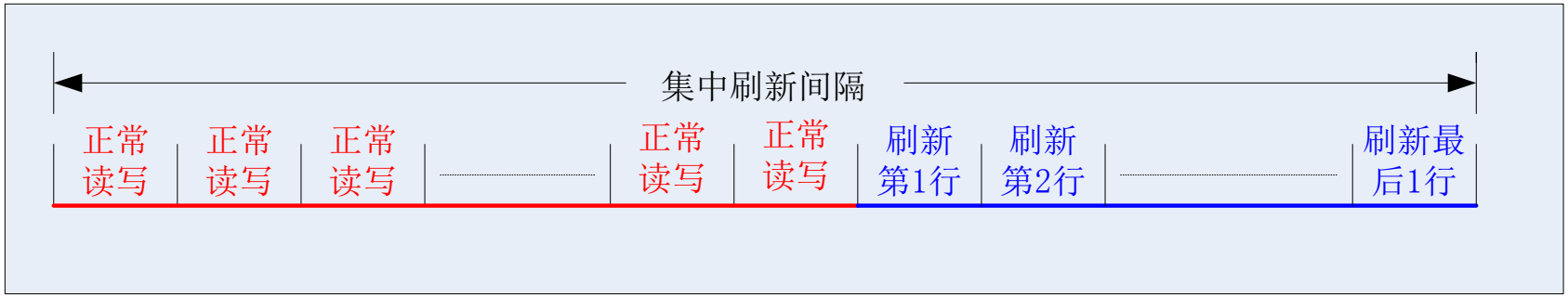
❖DRAM的刷新

- ➢刷新操作：读操作；
- ➢按行刷新、所有芯片同时进行 ；
- ➢刷新操作与CPU访问内存分开进行；
- ➢刷新周期：2ms, 4ms, 8ms,…,64ms；
- ➢刷新地址及刷新地址计数器

5.3 DRAM的刷新方式

❖集中刷新方式

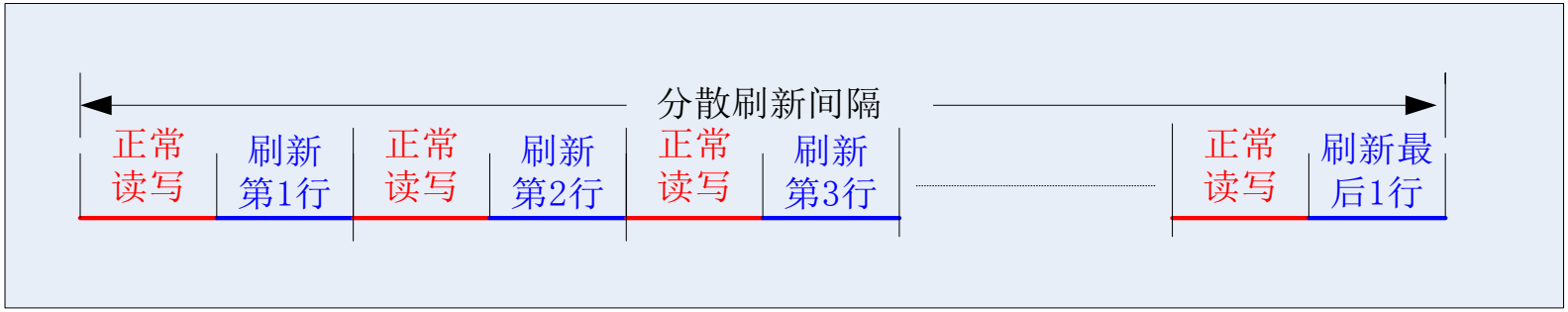
- 将刷新周期分成两部分，在一个时间段内刷新存储器所有行，另一个时间段CPU访问内存，刷新电路不工作。
- 集中刷新时间长，此时存储器不能正常读写（访存死区）。很少使用该方法。
- 集中刷新间隔 = 刷新周期



5.3 DRAM的刷新方式

❖分散刷新方式

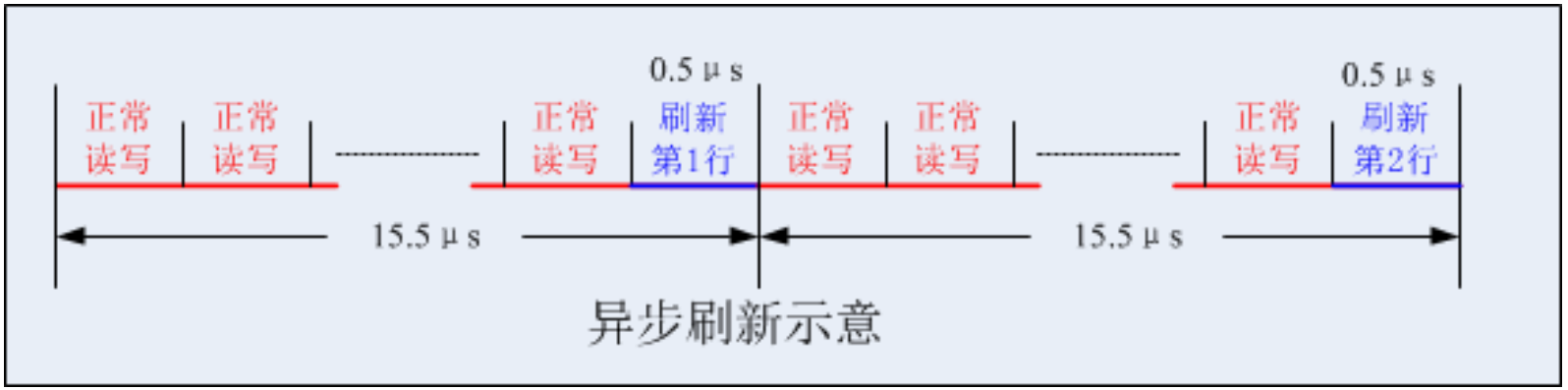
- 一个存储周期分为两段：前一段用于正常读写，后一段用于刷新操作。一个存储周期刷新1行，下一存储周期刷新另一行，直至最后1行后，又开始刷新第1行。
- 存储周期加长，效率降低，很少使用。
- 分散刷新间隔 = 刷新行数×存储周期 ≤ 刷新周期



5.3 DRAM的刷新方式

❖异步刷新方式

- 结合前两种方式，保证在一个刷新周期内将存储芯片内的所有行刷新一遍，且只刷新一遍。
- 异步刷新间隔 = 刷新周期
- 以128行为例，在2ms时间内必须轮流对每一行刷新一次，即每隔2ms/128=15.5μs刷新一行。这时假定读/写与刷新操作时间都为0.5μs，则可用前15μs进行正常读/写操作，最后0.5μs完成刷新操作。



异步刷新示意