

# 计算机组成原理 (2014级)

## 计算机组成原理课程组

(刘旭东、肖利民、牛建伟、栾钟治)

Tel : 82316285

Mail: liuxd@buaa.edu.cn

liuxd@act.buaa.edu.cn

# 第三讲：时序逻辑电路设计

## 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

## 二. 有限状态机

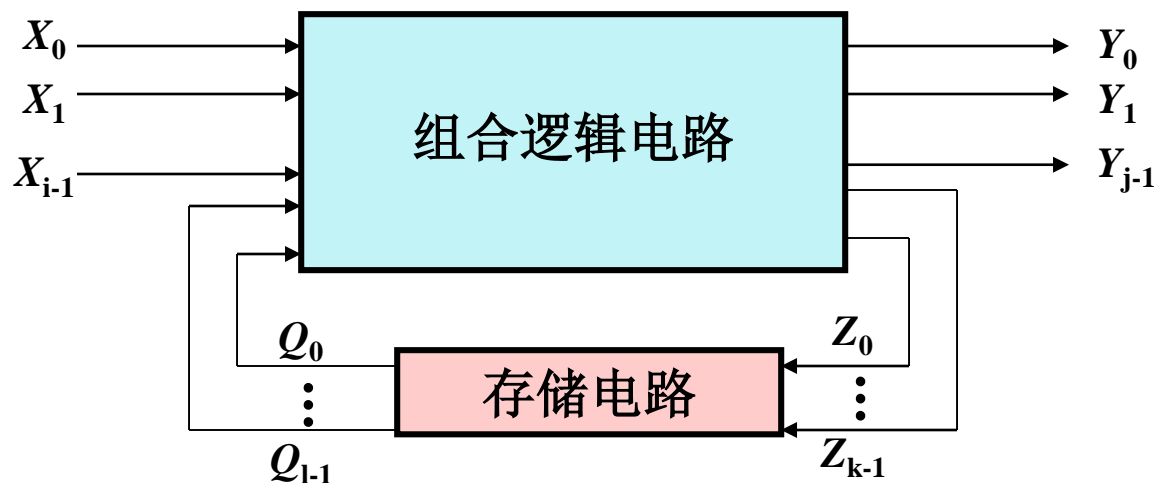
1. Moore型有限状态机
2. Mealy型有限状态机

## 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器

# 概述

- ❖ 组合逻辑电路：输出完全由输入决定，无记忆功能
- ❖ 数字系统中，有时需要将运算的数据和结果保存起来，需要具有记忆功能的电路——时序逻辑电路
- ❖ 时序逻辑电路的特点
  - 当前输出由当前输入与电路原来状态决定——具有“记忆”功能
  - 结构特点：由组合逻辑电路和存储电路构成



# 概述

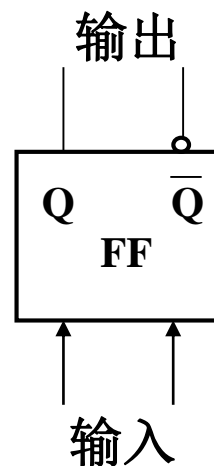
❖ **触发器(Flip-Flop, FF)**：一种有记忆功能的器件，是时序逻辑电路的基本器件。

➤ 记忆电路特征：状态可预置（置0，置1），状态可保持

## 双稳态触发器(两个稳定的状态)

- 1、有两个互非的输出 $Q$ 和 $\bar{Q}$ ，  
当 $Q = 0 (\bar{Q} = 1)$ 时称为0态，  
当 $Q = 1 (\bar{Q} = 0)$ 时称为1态。
- 2、无外加信号时，触发器保持原有状态（原态）不变，  
 $n$ 级触发器可以记忆 $n$ 位二进制信息的 $2^n$ 种状态。
- 3、在外加信号作用（触发）时，可以改变原态  
（具有置0或置1功能）。
- 4、 $Q^n(\text{原态}) \rightarrow Q^{n+1}(\text{次态})$

$Q$ 称为状态变量

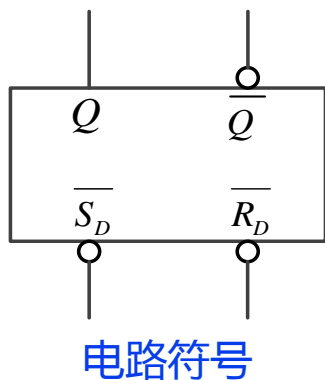
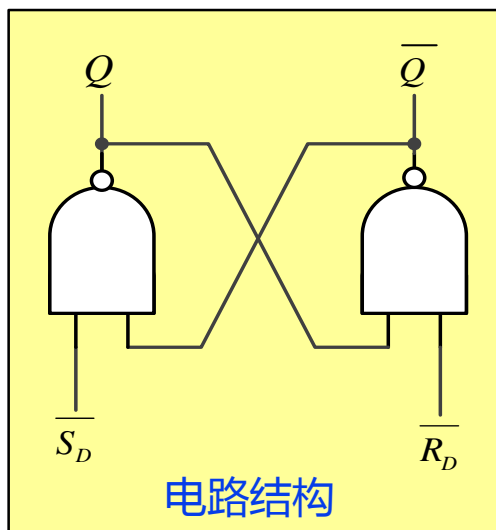


## 1.1.1 基本RS锁存器

❖ **基本RS锁存器**：具有两个稳定状态，可自行保持输出状态，是各种触发器的基本构成。

➤ RS : Reset/Set

(1) 真值表(特性表)



$\overline{S_D}$	$\overline{R_D}$	$Q^n$	$Q^{n+1}$	功能
0	1	0	1	置1：次态为1
0	1	1	1	
1	0	0	0	置0：次态为0
1	0	1	0	
1	1	0	0	保持：次态不变
1	1	1	1	
0	0	0	约束条件， $\overline{S_D}$ 和 $\overline{R_D}$ 不能同时为0，即必有： $\overline{S_D} + \overline{R_D} = 1$	
0	0	1		

将原态作为一个变量列入真值表，将这种含有状态变量的真值表称为特性表

## 1.1.1 基本RS锁存器

**(2) 特性方程**：锁存器次态与原态及输入之间的逻辑函数表达式。

由特性表利用最小项推导法：

$$\begin{aligned} Q^{n+1} &= \overline{\overline{S_D} \overline{R_D} Q^n} + \overline{\overline{S_D} \overline{R_D} Q^n} + \overline{\overline{S_D} \overline{R_D} Q^n} \\ &= \overline{\overline{S_D} \overline{R_D}} + \overline{\overline{S_D} \overline{R_D} Q^n} \\ &= \overline{S_D} \overline{R_D} + \overline{\overline{S_D} \overline{R_D} Q^n} \end{aligned}$$

利用约束条件化简：

$$\begin{aligned} Q^{n+1} &= \overline{S_D} \overline{R_D} + \overline{\overline{S_D} \overline{R_D} Q^n} \\ &= (\overline{S_D} \overline{R_D} + \overline{\overline{S_D} \overline{R_D}}) (\overline{S_D} \overline{R_D} + Q^n) \\ &= \overline{R_D} (\overline{S_D} \overline{R_D} + Q^n) \\ &= \overline{S_D} \overline{R_D} + \overline{R_D} Q^n \\ &= \overline{S_D} \overline{R_D} + \overline{S_D} \overline{R_D} + \overline{R_D} Q^n \quad \text{约束 } \overline{S_D} \overline{R_D} = 0 \\ &= \overline{S_D} + \overline{R_D} Q^n \end{aligned}$$

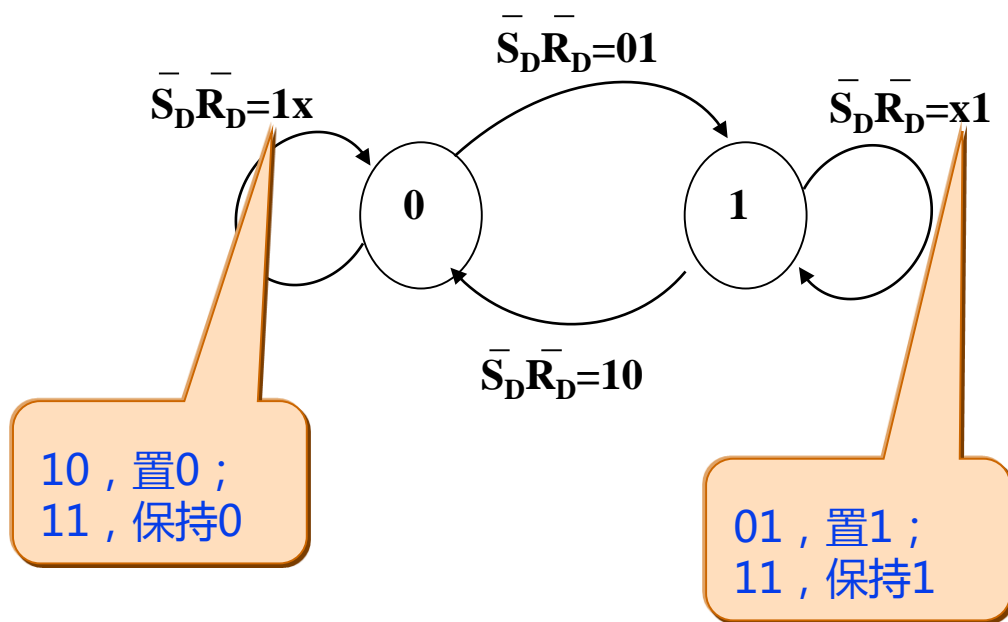
真值表(特性表)

$\overline{S_D}$	$\overline{R_D}$	$Q^n$	$Q^{n+1}$	功能	
0	1	0	1	置1：次态为1	
0	1	1	1		
1	0	0	0	置0：次态为0	
1	0	1	0		
1	1	0	0	保持：次态不变	
1	1	1	1		
0	0	0	约束条件， $\overline{S_D}$ 和 $\overline{R_D}$ 不能同时为0，即必有： $\overline{S_D} + \overline{R_D}=1$		
0	0	1			

## 1.1.1 基本RS锁存器

**(3) 状态转换图：**简称**状态图**，表示触发器状态变化（转移）的图形

- 用圆圈表示“0”或“1”状态，用带箭头的线表示状态变化的方向，线上的数据表示状态变化需要的输入条件。
- 状态转换图是触发器、时序逻辑电路特有的描述方法。



真值表(特性表)

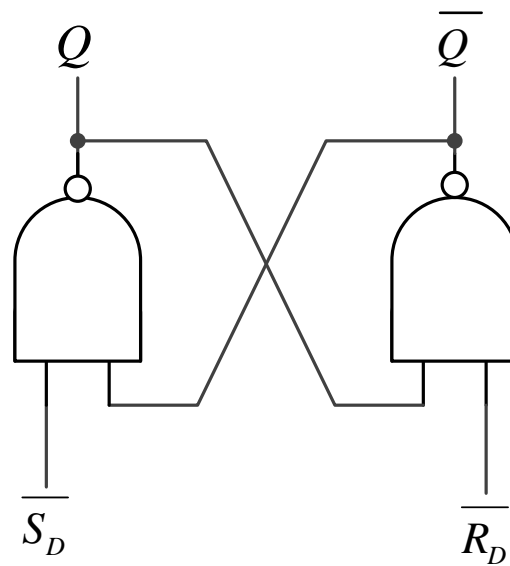
$\overline{S_D}$	$\overline{R_D}$	$Q^n$	$Q^{n+1}$	功能
0	1	0	1	置1：次态为1
0	1	1	1	
1	0	0	0	置0：次态为0
1	0	1	0	
1	1	0	0	保持：次态不变
1	1	1	1	
0	0	0	约束条件， $\overline{S_D}$ 和 $\overline{R_D}$ 不能同时为0，即必有： $\overline{S_D} + \overline{R_D}=1$	
0	0	1		

## 1.1.1 基本RS锁存器

### (4) Verilog HDL描述

- 根据电路结构写出输出信号的逻辑表达式；
- 采用assign语句描述

```
module RS_FF(Q,QN,SDN,RDN);  
    input  SDN,RDN;  
    output Q,QN;  
    assign Q = !(SDN && QN);  
    assign QN = !(RDN && Q);  
endmodule
```



$$Q = \overline{\overline{S_D} \cdot \overline{Q}}$$

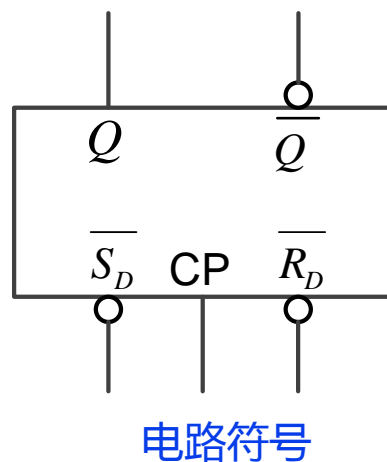
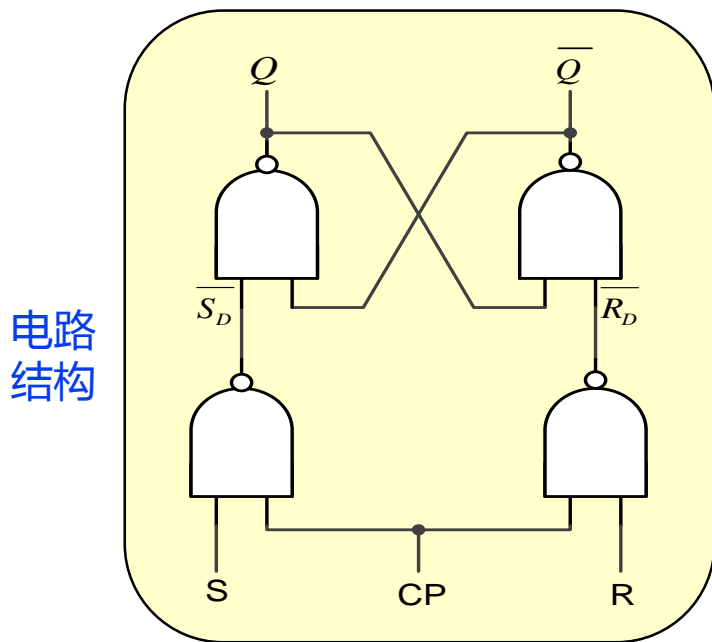
$$\overline{Q} = \overline{\overline{R_D} \cdot Q}$$



## 1.1.2 钟控RS锁存器

❖ **钟控锁存器**：数字系统中，为协调各部分电路同步运行，常要求某些锁存器在时钟信号的控制下同时动作，需要增加一个控制端（时钟信号），只有在控制端作用脉冲到达时锁存器才能动作，这种有时钟控制端的锁存器叫做**钟控锁存器**。

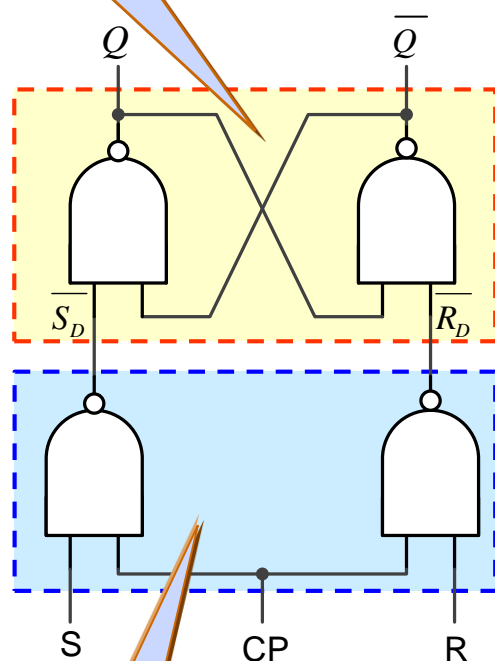
- 由于这里时钟信号为高电位（或低电位）时锁存器的状态随输入变化，所以钟控锁存器是**电位触发方式**的锁存器。
- 钟控锁存器在时钟控制下**同步**工作，所以也称为**同步锁存器**。



## 1.1.2 钟控RS锁存器

### ❖ 钟控RS锁存器

基本RS  
锁存器



输入控制  
电路

- 电位触发：在控制信号CP的控制下接收数据。电位触发有正电位触发和负电位触发。
- $CP = 0$ 时， $\bar{S}_D = \bar{R}_D = 1$ ，保持原有状态。
- 当 $CP = 1$ 时，其输出状态由R、S端的输入信号决定——具有基本RS锁存器的功能。

$$\bar{S}_D = \overline{S \cdot CP} = \bar{S}, \quad \bar{R}_D = \overline{R \cdot CP} = \bar{R}$$

$$Q^{n+1} = S_D + \bar{R}_D Q^n = S + \bar{R} Q^n$$

## 1.1.2 钟控RS锁存器

- CP=0 时，锁存器处于保持状态
- CP=1 时，基本RS锁存器的功能

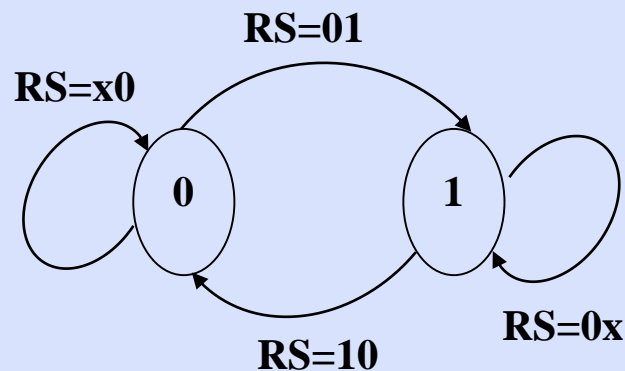
特性表 (CP=1)

$S$	$R$	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持：次态不变
0	0	1	1	
0	1	0	0	置0：次态为0
0	1	1	0	
1	0	0	1	置1：次态为1
1	0	1	1	
1	1	0	约束条件， $\overline{S_D}$ 和 $\overline{R_D}$ 不能同时为0，即S和R不能同时为1，则必有： $S \cdot R = 0$	
1	1	1		

特性方程(CP=1)

$$\begin{aligned}Q^{n+1} &= \overline{S}\overline{R}Q^n + (\overline{S}\overline{R}\overline{Q}^n + \overline{S}RQ^n) \\&= \overline{S}\overline{R}Q^n + \overline{S}\overline{R} + SR \\&= \overline{S}\overline{R}Q^n + S + \overline{S}\overline{R}Q^n \\&= S + \overline{R}Q^n\end{aligned}$$

$$S \cdot R = 0 \text{ (约束条件)}$$

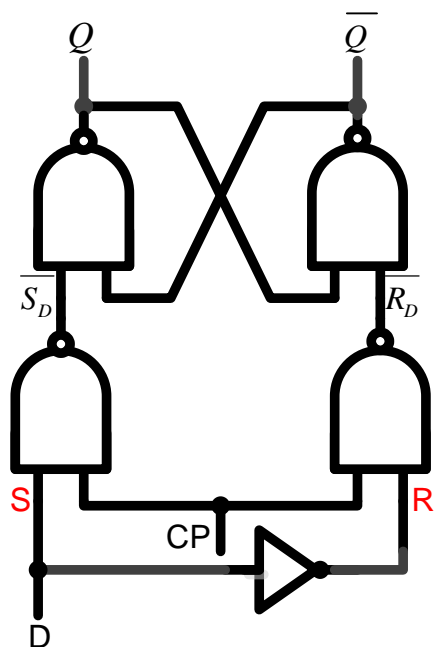


状态转换图(CP=1)

### 1.1.3 钟控D锁存器

#### ❖ 问题：如何消除钟控RS锁存器的约束？

- 将钟控RS锁存器输入由R、S双端输入改为单端输入（D），即将其S端改为D输入端，D经过非门接R端（S、R总是互反）！



电路结构

- 当CP = 0，保持原态。

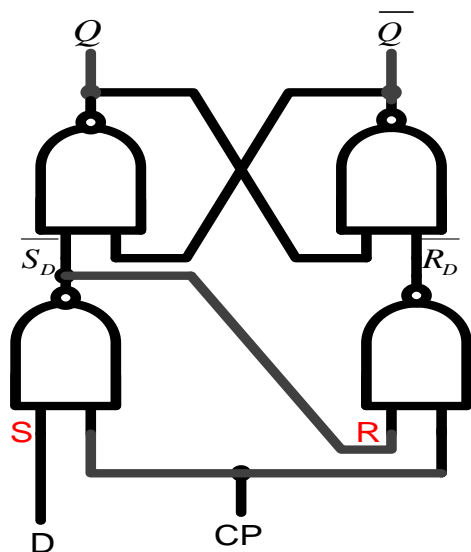
- 当CP = 1时：

若D=0，则S=0，R=1，锁存器置“0”

若D=1，则S=1，R=0，锁存器置“1”

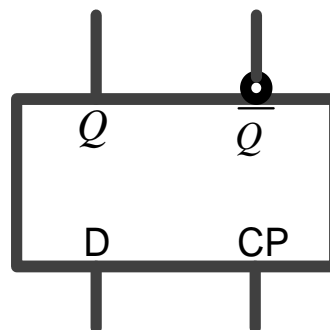
$$Q^{n+1} = S + \overline{R}Q^n = D + DQ^n = D$$

## 1.1.3 钟控D锁存器



特性表(CP=1)

D	$Q^n$	$Q^{n+1}$	功能
0	0	0	置0
0	1	0	
1	0	1	置1
1	1	1	



电路符号

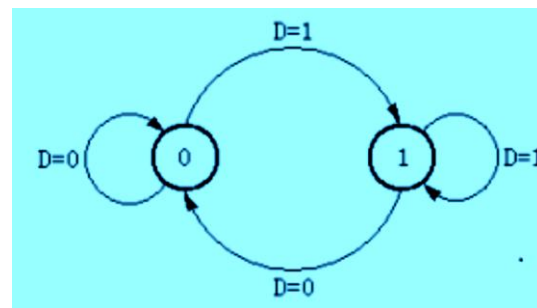
借用输入控制电路的一个与非门对D反相，作为R信号

### 特性方程

$$CP = 1 \text{ 时: } Q^{n+1} = D\bar{Q}^n + DQ^n = D$$

$$CP = 0 \text{ 时: } Q^{n+1} = Q^n$$

### CP=1 时的状态图

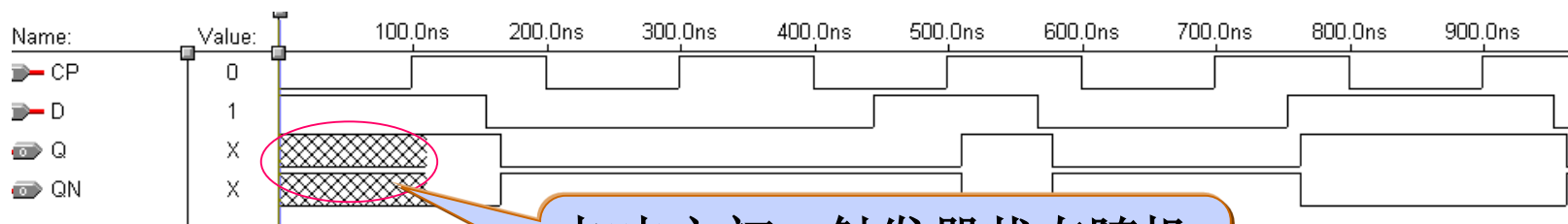


## 1.1.3 钟控D锁存器

### ❖ Verilog HDL描述

➤ D锁存器为电位触发器，假定为高电平触发

```
module D_FF_1(CP,D,Q,QN);  
    input CP,D;  
    output Q,QN;  
    reg Q,QN;  
  
    always  
    begin  
        if (CP == 1)begin Q = D;QN = ~Q; end  
        else begin Q = Q;QN = QN; end  
    end  
endmodule
```



加电之初，触发器状态随机，  
CP=0时保持原态，

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

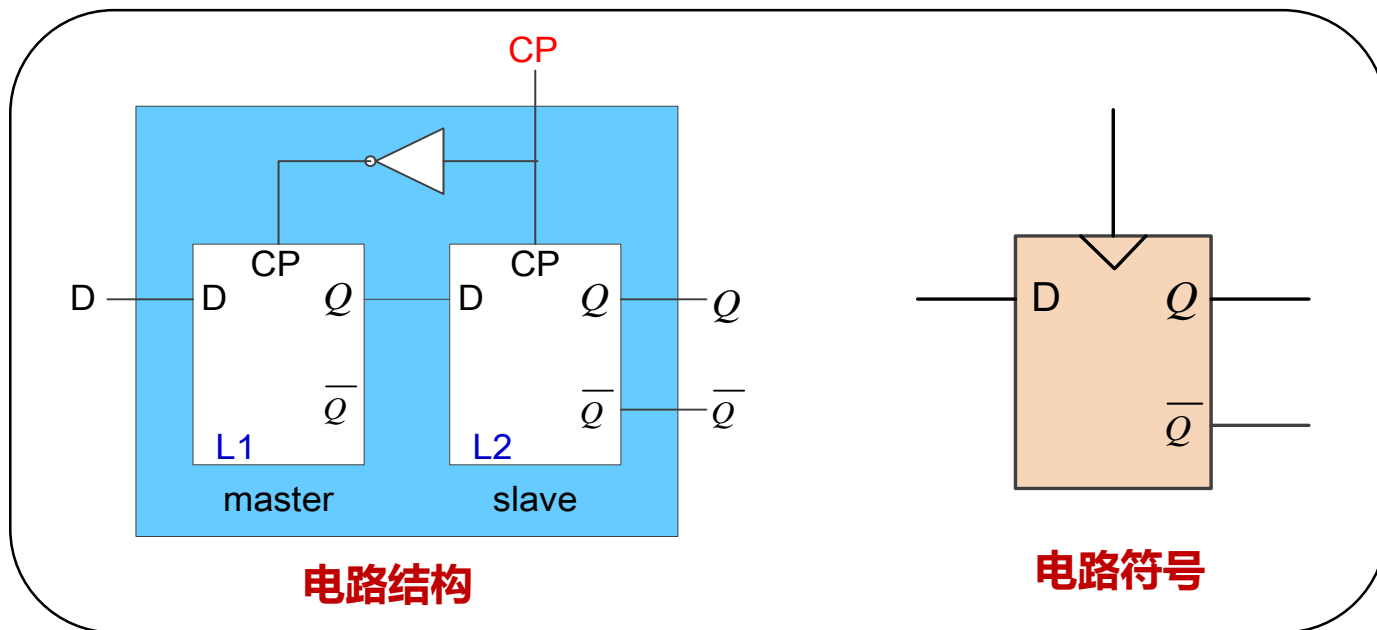
### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器

## 1.2 D触发器

❖ **D触发器**：两个反相的D锁存器构成。

➤ 主从结构：L1为主锁存器，L2为从锁存器



❖ 工作原理（CP从0到1）

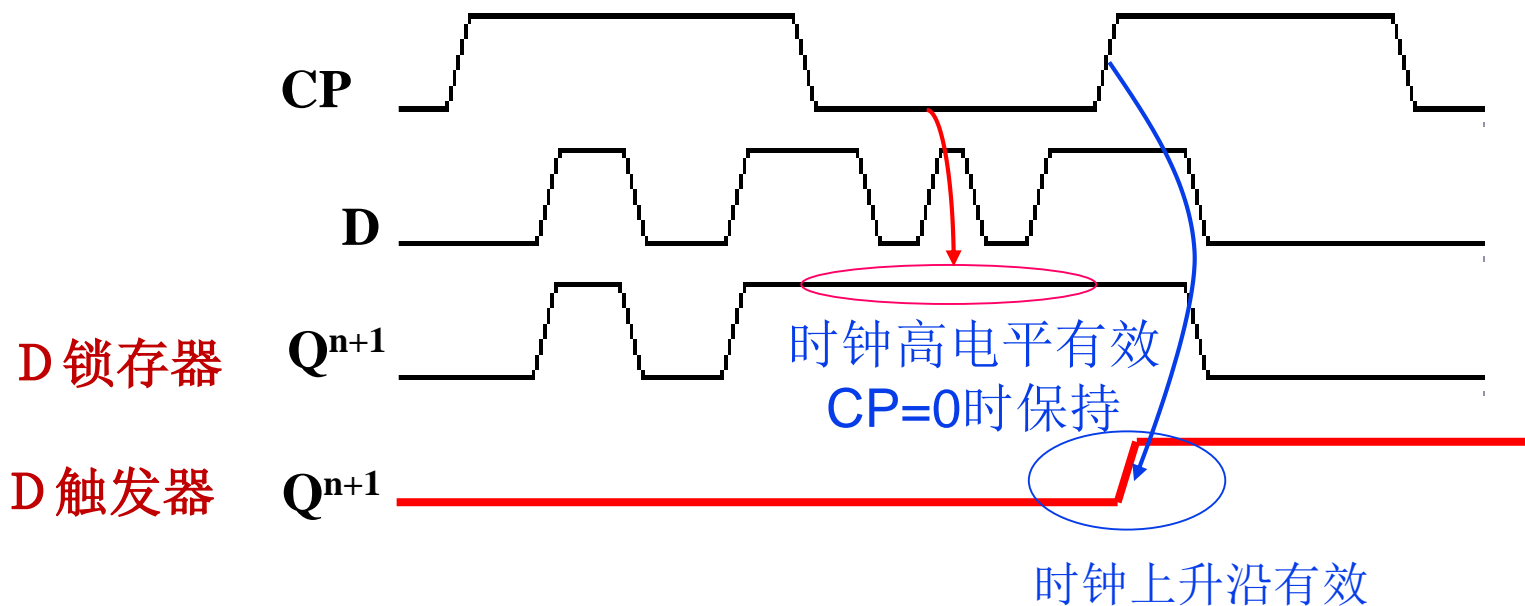
- ①  $CP = 0$ ：L1是通路， $Q_1 \leftarrow D$ ；L2是断路， $Q_2$ 值不变
- ②  $CP$ 从0上升到1： $Q_2 \leftarrow Q_1$ ，触发时刻
- ③  $CP = 1$ ：L1是断路， $Q_1$ 值不变；L2是通路， $Q_2 \leftarrow Q_1$ （实际上 $Q_2$ 也保持不变）



## 1.2 D触发器

### ❖ D锁存器与D触发器的区别

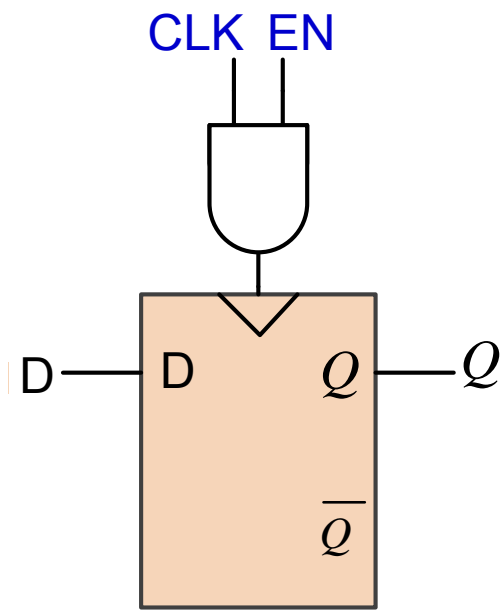
- D锁存器是电位（电平）触发的，只有在时钟CP有效电平（高电平CP=1或者低电平CP=0）期间，触发器的状态才有可能发生变化。
- D触发器的状态变化只发生在时钟CP的有效沿（上升沿或者下降沿）期间，CP=1、CP=0时触发器的状态不会发生变化。



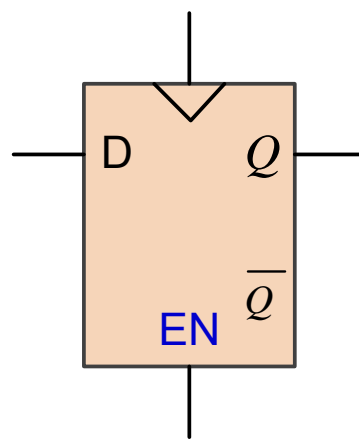
## 1.2 D触发器

❖ **带使能端的D触发器**：增加输入使能信号EN（ENable），用于确定在时钟沿是否能够载入数据。

- EN = 1时，D触发器正常工作
- EN = 0时，D触发器状态不变
- 在时钟信号上一般不要设置逻辑，否则可能因延迟导致时序错误



电路结构



电路符号

## 1.2 D触发器

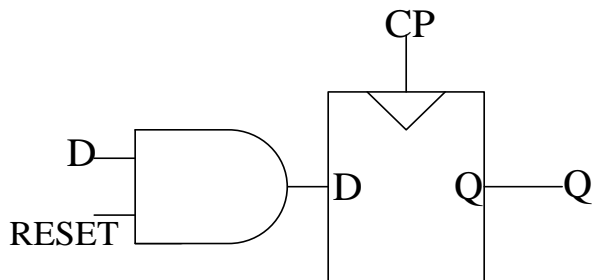
❖ **带复位功能的D触发器**：增加输入复位信号RESET。

- 当系统加电讲触发器设置为已知状态 ( $Q=0$ )
- RESET 有效时 ( $=1$ )，D触发器复位 ( $Q=0$ )
- RESET 无效时 ( $=0$ )，D触发器正常工作

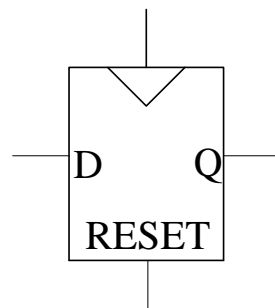
❖ **复位方式**

- 同步复位：复位信号有效和时钟有效沿同时有效才能复位 (置0)
- 异步复位：只要复位信号有效就能复位

❖ **有的触发器还带有置位 (SET) 功能 ( $Q=1$ )**



电路结构



电路符号

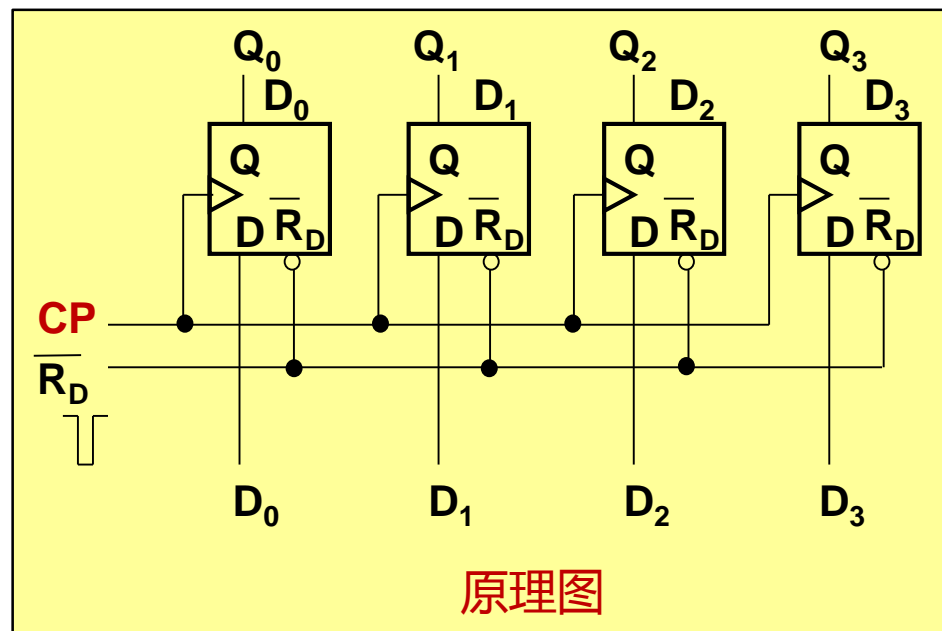
## 1.2 由D触发器构成寄存器

### ❖ 4位寄存器

➤ 由同一时钟控制的4D触发器构成

$D_3D_2D_1D_0$  : 并行数据输入

$Q_3Q_2Q_1Q_0$  : 并行数据输出



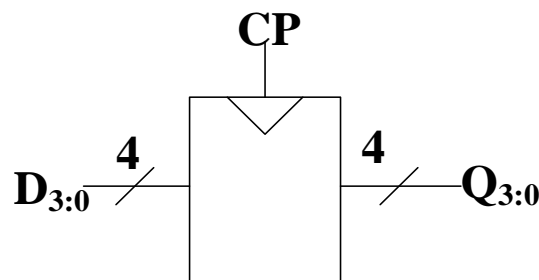
### ❖ 工作原理

(1) 清除 (复位)

当  $\overline{R_D} = 0$ ,  $Q_0Q_1Q_2Q_3 = 0000$

(2) 置数 (复位端无效时)

当  $\overline{CP}$  上升沿时,  $Q_0Q_1Q_2Q_3 = D_0D_1D_2D_3$



电路符号

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

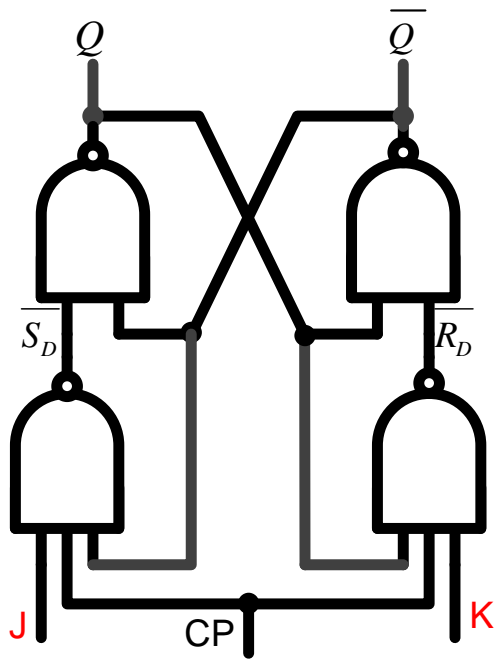
1. Moore型有限状态机
2. Mealy型有限状态机

### 三. 时序逻辑电路设计分析

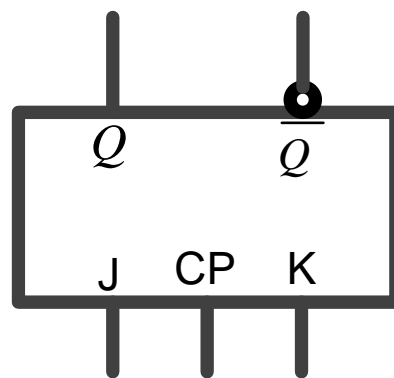
1. 数据寄存器
2. 移位寄存器
3. 计数器

## 1.3 钟控JK触发器

- ❖ D锁存器虽然没有约束条件，但功能较少（只有置0、置1功能）。
- ❖ JK触发器是一种功能最全面，而且没有约束条件的FF。它是在钟控RS FF的基础上，增加两条反馈线，Q反馈到R钟控门的输入端，并把R改为K；/Q反馈到S门上，并把S改名为J。



钟控JK触发器的电路结构



$$CP = 1\text{时}$$

$$\overline{S_D} = \overline{JQ^n}, \quad \overline{R_D} = \overline{KQ^n}$$

$$\begin{aligned} Q^{n+1} &= \overline{S_D} + \overline{R_D}Q^n = \overline{JQ^n} + \overline{KQ^n}Q^n \\ &= \overline{J}Q^n + \overline{K}Q^n \end{aligned}$$

## 1.3 钟控JK触发器

### ❖ 电路功能 ( CP=1时 )

特性表(CP=1)

J	K	$Q^n$	$Q^{n+1}$	功能
0	0	0	0	保持
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	1	翻转
1	1	1	0	(计数)

简化特性表(CP=1)

J	K	$Q^{n+1}$	功能
0	0	$Q^n$	保持
0	1	0	置0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转

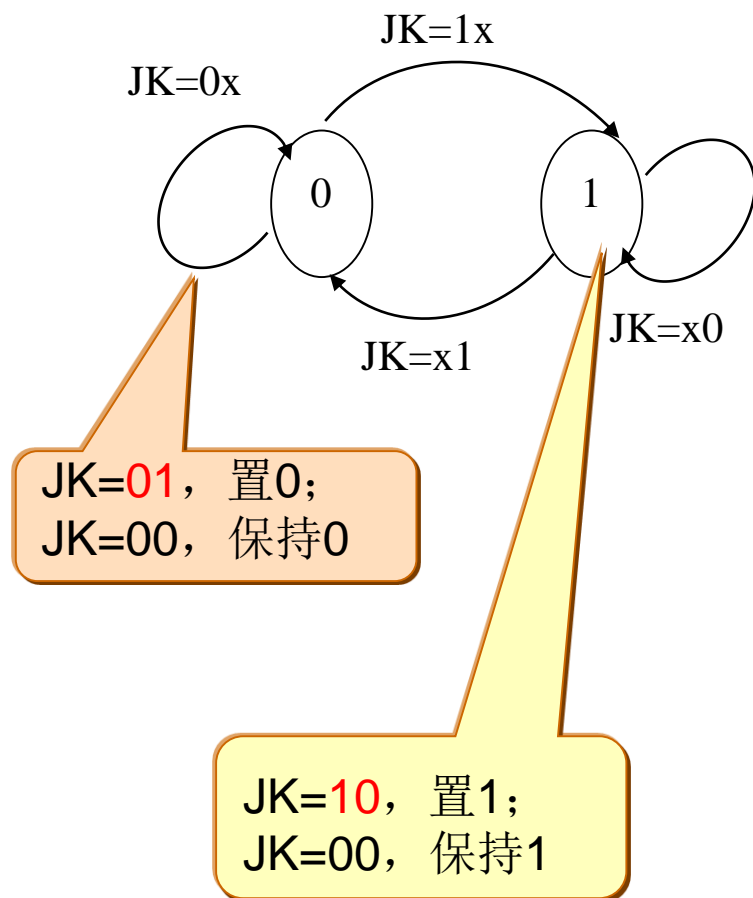
### 特性方程

$$\begin{aligned}Q^{n+1} &= \overline{J}\overline{K}Q^n + J\overline{K}\overline{Q}^n + J\overline{K}Q^n + JK\overline{Q}^n \\&= (J\overline{K}\overline{Q}^n + JK\overline{Q}^n) + (\overline{J}\overline{K}Q^n + J\overline{K}Q^n) \\&= J\overline{Q}^n + \overline{K}Q^n\end{aligned}$$

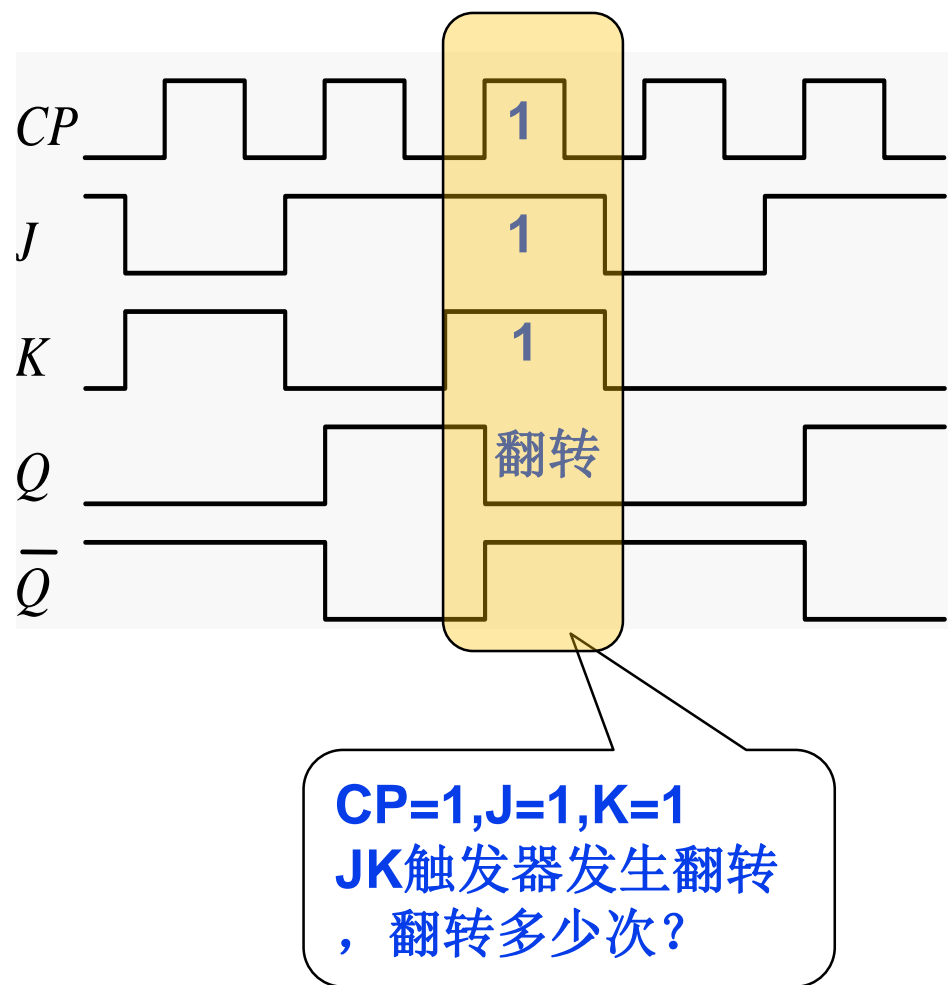
### ❖ 电路功能 ( CP=0时 , 保持原态 )

## 1.3 钟控JK触发器

状态转换图



时序图





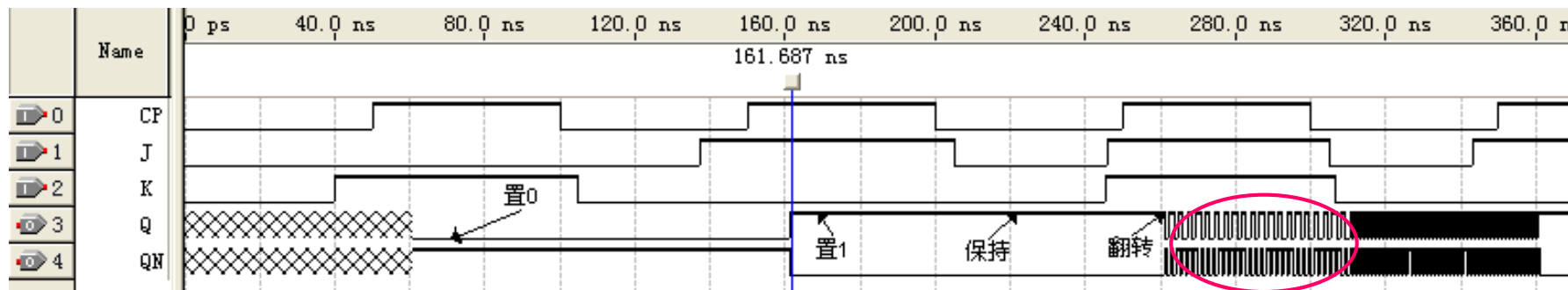
## 1.3 钟控JK触发器

### ❖ 钟控JK触发器Verilog HDL源文件（行为描述）

```
module JK_FF(CP,J, K,Q,QN);
    input    CP, J, K;
    output   Q,QN;
    reg      Q,QN;
    always @(CP or J or K)
        begin
            if (CP==0)                                //保持
                begin Q = Q;  QN = QN; end
            else if (CP==1)
                case ({J,K})
                    2'b00: begin Q = Q;    QN = QN; end //保持
                    2'b01: begin Q = 1'b0;  QN = 1'b1; end //置0
                    2'b10: begin Q = 1'b1;  QN = 1'b0; end //置1
                    2'b11: begin Q = !Q;    QN = !QN; end //翻转
                endcase
        end
endmodule
```

## 1.3 钟控JK触发器

钟控JK触发器的仿真波形

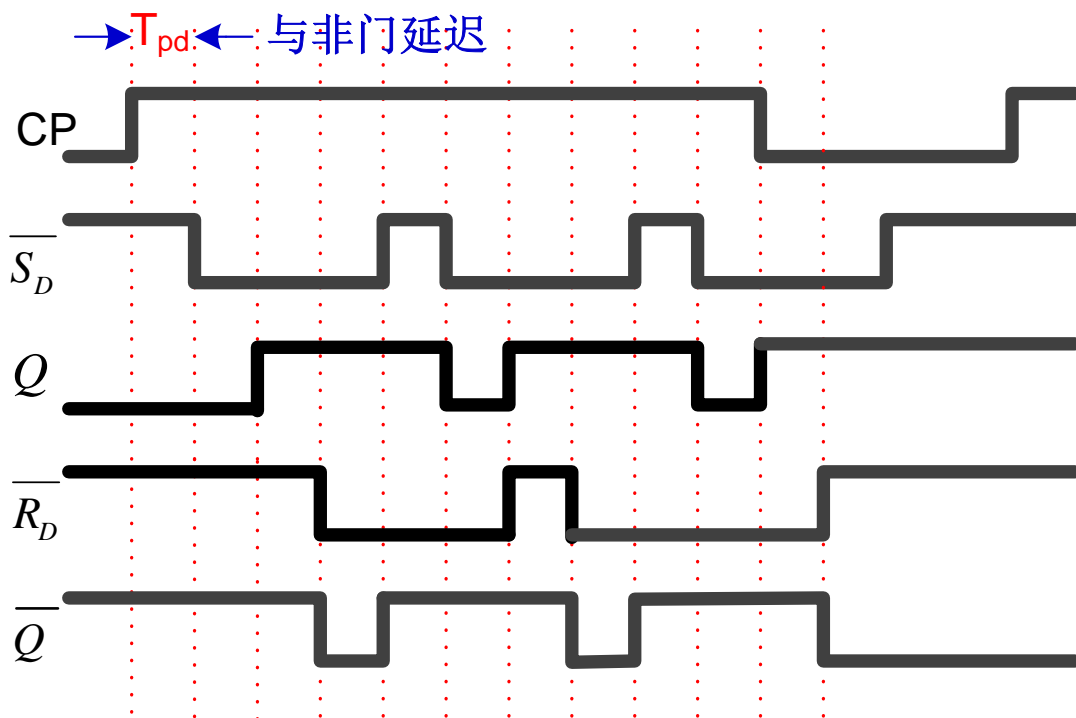
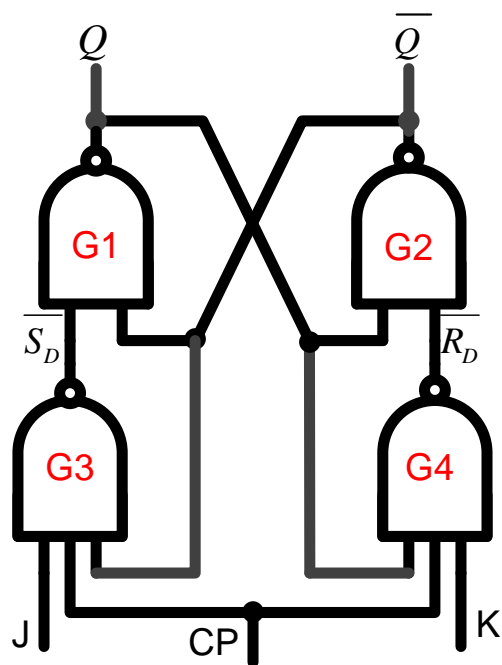


**J=1、K=1时  
发生空翻**

- ❖ 钟控JK触发器比D锁存器新增的功能：
  - 当JK=11时，输出的波形翻转（可用于计数）；
  - 当JK=00时，触发器保持原来的状态。

## 1.3 钟控JK触发器

### ❖ 钟控JK触发器的空翻现象分析（初态 $Q=0$ ， $J=1$ ， $K=1$ ）

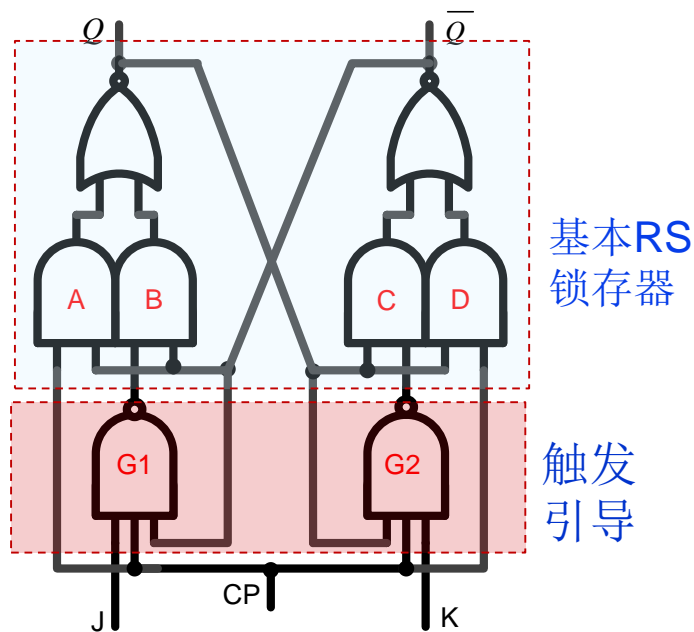


- 当 $CP=1$ 时，由于触发器初态 $Q=0$ ，门G4截止，门G3导通。2个 $T_{pd}$ 后，Q端由0变为1；第3个 $T_{pd}$ 后， $\overline{Q}$ 由1变为0，触发器完成第一次翻转。
- 如果 $CP=1$ 继续保持，由于 $\overline{Q}=0$ 使门G3截止， $Q=1$ 使门G4导通，第4个 $T_{pd}$ 后， $\overline{Q}$ 由0变为1，第5个 $T_{pd}$ 后，Q由1变为0，又使触发器完成第二次翻转。...
- 要保证 $CP=1$ 期间JK触发器只翻转1次： $3 T_{pd} < T_{CP} < 4 T_{pd}$  在实际的电路中难以实现

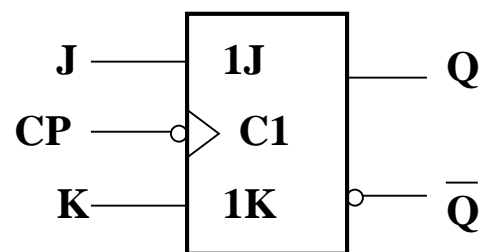
## 1.4 负边沿触发的JK触发器

### ❖ 电路结构

- 一个基本RS锁存器
- 一个触发引导逻辑
- 利用门电路传输延迟差异而引导触发
- G1、G2传输延迟大于A、D的翻转时间



电路结构

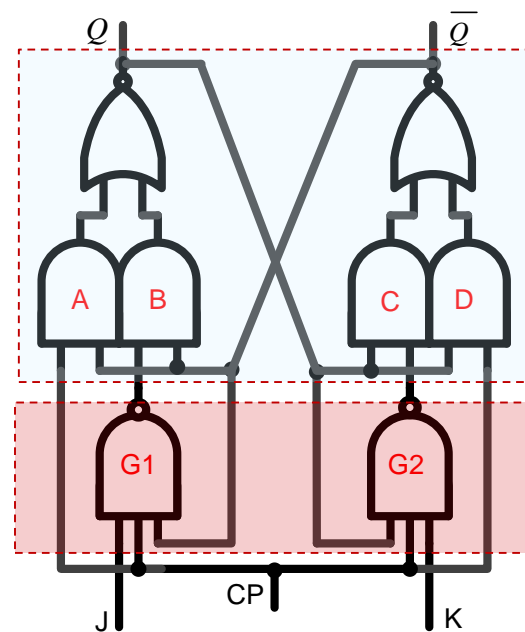


符号表示

## 1.4 负边沿触发的JK触发器

### ❖ 工作原理

1. **CP=0时**：G1、G2输出为1，门A、D封锁，故门B、C构成基本RS锁存器。 $/S_D=1$ ， $/R_D=1$ ，保持功能， $Q^{n+1}=Q^n$ ，与J、K输入无关。
2. **CP=1时**：门A和D输入分别为 $/Q$ 和 $Q$ ，若 $Q^n=0$ ，则 $Q^{n+1}=0$ ；若 $Q^n=1$ ，则 $Q^{n+1}=1$ ，保持功能， $Q^{n+1}=Q^n$ ，与J、K输入无关。
3. **CP↓时**：
  - ① 门A、D先关闭，但G1、G2还未关闭（可视为CP=1），J、K的状态从G1、G2输出，通过门B、C进入基本RS触发器，先完成的是钟控JK触发器的功能。若JK=10， $Q^{n+1}=1$ ，置1功能。若JK=01， $Q^{n+1}=0$ ，置0功能。
  - ② 之后，G1、G2关闭，输出1， $/S_D=1$ 、 $/R_D=1$ ，触发器执行保持功能，即使J、K状态再发生变化也不影响触发器的状态。



电路结构

CP ↓ 时

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

## 小结

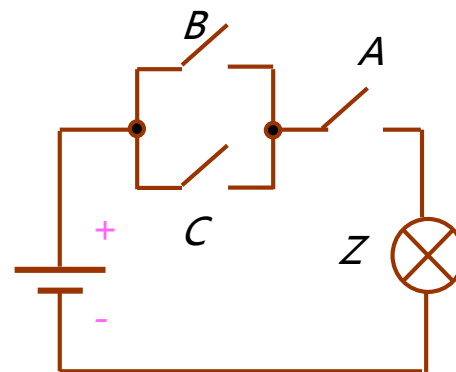
- ❖ **基本RS锁存器**：具有保持、置0、置1功能，其输入信号可以直接控制锁存器的输出；
- ❖ **钟控RS锁存器**：时钟信号CP有效时锁存器的状态随输入变化（约束条件R、S不能同时为1）；
- ❖ **钟控D锁存器**：为消除钟控RS触发器的不定状态，将钟控RS锁存器双端输入改为单端输入（D），即D锁存器；
- ❖ **D触发器**：两个反向钟控D锁存器构成D触发器。时钟信号CP的边沿（上升沿或下降沿）触发。
- ❖ D锁存器是电平敏感的，D触发器是边沿触发的；
- ❖ 寄存器有共享时钟信号CLK的多个D触发器构成。

## 触发器应用举例

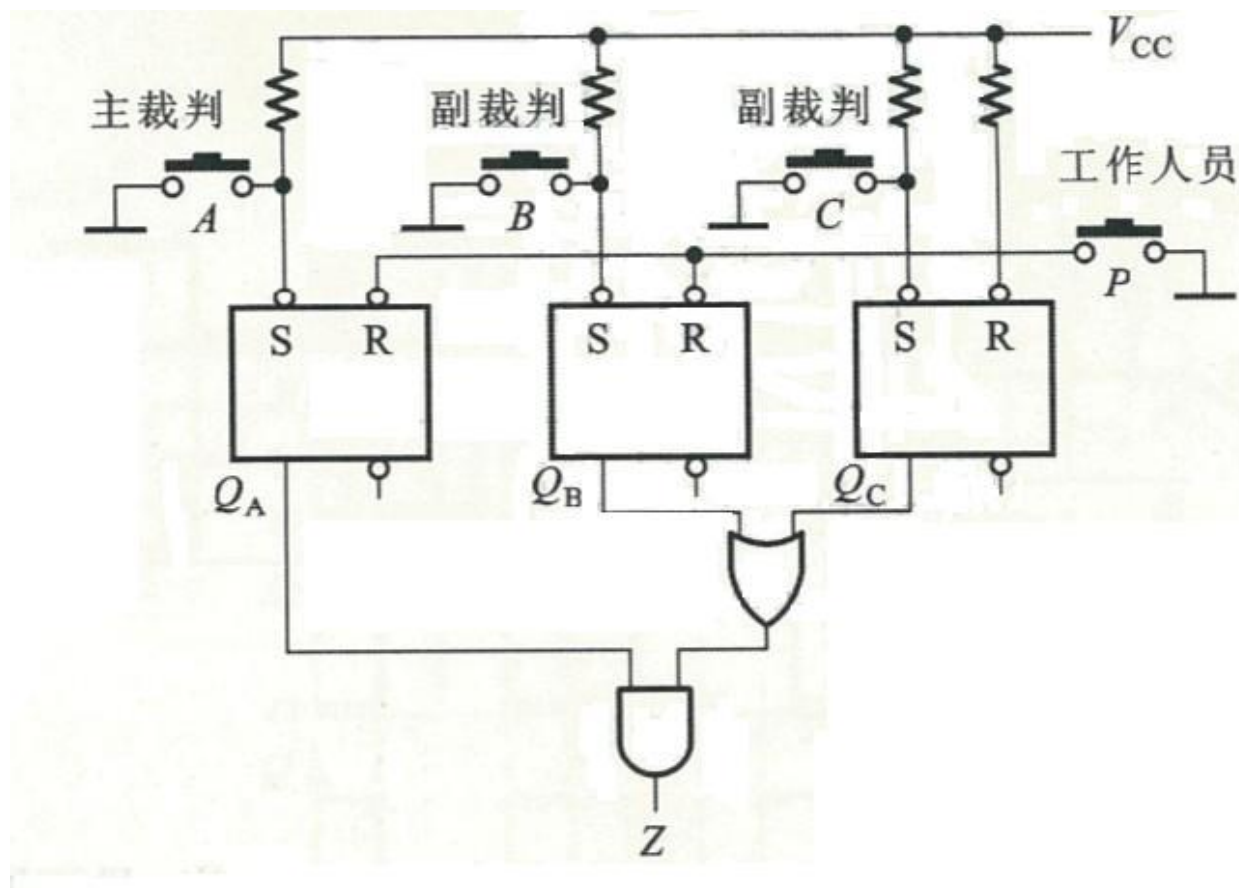
**【例1】**设计一个举重裁判逻辑电路。在一个主裁判员和两个副裁判员当中，只有包含主裁判员在内的两人以上认定试举动作合格，并按下自己的按钮时，则表示试举成功的输出信号 $Z=1$ 。而且，要求这个 $Z=1$ 的信号一直保持下去，直到工作人员按下清除按钮为止。

**解：**

- (1) 由于三个裁判员按下按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要三个触发器分别保存三个按钮给出的信号。
- (2) 选用基本RS锁存器，则可用裁判员按下按钮A、B、C输出的低电平信号接触发器的S输入端，作为置1信号；用工作人员按动按钮P给出的低电平信号接R输入端，作为置0信号。
- (3) 试举成功的信号Z由三个触发器的输出状态判别——或与逻辑。



## 触发器应用举例

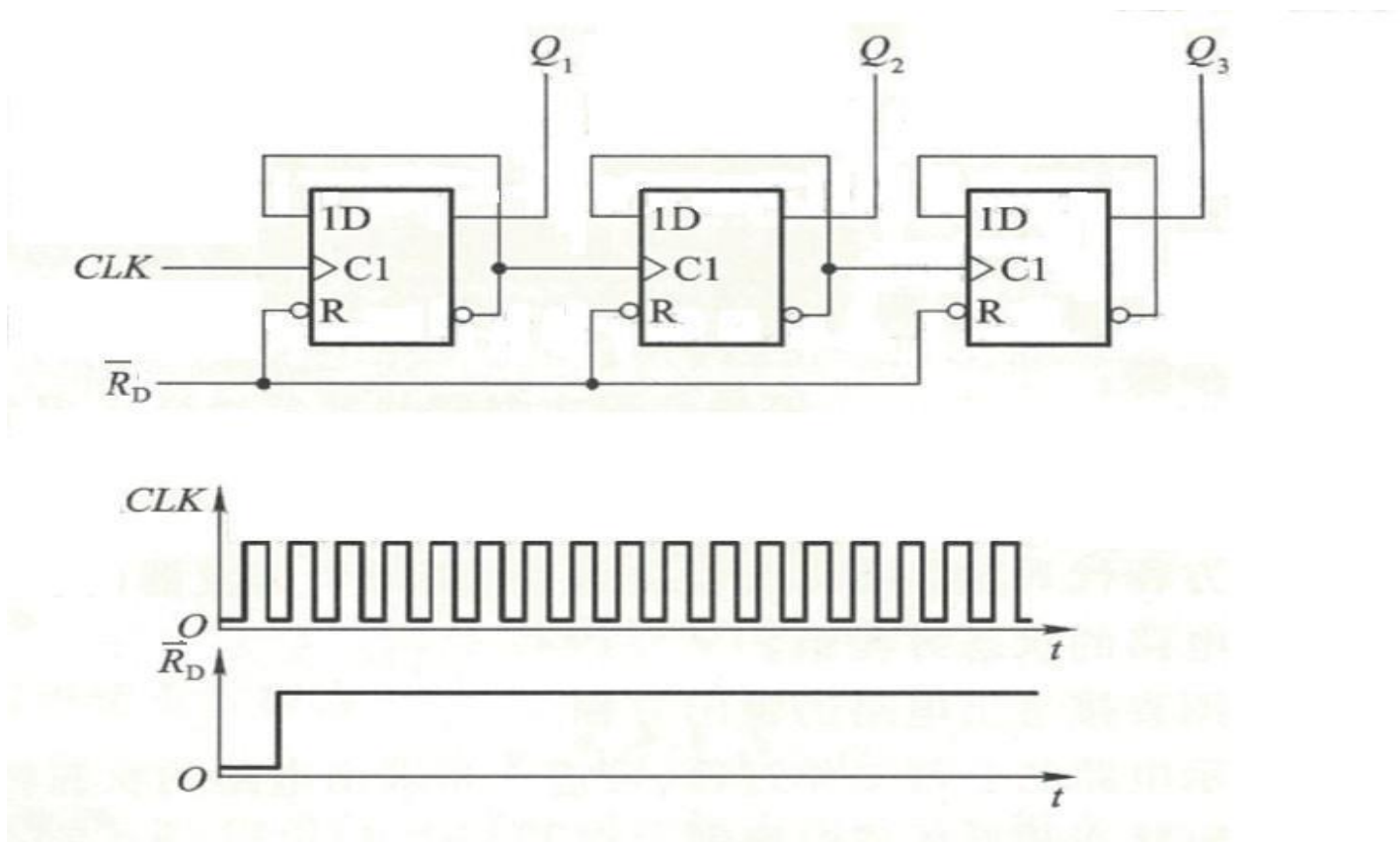


如果用D触发器设计？



## 触发器应用举例

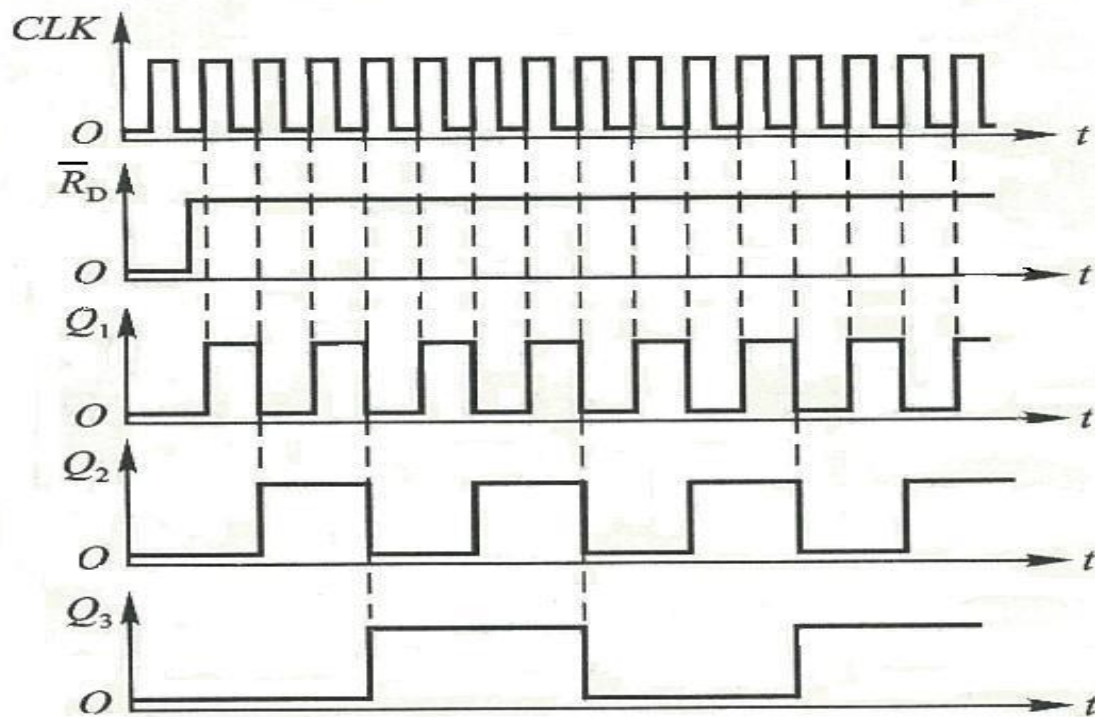
【例2】分析下图中CLK、 $\overline{R}_D$  信号作用下输出信号Q1、Q2、Q3的频率与CLK信号频率之间的关系。



## 触发器应用举例

**解：**（1）由于每个D触发器都接成了  $D=\bar{Q}$ ，所以  $Q^{n+1}=\bar{Q}^n$ ，即每次时钟上升沿到来后D触发器都要翻转。

（2）Q1的触发时钟是CLK，Q2的触发时钟是Q1的输出 $\bar{Q}_1$ ，Q3的触发时钟是Q2的输出 $\bar{Q}_2$ 。若CLK的频率为 $f_0$ ，则 $Q_1$ 、 $Q_2$ 、 $Q_3$ 输出脉冲频率依次为 $f_0/2$ 、 $f_0/4$ 、 $f_0/8$ 。



$Q_1$ 、 $Q_2$ 、 $Q_3$ 输出波形

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. **Moore**型有限状态机
2. **Mealy**型有限状态机

### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器

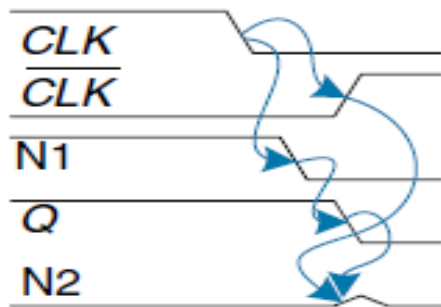
# 时序电路特点

## 【例】时序电路实例分析

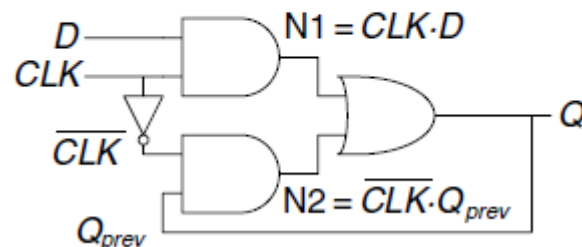
右图是一个新设计的D锁存器及期望的真值表，即CLK有效时 $Q=D$ ，CLK无效时Q状态保持，这个D锁存器工作正确吗？

解：

- (1) 假设 $CLK=D=1$ 时， $N1=1$ ， $Q=1$ ， $Q_{prev}=1$ ，如果不考虑门电路延迟， $CLK=0$ 时，Q状态保持，实现了D锁存器的功能
- (2) 假设电路中反相器的延迟比“与”门和“或”门的延迟要长，现在CLK变为0，在 $\overline{CLK}$ 变为1之前，N1和Q先后变为0，N2也因此不能变为1。Q值被钳为0。不能实现D锁存器的功能。



$$Q = CLK \cdot D + \overline{CLK} \cdot Q_{prev}$$



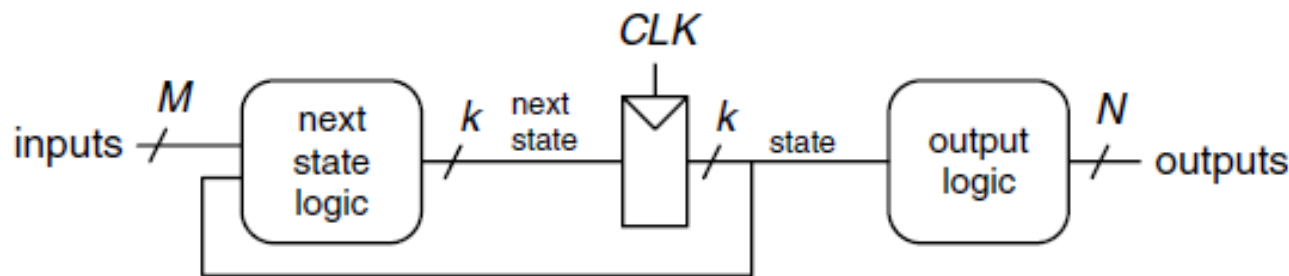
期望真值表

CLK	D	$Q_{prev}$	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

# 时序电路特点

## ❖ 时序电路实例分析

- 存在直通环路，输出直接反馈到输入。这类时序电路存在不良竞争，门电路延时、温度、电压等都可能影响功能，且难发现。
- 改进措施：（1）在环路插入寄存器以断开环路，电路变成组合逻辑电路和寄存器的组合；（2）加入时钟，寄存器只在时钟边沿达到时发生改变，时钟周期保证在下一个时钟沿达到之前，输入到寄存器的信号都稳定下来——同步时序电路。



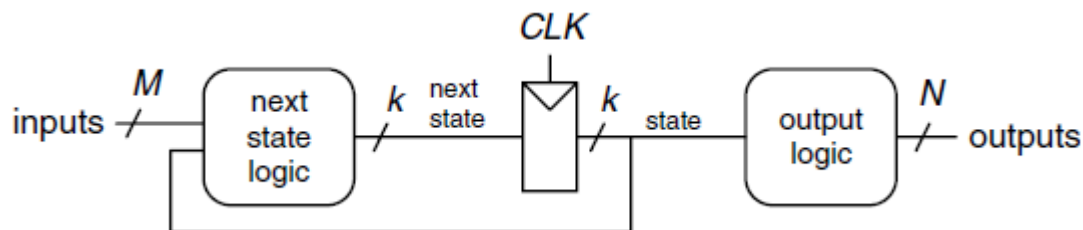
## ❖ 同步时序电路特点

- 每个电路元件都是组合逻辑或寄存器，且至少有一个寄存器；
- 每一个环路至少有一个寄存器；
- 所有寄存器接收同一个时钟信号。
- 同步时序电路可以描绘成有限状态机。

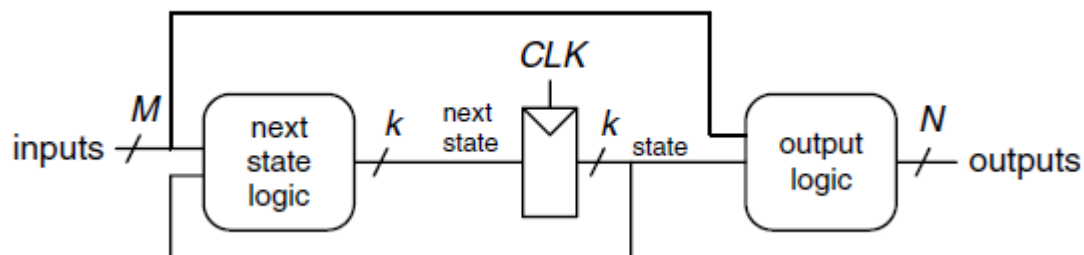
# 有限状态机概述

❖ **有限状态机 (Finite State Machine, FSM)**：描述有限个状态以及这些状态之间的转移及引起转移的动作等的离散数学模型。

- **次态逻辑**：组合逻辑，根据当前状态和输入计算下一状态；
- **状态寄存器**：在时钟沿到来之前保持现态，并为输出逻辑和次态逻辑提供稳定输入；在时钟沿到来时，锁存次态逻辑输出的状态值。
- **输出逻辑**：组合逻辑，根据现态形成输出信号。



Moore型有限状态机：输出信号仅与当前状态有关



Mealy型有限状态机：输出信号与当前状态及输入信号有关

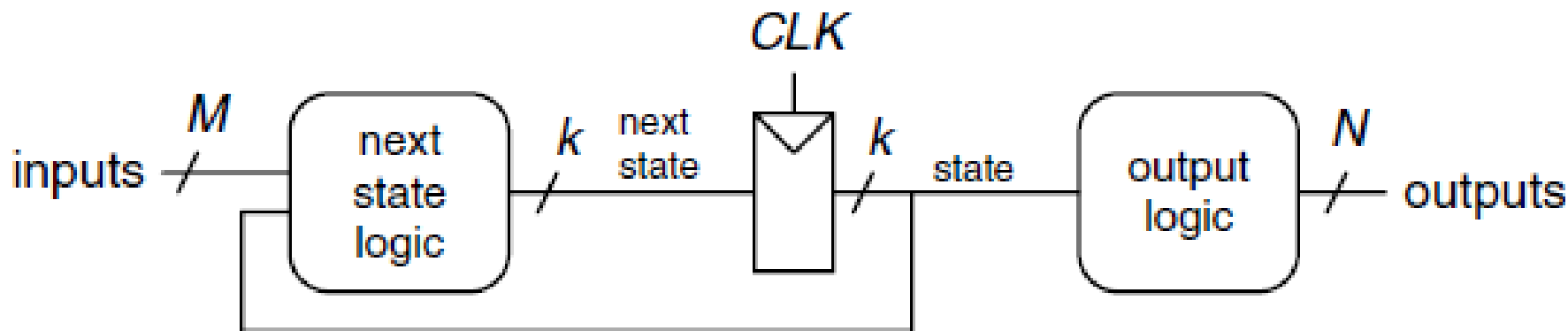
## 2.1 Moore型FSM设计

### ❖ Moore型有限状态机

- 输出信号仅有当前状态相关；
- 输入M位，输出N位，状态K位（可以表示 $2^k$ 个不同状态）
- **次态逻辑**：组合逻辑，输入M+K位，输出K位次态
- **状态寄存器**：K位寄存器
- **输出逻辑**：组合逻辑，输入K位状态，输出N位信号

### ❖ Moore型FSM的设计

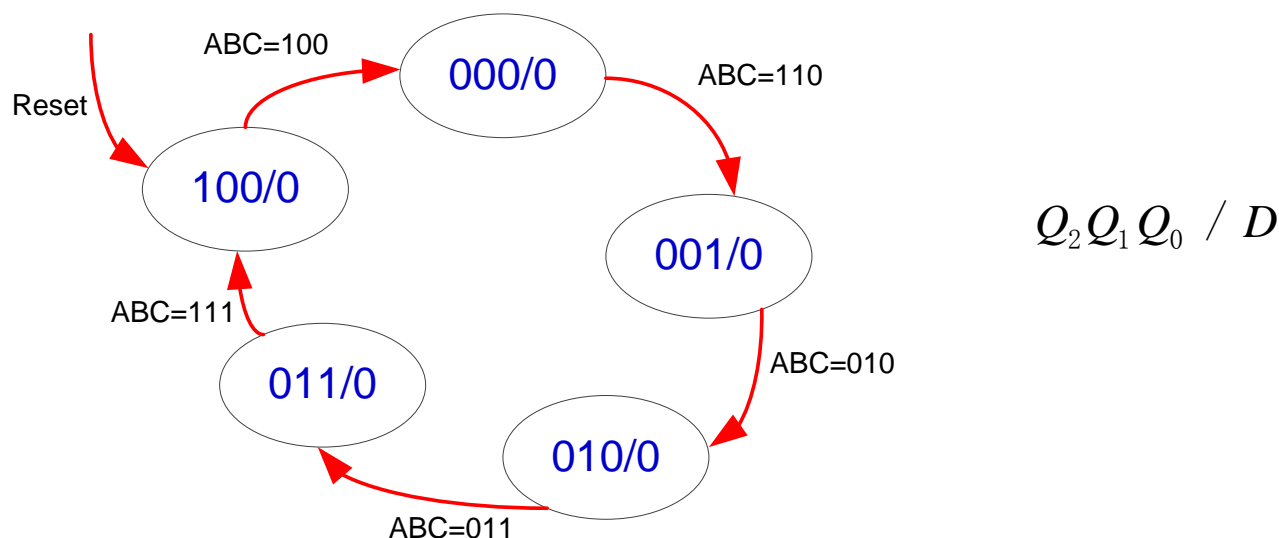
- 确定3个参数：M，K，N
- 设计2个逻辑：次态逻辑（状态转换图）、输出逻辑（真值表）



## 2.1 Moore型FSM设计

### ❖ Moore型FSM的表示方法

- 状态图（**State Diagram**）：圆圈表示状态，圈内“**Q2Q1Q0/D**”分别表示状态组合**Q2Q1Q0**（或状态编码）及输出信号**D**；带箭头的线段表示状态转移，线段上的文字表示转移发生时的信号输入。
- 状态表（**State Table**）：状态转换表



Moore型FSM状态转换图

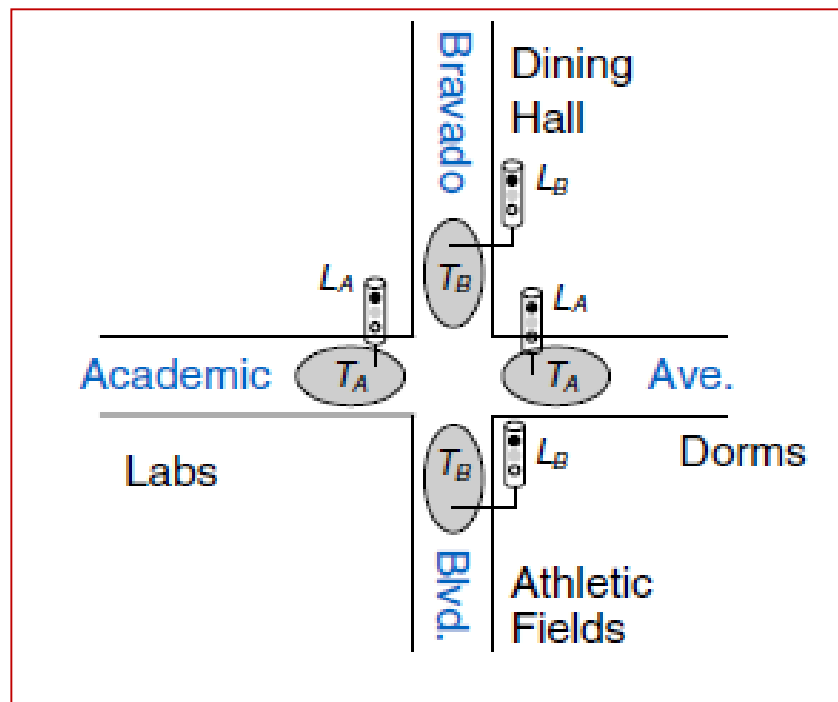


## 2.1 Moore型FSM设计

【例】交通信号灯控制器：南北Academic大道，信号灯 $L_A$ ；东西Bravado大道，信号灯 $L_B$ 。信号灯红、绿、黄三色。

解：

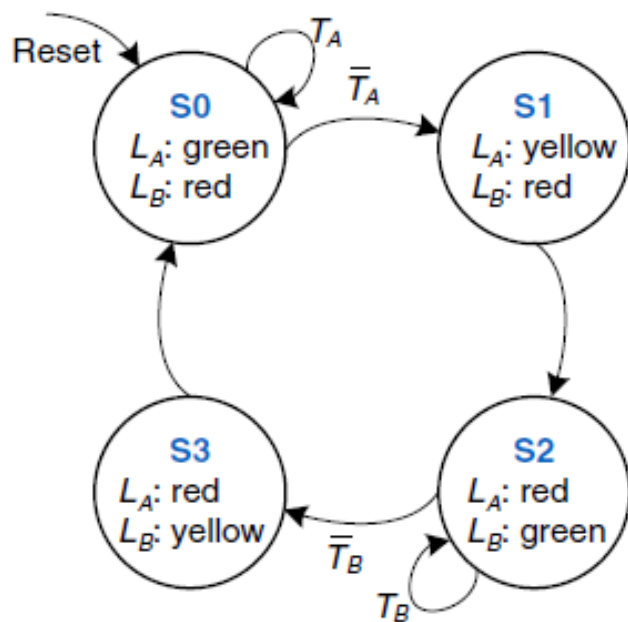
- (1) 东西、南北大道分别安装传感器 $T_A$ 和 $T_B$ ，为1是表示此条路上有人到达（等待）；为0表示无人到达。
- (2) 信号灯 $L_A$ 、 $L_B$ 编码：**00表示绿**，**01表示黄**，**10表示红**
- (3) 信号灯控制器FSM模型
  - 输入： $T_A$ 和 $T_B$ ，2位
  - 输出： $L_A$ 和 $L_B$ ，4位
  - 状态：共4个不同状态
    - S0:  $L_A$ 绿 且  $L_B$ 红
    - S1:  $L_A$ 黄 且  $L_B$ 红
    - S2:  $L_A$ 红 且  $L_B$ 绿
    - S3:  $L_A$ 红 且  $L_B$ 黄
  - 状态寄存器：2位



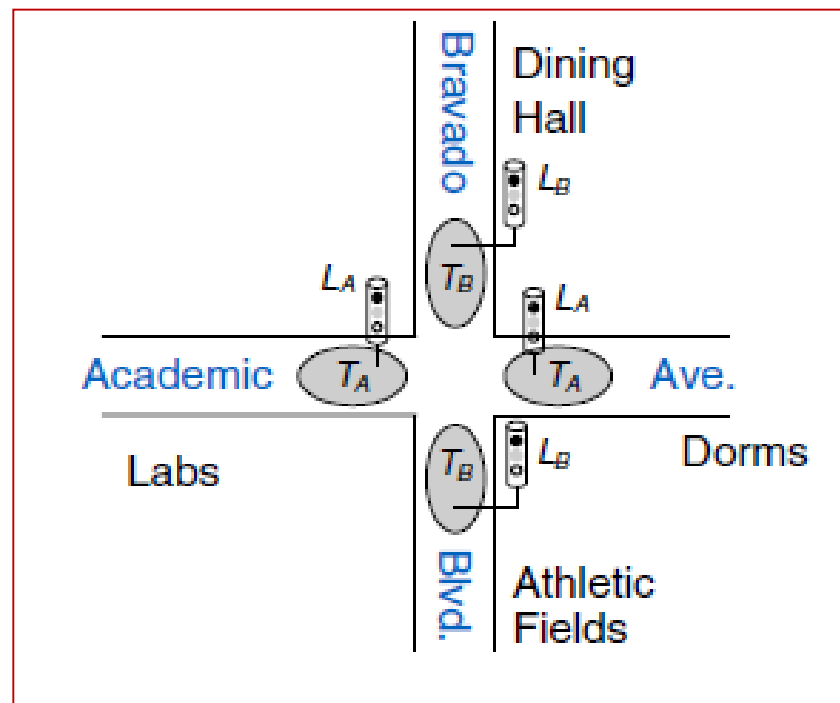
## 2.1 Moore型FSM设计

解（续1）：

（4）控制器复位时 $L_A$ 绿、 $L_B$ 红。每隔5秒检测路口人员到达情况并决定下一步如何改变信号灯。此时若东西大道 $T_A=1$ ，信号灯不变，若 $T_A=0$ ，则 $L_A$ 变为黄并保持5秒，然后 $L_A$ 变为红且 $L_B$ 同时变为绿。南北大道按同样方式处理。得到状态转换图如下。



状态转换图



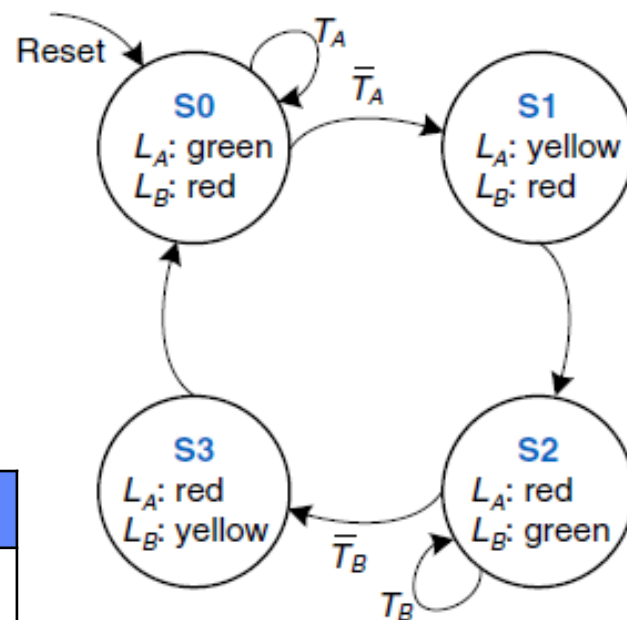
## 2.1 Moore型FSM设计

解（续2）：

（5）根据状态转换图得到状态表和输出逻辑表。

当前状态 ( $S_1S_0$ )	输入	下一状态 ( $S'_1S'_0$ )
S0 (00)	TA=1, TB=X	S0 (00)
S0 (00)	TA=0, TB=X	S1 (01)
S1 (01)	TA=X, TB=X	S2 (10)
S2 (10)	TA=X, TB=1	S2 (10)
S2 (10)	TA=X, TB=0	S3 (11)
S3 (11)	TA=X, TB=X	S0 (00)

当前状态 ( $S_1S_0$ )	输出 $L_A$	输出 $L_B$
S0 (00)	绿 (00)	红 (10)
S1 (01)	黄 (01)	红 (10)
S2 (10)	红 (10)	绿 (00)
S3 (11)	红 (10)	黄 (01)



状态转换图

## 2.1 Moore型FSM设计

解（续3）：

（6）根据状态表和输出逻辑表写出次态逻辑表达式和输出逻辑表达式。

$$\begin{aligned}
 S_1' &= \overline{S_1}S_0 + S_1\overline{S_0}T_B + S_1\overline{S_0}\overline{T_B} \\
 &= \overline{S_1}S_0 + S_1\overline{S_0} \\
 &= S_0 \oplus S_1
 \end{aligned}$$

$$S_0' = \overline{S_1}\overline{S_0}T_A + S_1\overline{S_0}\overline{T_B}$$

$$\begin{aligned}
 L_{A1} &= S_1 & L_{A0} &= \overline{S_1}S_0 \\
 L_{B1} &= \overline{S_1} & L_{B0} &= S_1S_0
 \end{aligned}$$

当前状态 ( $S_1S_0$ )	输入	下一状态 ( $S_1'S_0'$ )
S0 (00)	TA=1, TB=X	S0 (00)
S0 (00)	TA=0, TB=X	S1 (01)
S1 (01)	TA=X, TB=X	S2 (10)
S2 (10)	TA=X, TB=1	S2 (10)
S2 (10)	TA=X, TB=0	S3 (11)
S3 (11)	TA=X, TB=X	S0 (00)

当前状态 ( $S_1S_0$ )	输出 $L_A$	输出 $L_B$
S0 (00)	绿 (00)	红 (10)
S1 (01)	黄 (01)	红 (10)
S2 (10)	红 (10)	绿 (00)
S3 (11)	红 (10)	黄 (01)

## 2.1 Moore型FSM设计

解（续4）：

（7）根据逻辑表达式画出逻辑电路图。

$$L_{A1} = S_1 \quad L_{A0} = \overline{S_1} S_0$$

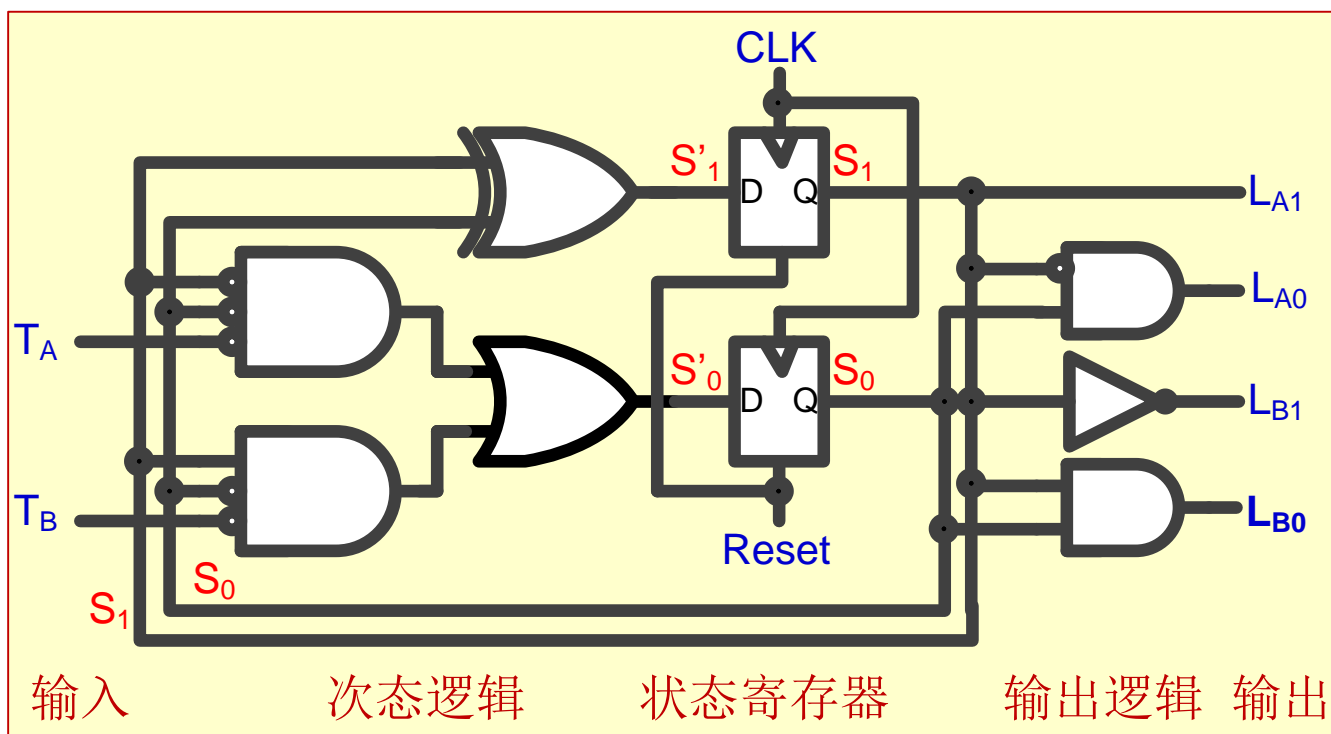
$$L_{B1} = \overline{S_1} \quad L_{B0} = S_1 S_0$$

$$S'_1 = \overline{S_1} S_0 + S_1 \overline{S_0} T_B + S_1 \overline{S_0} \overline{T_B}$$

$$= \overline{S_1} S_0 + S_1 \overline{S_0}$$

$$= S_0 \oplus S_1$$

$$S'_0 = \overline{S_1} \overline{S_0} T_A + S_1 \overline{S_0} \overline{T_A}$$

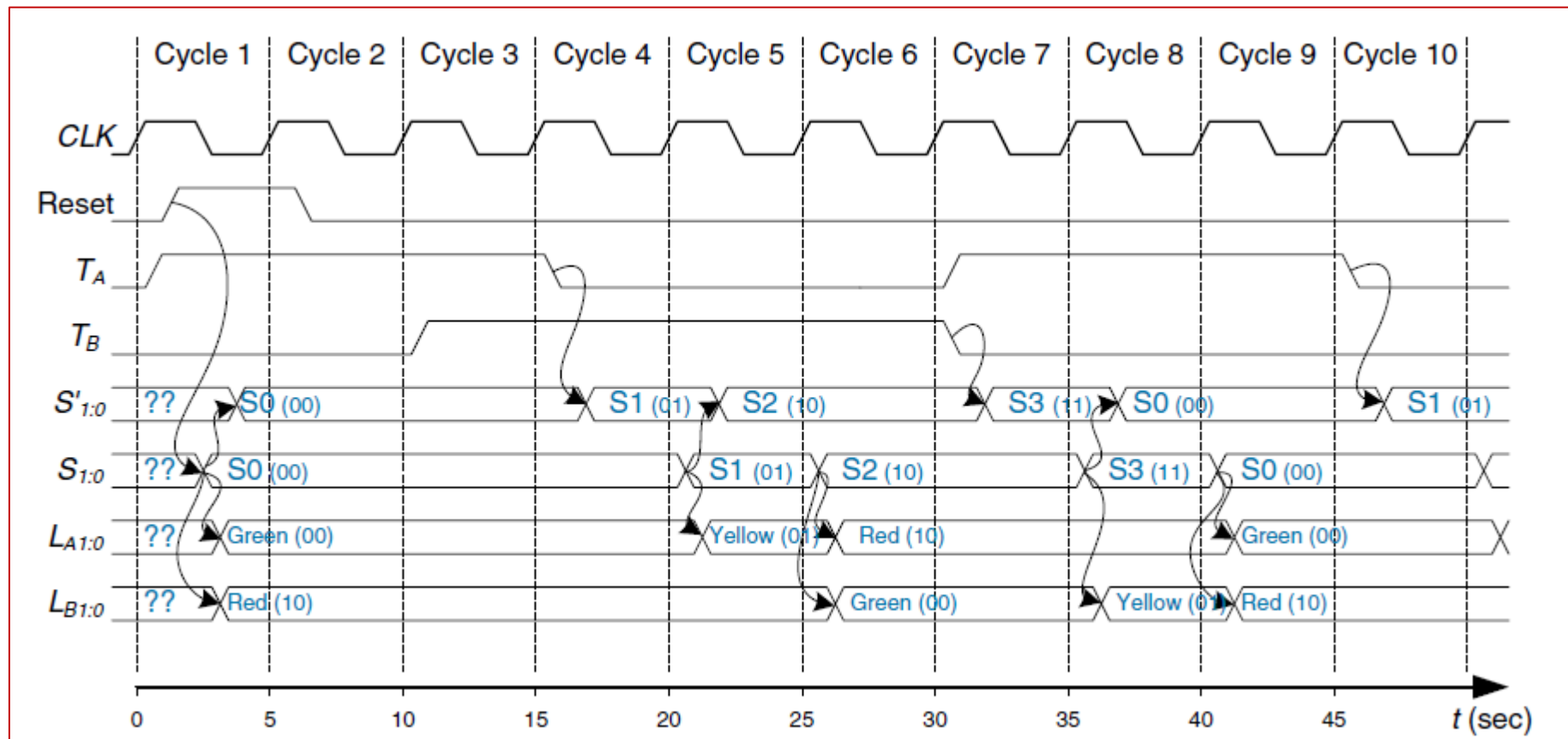


信号灯控制器状态机逻辑电路图

## 2.1 Moore型FSM设计

解（续5）：

（8）信号灯控制器状态机时序图（CLK周期=5秒）。



信号灯控制器状态机时序图

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器

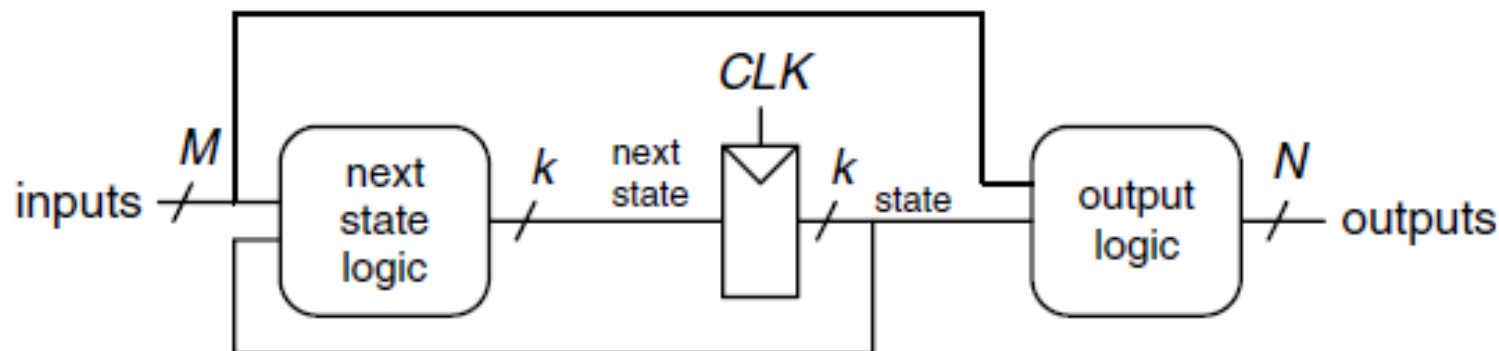
## 2.2 Mealy型FSM设计

### ❖ Mealy型有限状态机

- 输出信号与当前状态及输入信号有关
- 输入M位，输出N位，状态K位（可以表示 $2^k$ 个不同状态）
- **次态逻辑**：组合逻辑，输入M+K位，输出K位次态
- **状态寄存器**：K位寄存器
- **输出逻辑**：组合逻辑，输入M+K位，输出N位信号

### ❖ Moore型FSM的设计

- 确定3个参数：M，K，N
- 设计2个逻辑：次态逻辑（状态转换图）、输出逻辑（真值表）

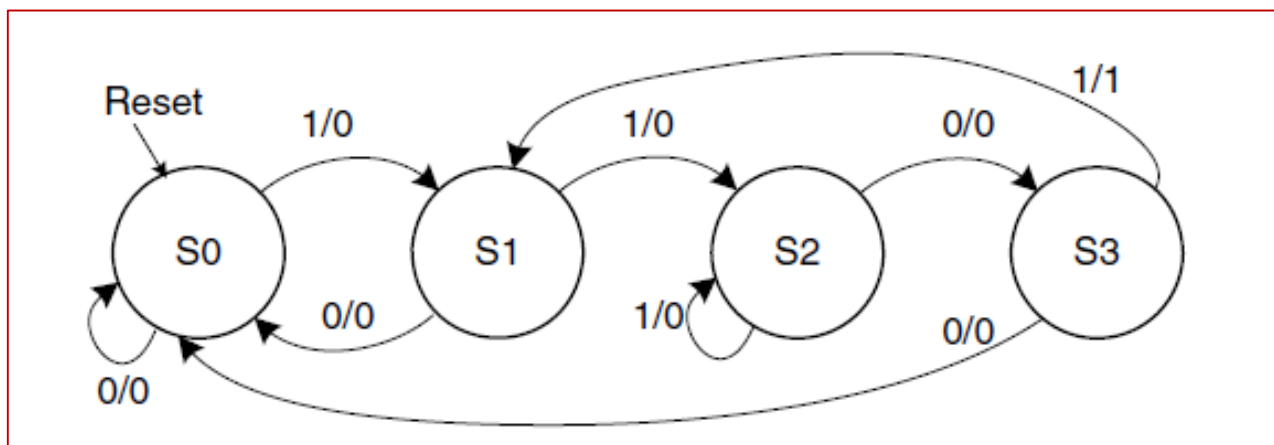




## 2.2 Mealy型FSM设计

### ❖ Mealy型FSM的表示方法

- 状态图：圆圈表示状态，带箭头的线段表示状态转移。状态圈内“S0”、“S1”等代表状态名（对应状态编码），和Moore型FSM不一样，输出信号不再标注在圈内，而是以“输入/输出”的形式标注在状态转移线上，“输入”表示引起状态转换的输入信号，“输出”表示状态转换同时产生的输出信号。



Mealy型FSM状态转换图

## 2.2 Mealy型FSM设计

【例】二进制序列检测器：检测器接收到二进制序列“1101”时，输出检测标志为1，否则输出检测标志为0。不重复检测，即收到1101输出1后，下一次从下一个输入信号开始检测。

解：

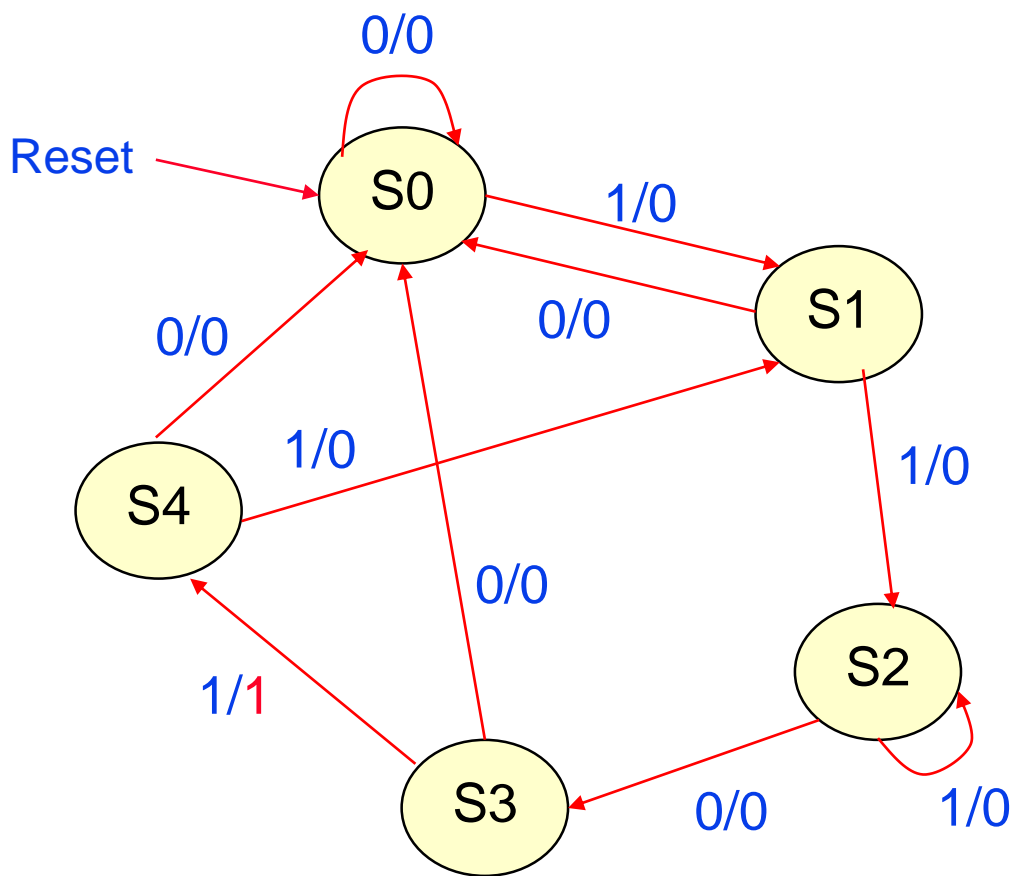
(1) 检测器FSM模型

- 输入： 二进制输入信号 A， 1位
- 输出： 检测标志信号 Y， 1位
- 状态： 共5个不同状态
  - S0： 未收到第一个有效位（输入为0， 输出0）
  - S1： 收到第一个有效位（输入为1， 输出0）
  - S2： 收到第二个有效位（即S1后输入为1， 输出0）
  - S3： 收到第三个有效位（即S2后输入为0， 输出0）
  - S4： 连续收到四个有效位（即S3后输入为1， 输出1）
- 状态寄存器： 3位

## 2.2 Mealy型FSM设计

解（续1）：

（2）画出状态转换图

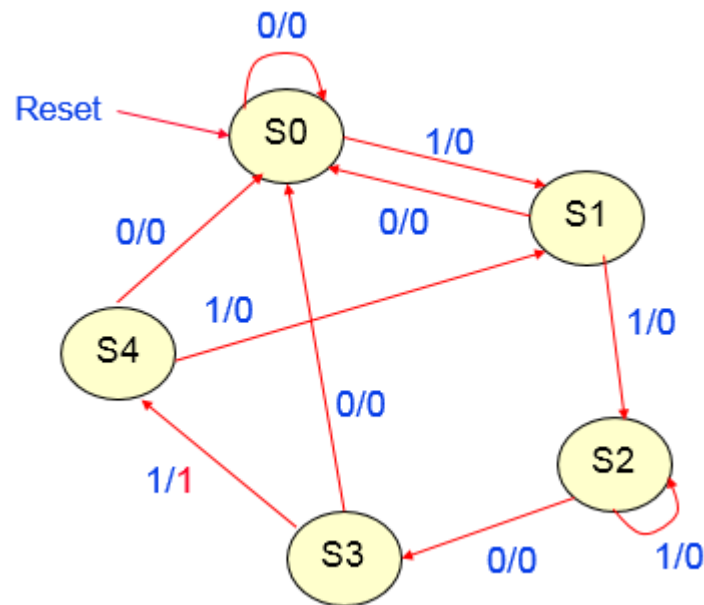


## 2.2 Mealy型FSM设计

解（续2）：

（3）根据状态转换图得到状态转换表。

当前状态 ( $S_2S_1S_0$ )	输入 (A)	下一状态 ( $S'_2S'_1S'_0$ )	输出 (Y)
S0 (000)	0	S0 (000)	0
S0 (000)	1	S1 (001)	0
S1 (001)	0	S0 (000)	0
S1 (001)	1	S2 (010)	0
S2 (010)	0	S3 (011)	0
S2 (010)	1	S2 (010)	0
S3 (011)	0	S0 (000)	0
S3 (011)	1	S4 (100)	1
S4 (100)	0	S0 (000)	0
S4 (100)	1	S1 (001)	0



## 2.2 Mealy型FSM设计

解（续3）：

（4）根据状态转换表写出次逻辑和输出逻辑表达式。

$$S_2' = \overline{S_2} S_1 S_0 A$$

$$\begin{aligned} S_1' &= \overline{S_2} \overline{S_1} S_0 A + \overline{S_2} S_1 \overline{S_0} A + \overline{S_2} S_1 \overline{S_0} A \\ &= \overline{S_2} \overline{S_1} S_0 A + \overline{S_2} S_1 \overline{S_0} \end{aligned}$$

$$\begin{aligned} S_0' &= \overline{S_2} \overline{S_1} S_0 A + \overline{S_2} S_1 \overline{S_0} A + S_2 \overline{S_1} \overline{S_0} A \\ &= \overline{S_1} \overline{S_0} A + \overline{S_2} S_1 \overline{S_0} A \end{aligned}$$

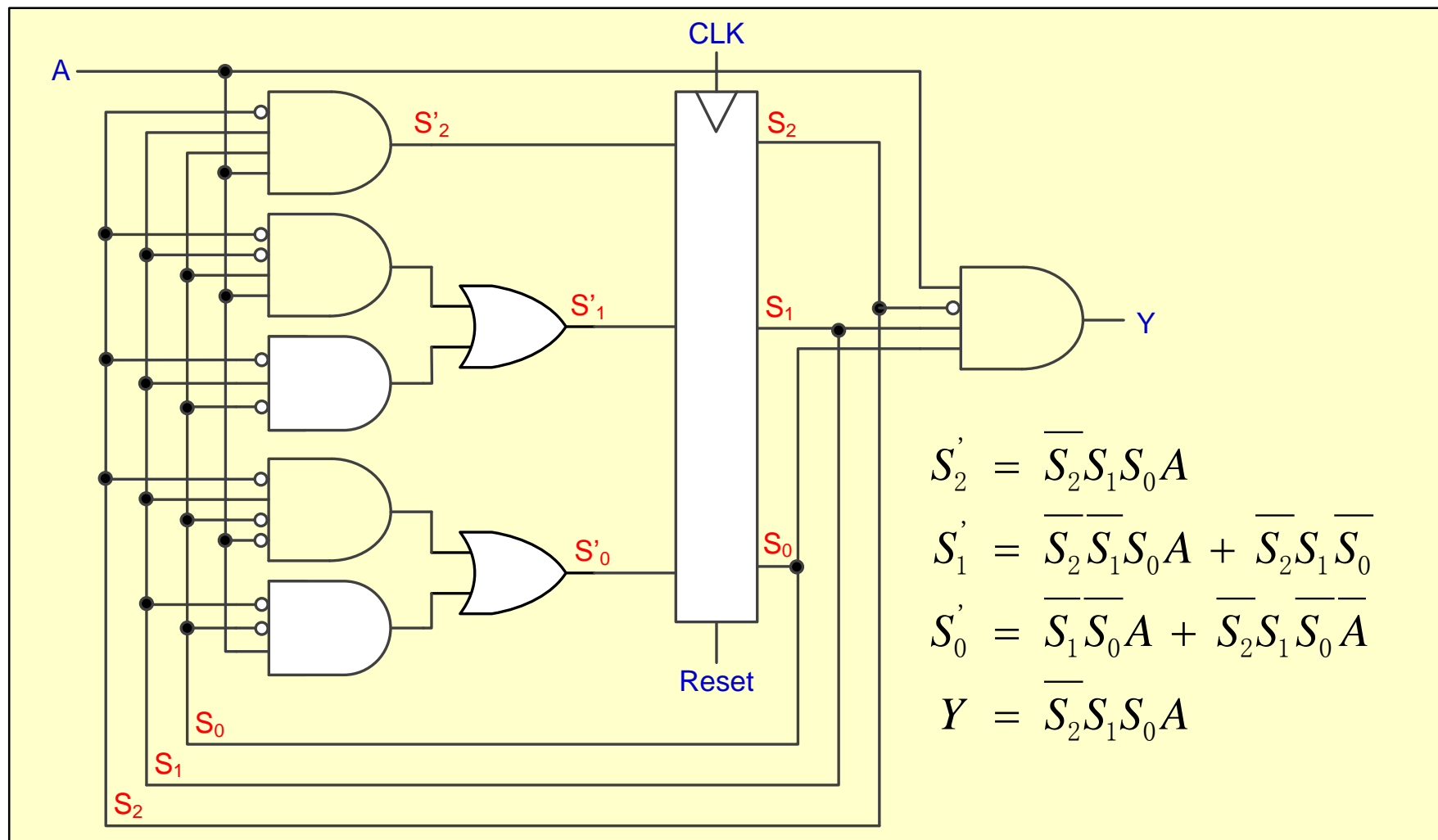
$$Y = \overline{S_2} S_1 S_0 A$$

当前状态 ( $S_2 S_1 S_0$ )	输入 ( $A$ )	下一状态 ( $S'_2 S'_1 S'_0$ )	输出 ( $Y$ )
S0 (000)	0	S0 (000)	0
S0 (000)	1	S1 (001)	0
S1 (001)	0	S0 (000)	0
S1 (001)	1	S2 (010)	0
S2 (010)	0	S3 (011)	0
S2 (010)	1	S2 (010)	0
S3 (011)	0	S0 (000)	0
S3 (011)	1	S4 (100)	1
S4 (100)	0	S0 (000)	0
S4 (100)	1	S1 (001)	0

## 2.2 Mealy型FSM设计

解（续4）：

（4）根据逻辑表达式画出逻辑图。



## 2.2 Mealy型FSM设计

解（续5）：（5）序列检测器的Verilog HDL设计。

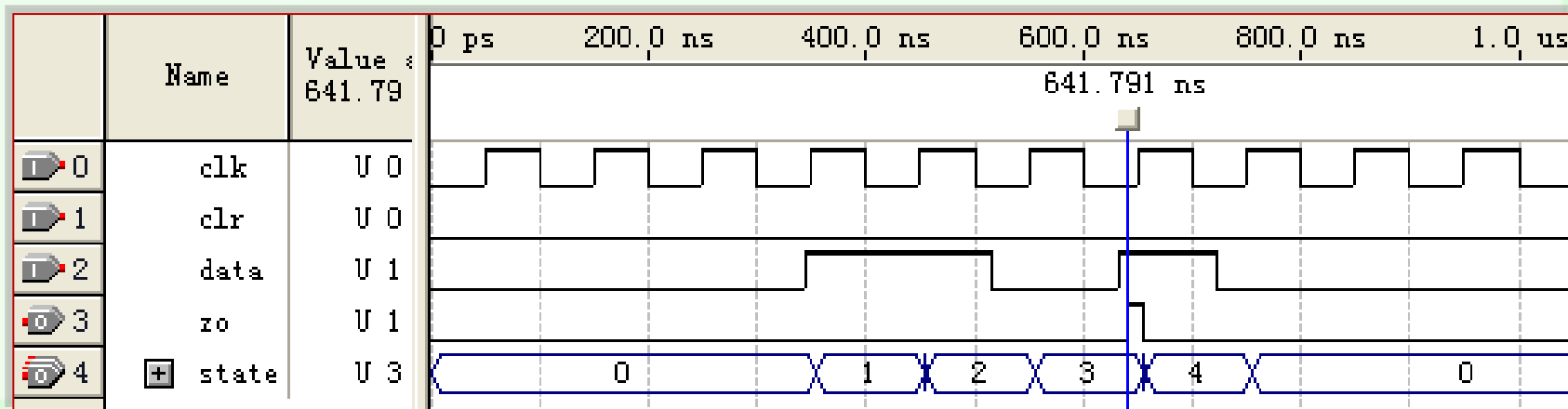
```
module monitor2_good(clk,clr,data,zo,state);
    parameter S0=3'b000, S1=3'b001,
               S2=3'b010, S3=3'b011, S4=3'b100;
    input clk,clr,data;
    output zo;
    output[2:0] state;
    reg [2:0] state;
    reg zo;
    always @(posedge clk or posedge clr)
        begin
            if (clr) state=S0; // 复位时回到初始状态
            else
                begin
                    case (state) // 状态的转移
                        S0: if (data==1'b1) state=S1; else state=S0;
                        S1: if (data==1'b1) state=S2; else state=S0;
                        S2: if (data==1'b0) state=S3; else state=S2;
                        S3: if (data==1'b1) state=S4; else state=S0;
                        S4: if (data==1'b1) state=S1; else state=S0;
                        default: state=S0;
                    endcase
                end
        end
end
```

```
always @(state) // 状态机的输出
begin
    case (state)
        S0: zo=1'b0;
        S1: zo=1'b0;
        S2: zo=1'b0;
        S3: if (data==1'b1) zo=1'b1;
           else zo=1'b0;
        S4: zo=1'b0;
        default: zo=1'b0;
    endcase
end
endmodule
```

在S3时若输入data=1，  
则zo置1：输出是内部  
状态和外部输入的函数

## 2.2 Mealy型FSM设计

解（续6）：（6）序列检测器的仿真波形。





# 有限状态机的状态编码问题

- ❖ **起始状态的选择**：起始状态指电路复位后所处的初态，选择合适的起始状态将使设计简捷高效。FSM必须有**时钟**信号和**复位**信号。
- ❖ **状态编码方式的选择**（假定FSM有N个状态）
  - **二进制编码**：采用 $\log_2 N$ 个**触发器**来表示这N个状态，按二进制顺序编码，节省逻辑资源，但可能产生输出毛刺。
  - **格雷编码**：采用 $\log_2 N$ 个**触发器**来表示这N个状态，但**相邻状态只有一个比特位不同**。节省逻辑资源，降低了输出毛刺的可能，状态转换中，相邻状态只有一个比特位产生变化。
  - **一位热码状态机编码**（One-Hot State Machine Encoding）：采用**N个触发器**来表示这N个状态。逻辑资源消耗最大，但可以避免状态机产生错误的输出，并且有时可简化输出逻辑。

# 有限状态机的状态编码问题

对8个状态三种编码方式的对比

状态	二进制编码	格雷编码	一位热码编码
state0	000	000	0000000 <b>1</b>
state1	001	001	000000 <b>10</b>
state2	010	011	00000 <b>100</b>
state3	011	010	0000 <b>1000</b>
state4	100	110	000 <b>10000</b>
state5	101	111	00 <b>100000</b>
state6	110	101	<b>01000000</b>
state7	111	100	<b>10000000</b>

- ❖ 采用一位热码编码，虽使用触发器较多，但可简化组合逻辑电路。
- ❖ **FPGA**有丰富的寄存器资源，门逻辑相对缺乏，采用一位热码编码可以有效提高电路的速度和可靠性，也有利于提高器件资源的利用率。

# 有限状态机设计小结

---

1. 确定输入、输出，以及状态总数
2. 画出状态转换图
3. 对于Moore型FSM
  - ① 写出状态转换表
  - ② 写出输出真值表
4. 对于Mealy型FSM
  - ① 写出组合的状态转换表和输出真值表
5. 选择状态编码——这个选择将影响硬件设计
6. 写出次态逻辑和输出逻辑的逻辑表达式
7. 画出电路图
8. 进行Verilog HDL设计并仿真测试

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

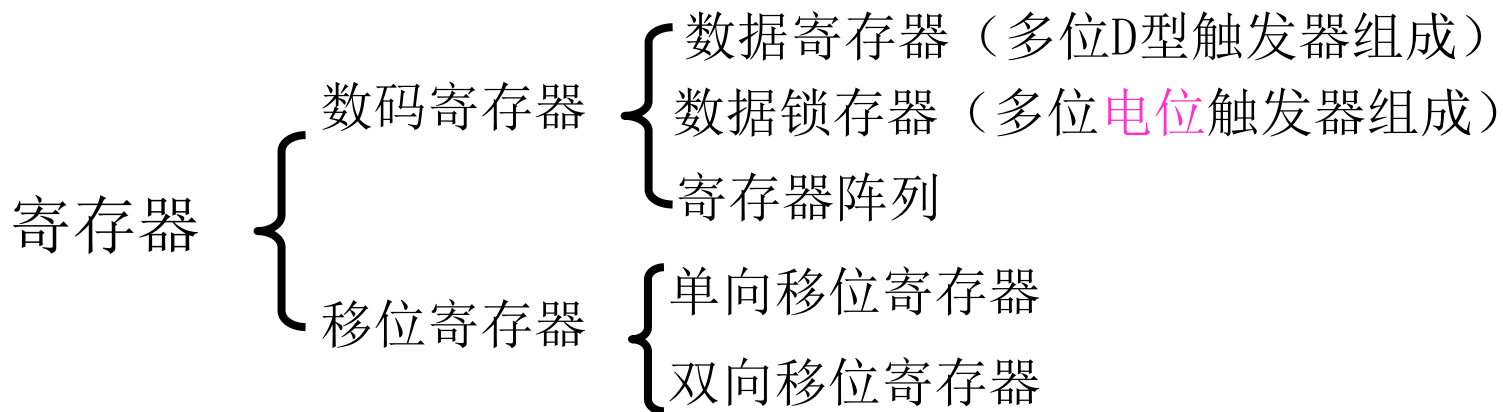
### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器
4. 时序电路的时序

# 寄存器的分类

## ❖ 寄存器

- 计算机中重要部件，用于存放一组二进制代码，如指令、参加运算的数据、运算结果等，广泛用于各类数字系统中；
- 由触发器组成，一个触发器能储存1位二进制代码。还包括接收数据的控制门电路，以便在同一个接收命令作用下使各触发器同时接收数据；
- 触发器的触发方式决定了寄存器的触发方式。数码寄存器常用的是上升沿触发的D型触发器（边沿触发）和电位触发器，较少采用主-从触发器。
- 寄存器的操作：读/写/复位（清零）



## 3.1.1 数据寄存器

❖ **数据寄存器**：由多位边沿触发器组成的用于保存一组二进制代码的寄存单元。当时钟信号的上升沿或下降沿到来时，将输入端数据打入寄存器，即此时输出信号等于输入信号；在时钟信号的其它时刻，输出端保持刚才输入的数据，即为寄存状态，而不管此时输入信号是否变化。

### ❖ 4位D型寄存器结构

$D_3D_2D_1D_0$ : 并行数据输入

$Q_3Q_2Q_1Q_0$ : 并行数据输出

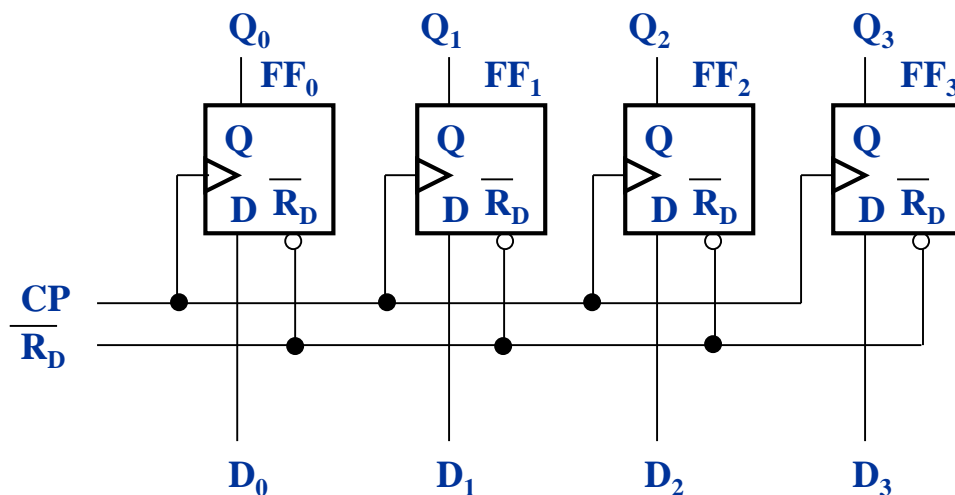
工作原理：

(1) 清除（复位）

当  $\overline{R_D}=0$ ， $Q_0Q_1Q_2Q_3=0000$ ;

(2) 置数（复位端无效时）

当CP上跳沿到达时， $Q_0Q_1Q_2Q_3 = D_0D_1D_2D_3$



### 3.1.1 数据寄存器

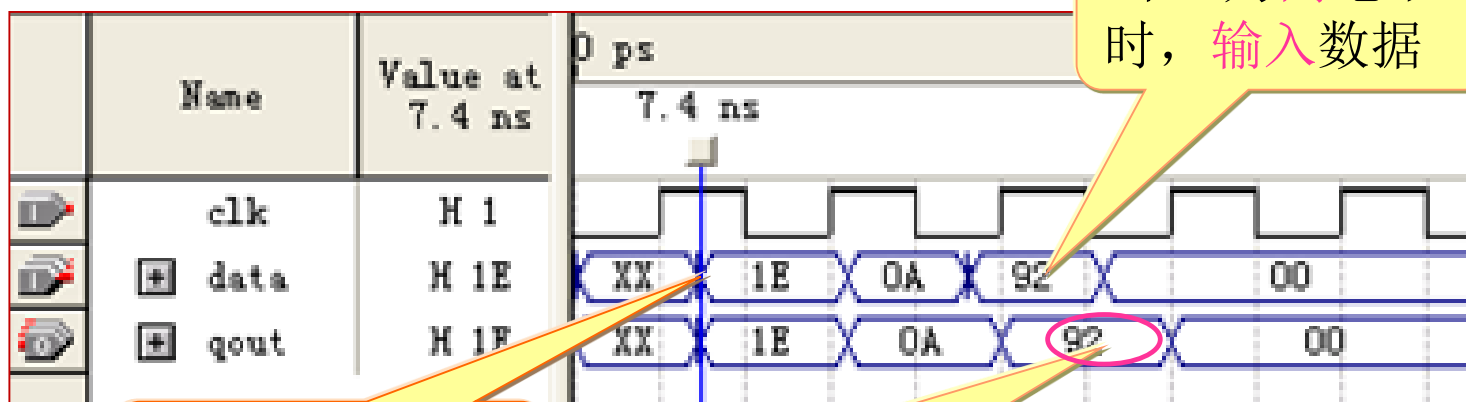
#### 【例】用always块语句描述的8位数据寄存器

```
module reg_8bit(qout,data,clk,clr);  
    output[7:0] qout;  
    input [7:0] data;  
    input clk,clr;  
    reg [7:0] qout;  
    always @(posedge clk or posedge clr) //沿触发  
    begin  
        if(clr) qout=0; //异步清零  
        else qout= data;  
    end  
Endmodule
```

### 3.1.2 数据锁存器

❖ **数据锁存器**：由多位**电位**锁存器组成的用于保存一组二进制代码的寄存单元。

- 功能：当输入控制信号（如时钟）为**高**电平时，门是**打开**的，输出信号等于输入信号；当输入控制信号为**低**电平时，门是**关闭**的，输出端保持刚才输入的数据，即为**锁存**状态，而不管此时输入信号是否变化。
- 通常由**电平**信号来控制，属于**电平**敏感型，适于数据有效**滞后**于控制信号有效的场合。





## 3.1.2 数据锁存器

---

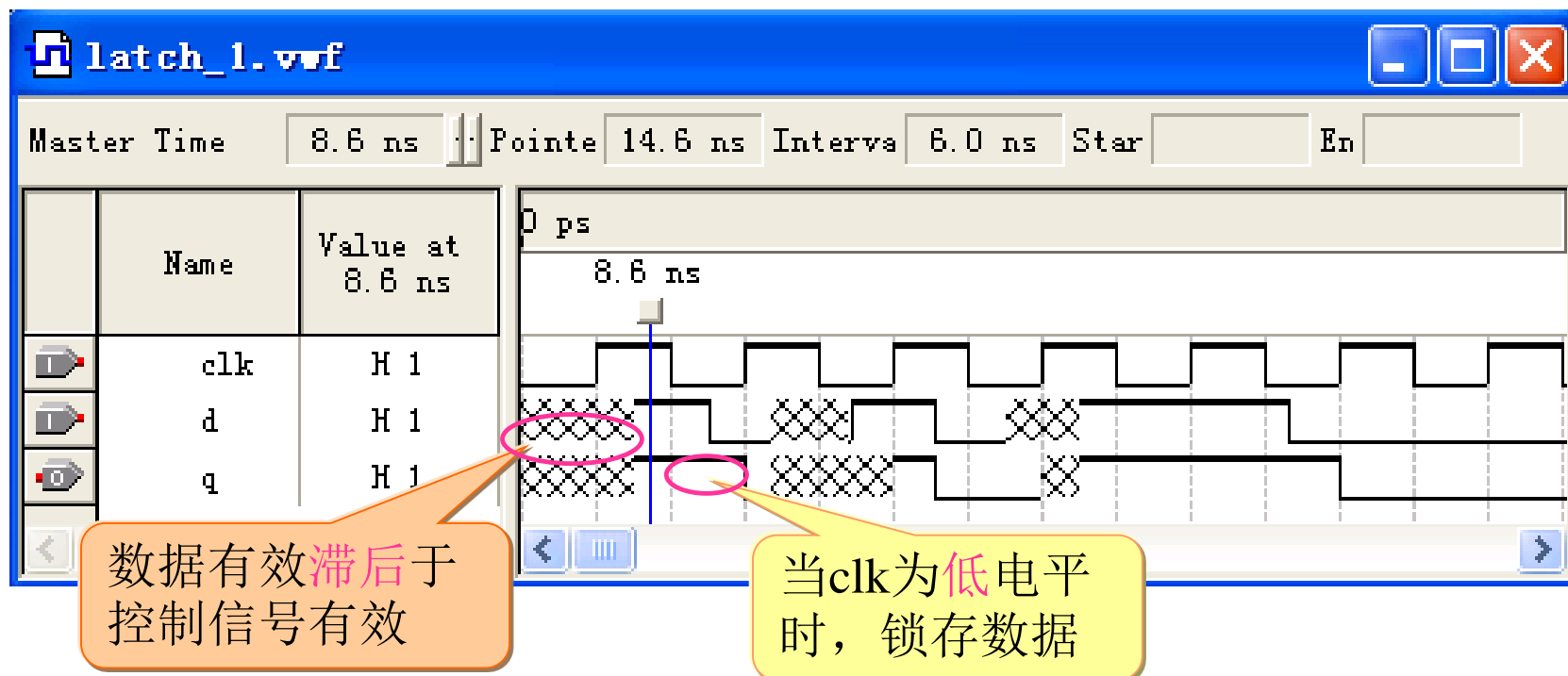
### ❖ 数据寄存器和数据锁存器的区别

- **数据寄存器**：由**边沿触发**的触发器组成。通常由同步时钟信号来控制，属于脉冲敏感型，适于数据有效提前于控制信号（一般为时钟信号）有效、并要求同步操作的场合。
- **数据锁存器**：由**电位触发器**（即**D锁存器**）组成。一般由电平信号来控制，属于电平敏感型，适于数据有效滞后于控制信号有效的场合。

## 3.1.2 数据锁存器

### 【例】1位数据锁存器的Verilog HDL设计

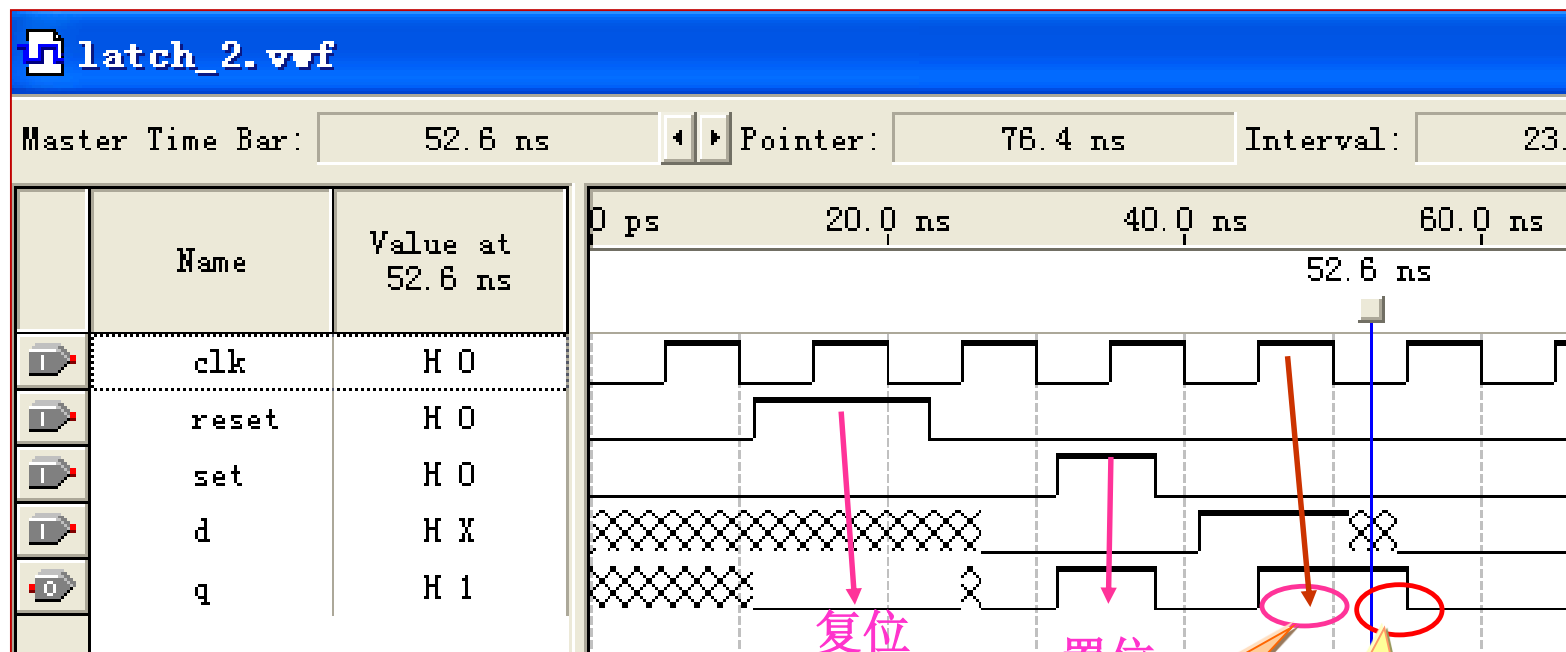
```
module latch_1(q,d,clk);  
    output q;  
    input d,clk ;  
    assign q=clk?d:q; /* 时钟信号为高电平，打入数据，否则锁存原数*/  
endmodule
```



## 3.1.2 数据锁存器

【例】带置位和复位端的1位数据锁存器的Verilog HDL

```
module latch_2(q,d,clk,set,reset);  
    output q;  
    input d,clk ,set,reset;  
    assign q= reset ? 0: (set ? 1:(clk ? d:q));  
endmodule
```



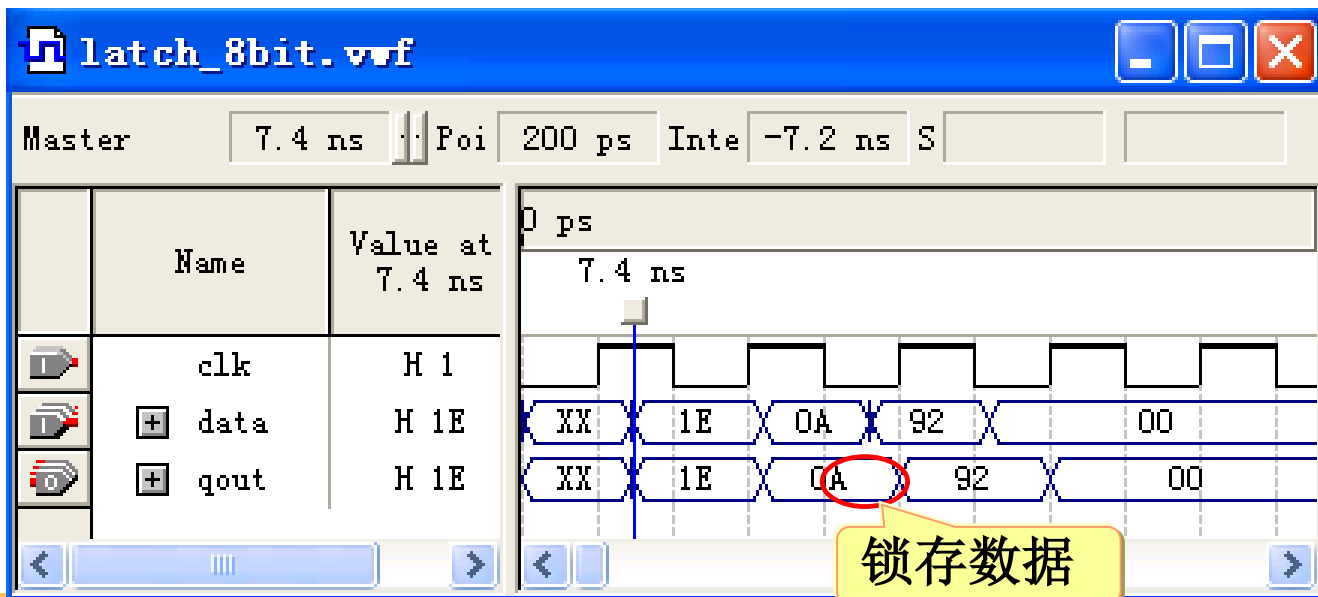
打入数据

锁存数据

## 3.1.2 数据锁存器

### 【例】8位数据锁存器的Verilog HDL设计

```
module latch_8bit(qout,data,clk);  
    output[7:0] qout;  
    input [7:0] data;  
    input clk;  
    reg [7:0] qout;  
    always @(clk or data) //电平敏感  
        if(clk) qout=data;  
endmodule
```



## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器
4. 时序电路的时序

## 3.2 移位寄存器

❖ **移位寄存器：**具有移位功能的寄存器称为移位寄存器，每来一个时钟脉冲，寄存器中数据就依次向左或向右移一位。

- 计算机中经常需要用到移位操作，如乘法运算中的右移，除法运算中的左移
- 数据输入输出方式中的串行并行转换等。

❖ **移位寄存器分类**

- 左移移位寄存器
- 右移移位寄存器
- 双向移位寄存器
- 循环移位寄存器

## 3.2 移位寄存器

### 1. 4位右移移位寄存器

- 4个D触发器组成
- 高位输出送低位输入，如  $Q_0 \rightarrow D_1, Q_1 \rightarrow D_2$ .

#### 工作原理

- 复位:

$$\overline{R_D} = 0 \rightarrow Q_3 Q_2 Q_1 Q_0 = 0000$$

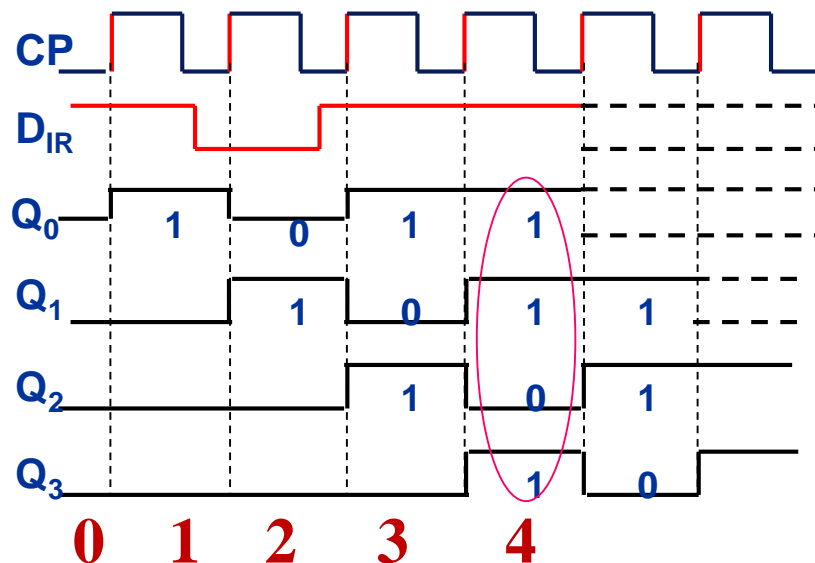
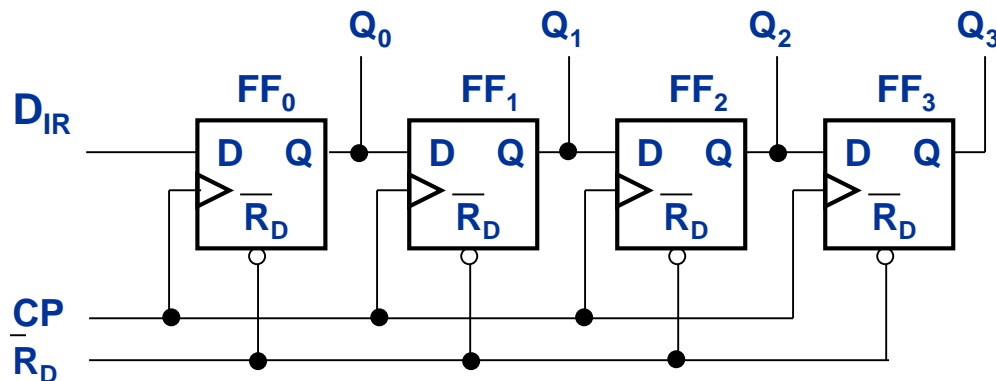
- 移位:

$$Q_0^{n+1} = D_0 \text{CP} \uparrow = D_{IR} \text{CP} \uparrow$$

$$Q_1^{n+1} = D_1 \text{CP} \uparrow = Q_0^n \text{CP} \uparrow$$

$$Q_2^{n+1} = D_2 \text{CP} \uparrow = Q_1^n \text{CP} \uparrow$$

$$Q_3^{n+1} = D_3 \text{CP} \uparrow = Q_2^n \text{CP} \uparrow$$



$D_{IR}$ : 右移串行数据输入1011

## 3.2 移位寄存器

### ❖ 4位右移移位寄存器的工作方式

#### ➤ 串入并出

串并转换（需要N个CP周期），经过4个CP，串行输入的4位数据全部移入移位寄存器中，并从 $Q_3Q_2Q_1Q_0$ 并行输出1011

#### ➤ 串入串出

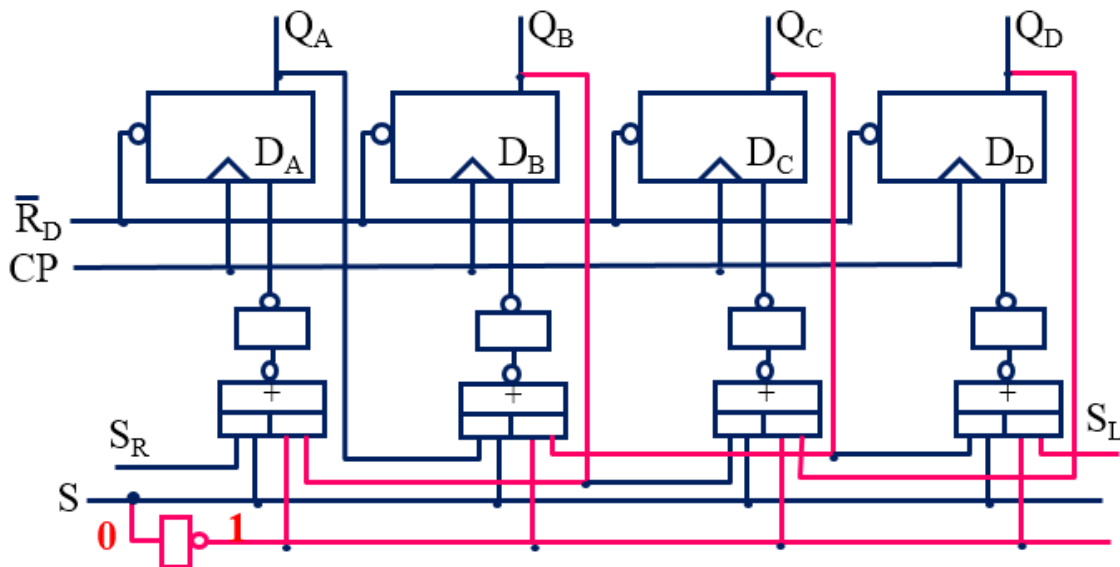
把最右边的触发器的输出作为电路的输出。经过4个CP后， $Q_3$  输出的是最先串行输入的数据。从每个触发器Q端输出的波形相同，但后级触发器Q端输出波形比前级触发器Q端输出波形滞后一个时钟周期。把工作于串入串出方式的移位寄存器称为“延迟线”（第N级FF延迟N个CP周期）



## 3.2 移位寄存器

### 2. 4位串行输入、串/并行输出双向移位寄存器

- **S=0**, 左移: 数据从 **S<sub>L</sub>** 端串行输入, 顺序左移, 经过**4**个**CP**, 串行输入的**4**位数据全部移入移位寄存器中, 可从输出端并行输出; 也继续左移, 并通过**Q<sub>A</sub>**端实现串行输出。
- **S=1**, 右移: 数据从 **S<sub>R</sub>** 端串行输入, 也可实现并行或串行输出。
- **CP**: 时钟信号
- **/R<sub>D</sub>**: 复位信号, 低电平有效

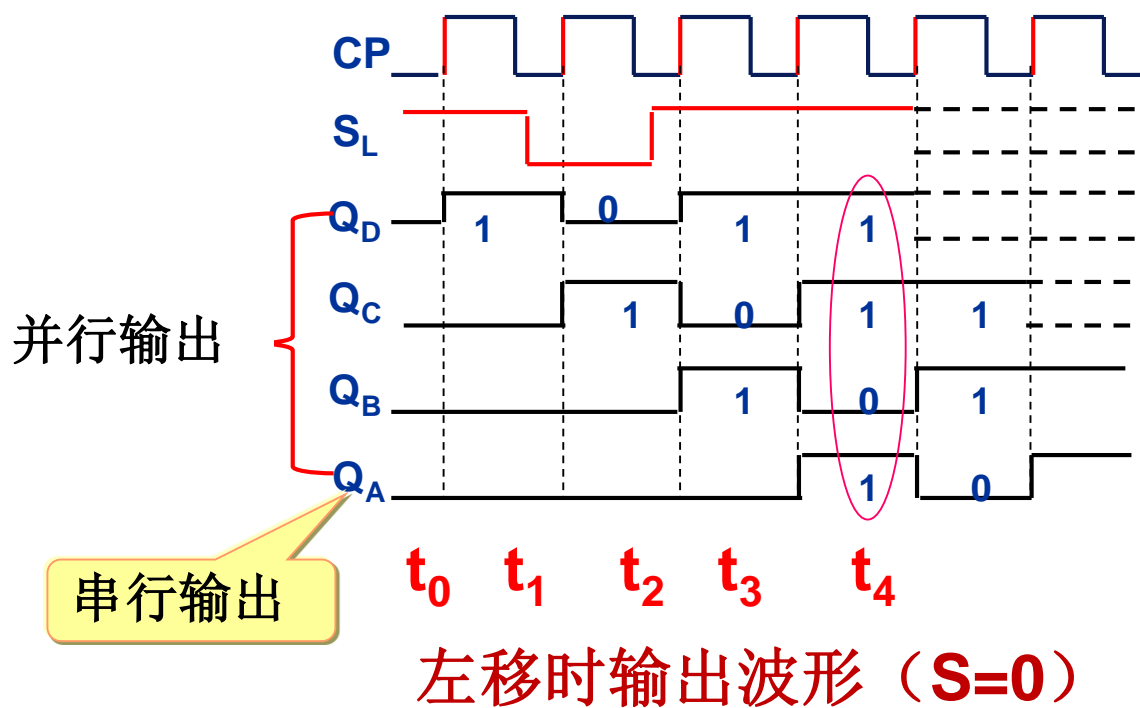


$$\begin{aligned}D_A &= S_R S + Q_B \bar{S} \\D_B &= Q_A S + Q_C \bar{S} \\D_C &= Q_B S + Q_D \bar{S} \\D_D &= Q_C S + S_L \bar{S}\end{aligned}$$

## 3.2 移位寄存器

### ❖ 4位串行输入、串/并行输出双向移位寄存器

输入数据：1011



## 3.2 移位寄存器

### 3. 4位双向移位寄存器（CT74194）

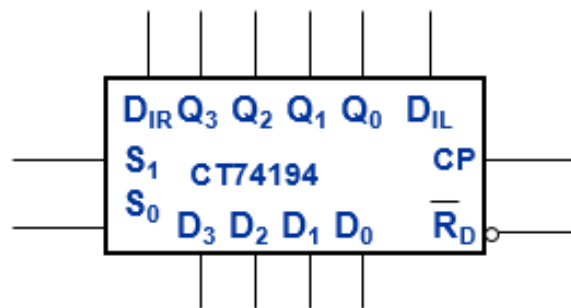
$S_1S_0$ : 功能控制输入端

$D_0D_1D_2D_3$ : 并行数据输入端

$Q_0Q_1Q_2Q_3$ : 数据输出

$D_{IR}$ : 右移串行输入（ $Q_3$ 为串行输出端）

$D_{IL}$ : 左移串行输入（ $Q_0$ 为串行输出端）



功能表

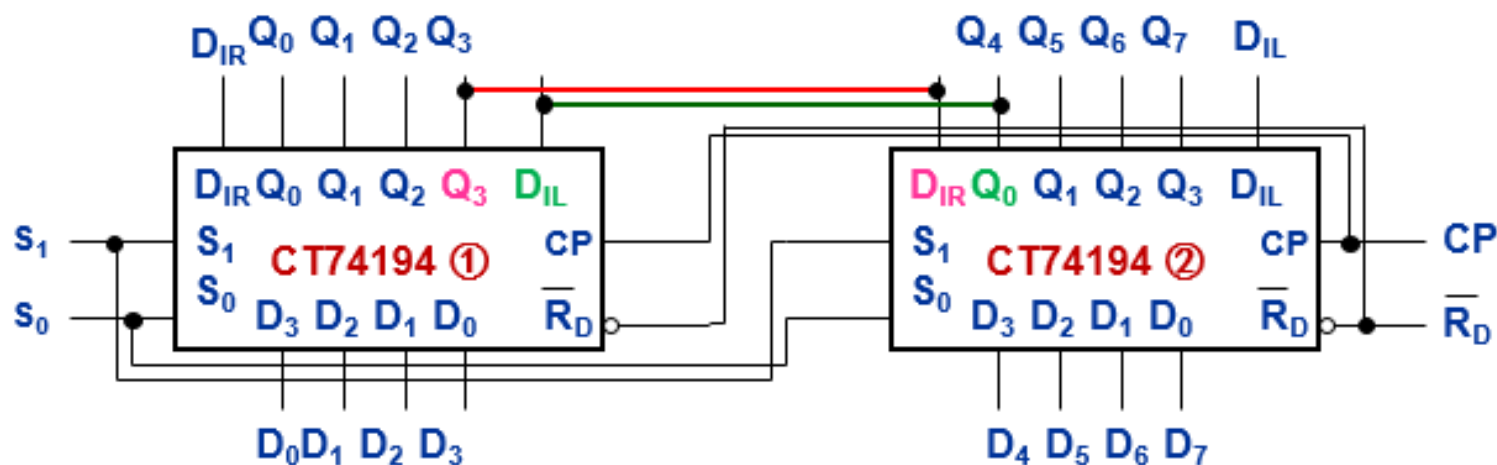
$\overline{R_D}$	CP	$S_1$	$S_0$	功能
0	X	X	X	置零
1	↑	0	0	保持
1	↑	0	1	右移
1	↑	1	0	左移
1	↑	1	1	并行输入

#### ❖ 工作方式

- 串入并出——串并转换
- 串入串出——延迟线
- 并入串出——并串转换
- 并入并出——数据预置

## 3.2 移位寄存器

### ❖ 用2片CT74194扩展为8位移位寄存器



- 将片①的 $Q_3$ 接至片②的 $D_{IR}$ ，当 $S_1S_0=01$ 时，右移，片②的输出 $Q_3$ 作为整个电路的右移串行输出端（ $Q_7$ ）。
- 将片②的 $Q_0$ 接至片①的 $D_{IL}$ ，当 $S_1S_0=10$ 时，左移，片①的输出 $Q_0$ 作为整个电路的左移串行输出端 $Q_0$ 。
- 同时把两片的 $S_1$ 、 $S_0$ 、 $CP$ 和 $\overline{R_D}$ 分别并联。

## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器
4. 时序电路的时序

### 3.3.1 同步计数器

❖ **计数器**：可以统计输入脉冲个数的器件

❖ **计数器的用途**

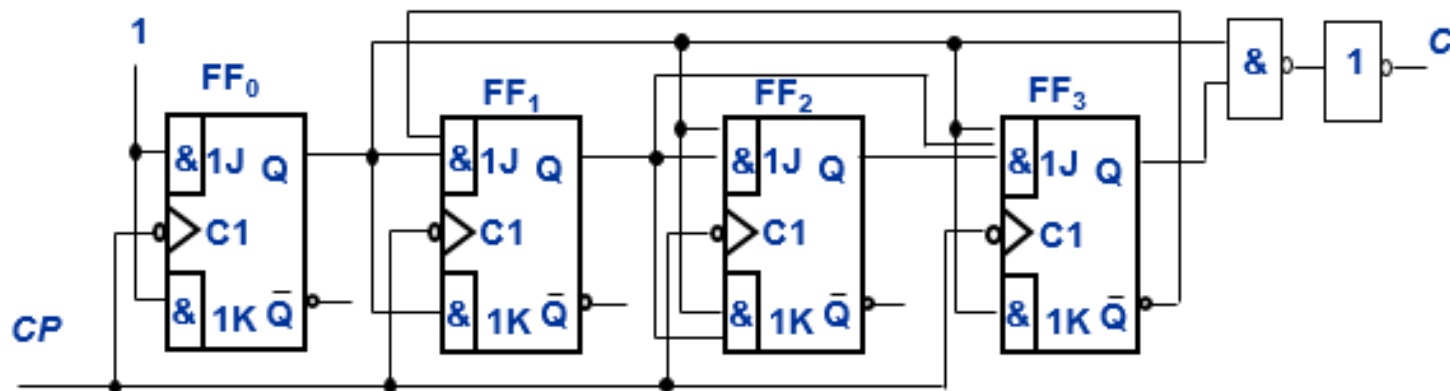
- （脉冲）计数
- 计时
- 定时（定时器）
- 分频
- 产生节拍脉冲（顺序脉冲）和序列脉冲

❖ **计数器的分类**

- 时钟方式：根据计数器中**触发器时钟端的连接方式**，分为同步计数器，异步计数器
- 计数方式：二进制计数器，十进制计数器，**M**进制计数器
- 状态变化：根据计数器中的**状态变化规律**分为加法计数器，减法计数器，加/减法计数器

### 3.3.1 同步计数器

【例1】分析下图电路，说明电路的特点。



解：(1) 写出逻辑表达式（4个负边沿触发的JK触发器组成的电路）

$$J_0 = K_0 = 1;$$

$$J_1 = \overline{Q_3}^n Q_0^n, K_1 = Q_0^n;$$

$$J_2 = K_2 = Q_1^n Q_0^n;$$

$$J_3 = \underline{\underline{Q_2^n Q_1^n Q_0^n}}, K_3 = Q_0^n$$

$$C = Q_3^n Q_0^n = Q_3^n Q_0^n$$

$$Q_0^{n+1} = J_0 \overline{Q_0}^n + \overline{K_0} Q_0^n = \overline{Q_0}^n$$

$$Q_1^{n+1} = J_1 \overline{Q_1}^n + \overline{K_1} Q_1^n = \overline{Q_3}^n Q_0^n \overline{Q_1}^n + \overline{Q_0}^n Q_1^n$$

$$Q_2^{n+1} = J_2 \overline{Q_2}^n + \overline{K_2} Q_2^n = Q_1^n Q_0^n \overline{Q_2}^n + \overline{Q_1}^n \overline{Q_0}^n Q_2^n$$

$$Q_3^{n+1} = J_3 \overline{Q_3}^n + \overline{K_3} Q_3^n = Q_2^n Q_1^n Q_0^n \overline{Q_3}^n + \overline{Q_0}^n Q_3^n$$

$$CP_0 = CP_1 = CP_2 = CP_3 = CP \downarrow \text{——同步电路}$$

### 3.3.1 同步计数器

解（续）：(2) 写出状态转换表

状态转换表

$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	C
0 0 0 0	0 0 0 1	0
0 0 0 1	0 0 1 0	0
0 0 1 0	0 0 1 1	0
0 0 1 1	0 1 0 0	0
0 1 0 0	0 1 0 1	0
0 1 0 1	0 1 1 0	0
0 1 1 0	0 1 1 1	0
0 1 1 1	1 0 0 0	0
1 0 0 0	1 0 0 1	0
1 0 0 1	1 0 1 1	0
1 0 1 0	0 1 0 0	1
1 0 1 1	1 1 0 1	0
1 1 0 0	0 1 0 0	1
1 1 0 1	1 1 1 1	0
1 1 1 0	0 0 0 0	1
1 1 1 1	0 0 0 0	1

$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_3^n} Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_1^n} Q_0^n Q_2^n$$

$$Q_3^{n+1} = Q_2^n Q_1^n Q_0^n \overline{Q_3^n} + \overline{Q_0^n} Q_3^n$$

$$C = Q_3^n Q_0^n$$

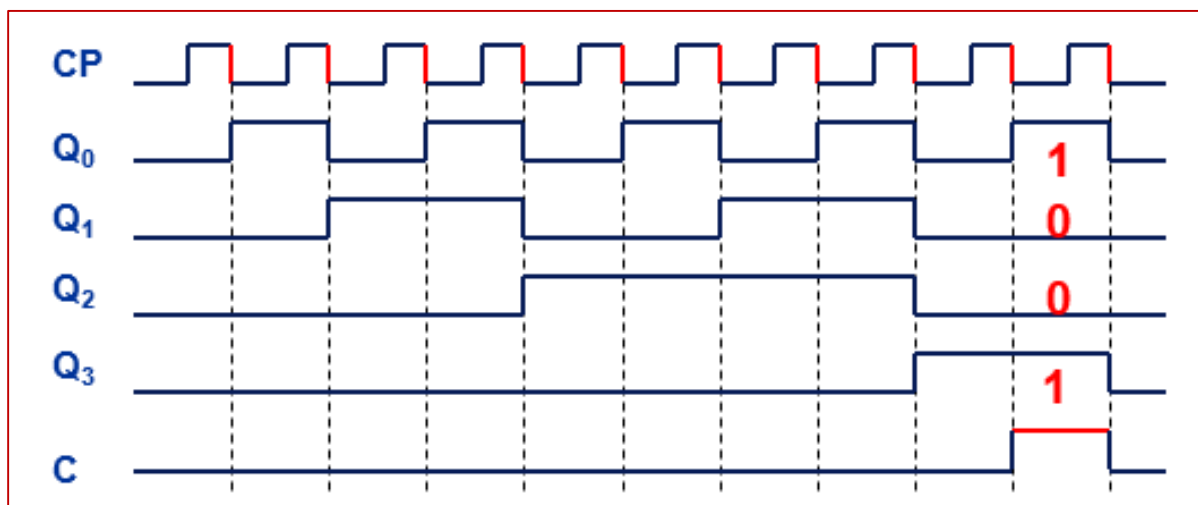
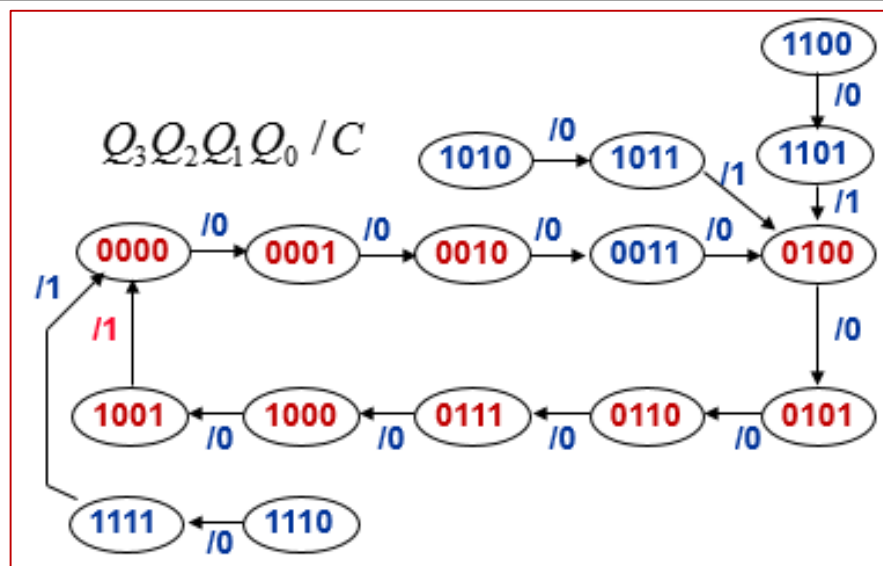


### 3.3.1 同步计数器

解（续）：

(3) 画出状态转移图（时序图）

- 画状态转换图时一定要画出全部状态的变化。
- 画时序图时只画出有效状态构成的计数循环的变化；注意触发器的时钟特性！



CP下降沿时  
触发器翻转！

当 $Q_3Q_2Q_1Q_0=1001$ 时， $C=1$ ；下一个CP下降沿到来时， $Q_3Q_2Q_1Q_0$ 变为0000，完成一个计数循环。

### 3.3.1 同步计数器

#### 解（续）：（4）电路功能说明

由状态转换图可知，这是一个**同步十进制加法计数器**（也称为**同步二进制（模10）加法计数器**），且具备自启动能力

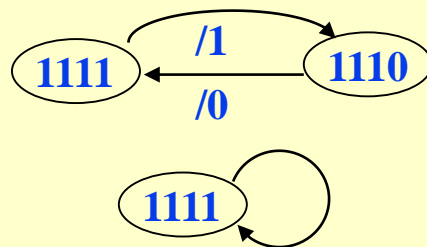
- **计数器**：由若干状态构成一个计数循环
- **同步**：构成电路的全部FF的时钟端连接在一起
- **十进制**：计数循环的状态个数为10（模10计数器）
- **加法**：计数状态按递增方向变化
- **自启动**：不存在死循环，计数循环以外的状态，都能回到计数循环中来

### 3.3.1 同步计数器

#### ❖ 同步计数器的特点

- 所有触发器的时钟端并联在一起，作为计数器的时钟端
- 各触发器同时翻转，不存在时钟到各触发器输出的传输延迟的积累
- 由于其工作频率只与一个触发器的时钟到输出的传输延迟有关，所以它的工作频率比异步计数器高。
- 由于计数器各触发器几乎是同时翻转的，因此，各触发器输出波形的偏移为各触发器时钟到输出的延迟之差，同步计数器输出经译码后所产生的尖峰信号宽度比较小。
- **缺点：**结构比较复杂（各触发器的输入由多个Q输出相与得到），所用元件较多。

设计计数器，不能存在  
死循环（无效循环）



### 3.3.1 同步计数器

**【例2】** 设计一个同步十六进制数加法计数器，按照 $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow F \rightarrow 0$ 的方式循环计数，当计数到F后下一个计数时钟到达时产生进位输出1。

解：

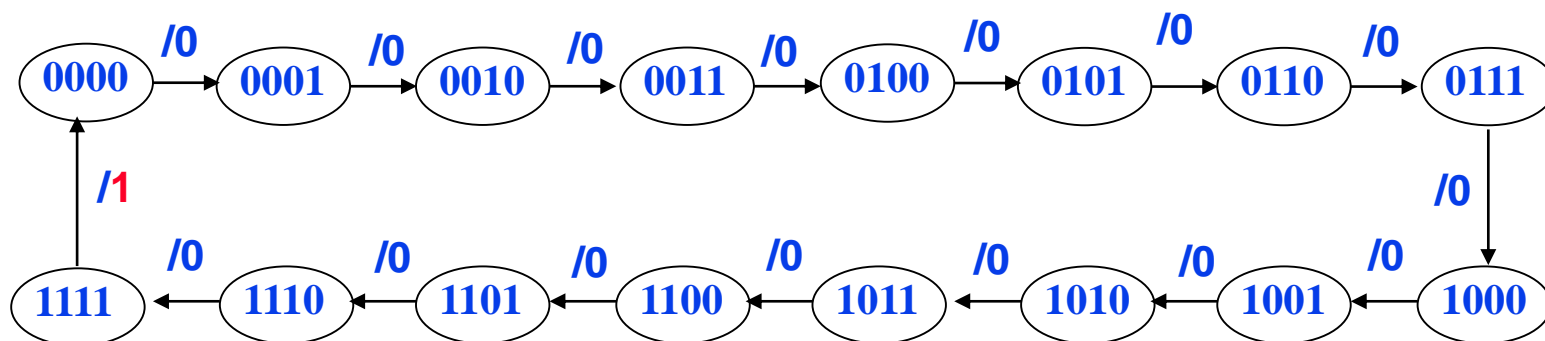
(1) 实际上是一个同步4位二进制加法计数器（模16）

采用4个负沿触发JK触发器

CP为时钟信号，CP下跳沿时计数

C为进位输出

(2) 根据题意，计数器的状态转换图如下。



### 3.3.1 同步计数器

解（续1）：

（3）根据状态图写状态表，也可直接写出状态表。

原态 $Q_3^n Q_2^n Q_1^n Q_0^n$	次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	C
0 0 0 0	0 0 0 1	0
0 0 0 1	0 0 1 0	0
0 0 1 0	0 0 1 1	0
0 0 1 1	0 1 0 0	0
0 1 0 0	0 1 0 1	0
0 1 0 1	0 1 1 0	0
0 1 1 0	0 1 1 1	0
0 1 1 1	1 0 0 0	0
1 0 0 0	1 0 0 1	0
1 0 0 1	1 0 1 0	0
1 0 1 0	1 0 1 1	0
1 0 1 1	1 1 0 0	0
1 1 0 0	1 1 0 1	0
1 1 0 1	1 1 1 0	0
1 1 1 0	1 1 1 1	0
1 1 1 1	0 0 0 0	1

### 3.3.1 同步计数器

解（续2）：（4）根据状态表写逻辑表达式（JK触发器的特性方程）

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_3^n} \overline{Q_2^n} Q_1^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n \overline{Q_0^n} \\ &\quad + Q_3^n \overline{Q_2^n} \overline{Q_1^n} \overline{Q_0^n} + Q_3^n \overline{Q_2^n} Q_1^n \overline{Q_0^n} + Q_3^n Q_2^n \overline{Q_1^n} \overline{Q_0^n} + Q_3^n Q_2^n Q_1^n \overline{Q_0^n} \\ &= \overline{Q_0^n} \end{aligned}$$

$$\begin{aligned} Q_1^{n+1} &= \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} Q_0^n + \overline{Q_3^n} \overline{Q_2^n} Q_1^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n \overline{Q_0^n} \\ &\quad + Q_3^n \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_3^n \overline{Q_2^n} Q_1^n \overline{Q_0^n} + Q_3^n Q_2^n \overline{Q_1^n} \overline{Q_0^n} + Q_3^n Q_2^n Q_1^n \overline{Q_0^n} \\ &= Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n \end{aligned}$$

$$\begin{aligned} Q_2^{n+1} &= \overline{Q_3^n} \overline{Q_2^n} Q_1^n Q_0^n + \overline{Q_3^n} Q_2^n \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n \\ &\quad + Q_3^n \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_3^n \overline{Q_2^n} Q_1^n \overline{Q_0^n} + Q_3^n Q_2^n \overline{Q_1^n} \overline{Q_0^n} + Q_3^n Q_2^n Q_1^n \overline{Q_0^n} \\ &= Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n} Q_1^n Q_2^n \end{aligned}$$

$$\begin{aligned} Q_3^{n+1} &= \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} Q_0^n + \overline{Q_3^n} \overline{Q_2^n} Q_1^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n \overline{Q_1^n} \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n \overline{Q_0^n} \\ &\quad + Q_3^n \overline{Q_2^n} \overline{Q_1^n} Q_0^n + Q_3^n \overline{Q_2^n} Q_1^n \overline{Q_0^n} + Q_3^n Q_2^n \overline{Q_1^n} \overline{Q_0^n} + Q_3^n Q_2^n Q_1^n \overline{Q_0^n} \\ &= Q_0^n Q_1^n \overline{Q_2^n} \overline{Q_3^n} + \overline{Q_0^n} Q_1^n Q_2^n Q_3^n \end{aligned}$$

### 3.3.1 同步计数器

解（续3）：

（5）根据特性方程反推出4个JK触发器的J、K端驱动方程。

因为：JK触发器的通用特性方程是：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

所以：4个触发器的驱动方程分别是：

$$J_0 = K_0 = 1$$

$$J_1 = K_1 = Q_0^n$$

$$J_2 = K_2 = Q_0^n Q_1^n$$

$$J_3 = K_3 = Q_0^n Q_1^n Q_2^n$$

$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

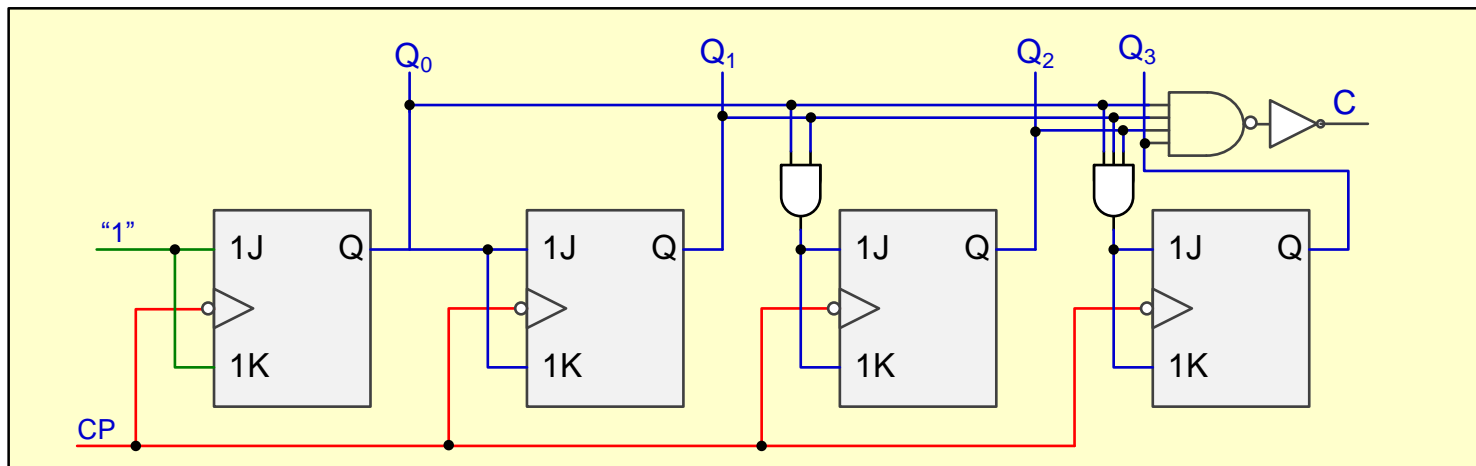
$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n Q_1^n} Q_2^n$$

$$Q_3^{n+1} = Q_0^n Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_0^n Q_1^n Q_2^n} Q_3^n$$

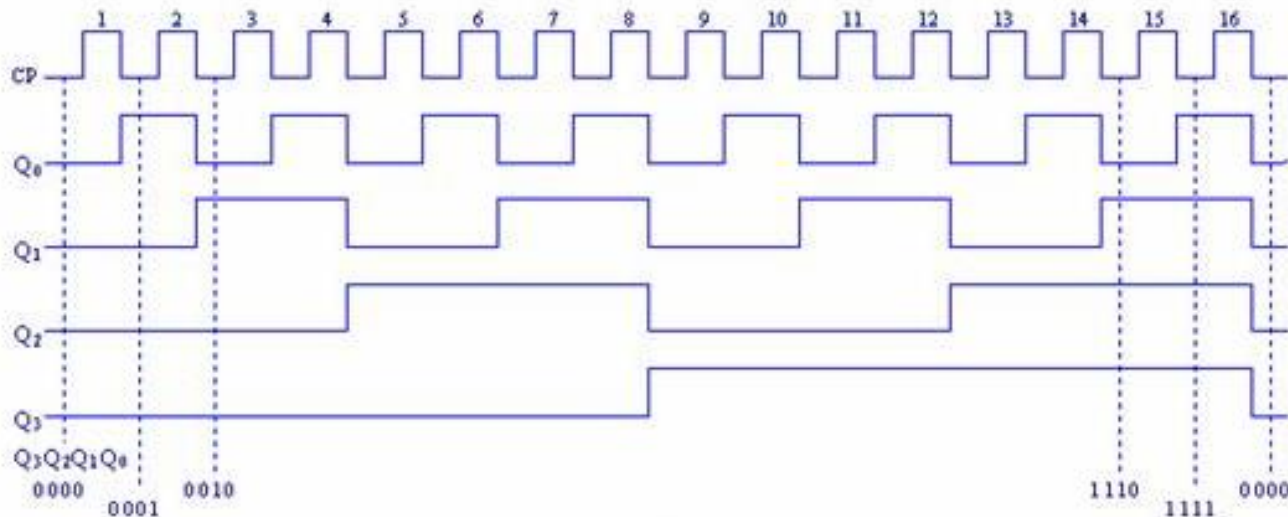
$$C = Q_0^n Q_1^n Q_2^n Q_3^n$$

### 3.3.1 同步计数器

解（续4）：（6）画出逻辑图。



$Q_0$ 、 $Q_1$ 、 $Q_2$ 、 $Q_3$  的周期分别是CP 周期的2、4、8、16倍，实际上是分别对CP进行了2、4、8、16分频，因此二进制计数器也称为分频器。





### 3.3.2 异步计数器

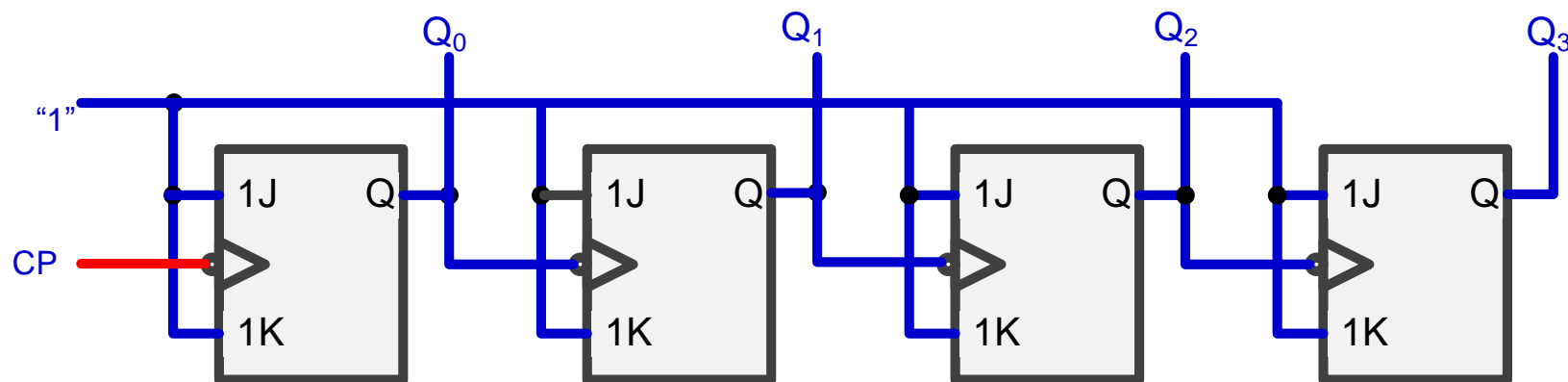
❖ 异步计数器也有二进制、十进制、任意进制等类型

❖ 异步计数器的特点

- 输入系统时钟脉冲只作用于最低位触发器，高位触发器的时钟信号往往是由低一位触发器的输出提供的，高位触发器的翻转有待低一位触发器翻转后才能进行。
- 由于每一级触发器都存在传输延迟，因此计数器工作速度慢，而且，位数越多计数越慢。在大型数字设备中较少采用。
- 对计数器状态进行译码时，由于触发器不同步，译码器输出会出现尖峰脉冲（位数越多，尖峰信号也就越宽），使仪器设备产生误动作。
- 优点：结构比较简单，所用元件较少。

### 3.3.2 异步计数器

【例3】分析下图异步二进制（M=16）加法计数器电路（N=4）



(1) 状态方程

$$Q_0^{n+1} = \overline{Q_0^n} \cdot CP \downarrow; Q_1^{n+1} = \overline{Q_1^n} \cdot Q_0 \downarrow;$$

$$Q_2^{n+1} = \overline{Q_2^n} \cdot Q_1 \downarrow; Q_3^{n+1} = \overline{Q_3^n} \cdot Q_2 \downarrow;$$

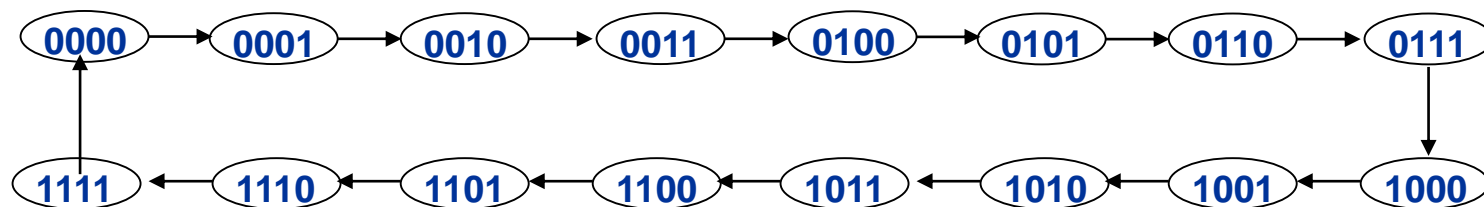
### 3.3.2 异步计数器

(2) 状态转换表

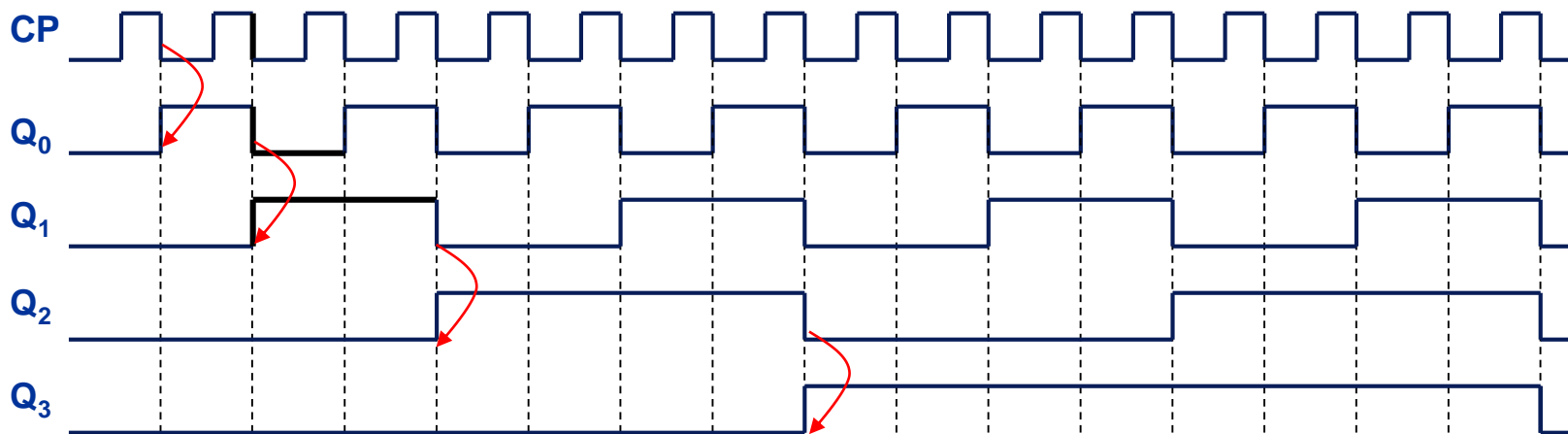
$Q_3^n$ $Q_2^n$ $Q_1^n$ $Q_0^n$	$Q_3^{n+1}$ $Q_2^{n+1}$ $Q_1^{n+1}$ $Q_0^{n+1}$
0 0 0 0	0 0 0 1
0 0 0 1	0 0 1 0
0 0 1 0	0 0 1 1
0 0 1 1	0 1 0 0
0 1 0 0	0 1 0 1
0 1 0 1	0 1 1 0
0 1 1 0	0 1 1 1
0 1 1 1	1 0 0 0
1 0 0 0	1 0 0 1
1 0 0 1	1 0 1 0
1 0 1 0	1 0 1 1
1 0 1 1	1 1 0 0
1 1 0 0	1 1 0 1
1 1 0 1	1 1 1 0
1 1 1 0	1 1 1 1
1 1 1 1	0 0 0 0

## 3.3.2 异步计数器

### (3) 状态转换图

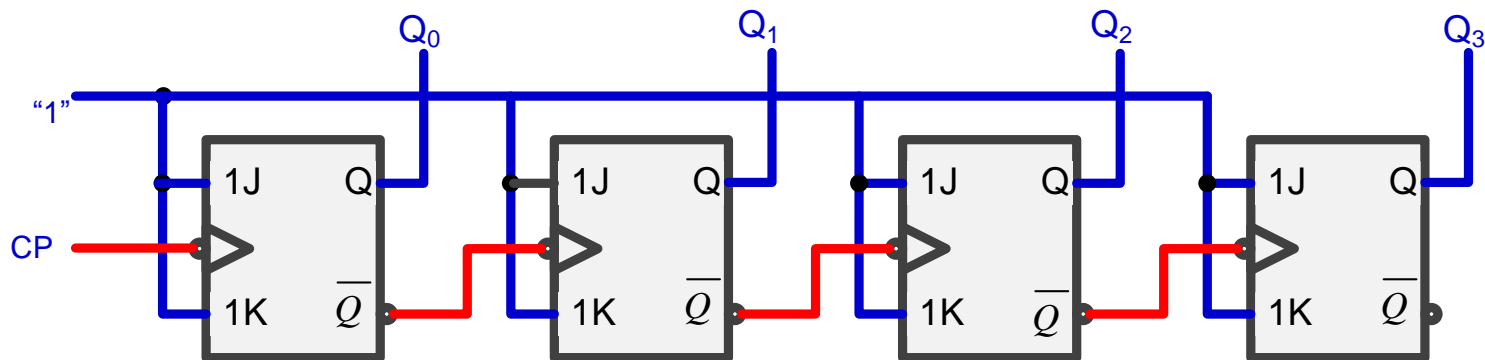


### 时序图



### 3.3.2 异步计数器——其他类型计数器

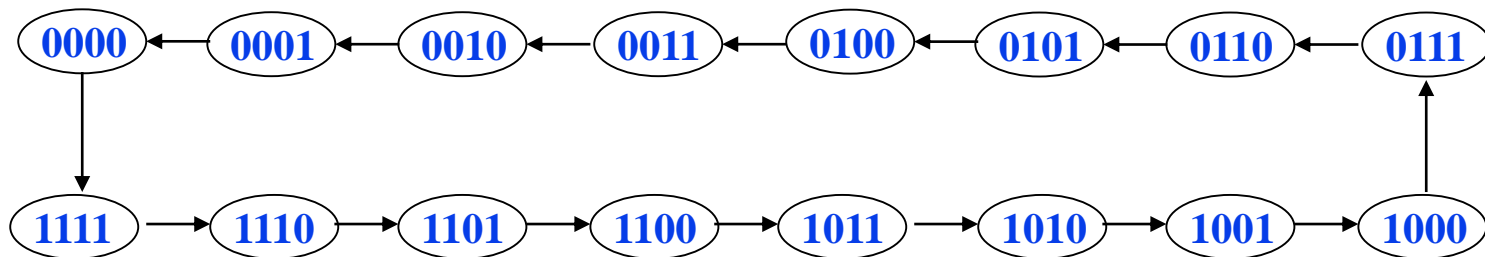
#### 1. 分析异步二进制（模16）减法计数器



#### ➤ 状态方程

$$\begin{aligned} Q_0^{n+1} &= \overline{Q_0^n} \cdot CP \downarrow; Q_1^{n+1} = \overline{Q_1^n} \cdot \overline{Q_0^n} \downarrow = \overline{Q_1^n} \cdot Q_0^n \uparrow; \\ Q_2^{n+1} &= \overline{Q_2^n} \cdot \overline{Q_1^n} \downarrow = \overline{Q_2^n} \cdot Q_1^n \uparrow; Q_3^{n+1} = \overline{Q_3^n} \cdot \overline{Q_2^n} \downarrow = \overline{Q_3^n} \cdot Q_2^n \uparrow; \end{aligned}$$

#### ➤ 状态转换图





### 3.3.2 异步计数器——其他类型计数器

#### 2. D触发器（上跳沿触发）构成异步二进制（模8）加法计数器（续）

##### （4）根据驱动方程画出逻辑电路图

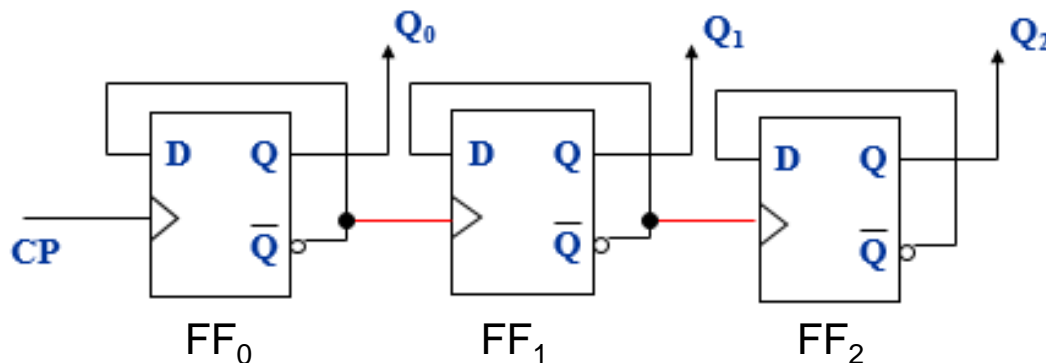
由3个D-FF（D触发器）构成，异步计数器FF<sub>0</sub>用CP时钟触发，FF<sub>1</sub>用FF<sub>0</sub>输出触发，FF<sub>2</sub>用FF<sub>1</sub>输出触发。

假定D触发器CP上升沿触发，而在驱动方程中FF<sub>1</sub>、FF<sub>2</sub>分别是在Q<sub>0</sub>的下降沿和Q<sub>1</sub>的下降沿翻转，也即在/Q<sub>0</sub>的上升沿和/Q<sub>1</sub>的上升沿翻转。故分别将/Q<sub>0</sub>和/Q<sub>1</sub>作为FF<sub>1</sub>、FF<sub>2</sub>的时钟信号，由此画出电路图。

$$D_0 = \overline{Q_0}^n \cdot CP \uparrow$$

$$D_1 = \overline{Q_1}^n \cdot Q_0 \downarrow$$

$$D_2 = \overline{Q_2}^n \cdot Q_1 \downarrow$$



## 异步计数器小结

- ❖ **n**位二进制异步计数器由**n**个触发器组成。
  - 用**D** 触发器构造时，使 $D_i = \neg Q_i$ ；
  - 用**JK** 触发器构造时，使 $J_i = K_i = 1$ ；
  - 构造加法计数器，若上升沿触发，则应将低位触发器的/**Q**端与相邻高位触发器的时钟输入端相连；若下降沿触发，则应将低位触发器的**Q**端与相邻高位触发器的时钟输入端连接；
  - 构造减法计数器，各触发器的连接方式则加法计数器相反。若上升沿触发，则应将低位触发器的**Q**端与相邻高位触发器的时钟输入端相连；若下降沿触发，则应将低位触发器的/**Q**非端与相邻高位触发器的时钟输入端连接；
- ❖ 二进制异步计数器中，高位触发器的状态翻转必须在低一位触发器产生进位信号（加计数）或借位信号（减计数）之后才能实现。故又称这种类型的计数器为串行计数器。



## 第三讲：时序逻辑电路设计

### 一. 锁存器和触发器

1. SR/D锁存器
2. D触发器
3. JK触发器

### 二. 有限状态机

1. Moore型有限状态机
2. Mealy型有限状态机

### 三. 时序逻辑电路设计分析

1. 数据寄存器
2. 移位寄存器
3. 计数器
4. 时序电路的时序

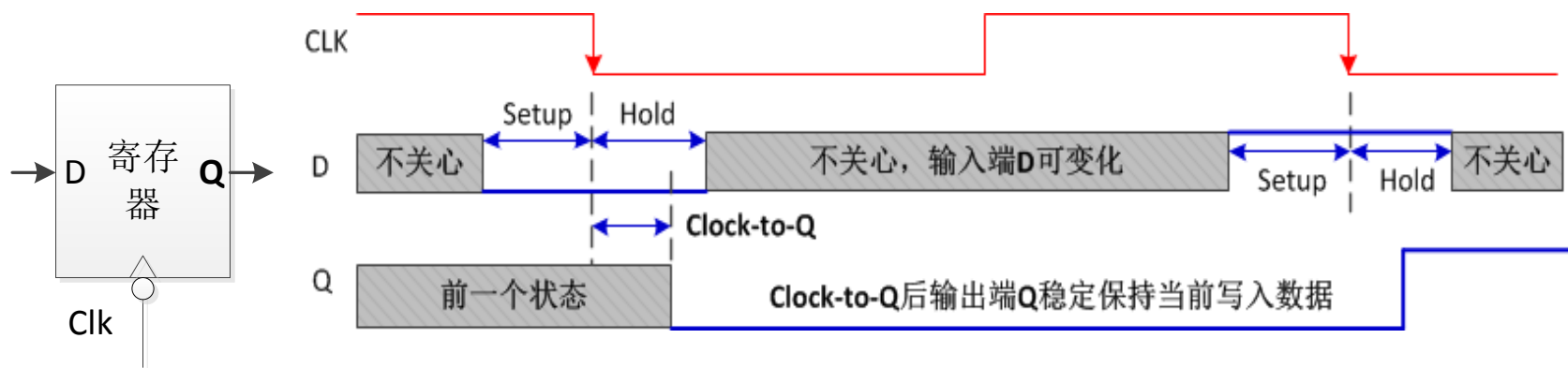
## 4.1 时序电路的时序



照相机拍照的孔径时间（**aperture time**）内，被照对象必须保持稳定，否则不能拍到清晰的照片。

## 4.1 时序电路的时序

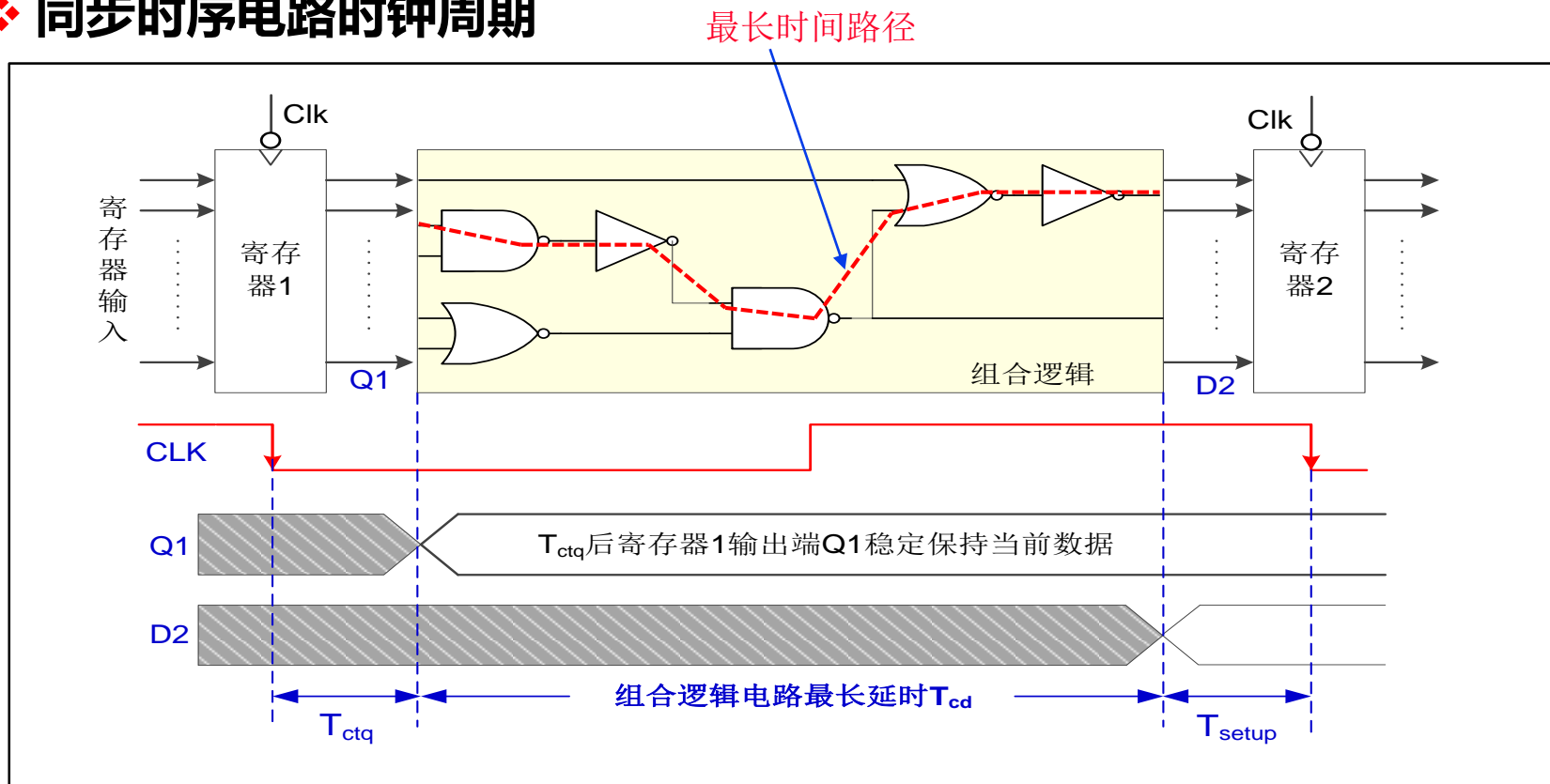
### ❖ 寄存器的时序



- 建立时间 $T_{\text{setup}}$  (Setup Time)：触发时钟边沿之前输入必须稳定的时间；
- 保持时间 $T_{\text{hold}}$  (Hold Time)：触发时钟边沿之后输入仍需稳定的时间；
- Clock-to-Q时间 $T_{\text{ctq}}$ ：从触发时钟边沿到输出稳定的时间。
- 孔径时间 $= T_{\text{setup}} + T_{\text{hold}}$ ，输入信号在孔径时间内必须稳定不变。

## 4.1 时序电路的时序

### ❖ 同步时序电路时钟周期

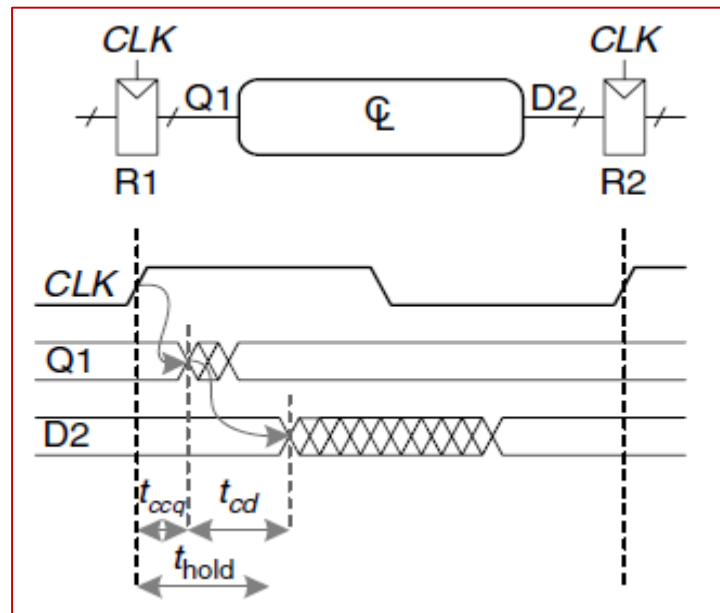


- 时序电路由“寄存器元件+ 操作元件(组合电路)+ 寄存器元件”组成
- 时钟周期  $T_C \geq T_{ctq} + T_{cd} + T_{setup} + \text{时钟偏移}$
- 时钟偏移：由于时钟信号源到各个寄存器部件的连线长度不同等原因所引起的各个寄存器时钟信号达到的细微时间差异，一般忽略。

## 4.1 时序电路的时序

### ❖ 保持时间约束

- 右边电路图中寄存器R2有保持时间约束，在时钟上升沿之后的  $t_{\text{hold}}$  之内，D2必须保持稳定不变。
- 时钟上升沿之后  $t_{\text{ccq}}$  时，R1的输出Q1将发生变化（但不一定稳定），这种变化经过组合逻辑电路延迟  $t_{\text{cd}}$  后传播到D2。
- 保持时间约束为  $t_{\text{ccq}} + t_{\text{cd}} \geq t_{\text{hold}}$ ，否则R2不能正确对上一个时钟周期内所形成D2的输入，因为在上一个D2的保持时间内，D2就发生了变化。



## 4.1 时序电路的时序

**【例】** 假定下面的电路触发器时钟到Q的最小延迟和稳定时间分别为30ps和80ps，建立时间和保持时间分别为50ps和60ps，每个门电路的最小延迟和最大延迟分别是25ps和40ps。该时序电路的最小时钟周期是多少？并对时序电路进行时序分析。

**解：**

(1)  $T_{ctq}=80, T_{setup}=50$

组合逻辑最大延迟 $T_{cd}=3*40=120$ 。

所以最小时钟周期为：

$$\begin{aligned} TC &= T_{ctq} + T_{cd} + T_{setup} \\ &= 80 + 120 + 50 = 250ps \end{aligned}$$

(2)  $T_{ccq}=30, T_{hold}=60$

组合逻辑最小延迟为25（D的改变最快经过25ps可能引起Y'改变）。

$T_{ccq}+25=55 < T_{hold}$  违背了保持约束，Y'值（X'值也同样有可能）不能保持足够长的稳定时间，所以Y值实际上不可预测。因此，该电路在任何时钟周期下其功能都可能不正确。

