**第二讲组合逻辑 作业**

**一、填空题：**

* 1. PN结的单向导电性即反向偏置时 截止 ，正向偏置时 导通 。
  2. TTL与非门的两个状态通常称为关态和开态，当输入全为高电平时对应的是 开 态，此时输出为 低电平 ；当输入有一为低电平时，对应的是 关 态，此时输出为 高电平 。
  3. TTL与非门的额定输出逻辑低电平VOL= 0.4 伏，额定输出逻辑高电平VOH= 2.4 伏。（设电源电压VCC=+5V）
  4. 对于ECL、TTL、CMOS集成电路，按静态功耗低和高的顺序依次为 ELC,CMOS,TTL ，按工作速度快慢的顺序依次为 ELC,TTL,CMOS ，按抗干扰能力强弱的顺序依次为 CMOS,TTL ,ECL 。
  5. 逻辑变量和函数只有 1,0 两种取值，而且它们只是表示两种不同的逻辑状态。
  6. 逻辑函数，其反函数 = (A+~C)(B+~D) ，其对偶式F\* = (~A+C)(~B+D) 。
  7. 函数的最简与或式是 AB+AC+~CD 。
  8. 从结构看，组合逻辑电路由门电路构成，不含 回路 ，也不含 时序结构 ，信号从输入开始单向传输到输出。对于组合逻辑电路，任何时刻电路的输出仅由当时的 输入 决定。
  9. 将加在电路若干输入端中的某一个输入端的信号变换成相应的一组二进制代码输出的过程叫做 编码 。
  10. 将二进制代码所表示的信息翻译成对应输出的高低电平信号的过程称为 译码 ；n位二进制译码器有 n 个输入，有 2^n 个输出，工作时译码器只允许有一个输出有效。
  11. 输出低电平有效的二-十进制译码器的输入8421BCD码A3~A0为0111时，其输出 = 1111111011 。

**二、问答与计算题：**

**说明：分析与计算题要求写出分析推导过程，给出必要的公式。**

1. 将逻辑函数写成标准与或表达式。

F=ABC(D+~D)+~ABD(C+~C)+ABCD

=ABCD+ABC~D+AB~CD+~ABCD+~AB~CD

2．推导出函数的最简与或式。

F=(~A+~B)(~B+~C)+A~C+A~B=~B+~C+~B~C=~B+~C

3．列出下述问题的真值表，利用最小项推导法写出其逻辑函数表达式，利用公式简化法进行简化并给出逻辑电路图。最后，写出完整的Verilog HDL程序。

**Z**

设计一个投票表决器，三个投票人分别为A、B、C，同意为“1”，不同意为“0”。按规定只要二人以上同意才能通过，输出为“1”表示通过，为“0”表示不通过。

答案在另外文件夹中

4．用公式法证明下列等式：

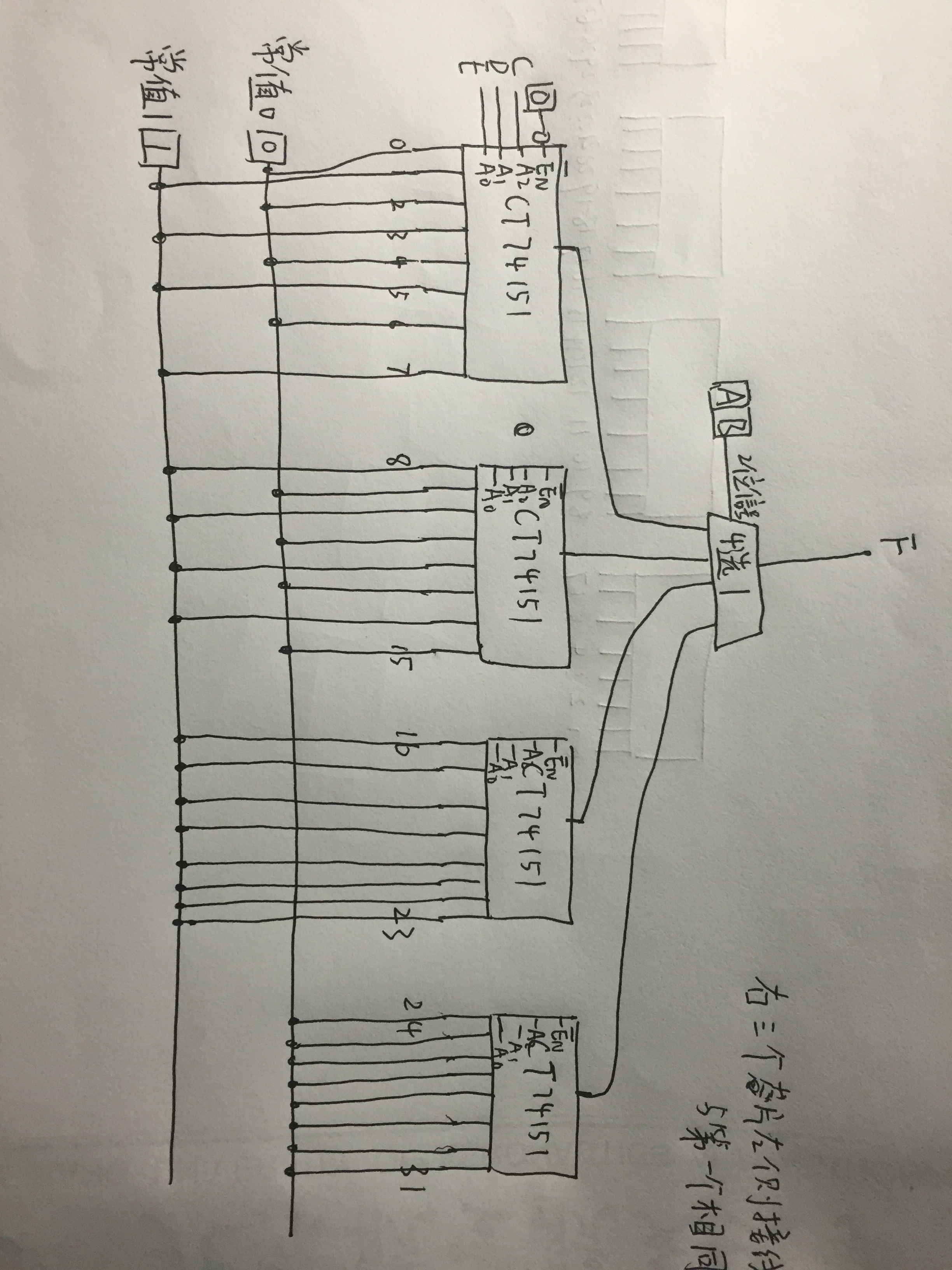


左=(A+~A)~BC~D+(A+~A)B~CD+A(B+~B)CD+~AB(~C+~D)(C+~C)(D+~D)+(A+~A)(B+~B)(~A+~B)CD+(A+~A)B(~C+~D)(C+~C)(D+~D)+(A+~A)BCD

=A~B~CD+~A~BC~D+AB~CD+~AB~CD+ABCD+A~BCD+~AB~CD+~AB~C~D+~ABC~D+~AB~C~D+~ABCD+~A~BCD+A~BCD+~A~BCD+AB~C~D+ABC~D+~ABC~D+ABCD+~ABCD=BC(AD+~A~D+~AD+A~D)+B~C(~A~D+~AD+AD+A~D)+~BC(AD+~A~D+~AD+A~D)=BC+B~C+~BC=B+C=右

5．用8选1数据选择器CT74151实现下列函数(给出连接方式以及地址信号、数据输入端的对应关系图，如果用都其它器件请标出其它器件类型)：

F(A,B,C,D,E)=∑m(1, 3, 5, 7, 8, 10, 12, 14, 16, 17, 18, 19, 20, 21, 22, 23)



6．在四进制数系统中，存在四个数字：0, 1, 2,3。表 1定义了一个四进制数的半加器（简要叙述思路，并给出主要的Verilog HDL程序段）。

（1）设计一个实现此半加器的电路。要求用二进制编码表示四进制数，例如每个四进制数用2位表示。令A = a1a0 , B = b1b0, Sum = s1s0, 进位信号Carry是二进制信号。编码方案为：00 = (0)4, 01 = (1)4, 10 = (2)4，11 = (3)4. 要求电路的成本最低。

（2）使用上述描述的方法，设计一个四进制全加器电路。

答案在另外文件夹中

表 1 四进制半加器

|  |  |  |
| --- | --- | --- |
| A B | Carry | Sum |
| 0 0 | 0 | 0 |
| 0 1 | 0 | 1 |
| 0 2 | 0 | 2 |
| 0 3 | 0 | 3 |
| 1 0 | 0 | 1 |
| 1 1 | 0 | 2 |
| 1 2 | 0 | 3 |
| 1 3 | 1 | 0 |
| 2 0 | 0 | 2 |
| 2 1 | 0 | 3 |
| 2 2 | 1 | 0 |
| 2 3 | 1 | 1 |
| 3 0 | 0 | 3 |
| 3 1 | 1 | 0 |
| 3 2 | 1 | 1 |
| 3 3 | 1 | 2 |

7．7段数码管是由7个独立的发光管构成的，每个发光管有一个驱动控制信号。当驱动控制信号为高电平(逻辑1)时，则信号对应的发光管发光。现需设计7段数码管的控制电路，使之能够根据4位输入x[3:0]显示0 ~ 9，A ~ F共16个图案。7段数码管控制电路输出信号为各数码管的驱动控制信号，即a，b，c，d，e，f，g。数码管各段的定义和16进制数“F”（对应abcdefg的二进制输出为1110001）的显示如下图所示。



（1）请给出7段数码管控制电路的输入输出信号真值表。

（2）根据真值表写出各输出信号的逻辑表达式，并化简。

（3）采用结构描述法，用Verilog语言实现上述的数码管控制器。

答案在另外文件夹中