
可程式邏輯陣列設計實習

Lecture 5

課程代碼：EE3811301
指導老師：王乃堅 老師
實習課助教：周 霖

Verilog HDL

- Gate-Level Model

```
and u1 (out, in1, in2);
```

- Data-Flow Modeling

```
assign out = in1 & in2;
```

- Behavioral Model

```
always @ (in1 or in2)
begin
    out = in1 & in2;
end
```

Verilog HDL

▶ Dataflow Modeling :

資料流敘述的前後次序不重要

*出現在**assign**敘述左邊的信號必須是**wire**資料型態

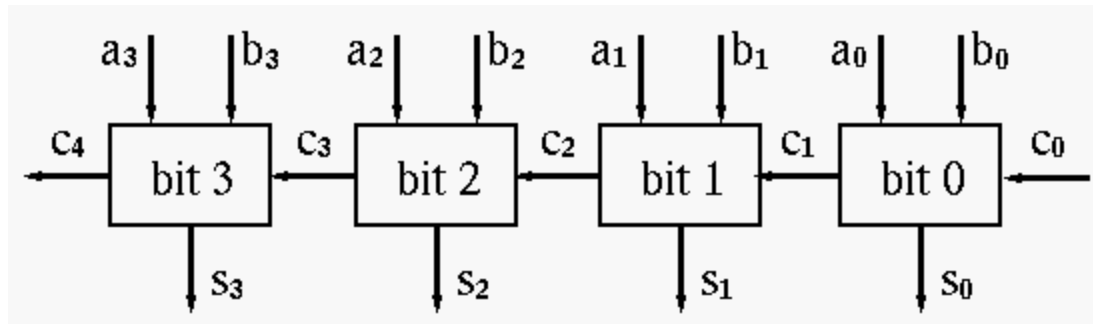
▶ Behavior Modeling :

always方塊內敘述的前後次序很重要。但若之間沒有相關性，次序對調不影響結果

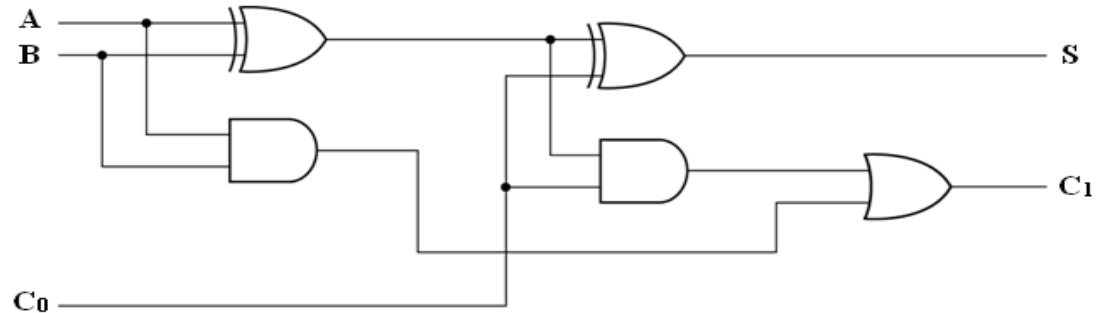
*出現在 **=** 敘述左邊的信號必須宣告**reg**資料型態

4-bit Carry Look-ahead Adder

- ▶ 傳統的 ripple carry adder 在做加法時須要等上一級的 carry out 產生後才能繼續下去，對於 16-bit adder，甚至於 n -bits adder 所造成嚴重之 delay。
- ▶ CLA 就是針對改善 delay 而設計出來的架構，其想法是希望將所有的進位一次運算完成。



4-bit CLA



- ▶ 首先我們令

carry generate $G_i = A_i B_i$

carry propagate $P_i = A_i \oplus B_i$

- ▶ 由Full Adder我們可知

Sum $S = A \oplus B \oplus C_0$

Carry $C_1 = A B + (A \oplus B) C_0$

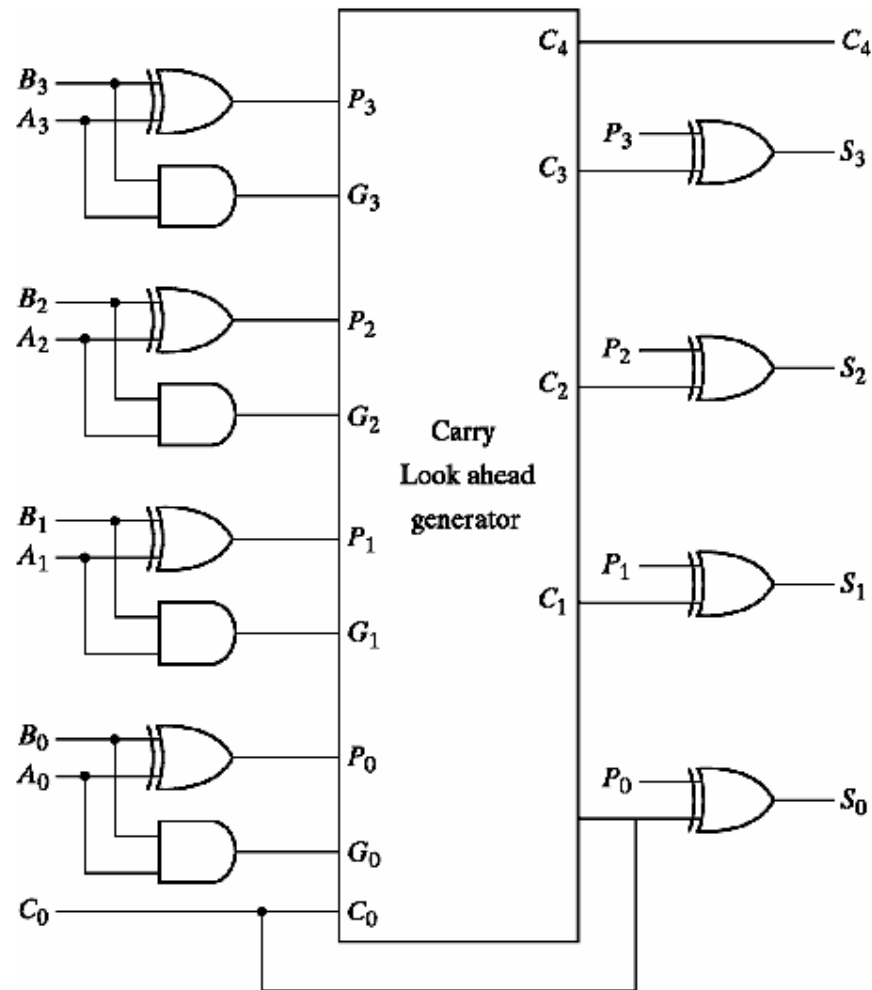
4-bit CLA

- ▶ 將carry out與sum改寫推導如下：

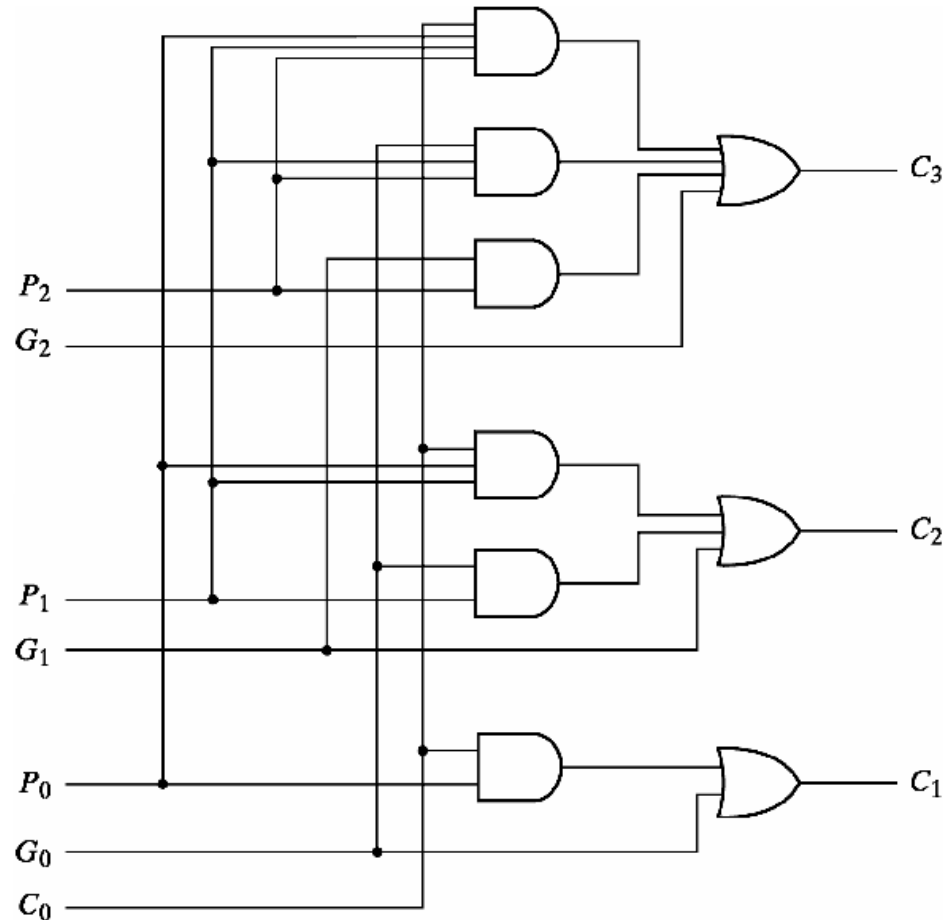
$$\begin{aligned} S_i &= A_i \oplus B_i \oplus C_{i-1} \\ &= P_i \oplus C_i \end{aligned}$$

$$\begin{aligned} C_{i+1} &= A_i B_i + (A_i \oplus B_i) C_i \\ &= G_i + P_i C_i \end{aligned}$$

4-bit CLA



4-bit CLA



Carry Look-ahead Generator



4-bit Magnitude Comparator

- ▶ 4-bit Magnitude Comparator 可以針對 2 個值來比較兩個值的關係是大於小於或等於。
- ▶ 假設 $A[3:0] = A_3A_2A_1A_0$ ， $B[3:0] = B_3B_2B_1B_0$ ，令 $x_i = A_iB_i + A_i' B_i'$ ， $i = 0, 1, 2, 3$ ，若 $x_i = 1$ 表示兩數第 i 位置的 bit 相同。

4-bit Magnitude Comparator

□ 當 A、B 相等時：

$$(A = B) = x_3x_2x_1x_0$$

□ A 大於 B 時：

$$(A > B) = A_3B'_3 + x_3A_2B'_2 + x_3x_2A_1B'_1 + x_3x_2x_1A_0B'_0$$

□ B 大於 A 時：

$$(B > A) = A'_3B_3 + x_3A'_2B_2 + x_3x_2A'_1B_1 + x_3x_2x_1A'_0B_0$$

4-bit Magnitude Comparator

