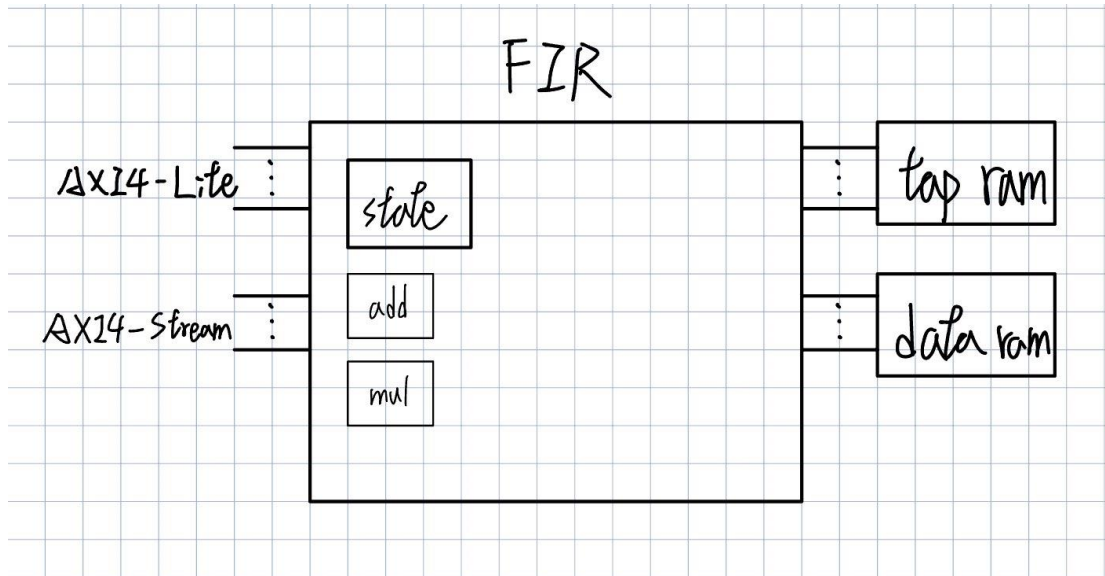


系統晶片設計 SOC Design

Lab3

111061534 陳翀

1. Block Diagram



2. Describe operation

AXI4-LITE write :

當 AXI4-Lite 的 write 的 awvalid 為 1 且 FIR 沒有在執行時會將 awready 設為 1，即可以傳輸位址(awaddr)。

此時會將 wready 設為 1 並且將此位址存下來以防止在 wvalid 為 1 之前位址(awaddr)的值有所改變導致使用的地址錯誤，關閉 awready 以防止位址錯誤。等待 wvalid 直到其值為 1 時就將資料(wdata)存入 BRAM，完成資料寫入後即將 wready 關掉(設為 0)。

AXI4-LITE read :

設計原理與 AXI4-Lite 的 write 一樣。

Shift RAM & Tap RAM :

Tap 的係數儲存是在 FIR 開始工作之前(ap_start=0)，此時每一次 AXI4-Lite 的寫入或讀取操作都將與 BRAM 模塊的輸入對接，以此完成係數的寫入與讀取並檢察之工作。

當在 FIR 的運算模式下，Tap 的操作是由 state machine 來決定的，總共有 5 個 state：

ST_IDLE：RESET 狀態

ST_SET：此狀態會等待 data_length 不為 0 時且 shift ram 內的直接為 0 時才進入下一狀態。

ST_LOOP：此狀態執行次數為 data_length 的長度

ST_CAL：此狀態會執行讀取 coefficient & data 後執行 shift 並執行 FIR 的乘加運算

ST_OUT：每完成 11 輪次的乘加運算就會進入此狀態，會透過 AXI4-Stream 將資料輸出。

AXI4-Stream：

如同上述，AXI4-Stream 的寫入與輸出是分開運作的，當在 ST_CAL 且乘加運算執行到最後一次時(N=11)會透過 AXI4-Stream(訊號 ss)來將資料輸入。

當進入 ST_OUT 時會將資料透過 AXI4-Stream(訊號 sm)將其輸出。

ap control：

當寫入 ap_start 後就會設定 ap_idle，此時直到 ap_idle 被重新設為預設值之前 AXI4-Lite 都無法再對記憶體進行寫入操作，當最後一筆資料(idx = data_length)被輸出後就會設定 ap_done，且 ap_idle 回到預設值的條件是 ap_done。

因此 ap control 的順序會是：ap_idle=1, ap_start=1, ap_idle=0, FIR CAL, ap_done=1, ap_idle=1。

3. Resource usage

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	340	0	0	53200	0.64
LUT as Logic	340	0	0	53200	0.64
LUT as Memory	0	0	0	17400	0.00
Slice Registers	241	0	0	106400	0.23
Register as Flip Flop	241	0	0	106400	0.23
Register as Latch	0	0	0	106400	0.00
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

4. Timing Report

Synthesize the design maximum frequency : 12ns (0.000 6.000)

```
Slack (MET) : 0.331ns (required time - arrival time)
Source:      an32Coef_reg[16]/C
              (rising edge-triggered cell FDCE clocked by clk (rise@0.000ns fall@6.000ns period=12.000ns))
Destination: n32Acc_reg[31]/D
              (rising edge-triggered cell FDCE clocked by clk (rise@0.000ns fall@6.000ns period=12.000ns))
Path Group:  clk
Path Type:   Setup (Max at Slow Process Corner)
Requirement: 12.000ns (clk rise@12.000ns - clk rise@0.000ns)
Data Path Delay: 11.532ns (logic 8.633ns (74.858%) route 2.899ns (25.142%))
Logic Levels:  10 (CARRY4=5 DSP48E1=2 LUT2=2 LUT4=1)
Clock Path Skew: -0.145ns (DCD - SCD + CPR)
  Destination Clock Delay (DCD): 2.128ns = ( 14.128 - 12.000 )
  Source Clock Delay (SCD): 2.456ns
  Clock Pessimism Removal (CPR): 0.184ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
  Total System Jitter (TSJ): 0.071ns
  Total Input Jitter (TIJ): 0.000ns
  Discrete Jitter (DJ): 0.000ns
  Phase Error (PE): 0.000ns
```

	required time	14.320
	arrival time	-13.989
	slack	0.331

5. Simulation Waveform

