國立高雄第一科技大學

工科博士班

**系統晶片設計實習**

K-means

指導老師：陳朝烈

班 級：電子4A

學生姓名：廖振東,劉峻瑜

學 號：u0252040,u0252038

**需求:**

1. **功能:**
2. 以硬體電路(soc)實現K-means分群之動作。
3. 使用者可以透過操作將樣本數進行分群(unsupervised learning)。
4. 使用者可以使用uart介面單元，並透過鍵盤輸入(1~5)個之k值(族群數)。
5. 程式中透過亂數產生器(random\_1)隨機產生至少100個樣本點(座標值)，並透過UART顯示出來。
6. 程式中亂數產生器(random\_1)產生之樣本點(座標值)，透過暫存器單元(Block ram)，將樣本點(座標值)寫至記憶體。
7. 程式中暫存器單元(Block ram)可以存取100個(24bit)樣本點值(約0.3bytes)。
8. 程式中透過亂數產生器(random\_2)隨機產生出k值個數之座標值。
9. 亂數產生器(random\_2)內包含一暫存器(BUFFER)用於進行k值座標之存取。
10. 程式中運算電路單元可以對暫存器單元(Block ram)進行讀取。
11. 程式中運算電路單元從暫存器單元(Block ram)將讀取到的樣本點(座標值)、族群(座標值)進行最短距離判別，將最靠近族群的各個樣本(座標值)，納入族群，成為一新集合。
12. 程式中運算電路單元中的重心單元可以計算新集合之重心點座標，成為新族群之座標。
13. 程式中運算電路單元中的族群點消失判斷單元可以判別族群是否消失而隨機產生一全新的母坐標。
14. 程式中運算電路單元中的重心點相同判斷單元可以不斷運作直到所有樣本點皆已找到歸屬之族群。
15. 程式中運算電路單元中的歐氏幾何單元進行最短距離計算(母族群座標與子樣本座標距離計算)。
16. 程式中運算電路單元中的分群單元進行子樣本座標分群，並傳回暫存器單元(Block ram)存取。
17. 此程式運作至少可以進行族群分類 K: 5個 ,標本100個。
18. 輸出介面可以透過

Case1 可以使用vga顯示

Case2 uart讀值

1. 演算法運算:

Case1歐氏距離（Euclidean distance）(使用)

Case2 Dijkstra 演算法 ->判斷最短距離 (參考)

1. **介面(內部)需求:**

**軟體:**

Zynq板內部cpu 讀取 uart 接受到的k值

**硬體:**

**BlockRam**

1. 輸入位址線(ADDRA 19bit) 輸入port, 輸出位址線(ADDRB 19bit) 輸出port。

2. 輸入資料線(S\_VALUE\_I 12bit) 輸入port, 輸出資料線(S\_VALUE\_O 12bit) 輸出port。

3.W/R控制線(dina 1bit ) 輸入port。

4.讀/寫clka,clkb (1bit ) 輸入port。

**vga**

1. 符合vga規格(r、g、b個4bit)的輸出port。

2. 包含 水平訊號(hc port 1bit )以及垂直訊號(vc port 1bit)輸出port。

3. 資料線(doutb 12bit)輸入port與位址線(addrb 19bit)輸出port。

4. 3.W/R控制線(dina 1bit ) 輸出port。

5. 分群結束完成訊號線(end 1bit) 輸出port。

**Random\_1(子樣本點)**

1. 32bit 內部暫存器(reg) 進行亂數運算。

2. 位址線(addrb\_Ran1 19bit)輸出port。

3. 資料線(doutb\_Ran1 24bit)輸出port

**Random\_2(族群數)**

1. 32bit 內部暫存器(reg) 進行亂數運算。

2. rx 輸入port 接收 k值(母族群座標個數)。

3. 暫存記憶體(reg) k個 (18 bit K\_VALUE\_I) (母族群座

標) 。

4. 暫存記憶體(reg) 額外母族群座標(product\_k 24bit)。

5. 母族群座標(K\_VALUE\_I 24bit)輸出port。

**Calculation 單元**

**外部:**

1. 輸入位址線(ADDRA\_Calcu 19bit) 輸入port, 輸出位址線(ADDRB\_Calcu 19bit) 輸出port。

2. 輸入資料線(S\_VALUE\_I\_Calcu 12bit) 輸入port, 輸出資料線(S\_VALUE\_O\_Calcu 12bit) 輸出port。

3. W/R控制線(dina 1bit ) 輸出port。

4. 分群結束完成訊號線(end\_Calcu 1bit) 輸出port。

5. 母族群點座標 (G\_K\_VALUE\_I 18bit) 輸入port。

6. 取得母族群點座標訊號線(G\_K\_VALUE\_O 1bit) 輸出port。

**內部:**

重心:

重心點相同判斷:

族群點消失判斷:

分群:

歐氏幾何:

除法:

平方:

**3.介面(外部)需求:**

1.USB接口

(1)鍵盤 (2)uart

2.vga 接口

**4.效能規格**

1.進行一次32bit除法在10 cycls內完成。

2.進行一次4bit加法在1 cycle內完成。

3.進行一次32bit平方在2 cycle內完成。

4.亂數樣本點產生在20 cycle內完成。

**5.限制:**

1. 使用zynq-7020之開發粄。

2. 歐氏距離使用 verilog 語言。

3. Dijkstra 演算法使用VHDL語言。

4. Uart Driver 使用c語言。

5. VGA 顯示模塊 使用Verilog語言。

6. ram 在1MB之內。

驗證:

1. 撰寫一c#程式 驗證演算法是否正確計算最短距離以及分群。

2. 撰寫一ram.v 驗證ram是否能夠正常存取 。

3. 撰寫一vga.v 驗證vga是否能夠正常顯示(verilog) 。

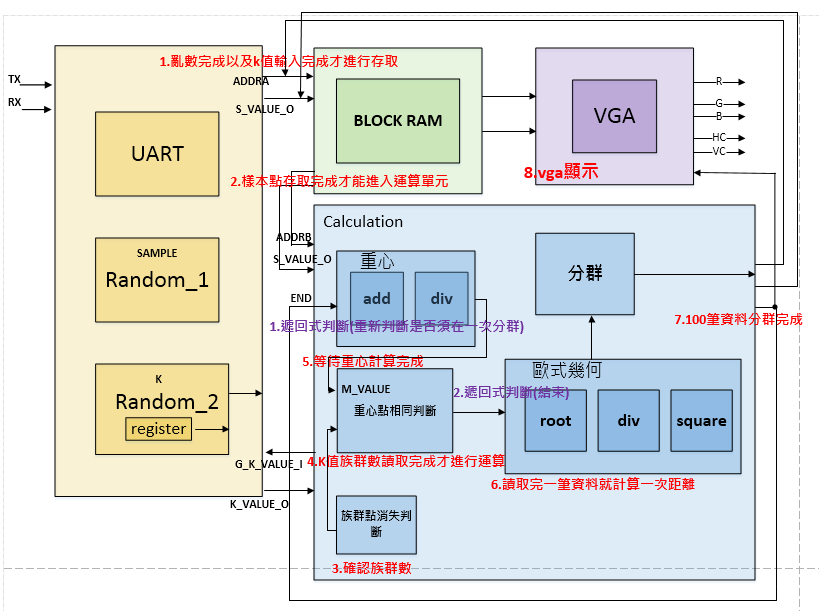
4. 撰寫一c程式 驗證uart 是否正常溝通。

5. 撰寫一random.v 驗證是否有較佳亂數能力。

**分析(breakdown):**

**設計:**

**架構圖:**

**電路圖:** BLOCK DIAGRAM(簡易)

K-means

|  |  |  |  |
| --- | --- | --- | --- |
| 腳位名稱 | 輸入/輸出 | 資料型態 | 備註 |
| Uart\_in | Input | reg:4bits | 使用者輸入之K值 |
| Uart\_outX | Output | reg:8bits | uart回傳分類結果X |
| Uart\_outY | Output | reg:8bits | uart回傳分類結果Y |
| VGA\_R | Output |  | VGA輸出結果 |
| VGA\_G | Output |  | VGA輸出結果 |
| VGA\_B | Output |  | VGA輸出結果 |
| VGA\_HC | Output |  | VGA輸出結果 |
| VGA\_VC | Output |  | VGA輸出結果 |

Random\_1 ///缺blockram的參數

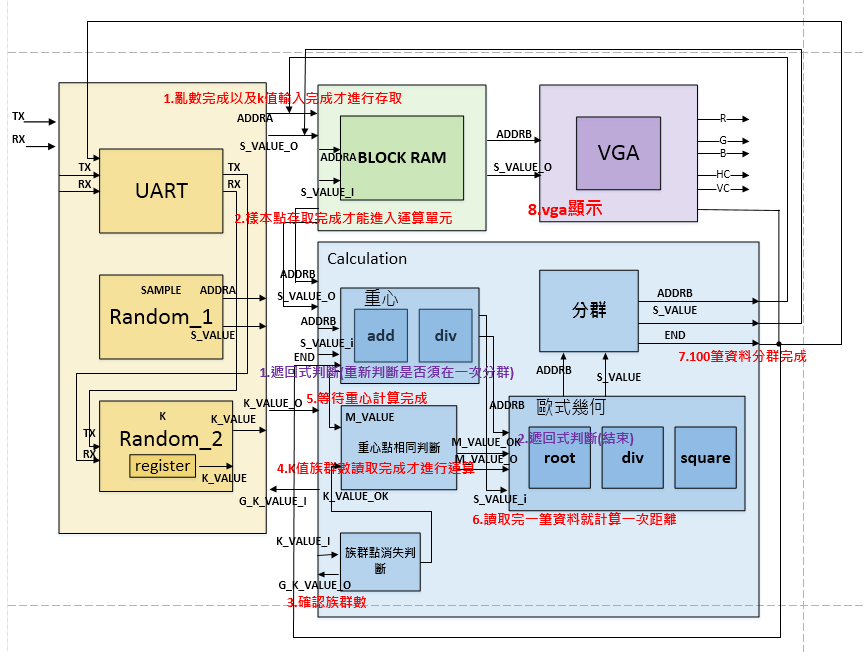
|  |  |  |  |
| --- | --- | --- | --- |
| 腳位名稱 | 輸入/輸出 | 資料型態 | 備註 |
| Random1\_clk | Input | reg:1bit | 系統clk |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
| SampleX1 | Output | reg:3bits | 隨機樣本點X座標(個位) |
| SampleX2 | Output | reg:3bits | 隨機樣本點X座標(十位) |
| SampleX3 | Output | reg:3bits | 隨機樣本點X座標(百位) |
| Sample\_Y1 | Output | reg:3bits | 隨機樣本點Y座標(個位) |
| Sample\_Y2 | Output | reg:3bits | 隨機樣本點Y座標(十位) |
| Sample\_Y3 | Output | reg:3bits | 隨機樣本點Y座標(百位) |

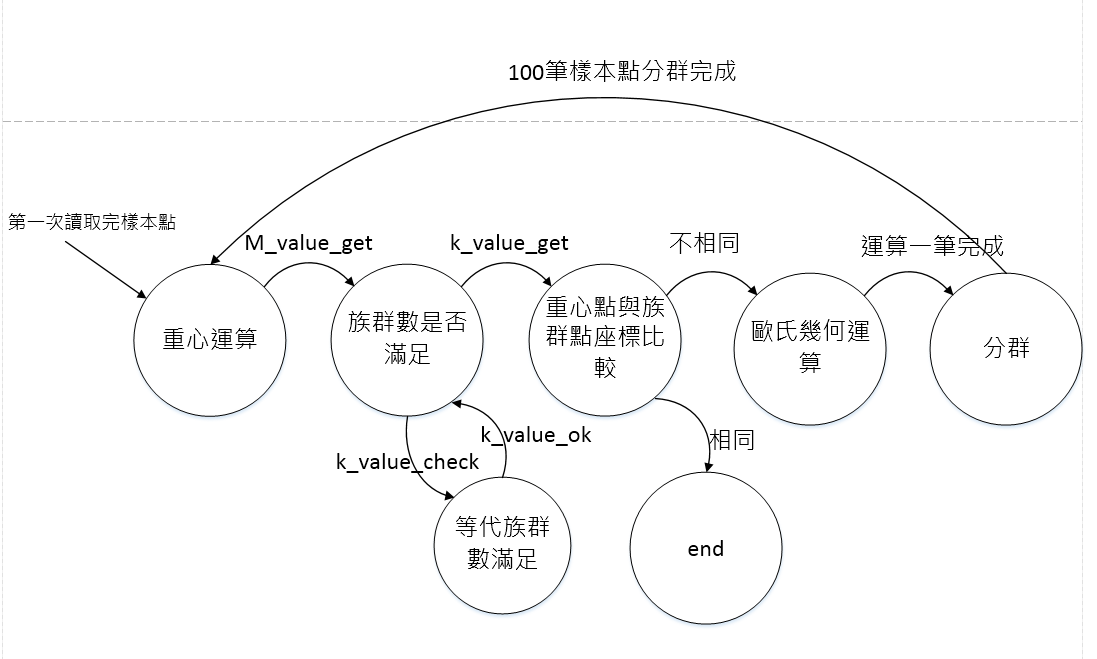
Random\_2 ///缺blockram的參數

|  |  |  |  |
| --- | --- | --- | --- |
| 腳位名稱 | 輸入/輸出 | 資料型態 | 備註 |
| Random2\_clk | Input | reg:1bit | 系統clk |
| Group\_quan | Input | reg:3bits | 族群數量輸入 |
| transferFlag | Output | reg:2bits | 用於確保Rando\_2與Calculation傳輸正確 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
| SampleX1 | Output | reg:3bits | 隨機樣本點X座標(個位) |
| SampleX2 | Output | reg:3bits | 隨機樣本點X座標(十位) |
| SampleX3 | Output | reg:3bits | 隨機樣本點X座標(百位) |
| Sample\_Y1 | Output | reg:3bits | 隨機樣本點Y座標(個位) |
| Sample\_Y2 | Output | reg:3bits | 隨機樣本點Y座標(十位) |
| Sample\_Y3 | Output | reg:3bits | 隨機樣本點Y座標(百位) |
| Group\_coorX | Output | reg:24bits | 族群座標X |
| Group\_coorY | Output | reg:24bits | 族群座標Y |

Calculation

|  |  |  |  |
| --- | --- | --- | --- |
| 腳位名稱 | 輸入/輸出 | 資料型態 | 備註 |
| Random2\_clk | Input | reg:1bit | 系統clk |
| Group\_quan | Input | reg:3bits | 族群數量 |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
| Group\_coorX | Output | reg:24bits | 族群座標X |
| Group\_coorY | Output | reg:24bits | 族群座標Y |

**電路圖:** BLOCK DIAGRAM(詳細拉線)

**運斷電路單元\_流程圖**: