

# 《计算机组成原理》复习资料

## 简答分析题

1. 解释保护位、舍入位、粘贴位的作用。
2. 阐述冯诺依曼理论的三个要点。
3. 简述一个C语言程序转换为可执行程序的4个步骤。
4. 解释程序具有的局部性。
5. 阐述硬件设计的三个基本原则。
6. 简述缩短cpu时间的方法。
7. 简述一个C语言程序转换为可执行程序的4个步骤。
8. 请解释程序具有的局部性体现在哪些方面。
9. 请画出乘除法器原理图，并解释一个除法的执行过程。
10. MIPS 如何得到一个 32 位的立即数。
11. 简述控制冒险的三种解决方法。
12. 什么是局部性原理，具体包括哪些类型？
13. MIPS 中，I 型指令的格式为：Op Rs Rt Constant or Address，即指令中只有一个操作数是立即数。试问 I 型指令为什么没选择包括两个立即数的格式？
14. 请画出乘法器硬件结构图，并写出实现乘法的算法步骤。
15. 简述缩短 CPU 时间的方法。
16. 请举例说明计算机系统结构 8 个伟大思想中的一个及其应用。
17. 在存储器层次结构中，处理写操作的方法有写回和写直达，对 Cache 与主存、主存与外部存储器，应该用哪种方法？为什么？
18. C 语言数组同一行的数组元素优先分配存储空间，如下代码段：

```
for (i=0; i<8; i++)  
    for (j=0; j<8000; j++)  
        a[i][j]=b[i][0]+a[j][i];
```

根据上面的代码段，分析变量访问的时间局部性和空间局部性。

19. 在存储器层次结构中，处理写操作的方法有写回和写直达，对 Cache 与主存、主存与外部存储器，应该用哪种方法？为什么？
20. MIPS 指令集的设计原则是什么？举例说明这些原则是如何应用到具体指令中的？
21. 旁路是如何解决数据冒险的？是否能解决所有的数据冒险？并举例说明。
22. 直接相联映射、组相联映射、全相联映射的共同点是什么？它们之间的关系是什么？
23. 下表是 TLB，页表以及 cache 访问中可能的组合，完成表第四栏的内容填写

| TLB | 页表 | Cache | 这种情况能发生吗？如果可能，在什么情况下发生？ |
|-----|----|-------|-------------------------|
| 命中  | 命中 | 缺失    |                         |
| 缺失  | 命中 | 命中    |                         |
| 缺失  | 命中 | 缺失    |                         |
| 缺失  | 缺失 | 缺失    |                         |
| 命中  | 缺失 | 缺失    |                         |
| 命中  | 缺失 | 命中    |                         |
| 缺失  | 缺失 | 命中    |                         |

## 计算应用题

### 1. IEEE754计算。

已知 $A=-5.25$ ,  $B=7.125$ , 二者都是IEEE754单精度格式的浮点数,

求  $A-B=?$  要求将  $A$ 、 $B$  表示成 IEEE754 的个时候进行计算, 写出计算步骤, 并且将计算结果转化成 16 进制表示。

### 2. 设主存访问时间需 100ns, 下表是 P1, P2 的处理器一级 cache 的数据

|    | 一级 cache 容量 | 一级 cache 缺失率 | 一级 cache 命中时间 |
|----|-------------|--------------|---------------|
| P1 | 1KB         | 2.5%         | 0.2ns         |
| P2 | 2KB         | 2%           | 0.25ns        |

问题: 1). 假设一级 cache 的命中时间决定了 P1 和 P2 的周期时间, 他们各自的时钟频率是多少? P1 和 P2 各自的 AMAT (平均存储器访问时间) 分别是多少? 假定基本 CPI 为 1.0, P1 和 P2 各自总的 CPI 分别是多少?

2). 在 P1 中增加二级 cache, 以弥补一级 cache 容量的限制。

增加二级 cache 后, P1 的 CPI 是多少? 性能提升了多少?

| 二级 cache 容量 | 二级 cache 缺失率 | 二级 cache 命中时间 |
|-------------|--------------|---------------|
| 512K        | 0.5%         | 5ns           |

3. 假设访问主存需要 80ns, 并且在所有指令中, 有 36% 的指令需要访存。下表是 P1 和 P2 两个处理器各自的 cache 的数据。

|    | cache 容量 | cache 缺失率 | cache 命中时间 |
|----|----------|-----------|------------|
| P1 | 2KiB     | 8.0%      | 0.64ns     |
| P2 | 4KiB     | 6.0%      | 0.85ns     |

假定在没有任何存储器阻塞时基本的 CPI 为 1.0, P1 和 P2 各自的总 CPI 分别是多少? 哪个处理器更快?

4. 两个浮点数寄存器, 用来存储 IEEE754 单精度格式, 某一时刻, 其值分别是:

$\$F0=C1F20000H$ ,  $\$F1=42510000H$ , 执行浮点数加法指令:

`addis $F2, $F0, $F1    # $F2 = $F0 + $F1`

执行该指令后  $\$F2$  的值是多少?

5. 假设如下循环的 MIPS 机器码, 在内存的某一位置处开始连续存放。机器字长为 32 位, PC 高四位为 0000, 请写出下表中每一条指令的地址。

| 地址 | 标号    | 代码                                | 说明         |
|----|-------|-----------------------------------|------------|
|    | LOOP: | <code>slt \$t2, \$s0, \$t1</code> |            |
|    |       | <code>Beq \$t2, \$s0, 10</code>   | 条件转移至 DONE |
|    |       | <code>Addi \$t1, \$t1, -2</code>  |            |
|    |       | <code>Addi \$s2, \$s2, 1</code>   |            |
|    |       | <code>J 10000H</code>             | 转移到 LOOP   |
|    | ...   | ...                               |            |
|    | DONE: | <code>Add \$t3, \$s1, \$s2</code> |            |

6. (10 分) 同一个指令集 体系结构有两种不同的实现方式, 有 A、B、C、D, 4 类指令。每种实现方式的时钟频率和 CPI 由下表给定。

|         | 时钟频率   | CPI (A 类) | CPI (B 类) | CPI (C 类) | CPI (D 类) |
|---------|--------|-----------|-----------|-----------|-----------|
| 体系结构 P1 | 1.5GHz | 1         | 2         | 3         | 4         |
| 体系结构 P2 | 2 GHz  | 2         | 2         | 2         | 2         |

假定一个程序有  $10^6$  条指令, 其中各类指令的比例为 A 类占 10%、B 类占 20%、C 类占 50%、D 类占 20%, 问哪种实现方式更快 (给出理由)?

7. (10 分) 某程序段如示 (十进制表示), 若将此程序段顺序调入起始地址为 2000 内存单元中, 请给出 Start、Exit、Target 的地址值。如果寄存器中的初值等于其编号值, 存储器单元中的数值等于其存储单元地址值, 那么执行完该程序段后, 哪个寄存器中的值发生变化, 变化后的寄存器中的值是多少?

```

Start:  sub  $10, $4, $7
        beq  $1,  $3, Target
        j    Exit
Target:  and  $12, $2, $5;
        or   $13, $2, $6
        add  $14, $4, $2
        slt  $15, $6, $7
        or   $13, $6, $2
        add  $14, $2, $2
        sw   $15, 102($2)
Exit:    lw   $4, 56($8)
  
```

#### 8. 计算机性能

一个编译器设计者试图在两个代码序列之间进行选择。硬件设计者给出了如下数据: 对于同一段高级语言语句的实现, 两个代码序列所需的指令数量如下, 哪个代码序列执行的指令数更多? 哪个执行速度更快? 每个代码序列的 CPI 是多少?

| 代码序列 | 每类指令的数量 |   |   |
|------|---------|---|---|
|      | A       | B | C |
| 1    | 2       | 1 | 4 |
| 2    | 4       | 4 | 1 |

| 指令类别 | 每类指令的 CPI |   |   |
|------|-----------|---|---|
|      | A         | B | C |
| CPI  | 1         | 2 | 3 |

#### 9. 浮点数加法

请写出两个 IEEE754 浮点数  $(BE800000)_{16}$ 、 $(41000000)_{16}$  相加的详细步骤, 要求计算过程和结果都以 IEEE754 浮点数表示。

## 10. 指令问题

某程序段如下，若将此程序段顺序调入起始地址为 1000（十进制表示）的内存单元中，请回答如下问题：

10.1 请分别给出指令（6）中 LOOP 和指令（7）中的 OUT 对应的数值。

10.2 请写出指令（1）、（2）、（3）的寻址方式。

10.3 请指出指令（6）和（7）的两点区别。

```
LOOP : lw $s1, 0($s0)      (1) 1000
        add $s2, $s2, $s1   (2) 1004
        addi $s0, $s0, 4    (3) 1008
        addi $t1, $t1, 1    (4) 1012
        slti $t2, $t1, 100  (5) 1016
        bne $t2, $zero, LOOP (6) 1020
        j OUT              (7) 1024
        add $s2, $s2, $s1   (8) 1028
OUT:    lw $s2, 0($s3)      (9) 1032
```

## 综合设计题

### 1、流水线

采用教材中给定的流水线，包含IF、ID、EX、MEM、WB共5段，假设流水线能够执行以下指令：

LW \$1, 20(\$2)

SUB \$2, \$1, \$3

ADD \$0, \$1, \$2

SW \$2, 100(\$0)

ADD \$1, \$2, \$3

请分析这些指令在采用硬件转发结果的前提下，流水线各段中的执行情况，画出上述指令能正确执行的流水线时空图（在图中标出转发），并计算吞吐率和加速比。

### 2、采用教材中给定的MIPS指令格式，已知如下二进制数列：

A: 0010 0001 00110011 1011 0000 0010 0000

B: 0000 1010 1011 00101010 1101 0111 0110

C: 0001 0110 1011 0011 0010 1101 0111 0010

D: 1000 1101 1001 00000000 0000 0000 0100

寄存器 PC: 0000 0011 1011 0001 1000 0010 1101 1100

一段内存：

| 内存地址  | 内存数据  | 内存地址  | 内存数据  |
|-------|-------|-------|-------|
| ..... | ..... | ..... | ..... |
| 30H   | 30H   | 14H   | 14H   |
| ..... | ..... | 13H   | 13H   |
| 24H   | 24H   | 12H   | 12H   |
| ..... | ..... | 11H   | 11H   |
| 20H   | 20H   | 10H   | 10H   |

假设寄存器\$t0到\$t7的寄存器号为8~15，所存初始数据大小为各自寄存器号，\$s0~\$s7的寄存器号为16~23，所存初始数据为各自寄存器号的2倍。

- 1) 若A是addi指令，则A中的目的寄存器名是什么、执行该指令后其中所存数据是什么？
- 2) 若B是跳转指令，则跳转到的地址是多少？
- 3) 若C是bne指令，则目的地址是多少？
- 4) 若D是LW指令，根据PC寄存器内容取出该指令并执行，请写出目标寄存器的名称和内容。
- 5) 若A在\$s0中，读立即数61(十进制)，lui \$s0,61后\$s0的值是多少。

3、某计算机虚拟地址空间大小为256MB，主存地址空间大小为16MB，页面大小为128KB；Cache采用2路组相联映射方式，共16块；主存与Cache之间交换的块大小为16字（一个字四个字节）。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如下图所示，图中物理页号/磁盘地址及标记字段的内容为十六进制形式。请回答下列问题：

| 虚页号 | 有效位 | 物理页 / 磁盘地址 |
|-----|-----|------------|
| 0H  | 1   | 06H        |
| 1H  | 1   | 04H        |
| 2H  | 1   | 15H        |
| 3H  | 1   | 02H        |
| 4H  | 0   | ---        |
| 5H  | 1   | 28H        |
| 6H  | 0   | ---        |
| 7H  | 1   | 32H        |
| ... | ... | ...        |
| 15H | 0   | ---        |
| 16H | 1   | 23H        |

页表的内容

| 组号 | 有效位 | 标记    | 有效位 | 标记    |
|----|-----|-------|-----|-------|
| 0  | 1   | 0200H | 0   | ---   |
| 1  | 0   | ---   | 1   | 0251H |
| 2  | 1   | 04C0H | 1   | 032EH |
| 3  | 1   | 01D2H | 0   | ---   |
| 4  | 1   | 0640H | 1   | 00CDH |
| 5  | 1   | 04DAH | 1   | 0D7FH |
| 6  | 0   | ---   | 0   | ---   |
| 7  | 1   | 07ABH | 1   | 0020H |

cache 的部分内容

- 1) 虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示物理页号？
- 2) 使用物理地址访问Cache时，给出物理地址的划分格式。
- 3) 使用虚拟地址002C050H访问时，能否从Cache中读取到数据？要求给出推导过程。
- 4) 假定为该机配置一个全相联的TLB，该TLB共可存放4个页表项，若其采用LRU替换算法，当前内容如下图所示，此时依次访问虚拟地址027BAC0H和0110140H，问接下来继续访问02A0020H所在的页面是否在缓存中？要求说明理由。

| 有效位 | 脏位 | 引用位 | 标记   | 物理页面地址 |
|-----|----|-----|------|--------|
| 1   | 1  | 1   | 6F3H | 3FH    |
| 1   | 0  | 0   | 025H | 08H    |
| 1   | 1  | 1   | 09EH | 1DH    |
| 1   | 1  | 0   | 008H | 07H    |

TLB 内容

4、已知一段 MIPS 指令序列如下：

```

L2:    lw    $s3, 4($s2)    # (1)
        add  $s5, $s3, $s1  # (2)
        addi $s7, $s5, 1    # (3)
        beq  $s5, $s6, Exit # (4)
        sw   $s5, 4($s2)    # (5)
        j    L2              # (6)

Exit:              # (7)

```

请回答下列问题：

- 1) 上述 (1)、(2)、(3) 语句的寻址方式。(3 分)
- 2) 指出指令 (4) 和 (6) 的两点区别。(4 分)
- 3) 若指令 (1) 所在的内存地址是 0, 则指令 (6) 所在的内存地址是多少。(3 分)

4) 请画出一个能实现上述指令的简单的 MIPS 体系结构数据通路硬件结构图(数据通路包括五个阶段: IF 取指令; ID 指令译码、读寄存器堆; EX 执行或计算地址; MEM 数据存储器访问; WB 写回), 结构图中要有必要的控制信号与多选门, 控制信号可以自行定义缩写并进行说明。并分析指令 (1) 执行时, 在数据通路 EX 段中传递的数据和相应的控制信号;

5) 假设支持一个周期同时读写寄存器, 在 EX、MEM 阶段有转发, 若以上序列采用流水方式执行, 当分支不成立, 请画出执行指令 (1) 到 (5) 的流水线时空图, 并计算吞吐率和加速比。

5、某计算机存储器按字节编址, 虚拟(逻辑)地址空间大小为 256MB, 主存(物理)地址空间大小为 16MB, 页面大小为 64KB。Cache 采用直接映射, 共 8 块; 主存与 Cache 之间交换的块大小为 32B。该机配置了一个 4 路组相联的 TLB, 该 TLB 共可存放 8 个页表项。在某时刻, 该计算机系统 TLB、页表和 Cache 内容如图所示:

| 虚页号 | 有效位 | 页框号 | ..... |
|-----|-----|-----|-------|
| 0   | 1   | 06  | ..... |
| 1   | 1   | 08  | ..... |
| 2   | 1   | 15  | ..... |
| 3   | 1   | 02  | ..... |
| 4   | 0   | -   | ..... |
| 5   | 1   | 28  | ..... |
| 6   | 0   | -   | ..... |
| 7   | 1   | 32  | ..... |

(a) 页表内容

| 块号 | 有效位 | 标记   | ..... |
|----|-----|------|-------|
| 0  | 1   | 0200 | ..... |
| 1  | 0   | ---  | ..... |
| 2  | 1   | 04C0 | ..... |
| 3  | 1   | 01D2 | ..... |
| 4  | 1   | 0640 | ..... |
| 5  | 1   | 14DA | ..... |
| 6  | 0   | ---  | ..... |
| 7  | 1   | 27AB | ..... |

(b) Cache 内容

| 组号 | 有效位 | 标记  | 页框号 |
|----|-----|-----|-----|
| 0  | 0   | -   | -   |
|    | 1   | 001 | 15  |
|    | 0   | -   | -   |
|    | 1   | 012 | 1F  |
| 1  | 1   | 013 | 2D  |
|    | 0   | -   | -   |
|    | 1   | 008 | 7E  |
|    | 0   | -   | -   |

(c) TLB 内容

当 CPU 给出虚存地址 001C0EFH 时，详细分析 CPU 取得数据的过程，并给出 CPU 取得数据后，TLB 表和 Cache 表内容。

- 6、某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 4GB，主存（物理）地址空间大小为 256MB，页面大小为 64KB。Cache 采用二路组相联直映射，共 16 块；主存与 Cache 之间交换的块大小为 256B。该机配置了全相联的 TLB，该 TLB 共可存放 8 个页表项。在某时刻，该计算机系统 TLB、页表和 Cache 内容如图所示：

| (a) 页表内容    |             |                  |       | (b) cache 内容 |             |        |       |             |        | (c) TLB 内容 |             |        |                  |
|-------------|-------------|------------------|-------|--------------|-------------|--------|-------|-------------|--------|------------|-------------|--------|------------------|
| 虚<br>页<br>号 | 有<br>效<br>位 | 物<br>理<br>页<br>号 | 。。    | 组<br>号       | 有<br>效<br>位 | 标<br>记 | ..... | 有<br>效<br>位 | 标<br>记 | .....      | 有<br>效<br>位 | 标<br>记 | 物<br>理<br>页<br>号 |
| 0           | 1           | 005              | ..... | 0            | 1           | 10200  | ..... | 1           | 10D00  | .....      | 0           | -      | -                |
| 1           | 1           | 01B              | ..... | 1            | 0           | ---    | ..... | 0           | ---    | .....      | 1           | 0011   | 155              |
| 2           | 1           | 115              | ..... | 2            | 1           | 004C0  | ..... | 1           | 014C0  | .....      | 0           | -      | -                |
| 3           | 1           | 102              | ..... | 3            | 1           | 101D2  | ..... | 1           | 00250  | .....      | 1           | 0120   | 1FD              |
| 4           | 0           | -                | ..... | 4            | 1           | 00640  | ..... | 1           | 04640  | .....      | 1           | 0132   | 2D1              |
| 5           | 1           | 128              | ..... | 5            | 1           | 0141A  | ..... | 1           | 11400  | .....      | 0           | -      | -                |
| 6           | 0           | -                | ..... | 6            | 0           | ---    | ..... | 0           | ---    | .....      | 1           | 008D   | 7EF              |
| 7           | 1           | 32C              | ..... | 7            | 1           | 0272B  | ..... | 1           | 0174B  | .....      | 0           | -      | -                |

当 CPU 给出虚存地址 0005C3EFH 时，详细分析 CPU 取得数据的过程，并给出 CPU 取得数据后，TLB 表和 Cache 表内容。

- 7、设计流水线，设指令流水线有取指（IF）、译码并读寄存器（ID）、计算（EX）、存储器读写和写回（MEMWB）4 个阶段，假设各个阶段完成的时间依次为（IF）200ps、（ID）190ps、（EX）200ps、（MEMWB）380ps。现有 20 条指令连续流入此流水线，求此流水线的实际吞吐率和加速比。若可以重新设计流水线，应该怎样改进设计？改进后各段的完成时间是多少？20 条指令连续流入改进后的流水线实际吞吐率和加速比是多少？

- 8、请设计可以快速实现  $9 \times 5$  的 32 位乘法器，并写出详细计算步骤（写出 4 位二进制乘法即可）。

- 9、指令流水的问题

考虑下面的循环：

```

loop: lw $s1, 0($s2)
      and $s1, $s1, $s3, 7&3
      sw $s1, 0($s2)

```

```

addi $s2, $s2, 4
beq $s2, $s5, loop
add $s1, $s1, $s4

```

假定五段流水线（分别为 IF，ID，EX，MEM 和 WB）并且可以在 ID 阶段完成分支目标地址计算，流水线支持完全旁路，循环结束前该循环迭代了很多次。

9.1 画出循环前二次执行的流水线图。

9.2 在 1.1 的条件下，当第二次循环执行完毕时，试计算此时流水线的吞吐率是多少？

9.3 上述指令中，是否还存在阻塞现象？如有，请回答如何进一步改善阻塞的情形？

10. 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 256MB，主存（物理）地址空间大小为 16MB，页面大小为 64KB；Cache 采用 4-路组相联的映射方式，共 8 块；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如下图 a 和图 b 所示。

10.1 虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示页号（物理页号）？

10.2 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

10.3 虚拟地址 001FFF0H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。

10.4 从虚拟地址 001FFF0H 开始，连续从磁盘读入 100 个字（1 个字=4 字节），请分析 Cache 命中情况。如果这 100 个字重复读 10 次，请计算 cache 的命中率。

| 虚页号 | 有效位 | 页号  | ..... | 组号 | 块号 | 有效位 | 标记    | ..... |
|-----|-----|-----|-------|----|----|-----|-------|-------|
| 0   | 1   | 06H | ..... | 0  | 0  | 1   | 0200H | ..... |
| 1   | 1   | 04H | ..... |    | 1  | 0   | ---   | ..... |
| 2   | 1   | 15H | ..... |    | 2  | 1   | 04C0H | ..... |
| 3   | 1   | 02H | ..... |    | 3  | 1   | 01D2H | ..... |
| 4   | 0   | --- | ..... | 1  | 0  | 1   | 0640H | ..... |
| 5   | 1   | 28H | ..... |    | 1  | 1   | 14DAH | ..... |
| 6   | 0   | --- | ..... |    | 2  | 0   | ---   | ..... |
| 7   | 1   | 32H | ..... |    | 3  | 1   | 27ABH | ..... |

(a) 页表内容

(b) cache 部分内容