

例1：某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为256MB，主存（物理）地址空间大小为16MB，页面大小为64KB；Cache采用直接映射方式，共8块；主存与Cache之间交换的块大小为32B。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如下图a和图b所示

1) 虚拟地址共有几位，那几位表示页号？物理地址共有几位，哪几位表示页号（物理页号）？

2) 使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。Cache容量是多大？

虚页号	有效位	页号
0	1	06
1	1	04
2	1	15
3	1	02
4	0	---
5	1	28
6	0	---
7	1	32

(a) 页表内容

块号	有效位	标记
0	1	0200
1	0	---
2	1	04C0
3	1	01D2
4	1	0640
5	1	14DA
6	0	---
7	1	27AB

(b)cache 部分内容

3) 虚拟地址001C050H所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否Cache命中？要求说明理由。

4) 假定为该机配置一个4路组相联的TLB，该TLB共可存放8个页表项，若其当前内容如下图所示，则此时虚拟地址027BAC6H所在的页面是否在主存中？是否在Cache中？要求说明理由。

组号	有效位	标记	页号	有效位	标记	页号	有效位	标记	页号	有效位	标记	页号
0	0	--	--	1	001	15	0	--	--	1	012	1F
1	1	013	2D	0	--	--	1	008	7E	0	--	--

5) 虚拟地址026BAC6H时，发生了什么？如何处理？

解答

- (1)

- 页面大小 $64\text{KB}=2^{16}\text{B}$, 则页内地址为16位
- 虚拟地址空间大小为 $256\text{MB}=2^{28}\text{B}$, 则虚拟地址为28位, 高12位表示虚页号。
- 主存地址空间大小为 $16\text{MB}=2^{24}\text{B}$, 则实地址共24位, 低16位页内地址, 高8位为页号 (物理页号)。

- (2)

- 主存与Cache之间交换的块大小为32B, Cache有 8行,
- 所以Cache大小为 2^8B ,
- 故Cache的地址共8位,
- 主存中的块数 $=16\text{M}/2^8=2^{16}$

Tag	Cache块号	块内地址
16	3	5
23~8	7~5	4~0

- 答（3）虚地址001C050H，高12位001为虚页号，查页表，得主存页号04，转换成主存地址为04C050H。其中低8位的50H对应Cache的块号2和块内地址10000，查b表，第2块的有效位为1，标记04C0H，恰好命中。
- （4）4路组相联的TLB，共有8个页表项，故分成两组，每组存放4个页表项。虚存地址高12位为虚页号，最低位为组号，高11位为标记。
- 虚拟地址027BAC6H的虚页号位027H，
- 027H= 0000 0010 011 **1** B

其中组号为1，标记为013H

在TLB的第1组，第一项标记为013H，有效位为1，说明该地址所在的页面在主存中，其页号为2D，故实地址为2DBAC6H。

例2: 假定计算机系统主存空间大小为32Kx16位（按字编址,每字16位），且有一个4K字的4路组相联Cache，主存和Cache之间的数据交换块的大小为64字。假定Cache开始为空，处理器顺序地从存储单元0、1、...、4351中取数，一共重复10次。

设Cache比主存快10倍，采用LRU算法。请给出Cache的结构和主存地址的划分，并计算出采用Cache后速度提高了多少倍？

解：
Cache结构

4096/64x4
=16组

[illegible]

2、主存地址划分：主存地址15位= $\log_2[32k]$ ，块内地址=6位，组地址=4位



3、 $4352 / (16 \times 4) = 68$

涉及到的主存块号：0, 1, 2.....67

第一次取数时间（设访问Cache时间为1）

全部缺失： $68 \times 10 + 4352 = 5032$

第2, 3.....10次取数时间：

涉及到替换的组号：0, 1, 2, 3

替换次数： $4 \times 5 = 20$ 次

$9 \times (20 \times 10 + 4352) = 40968$

提速比： $4352 \times 10 \times 10 / 46000 = 9.46$

	块1	块2	块3	块4
0	0/64	16	32	48
1	1/65	17	33	49
2	2/66	18	34	50
3	3/67	19	35	51
4	4	20	36	52
5				
....				
15	15	31	47	63

例3： 设主存访问时间需100ns， 下表是P1， P2的处理器一级cache的数据：

	一级cache容量	一级cache缺失率	一级cache命中时间
P1	1KB	2.5%	0.2ns
P2	2KB	2%	0.25ns

问题：

1).假设一级cache的命中时间决定了P1和P2的周期时间，他们各自的时钟频率是多少？ P1和P2各自的AMAT（平均存储器访问时间）分别是多少？ 假定基本CPI为1.0， P1和P2各自总的CPI分别是多少？

2). 在P1中增加二级cache，以弥补一级cache容量的限制。增加二级cache后， P1的CPI是多少？ 性能提升了多少？

二级cache容量	二级cache缺失率	二级cache访问时间
512KB	0.5%	5ns

答:

1) 时钟频率: $fp1=1/0.2=5\text{GHz}$;
 $fp2=1/0.25=4\text{GHz}$.

AMAT: P1: $0.2+2.5\%*100=2.7\text{ns}$;
P2: $0.25+2\%*100=2.25\text{ns}$

CPI:

P1: $\text{CPI}=1.0+2.5\%*(100/0.2)=13.5$;

P2: $\text{CPI}=1.0+2\%*(100/0.25)=9$ 。

2) 增加二级cache后, P1的

$\text{AMAT}=0.2+2.5\%*5+0.5\%*100=8\text{ns}$

$\text{CPI}=1.0+2.5\%*5/0.2+0.5\%*100/0.2=4.125$

性能比: $13.5/4.125=3.273$, 提升了3.273倍。