

计算机系统概论:

计算机系统的层次结构. (汇编语言 → 符号式的程序设计语言)

冯·诺依曼计算机模型 CPI MIPS FLOPS

第二章: 计算机的组成及应用.

1. 电子管 ENIAC 2. 晶体管计算机 3. 集成电路计算机

第三章: 系统总线

总线 架构: 面向 CPU 的双总线架构 单总线结构 以后随着微处理器
双总线结构

总线分类: 布局总线

{ 系统总线:

{ 通信总线:

特性: 机械、电气特性 功能、时间

性能指标: 总线宽度、总线带宽、时钟同步/异步

总线复用 信号线数、控制方式

总线标准 PCI、断开即用、USB

AGP → 三端技术

总线结构:

总线控制

BS=1 不被占用

{ 制优:

通信 → 总线周期



bps - 波特率 数据速率 (波特)

No.

Date

第四章

存储器

① 分类：半导体存储器、磁表面、磁芯、光盘存储器

} 按存取方式

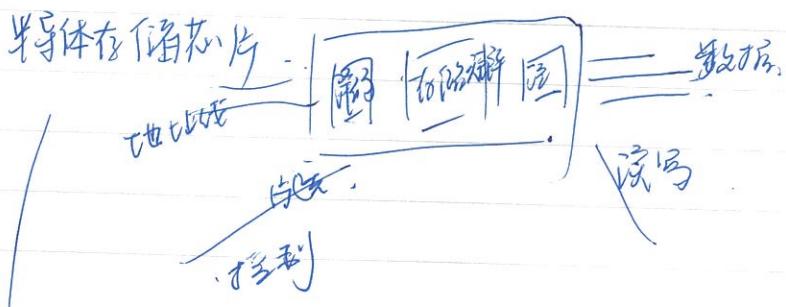
} 按在计算机中的作用

存储系统的层次结构

主存： 低地址为字地址 - 按字寻址 按字节寻址。
高地址为块地址。

技术指标： (存取容量)

| 存取速度 |
|
| 存取时间 |
|
| 存取周期 |
|
| 存储带宽 |



译码驱动

随机存取器 RAM
SRAM DRAM
只读存取器 ROM
EEPROM
FLASH
flash memory

Campus

波浪默认按字节寻址

No.

Date

存储器与 CPU 互连

1. 容量扩展

位扩展

字扩展

MREQ：访存控制信号

双端口：1→2

编址最小距离：

4→3 $2^K \geq n+k+1$ C P →
1→2 编址理论：L-1

提高访问速度的措施

进位

高速元件 层次结构、存储结构、
单体多写、
多体并行

高速缓冲存储器

机制：

命中率： $h = \frac{N_c}{N_c + N_m}$ 平均访问时间 $\frac{t_c}{t_a}$ 访问效率 $\frac{t_c}{t_a}$

Cache 存储体

地址映射及替换机构

替换

Cache 读写

写直达法

写回法

映射

替换方法

淘汰

No. _____

Date _____

输入输出系统

发展阶段：

输入输出系统由组成：I/O软件、I/O指令。

{ 运算指令 }

I/O硬件：接口模块 I/O设备。

I/O设备与主机的联系方式：

① I/O设备端址方式

② 寻址

③ 位寻址方式

④ 联锁方式

⑤ 直接方式

I/O设备与主机信息往来的控制机

I/O设备

概述

分类：
① 人机交互设备
② 计算机信息的存储设备
③ 和机通信设备

I/O接口

接口的功能与组成

接口类型

Campus

程序查询方式接口电路

程序中断方式接口电路

{ INT12.

1. MASK

抑制输入

中断向量地址形成部件

INT12 INTP INTA

I/O 中断处理子程序

DMA { 同步交换信息

↓ DMA 控制功能

功能组成

可编程

DMA 与系统的连接

数据

DMA 接口类型

计组第六章:

机器数和真值.

原码 整数用逗号隔

小数用点隔

补码 ✓ 反码

270

移码表示法

浮点数表示、定点数表示。

$$N = S \times r^j \rightarrow \text{尾数} \\ \begin{array}{c} \swarrow \text{尾数} \\ N \end{array} \quad \begin{array}{c} \downarrow \\ \text{基数} \end{array} \quad \begin{array}{c} \rightarrow \text{阶码} \\ j \end{array}$$

规范化数

浮点机.



最大数 $2^{m-1} \times (1-2^{-n})$

最小数 $2^{-m+1} \times (2^{-n})$

上溢 下溢 8-24.

左规右规

机器零

{尾数为0}

IEEE 754

阶码下溢

移位 → 反补 → 右移添0

左移
反补：高位去0错淡

右移添0

算术移位与逻辑移位.

No.

Date

一位符号 二位符号利溢出 \rightarrow 最高位表示真正的符号
 \rightarrow 两位小数表示、溢出

乘法运算：原码一位乘：

补码一位乘 部分积补位
 Booth算法 去尾除补位
 \rightarrow 最高位进位

$\left\{ \begin{array}{l} \text{原码一位乘 (乘数不变)} \\ \text{部分积进位} \end{array} \right.$

除法运算：

恢复余数 原码
 特减加交替 被除数 \rightarrow 第一步商上进位

$\left\{ \begin{array}{l} \text{恢复余数} \\ \text{特减加交替} \end{array} \right.$

浮点运算 (j, s) 一元不是一星。
 对阶 尾数求和 规格化 $|s| \leq |s'| < 1$ 0舍1入。

浮点乘除法

圆圈

阶码 $\left\{ \begin{array}{l} \text{补码} \\ \text{移码} \end{array} \right.$ 相加
 \downarrow 上溢下溢

舍去 \rightarrow 只将最高位为1且后面不会为0时才加以修正，补码
 0舍入 \leftarrow 原码

$$d_i = A_i B_i \quad t_i = A_i + B_i$$

$$C_i = d_i + t_i C_{i-1}$$

浮点数除法 $\left\{ \begin{array}{l} \text{先检查被除数和除数是否为} \\ \text{0} \end{array} \right.$

Campus

7章：

指令系统：

7.1.1 指令的一般格式

7.1.2 指令字长

7.2.1 操作数类型 地址 数字 字符 逻辑数据

7.2.2 操作数存放 边界对准 { 低字节低地址 高字节低地址 }

7.2.3 操作类型

数据传递
算术逻辑操作
移位
转移 →
输入输出
~~输出~~ 其他

7.3 寻址 { 指令寻址 { 顺序 跳跃 } 数据寻址 }

7.4 指令设计因素

RISC 与 CISC

第8章：

CPU的功能： 连接总线 寄存器， PSW

控制单元： 指令周期

数据流： 取指， 执行， 中断

No.

Date

指令流水：

提高处理器速度、
提高器件性能。
改进系统结构，开发系统并行性。

影响因素：

流水线性能：日志吐字率、加速比、效率。

流水线中的多级技术

VLIW、流水线结构

中断系统

引起中断的因素

根据
解决的问题

中断请求标记和中断判决逻辑

硬件实现
软件实现

中断的服务程序入口地址的查询

中断响应：条件、时间、中断隐指令

保护现场和恢复现场

中断屏蔽：
短中断 → 条件
提前中断
优先级别高

屏蔽前出发器与屏蔽后

Campus

第9章：机器周期、时钟周期、多级时序系统、控制方式

10章：节拍及安排

微程序

微程序控制单元
微指令编译码方式

微指令格式

微指令序列地址的形成

微指令格式

静态微程序设计和动态微程序设计
微程序设计

串行微程序控制和并行微程序控制

微程序设计举例：

- ① 写出对应机器指令的微操作及节拍安排。
- ② 确定微指令格式及编码方式。

后续微指令地址的形成方式

微指令字长

- ③ 编写微指令码点。