**2021年吉林大学软件工程专业《计算机组成原理》科目期末试卷A（有答案）**

**一、选择题**

1、一个存储器系统中，常常同时包含ROM和RAM两种类型的存储器，如果用lK×8位的ROM芯片和lK×4位的RAM芯片，组成4K×8位的ROM和1K×8位的RAM存储系统，按先ROM后RAM进行编址。采用3-8译码器选片，译码信号输出信号为Y0~Y7，其中Y4选择的是（ ）。

A.第一片ROM B.第五片ROM C.第一片RAM D.第一片RAM和第二片RAM

2、下列关于Cache和虚拟存储器的说法中，错误的有（ ）。

I.当Cache失效（即不命中）时，处理器将会切换进程，以更新Cache中的内容

II.当虚拟存储器失效（如缺页）时，处理器将会切换进程，以更新主存中的内容III.Cache 和虚拟存储器由硬件和OS共同实现，对应用程序员均是透明的

IV.虚拟存储器的容量等于主存和辅存的容量之和

A.I、IⅣ

B.Ⅲ、V

C. I、Ⅱ、Ⅲ

D. I、Ⅲ、Ⅳ

3、若x=103，y=-25，则下列表达式采用8位定点补码运算时，会发生溢出的是（ ）。

A.x+y B.-x+y C.x-y D.x-y

4、某计算机字长为32位，按字节编址，采用小端（Litle Endian）方式存放数据。假定有一个double型变量，其机器数表示为1122334455667788H，存放在00008040H开始的连续存储单元中，则存储单元00008046H中存放的是（ ）。

A.22H B.33H C.66H D.77H

5、常用的（n，k）海明码中，冗余位的位数为（ ）。

A.n+k B.n-k C.n D.k

6、在（ ）结构中，外部设备可以和主存储器单元统一编址。

A.单总线 B.双总线 C.三总线 D.以上都可以

7、一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为（ ）。

A.并行传输 B.串行传输 C.突发传输 D.同步传输

8、下列选项中，能缩短程序执行时间的措施是（ ）。

1.提高CPU时钟频率Ⅱ.优化数据通路结构ll.对程序进行编译优化

A.仪I、Ⅱ B.仅I、Ⅲ C.仅Ⅱ、I D.I、Ⅱ、Ⅲ

9、在计算机系统中，表明系统运行状态的部件是（ ）。

A.程序计数器

B.指令寄存器

C.程序状态字

D.累加寄存器

10、下列关于超标量流水线特性的叙述中，正确的是（ ）。

I.能缩短流水线功能段的处理时间

II.能在一个时钟周期内同时发射多条指令

III.能结合动态调度技术提高指令执行并行性

A.仅II B.仅I、III C.仅I、II D. I、II、III

11、下列说法中正确的是（ ）。

A.采用微程序控制器是为了提高速度

B.控制存储器采用高速RAM电路组成

C.微指令计数器决定指令的执行顺序

D.一条微指令放在控制存储器的一个单元中

12、假设变址寄存器R的内容为1000H，指令中的形式地址为2000H：地址1000H中的内容为2000H，地址2000H中的内容为3000H，地址3000H中的内容为4000H，则变址寻址方式下访问到的操作数是（ ）。

A.1000H B.2000H C.3000H D.4000H

13、假设寄存器R中的数值为200，主存地址为200和300的地址单元中存放的内容分别是300和400，则（ ）访问到的操作数为200。

I.直接寻址200

Ⅱ.寄存器间接寻址（R）

Ⅲ.存储器间接寻址（200）

Ⅳ.寄存器寻址R

A.I、IⅣ B.Ⅱ、Ⅲ C.Ⅲ、IV D.只有Ⅳ

14、某机有4级中断，优先级从高到低为1→2→3→4。若将优先级顺序修改，修改后1级中断的屏蔽字为1011，2级中断的屏蔽字为1111.3级中断的屏蔽字为0011，4级中断的屏蔽字为0001，则修改后的优先顺序从高到低为（ ）。

A.3→2→1→4

B.1→3→4→2

C.2→1→3→4

D.2→3→1→4

15、隐指令指（ ）。

A.操作数隐含在操作码中的指令

B.在一个机器周期里完成全部操作的指令

C.隐含地址码的指令

D.指令系统中没有的指令

**二、填空题**

16、主存储器的性能指标主要是存储容量、存取时间、       和

17、主存储器容量通常以KB表示，其中K=      ；硬盘容量通常以GB表示，其中G=

18、数控机床是计算机在       方面的应用，邮局把信件自动分练是在计算机       方面的应用。

19、PCI总线是当前流行的总线。它是一个高         且与         无关的标准总线。

20、字节多路通道可允许多个设备进行       型操作，数据传送单位是

21、CPU能直接访问      和      但不能直接访问磁盘和光盘。

22、堆栈是一种特殊的       寻址方式，它采用       原理。按构造不同，分为寄存器堆栈和       堆栈。

23、虚拟存储器指的是        层次，它给用户提供了一个比实际        空间大的多        空间。

24、对存储器的要求是        、        、        为了解决这三个方面的矛盾。计算机采用多级存储器体系结构。

25、按照总线仲裁电路的位置不同，可分为        仲裁和        仲裁。

**三、名词解释题**

26、编译程序：

27、CCD：

28、EPROM：

29、主设备：

**四、简答题**

30、何谓通用串口I/O标准接口IEEE1394？简述其性能特点？

31、中断隐指令及其功能？

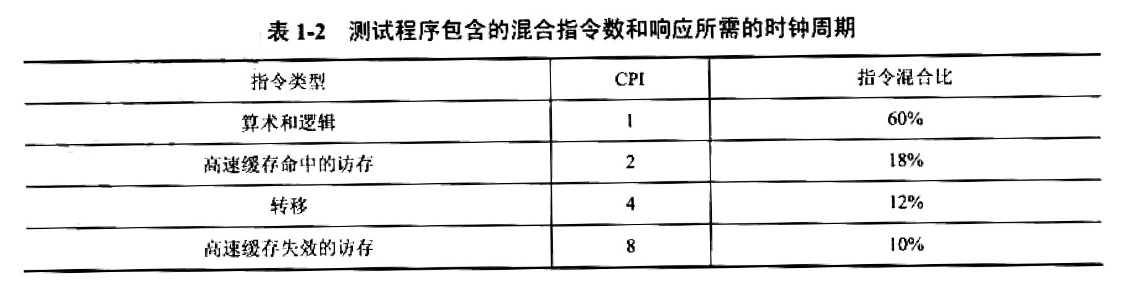
32、存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？

33、 什么是刷新存储器？其存储容量与什么因素有关？

**五、计算题**

34、一台8位微机的地址总线为l6条，其RAM存储器容量为32KB，首地址为4000H，且地址是连续的，可用的最高地址是多少？

35、用一个时钟频率为40MHz的处理器执行标准测试程序，它所包含的混合指令数和响应所需的时钟周期见表。试求出有效的CPI、MIPS速率和程序的执行时间（假设有N条指令）。



36、某彩色图形显示器，屏幕分辨率为640像素×480像素，共有4色、l6色、256色和65536色4种显示模式。

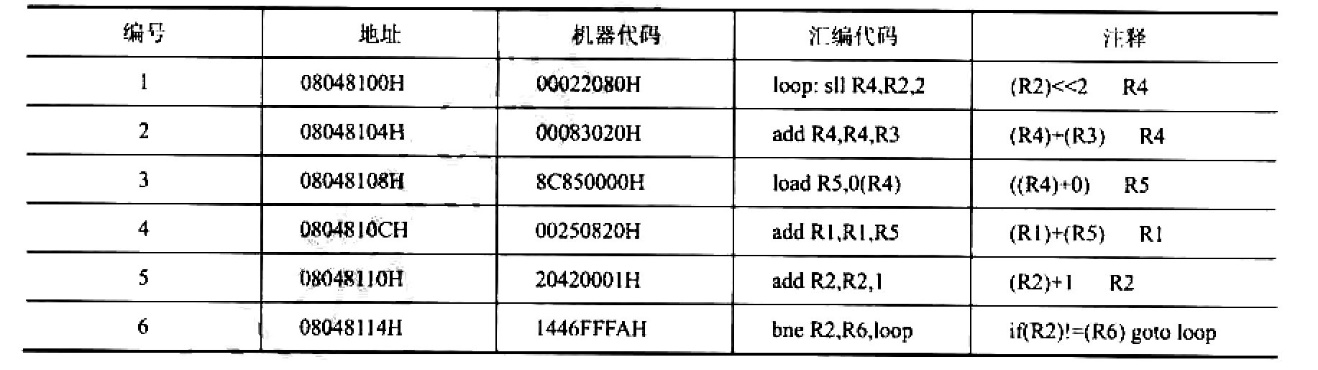
1）试给出每个像素的颜色数m和每个像素所占用存储器的比特数n之间的关系。

2）显示缓冲存储器的容量是多少？

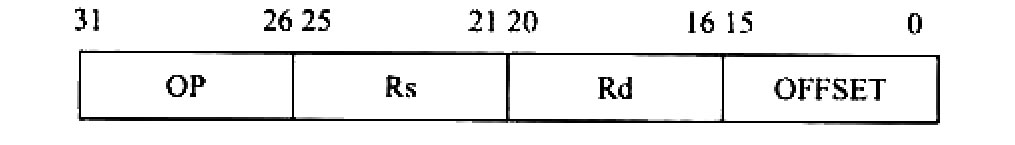
**六、综合题**

37、用16K×16位的SRAM芯片构成64K×32位的存储器。要求画出该存储器的组成逻辑框图。

38、某程序中有如下循环代码段p：“for（int i= 0；i < N；i++）sum+=A[i]；”。假设编译时变量sum和i分别分配在寄存器R1和R2中。常量N在寄存器R6中，数组A的首地址在寄存器R3中。程序段P起始地址为0804 8100H，对应的汇编代码和机器代码见下表。



执行上述代码的计算机M采用32位定长指令字，其中分支指令bne采用如下格式：



OP为操作码：Rs和Rd为寄存器编号：OFFSET为偏移量，用补码表示。请回答下列问题，并说明理由。

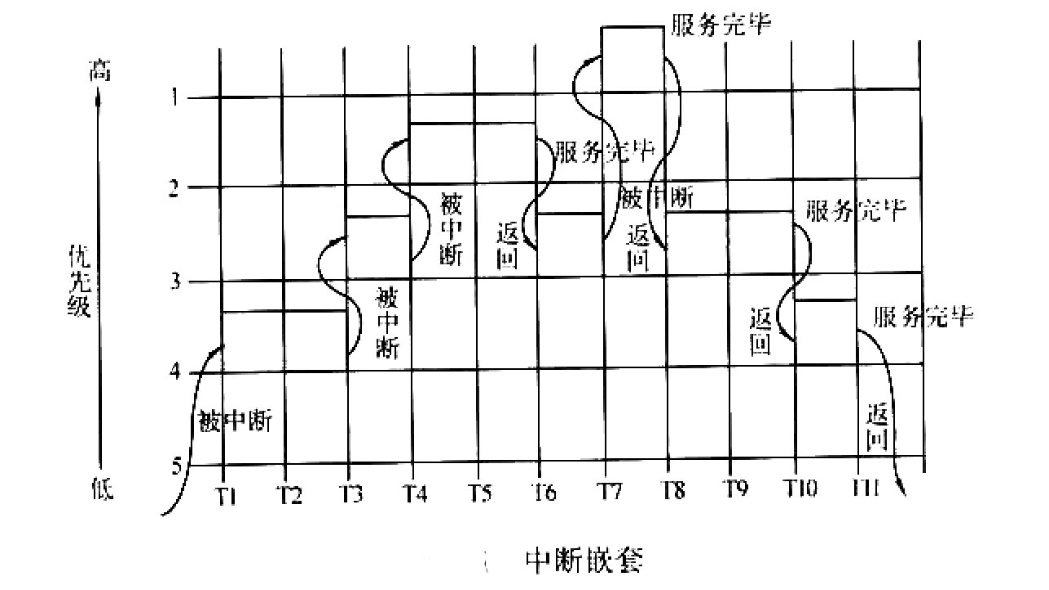
1）M的存储器编址单位是什么？

2）已知sll指令实现左移功能，数组A中每个元素占多少位？

3）表中bne指令的OFFSET字段的值是多少？已知bne指令采用相对寻址方式，当前，PC内容为bne指令地址，通过分析题表中指令地址和bne指令内容，推断出bne指令的转移目标地址计算公式。

4）若M采用如下“按序发射、按序完成”的5级指令流水线：IF（取指）、ID（译码及取数）、EXE（执行）、MEM（访存）、WB（写回寄存器），且硬件不采取任何转发措施，分支指令的执行均引起3个时钟周期的阻塞，则P中哪些指令的执行会由于数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令1的执行不会因为与指令5的数据相关而发生阻塞？

39、图是从实时角度观察到的中断嵌段。试问：这个中断系统可实现几重中断？请分析图中的中断过程。



**参考答案**

**一、选择题**

1、D

2、D

3、C

4、A

5、B

6、A

7、C

8、D。“

9、C

10、C

11、D

12、D

13、D

14、C

15、D

**二、填空题**

16、存储周期 存储器带宽

17、210 230

18、自动控制 人工智能

19、带宽 处理器

20、传输 字节

21、cache 主存

22、数据 先进后出 存储器

23、主存--外存 主存 虚拟地址

24、容量大 速度快 成本低

25、集中式 分布式

**三、名词解释题**

26、编译程序：

将高级语言程序转换成机器语言程序的计算机软件。

27、CCD：

电荷耦合器件，用于图像输入。

28、EPROM：

可擦写可编程的ROM，可以被用户编程多次。靠紫外线激发浮置栅上的电荷以达到擦除的目的。

8，EEPROM：

电可擦写可编程的ROM，能够用电子的方法擦除其中的内容。

9，SDRAM：

同步型动态随机访问存储器，在系统时钟控制下进行数据的读写。

29、主设备：

获得总线控制权的设备

**四、简答题**

30、答：IEEE1394是串行1/0标准接口。与SCSI并行I/0接口相比，它具有更高的数据传输速率和数据传送的实时性，具有更小的体积和连接的方便性。IEEE1394的一个重大特点是，各被连接的设备的关系是平等的，不用PC介入也能自成系统。因此IEEE1394已成为因特尔、微软等公司联手制定的PC98系统设计指南的新标准。

31、答：中断隐指令是在机器指令系统中没有的指令，它是CPU在中断周期内由硬件自动完成的一条指令，其功能包括保护程序断点、寻找中断服务程序的入口地址、关中断等功能。

32、答：存储器的层次结构主要体现在Cache-主存和主存-辅存这两个存储层次上。Cache-主存层次在存储系统中主要对CPU访存起加速作用，即从整体运行的效果分析，CPU访存速度加快，接近于Cache的速度，而寻址空间和位价却接近于主存。主存-辅存层次在存储系统中主要起扩容作用，即从程序员的角度看，他所使用的存储器其容量和位价接近于辅存，而速度接近于主存。综合上述两个存储层次的作用，从整个存储系统来看，就达到了速度快、容量大、位价低的优化效果。

主存与CACHE之间的信息调度功能全部由硬件自动完成。而主存与辅存层次的调度目前广泛采用虚拟存储技术实现，即将主存与辅存的一部分通过软硬结合的技术组成虚拟存储器，程序员可使用这个比主存实际空间（物理地址空间）大得多的虚拟地址空间（逻辑地址空间）编程，当程序运行时，再由软、硬件自动配合完成虚拟地址空间与主存实际物理空间的转换。因此，这两个层次上的调度或转换操作对于程序员来说都是透明的。

33、答：为了不断提供刷新图像的信号，必须把一顿图像信息存储在刷新存储器，也叫视频存储器。其存储容量由图像灰度级决定。分辨率越高，灰度级越多，刷新存储器容量越大

**五、计算题**

34、解析：32KB存储空间共占用15条地址线，若32KB的存储地址起始单元为0000H，其范围应为0000H~7FFFH，但现在的首地址为4000H，即首地址后移了，因此最高地址也应该相应后移，故最高地址=4000H+7FFFH=BFFFH。

归纳总结：32KB的存储空间是连续的，由于首地址发生变化，因此术地址也会跟着发生变化。

35、解：CPI即执行一条指令所需的时钟周期数。本标准测试程序共包含4种指令，那么CPl就是这4种指令的数学期望，故

CPl=1×60%+2×18%+4×12%+8×10%=2.24

MIPS即每秒执行百万条指令数。已知处理器的时钟频率为40MHz，即每秒包含40M个时钟周期，故

MIPS=40/CPl=40/2.2417.9

程序执行时间自然就等于程序包含的指令数×CP1x时钟周期的长度，

故程序执行时间=N×2.24×1/40MHz=5.6N×10s

36、解析：

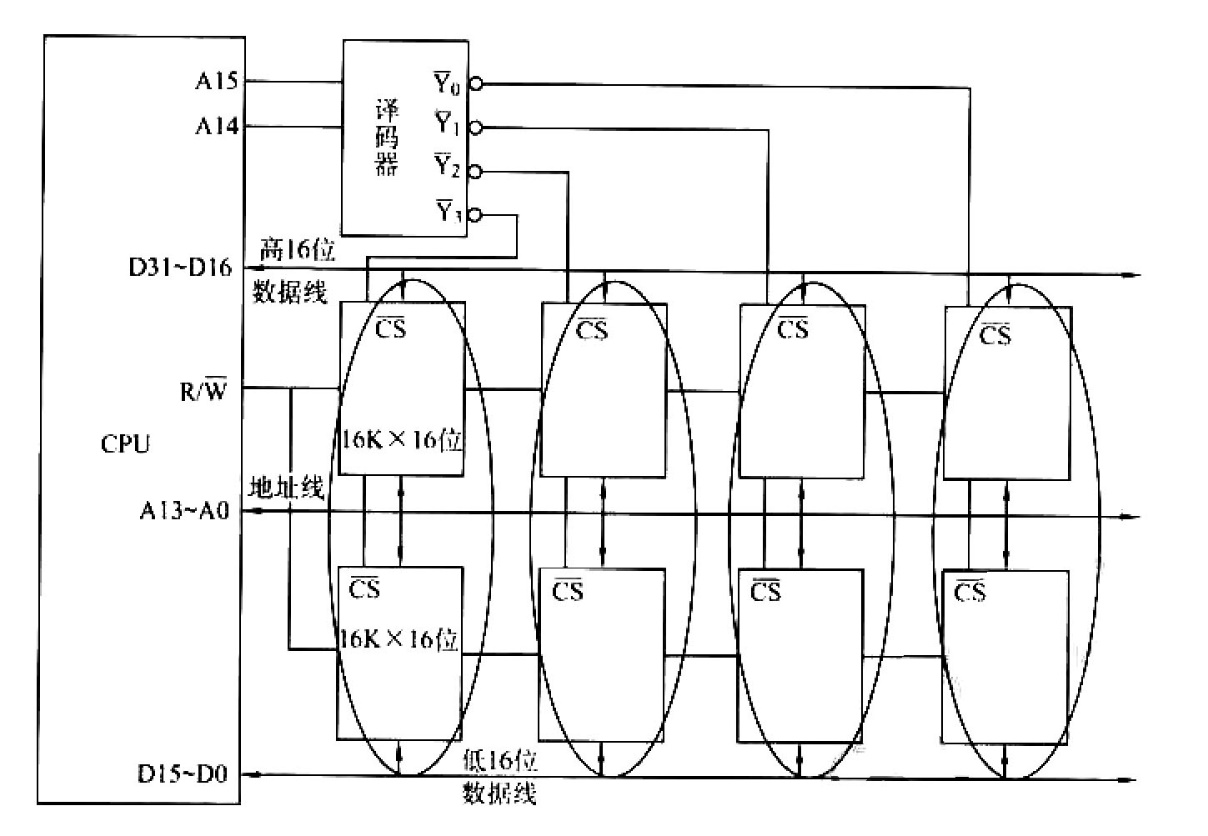
1）在图形方式中，每个屏幕上的像素都由存储器中的存储单元的若干比特指定其颜色。每个像素所占用的内存位数决定于能够用多少种颜色表示一个像素。表示每个像素的颜色数m和每个像素占用的存储器的比特数n之间的关系由下面的公式给出：

n=logm

2）由于显示缓冲存储器的容量应按照最高灰度（65536色）设计，故容量为640×480×（log65536）bit/8=614400B615KB

**六、综合题**

37、解析：所需芯片总数（64K×32）/（16K×16）=8片，因此存储器可分为4个模块（图中用椭圆标示出来了），每个模块16K×32位，各模块通过A15、A14进行2-4译码



38、解答：该题为计算机组成原理科目的综合题型，涉及指令系统、存储管理以及CPU三个部分内容，考生应注意各章节内容之间的联系，才能更好的把握当前考试的趋势。

1）已知计算机M采用32位定长指令字，即一条指令占4B，观察表中各指令的地址可知，每条指令的地址差为4个地址单位，即4个地址单位代表4B，一个地址单位就代表了1B，所以该计算机是按字节编址的。

2）在二进制中某数左移两位相当于以乘四，由该条件可知，数组间的数据间隔为4个地址单位，而计算机按字节编址，所以数组A中每个元素占4B。

3）由表可知，bne指令的机器代码为1446FFFAH，根据题目给出的指令格式，后2B的内容为OFFSET字段，所以该指令的OFFSET字段为FFFAH，用补码表示，值为-6.当系统执行到bne指令时，PC自动加4，PC的内容就为08048118H，而跳转的目标是08048100H，两者相差了18H，即24个单位的地址间隔，所以偏移址的一位即是真实跳转地址的-24/（-6）=4位。可知bne指令的转移目标地址计算公式为（PC）+4+OFFSET\*4。

4）由于数据相关而发生阻塞的指令为第2、3、4、6条，因为第2、3、4、6条指令都与各自前一条指令发生数据相关。第6条指令会发生控制冒险。当前循环的第五条指令与下次循环的第一条指令虽然有数据相关，但由于第6条指令后有3个时钟周期的阻塞，因而消除了该数据相关。

39、解析：该中断系统可以实现5重中断。中断优先级的顺序是，优先权1最高，而现行程序运行于最低优先权（不妨设优先权为6）。图7-21中出现了4重中断，其中断过程如下：现行程序运行到T1时刻，响应优先权4的中断源的中断请求并进行中断服务。到T3时刻，优先权4的中断服务还未结束，但又出现了优先权3的中断源的中断请求，暂停优先权4的中断服务，而响应优先权3的中断。到T4时刻，又被优先权2的中断源所中断，直至T6时刻，返回优先权3的中断服务。到T7时刻，优先权1的中断源发出中断请求并被响应，到T8时刻优先权1中断服务完毕，返回优先权3的服务程序。到T10时刻优先权3中断服务结束，返回优先权4的中断服务。到T11时刻优先权4的中断服务结束，最后返回现行程序。在图中，优先权3的中断服务程序被中断2次，而优先权5的中断请求没有发生。