1. **说明计算机系统的层次结构。**
2. **说明冯诺依曼体系结构的特点。**
3. **什么是机器字长、指令字长、存储字长?**
4. **总线的传输周期包括哪几个阶段？**
5. **系统总线包括哪三类？起到什么作用？**
6. **集中式总线控制优先权仲裁方式有哪三种？各有什么特点？**
7. **串行传输和并行传输有何区别？各适用于什么场合？**
8. **同步通信与异步通信的主要区别是什么，并说明两种方式下通信双方是如何联络的。**
9. **试比较RAM和ROM。**
10. **试比较SRAM和DRAM。**
11. **存储芯片内的地址译码方式有几种？各自特点及应用场合？**
12. **什么是刷新？刷新有几种方式？简要说明之。**
13. **使用汉明码进行校验时，需要增加k位检测位，且k位的检测位和n位的待检测二进制代码位之间要满足什么关系？为什么？**
14. **已知收到的海明码为0100111（按配偶原则配置），试问欲传送的信息是什么？**
15. **什么是多体并行存储器？有哪两种存储体编址方式，各自有什么特点？**
16. **为什么要使用高速缓存？**
17. **试比较主存-Cache管理中三种地址映射的方法，并分别给出在三种地址映射下，主存地址划分。**
18. **I/O地址码的编制方式有哪两种？**
19. **I/O与主机交换信息有哪几种控制方式？各有何特点？**
20. **程序查询方式和程序中断方式都由程序实现外围设备的输入输出，它们有何不同？**
21. **以I/O设备的中断处理过程为例，说明一次程序中断的全过程。**

以I／O设备的中断处理过程为例一次程序中断大致可分为五个阶段。

(1)中断请求。CPU启动I／O后I／O进入自身准备阶段当其准备就绪时便向CPU提出中断请求。

(2)中断判优。当同时出现多个中断请求时中断判优逻辑(硬件排队或软件排队)选择出优先级最高的中断请求待CPU处理。

(3)中断响应。如果允许中断触发器为“1”请求中断的设备又未被屏蔽系统便进入中断响应周期。在该周期内CPU自动执行一条中断隐指令将程序断点及程序状态字保存起来同时硬件关中断并把向量地址送PC。

(4)中断服务。中断响应周期结束后CPU转入取指周期此时按向量地址取出一条无条件转移指令(或按向量地址查入口地址表)转至该向量地址对应的中断服务程序入口地址便开始执行中断服务程序(包括保护现场、与I／O传送信息和恢复现场)。

(5)中断返回。中断服务程序的最后一条指令即是中断返回指令执行该指令即返回到程序断点至此一次程序中断结束。

P198-199

1. **在DMA方式中有没有中断请求，为什么？DMA接口电路中应设置哪些硬件。**
2. **DMA方式中的中断请求和程序中断中的中断请求有何区别？**
3. **简述DMA的数据传送过程。**
4. **什么是I/O接口，它与端口有何区别？为什么要设置I/O接口，I/O接口如何分类。**

IO接口一般指CPU和I/O设备间的连接部件，而端口是指I/O接口内CPU能够访问的寄存器，端口加上相应的控制逻辑即构成I/O接口。  
 IO接口分类方法很多，主要有：  
（1）按数据传送方式分有并行接口和串行接口两种；  
（2）按数据传送的控制方式分有程序控制接口、程序中断接口、DMA接口三种。

P187-190

1. **DMA接口的类型有哪三种？**
2. 选择型DMA接口

在物理上连接多个设备，在逻辑上只允许连接一个设备。

1. 多路型DMA接口

在物理上连接多个设备，在逻辑上允许连接多个设备同时工作。

1. 多路型接口分为链式多路型和独立请求型。

P210

1. **DMA和主存交换数据时有哪三种方法？分别简述。**
2. 停止CPU访问主存
3. 周期挪用（周期窃取）
4. DMA与CPU交替访问

P202

1. **说明浮点加/减法运算和乘/除法运算的基本步骤。**

P269-280

1. 浮点加减法的运算步骤

①对阶操作：小阶向大阶看齐

②进行尾数加减运算

③规格化处理：尾数进行运算的结果必须变成规格化的浮点数，对于双符号位的补码尾数来说，就必须是001×××…×× 或110×××…××的形式,，若不符合上述形式要进行左规或右规处理。

④舍入操作：在执行对阶或右规操作时常用“0”舍“1”入法将右移出去的尾数数值进行舍入，以确保精度。

⑤判结果的正确性：即阶码是否溢出

  若阶码下溢（移码表示是00…0），要置结果为机器0；

  若阶码上溢（超过了阶码表示的最大值）置溢出标志。

例题：假定X=0 .0110011\*211，Y=0.1101101\*2-10（此处的数均为二进制）计算X+Y；

解：[X]浮： 0  1010  1100110

[Y]浮： 0  0110  1101101

符号位 阶码 尾数

第一步：求阶差：│ΔE│=|1010-0110|=0100

第二步：对阶：Y的阶码小，Y的尾数右移4位

 [Y]浮变为0 1010 0000110 1101暂时保存

第三步：尾数相加，采用双符号位的补码运算

00 1100110

+00 0000110

00 1101100

第四步：规格化：满足规格化要求

第五步：舍入处理，采用0舍1入法处理故最终运算结果的浮点数格式为：0 1010 1101101，即X+Y=+0. 1101101\*210

1. 浮点乘除法的运算步骤
2. 阶码运算：阶码求和（乘法）或阶码求差（除法）

即 [Ex+Ey]移= [Ex]移+ [Ey]补

[Ex-Ey]移= [Ex]移+ [-Ey]补

1. 浮点数的尾数处理：浮点数中尾数乘除法运算结果要进行舍入处理

例题：X=0 .0110011\*211，Y=0.1101101\*2-10  求X\*Y

解：[X]浮： 0  1010  1100110

[Y]浮： 0  0110  1101101

符号位 阶码 尾数

第一步：阶码相加

[Ex+Ey]移=[Ex]移+[Ey]补=1 010+1 110=1 000

1 000为移码表示的0

第二步：原码尾数相乘的结果为： 0 10101101101110

第三步：规格化处理：已满足规格化要求，不需左规，尾数不变，阶码不变。

第四步：舍入处理：按舍入规则，加1进行修正

所以 X\*Y= 0.1010111※2+000

1. **试比较基址寻址和变址寻址，并举例说明其适用的场合。**

解：比较如下：  
 1）都可有效地扩大指令寻址范围。  
 2）基址寻址时，基准地址由基址寄存器给出，地址的改变反映在位移量A的取值上；变址寻址时，基准地址由A给出，地址的改变反映在变址值的自动修改上，变址值由变址寄存器给出。  
 3）基址寄存器内容通常由系统程序设定，变址寄存器内容通常由用户设定。  
 4）基址寻址适用于程序的动态重定位，变址寻址适用于数组或字符串处理，适用场合不同。

P314-315

1. **任意写出五种寻址方式，令EA为有效P地址，A为形式地址，写出这五种寻址方式计算有效地址的表达式。**
2. **指令中有哪些字段？各有何作用？如何确定各字段的位数？**

P300-

指令字中有三种字段：操作码字段、寻址特征字段和地址码字段。

操作码字段指出机器完成某种操作其位数取决于指令系统的操作种类。

寻址特征字段指出该指令以何种方式寻找操作数的有效地址其位数取决于寻址方式的种类。地址码字段和寻址特征字段共同指出操作数或指令的有效地址其位数与寻址范围有关。

1. **RISC和CISC各自的特点。**

P330

1、RICS的主要特征

（1）选用使用频度较高的一些简单指令，复杂指令的功能由简单指令来组合

（2）指令长度固定、指令格式种类少、寻址方式少

（3）只有LOAD / STORE指令访存

（4）CPU 中有多个通用寄存器

（5）采用流水技术一个时钟周期 内完成一条指令

（6）采用组合逻辑实现控制器

（7）采用优化的编译程序

2、CISC的主要特征

（1）系统指令 复杂庞大，各种指令使用频度相差大

（2）指令 长度不固定、指令格式种类多、寻址方式多

（3）访存 指令 不受限制

（4）CPU 中设有 专用寄存器

（5）大多数指令需要 多个时钟周期 执行完毕

（6）采用 微程序 控制器

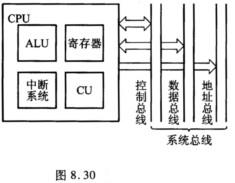
（7）难以 用 优化编译 生成高效的目的代码

1. **CPU有哪些功能？画出其内部的组成框图，并说明每个部件的作用。**

P337

CPU具有控制程序的顺序执行（指令控制）、产生完成每条指令所需的控制命令（操作控制）、对各种操作实施时间上的控制（时间控制）、对数据进行算术和逻辑运算（数据加工）以及处理中断等功能其框图如图8．30所示。

图中寄存器包括专用寄存器(如程序计数器、指令寄存器、堆栈指示器、存储器地址寄存器、存储器数据寄存器、状态寄存器等)以及通用寄存器(存放操作数)；CU产生各种微操作命令序列；ALU完成算术和逻辑运算；中断系统用于处理各种中断。



1. **影响流水线性能的因素有哪些？分别由什么原因导致的？分别采用什么方法解决？**

P348

1、结构相关：当指令在重叠执行的过程中，不同指令争用同一功能部件产生资源冲突时发生的，又有资源相关之称。

解决办法：

（1）插入暂停周期（“流水线气泡”或“气泡”）

（2）设置相互独立的指令存储器和数据存储器或设置相互独立的指令Cache和数据Cache。

（3）指令预取技术：在CPU中设置指令队列，在执行阶段，存储器空闲时，将指令预先取出

2、数据相关：流水线中各条指令因重叠操作，可能改变对操作数的读写访问顺序，从而导致数据相关冲突。

解决办法：

（1）并不是所有的阶段都真正的需要读取数据，采用定向技术。

（2）指令执行间隔足够远，采用指令调度（静态/动态）。

1. 控制相关：流水线遇到分支指令和其他会改变PC值的指令所引起的。

解决方法：

（1）处理分支指令最简单的方法：“冻结”或者“排空”流水线 。

（2）改进流水线实现方法，尽早判断，尽早转移。

（3）预测.

1. **流水线性能评价指标有吞吐率、加速比、效率。各自的定义是什么？**

P353

吞吐率：在单位时间内流水线所完成的任务数量或输出结果的数量。

加速比：完成同样一批任务，不使用流水线所用的时间与使用流水线所用的时间之比。

效率：流水线中的设备实际使用时间与整个运行时间的比值，即流水线设备的利用率。

从时空图上看，效率就是n个任务占用的时空面积和k个段总的时空面积之比。

1. **某机有五个中断源L0、L1、L2、L3、L4，按中断响应的次序由高向低排序为L0→L1→L2→L3→L4，现要求中断处理次序为L1→L3→L4→L0→L2，写出各中断源的屏蔽字。**
2. **什么是中断？设计中断系统需要考虑哪些主要问题？**

P358

中断：指当出现需要时，CPU暂时停止当前程序的执行转而执行处理新情况的程序和执行过程。即在程序运行过程中，系统出现了一个必须由CPU立即处理的情况，此时，CPU暂时中止程序的执行转而处理这个新的情况的过程就叫做中断。

设计中断系统需解决的问题：

(1)各中断源如何向CPU提出中断请求

(2)当对个中断源同时提出中断请求时，中断系统如何确定优先响应哪个中断源的请求

(3)CPU在什么条件、什么时候、以什么方式来响应中断

(4)如何 保护现场

(5)如何 寻找入口地址 ？

(6)如何 恢复现场，如何 返回 ？

(7)处理中断的过程中又 出现新的中断 怎么办 ？

1. **什么是中断隐指令？它有哪些功能。**

Ｐ３６３

中断隐指令：CPU响应中断之后，经某些操作，转去执行中断服务程序，这些操作是由硬件直接实现的。

功能：

(1) 保护程序断点

(2) 寻找服务程序入口地址

(3) 硬件 关中断

1. **什么是多级时序？**

Ｐ３８６

机器周期、节拍（状态）组成多级时序系统，一个指令周期包含若干个机器周期，一个机器周期包含若干个时钟周期

1. **什么是水平型微指令，什么是垂直型微指令，说明其各自的特点。**

Ｐ４１１

水平型微指令一次能定义并执行多个并行操作其并行操作能力强效率高。而且水平型微指令的大多数微命令一般可直接控制对象故执行每条微指令的时间短。又因水平型微指令字长较长故可用较少的微指令数来实现一条机器指令的功能。

垂直型微指令的结构类似于一般机器指令的结构由微操作码译码确定微指令的功能。通常一条微指令只能有1～2个微操作命令。因为它要经过译码后控制对象影响每条微指令的执行时间。而且垂直型微指令字长较短实现一条机器指令的微程序要比水平型微指令编写的微程序长得多它是用较长的微程序结构来换取较短的微指令结构。