

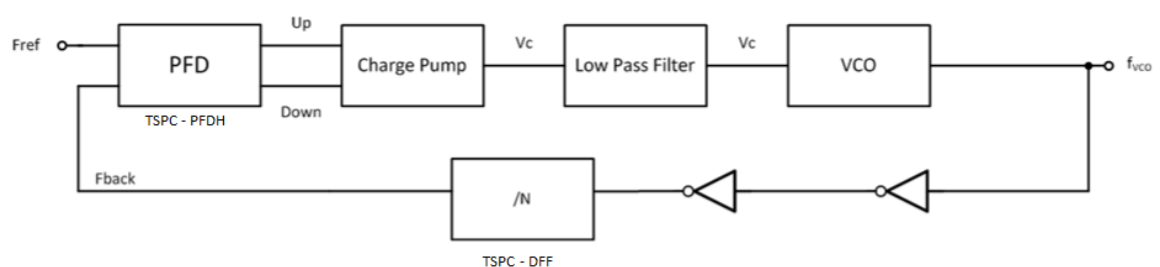
具有 2GHz 震盪頻率的簡單鎖相迴路

前言

我們指導老師目前有一個計劃，就是在悠遊卡上面顯示時間。這次的計畫預計要用 3 顆 IC，第一顆 IC 是用來收集以及讀取近場通訊 (Near Field Communication, NFC) 資料，第二顆 IC 是要實現精確計時，當中就需要鎖相迴路 (Phase Locked Loop, PLL) 架構來實現此顆 IC，第三顆 IC 是要控制 LCD 面板。因此想要藉由這次的期末報告，來學習如何做出一顆簡單的鎖相迴路電路。

簡介

本報告的鎖相迴路如圖一所示，總共有 5 個方框，相位頻率偵測器 (Phase Frequency Detector, PFD)、電荷幫浦 (Charge Pump, CP)、低通濾波器 (Low Pass Filter, LPF)、壓控環形震盪器 (Voltage Controlled Ring Oscillator, VCRO)、以及除頻器 (Divider)，除此之外還有外接兩顆 CMOS 反向器。PFD 和除頻器用的是高速 TSPC 的架構，而低通濾波器用的是二階低通濾波。因為考慮到除頻器是 TSPC 的架構又加上壓控環形震盪器的輸出擺幅沒有辦法全擺幅，所以加了兩顆 CMOS 的反向器來增大擺幅。

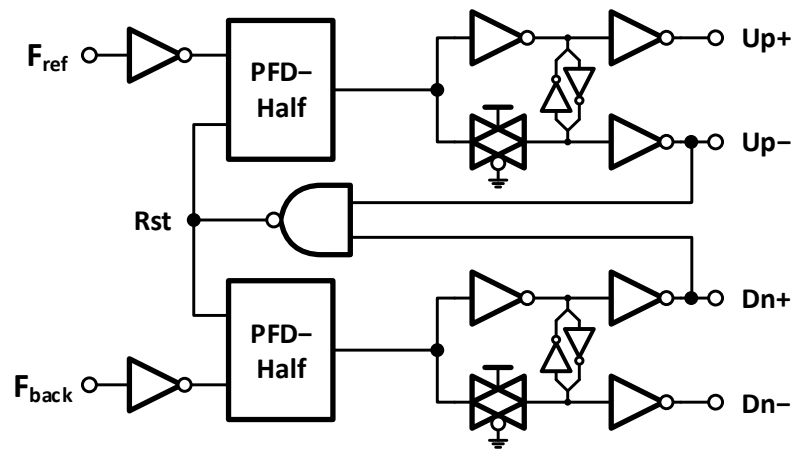


圖一 鎖相迴路全電路架構

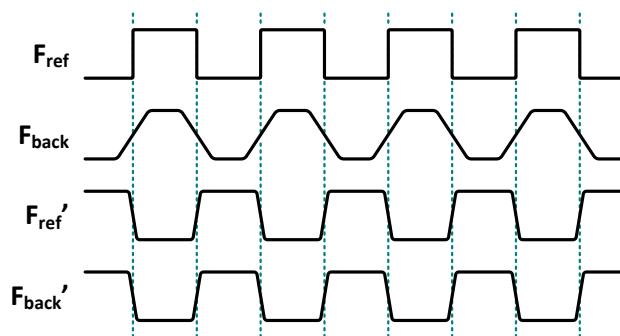
電路介紹

相位頻率偵測器(Phase Frequency Detector, PFD)

本報告的 PFD 在[3]的 p12-p17 有介紹，如圖二所示，含有 TSPC 的相位頻率檢測器半電路(PFD-Half)以及一些邏輯閘。首先在 F_{ref} 和 F_{back} 的 CMOS 反相器目的是要讓 F_{ref} 和 F_{back} 的訊號上升與下降時間相近，順道一提，PFD-Half 設計為負緣觸發，經過一個反相器，會變為正緣觸發的電路，如圖三所示。



圖二 PFD 全架構

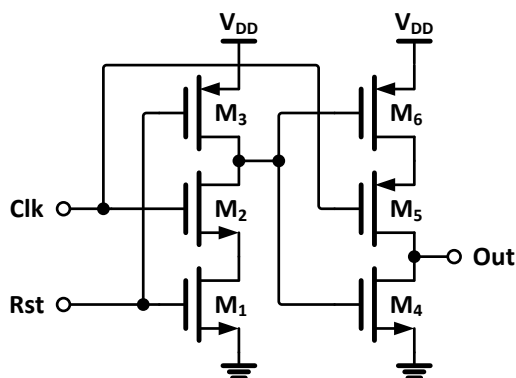


圖三 修正 F_{ref} 與 F_{back} 的上升/下降時間

PFD 的主要功能是將 F_{ref} 與 F_{back} 間的相位差，反應在輸出 $Up+/-$ 與 $Dn+/-$ 的脈波時間長度上：當 F_{ref} 的相位領先 F_{back} 時， $Up+/-$ 的脈波時間將大於 $Dn+/-$ ，且

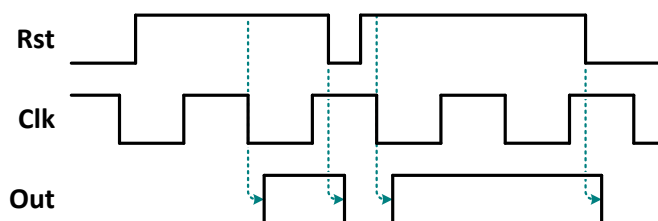
大於的量即為 F_{ref} 與 F_{back} 間的時間差；當 F_{back} 的相位領先 F_{ref} 時， $Dn+/-$ 的脈波時間將大於 $Up+/-$ ，且大於的量亦為 F_{ref} 與 F_{back} 間的時間差。簡單的說，當 F_{ref} 相位領先時，PFD 將輸出較長的 $Up+/-$ 脈波；當 F_{back} 相位領先時，PFD 將輸出較長的 $Dn+/-$ 脈波。

圖二中的 PFD-Half 是相位頻率檢測器的半電路，其電路架構如圖四中所示：



圖四 相位頻率檢測器半電路

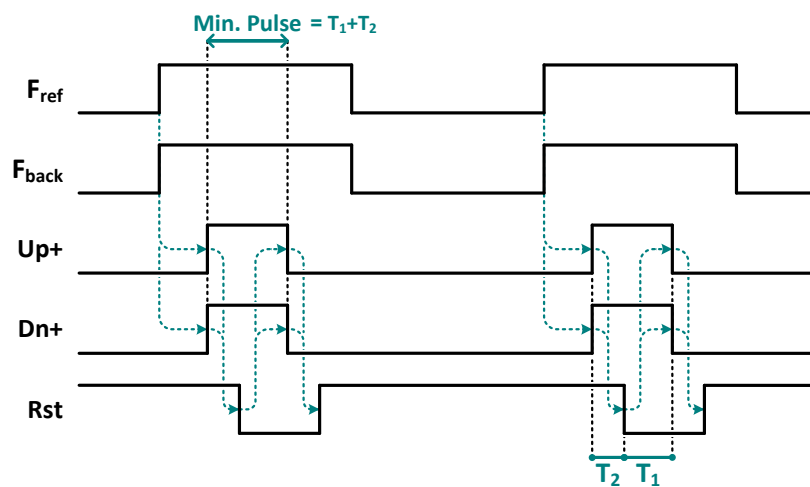
圖四中的 PFD 半電路，其功能如下所述：當 Rst 為 0 時，輸出訊號 Out 將會為 0；當 Rst 變為 1 時，若 Clk 的負緣出現，將會觸發 Out 變為 1；在 Out 變為 1 以後，會一直維持到 Rst 再次為 0 為止。圖五描繪了 PFD 半電路的操作波形：



圖五 相位頻率檢測器的半電路操作

整個 PFD 的運作非常好懂，當 F_{ref} 正緣觸發時，up+會上升為 1；當 F_{back} 正緣觸發時，dn+會上升為 1，當 up+和 dn+皆上升為 1 時，原本在 1 的 Rst 訊號會變成 0，在 Rst 變成 0 的同時，up+和 dn+皆變為 0，這樣就是偵測到一個相位差的流程。

整個 PLL，到最後總是要鎖住，鎖住的意思就是 F_{ref} 和 F_{back} 訊號要一致，雖然一致，但實際上難免會有一些誤差，針對誤差做一些討論。圖六是 PFD 在 F_{ref} 與 F_{back} 的相位對齊時的操作波形。可以觀察到，這種 PFD 架構在輸入相位鎖定時，在 Up+與 Dn+上仍會出現長度相同的脈波，其時間長度為 $T_1 + T_2$ ，如圖六中所標示：



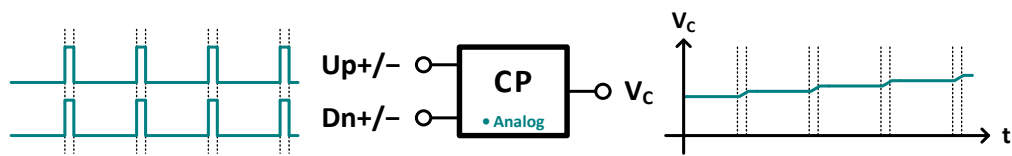
圖六 相位頻率檢測器操作(鎖定狀態)

在這邊先提到一點電荷幫浦的部分，但必需注意，Up+與 Dn+將分別控制 PFD 後級的電荷幫浦(Charge Pump)進行充電與放電的動作。然而，當 F_{ref} 與 F_{back} 的相位鎖定住時，Up+與 Dn+上仍會產生長度相同的脈波。理論上，長度相同的 Up+/Dn+脈波，使後級電荷幫浦充/放電的電荷量將會相同，可彼此抵消，因此不會使電荷幫浦的輸出 V_c 發生變化。

但實際上，不論多完善的電荷幫浦架構，都還是存在充/放電不匹配的問題。

因此，即便 U_{p+}/D_{n+} 的脈波完全相同，仍會使電荷幫浦的輸出 V_c 產生偏移，如

圖七中所示：



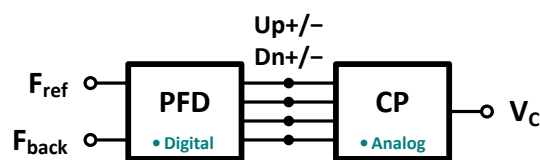
圖七 充/放電不匹配造成 V_c 偏移

會運用這些架構，是因為有幾個好處，可以讓鎖相迴路精準的鎖定輸出頻率，再來是輸出訊號 U_{p+} 與 U_{p-} 之間、 D_{n+} 與 D_{n-} 之間的相位接近完全對齊，最後就是 PFD 的半電路採用 TSPC 架構，其操作功耗低、面積小，雖然 TSPC 還有高速運作的功能，但因為期末報告的 F_{ref} 與 F_{back} 只需要約 200MHz 的操作頻率，速度快不快也不會有很大的差別。

相位偵測頻率檢測器如何偵測頻率，電荷幫浦的部分介紹完後會一併說明。

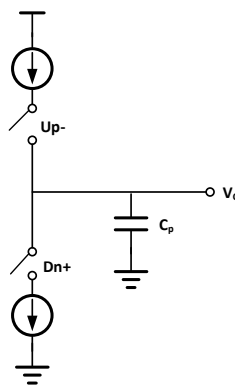
電荷幫浦

在[3]的 p18 上半部中介紹，混合訊號的鎖相迴路中，首先利用 PFD 將迴授頻率 F_{back} 與參考頻率 F_{ref} 間的相位差轉換為 $Up+/-$ 與 $Dn+/-$ 脈波，接著再將兩組脈波的時間差轉換為類比的電壓訊號，並以此類比訊號去控制電壓控制振盪器 (Voltage Controlled Oscillator)。其中，負責產生類比電壓訊號 V_c 的電路，稱為電荷幫浦 (Charge Pump)。



圖八 PFD 與 CP 結合產生控制訊號 V_c

簡單的電荷幫浦如圖九所示，因為 up 端是 pmos 控制開關， dn 端是 nmos 控制開關，而 pmos 和 nmos 控制訊號的邏輯相反，nmos 的 1 是開 0 是關；而 pmos 的 0 是關 1 是開，為此我們會先將 $up+$ 反向，變成 $up-$ 以後，由 $up-$ 和 $dn+$ 擔任開關，對控制訊號 V_c 充放電。



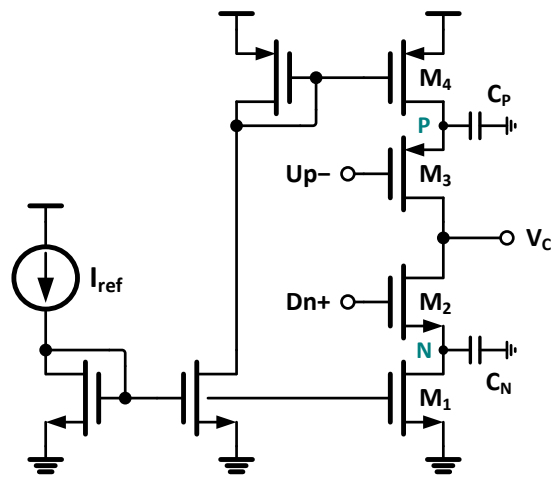
圖八 電荷幫浦概念電路圖

下表一可以清楚標示出 up-/dn+對控制訊號的關係，但是要特別強調，當 Up- 等於 0 和 Dn+ 等於 1 的情況，pmos 和 nmos 皆導通，所以 pmos 和 nmos 的充放電電荷量要一樣，而 pmos 的遷移率比 nmos 還要低，通常是 nmos 與 pmos 的遷移率是 3~4 : 1，所以在設計時，pmos 的尺寸會比 nmos 大。

	Dn+ = 0	Dn+ = 1
Up- = 0	充電	維持
Up- = 1	維持	放電

表一 電荷幫浦 up-/dn+對控制訊號關係表

圖九是一組傳統的單端電荷幫浦，其中 M_2 與 M_3 是切換開關，透過 $Up-$ 與 $Dn+$ 訊號控制其開啟與否，進而對輸出訊號 V_C 進行充/放電的動作。圖九的電路利用了傳統的電流鏡架構，使得當開關開啟時， M_1 與 M_4 上的電流為 I_{ref} 。因此，理想上，電荷幫浦在的充電與放電時電流是相同的。

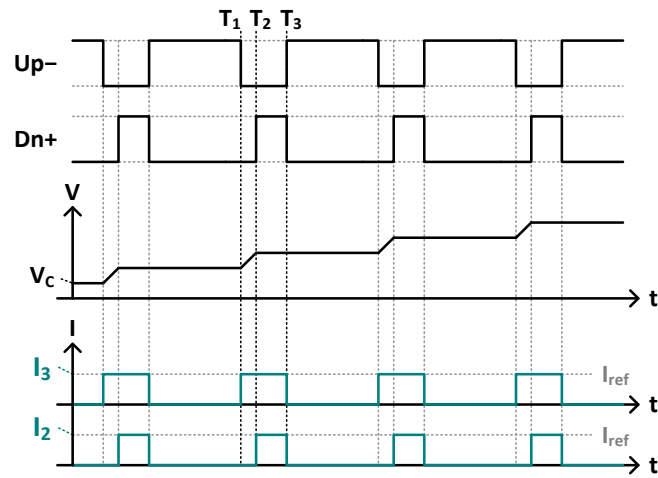


圖九 傳統單端電荷幫浦

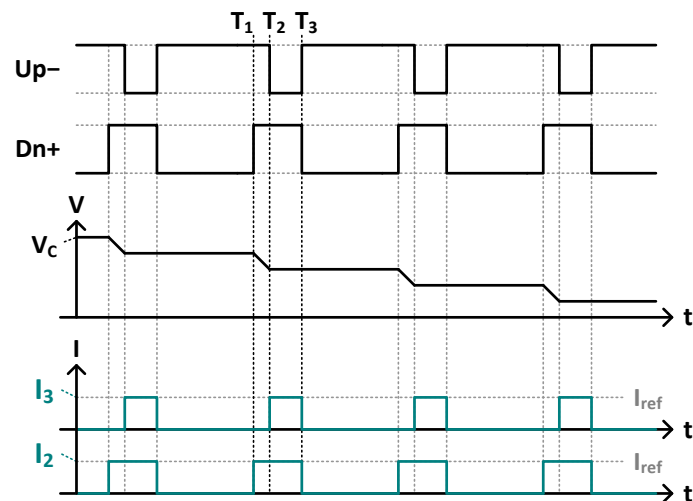
圖十與圖十一分別是電荷幫浦在充電與放電時的操作情形。圖十是 F_{back} 頻率較 F_{ref} 低的操作情形，此時 PFD 將輸出較長的 $Up-$ 使 V_C 上升；圖十一是 F_{back} 頻率較 F_{ref} 高的操作情形，此時 PFD 將輸出較長的 $Dn+$ 使 V_C 下降。其中 I_2 與 I_3 分別是 M_2 與 M_3 上的電流。

圖十中可以觀察到，在時間為 T_1 時， $Up-$ 將 M_3 開啟，此時電路開始對輸出充電並使 V_C 上升，充電電流的大小為 I_{ref} ；而在 T_2 時， $Dn+$ 將 M_2 開啟，電路將同時進行充電與放電，因為充/放電電流均為 I_{ref} 而互相抵消，因此 V_C 將維持不變；而在 T_3 時， M_2 與 M_3 都將關閉， V_C 將不會再改變。圖十一的充/放電操作則與圖

十中正好相反。



圖十 傳統單端電荷幫浦操作(充電)



圖十一 傳統單端電荷幫浦操作(放電)

由圖十與圖十一可以看到，當 $Up+/-$ 的脈波長度較長時， V_c 將會上升；而當 $Dn+/-$ 脈波長度較長時， V_c 將會下降。然而，理想的電荷幫浦還需具備一個重要的特性，就是當鎖相迴路的頻率鎖定住時，PFD 將產生出脈波長度相同的 $Up+/-$ 與 $Dn+/-$ ，此時 V_c 必需要能維持不變(如圖 22、23 中 $T_2 \sim T_3$ 時的情形)。要實現

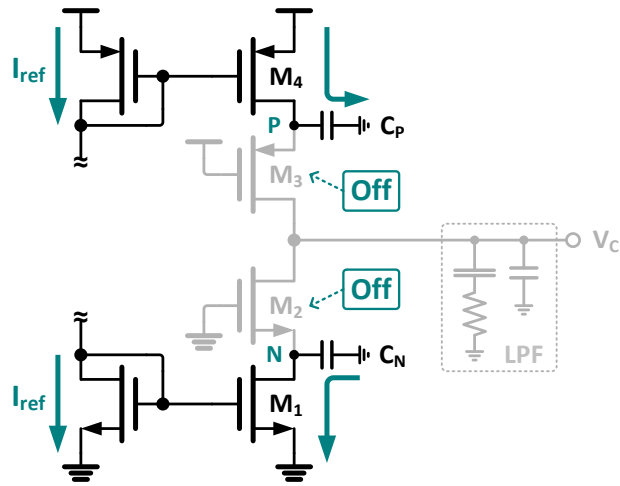
此特性，需確保當 $Up+/-$ 與 $Dn+/-$ 的脈波相同時， M_2 與 M_3 上的電流完全相同。

換句話說，當 $Up+/-$ 與 $Dn+/-$ 的脈波相同時，流經 M_3 的電荷必需全部由 M_2 接收並流至 Gnd ，不能流至輸出端。

然而，不論多完善的電荷幫浦架構，都還是存在充/放電不匹配的問題。造成充/放電不匹配的原因，主要是電晶體的三種物理特性：電荷分享 (Charge Sharing)、電荷注入 (Charge Injection) 與通道長度調變效應 (Channel Length Modulation) 所造成。由於充/放電不匹配是由電晶體本身的特性所造成，因此無法藉著電路設計將其完全消除。而接下來的部分，將只針對電荷分享、電荷注入做改善。

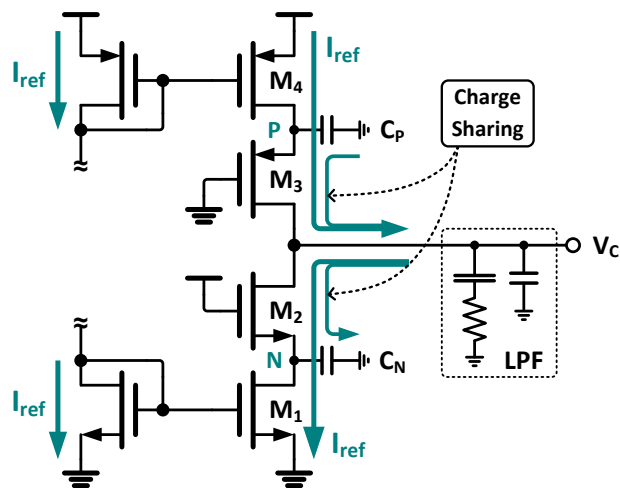
先從電荷分享開始討論起，所謂的電荷分享，是指當多組跨壓不同的電容接在一起時，電壓較高的電容會將其電荷分享予電壓較低的電容，最終使所有電容上的跨壓相同。

圖九的電荷幫浦架構有一個缺點，當切換開關 $M_{2,3}$ 關閉時，尾電流 $M_{1,4}$ 其實仍是開啟的，如圖十二中所示。因此，當 M_2 關閉時 M_1 上仍會有電流，直到 N 點的電位被降至 Gnd 後，電流才會消失；同理，當 M_3 關閉時 M_4 上也會有電流，直到 P 點的電位被升至 V_{DD} 後，電流才會消失。換句話說，當 M_2 關閉時，寄生電容 C_N 上的跨壓將被放電至 $0V$ ；當 M_3 關閉時，寄生電容 C_P 上的跨壓將被充電至 V_{DD} 。



圖十二 P 點與 N 點的充/放電

然而，當 M_2 與 M_3 開啟時， C_P 、 C_N 、 C_{LPF} 將被連接在一起，且三者的跨壓 V_P 、 V_N 、 V_C 均不相同(分別為 V_{DD} 、 $0V$ 、 V_C)，因此將會產生電荷分享，如圖十三中所示。



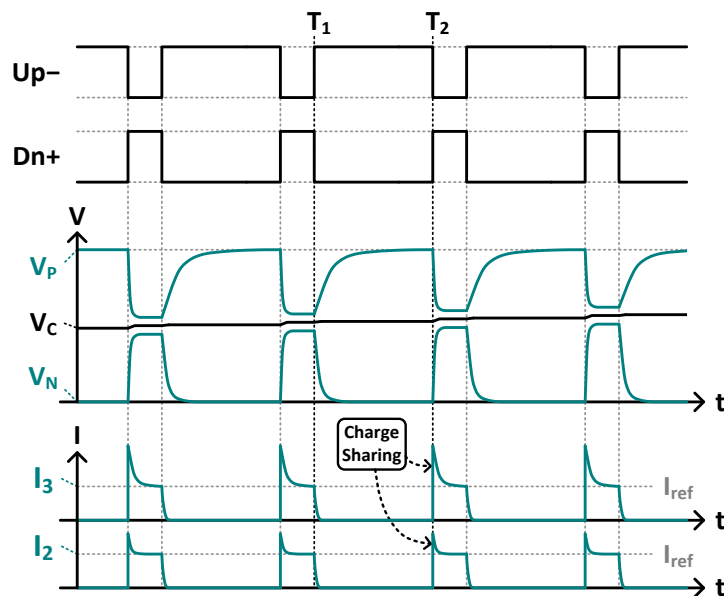
圖十三 電荷分享造成電流誤差

因此，當 $M_{2,3}$ 開啟時，除了 $M_{1,4}$ 所提供的尾電流 I_{ref} 外，還會有因電荷分享所造成的電流流過 $M_{2,3}$ 。而電荷分享的情形如下面兩個情況：

- 由於 P 點的電壓高於 V_C ， C_P 內的電荷將流向 V_{LPF} ，使 V_P 電位下降、 V_C 電位上升。
- 由於 N 點的電壓低於 V_C ， V_{LPF} 內的電荷將流至 C_N ，使 V_N 電位上升、 V_C 電位下降。

然而，由於 PMOS 與 NMOS 的遷移率不同，一般在 0.18 製程中 PMOS 尺寸會設計為 NMOS 尺寸的 3~4 倍，所以寄生電容 C_P 的大小將是 C_N 的 3~4 倍。因此，從 C_P 流向 V_{LPF} 的電荷將多於由 V_{LPF} 流向 C_N 的電荷，進而使 V_C 的電壓上升。

所以當圖九中的傳統電荷幫浦操作在 Up+/- 與 Dn+/- 的脈波長度相同時， V_C 將無法維持不變，而是隨每一次脈波的出現而小幅上升，如圖十四中所示：

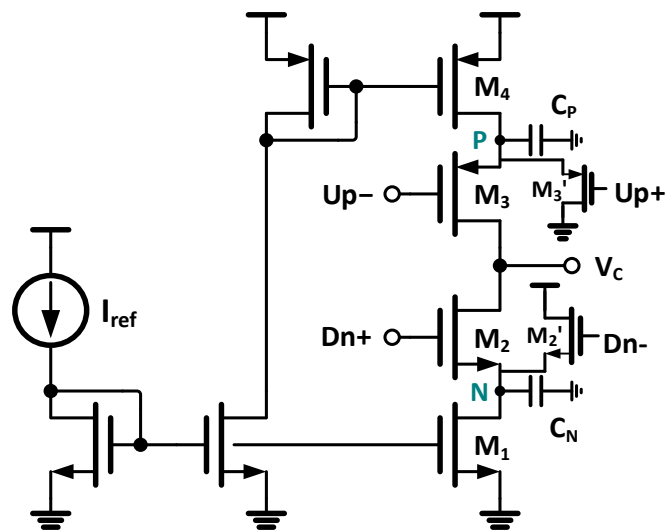


圖十四 傳統單端電荷幫浦的非理想效應

圖十四中當時間為 T_1 時， $M_{2,3}$ 是關閉的狀態，可以看到 V_P 與 V_N 將分別開始充/放電至 V_{DD} 與 Gnd 。而當時間為 T_2 時， $M_{2,3}$ 同時開啟，此時 C_P 、 C_N 、 C_{LPF} 發生電荷分享。可以觀察到在 $M_{2,3}$ 開啟的一瞬間，通過的電流 I_2 與 I_3 將超過 I_{ref} ，且

I_3 的超額電流大於 I_2 的超額電流(因 $C_P > C_N$)，因此造成 V_C 小幅的上升。而隨著 V_P 、 V_N 愈來愈接近 V_C ，電荷分享所造成的超額電流將慢慢消逝。

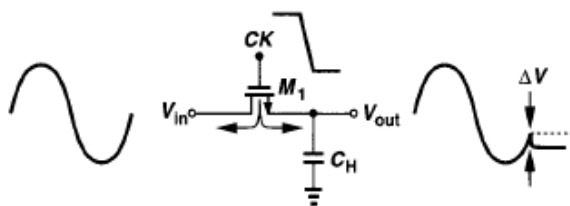
如何解決電荷分享，在[2]的 p57 頁有介紹，將電路接成如圖十五所示，當 M_3 關閉時， M_3' 提供一個路徑將 P 點的電荷放掉，同理，當 M_4 關閉時， M_4' 提供一個路徑將 N 點衝入電荷，減少電荷分享效應，當 M_3 和 M_4 在開的一瞬間，不會像圖十四般的現象產生。



圖十五 改良式電荷幫浦

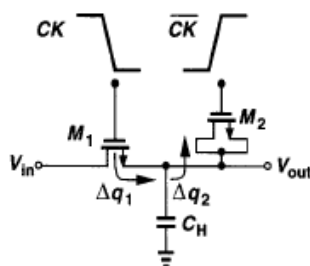
再來就是有關於電荷注入的問題，有講到電荷注入以及如何解決電荷注入的方式，圖十六為電荷注入的示意圖，當開關關掉的瞬間，位於通道的電荷，因為閘極變成 0 以後不見，這些電荷，便會跑到左右兩邊，電荷跑到左端不會被影響，跑到右端，電荷會儲存在 C_H 裡面，讓輸出電壓掉下去一點點，根據 $\Delta Q = C \Delta V$ ，往下掉的電壓約等於：

$$\Delta V = \frac{WLC_{OX}(V_{DD} - V_{in} - V_{TH})}{2C_H}$$



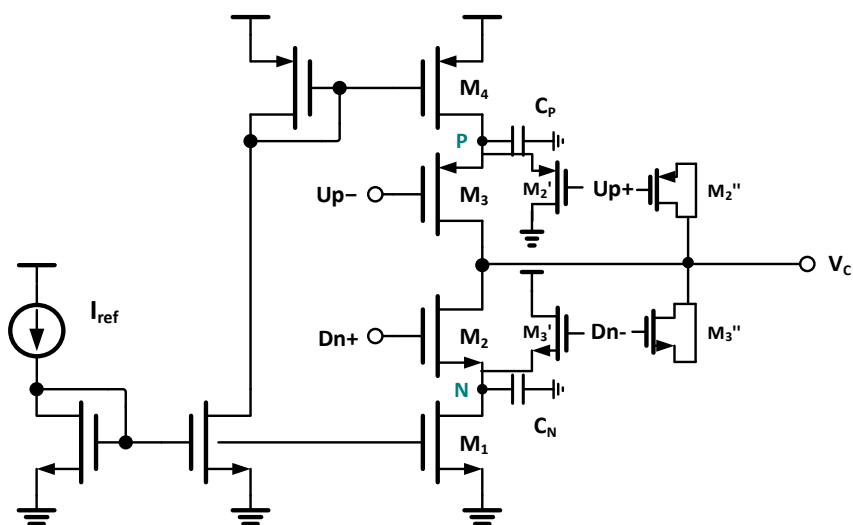
圖十六 電荷注入[1]

那麼要如何改善電荷注入的問題，如圖十七所示，當 C_k 由 1 變 0 時，與作為電容 M_2 吸收的電荷量 Δq_2 ，會吸收由 M_1 內的釋放電荷量 Δq_1 。 m_2 要設計成 m_1 的 1/2 大， $\Delta q_1 = \Delta q_2$ ，電荷注入的消除效果才會顯著。



圖十七 改善電荷注入的方式[1]

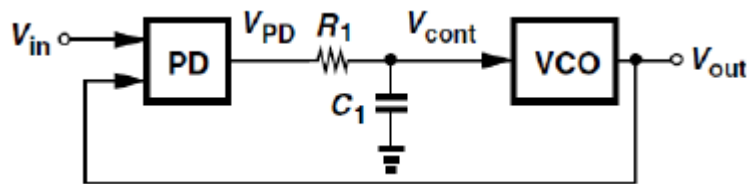
圖十八是期末報告時使用電荷幫浦的最終架構， M_2' 與 M_3' 用來消除電荷分享效應，而 M_2'' 和 M_3'' 用來消除電荷注入效應。



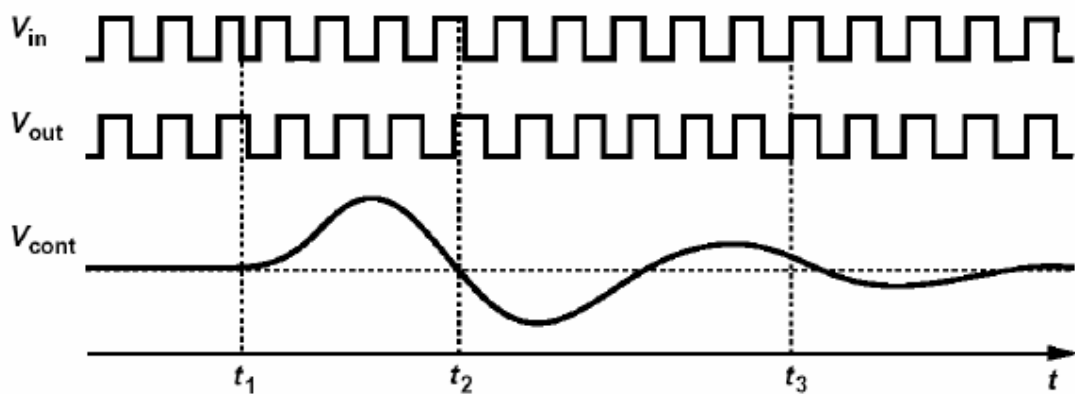
圖十七 電荷注入

PFD、CP 與 VCO 相互之間的關係

圖十八為簡易鎖相迴路的模型，圖十八的 V_{in} 就是輸入參考頻率， V_{out} 則是回授頻率， V_{out} 的頻率等於 V_{in} ，所以沒有除頻器。利用圖十八的模型來講解接下來圖十九的時序分析圖。



圖十八 簡易鎖相迴路模型

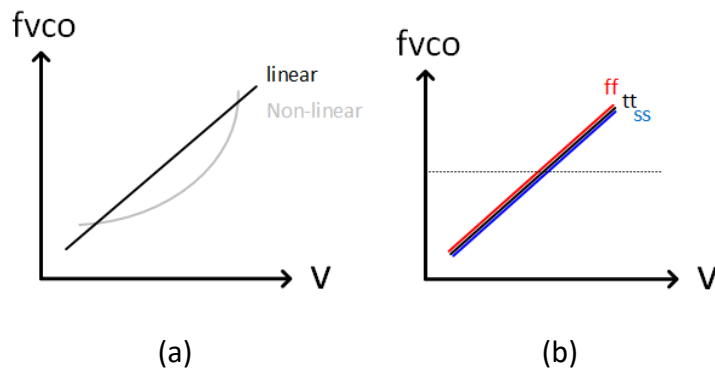


圖十九 V_{in} 、 V_{out} 與控制訊號 V_{cont} 的關係

在圖十九中可以發現， V_{out} 的頻率有大有小， V_{cont} 訊號也有高有低。這個圖意思是，當 V_{out} 與參考頻率 V_{in} 比時，如果頻率 $V_{out} < V_{in}$ ， V_{cont} 會上升，讓下一次 V_{out} 頻率快一點；如果頻率 $V_{out} > V_{in}$ ， V_{cont} 會下降，讓下一次 V_{out} 頻率慢一點，藉由回授機制的運作，整顆鎖相迴路原理也差不如此，接下來要介紹關於壓控環形震盪器(Voltage Controlled Ring Oscillator, VCRO)的部分。

壓控環形震盪器(Voltage Controlled Ring Oscillator,VCRO)

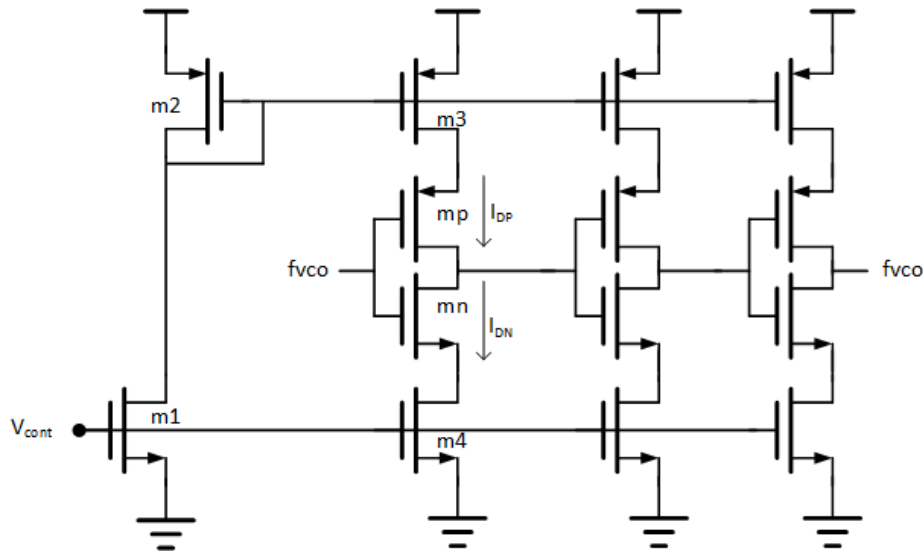
在介紹 VCRO 前，要先介紹怎麼樣的 VCO 是設計良好的，如圖二十(a)，我們會設計 VCO 的 f_{vco} 對電壓 v 作圖，也就是 K_{vco} 曲線是線性關係，結果比較好預測情況也比較簡單，但是事實上會有非線性曲線的出現，所以大家在設計 VCO 時會致力於讓 f_{vco} 對電壓 v 作圖曲線趨於線性。再來就要討論有關於 K_{vco} 與製程變異的關係，看圖二十(b)，我們會希望不同製程變異之下， K_{vco} 曲線完全切齊，[3]的壓控震盪器有完成這件事情，但由於本次的期末報告只是先完成簡單的鎖相迴路架構，所以震盪器的部分，是用[2]p78 的餓流式環形震盪器(Current Starved Voltage Controlled Ring Oscillator,CSVCRO)



圖二十 良好的 VCO 的 K_{vco} 曲線

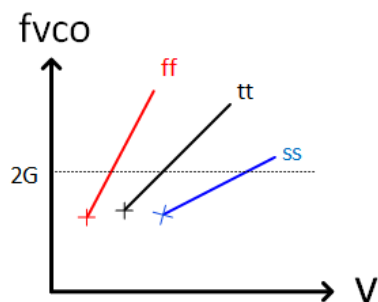
如圖二十一所示，這是本報告的餓流式環形震盪器(Current Starved Voltage Controlled Ring Oscillator,CSVCRO)， $m_{3,4}$ 及 $m_{p,n}$ 是一個延遲單元，而 $m_{1,2}$ 是偏壓電路。工作原理是，當控制訊號 V_{cont} 越大， $m_{1,2}$ 的電流越大， $m_{1,2}$ 的電流複製到 $m_{3,4}$ ，而 $m_{p,n}$ 為反向器的結構，由 $m_{3,4}$ 的電流來驅動反向器。延遲單元的個數必須要 ≥ 3 的奇數，在[1]中提到，在延遲單元等於 1 時，相位不足 180° ，無法達到

不穩定，而若延遲單元為偶數時，是門鎖模式的電路(Latch)，電路不會震盪，因而 CSVCRO 的延遲單元個數為 3、5、7...等等。此架構有一些缺點，延遲單元會受到電源雜訊和基底雜訊干擾。



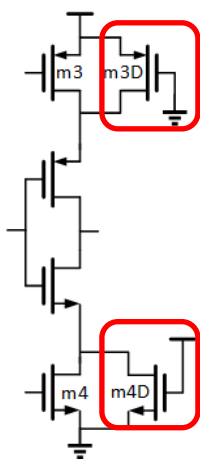
圖二十一 餓流式環形震盪器

在此結構中，頻率與 $I_D = I_{DP,N}$ 的關係為 $f_{vco} = \frac{I_D}{NC_{tot}V_{DD}}$ ，其中 $C_{tot} = \frac{5}{2}C_{ox}(W_pL_p + W_nL_n)$ 。在[1]的觀念中有提到，當 I_D 越大，驅動力越大，等效的電阻越小，RC 延遲越小，所以頻率會增加；而當 N 越大，頻率越小，本架構選 $N=3(f_{vco}=1\sim 3\text{GHz})$ 。然而不幸的事情是，CSVCRO 隨製程的變異會呈現如圖二十二所示，在 ff 與 ss，與 fs,sf,tt 斜率與在 2GHz 時對應的控制電壓相距甚大，且控制電壓在 0v 到 0.5v 的區間，此震盪器根本無法運作。



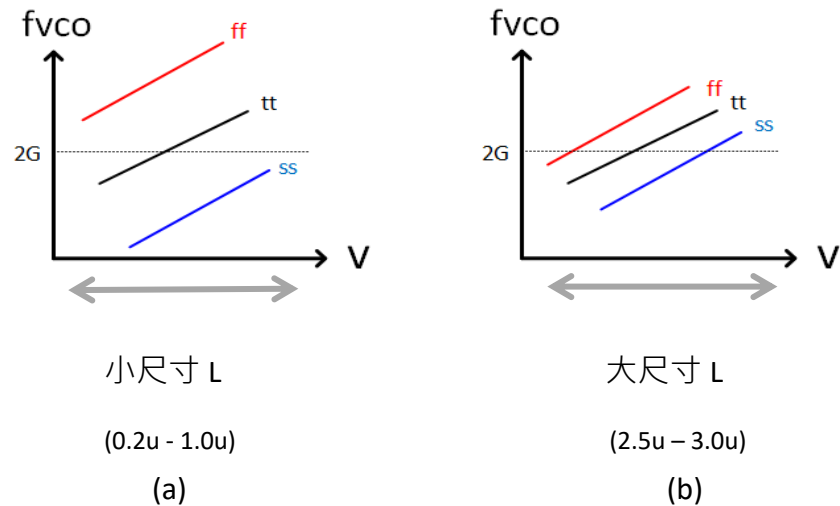
圖二十二 餓流式震盪器的 K_{vco} 曲線

本次報告中，將延遲單元的 m_3 與 m_4 旁邊各加一顆電晶體，分別將 Gate 端接到 gnd 和 vdd 如圖二十三所示，圖二十三的 m_{3D} 、 m_{4D} 給 $m_{3,4}$ 沒有電流時另外一個路徑，讓整個延遲單元保持在通的狀態，且 m_{3D}/m_{4D} 不用另外加偏壓電路， m_{3D} 、 m_{4D} 的加入可以整飭 K_{vco} 曲線圖， VCO 從 0-1.8，保證都有對應的頻率，且適當的給予 m_{3D} 、 m_{4D} 的尺寸，相應的 K_{vco} 曲線斜率會趨於平緩。



圖二十三 改良式延遲單元

在設計過程中，剛開始給定的 L 小， K_{vco} 曲線如同圖二十四(a)所示，不同

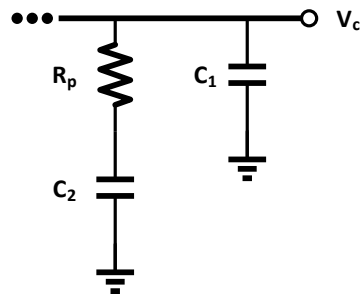


圖二十四 改良式延遲單元的 K_{vco} 曲線

製程變異 K_{vco} 曲線飄移嚴重，甚至在 ff 和 ss 切不到 $2GHz$ ，後來發現，是因為電流流經 m_{3D}/m_{4D} 的電流比 $m_{3,4}$ 還要大，主控權被 m_{3D}/m_{4D} 搶走了，所以將 L 加大，因為 L 的變大，所以流經 m_{3D}/m_{4D} 的電流會比較小一點，最後將 L 調至 $2.5\mu m - 3.0\mu m$ 時，會呈現如圖二十四(b)所示，不同的製程間比較相近。

二階低通濾波器(2nd -low Pass Filter, 2nd LPF)

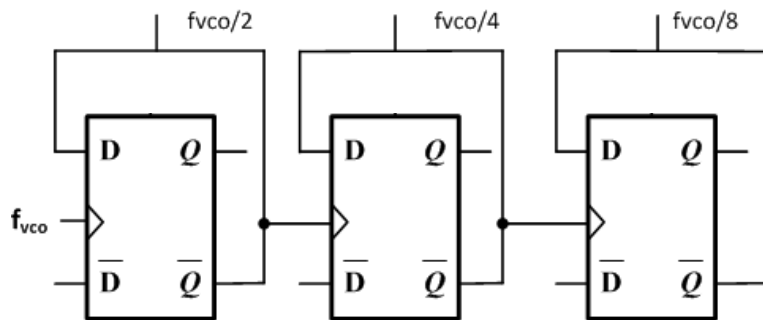
在整個鎖相迴路電路中，低通濾波器扮演了很重要的角色，二階低通濾波器的功能有二，其一是會濾掉高頻率的雜訊，另外一個是在整個鎖相迴路設計完以後，可以運用濾波器來重新調整整個鎖相迴路的穩定度，在這邊為簡化電路，用的是被動式的二階低通濾波器如圖二十五所示。代替 `matlab` 軟體，本報告用[4]算出二階低通濾波器 R_p 、 C_1 、 C_2 值。



圖二十五 二階低通濾波器

除頻器

除頻器如圖二十六所示，因應 f_{vco} 為 2GHz 的高頻訊號，所以其中 DFF 是用 TSPC 高速架構。



圖二十六 $\div 8$ 除頻器

規格表

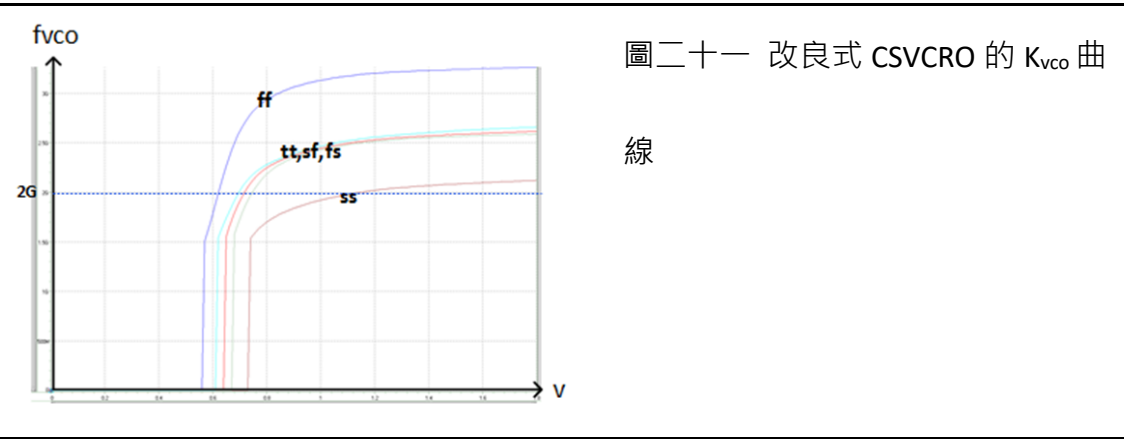
參照[5]所訂定規格，規格如下表二所示。

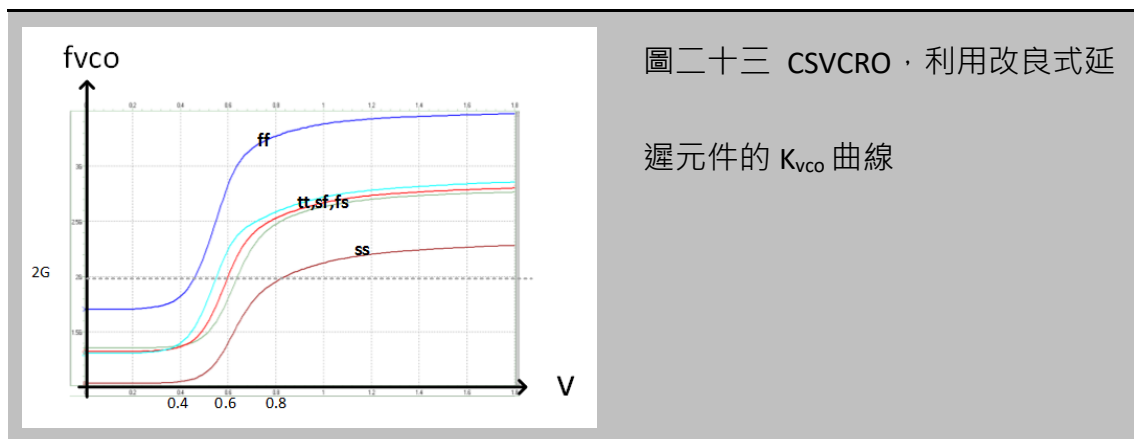
Process	TSMC - 0.18um (T18)
Supply Voltage	1.8v
Input Frequency	250MHz
Output Frequency	2.0GHz
Lock - Time	<2us
Power	15mW @ 2.0GHz

表二 規格表

模擬結果

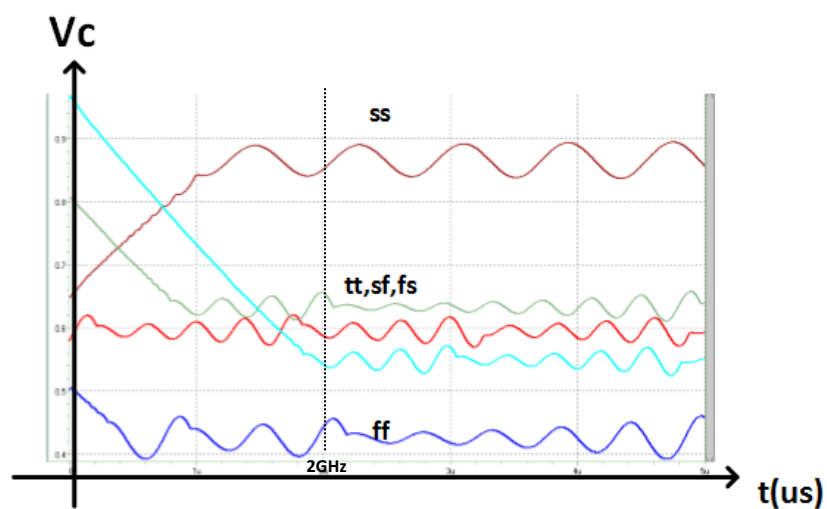
以下是整顆 PLL 所有模擬結果，表三是 K_{vco} 曲線模擬結果，圖二十一為的模擬結果如同圖二十二所示，在 ff 時斜率為 4GHz，在 ss 時斜率為 1GHz，而 tt,sf,fs 時斜率為 2GHz，且 2GHz 所對應的控制電壓相距甚大；將延遲元件改良成圖二十三，模擬結果可以對應圖二十四(b)，2GHz 所對應的控制電壓範圍在 0.4v~0.8v，斜率也相近，且在控制電壓從 0~1.8v 時，都有對應的 f_{vco} 。





表三 K_{vco} 曲線

圖二十七為控制訊號時序圖，在圖中可以看出穩定時間、穩定準位、以及穩定時的狀態。



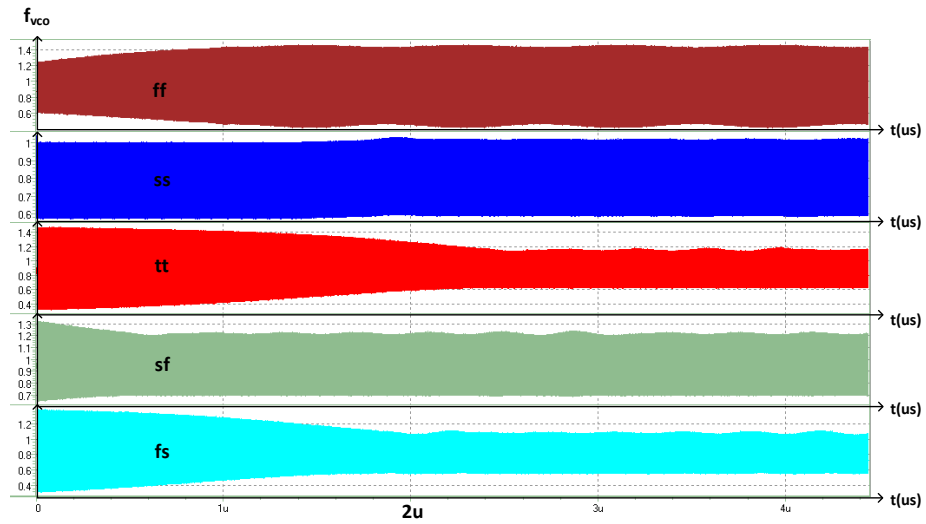
圖二十七 控制訊號時序圖

要讓 f_{vco} 固定在 2GHz，是一件很困難的事情，所以縮限範圍是重要的議題，

表四為不同製程在穩定時， f_{vco} 的穩定範圍，大致上為 1.95~2.05GHz。

表四 f_{vco} 穩定範圍

圖二十八為 f_{vco} 的時序圖，大約在 1.95~2.05GHz，確切範圍在表四。



圖二十八 控制訊號時序圖

製程	ss	ff	tt	sf	fs
$f_{vco}(\text{GHz})$	1.97 – 2.02	1.96 – 2.04	1.93-2.05	1.96 – 2.05	1.95 – 2.05

Layout 

Post – Simulation 模擬結果

參考資料

[1] Behzad Razavi. "Design of Analog CMOS Integrated Circuits". INTERNATIONAL EDITION, McGRAW-HILL, 2001

[2] 劉深淵、楊清淵(2006)。鎖相迴路(第三版)。出版地點：滄海書局。

[3] 楊主訓(2014年2月)。具製程補償方案的低功耗六十億赫茲展頻時脈產生器。

台北大學電機研究所碩士論文，未出版，地址：國立台北大學。

[4] <http://www.oocities.org/fudinggepll/pllfilterprogram.html>，來源：
<http://www.oocities.org/>

[5] 九十五學年度大專校院 Silicon Intellectual Property 設計競賽。一個應用於
10Gbps 有線傳送接收機的低抖動 2.5GHz 自我校準鎖相迴路