

分类号 TP393

学号 14069001

UDC

密级 公开

工学博士学位论文

面向堆叠异构系统的应用透明知策略研究

博士生姓名 李晨

学 科 专 业 电子科学与技术

研 究 方 向 计算机体系结构

指 导 教 师 郭阳 研究员

国防科技大学研究生院

二〇一九年四月

Research on Application-transparent Strategies for Stacked Heterogeneous System

Candidate: Li Chen

Supervisor: Researcher Guo Yang

A dissertation

Submitted in partial fulfillment of the requirements

for the degree of Doctor of Engineering

in Electronic Science and Technology

Graduate School of National University of Defense Technology

Changsha, Hunan, P. R. China

April 6, 2019

独 创 性 声 明

本人声明所呈交的学位论文是我本人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表和撰写过的研究成果，也不包含为获得国防科技大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文题目：_____面向堆叠异构系统的应用透明策略研究_____

学位论文作者签名：_____日期：_____年 月 日

学位论文版权使用授权书

本人完全了解国防科技大学有关保留、使用学位论文的规定。本人授权国防科技大学可以保留并向国家有关部门或机构送交论文的复印件和电子文档，允许论文被查阅和借阅；可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密学位论文在解密后适用本授权书。）

学位论文题目：_____面向堆叠异构系统的应用透明策略研究_____

学位论文作者签名：_____日期：_____年 月 日

作者指导教师签名：_____日期：_____年 月 日

目 录

摘 要	i
ABSTRACT	iii
第一章 绪论	1
1.1 研究动机	2
1.2 研究内容和主要贡献	3
1.2.1 研究内容	3
1.2.2 主要贡献	4
1.3 研究框架概述	6
1.4 论文组织结构	6
第二章 研究背景	7
2.1 堆叠系统	7
2.1.1 三维堆叠集成	7
2.1.2 基于硅中介层的 2.5 维堆叠	9
2.2 GPU 架构与编程模型	9
2.2.1 GPU 架构	9
2.2.2 GPU 编程模型	9
2.3 异构系统的策略优化	9
2.3.1 软件策略优化	9
2.3.2 硬件策略优化	9
第三章 一种 GPU 内存超额配置的管理框架	11
3.1 研究背景	11
3.2 相关工作	11
3.3 研究动机	11
3.4 设计	11
3.5 实验验证	11
3.6 本章小结	11
第四章 一种动态采用检查点备份技术的 GPU 主动抢占策略	13
4.1 研究背景	13
4.2 相关工作	13
4.3 研究动机	13
4.4 设计	13
4.5 实验验证	13
4.6 本章小结	13

第五章	一种动态延迟感知的 2.5 维堆叠片上网络负载均衡策略	15
5.1	研究背景	15
5.2	相关工作	15
5.3	研究动机	15
5.4	设计	15
5.5	实验验证	15
5.6	本章小结	15
第六章	总结	17
6.1	本文的主要贡献	17
6.2	未来工作	17
6.3	结束语	17
致谢		19
参考文献		21
作者在学期间取得的学术成果		23
附录 A	模板提供的希腊字母命令列表	25

表 目 录

图 目 录

摘 要

国防科学技术大学是一所直属中央军委的综合性大学。1984 年,学校经国务院、中央军委和教育部批准首批成立研究生院,肩负着为全军培养高级科学和工程技术人才与指挥人才,培训高级领导干部,从事先进武器装备和国防关键技术研究的重要任务。国防科技大学是全国重点大学,也是全国首批进入国家“211 工程”建设并获中央专项经费支持的全国重点院校之一。学校前身是 1953 年创建于哈尔滨的中国人民解放军军事工程学院,简称“哈军工”。

关键词: 国防科学技术大学; 211; 哈军工

ABSTRACT

National University of Defense Technology is a comprehensive national key university based in Changsha, Hunan Province, China. It is under the dual supervision of the Ministry of National Defense and the Ministry of Education, designated for Project 211 and Project 985, the two national plans for facilitating the development of Chinese higher education.

NUDT was originally founded in 1953 as the Military Academy of Engineering in Harbin of Heilongjiang Province. In 1970 the Academy of Engineering moved southwards to Changsha and was renamed Changsha Institute of Technology. The Institute changed its name to National University of Defense Technology in 1978.

Key Words: NUDT; MND; ME

第一章 绪论

近几十年来，随着半导体技术的不断发展，计算机系统的性能成几何级增长。一方面，这是由于半导体工艺的不断进步，晶体管大小不断缩小，芯片能够集成的晶体管数目不断增大；另一方面，也是因为硬件系统结构、编译技术和算法的不断进步。在这些性能增长中，晶体管大小的缩减起到了决定性作用 [1]。然而，从 2005 年开始，量子隧穿效应使得晶体管漏电现象开始出现。晶体管大小由于受到小晶体管静态功耗的影响，已经难以再按照登纳德缩放比例定律 (Dennard Scaling) [2] 继续缩减，时钟频率难以继续提升。为了不断提升性能，这要求我们从更高效的体系结构上下功夫。多核处理器、配有专用硬件加速器的异构系统应运而生。

研究发现，专用硬件加速器能够大大提升处理器的能效比 [3]。无论是传统的 DSP、GPU，还是针对深度神经网络加速的谷歌 TPU [4]、寒武纪 AI 加速器，这些加速器与 CPU 组成的异构系统，这些异构系统体系结构通过将大量并行计算或专用计算任务从 CPU 发送到 GPU、DSP 或其他专用加速器，大大减少了 CPU 指令执行开销和程序员的负担，系统性能和能效均大大提高。这对于图像处理、高性能计算、以及深度学习训练都具有重要作用。在这之中，特别是 GPU 处理器，据 Hameed 等人的研究表明，一个 GPU 的运算处理性能通常不低于 10 个 CPU 核 [3]。虽然起初其出现的主要目标是解决 CPU 对图像渲染加速不足的问题，但由于其架构在处理并行计算的天然优势，使得 GPU 目前更多地被用于通用并行计算。如今无论是手机、平板电脑、笔记本，还是到数据中心和超级计算机，GPU 无处不在。

然而异构系统不断发展，应用规模和数据规模不断增长，又遇到了存储墙问题，访存开销越来越大。在这个背景之下，为了继续维持摩尔定律，提升集成电路性能的同时降低集成电路的开销，集成电路堆叠技术作为一种有效解决方案被提出并广泛应用。三维堆叠集成技术是一种新的集成电路工艺，其将多个硅片垂直堆叠并以三维封装的方式封装成一个芯片，是在工艺尺寸缩减受限的情况下提高系统性能的一种新的方式，从延伸摩尔定律和超越摩尔定律两方面实现芯片上晶体管密度和芯片性能的大幅度提升。其在提升带宽、降低延迟和提高能效方面有许多优势。不过，受限于良率、热效应、设计复杂度、设计测试成本以及 EDA 工具等方面的限制，三维堆叠技术目前主要用于一些如存储器等互连简单、单元排列重复的规则电路。相比于三维堆叠技术这种革命性的革新，基于硅中介层的 2.5 维堆叠技术则属于一种进化技术，避免了三维堆叠技术中的各种问题。2.5 维堆叠集成电路是将多个同构或异构的部件相邻地堆叠在硅中介层上，相邻部件之

间通过硅中介层进行通信。通过 2.5 维堆叠可以将处理器和三维堆叠存储器相邻地堆叠在硅中介层上，为处理器增加内存容量的同时大大提高内存带宽，已经广泛用于目前商业化的异构处理器中。

1.1 研究动机

高性能堆叠异构系统目前已经被引入数据中心，为云计算提供更加强大的计算和存储能力。云计算中多租户技术的应用使得多个用户能够共享高性能堆叠异构处理器，并同时执行和处理多个任务。无论是 IaaS、PaaS、还是 SaaS，均对多租户技术有着强烈的需求。这种多租户任务允许计算资源的共享和存储资源的相互隔离，同时需要保证多租户任务间的安全隔离性。虽然多租户技术保证了安全隔离性，但用户无法了解任务运行的具体情况，难以从程序员的角度对应用程序进行优化，因此，研究面向堆叠异构系统的应用透明策略显得尤为重要。

本文从堆叠异构系统出发，发现并解决堆叠异构系统的三大问题：

内存超额配置造成的性能骤降问题。 云提供商往往会给用户提供的超过其硬件资源的存储资源，在用户不同时使用这些资源的情况下提高数据中心的资源利用率。然而随着用户应用规模和数据量的不断增大，内存超额配置越来越普遍。堆叠异构处理器，如 GPU 目前已经能够为用户提供内存超额配置的支持。但通过我们在真实 GPU 的实验发现，当内存超额配置时，GPU 出现了严重的性能下降，在一些情况下甚至发生宕机。

多任务抢占的高上下文切换开销问题。 为在多任务处理中快速响应一些优先级较高，对延迟要求较高的任务，我们必须支持多任务抢占机制进行快速切换。上下文切换是多任务抢占的一种重要方式。然而 GPU 等堆叠异构系统相对于 CPU，由于同时处理大量数据，其上下文大小相对较大。因此，GPU 上下文切换的开销远大于 CPU，传统的上下文切换机制占用的存储带宽将严重影响多任务抢占的性能。

堆叠互连网络结构的负载不均衡问题。 在 2.5 维堆叠异构系统中，传统的方式是在相邻处理器或存储器的四周边缘通过硅中介层进行互连。Enright Jerger 等人提出利用硅中介层大量的连线资源设计 2.5 维片上互连网络。通过上层网络进行一致性协议通信，通过下层网络进行访存通信。然而，我们的实验发现，由于不同类型报文的不均衡性，该方法会导致上下层网络的负载不均衡问题，严重影响整个系统的性能。

我们的研究发现，传统的通过程序员手工调试优化的技术都难以在支持多租户技术数据中心中高效使用。本文针对堆叠异构系统中的上述三大问题，研究对应用透明的硬件或驱动策略，使得堆叠异构系统能够在程序员不修改应用程序的前提之下为这些问题提供高效的解决方案。

1.2 研究内容和主要贡献

1.2.1 研究内容

本文面向堆叠异构系统，研究对应用透明，程序员不感知的优化策略解决上述三大问题，主要包括：

(1) 一种内存超额配置管理策略框架 (ETC)

现代分离式 GPU 支持统一内存技术和按需取页技术。这种在 CPU 和 GPU 内存中自动的数据拷贝管理大大降低了开发者的负担。但是，当应用程序的在线工作数据集超过 GPU 物理内存时，产生的额外数据移动会导致严重的性能损失。

我们提出了一种内存管理框架，采用了一系列对应用和程序员透明的新技术提升内存超额配置下的 GPU 性能。这些技术的主要思想包括掩藏页逐出延迟、降低内存抖动开销、以及增大有效的内存空间。页逐出延迟可以通过主动页逐出技术尽早为将要取进来的数据页腾出空间，掩盖延迟；内存抖动的开销可以通过内存感知的并行度控制策略，动态地在页缺失的时候将 GPU 的并行度降低，缓解内存抖动现象；内存容量压缩技术在不需要增大物理内存容量的前提下使得更大的在线工作数据集能够被内存容纳。我们发现没有任何一种技术对所有类型的应用程序都有效。因此，我们的 ETC 集成了主动页逐出技术、并行度控制策略和内存容量压缩技术到一个管理框架，当内存超额配置时针对应用程序类型动态地选择这些策略的组合，对应用程序透明的提升 GPU 的性能。从这个角度出发，ETC 将应用程序划分为无数据共享的规则应用程序、数据共享的规则应用程序以及不规则的应用程序。

我们进行实验分别实现当前的基准结构、一种具有无限内存大小的理想结构以及我们的设计 ETC。ETC 能够几乎完全消除无数据共享的规则应用程序的内存超额配置开销，使之性能与具有无限内存空间的理想情况类似。我们还发现，相比于当前的基准策略，我们的 ETC 能够将数据共享的规则应用程序和不规则应用程序的内存超额配置开销大大降低。

(2) 一种动态采用检查点备份技术的 GPU 主动抢占策略 (PEP)

无论是空间上的多任务支持还是时间上的多任务支持，GPU 对多任务处理的需求都在不断增加。这要求 GPU 可以随时被抢占，在某一应用程序正在执行的过程中，中断执行并切换上下文到新的应用程序。不同于 CPU，GPU 由于其大量的上下文大小，上下文切换产生的开销非常大。研究人员已经做出了大量工作来降低 GPU 上的抢占开销。例如降低上下文的大小或将上下文切换和执行重叠，同时执行等。而所有之前的这些方法都是被动式的，意味着上下文切换都是在抢占请求到来之后才开始的。

本文提出了一种动态主动的机制来降低抢占的延迟，我们观察到 GPU 内核函数的执行无论是在 CUDA 还是 OpenCL 下都一定是在发射命令只有开始的。因此，抢占请求是可以在其实际到达 GPU 前预期到。我们研究了这一段延迟，并开发了一种预测机制提前进行状态备份。当抢占请求实际到达 GPU 后，我们只需要将相对于上一次状态备份的变化部分再做备份，非常类似于传统的检查点备份技术。我们的设计同时也可以根据 GPU 内核函数在运行过程中的特性动态选择排空执行技术或基于检查点的上下文备份技术。我们进行实验测试，PEP 设计可以有效的降低等待上下文切换产生的停滞延迟。更重要的是，通过我们这种细致的状态备份方法，相比于需要被完整地切换的上下文大小，我们也有效减少需要备份的上下文的大小。

(3) 一种动态延迟感知的 2.5 维堆叠片上网络负载均衡策略 (DLL)

由于三维堆叠技术依然面临着许多的挑战，当前 2.5 维堆叠技术具有更好的应用前景。通过硅中介层的应用，2.5 维堆叠技术可以提供为异构处理器提供更高带宽和更大容量的存储系统。为了满足 2.5 维堆叠芯片的存储系统通信要求，硅中介层上丰富的连线资源可以被利用来开发并实现一套新的网络。但是，2.5 维堆叠片上网络体系结构的性能受到两层网络之间严重的不均衡负载限制，难以发挥出应有的性能。

为了解决这个问题，我们在本文提出了一种动态延迟感知的负载均衡策略。我们的核心想法是通过最近几个报文的平均延迟来检测整个网络层的拥塞程度，根据收集到的数据在每个源节点来进行报文网络层的路由选择。我们利用了硅中介层上的充足的连线资源实现了一个延迟传播环网。这个延迟传播环网使得在目的节点收集到的报文延迟信息能够传输回源节点。我们采用这些信息达到了负载均衡的目标。

我们的实验与无负载均衡策略的基准设计、一种目的节点检测的策略和一种缓存感知的策略进行比较，我们的 DLL 策略均达到了不少的吞吐率提升，同时只产生非常小的开销。

1.2.2 主要贡献

本文系统深入地研究了应用透明策略以提升堆叠异构系统的性能，做出了许多系统开创性的工作，主要创新点如下：

(1) 提出了一种内存超额配置的管理框架

内存超额配置虽然在当前 GPU 中得到了完全支持，但之前的工作没有考虑内存超额配置所带来的严重开销，且内存超额配置的优化工作都需要修改应用程序，难度较大且效果不一定好。本文提出了一种内存超额配置的管理框架，主要贡献包括：1. 据我们所知，这是第一个对 GPU 内存超额配之下的性能开销做深度

分析的工作。我们通过对应用程序访存 **trace** 的分析，找出了不同应用程序类型在 GPU 内存超额配置下出现严重性能损失的不同原因。2. 本研究提出了一种软硬件结合的对应用透明的解决方案，能够显著降低内存超额配之下的性能损失。该方法对程序员不感知，不需要任何应用程序代码的修改。3. 本研究开发了三种内存超额配置的优化策略。我们发现并没有任何一种单一方法能够对所有类型的应用程序都能见效。从这个角度出发，本研究的策略可以用根据访存特性，在线划分应用程序的类别，并为不同类憋的应用程序采用不同的策略组合进行性能优化。

该部分的研究成果发表在系统结构领域的顶级会议第 24 届 ACM 国际编程语言与操作系统的体系结构支持会议 (The 24th ACM International Conference on Architectural Support for Programming Languages and Operating Systems, ASPLOS-19) 上。

(2) 提出了一种动态采用检查点备份技术的 GPU 主动抢占策略

GPU 中的多任务抢占开销非常大，这是由于相对于 CPU，GPU 的上下文较多，需要备份的上下文数据较大。传统的抢占方案都采用了被动方法，即抢占请求到来时才开始上下文切换。本文开创性的采用了主动抢占方法，提出了一种动态采用检查点备份技术的 GPU 主动抢占策略，主要贡献包括：1. 研究了 GPU 内核函数的额发射工程，观察到抢占请求可以被提前预测到。2. 本研究引入了一种主动的抢占技术来减少抢占内核函数等待上下文切换的时间。通过采用检查点备份技术，当时机抢占请求到来时，只有一小部分更新的上下文需要被存储。3. 本研究使用了一种相对简单的更新数据村粗技术来减少上下文大小，这可以减少不必要的上下文存储开销。4. 本研究开发了一种相对更加精确的线程块执行时间和上下文切换时间的估算方法，设计了实时动态选择算法来确定时机采用的抢占方法。我们可以分别完成长短内核函数的抢占，并使之达到最短延迟和最小开销。

该研究的部分成果发表在了计算机辅助设计领域顶级会议第 55 届设计自动化国际会议 (The 55th Design Automation Conference, DAC-18) 上，完整内容发表在了体系结构旗舰期刊 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 上。

(3) 提出了一种动态延迟感知的 2.5 维堆叠片上网络负载均衡策略

2.5 维堆叠片上网络作为一种全新的网络结构目前的研究还不多。由于其特有的网络通信特征，传统的多层网络结构以及三维堆叠片上网络方法难以直接应用到 2.5 维堆叠片上网络结构上。本研究发现之前的 2.5 维片上网络研究未考虑到均衡负载的问题。针对该问题，本文研究了一种动态延迟感知的 2.5 维堆叠片上网络负载均衡策略，主要贡献包括：1. 本研究评估并分析了 PARSEC 测试集的通信琉璃，发现 2.5 维堆叠片上网络的通信琉璃在两个网络层极不公平。2. 本研究分析了当前负载均衡策略的缺点。缓存感知的方法无法获取去全局网络的拥塞情

况；当前的延迟感知方法不能准确地检测全局拥塞状态。3. 本研究设计了一个多链路无阻塞环网，通过该环网，将目的节点收集的拥塞信息传输回源节点用于网络选择。

该部分的研究成果发表在了第 34 届国际计算机设计会议（The 34th IEEE International Conference on Computer Design, ICCD-16）上。

1.3 研究框架概述

本文研究了堆叠异构系统的三大问题，包括异构系统的内存墙问题、多任务调度的抢占问题、以及堆叠互连网络的负载均衡问题。本文提出了三种对应用透明的软硬件策略，能够有效解决堆叠异构系统的这三大问题，使其缓解内存超额配置带来的严重性能损失、降低堆叠异构系统多任务调度的高上下文切换延迟、以及均衡堆叠互连网络的负载等。这些应用透明策略均在模拟器中得到了有效验证。

1.4 论文组织结构

第二章 研究背景

2.1 堆叠系统

如今先进的三维堆叠芯片系统结构由于其在减少连线长度方面的天然优势，为减小未来芯片互连延迟和开销提供了非常有效的解决方案。三维堆叠存储器的出现，能够为异构处理器提供更高的访存带宽，解决存储墙问题。堆叠系统的这些优势使得我们有了许多为未来处理器体系结构提供创新设计的机会。

2.1.1 三维堆叠集成

三维堆叠封装技术属于最早的三维堆叠技术，是一种相对成熟的技术，已经在工业界得到了广泛应用。三维堆叠封装技术通过系统内集成封装（System-in-package, SiP）或封装内封装（Package-on-package, PoP）技术将多个芯片垂直堆叠在一个基板上封装在一起，或者将多个封装号的芯片堆叠起来。目前已经出现了许多成熟的采用三维封装技术的产品，包括在 iPhone6 中开始采用的 Apple A8 处理器，将一个包含封装的双核 CPU 和 4 核 GPU 的处理器和一个 1GB 大小的 LPDDR3 DRAM 封装的存储器采用 PoP 技术封装在一起。三维堆叠封装技术不要求在处理器结构和设计方法学上面做太大修改，因为这些技术的主要目标是为了节省空间，芯片之间的通信仍然通过片外信号完成，因此无论是连接性和延迟都没有任何优势。

不同于三维堆叠封装技术，三维堆叠集成技术则是一种新兴技术。三维堆叠集成技术将两或多层有源器件层，即 CMOS 晶体管层，在垂直方向上集成到一个芯片上。堆叠芯片的层间提供了大量的互连资源，因此这种革命性的系统结构创新要求在设计方法学上的改变。三维堆叠集成技术也可以分为两类：一类是单晶堆叠方法（Monolithic Approach），该方法在单一晶元上完成三维集成电路所有的设计制作流程，最后将其切成晶粒。该方法只需要一个衬底，无需对准、削薄、粘接等流程。另一类则是普通的堆叠方法，可以进一步被划分为 wafer-to-wafer、die-to-wafer、和 die-to-die 等方法。这些方法都是在分别制造每一层的芯片，最后被组装粘接组成三维堆叠芯片。不同于复杂的单晶堆叠方法，不要求全新的设计制造技术，相对更加实际，也是三维集成电路技术的研究重点。

相比于传统的集成电路技术，三维堆叠集成技术具有非常多的优势，我们从线长缩短、高访存带宽、异构集成和低成本四个角度介绍三维堆叠集成技术的优势：

线长缩短。芯片的全局连线延迟并没有按照摩尔定律的速度不断缩短，如今不断增加的全局连线延迟已经成为阻碍性能持续增长的重要原因之一。三维堆叠集成技术能够有效克服全局连线延迟的瓶颈，为集成电路性能持续发展提供了解决方案。连线长度的缩减主要带来两方面巨大优势：延迟和功耗降低。延迟的降低是由于平均线长和关键路径的缩短，而总线长的缩短也自然使得功耗大大降低。

高存储带宽。如今，如何为具有大量计算单元的 GPU 等异构处理器及时提供足够的数据已成为限制性能提升的重大挑战，因此提供高访存带宽尤为重要。传统的片外存储单元由于受到 I/O 引脚的限制，难以提供足够的访存带宽。三维堆叠集成技术作为一种解决方案能为未来的微体系结构设计，特别是多核和众核处理器，解决互连瓶颈、消除“存储墙”问题。通过将存储器堆叠在处理器芯片上，利用 TSVs 带来的通信优势提供远高于二维结构的通信带宽。

异构集成。三维堆叠集成技术为未来的体系结构设计提供了新的机会，即能够新的维度进行设计空间探索。特别是异构集成能力，让我们从全新的角度研究系统结构的设计。三维堆叠集成技术支持异构集成是由于其每一层都可以分开制造，不同的层也可以采用不同的工艺。甚至可以在处理器层上堆叠光设备层、非易失性存储层或者是相变存储层，以实现高效异构系统结构。这异构集成的实现可以为集成电路和芯片设计提供巨大的灵活性以满足性能、功耗和可靠性等要求。

低成本。随着集成电路规模不断增大，芯片的面积不断增大。但是由于缺陷密度相对恒定，较大的芯片晶粒大小意味着相对较低的良率。而将多个较小的晶粒堆叠成一个相对较大规模的处理器增获得较高的良率，即使三维堆叠集成由于额外的制造复杂度可能会降低一定的良率。另一方面，半导体集成电路的缩减也逐渐达到物理极限，继续缩减不但困难，成本也非常高。因此三位堆叠集成技术潜在地提供了一种相比于传统集成电路更低成本的解决方案。

虽然三维堆叠集成技术带来了巨大的性能优势和在系统结构设计的机会，但在其广泛应用到未来的计算机系统前仍然需要解决几个重要的挑战：

热问题。功耗和热问题在传统的二维集成电路设计中已经成为一个重要的问题。虽然三维堆叠集成技术相对于二维集成电路来说有许多的优势，然而将多个有源器件层堆叠起来大大增加了功耗密度，使得热问题进一步恶化，导致芯片温度升高。芯片温度的升高又会反过来影响电路性能，如互连延迟会由于晶体管温度的升高而延长、静态功耗与温度是指数级依赖关系、温度升高还会导致热逃逸问题，此外，温度的升高会降低可靠性问题。

设计工具和方法学。如果没有辅助设计工具和方法学的支持，三维堆叠集成技术不可能商用化。给定设计目标，高效的辅助设计工具和方法学可以帮助体系

结构和电路设计者权衡三维堆叠电路在性能、功耗和开销。相比于传统的二维集成电路，三维堆叠集成电路需要全新的布局规则，例如 TSV 布局、功耗计划等等。高效的辅助设计工具还能够帮助分析热问题，在布局布线设计中避免热点区域的产生。

测试问题。在三维堆叠集成设计中，不同的测试策略和集成方法都可以严重影响系统的性能、功耗和开销问题。三维堆叠集成电路技术目前没有广泛商用的另一个原因就是测试能力不足和缺乏面向三维堆叠集成技术的可测性设计技术。如果没有在设计阶段考虑好测试问题，高效的三维集成测试是不可能的。现在的三维堆叠集成测试上，一方面现在的探测技术不能够对所有的 TSV 进行探测；另一方面，测试过程很容易损坏被削薄的晶圆。

2.1.2 基于硅中介层的 2.5 维堆叠

2.2 GPU 架构与编程模型

2.2.1 GPU 架构

2.2.2 GPU 编程模型

2.3 异构系统的策略优化

2.3.1 软件策略优化

2.3.2 硬件策略优化

第三章 一种 GPU 内存超额配置的管理框架

3.1 研究背景

3.2 相关工作

3.3 研究动机

3.4 设计

3.5 实验验证

3.6 本章小结

第四章 一种动态采用检查点备份技术的 GPU 主动抢占策略

4.1 研究背景

4.2 相关工作

4.3 研究动机

4.4 设计

4.5 实验验证

4.6 本章小结

第五章 一种动态延迟感知的 2.5 维堆叠片上网络负载均衡策略

5.1 研究背景

5.2 相关工作

5.3 研究动机

5.4 设计

5.5 实验验证

5.6 本章小结

第六章 总结

6.1 本文的主要贡献

6.2 未来工作

6.3 结束语

致 谢

衷心感谢导师 xxx 教授和 xxx 副教授对本人的精心指导。他们的言传身教将使我终生受益。

感谢 NUDTPAPER，它的存在让我的论文写作轻松自在了许多，让我的论文格式规整漂亮了许多。

参考文献

- [1] Hennessy J L, Patterson D A. Computer architecture: a quantitative approach [M]. Elsevier, 2011.
- [2] Dennard R H, Gaensslen F H, Rideout V L, et al. Design of ion-implanted MOS-FET's with very small physical dimensions [J]. IEEE Journal of Solid-State Circuits. 1974, 9 (5): 256–268.
- [3] Hameed R, Qadeer W, Wachs M, et al. Understanding sources of inefficiency in general-purpose chips [C]. In ACM SIGARCH Computer Architecture News. 2010: 37–47.
- [4] Jouppi N P, Young C, Patil N, et al. In-datacenter performance analysis of a tensor processing unit [C]. In 2017 ACM/IEEE 44th Annual International Symposium on Computer Architecture (ISCA). 2017: 1–12.

作者在学期间取得的学术成果

发表的学术论文

- [1] Yang Y, Ren T L, Zhang L T, et al. Miniature microphone with silicon- based ferroelectric thin films. *Integrated Ferroelectrics*, 2003, 52:229-235. (SCI 收录, 检索号:758FZ.)
- [2] 杨轶, 张宁欣, 任天令, 等. 硅基铁电微声学器件中薄膜残余应力的研究. *中国机械工程*, 2005, 16(14):1289-1291. (EI 收录, 检索号:0534931 2907.)
- [3] 杨轶, 张宁欣, 任天令, 等. 集成铁电器件中的关键工艺研究. *仪器仪表学报*, 2003, 24(S4):192-193. (EI 源刊.)
- [4] Yang Y, Ren T L, Zhu Y P, et al. PMUTs for handwriting recognition. In press. (已被 *Integrated Ferroelectrics* 录用. SCI 源刊.)
- [5] Wu X M, Yang Y, Cai J, et al. Measurements of ferroelectric MEMS microphones. *Integrated Ferroelectrics*, 2005, 69:417-429. (SCI 收录, 检索号:896KM.)
- [6] 贾泽, 杨轶, 陈兢, 等. 用于压电和电容微麦克风的体硅腐蚀相关研究. *压电与声光*, 2006, 28(1):117-119. (EI 收录, 检索号:06129773469.)
- [7] 伍晓明, 杨轶, 张宁欣, 等. 基于 MEMS 技术的集成铁电硅微麦克风. *中国集成电路*, 2003, 53:59-61.

研究成果

- [1] 任天令, 杨轶, 朱一平, 等. 硅基铁电微声学传感器畴极化区域控制和电极连接的方法: 中国, CN1602118A. (中国专利公开号.)
- [2] Ren T L, Yang Y, Zhu Y P, et al. Piezoelectric micro acoustic sensor based on ferroelectric materials: USA, No.11/215, 102. (美国发明专利申请号.)

附录 A 模板提供的希腊字母命令列表

大写希腊字母:

Γ \Gamma	Λ \Lambda	Σ \Sigma	Ψ \Psi
Δ \Delta	Ξ \Xi	Υ \Upsilon	Ω \Omega
Θ \Theta	Π \Pi	Φ \Phi	
Γ \varGamma	Λ \varLambda	Σ \varSigma	Ψ \varPsi
Δ \varDelta	Ξ \varXi	Υ \varUpsilon	Ω \varOmega
Θ \varTheta	Π \varPi	Φ \varPhi	

小写希腊字母:

α \alpha	θ \theta	\omicron \omicron	τ \tau
β \beta	ϑ \vartheta	π \pi	υ \upsilon
γ \gamma	ι \iota	ϖ \varpi	ϕ \phi
δ \delta	κ \kappa	ρ \rho	φ \varphi
ϵ \epsilon	λ \lambda	ϱ \varrho	χ \chi
ε \varepsilon	μ \mu	σ \sigma	ψ \psi
ζ \zeta	ν \nu	ς \varsigma	ω \omega
η \eta	ξ \xi	\kappaappa \kappaappa	\digamma \digamma
α \upalpha	θ \uptheta	o \mathrm{o}	τ \uptau
β \upbeta	ϑ \upvartheta	π \uppi	υ \upupsilon
γ \upgamma	ι \upiota	ϖ \upvarpi	ϕ \upphi
δ \updelta	κ \upkappa	ρ \uprho	φ \upvarphi
ϵ \upepsilon	λ \uplambda	ϱ \upvarrho	χ \upchi
ε \upvarepsilon	μ \upmu	σ \upsigma	ψ \uppsi
ζ \upzeta	ν \upnu	ς \upvarsigma	ω \upomega
η \upeta	ξ \upxi		

希腊字母属于数学符号类别, 请用\bm 命令加粗, 其余向量、矩阵可用\mathbf。