

Lab 1

學號: 109062202

姓名: 陳禹辰

1. 實作過程

lab1_1 就照著給的 template 基本上就完成了。用 combination block 讓他在 dir 有改變的時候觸動 always block 在 dir = 0 的時候向左 shift，在 dir = 1 的時候向右 shift，並將結果透過 d 來輸出。

```
lab1_1.v
1  `timescale 1ns/100ps
2
3  module lab1_1 (a, b, dir, d);
4      input [3:0] a;
5      input [1:0] b;
6      input dir;
7      output reg [3:0] d;
8
9      always @(*) begin
10         if(dir == 0) d = a << b;
11         else d = a >> b;
12     end
13 endmodule
```

而 lab1_2 則是要將 lab1_1 的東西拿來用，用 module instantiation 呼叫 lab1_1 以及 aluctr[0] 做 dir 的輸入，然後把 lab1_1 的 output 用到 wire shi 上，用跟 lab1_1 一樣的做法讓他在 aluctr 有改變時觸動 always block，在 aluctr = 00 跟 01 的時候做 shift，在 aluctr = 10 或 11 時做加減法運算。

```
lab1_2.v
1  `timescale 1ns/100ps
2
3  module lab1_2 (a, b, aluctr, d);
4      input [3:0] a;
5      input [1:0] b;
6      input [1:0] aluctr;
7      output reg [3:0] d;
8      wire [3:0] shi;
9
10     lab1_1 shifter(.a(a), .b(b), .dir(aluctr[0]), .d(shi));
11
12     always @(*) begin
13         if(aluctr == 2'b00) begin
14             d = shi;
15         end else if (aluctr == 2'b01) begin
16             d = shi;
17         end else if (aluctr == 2'b10) begin
18             d = a + b;
19         end else begin
20             d = a - b;
21         end
22     end
23 endmodule
```

2. 學到的東西與遇到的困難

學會 **vivado** 的基本操作，分辨 **wire** 跟 **reg** 的差別。遇到的困難是第一次使用 **vivado** 花了比較多時間在熟悉操作，如何建立 **project** 如何 **add** 檔案等等，但是熟悉之後就比較沒有什麼太大的困難。

3. 想對老師或助教說的話

預錄的 **verilog** 影片提供很大的幫助，可以讓我更清楚的了解 **verilog** 的概念及理念，目前的上課內容較多是在講解預錄影片的內容或是講解 **lab** 的操作，較沒有什麼太大的問題。

附上笑話

