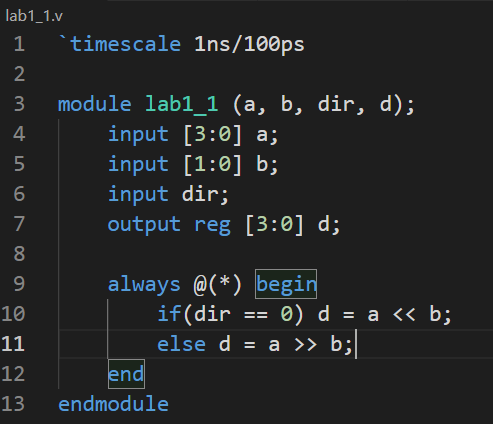
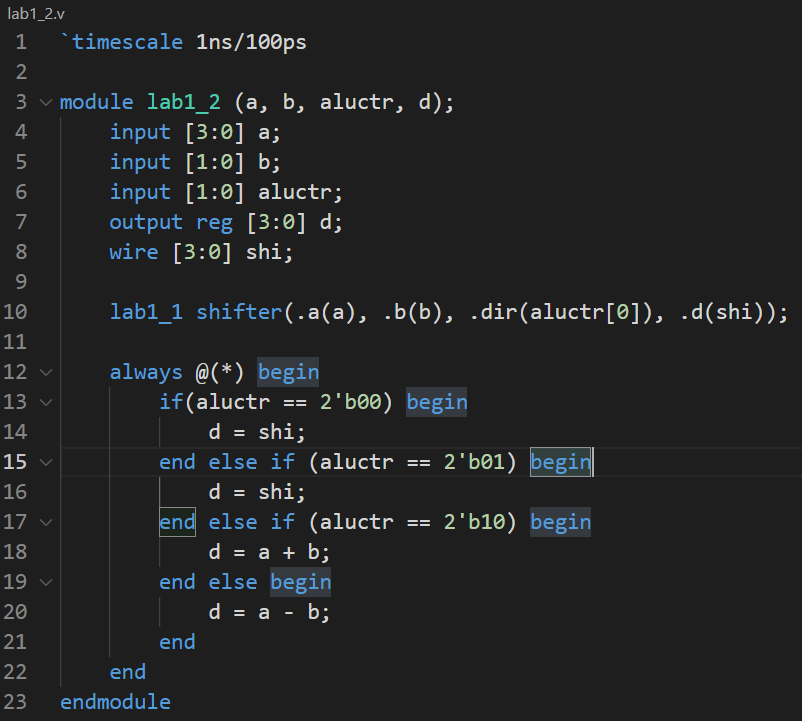
|  |  |
| --- | --- |
| **Lab 1** | |
| 學號: 109062202 | 姓名: 陳禹辰 |

1. 實作過程

Lab1\_1就照著給的template基本上就完成了。用combination block讓他在dir有改變的時候觸動always block在dir = 0的時候向左shift，在dir = 1的時候向右shift，並將結果透過d來輸出。



而lab1\_2則是要將lab1\_1的東西拿來用，用module instantiation呼叫lab1\_1以及aluctr[0]做dir的輸入，然後把lab1\_1的output用到wire shi上，用跟lab1\_1一樣的做法讓他在aluctr有改變時觸動always block，在aluctr = 00跟01的時候做shift，在aluctr=10或11時做加減法運算 。



1. 學到的東西與遇到的困難

學會vivado的基本操作，分辨wire跟reg的差別。遇到的困難是第一次使用vivado花了比較多時間在熟悉操作，如何建立project如何add檔案等等，但是熟悉之後就比較沒有什麼太大的困難。

1. 想對老師或助教說的話

預錄的verilog影片提供很大的幫助，可以讓我更清楚的了解verilog的概念及理念，目前的上課內容較多是在講解預錄影片的內容或是講解lab的操作，較沒有什麼太大的問題。

附上笑話

