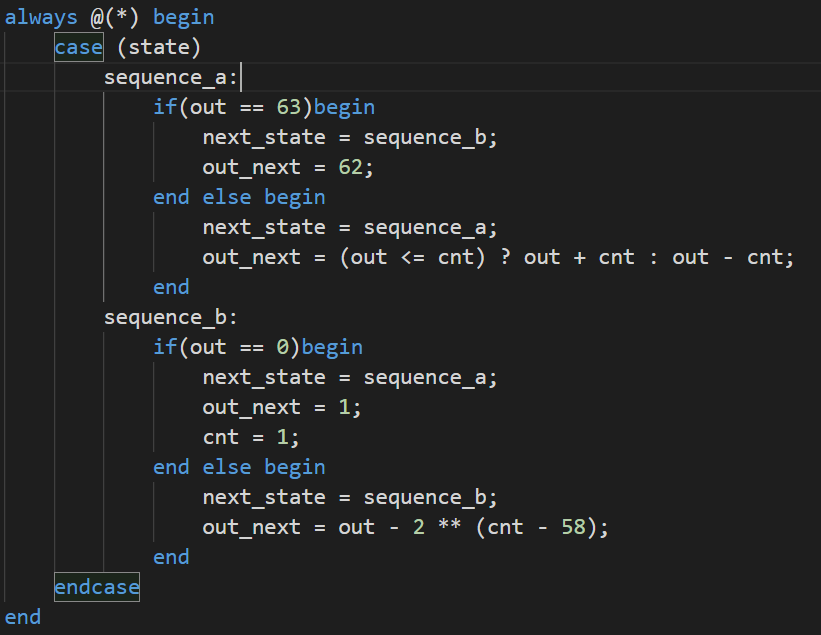
|  |  |
| --- | --- |
| **Lab 1** | |
| 學號: 109062202 | 姓名: 陳禹辰 |

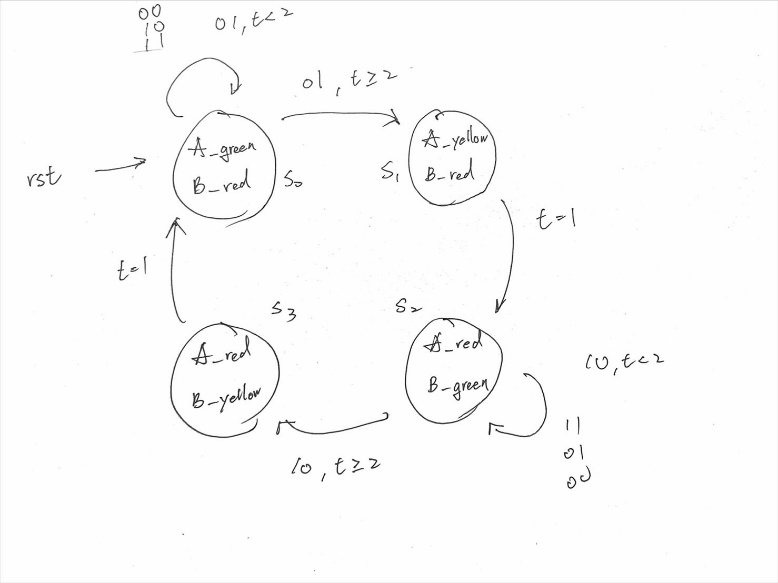
1. 實作過程

Lab2\_1：



Lab2\_1我是用FSM的方法去寫，分成兩個state，分別是sequence\_a代表從0到63跟sequence\_b從63到0，然後在用sequence block讓他在每個posedge時觸動，將out\_next assign到out上。Lab2\_1的testbench我則是讓他在向上數時rst一次然後就讓counter一直跑了。

Lab2\_2：



Lab2\_2我則是設計有四個state，分別代表A綠燈B紅燈、A黃燈B紅燈、A紅燈B綠燈、A紅燈B黃燈四種，然後再透過輸入來判斷什麼時候要換state並在每個posedge時將下一個state輸入，做法跟lab2\_1差不多。

1. 學到的東西與遇到的困難

遇到的困難是如果設計的FSM將輸出直接寫到combination block內然後又用input來判斷什麼時候要換state，那在input有改變時，就有可能連帶影響到output也跟著改變，所以我後來改成在posedeg時才判斷state的變化，但感覺應該是可以再多寫一個always block來把事情分開做。這次是學到了FSM如何用verilog設計，以及counter的設計及應用。

1. 想對老師或助教說的話

這次因為是兩周用兩個lab，再加上lab1的難度其實不高，所以在時間上還蠻充裕的，能夠花足夠的時間處理並找到問題。

附上笑話

