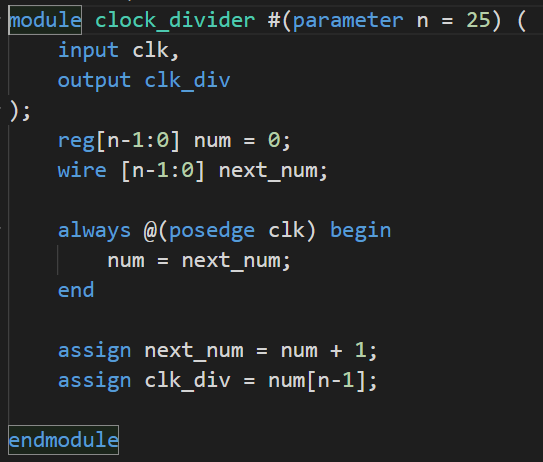
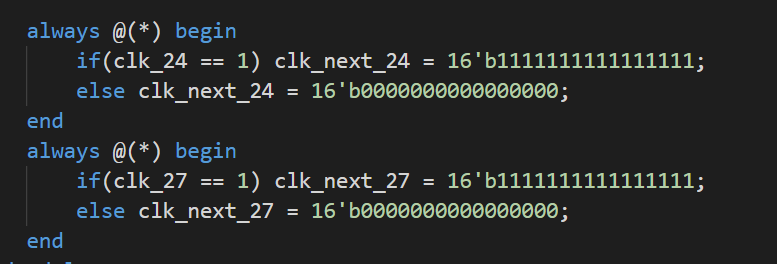
|  |  |
| --- | --- |
| **Lab 1** | |
| 學號: 109062202 | 姓名:陳禹辰 |

1. 實作過程

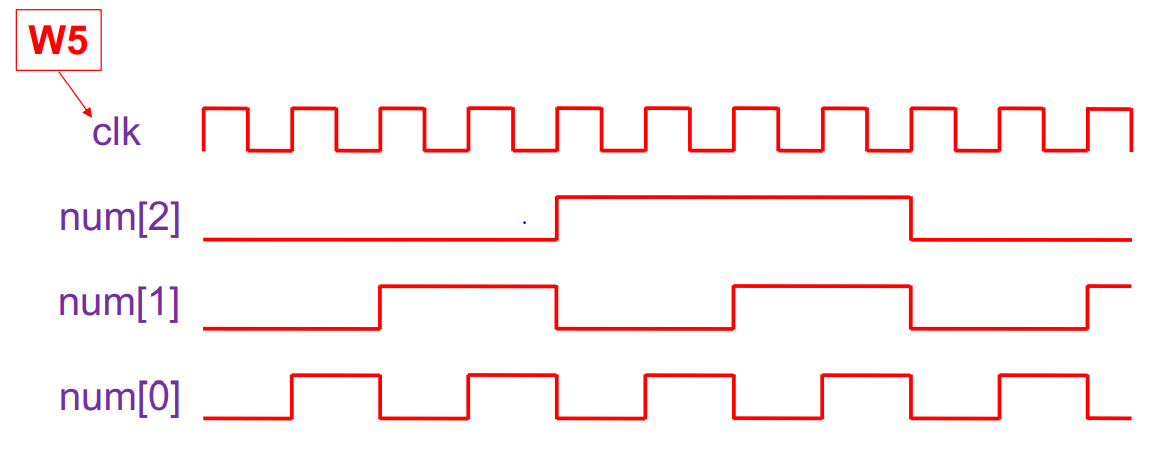
Lab3\_1：

在看完題目之後其實一開始不是很懂clock\_divider是在做什麼怎麼運作的，後來去翻了老師的上課講義才知道這個東西是在幹嘛的，然後就照著講義給的template去打，不同的是講義內的是3bit，而lab內需要的則是有好幾種，所以就設一個parameter，就可以在呼叫時更改。

接著就開始做lab3\_1，我在這部分沒有遇到什麼太大的困難，主要要解決的就是會有兩種閃爍的速度，在speed = 0 時會比較快而speed = 1時則會較慢。我是在額外開兩個always block去跑這兩個額外的速度，然後在posedge時判斷speed是0還是1而決定要呼叫哪個。

這邊主要要考慮的點是要怎麼判斷怎麼閃爍，因為是要在(100MHz/2^27)下每個clock閃爍，

所以我就讓他在(100MHz/2^28)下如果clk是1就亮是0就暗，就會符合要求了，但我寫report的時候才想到，好像其實判斷每個posedge就可以實現了…。

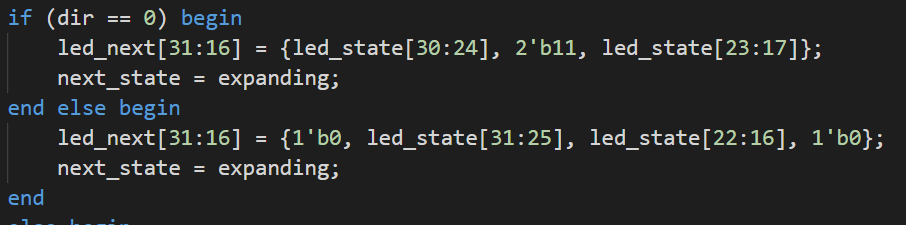


Lab3\_2：

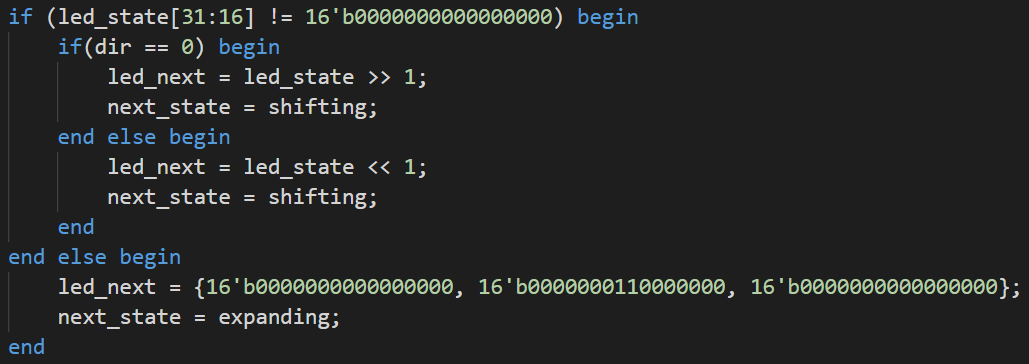
3\_2的部分我就遇到蠻多困難的。我先是看完題目後設計我的FSM，我是設計有四個state，分別是rst用的全亮的state、flashing state、shifting state、expanding state這四種，然後完成之後我就直接去跑合成了結果在generate bitstream的時候就出錯了，於是我就先把state裡面的判斷全部拿掉直接assign燈藥量哪幾顆，結果就發現不能直接把led(output)放在combinational block裡面，所以我就額外設了led\_state跟led\_next來跑，然後在sequential block裡面再把led\_state assign到led上，就發現能成功了。

還有一些問題也造成我在generate bitstream的時候造成錯誤，if else內的東西要對稱或是不能在等號的左右兩邊出現一樣的東西，然後我最後找最久的一個bug是我沒有更新到project內的constriants所以找不到dir這個input要對應的東西。但也算是讓我更了解在打verilog時該注意的東西。

除了generate bitstream會失敗之外，我也有遇到一些寫出來之後沒有符合題意的問題，一個是expanding該如何操作，這部分我是詢問了朋友的意見所以才打成這樣，我覺得還蠻厲害的，至少我當初是想不到可以這樣寫。我寫Expanding的方法就是在dir = 0 時要向外擴張，所以就把中間的往外移然後在中間補2個1，dir = 1時則是向內縮減，所以就把中間的兩個bit移除掉把兩邊併起來然後在最左跟最右補上0。



Shifting則是在dir = 0時向右移在dir = 1時向左移，但是我在shifting遇到的問題就是要讓燈不會在shift後被吃掉，我處理這個問題的方法是在led\_state的左右都開一個16bit的來儲存移過去兩邊的燈，然後要在state change 跟 rst的時候要記得把它歸零，不然可能在下一次進shifting時就會有可能不止八個燈。



1. 學到的東西與遇到的困難

遇到的困難在上面都打得差不多了，主要是這次是第一次要燒到板子上，然後每次跑完synthesis跟implementation結果在最後產生bitstream都出錯就很讓人崩潰，我大概重複了好幾十次這個過程，還多開了一個檔案來試，每次多加一點東西，來確認到底問題出在哪邊，後來發現這樣子寫code也比較方便確認哪邊會出問題之類的，其實還蠻方便的，我還問了一堆朋友想要幫忙debug，結果後來都是發現自己太白癡像是constraints沒有更新到之類的。

1. 想對老師或助教說的話

謝謝助教辛苦幫忙demo還有老師辛苦上課。

附上笑話：

什麼東西可以攔截電子？

.

.

.

.

.

紅橙黃綠(藍靛紫)