Final Project

111 學年度第 2 學期

資訊二甲 第三組

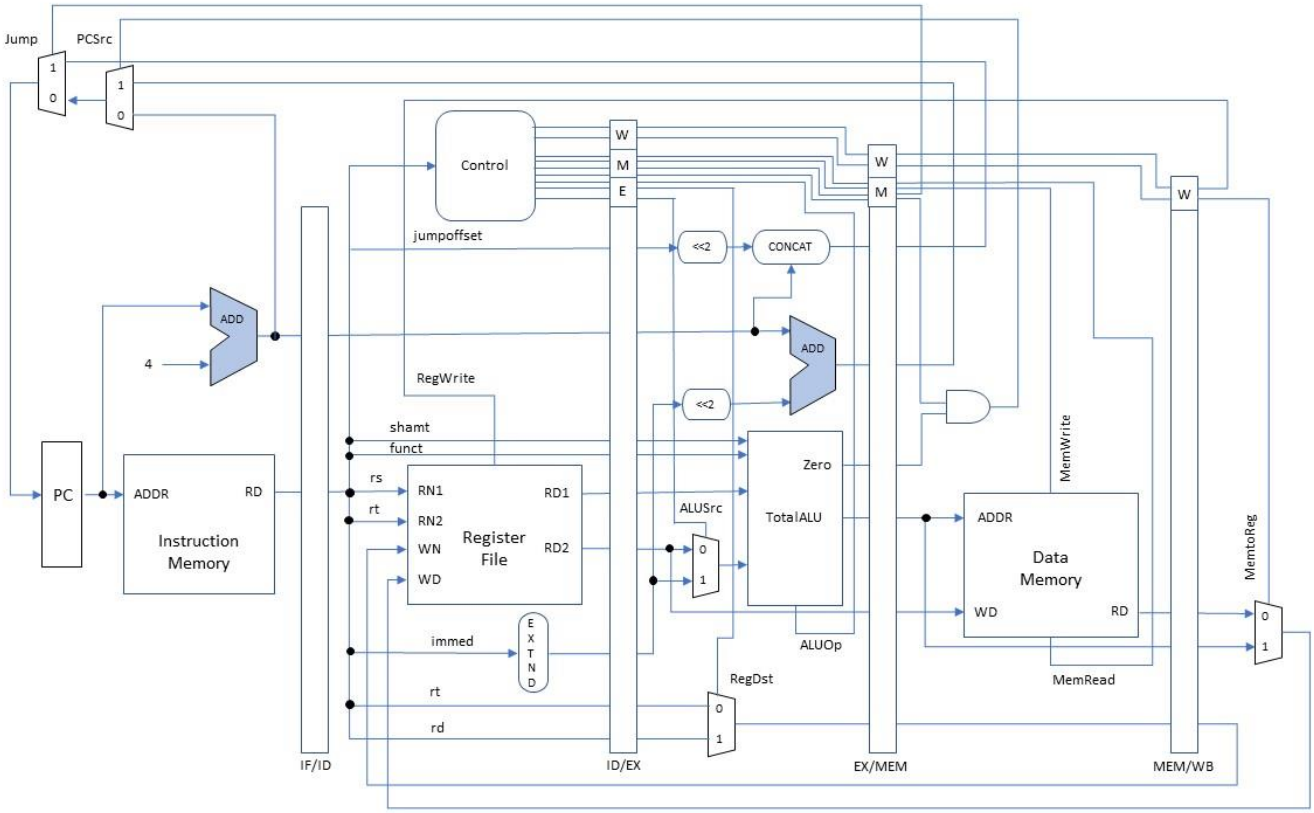
11027108 呂庭瑋

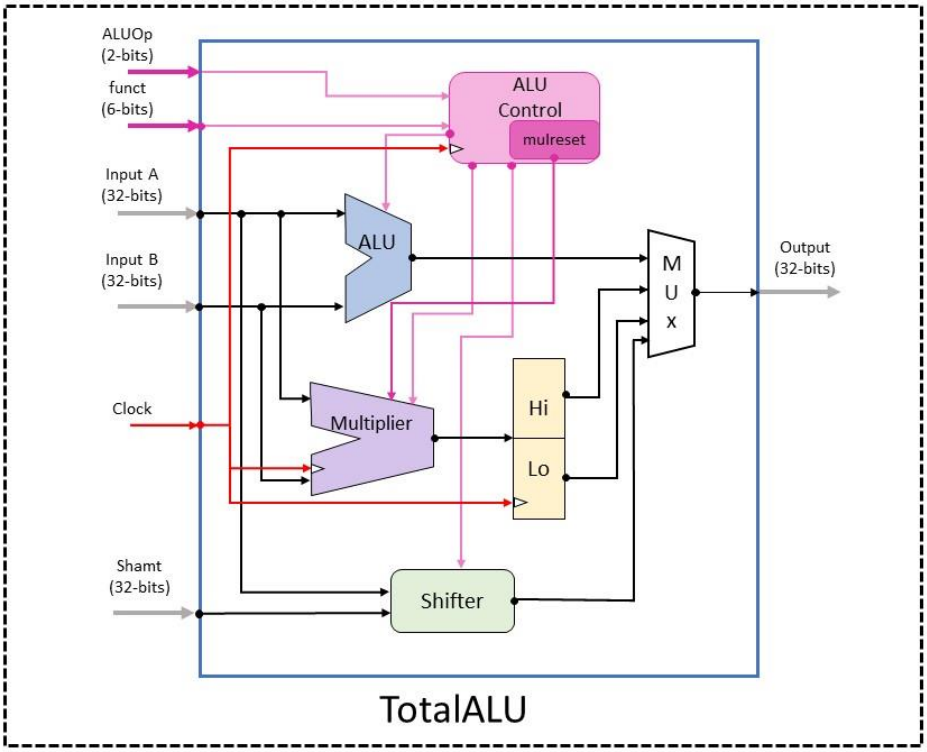
11027109 吳昀蔚

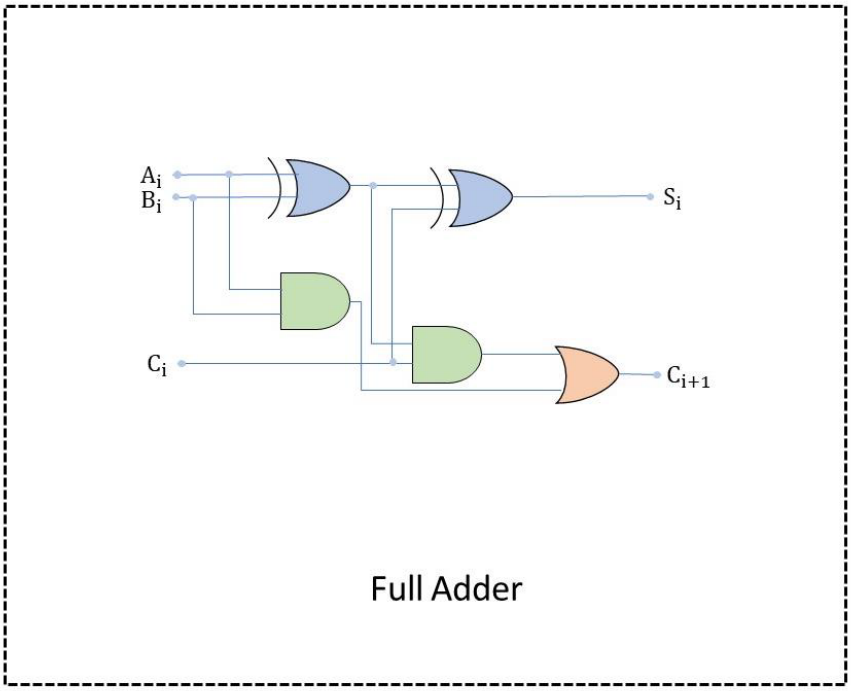
11027128 梁芷菘

11020136 鄭絜馨

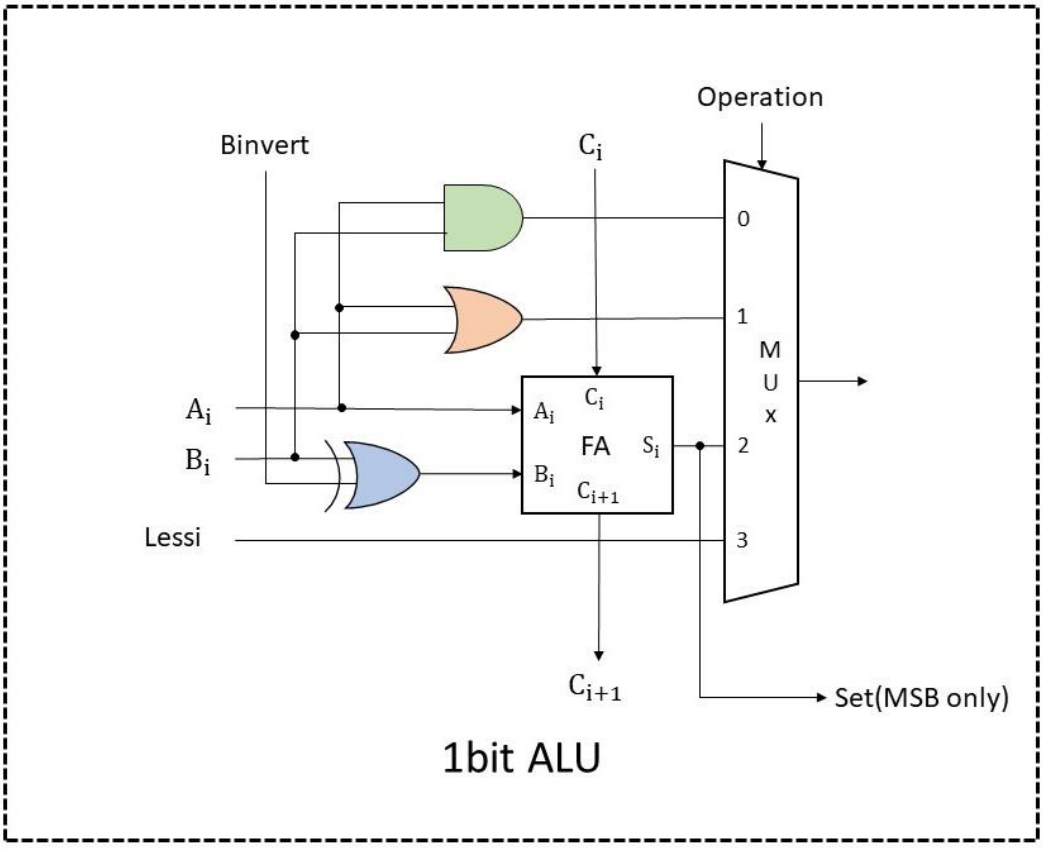
一、Datapath 與詳細架構圖



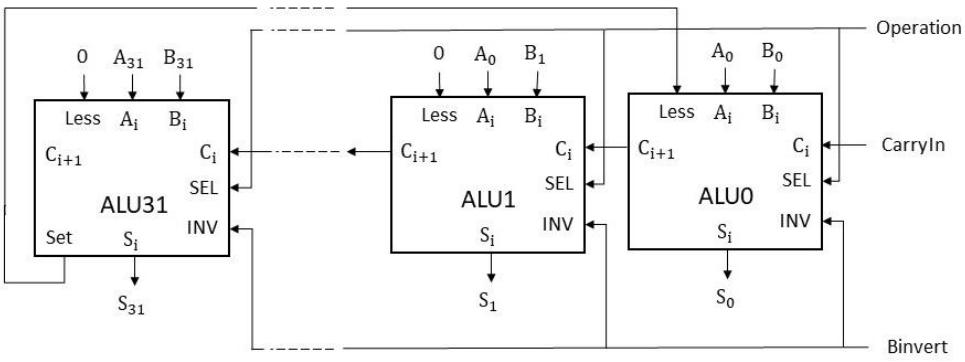




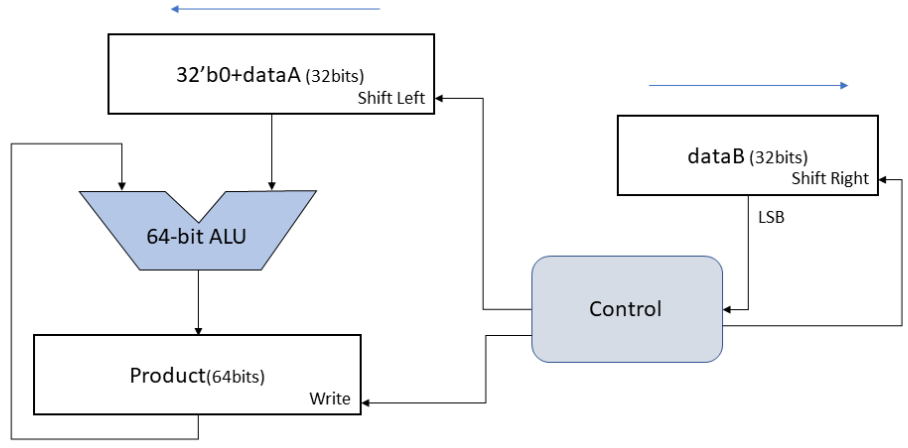
Full Adder



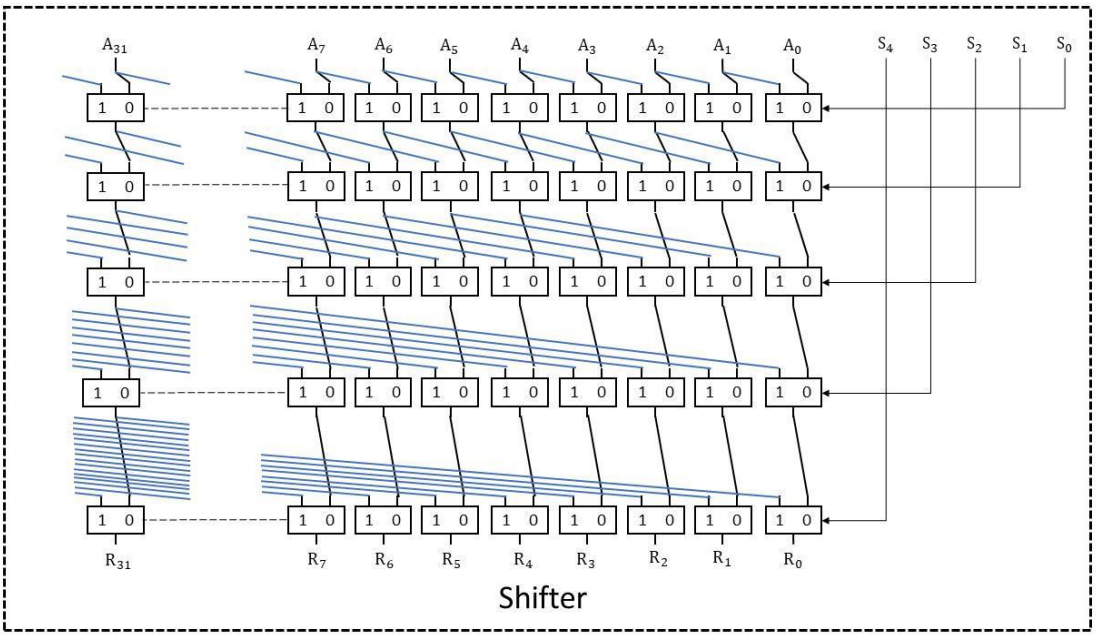
1bit ALU



32bit ALU



Multiplier



二、設計重點說明

1. ALU.v

包括 32-bit AND、OR、ADD、SUB 和 SLT 功能。先設計出 Full Adder 與 1-bit ALU 後以 Ripple-Carry 的方式連接 32 個 1-bit ALU，成為一個 32-bit ALU。

2. ALUBitSlice.v

在 ALU 呼叫 32 次 ALUBitSlice 讓每一 bit 都進行 alu 運算，最後再將最終結果 assign 給 result。

3. ALUControl.v

負責傳遞 singal 的訊號給 ALU 相關 datapath 進行操作，並設置 ALUOperation，讓 alu 接續進行加減法等運算。

4. contorl_pipeline.v

根據不同指令解碼，產生相對應的控制訊號。

5. mips_pipeline.v

主要在負責訊號傳遞、接線的工作，分別把四個 gate 出來的值傳入下一個要執行的 module，是這次 final 算複雜的部份之一，只要有地方不小心接錯，waveform 可能就會出現 x。

6. Multiplier.v

以不使用迴圈的方式來完成 32bits 的 First Version Sequential Multiplier，第一步，判斷是否需要歸零，接著判斷乘數的第 0 個 bit 是 0 或 1，如果是 1 就將被乘數的值加到 prod 裡，並將被乘數、乘數分別位移，進行完 32 次後結束。

7. Shifters.v

不使用位移完成 32 bits 的 Barrel Shifter，主要使用二對一多工器來完成將 32bits 分成五層(1、2、4、8、16)，一層位移完的結果傳給下一層進行下一層的位移。

8. IF_ID.v

if_id 傳入的訊號有 clk, rst, pc_incr, opcode, rs, rt, rd, shamt, funct, jump 等多個從 instruction memory fetch 出的值及控制訊號。

當 clk 敲起，rst 值是 1 時進行各值的初始化。

9. ID_EX.v

id_ex 傳入的訊號有控制訊號、從 if_id 輸出的訊號、從 register file 讀取到的 rfile_rd1、rfile_rd2 等。

當 clk 敲起，rst 值是 1 時進行各值的初始化。

10. EX_MEM.v

ex_mem 傳入的訊號有控制訊號、從 id_ex 輸出的訊號(rfile_rd2_id_out)、alu 運算結果等。

當 clk 敲起，rst 值是 1 時進行各值的初始化。

11. MEM_WB.v

Mem_wb 傳入的訊號有控制訊號、從 ex_mem 輸出的訊號等。

當 clk 敲起，rst 值是 1 時進行各值的初始化。

三、 Modelsim 驗證結果

執行結果是根據 instr_mem.txt 讀到的指令做該指令需要用到的訊號以及 datapath 做出結果輸出。

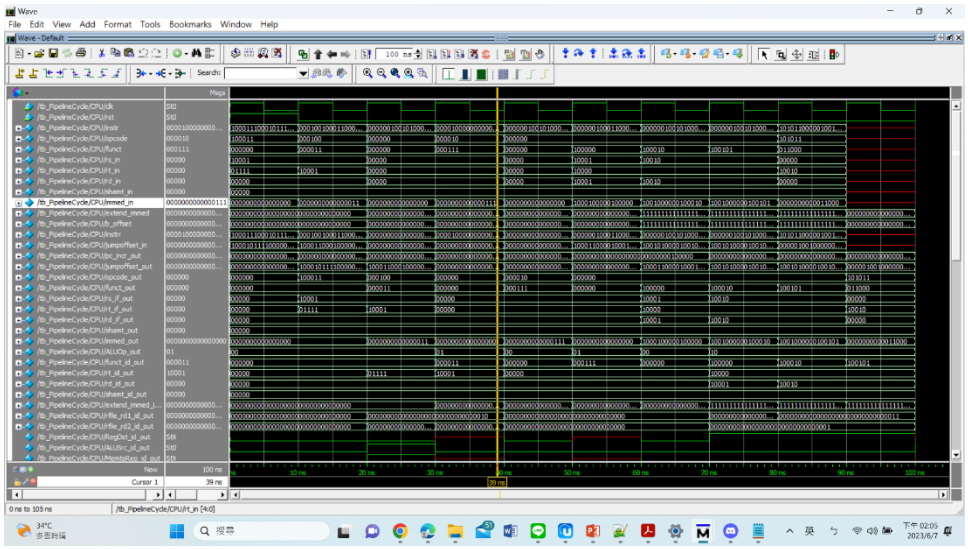
(instr_mem.txt)

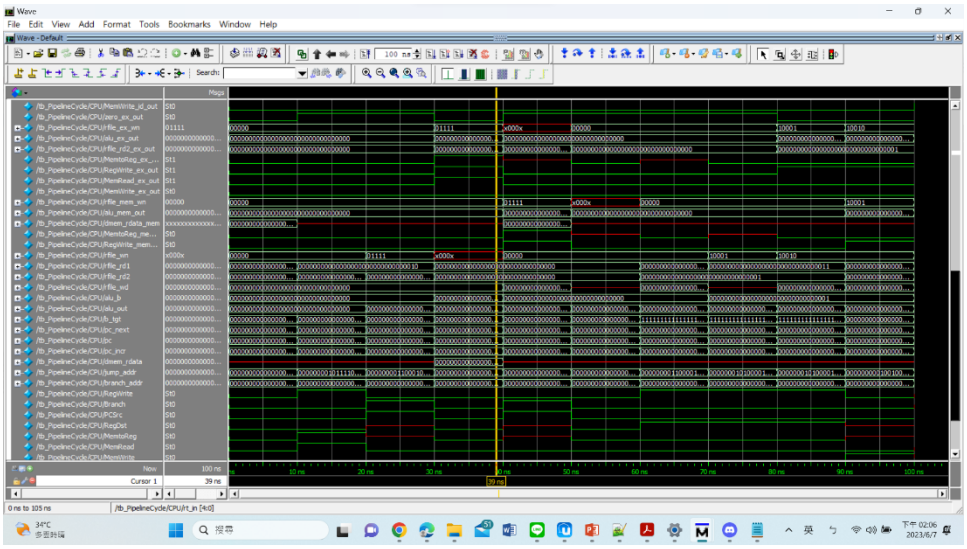
```
// lw   $s1, $t7, 0
00
00
2F
8E
// beq  $s1, $s2, 3
03
00
31
12
// add  $s2, $s0, $s2
20
90
50
02
// sub  $s2, $s0, $s2
22
90
50
02
// add  $s1, $s0, $s1, 0
20
88
30
02
// j    7
07
00
00
08
```

```
// or   $s2, $s0, $s2
25
90
50
02
// add  $s1, $s0, $s1, 0
20
88
30
02
// sub  $s2, $s0, $s2
22
90
50
02
// or   $s2, $s0, $s2
25
90
50
02
// sw   $zero, $s2, 24
18
00
12
AC
```

四、Waveform 輸出圖形

CPU waveform 用 pipeline 做 add, sub, lw, sw, beq, j 等指令





五、心得感想

Final project 的難度比 midterm 高很多，不僅課本上的圖都是零散的，與期中相比，這次需要完成的功能較多且更複雜，所以也耗費很多心思在看懂以及除錯。在做 Final project 時，除了需要非常熟悉 datapath 裡的每個邏輯閘的功能之外，再切割好指令之後，還要研究繁複的接線，雖然我們這次花費比 midterm 快兩倍以上的時間來討論與修改程式，但是最後還是沒有完成所有的指令。我們在抓跳躍指令的 bug 的部分花費很多時間，一開始我們只有觀察到 beq 的 pc 位置很奇怪，決定嘗試使用 NOP 的指令來解決問題，結果測試幾次發現更多問題，例如有些訊號從頭到尾都沒有值傳入，經過多次修改才產出最後的版本，感謝組員們不眠不休的努力。

六、各組員分工與負責項目

11027108 呂庭瑋: pipeline gate，Datapath 與架構圖繪製

11027109 吳昀蔚: pipeline gate，報告撰寫

11027128 梁芷菘: 題目要求指令設計，報告撰寫

11020136 鄭絜馨: 題目要求指令設計，報告撰寫